



东南大学

模拟实训 MPW 流片报告

课题名称： 预放大再生比较器设计

姓名： _____

学号： _____

指导老师： _____

摘要

比较器是电子系统中应用较为广泛的电路之一。比较器的设计以开环高增益放大器的设计为基础。虽然和运算放大器相比，比较器的应用范围相对狭窄，但比较器仍在很多应用中不可或缺，尤其在模数转换器 (Analog-to-digital converters, 简称 ADC) 中。比较器作为流水线型 ADC 的关键模块，其速度、功耗等性能对整个模数转换器的速度和功耗都有着至关重要的影响。

在各种比较器结构中，预放大再生比较器速度快、功耗低、失调电压小，被广泛应用于高速比较器。本文基于预放大再生理论，采用 TSMC 3.3V 0.35 μ m CMOS 工艺，设计一种适用于流水线型 ADC 的高速低功耗比较器电路。该比较器由前置放大器，比较器和 SR 锁存电路构成。经过 Cadence 软件下的 Virtuoso 平台对电路进行前仿真，比较器工作电压为 3.3V，共模输入电压 1.6V，在 500MHZ 的时钟频率下，能够实现精度为 30uV 的比较，功耗为 5.6mW，传输时延为 4ns，翻转电压 0.4mV。

关键词：比较器，预放大锁存，高速低功耗

Abstract

Comparator is one of the most important units widely used in electronic systems. The design of a comparator is based on loop gain amplifier. Compared with amplifiers, comparators are not that widely used, but it is really necessary especially in Analog-to-digital converters (ADC). The comparator is a crucial part of ADC. Its speed and power have great impact on the characteristic of the whole ADC.

Being one of various architectures, preamplifier-latch is widely used as high-speed comparator due to its high-speed, low-power and small offset voltage. Based on preamplifier-latch comparator, adopted TSMC 0.13 μ m CMOS process, a high-speed, low-power comparator applied for pipelined-ADC is proposed in this paper. This comparator consists of three blocks: pre-amplifier, comparator and SR latch. The pre-simulations use Virtuoso simulation of Cadence, the comparator's work voltage is 1.8V, and common input voltage is 1.6V, the simulation results indicate that the resolution of the comparator is 30uV, transmission delay is less than 4ns and power dissipation is about 5.6mW under the 500MHZ clock.

Key Words: Comparator, Preamplifier-latch, High-speed low-power

目录

摘要.....	I
Abstract.....	II
第一章 绪论.....	1
1.1 背景.....	1
1.2 本文的研究内容和结构安排.....	1
第二章 比较器电路的基本模型.....	2
2.1 比较器电路的系统参数分析.....	2
2.1.1 主要性能参数.....	3
2.1.2 比较器静态分析.....	5
2.1.3 比较器动态特性.....	6
2.2 比较器的电路结构与分析模型.....	7
2.2.1 开环比较器.....	8
2.2.2 离散时间比较器.....	9
2.2.3 高速比较器.....	13
2.3 几种常见的比较器结构.....	15
2.3.1 电阻分配式比较器.....	15
2.3.2 差分对比较器.....	16
2.3.3 电荷分配型比较器.....	16
2.4 小结.....	17
第三章 高速低功耗比较器设计.....	18
3.1 前置放大器设计.....	18
3.1.1 二极管负载差分放大器.....	18
3.1.2 差分放大器的级联.....	22
3.2 锁存比较器的结构.....	24
3.2.1 两种锁存比较器的结构对比.....	24
3.2.2 锁存器优化.....	26
3.3 输出缓冲级设计.....	28
3.4 比较器整体结构和参数.....	30
3.5 小结.....	31
第四章 比较器电路功能仿真.....	32
4.1 比较器的逻辑仿真.....	32
4.2 比较器的速度与精度.....	33
4.3 比较器的传输延迟.....	35
4.4 比较器的翻转电压.....	37
4.5 比较器的功耗.....	38
4.6 小结.....	38
第五章 比较器的版图设计和后仿.....	40
5.1 比较器的版图设计.....	40
5.2 比较器的版图验证.....	44
5.3 比较器的后仿真.....	45
5.4 小结.....	47

第六章 总结和心得.....	48
致谢.....	50
参考文献.....	51

第一章 绪论

1.1 背景

从国际和国内发展情况来看，比较器的研究趋势就是高速度、低功耗和高温度等。比较器的结构研究主要集中在多级放大的比较器、可再生比较器和全差分比较器。除了实现比较器的核心结构，越来越多的结构都会采用一些其他模块，比如前置放大器，来降低回踢噪声和失调电压；采样电容，来抵消失调电压等等。还有，在高速应用时，采用瞬时短路法，使得比较器迅速恢复。

基于速度及功耗问题，本文重点研究比较器高速度和低功耗的实现，选用合适的比较器结构，并对比较器的核心模块进行优化分析。该比较器采用预防大再生锁存比较器结构，既能够满足高速度的要求，又能实现低功耗。同时，由于前置放大器的优化，降低了比较器电路的失调电压，提高了比较器的精度。

1.2 本文的研究内容和结构安排

为了满足 Flash ADC 对比较器速度的要求，需要设计一个高速低功耗比较器，因为比较器作为 ADC 电路中的核心电路，比较器的功耗对整个 Flash ADC 的整体功耗有重要影响。

本文的主要任务，是采用 TSMC 0.35um CMOS 工艺，设计一个高速低功耗比较器，其工作时钟为 500MHZ，电源电压 3.3V，功耗为 5mW，传输延迟不得大于 4ns，最小分辨率为 0.5mV。论文的章节安排如下：

第2章简要介绍比较器电路结构的基本模型和概念。分析对比几种常见的比较器结构。为本论文比较器的设计提供理论基础。

第3章进行比较器的设计和优化。对比较器的设计技术进行详细的阐述，包括前置放大器，锁存再生比较器，SR 锁存器模块的设计及优化。

第4章对比较器电路进行仿真，完成比较器的逻辑仿真、性能参数仿真等，

并给出测试结果。

第5章总结本论文的研究成果。

第二章 比较器电路的基本模型

本章主要介绍比较器电路结构的性能参数，比较器的静态分析和动态分析，并对几种常见的比较器结构作简要的介绍。比较器可以比较一个模拟信号和另一个模拟信号或参考信号，并输出经过比较处理的二进制信号^[1]。二进制信号在任意时刻只能取两个指定值中的一个，然而这属于理想情况，实际上二进制状态之间存在过渡区间，使比较器快速通过过渡区间是很必要的。

2.1 比较器电路的系统参数分析

理想情况下，比较器的正负输入之差为正时，比较器的输出为高电平（ V_{OH} ）；为负时，比较器的输出为低电平（ V_{OL} ）。比较器的理想传输曲线如图 2-1 所示。其中 V_P 比较器的同相输入端电压， V_N 是比较器的反相输入端电压。比较器输出电平的最大值、最小值分别定义为 V_{OH} 和 V_{OL} 。

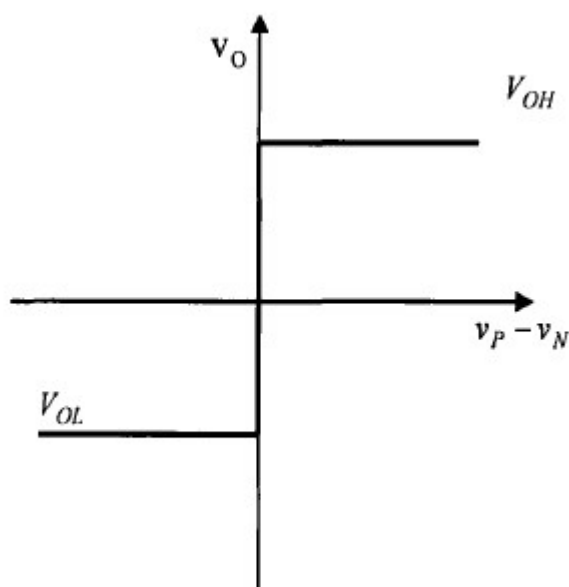


图 2-1 理想比较器的传输曲线

可见，当两个输入端的电压为 0 时，意味着输出结果发生跳变。但实际上这样的比较器是不存在的。下面图 2-2 给出了有限增益比较器的传输曲线。

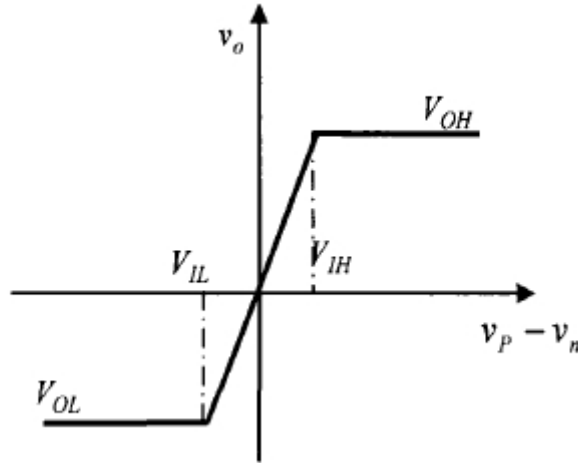


图 2-2 有限增益的比较器传输曲线

其中的 V_{IH} 和 V_{IL} 是输出分别达到上限和下限所需要的输入电压差 $V_P - V_n$ 。这种输入变化称为比较器的精度。增益是描述比较器工作的重要特性。因为增益定义了输出能够在两个二进制状态之间转换所必须的最小输入变化量（精度）。

2.1.1 主要性能参数

比较器特性包括静态特性和动态特性两个大方面。静态特性包括比较器的增益、精度、失调电压等。动态特性包括小信号和大信号方式。其中，输入激励和输出转换之间的时延称为比较器的响应时间。在输入激励和输出响应之间有一个时延，这个时间差叫做比较器的传输时延。这是个非常重要的参数，通常会限制比较器的转换率的提高^[2]。下面给出比较器各个参数的定义^[3]。

分辨率(resolution)：分辨率是指能够产生正确的数字输出的最小差分输入信号。在有些数模转换器的分辨率，如 flash 比较器和 SAR 比较器中，比较器的分辨率直接决定最终模数转换器的分辨率。影响分辨率的主要因素有噪声、比较器的增益和输入失调(offset)。其中失调的影响最为严重，且主要受工艺条件的限

制。该参数被定义为

$$\Delta V = \frac{V_{OH} - V_{OL}}{A_V} \quad (2-1)$$

其中 A_V 为比较器增益，即过渡曲线的斜率。其表达式为

$$A_V = \frac{V_{OH} - V_{OL}}{V_{IH} - V_{IL}} \quad (2-2)$$

比较速度(delay): 比较速度又称传输延迟时间。一般定义为输入激励信号与输出数字信号之间的时间差。该参数影响比较器的最高工作频率，并最终影响模数转换器的最高采样频率。

摆率(slew rate): 比较器的传输时延随输入幅度的变化而变化，较大的输入将使延时较短。输入电平增大到一个上限时，即使输入电平再增大也无法对时延产生影响时的电压的变化率被称为摆率。

回踢噪声(kickback noise): 回踢噪声(反冲噪声)是指输出的数字信号对输入模拟信号的反冲，该反冲一般是电荷馈通的结果。

输入失调电压(offset): 随机输入偏移电压是由输入级的一对 MOS 管的几何尺寸或工艺失配产生的。MOS 器件表现出比三极管更严重的输入失调电压。输入失调电压也是影响比较器精度的一部分，失调越大，比较器的精度越低。其定义为：如果将差分放大器的两个输入端连在一起，在输出端得到的电压就是输出失调电压。通常 CMOS 差分放大器的输入失调电压是 5mV-20mV。由于引入了输入失调电压，实际比较器的传输曲线如图 2-3 所示。

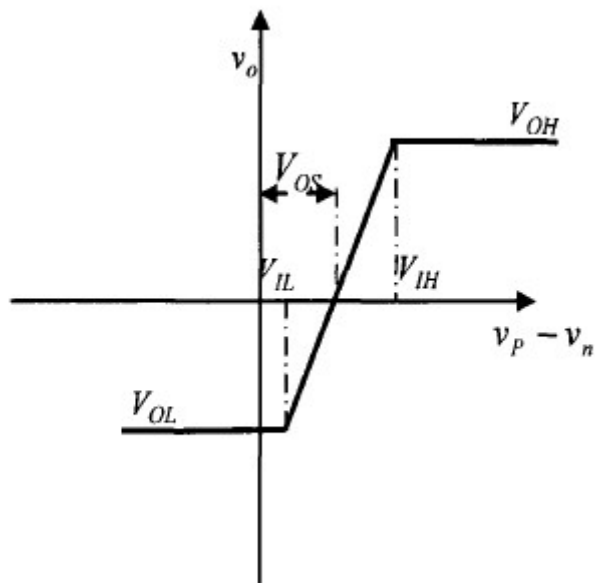


图 2-3 带失调电压的有限增益比较器的传输曲线

输入共模范围:是指比较器在这个范围内,比较器能连续分辨出的输入电压的差值。该特性也是比较器的重要特性之一。

响应时间: 以上参数说明了比较器的直流特性,考虑了增益、精度、摆率、传输时延、回踢噪声和失调电压这些参数。响应时间参数是比较器的时域特性,响应时间描述了比较器对于差分输入需要多长的响应时间,输入激励和输出转换

之间的延迟就是比较器的响应时间。比较器的响应时间,表达了输入达到阈值后输出状态改变的快慢程度。这一特性限制了输入信号的最大变化速度。如果输入变化太快,例如,在一个很短的间隔内变得比参考电压更正,输出还来不及响应,

便得到不正确的转换输出值。这是限制模数转换器转换速率的一个重要参数。比较器总的响应时间由信号通过比较器的传输延时和输出上升下降时间组成。通过比较器的传输延时通常定义为输入信号到达比较器至输出电压上升到最终值10%所需的时间。上升时间通常为输出电压从最终值的10%到最终值的90%所需时间。比较器的响应时间一般为几个毫秒甚至更少。

输出电压摆幅:当比较器的同相输入端更正时,比较器被认为输出正电压。反之,得到负的输出电压。这种特性基于比较器的内部电路,一般比较器由内部

的差分放大器和偏置网络组成，决定了输出摆幅。这个摆幅也受电源电压影响。

输入偏移电流：是使输出改变状态的两输入电流差值的绝对值。

输入偏置电流：无信号输入时两个输入电流的平均值。

差分输入电压范围：比较器工作时两个信号输入端允许加的最大电压。

2.1.2 比较器静态分析

对比较器的分析主要从其性能参数入手。主要分为静态特性分析和动态特性分析^[3]。

比较器增益的定义是： $A_V = (V_{OH} - V_{OL}) / (V_{IH} - V_{IL})$ 。理想比较器增益为无限大，这样就会使比较器输出电平翻转发生在某一输入电压差值点上，而不是在某一范围内翻转。这与实际的比较器不同。实际比较器的增益只能是个有限值。其中 V_{IH} 和 V_{IL} 是输出分别达到上限和下限所需的同相和反相输入电压值。 V_{OH} 和 V_{OL} 分别是输出高电平和输出低电平。比较器的增益可以认为是其输入信号的函数。

从比较器的结构上看，有多种提高增益值的方法：最容易想到的是给比较器加上前置放大器，或者在比较器后端附加一个反相器，还可以简单的通过加大前置放大级的跨导来提高，也就是加大预放大级管子的沟道宽度。

在假设比较器增益为无穷大的情况下，理想比较器应该是在输入跨越 0 的时候，使输出发生状态变化。但是如果直到输入的差分电压到了电压 V_{OS} 时，输出才发生改变，输出才发生改变，这个电压 V_{OS} 就是输入失调电压。比较器的输入失调电压的定义是：当比较器的同相输入端和反相输入端连在一起时，为使比较器输出为零，应在比较器的两个输入端之间附加的电压称为输入失调电压。

对于输入失调电压 V_{OS} ，其中产生的原因有两个：生产工艺过程中的偏差和环境变化引入的失调，比较器结构、工作点设置引入的失调电压，如果该失调电压可以提前预测，那就不会对电路产生太大影响。而且只要在设计过程中仔细注意，可以避免这种由比较器结构、工作点设置引入的失调电压。但是对于工艺偏差、环境变化引入的失调，这种输入失调电压的值往往是随机变化的，其电压极性也不可预知，而且随温度变化而漂移。如果其影响可能会超过 $1/2\text{LSB}$ ，那么必须采取措施，尽量减小这种失调电压。关于输入失调电压的减小方法主要有两种：输入端失调存储和输出失调存储。当输入失调电压为 0 时，比较器的直流传输特性曲线是关于 V_{ref} 参考输出端对称的。图 2-3 中的带有限值增益的输入失调电压的比较器，其传输特性曲线的对称点偏移了 V_{OS} ，即只有当输入电压差值超过了 V_{OS} 时候比较器的输出才会发生状态变化。

在比较器的共模输入范围内，比较器的输入级能够对输入电压差进行比较，即输入管正常工作。就是说在输入共模范围内，保证比较器的所有管子工作在饱和区。比较器的分辨率和输入失调电压都可以认为是输入共模范围的函数，这几个参数之间是相互影响的。

2.1.3 比较器动态特性

分析比较器的动态特性，将涉及到比较器的小信号特性和大信号特性。这样对电路整体的分析把握将更准确。

比较器的传输延迟时间。当比较器的输入信号不够大时，比较器的分析用小信号分析方法来完成。此时比较器的输入信号越大，传输延时越小，但不能无限减小，需要有一个下限。即当输入信号幅度增大到一定值后，即使输入信号继续增大，传输延时也不再改变。此时称为 slewing 或者摆率(slew rate)。随着输入信号增大到一定程度，比较器最终进入大信号工作模式。这两种工作模式下，比较器传输延时的决定因素不同。此时的传输延时大小还与比较器的增益和输入共模

范围有关，某些时候输入信号的共模电压也会影响比较器增益的大小。较大的输入幅度和较高的增益都会缩短延时。

对于小信号行为来讲，传输延时主要是电路的非线性特性造成的。如电路中存在一些零点、极点。对于大信号行为而言，摆率主要受输出级驱动能力的限制表现为对负载电容的充放电速度。在比较器设计中，如果要求传播延时的抖动变化较小，就应该使摆率成为主要决定因素，尽量避免电路零、极点在信号频率范围的影响。

$$\tau_p = \frac{\Delta V}{SR} = \frac{V_{OH} - V_{OL}}{2 * SR} \quad (2-3)$$

想要提高比较器的转换速率，就得加大比较器的电流。也就是说，比较器的功耗和速度两者有一定的矛盾，在设计时需要作合理的折衷。

从某些仿真结果曲线可以观察到，当比较器输入信号速度较快时，虽然其输出仍然是方波，但结果是错误的，这就是输出不确定状态造成的。此不定态是因为传输延时增加而造成，不是转换速率限制的结果。

除了上述静态特性和动态特性外，还有一些常见的参数，比如输入阻抗、输出阻抗和噪声特性等，在设计电路时都要加以考虑。

2.2 比较器的电路结构与分析模型

从工作原理上看，所有的比较器都可以看作是放大器的不同形式的应用。根据放大器的不同应用形式，可以分为开环和闭环两种。一个高增益的运算放大器应用于开环状态就是一个高分辨率的比较器；而迟滞比较器和 latch 电路则是放大器在两种正反馈形势下的闭环应用^[3]。

从功耗的角度，比较器可以分为静态比较器和动态比较器两种。二者的主要区别在于静态比较器会消耗一定的静态功耗，而动态比较器的静态功耗为零，只有动态功耗。按照工作原理划分可以分成开环比较器和再生比较器。按照电路结构划分又可以分为单端输出结构比较器和双端输出结构比较器两种。设计时，考虑更多的是比较器电路的工作原理。而其结构则是在原理基础上对设计进行分析。开环比较器基于非补偿运算放大器，可再生比较器应用类似于传感放大器或

触发器的正反馈来完成对两个信号幅度的比较。综合开环和再生两类比较器的特点，产生一种优化的综合型比较器^[4]。

2.2.1 开环比较器

以放大器的开环应用当作比较器。这种比较器的特点是不需要频率补偿，从而可以获得尽可能大的带宽，那么理论上也就可以获得相对比较快的输出响应时间^[5]。这类比较器又可以根据开环应用的放大器的结构分类为：单级高增益放大器开环应用作比较器，低增益多级级联放大器用作比较器。

以单级放大器开环应用形成的比较器，是依靠放大器高增益把输入较小的差分信号放大后被电源电压切顶，从而输出高或者低电平。设计这种放大器结构的比较器，因为不存在接成反馈闭环形式的应用情况，也就不必进行频率补偿。这种比较器一般不能用在高性能系统中，所谓的高性能系统一般就是指失调电压、建立时间和转换速率(摆率)等方面的要求比较高^[6]。由于这类放大器的直流增益一般都比较高，相应的带宽就会比较小，因此这类比较器的建立时间比较长。时间常数 $\tau = 1/p_1 = A_0/w_1$ 。此式子一般适合单极点系统和小信号输入的情况。

其中 $p_1(w_1)$ 是指本级放大器的主极点频率， A_0 是本级放大器的直流增益。如前所说，这个主极点频率一般都较低。因此，时间常数值会比较大。因此，用放大器作比较器，其比较速度通常比较慢。

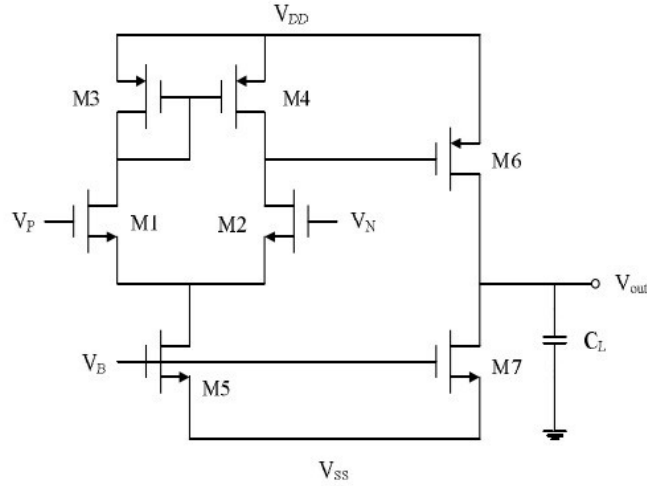


图 2-4 两级比较器

另外一种是多级级联比较器。出于对比较器建立时间的考虑，若要提高比较速度就得将放大器的主极点频率提高，同时保证其原有的单位增益带宽不变。这种方法会牺牲一定的直流增益。为了弥补放大器直流增益的减小，要将多个较低增益的放大器互相级联形成多级级联比较器。假设有 n 级级联，级联后放大器的增益变为一级增益的 n 次幂指数。建立时间常数公式为^[3]

$$\tau = 1/p_1 = n \frac{\sqrt[n]{A_0}}{w_1} \quad (2-4)$$

其中 A_0 是级联比较器的直流增益。

由此式可以看出，比较器的比较速度随 n 的增加而线性提高。这就是为什么低增益多级级联比较器的速度要比单级高增益比较器的速度快的原因。

Inverting 比较器同样属于开环应用的放大器比较器。其结构通常采用放大器内部的正反馈来设计比较器的迟滞。这种内部的正反馈结构通常是交叉耦合的差分对管结构，该结构还可以提高比较器的增益。可再生比较器主要就是利用放大器在外部后接一个正反馈 latch 来使比较器具有迟滞效应的。

2.2.2 离散时间比较器

在某些应用情况下，比较器只是在一部分时间段内工作。这类电路一般由时钟信号驱动，比较器工作时，具有一部分时间和相位，不工作时，只具有相位。

这类比较器的传输延时一般都较短，效率较高。常见的离散时间比较器有开关电容比较器和可再生比较器。

在许多高性能系统应用中，输入端常会有一个采样保持电路。这样会使得输入信号在采样时钟相位发生变化时才变化。这种应用的比较器可以采用开关电容的结构，这是一种将开关电容电路和开环应用比较器相结合的电路。其特点是可以采用单端结构的电路来比较差分信号，而且很方便使用自动校零技术来消除直流失调电压。开关电容比较器的主要误差源就是比较器的直流失调电压和开关管的电荷注入及时钟馈通效应。

Latch 比较器也可以称为可再生比较器(Regenerative Comparator)，一般是在前置放大器后面加一级正反馈 latch，这个 latch 作为最后一级可以提高比较器的性能。要求前置放大级的输出幅度足够大，起码要达到 latch 可以分辨出的电压差值。Latch 的一般结构如图 2-5^[7]。

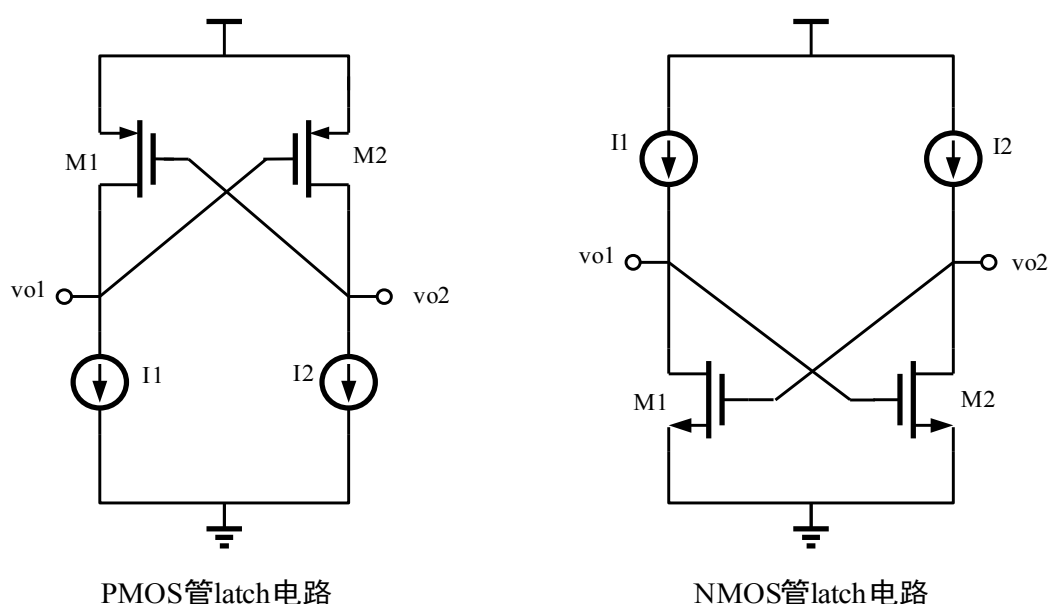


图 2-5 Latch 结构

由图 2-5 可以看出，一个 latch 实际上是一个单位增益形式的正反馈放大器。Latch 结构比较器有两种工作模式。在第一种工作模式下，正反馈被禁止，此时 latch 的输入端探测输入信号；当比较器进入第二种工作模式的时候，正反馈环路进入正常的工作状态，根据探测到的输入信号的值来使 latch 的一端为高电平，另一端为低电平。

以 NMOS 管 latch 电路模型为例分析 latch 电路，其小信号等效电路如图 2-6

所示。

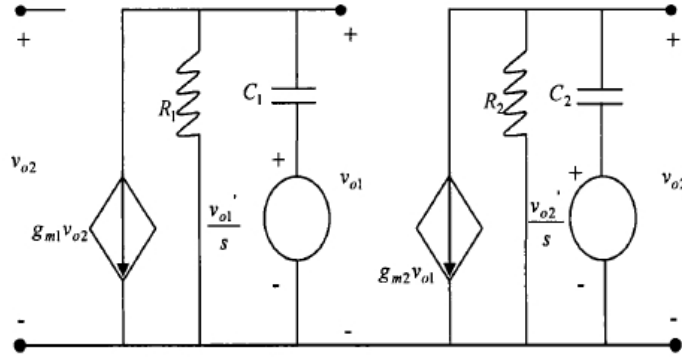


图 2-6 NMOS latch 的小信号电路模型

假设 v_{o1} 和 v_{o2} 初值已经建立，且与电容相连的电压源表示 v_{o1} 和 v_{o2} 的初始值，且为阶跃函数。求锁存器工作需要的时间，可列写节点方程如下。

$$g_{m1}v_{o2} + G_1v_{o1} + sC_1(v_{o1} - \frac{v_{o1}'}{s}) = g_{m1}v_{o2} + G_1v_{o1} + sC_1v_{o1} - C_1v_{o1}' = 0 \quad (2-5)$$

$$g_{m2}v_{o1} + G_2v_{o2} + sC_2(v_{o2} - \frac{v_{o2}'}{s}) = g_{m2}v_{o1} + G_2v_{o2} + sC_2v_{o2} - C_2v_{o2}' = 0 \quad (2-6)$$

其中 G_1 和 G_2 是 MOS 管 M1 和 M2 漏极到地的电导， C_1 和 C_2 是从 MOS 管 M1 和 M2 漏极到地的电容。

解方程(2-5)和(2-6)可得 v_{o1} 和 v_{o2} 如下：

$$v_{o1} = \frac{R_1C_1}{sR_1C_1 + 1} v_{o1}' - \frac{g_{m1}R_1}{sR_1C_1 + 1} v_{o2} = \frac{\tau_1}{s\tau_1 + 1} v_{o1}' - \frac{g_{m1}R_1}{s\tau_1 + 1} v_{o2} \quad (2-7)$$

$$v_{o2} = \frac{R_2C_2}{sR_2C_2 + 1} v_{o2}' - \frac{g_{m2}R_2}{sR_2C_2 + 1} v_{o1} = \frac{\tau_2}{s\tau_2 + 1} v_{o2}' - \frac{g_{m2}R_2}{s\tau_2 + 1} v_{o1} \quad (2-8)$$

其中 τ_i 是时间常数 R_iC_i 。

假设所有的晶体管相同，则有 $g_{m1} = g_{m2} = g_m$ ， $R_1 = R_2 = R$ ， $C_1 = C_2 = C$ ，

从而 $\tau_1 = \tau_2 = \tau$ 。用 ΔV_0 定义 v_{o1} 和 v_{o2} 的差值。用 ΔV_i 定义 v_{o1}' 和 v_{o2}' 的差值。因此

$$\Delta V_0 = v_{o2} - v_{o1} = \frac{\tau}{s\tau + 1} \Delta V_i + \frac{g_m R}{s\tau + 1} \Delta V_0 \quad (2-9)$$

求得

$$\Delta V_0 = \frac{\tau \Delta V_i}{s\tau + (1 - g_m R)} = \frac{\tau' \Delta V_i}{s\tau' + 1} \quad (2-10)$$

其中 $\tau' = \frac{\tau}{1 - g_m R}$ 。

如果 $g_m R > 1$ ，求式(2-10)的拉普拉斯变换得

$$\Delta v_0(t) = \Delta V_i' e^{-t/\tau'} = \Delta V_i e^{-t(1 - g_m R)/\tau} \approx e^{g_m R t / \tau} \Delta V_i \quad (2-11)$$

式(2-11)给出锁存器的时间常数为

$$\tau_L \approx \frac{\tau}{g_m R} = \frac{C}{g_m} \quad (2-12)$$

如果 C 的大部分是栅-源电容，则锁存器的时间常数表示为：

$$\tau_L = \frac{0.67 W L C_{ox}}{\sqrt{2 K' (W/L) I}} = 0.67 C_{ox} \sqrt{\frac{W L^3}{2 K' I}} \quad (2-13)$$

式(2-13)主要表明锁存器的时间常数主要取决于沟道长度。沟道长度越短，响应越快。另外由式(2-13)还可以看出，在给定的沟道长度下，输入信号越大，响应时间越短，所以一般在 latch 前加一级预放大级，先将信号预放大，来增快 latch 的响应时间。

锁存器的响应时间可以用下式表示

$$\Delta V_{out}(t) = e^{t/\tau_L} \Delta V_i \quad (2-14)$$

根据此式可以计算某个时刻 t 输出电压之间的差值 ΔV_{out} 。电压 ΔV_i 实际上是

锁存器开始工作前输出电压 v_{o1} 和 v_{o2} 的差值。

对式(2-14)进行归一化处理得到

$$\frac{\Delta V_{out}(t)}{V_{OH} - V_{OL}} = e^{t/\tau_L} \frac{\Delta V_i}{V_{OH} - V_{OL}} \quad (2-15)$$

锁存器的传输延时可以通过令式(2-15)等于 0.5 来求得

$$t_p = \tau_L \ln\left(\frac{V_{OH} - V_{OL}}{2\Delta V_i}\right) \quad (2-16)$$

可见，要想降低比较器的传输时延，减小管子的沟道长度，增大 latch 输入信号值都是可靠的方法。

2.2.3 高速比较器

高速比较器应该尽可能的降低其传输时延。为了达到这个目的，必须明确高速比较器的要求。将比较器分为数个级联电路最有助于理解，如图 2-7 所示，其中每级的增益都为 A_0 ，有一个 $1/\tau$ 的单极点。如果输入的变化稍稍大于 V_{in} (最小)，那么每级电路的功能是在可能小的延迟下放大输入信号。从图中可以看出，前几级信号的摆幅比较小，当信号的摆幅开始接近要求的范围时，放大器将受到他们摆率的限制。所以，对前几级电路而言，重要的电路参数是带宽，宽带宽可以使放大信号的时延较小，并将放大的信号传至下一级。但是，对于后面几级电路重要的是具有高摆率，这样才能使中间级电容和负载电容上的电压上升或下降得足够快。所以，在整个放大器的链路中，前几级电路的设计和后几级电路是不同的^[7]。

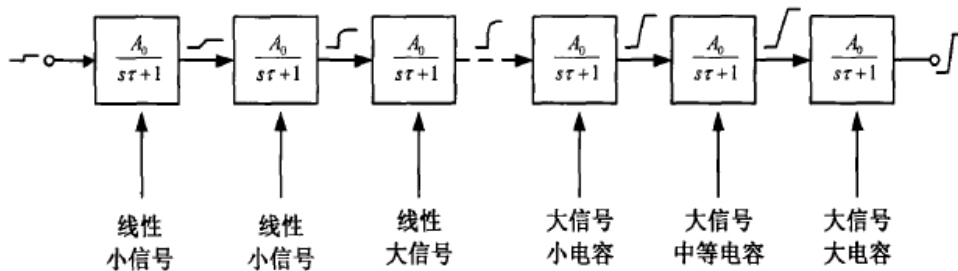


图 2-7 级联比较器概念描述

高速比较器的设计原则是采用前置放大器使输入的变化足够大并将其加到锁存器上。这组合了电路的最佳特点：一种是具有负指数响应的前置放大电路，另一种是具有正指数响应的锁存器电路。

前置放大器对输入信号的响应如下

$$V_{in(min)} = \frac{V_{OH} - V_{OL}}{A_{V(0)}} \quad (2-17)$$

$$\frac{V_{OH} - V_{OL}}{2} = A_{V(0)} [1 - e^{-t_p/\tau_c}] V_{in} \quad (V_{in} = K V_{in(min)}, K \geq 1) \quad (2-18)$$

综合上两式可知放大器的延迟时间 t_p 。

$$t_p = \tau_c \ln\left(\frac{2k}{2k-1}\right) \quad (2-19)$$

其中 $A_{V(0)}$ 是前置放大器低频小信号增益， $V_{in(min)}$ 是前置放大器的跳变电压，

$\tau_c = RC$ 是该差分放大器的时间常数（R 是等效输出电阻，C 是等效输出电容），

$V_{OH} - V_{OL}$ 是比较器的输出端的最终差值。

正反馈锁存器对输入信号的响应如下

$$\Delta V_{out}(t) = e^{t/\tau_L} \Delta V_i \quad (2-20)$$

$$t_p = \tau_L \ln\left(\frac{V_{OH} - V_{OL}}{2\Delta V_i}\right) \quad (2-21)$$

其中， $\tau = C/g_m$ 是正反馈锁存器时间常数（ g_m 是正反馈环的等效跨导，C

是等效输出电容）， ΔV_i 是正反馈锁存器开始工作时输出端的初始电压差值。

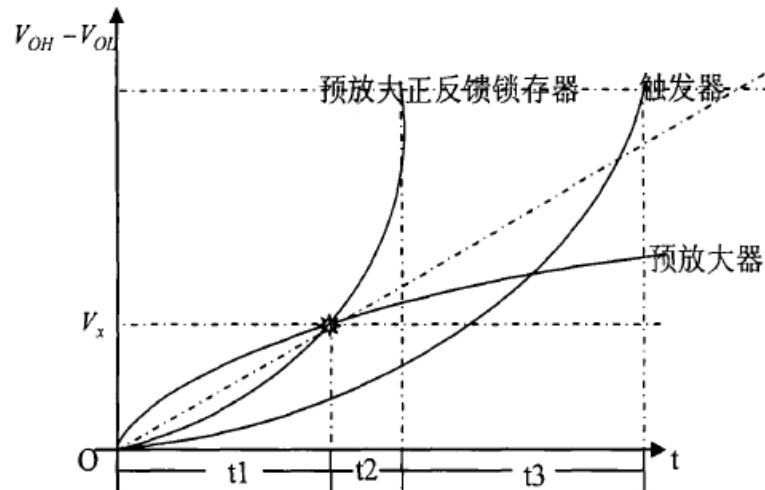


图 2-8 正反馈锁存器和预放大正反馈锁存器输出信号随时间变化比较

图 2-8 是正反馈锁存器、触发器和预放大正反馈锁存器输出信号随时间变化的比较。由图可知，预放大器并没有将输入信号直接放大到输出端的最终差值，而是经过 t_1 时间段，预放大器先将输入信号放大到某一差值 V_x 。 V_x 又被用来作为正反馈锁存器的输入信号，最终输出端得到所希望的差值 $V_{OH} - V_{OL}$ 。显然这种方法需要的时间少于单个正反馈锁存器所用的时间。

正反馈锁存器输出端的快速变化和开关管的时钟馈通等影响，会通过输入管的栅漏寄生电容传递到输入端。由于输出端和输入端之间没有隔离器件或电路使得输出端和开关管的快速动作对输入信号造成相当大的干扰(几十—几百毫伏的尖峰抖动)。这种干扰就是回踢噪声的来源。正反馈锁存器电路的输入信号，是电阻串分压后的基准电平，和采样保持电路在时钟相位处于保持时段下提供的保持电平。回踢噪声使基准电平和保持电平在比较时刻有相当大的毛刺，这将会导致比较结果的错误以及采样保持电路保持过程中信号的不稳定。

正反馈锁存器前边加一级预放大器，预放大器内部和输出端加载隔离电路，使得其输出信号多次衰减后到达信号的输入端。加载的隔离电路越多，回踢噪声衰减的就越大。最终，Preamplifier-Latch 输入信号将基本上不受回踢噪声的影响

Preamplifier-Latch 的失调电压与正反馈锁存器相比较，有实质性的降低。正反馈锁存器的失调电压通过加预放大级，对输入管的贡献大幅度下降。并且，预

放大器中的隔离电路，降低了回踢噪声对失调电压的贡献。因此比较器的失调电压主要是预放大器的失调。

2.3 几种常见的比较器结构

这里主要介绍几种基本的常见动态比较器结构：电阻分配式比较器，差分对比较器，电荷分配型比较器。其他种类的比较器结构通常是以这几种比较器为基础改进得到的^[14]。

2.3.1 电阻分配式比较器

该种结构的比较器结构如图 2-9 所示。在此结构中，M1-M4 工作于电阻区，即三极管区，相当于 4 个压控电阻，并且通过 4 个电阻阻值的不同来完成比较，所以被称为电阻分配型比较器。

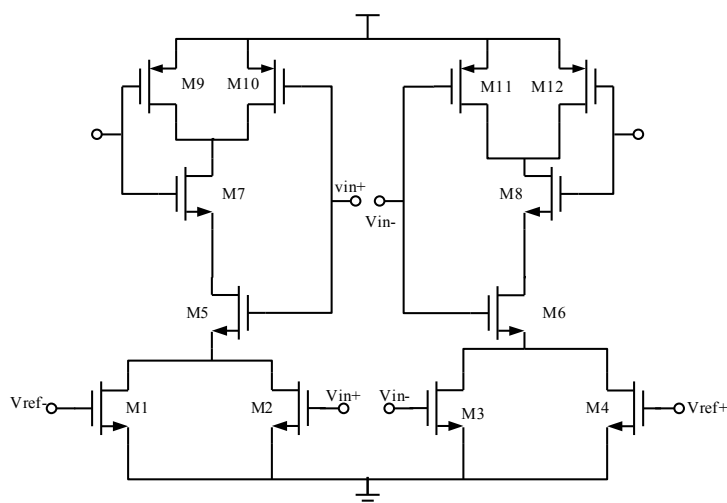


图 2-9 电阻分配型比较器典型结构

2.3.2 差分对比较器

差分对比较器的典型结构如图 2-10 所示。其中， V_{latch} 是比较器工作时的时

钟信号^[3]。当 V_{latch} 为低电平时，M5和M6处于截止状态，M1-M4不导通。同时，M9和M10导通，将两个输出节点拉到高电位；当 V_{latch} 为高电平时，M9和M10截止，同时M5和M6导通，M1-M4开始工作，对输入信号进行比较，比较结果将反映在节点X和Y。在开始工作前，M7和M8将一直处于导通状态，于是X和Y点电压将被输入到latch中，由latch将最终结果锁定。

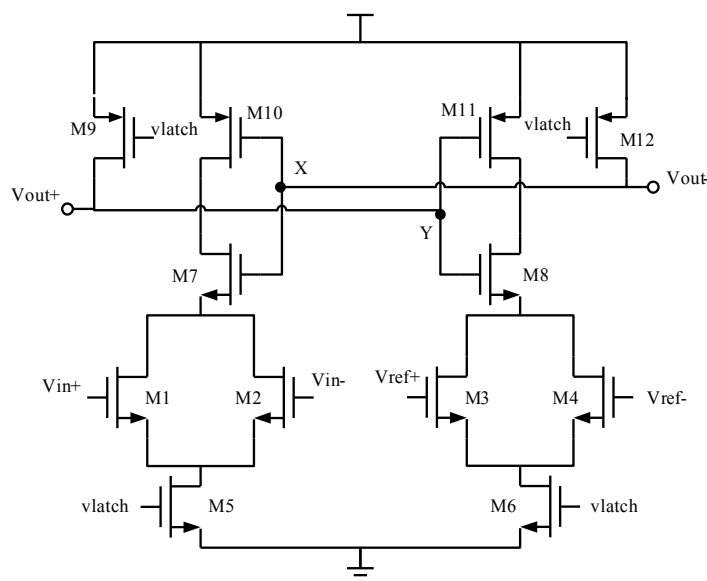


图 2-10 差分对比较器典型结构

2.3.3 电荷分配型比较器

这种比较器与前面两种相比的主要区别在于差分输入的方式不同。前两种采用的是电流求和电路，而这种比较器结构采用的是电荷求和电路来实现。

由图 2-11 可见，这种比较器结构的核心放大与 latch 部分与第二种差分对比较器实际是相同的，区别在于复位相是通过电容充电到输入和参考电压来采样输入信号。这个比较器需要双相非交叠时钟。在 latch_bar 相，一个耦合电容对充到 $V_{in} = V_{in+} - V_{in-}$ ，另一对充电到 $V_{ref} = V_{ref+} - V_{ref-}$ ，而在 latch 相电容的下极板接地，将电荷传输到上极板上，相当于输入信号，然后差分对将信号放大，进而进行比较。

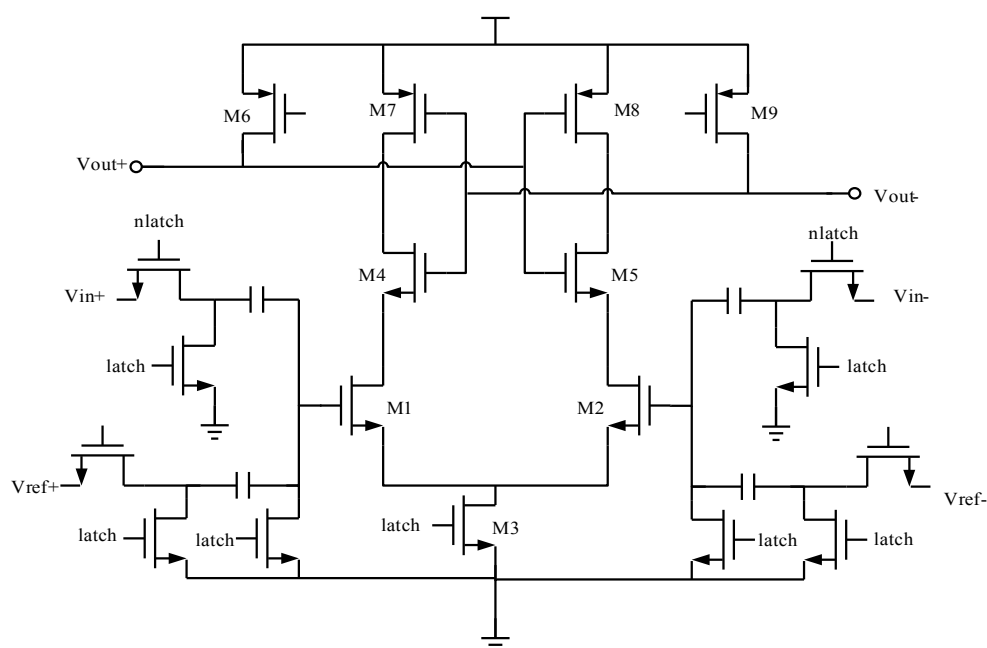


图 2-11 电荷分配型比较器典型结构

2.4 小结

本章首先引入了比较器的概念，然后介绍了比较器的静态特性和动态特性，并对其性能进行了分析。开环比较器速度快精度高，但高速高增益运算放大器的功耗大，抗干扰能力差；可再生比较器速度快功耗低，然而其失调电压大，还引入了很大的回踢噪声；预放大再生比较器结合了开环比较器和再生比较器的优点，速度快，失调电压小，功耗低，得到了广泛应用。

本章系统介绍了比较器的基础理论知识和几种基本比较器电路结构，为下一章高速低功耗比较器的设计奠定理论基础。

第三章 高速低功耗比较器设计

本章将应用上一章讲述的比较器基础知识，设计一种能够应用于实际电路的比较器电路。首先第一节阐述了前置放大器的设计，第二节和第三节分别讨论锁存器和输出缓冲电路的设计。

3.1 前置放大器设计

在比较器的设计中，前置放大器最常用的结构就是差分放大器。差分放大器在模拟电路设计中是非常经典的一种放大器，它能够处理两个输入信号的差值，而与输入信号的绝对值无关。在集成电路中，差分放大器可用于去除两个信号源中不需要的共模信号，仅仅放大差分信号。正是因为差分放大器的这种特性，在模拟电路的输入端都采用差分放大器结构^[9]。

本设计中的输入电路采用差分放大器结构，这样不仅可以起到放大器放大输入信号的作用，还可以有效地降低失调的影响，常见的差分放大器结构有：电阻负载差分放大器，MOS管二极管连接负载差分放大器，电流源负载差分放大器，套筒式差分放大器，两级差分放大器，折叠共源共栅放大器。

套筒式差分放大器、两级差分放大器和折叠式共源共栅这三种放大器都具有两个以上的极点或具有非常高的输出阻抗，即属于高增益低带宽的放大器，并且功耗较大，传输延迟较大，因此首先排除这三种放大器，它们不符合高速比较器的要求。

电阻负载差分放大器、MOS管二极管连接负载差分放大器和电流源负载差分放大器都可以满足高带宽的要求，但是增益小，可以通过级联的方式来实现高增益，所以，这三种放大器都可以用在高速比较器中。经过理论分析，测试和比较，在综合考虑增益，带宽和功耗的情况下选择二极管负载差分放大器。

3.1.1 二极管负载差分放大器

在 CMOS 工艺下，制作精确控制的阻值或者具有合理物理尺寸的电阻是比较困难的，最好用 MOS 管来代替电阻。差分放大器中，经常采用二极管连接方式的 MOS 管作负载，如图 3-1 所示。

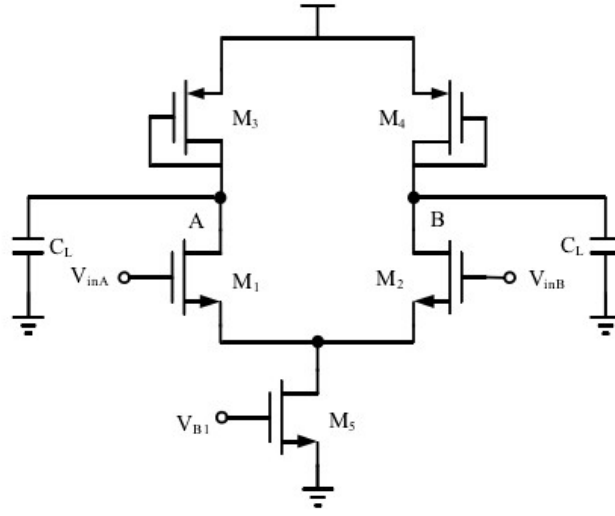


图 3-1 二极管负载差分放大器

二极管连接方式的晶体管总是工作在饱和区，因为漏极和栅极电势相同，那电阻的近似值如公式(3-1)所示。

$$\frac{1}{g_m} // r_o \approx \frac{1}{g_m} \quad (3-1)$$

分析图 3-1 中的差分放大器，其增益带宽积的推导过程如下，如公式(3-2)、(3-3)和(3-4)所示。

$$f_T = \frac{1}{2\pi RC} \approx \frac{g_{m,load}}{2\pi C_{gs}} = \frac{\mu_n C_{ox} \frac{W}{L} (V_{ov})}{2\pi \times \frac{2}{3} W L C_{ox}} = \frac{3\mu_n V_{ov,load}}{4\pi L^2} \quad (3-2)$$

$$Gain = \frac{v_{out}}{v_{in}} = \frac{g_{m,in}}{g_{m,load}} = \frac{\mu_n C_{ox} (\frac{W}{L})_{in} (V_{ov})_{in}}{\mu_p C_{ox} (\frac{W}{L})_{load} (V_{ov})_{load}} = \frac{\mu_n (\frac{W}{L})_{in} (V_{ov})_{in}}{\mu_p (\frac{W}{L})_{load} (V_{ov})_{load}} \quad (3-3)$$

$$Gain \times 2\pi f_T = \frac{3\mu_n^2}{2\mu_p} \times \left(\frac{W}{L}\right)_{in} \times \frac{1}{(WL)_{load}} \times V_{ov,in} \quad (3-4)$$

公式(3-4)中，增益带宽积存在三个变量，输入管子的宽长比、负载管子的宽长的乘积及输入管子的过驱动电压。从关系式(3-4)中发现，**增大输入管子的宽长比，减小负载管子的尺寸和增大输入管子的过驱动电压，就会增大这种结构的差分放大器的增益带宽积。**

设计一个增益值为 2.72 的二极管负载的差分放大器，对其进行交流分析和瞬态分析，观察增益带宽、传输延迟及功耗情况。

交流分析测试条件：电源电压为 3.3V，差分输入端的共模电压为 1.6V，差模电压为幅值为 1V 的交流信号，偏置电压为 1.0V。

增益带宽的仿真结果如图 3-2 所示，增益约为 2.72，-3dB 带宽为 3.105GHZ，单位增益带宽为 8.657GHZ。

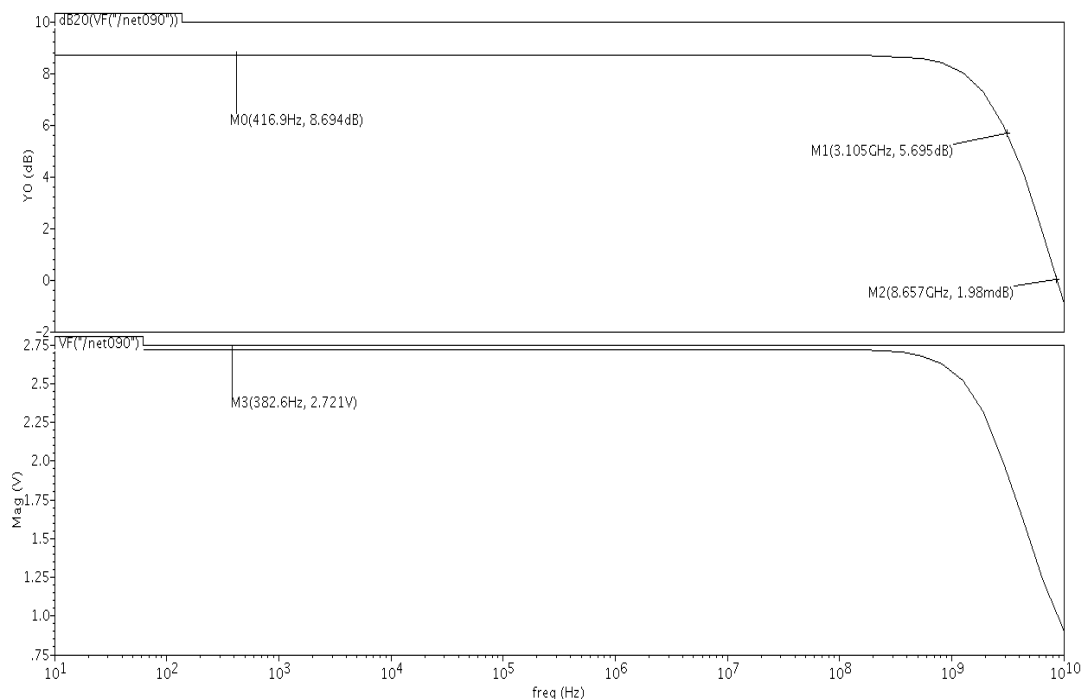


图 3-2 二极管差分放大器的增益带宽

瞬态分析测试条件：电源电压为 3.3V，差分输入端的共模电压为 1.6V，差模电压为 100mV 的脉冲信号，偏置电压为 1.0V。通过瞬态分析，可以观察传输延迟时间和电路功耗情况。

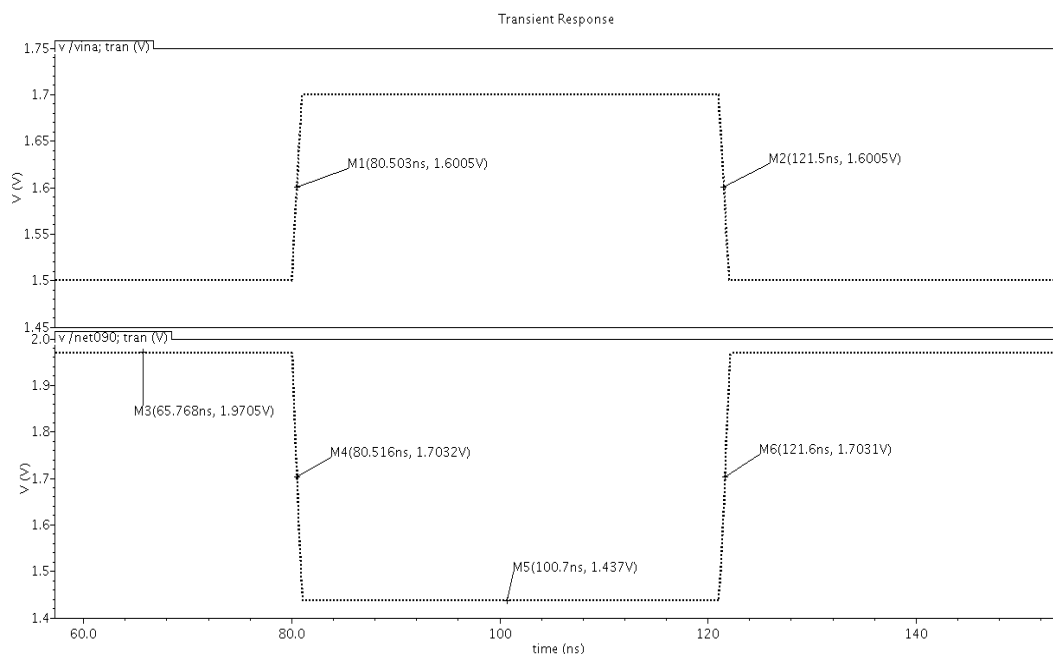


图 3-3 二极管差分放大器的传输延迟

传输延迟的仿真结果如图 3-3 所示，上升延迟时间为 0.013ns，下降延迟时间为 0.10ns，所以传输延迟时间如公式(3-5)所示。

$$t_p = \frac{t_{PLH} + t_{PHL}}{2} = 0.0565ns = 56.5ps \quad (3-5)$$

功耗情况如图 3-4 所示，一个时钟周期中电路的功耗，前半个周期电路电流约为 172uA，后半个周期电路功耗约为 170uA，那么电路的平均电流约为 171uA，功耗约为 564uW。

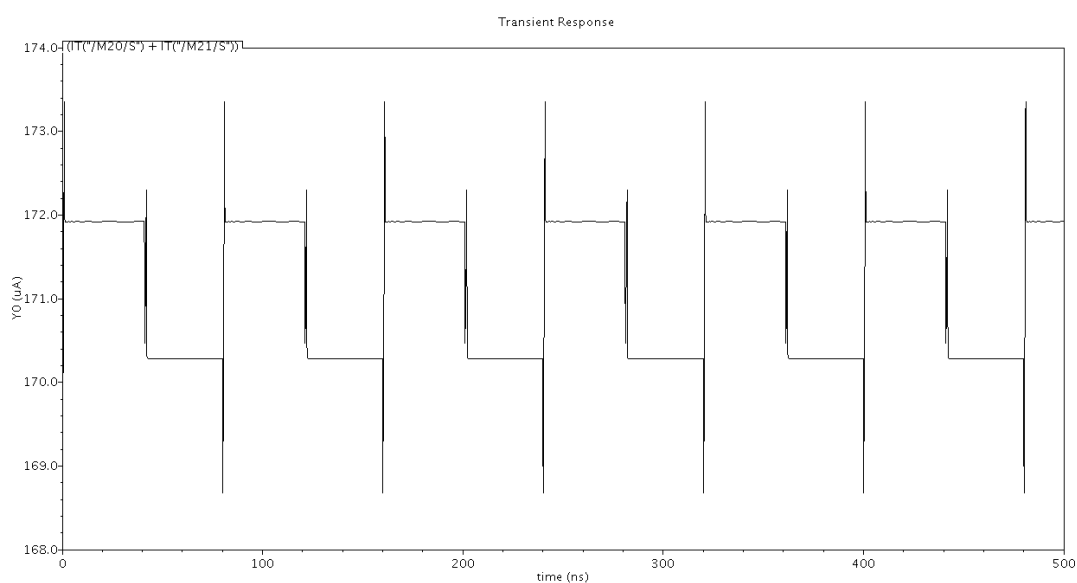


图 3-4 二极管差分放大器的瞬态电流

3.1.2 差分放大器的级联

在高速低功耗比较器中，前置放大器的作用是放大输入信号，降低失调电压，提高比较器的速度，这些都是依靠前置放大器的高增益和高带宽来实现的。可是，差分放大器的增益带宽积是固定值，为了提高前置放大器的增益和带宽，需要多级差分放大器级联，但是采用几级差分放大器级联能达到最优性能，成为了前置放大器设计的重点。理论研究表明最佳的放大器级联个数为 4 个，每级放大器的增益为 2.72 倍。

为了减小输入端的负载电容及寄生电容，本设计中输入管子和负载管子的栅长都取最小值 0.35 μm 。前置放大器由 4 级单级放大器级联，如图 3-5 所示。本节主要对前置放大器进行详细的性能参数的仿真及分析。

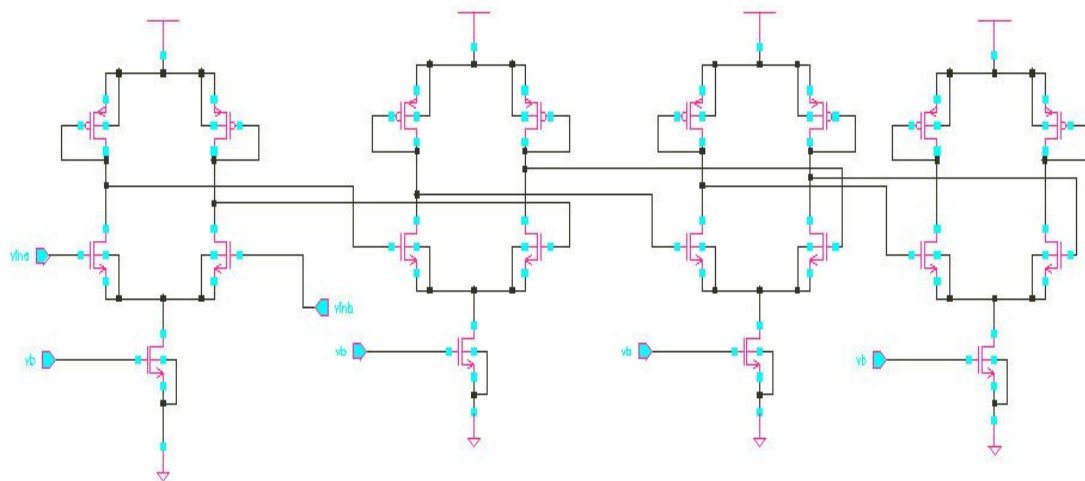


图 3-5 前置放大器结构

交流分析测试条件：电源电压为 3.3V，差分输入端的共模电压为 1.6V，差模电压为幅值为 1V 的交流信号，偏置电压为 1.0V。

交流分析的结果如图 3-6 所示，前置放大器的增益为 52.41dB，-3dB 带宽为 295.7MHz，单位增益带宽为 5.514GHz。

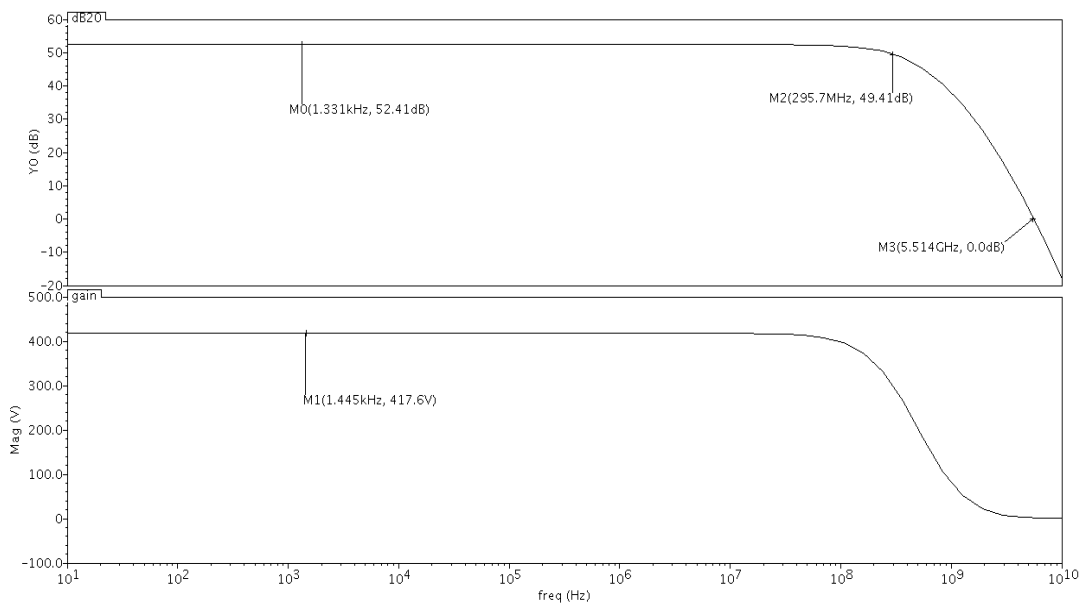


图 3-6 前置放大器的增益带宽

瞬态分析测试条件：电源电压为 3.3V，差分输入端的共模电压为 1.6V，差模电压为 10mV 的脉冲信号，偏置电压为 1V。

传输延迟的仿真结果如图 3-7 所示，上升延迟时间为 0.71ns，下降延迟时间为 0.6ns，所以前置放大器的传输延迟如公式(3-6)所示。

$$t_p = \frac{t_{PLH} + t_{PHL}}{2} = 0.655ns = 655ps \quad (3-6)$$

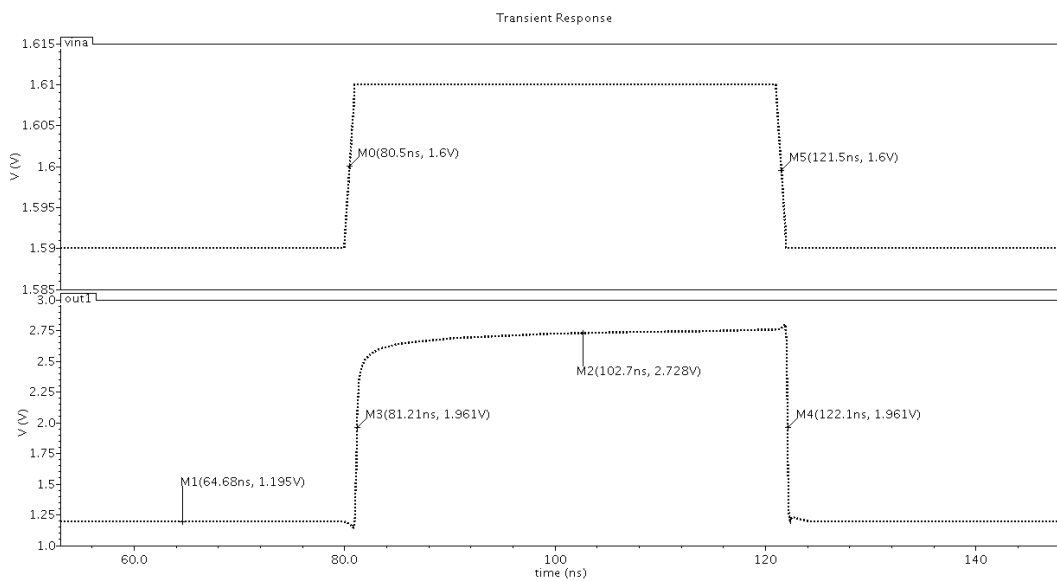


图 3-7 前置放大器的传输延迟

总结前置放大器的性能指标如表 3-1 所示。

表 3-1 前置放大器的指标

指标	
增益	52.41dB
-3dB 带宽	295.7MHZ
单位增益带宽	5.514GHZ
传输时间	0.655ns
功耗	2.2mW

3.2 锁存比较器的结构

3.2.1 两种锁存比较器的结构对比

在高速比较器中，采用的锁存比较器主要有两种结构：串联锁存和并联锁存比较器。其中，串联锁存比较器常用结构如图 3-8 所示。

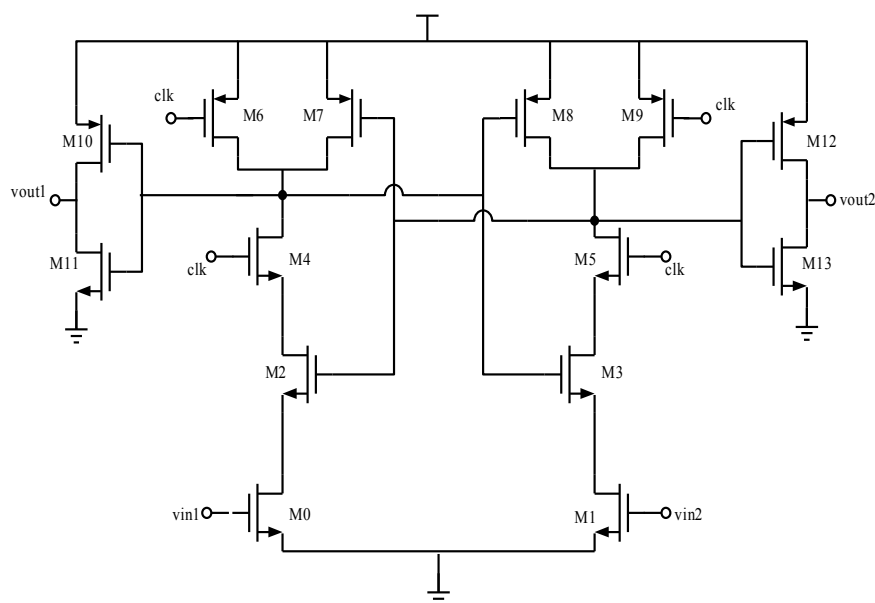


图 3-8 串联再生锁存器

串联再生锁存器的工作原理如下：M0、M1 为串联再生锁存器的输入对管，工作在三极管区(线性区)；输入信号 Vin1、Vin2 从 M0 和 M1 管输入，M2、M3 构成正反馈锁存器结构，M4、M5 为时钟控制的开关；M6、M9 用来复位锁存器，当 clk 为低电平时复位，输出双端都为高电平锁存比较的输出结果经过反相器

放大输出^[11]。

并联锁存比较器结构，如图 3-9 所示。

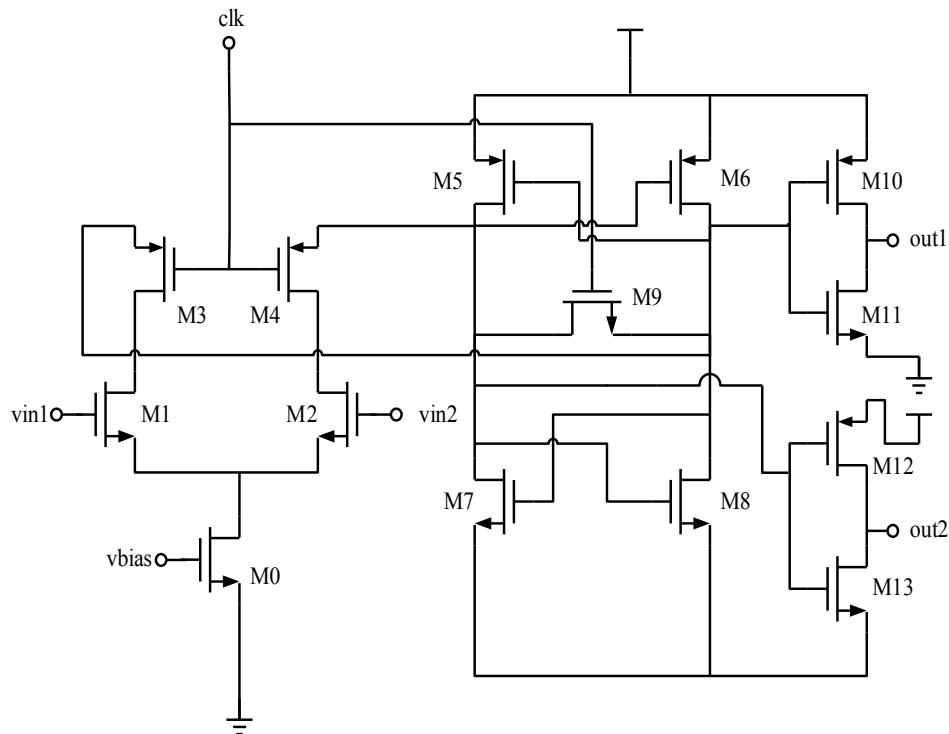


图 3-9 并联再生锁存器

并联再生锁存器的工作原理：输入信号通过输入管 M1、M2 进入锁存器，时钟 clk 控制着 M3、M4、M9 这三个开关，M7、M8、M5、M6 这四个管子交叉耦合构成正反馈。当时钟信号 clk 为高电平时，M3、M4、M9 都导通，锁存器两个输出端通过 M9 放电到平衡状态，锁存器处于复位状态；当时钟信号 clk 为低电平时，M3、M4、M9 都截止，那么 M7、M8、M5、M6 构成交叉耦合的反相器，完成信号的再生比较^[10]。

比较器的延迟时间对于比较器的性能而言有着至关重要的影响，这里对串联和并联比较器的延迟时间进行相同条件下的仿真。

瞬态测试条件：电源电压为 3.3V，差分输入两端共模电平为 1.6V，差模电压为幅度 300mV、频率 20MHz 的脉冲信号，偏置电压为 1V，时钟信号 clk 为频率 500MHz 的脉冲信号。仿真结果如图 3-10 所示。

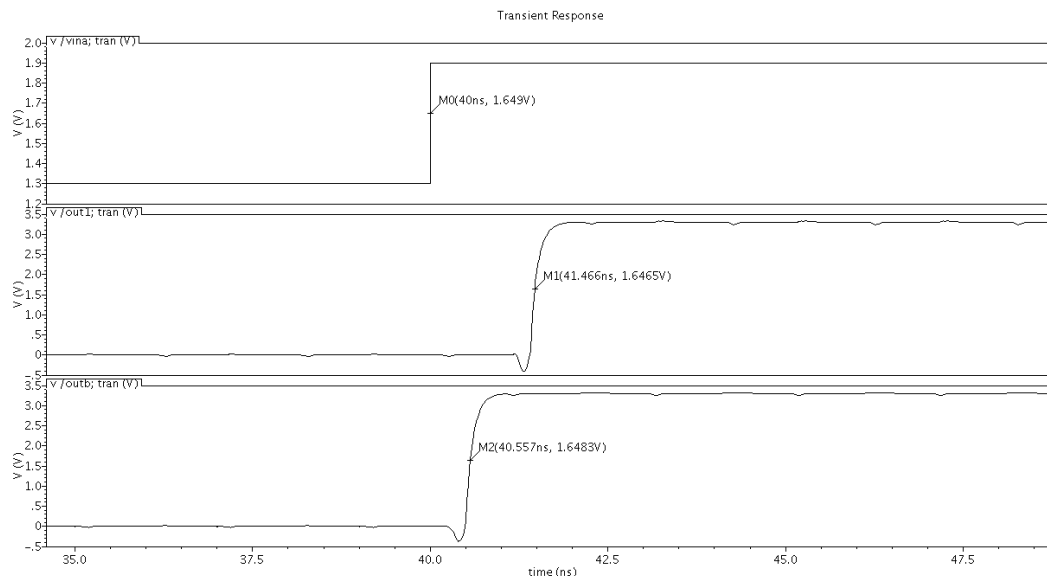


图 3-10 两种比较器延迟时间对比

图 3-10 中，第一条曲线是输入方波，第二条曲线是串联再生比较器的输出波形，第三条曲线是并联再生比较器的输出波形，从图中可以看出并联再生比较器的延迟低于串联再生比较器。串联再生比较器延时时间： $41.466\text{ns} - 40\text{ns} = 1.466\text{ns}$ ，并联再生比较器延迟时间： $40.577\text{ns} - 40\text{ns} = 0.577\text{ns}$ 。

综合以上因素，本文采用并联再生锁存比较器结构。

3.2.2 锁存器优化

为了达到比较器的高速度，必须尽最大可能地降低比较器的传输时间延迟。本节以比较器的传输时间作为优化目标，分析锁存比较器的设计中如何降低传输延迟以提高比较器的速度。锁存比较器的等效模型如图 3-11 所示，一个单极点的运放接成正反馈形式。

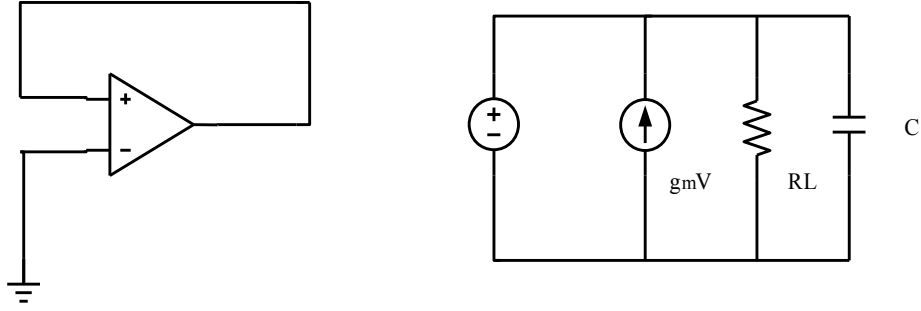


图 3-11 锁存比较器的小信号模型

根据锁存比较器的小信号模型，可以对电路进行 KVL 分析，如公式(3-7)所示

$$g_m V = \frac{V}{R_L} + C \frac{dV}{dt} \quad (3-7)$$

其中，C 为锁存器的输入端电容之和。

$$\frac{g_m}{C} \left(1 - \frac{1}{g_m R_L}\right) V = \frac{dV}{dt} \quad (3-8)$$

$$\frac{g_m}{C} \left(1 - \frac{1}{g_m R_L}\right) dt = \frac{dV}{V} \quad (3-9)$$

对等式两边积分，可得：

$$\frac{g_m}{C} \left(1 - \frac{1}{g_m R_L}\right) (t_2 - t_1) = \ln\left(\frac{V_2}{V_1}\right) \quad (3-10)$$

设 $g_m R_L \gg 1$ ，那么

$$\Delta t = t_2 - t_1 = \ln\left(\frac{V_2}{V_1}\right) \frac{C}{g_M} \quad (3-11)$$

从公式中可以看到，若减小延迟时间，就要增大跨导 g_m ，减小输入输出电容^[15]。但是在实际电路设计中，跨导与电容是呈现相关关系的，因此不能简单地通过增大跨导和减小电阻来实现减小延迟时间的目的。

若 $C = WLC_o$ ，其中 C_o 为单位方块电容。那么有关系式(3-12)，

$$g_m = \mu_n C_{ox} \frac{W}{L} V_{ov} \quad (3-12)$$

$$\frac{C}{g_m} = \frac{C_o L^2}{\mu_n C_{ox} V_{ov}} \quad (3-13)$$

将公式(3-13)代入传输延迟公式，有

$$\Delta t = t_2 - t_1 = \ln\left(\frac{V_2}{V_1}\right) \frac{CL^2}{\mu_n C_{ox} V_{ov}} \quad (3-14)$$

为了使锁存比较器的传输延迟最小，符合高速比较器的要求，锁存比较器中的管子栅长应取最小值 0.35um。

3.3 输出缓冲级设计

输出缓冲级作为比较器的最后一级，主要的作用就是输出高、低电平，能够提高比较器的速度^[11]。

在锁存比较器后一级加 SR latch，其作用相当于一个 RS 电平触发器，主要作用就是当再生锁存电路进入复位状态时保持前一个比较周期的输出，并且输出逻辑电平。这种结构的 SR_latch 不存在任何的静态功耗，它的输出过程其实就是一个正反馈的过程。SR_latch 具有晶体管数目少和速度高的优点。SR_latch 的电路结构如图 3-12 所示^[12]。

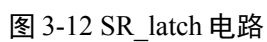


表 3-2 SR latch 电路真值表

首先，进行逻辑仿真，仿真结果如图 3-13 所示：当 $vin1=0$ 、 $vin2=1$ 时，输出端 $vout1=0$ 、 $vout2=1$ ；当 $vin1=0$ 、 $vin2=0$ 时，输出端仍为 $vout1=0$ 、 $vout2=1$ ；当 $vin1=1$ 、 $vin2=0$ 时，输出端 $vout1=1$ 、 $vout2=0$ ，仿真结果符合真值表的情况。

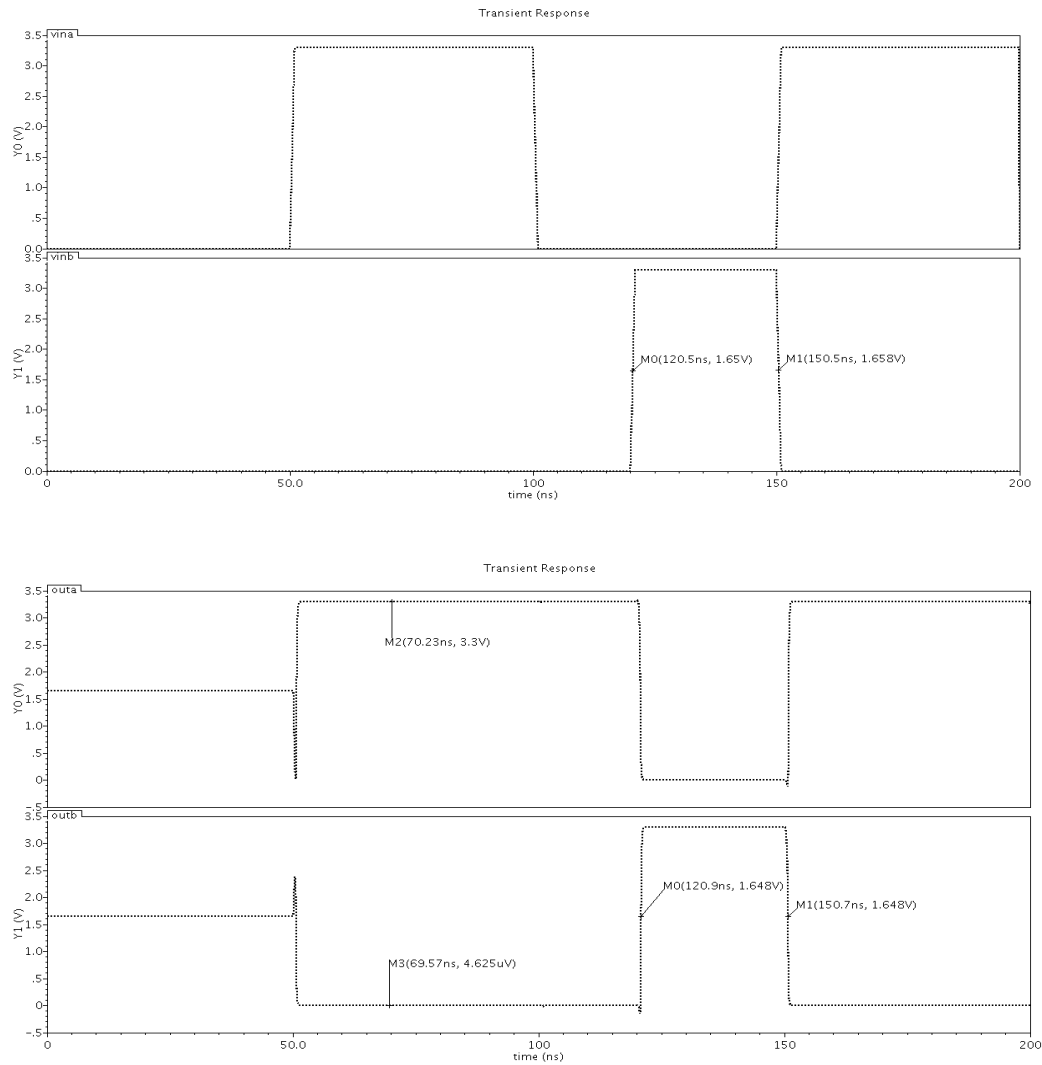


图 3-13 SR_latch 的逻辑仿真

从仿真结果中可以发现，从 vin1 变为高电平到输出端 vout1 变为高电平的传输延迟大约为 0.4ns。

然后，观察 SR_latch 的功耗情况，如图 3-14 所示。瞬态电流的仿真结果表明，正常工作后，SR_latch 不存在任何静态功耗，只在输出端发生变化时才会产生功耗，这样有利于实现低功耗。

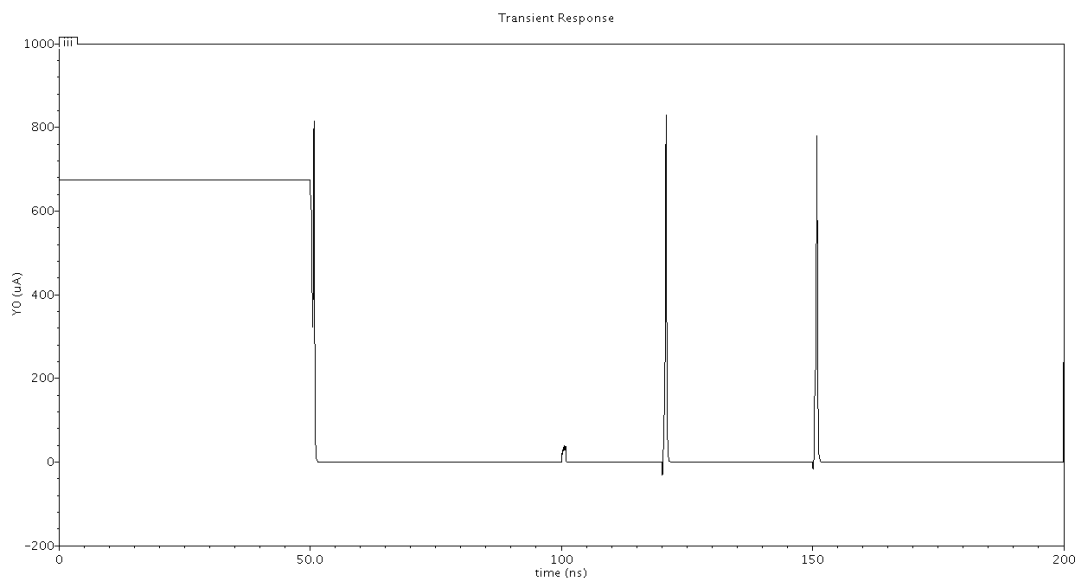


图 3-14 SR_latch 电路瞬态电流

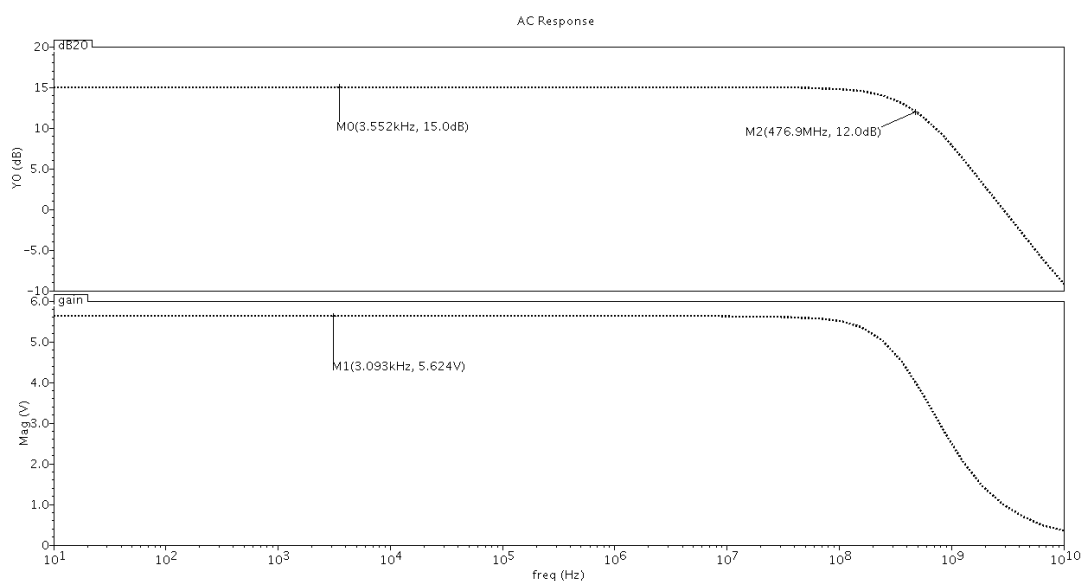


图 3-15 SR_latch 的增益及带宽

SR_latch 的交流情况，测试条件：输入两端共模电平为 1.6V，差模输入为幅度为 1V 的交流信号，仿真结果如图 3-15 所示：SR_latch 的增益为 15.0dB，-3dB 带宽约为 476.9MHZ。

3.4 比较器整体结构和参数

比较器的整体电路结构如图 3-16。

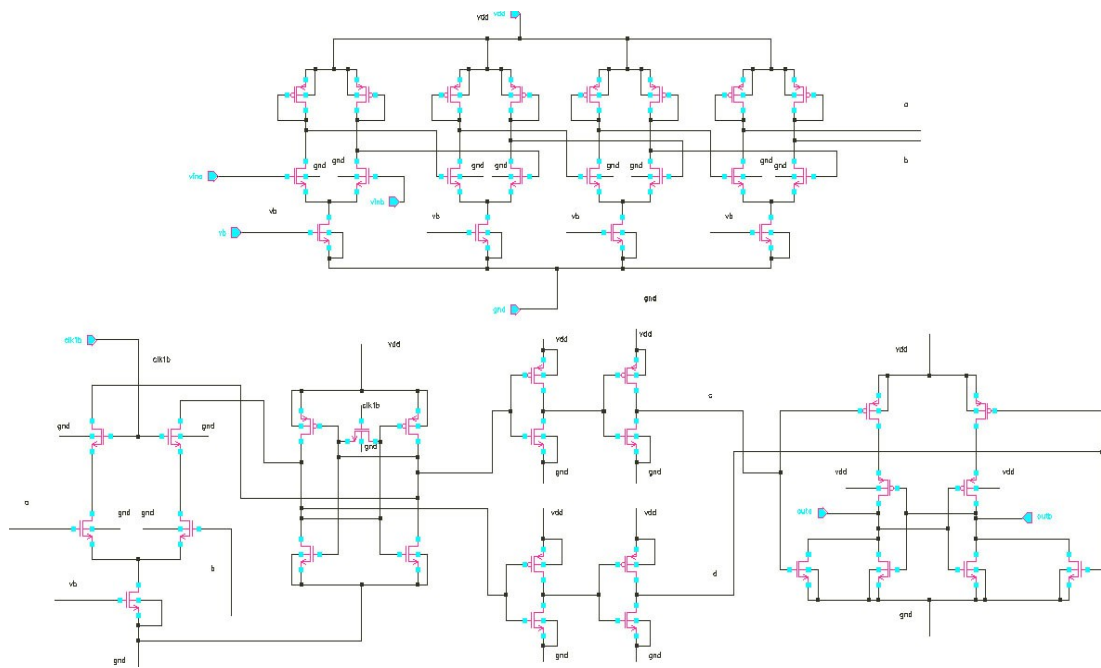


图 3-16 比较器电路整体结构

3.5 小结

本章讨论了比较器具体电路的设计。首先讨论了前置放大器结构的选取，然后分别讨论比较器每个模块的具体设计，并对其中的前置放大器和 SR_latch 锁存电路进行了仿真，并给出了前仿真结果。

第四章 比较器电路功能仿真

4.1 比较器的逻辑仿真

首先，对比较器进行逻辑功能的验证，确定比较器能够正常工作，完成输入信号的比较，并将比较结果输出。逻辑仿真部分主要输入正弦信号进行仿真，通过仿真结果来验证比较器的工作情况。

比较器的逻辑：在 clk 为低电平时，串联再生锁存器复位，其两个输出端分别为 0、0，而输出缓冲级的输入为 0、0 时，保持前一个状态的输出；在 clk 为高电平时，比较器完成比较过程，输出比较结果。

输入正弦信号，测试条件：电源电压为 3.3V，差分输入两端共模电平为 1.6V，差模电压为幅度 100mV、频率 20MHZ 的正弦信号，偏置电压为 1V，时钟信号 clk 为频率 500MHZ 的脉冲信号。

仿真结果如图 4-1 所示，当 clk 为低电平时，输出保持前一个时钟的输出不变；当 clk 为高电平时，比较器进行两输入信号的比较并输出比较结果。当 $vin1 > vin2$ 时，输出端 vout1 为高电平，输出端 vout2 为低电平；当 $vin1 < vin2$ 时，输出端 vout1 为低电平，输出端 vout2 为高电平，符合比较器的逻辑关系。

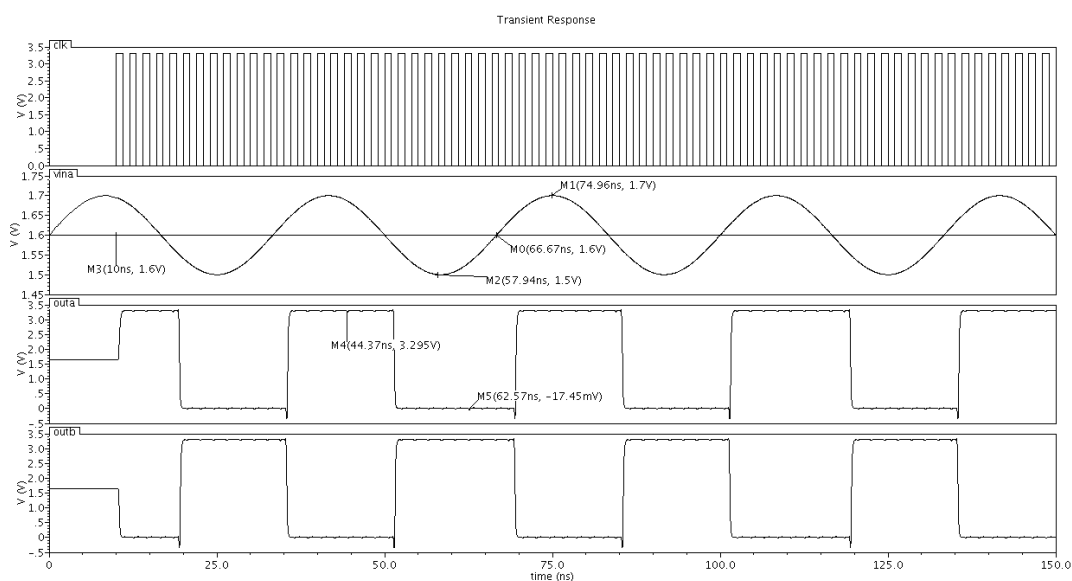
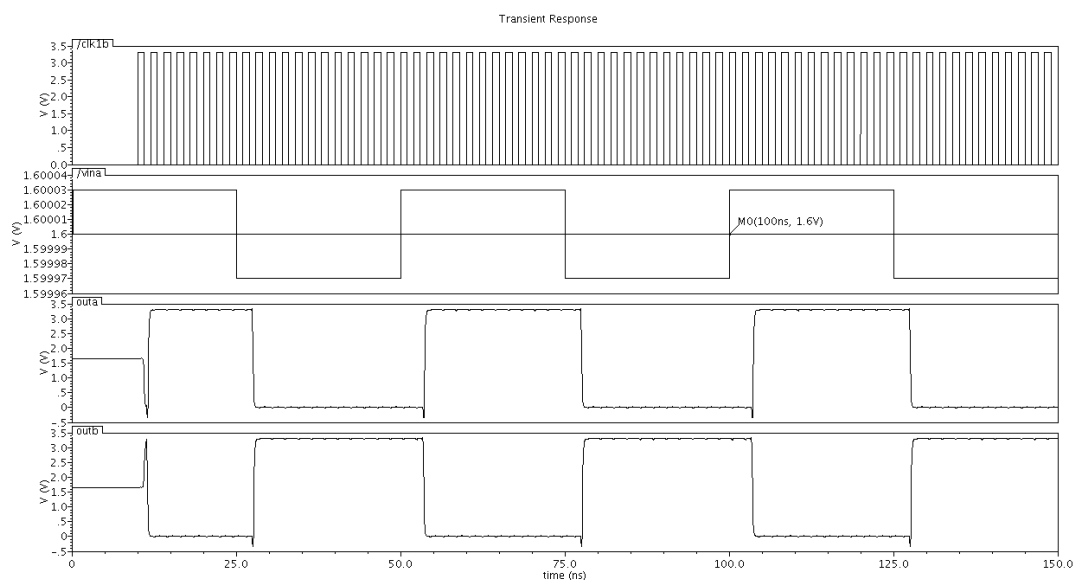


图 4-1 比较器正弦信号逻辑仿真

4.2 比较器的速度与精度

比较器的速度与比较器的精度是相关的，工作时钟越高，比较器精度越差。在本节，比较器的精度，指理想情况下，不考虑失调电压，比较器能够识别的最小电压。测试采用的方法，输入脉冲信号，考察比较器能够完成比较的最小信号幅度。

测试条件：电源电压为 3.3V，差分输入两端共模电平为 1.6V，差模电压为幅度可变、频率 20MHZ 的脉冲信号，偏置电压为 1V。



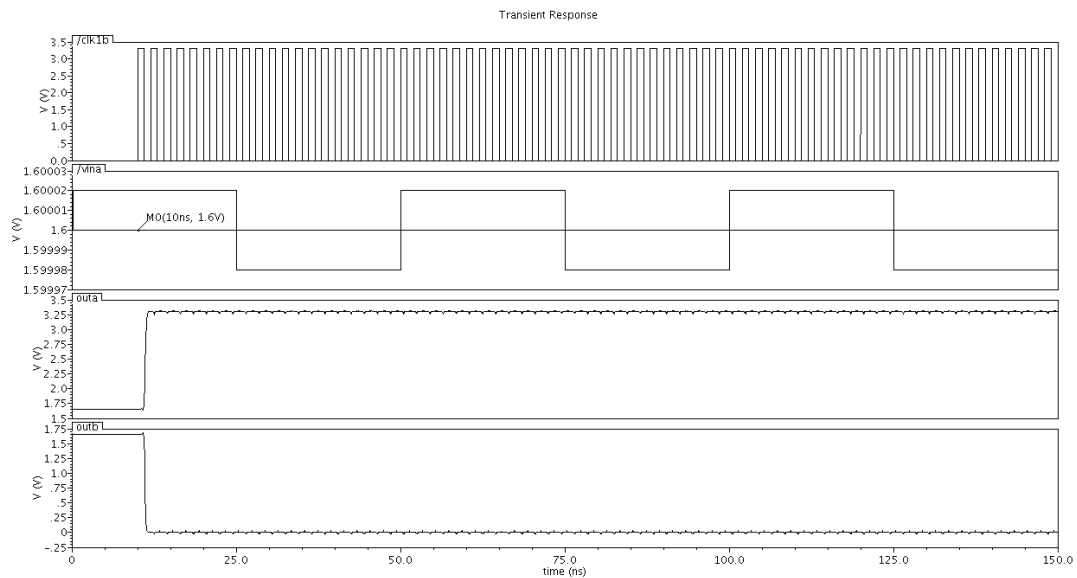


图 4-2 比较器工作时钟 500MHZ

比较器工作时钟为 500MHZ 时，仿真结果如图 4-2 所示，当输入信号幅度为 20uV 时，显然，比较器的输出结果出现错误，全部为高电平；当输入信号幅度为 30uV 时，能够完成比较，并输出正确的结果。

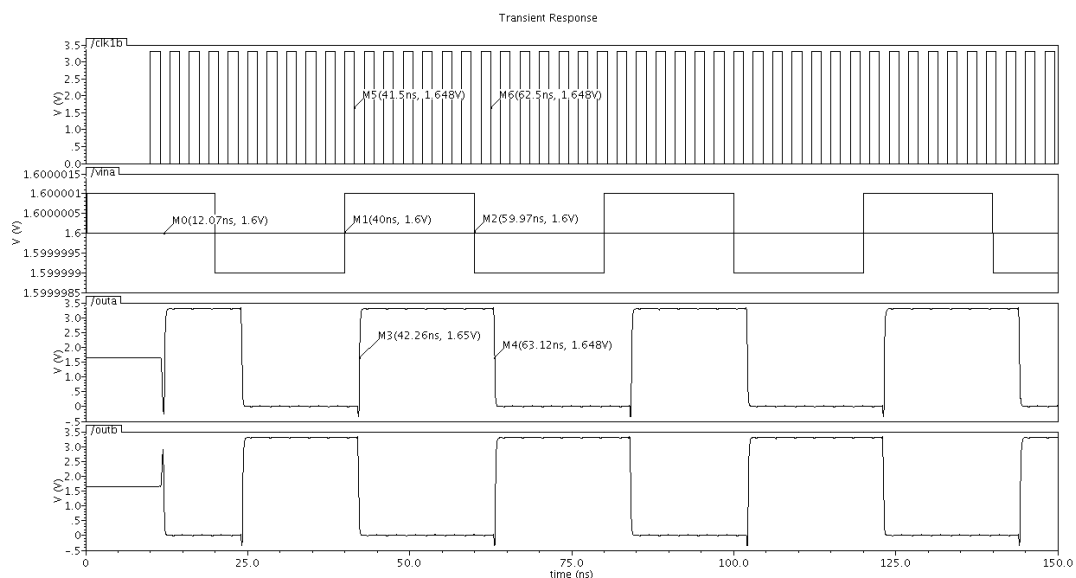


图 4-3 比较器工作时钟 300MHZ

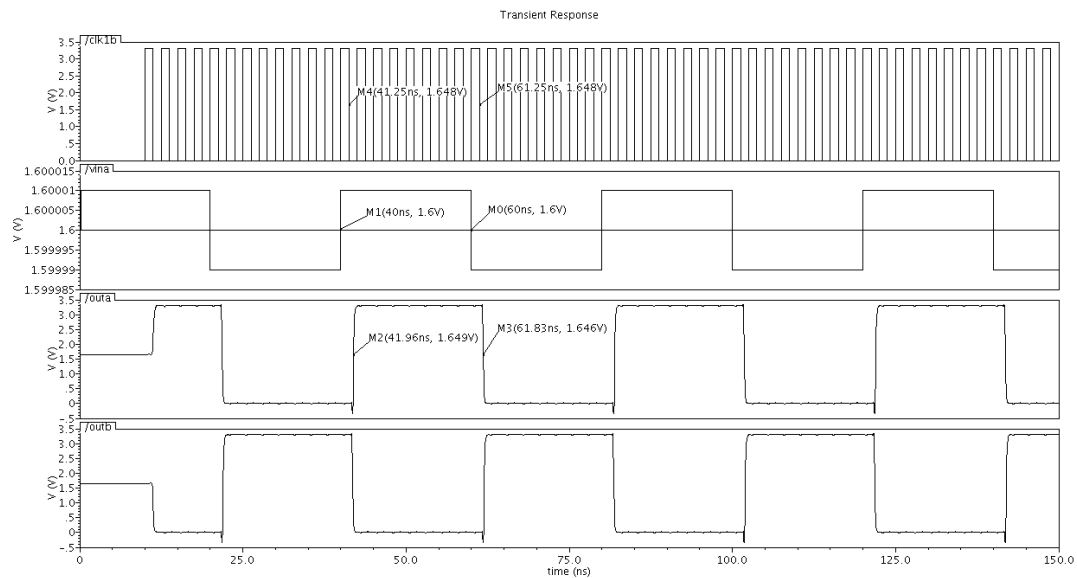


图 4-4 比较器工作时钟 400MHZ

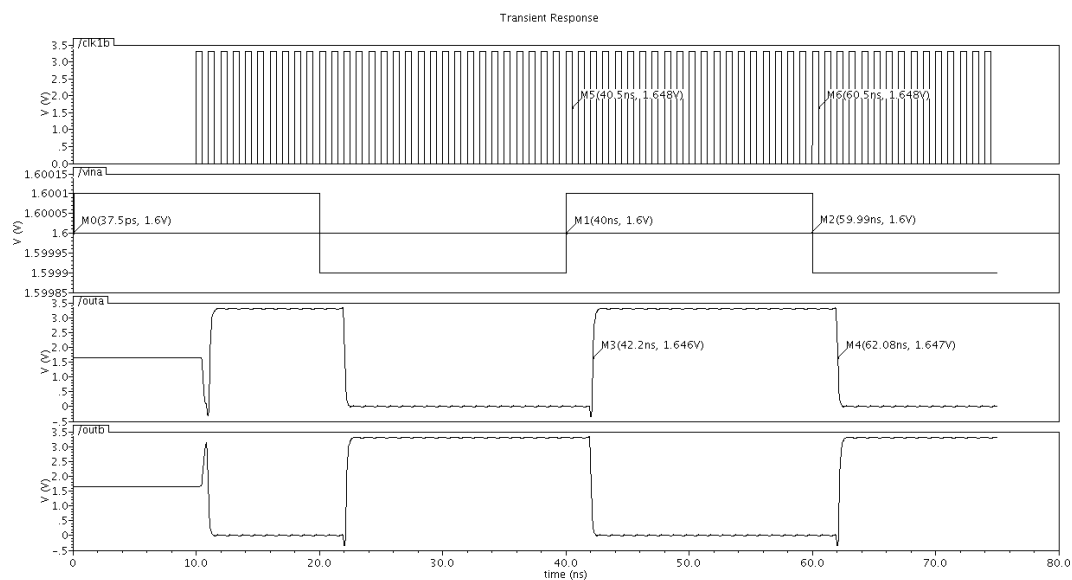


图 4-5 比较器工作时钟 1GHZ

从仿真结果来看，当速度为 300MHZ 时，比较器精度为 1uV；当比较器速度为 400MHZ 时，比较器精度为 10uV；当比较器速度为 500MHZ 时，比较器

精度为 30uV；当比较器速度为 1GHZ 时，比较器精度为 100uV。从分析来看，随着比较器工作时钟频率的升高，比较器的精度就会下降。

4.3 比较器的传输延迟

比较器的传输延迟可以分为两种：小信号和大信号。当输入信号不够大时，采用小信号分析；当输入信号足够大，这时传输延迟会减小。因为传输延迟会随着信号的增大而减小，但是当信号增大到一定程度，传输延迟就会保持不变，就是大信号分析。

小信号分析测试条件：电源电压为 3.3V，差分输入两端共模电平为 1.6V，差模电压为幅度 50mV、频率 20MHZ 的脉冲信号，偏置电压为 1V，时钟信号 clk 为频率 500MHZ 的脉冲信号。

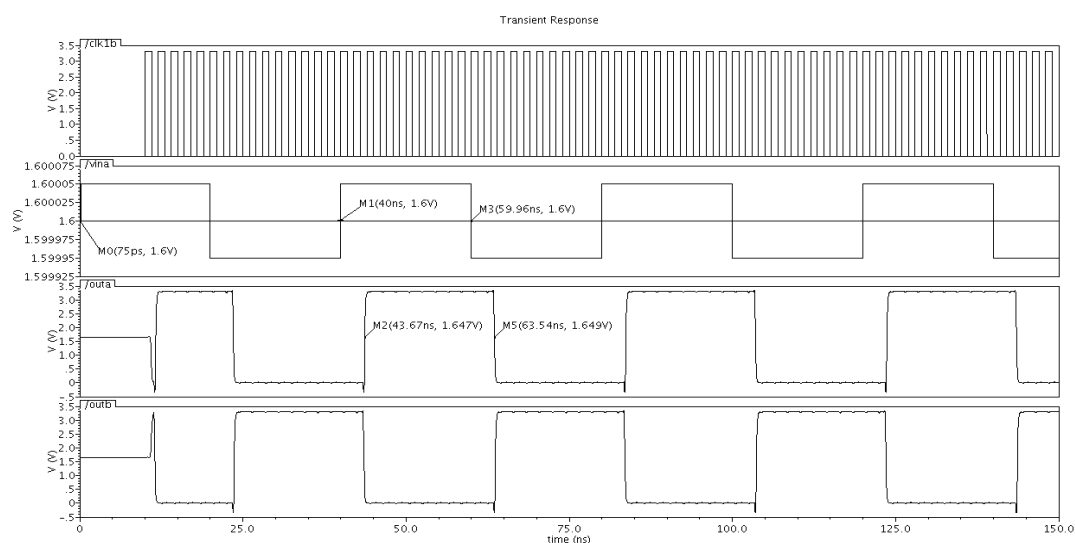


图 4-6 比较器小信号延迟

小信号仿真结果如图 4-6 所示，比较器输入输出信号上升延迟时间如公式 (4-1)所示，下降延迟时间如公式(4-2)所示，比较器的传输延迟如公式(4-3)所示。

$$t_{PLH} = 43.67 - 40 = 3.67ns \quad (4-1)$$

$$t_{PHL} = 63.54 - 59.96 = 3.58ns \quad (4-2)$$

$$t_p = \frac{t_{PLH} + t_{PHL}}{2} = 3.63ns \quad (4-3)$$

大信号分析测试条件：电源电压为 3.3V，差分输入两端共模电平为 1.6V，差模电压为幅度 300mV、频率 20MHZ 的脉冲信号，偏置电压为 1V，时钟信号 clk 为频率 500MHZ 的脉冲信号。

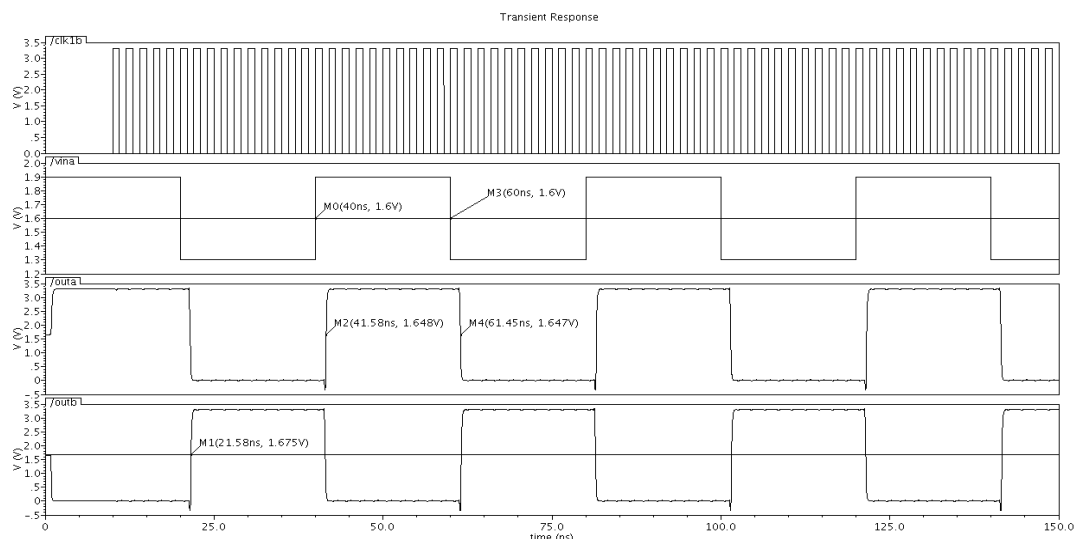


图 4-7 比较器大信号延迟

大信号仿真结果如图 4-8 所示，上升延迟时间如公式(4-4)所示，下降延迟时间如公式(4-5)所示，传输延迟时间如公式(4-6)所示为。

$$t_{PLH} = 41.58 - 40 = 1.58ns \quad (4-4)$$

$$t_{PHL} = 61.45 - 60 = 1.45ns \quad (4-5)$$

$$t_p = \frac{t_{PLH} + t_{PHL}}{2} = 1.515ns \quad (4-6)$$

显然，大信号的上升延迟、下降延迟都要比小信号分析小，传输延迟比小信号分析要小 2.115ns。

4.4 比较器的翻转电压

在理想情况下，当输入两端 vin1 和 vin2 相等时，比较器的输出开始翻转；但是由于比较的传输延迟及最小分辨电压的限制，比较器的输出端翻转时所对应的输入两端存在一个差值。

观察比较器的翻转电压，测试条件：电源电压为 3.3V，差分输入两端共模

电平为 1.6V，差模电压为缓慢变化的幅度为-10mV~+100mV~-10mV 的斜波信号，偏置电压为 1V，时钟信号 clk 频率为 500MHZ，仿真结果如图 4-8 所示。

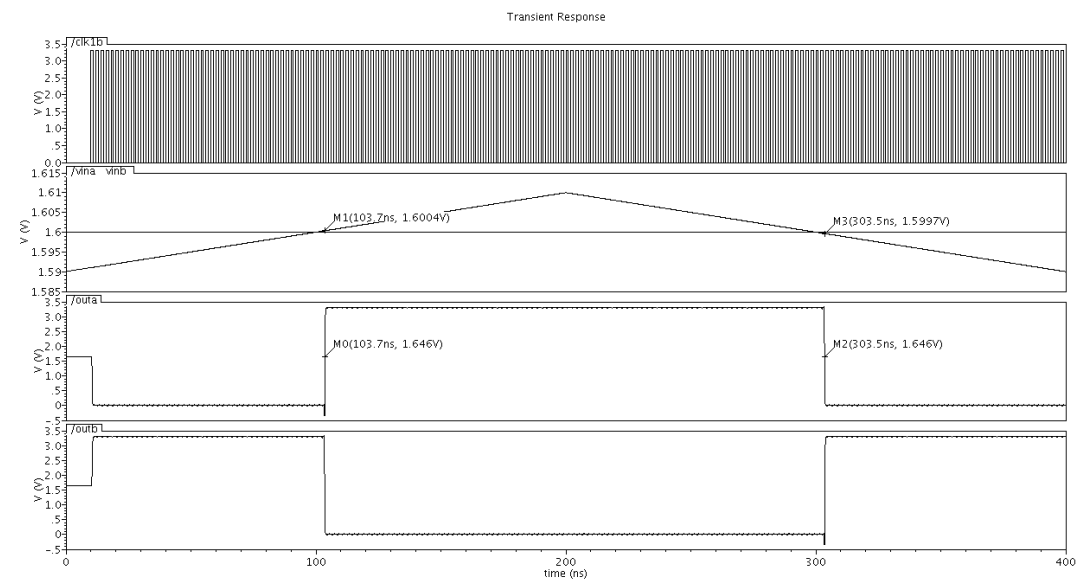


图 4-8 比较器的翻转电压

图 4-8 表明比较器从低电平 0 翻转到高电平 1 和从高电平 1 翻转到低电平 0 的过程，可以确定比较器的翻转电压为 $\pm 0.4\text{mV}$ 。

4.5 比较器的功耗

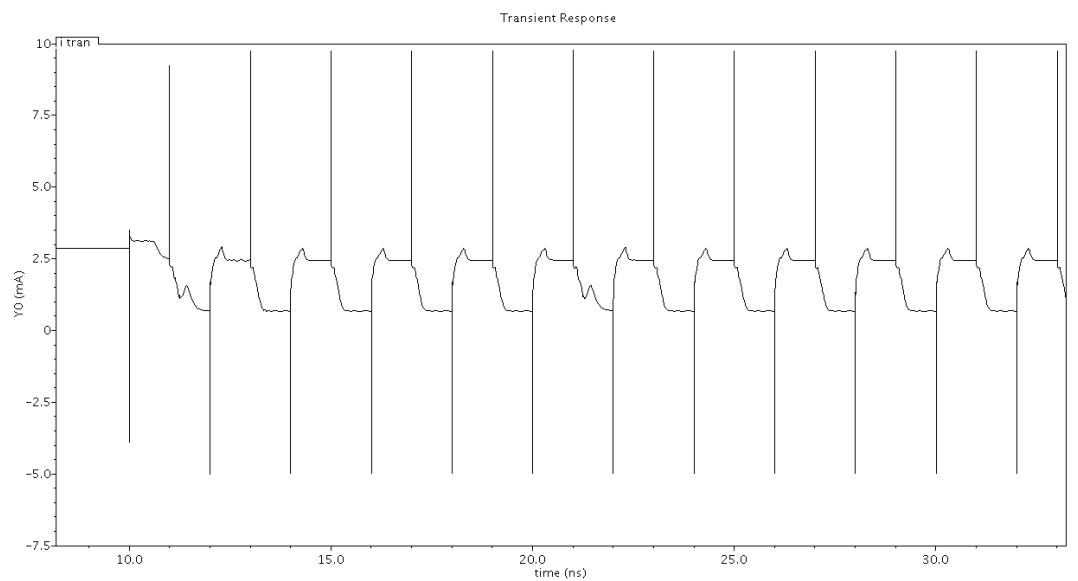


图 4-9 比较器的瞬态电流

从图 4-9 来看，输出缓冲级电路不存在任何静态功耗；在比较开始时有一个功耗的上升峰值。所以，通过 Cadence 软件中 virtuoso 设计工具里面的 calculator 计算比较器的整体功耗平约为 5.6mW 。

4.6 小结

本章在上一章节设计的并联再生锁存比较器的基础上，对比较器的逻辑功能，速度与精度，传输延迟，翻转电压和功耗进行了仿真。得到如表 4-1 的比较器指标。

表 4-1 比较器的性能指标

指标	
速度/精度	200MHZ/0.1uV
	300MHZ/1uV
	400MHZ/10uV
	500MHZ/30uV
小信号延迟	3.63ns
大信号延迟	1.515ns

翻转电压	0.4mV
功耗	5.6mW

续表 4-1

第5章 比较器的版图设计和后仿

版图设计在集成电路设计过程中是极其关键的一个环节，版图设计的质量直接影响着芯片的良率。版图设计后，要进行验证，即 DRC、LVS、参数提取和后仿真。后仿真，主要是验证加入连线延迟及寄生参数后比较器的工作性能，后仿真通过后，导出 GDSII 文件，送出流片。版图设计工具采用 Cadence Virtuoso，验证工具采用 Mentor Calibre。

5.1 比较器的版图设计

版图设计的过程，首先，对整体电路版图进行规划，估算各个子模块的面积及摆放位置，尽量保持整个芯片版图呈现正方形的形状。其次，对子模块的版图进行设计，与其他模块有互连的管脚要走线正确，确保最短的连线距离。最后

将每个模块的版图都摆放好，进行模块间的连线，保证连线最短、寄生效应最小。下面对几个主要考虑问题进行介绍。

1. 大尺寸晶体管的叉指形设计。晶体管的尺寸比较大的时候，如果版图设计不当，大尺寸的晶体管会引入较大的寄生效应。在版图设计中，常把一个较大的晶体管分成 n 个相同且并行的晶体管，每个晶体管的沟道宽度为原来的 n 分之一。这样能减小反向偏置结引入的寄生电容，而且减小栅电阻，使诸如失配、串扰等效应最小化。

2. 共心版图结构。现有的集成工艺中，它可以降低热梯度或工艺存在的线性梯度。热梯度是由芯片上面的一个发热点产生的，它会引起其周围的器件的电气特性发生变化，离发热点远的器件要比离发热点近的器件影响要小。共心技术使热的梯度影响在器件之间的分布比较均衡。

3. MOS 晶体管的排列方向一致和匹配器件靠近放置。

依据匹配原则和交叉方式，比较器的整体版图设计如图 5-1 所示，其中包括前置放大器、锁存比较器、输出级、电源和地。

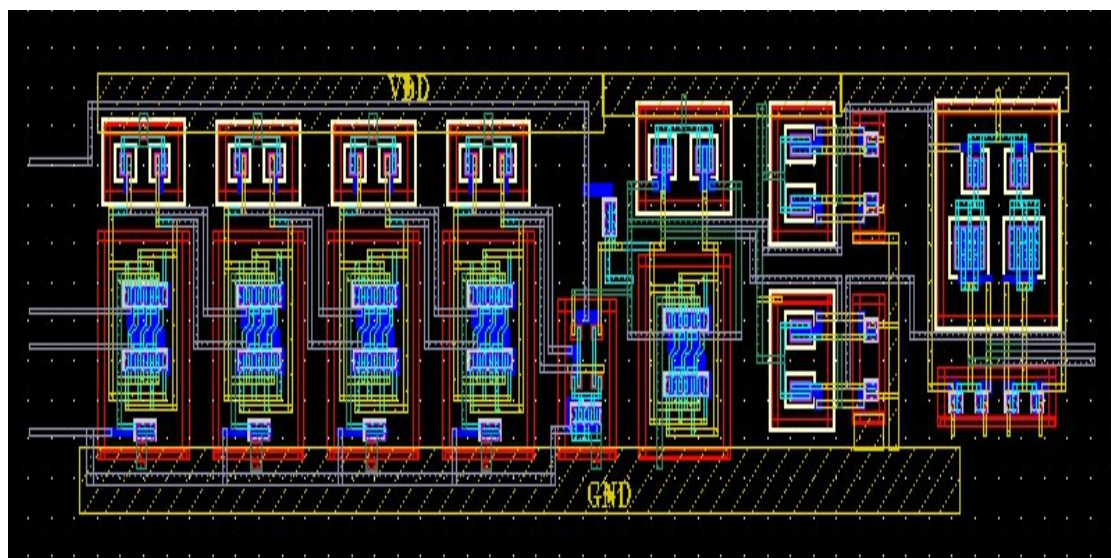


图 5-1 比较器的整体版图

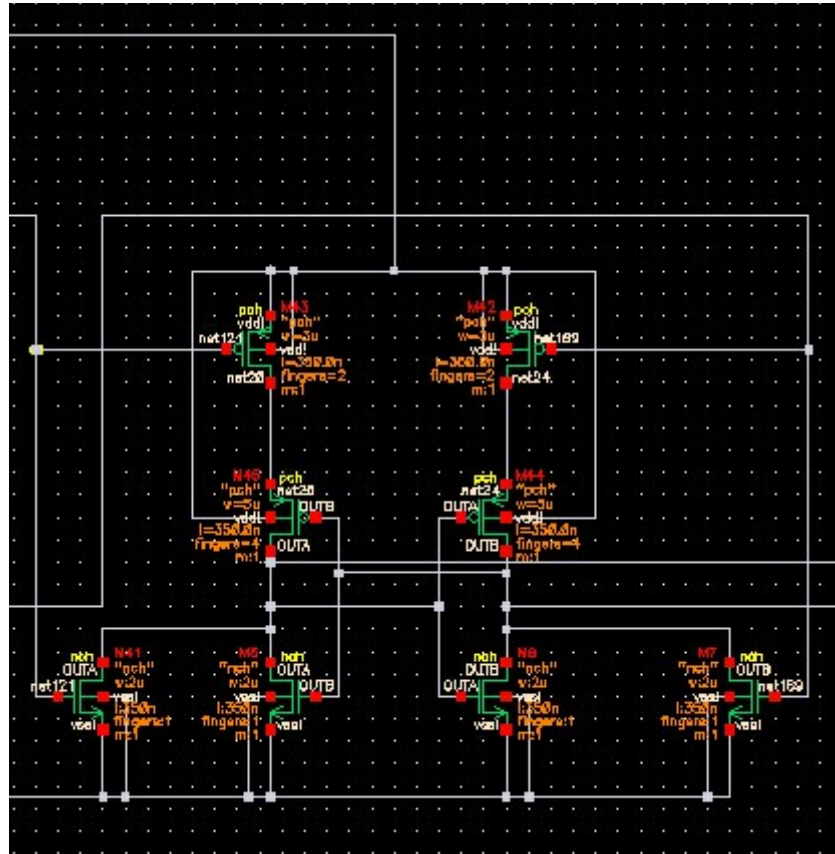


图 5-4 锁存器原理图

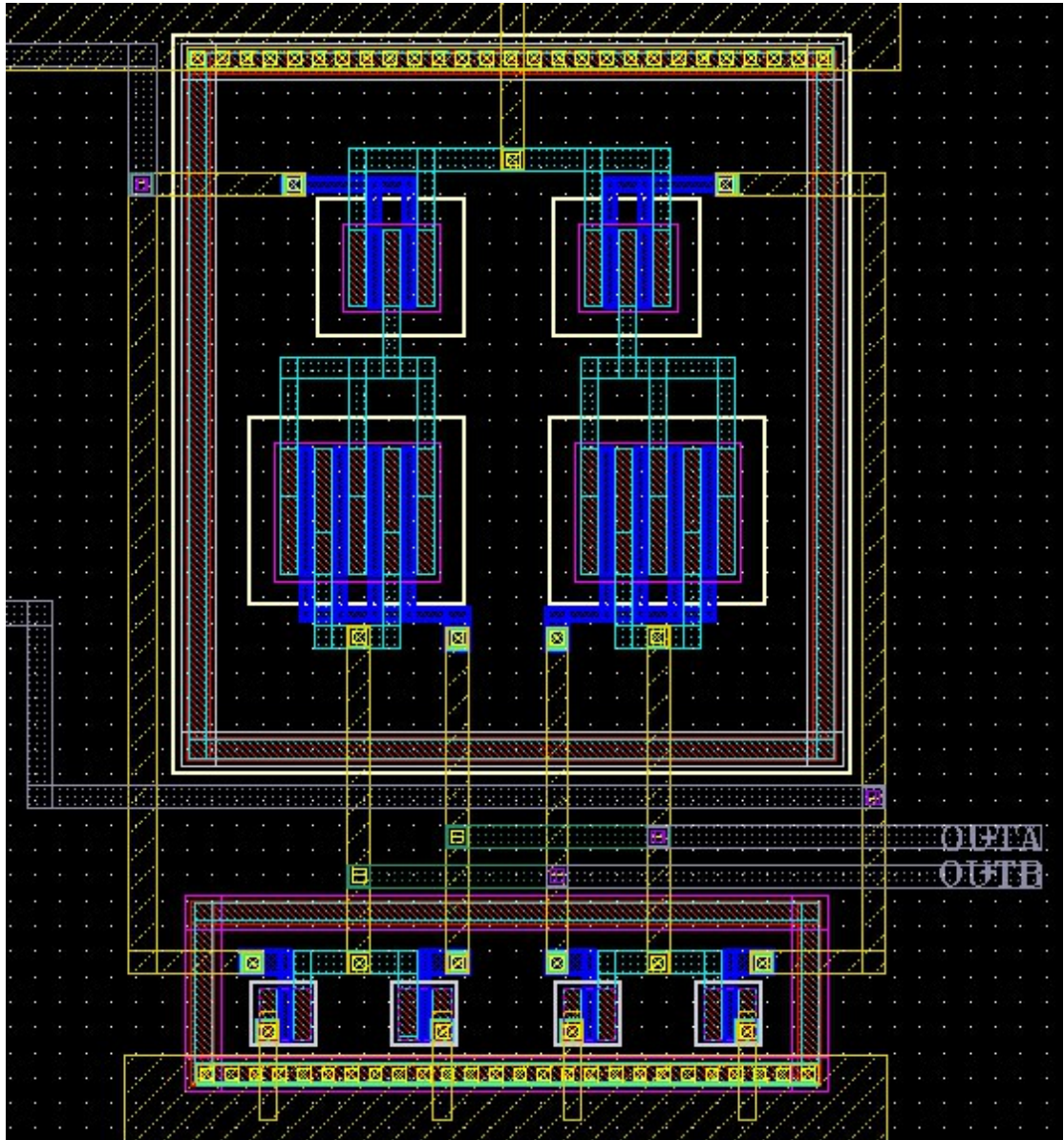


图 5-5 锁存器版图

加入焊盘后的整体芯片版图，如图 5-6。芯片版图的宽长为 590um*515um。

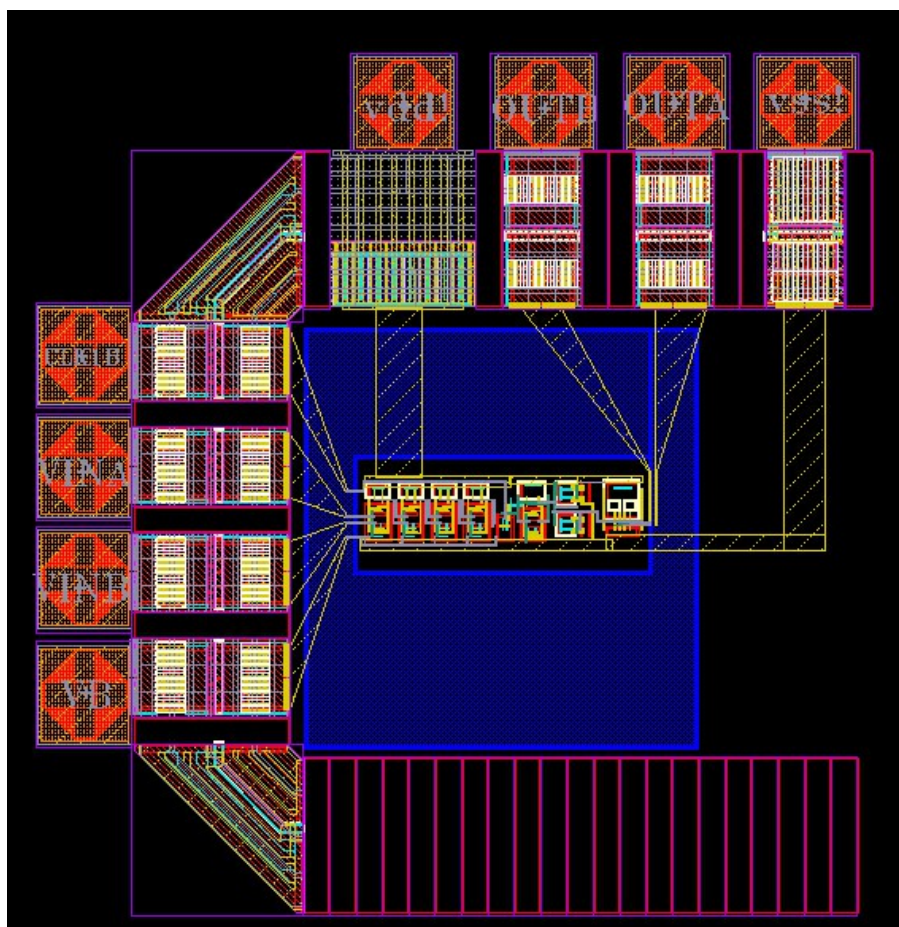


图 5-6 芯片版图

5.2 比较器的版图验证

版图完成之后，要对其进行验证，验证的整个过程包括：设计规则检查(DRC)、电路图版图对照(LVS)以及版图寄生参数提取(PEX)。

版图编辑要根据 TSMC 0.35um 库中的设计规则来完成，就是必须通过 DRC 检查。在版图设计过程中，建议每画好一部分版图就可以进行一次 DRC，以防最后版图进行 DRC 时出现很多错误，费时费力。编辑好的版图还要通过 LVS 验证。同时，编辑好的版图通过寄生参数提取(PEX)来提取电路的寄生参数，主要为电阻和电容，利用提取出来的参数可以进行后仿真。

利用 Mentor Calibre 工具进行 LVS，来检查电路原理图和版图是否保持一致，比对结果如图 5-7 所示。比对结果显示，版图和电路原理图是一致的。

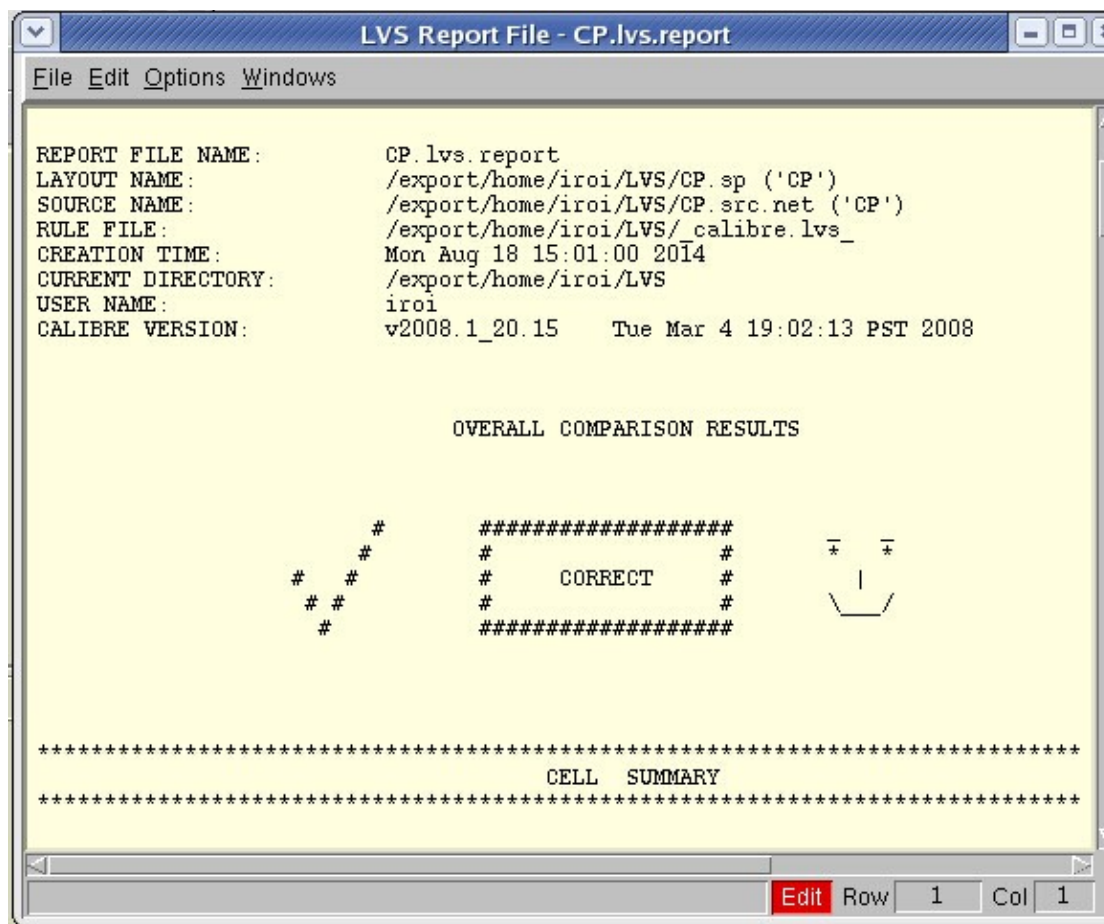


图 5-7 LVS 验证结果

5.3 比较器的后仿真

后仿真的最主要作用就是验证版图设计后的电路性能与设计目标是否一致，通过提取出来的网表能够精确地评估电路的速度及寄生参数带来的影响。如果后仿真的结果不能满足要求，那就需要重新进行调整或者设计。后仿的 ADE 环境设置和前仿一致。

测试条件 1：电源电压 3.3V，差分输入端共模电平为 1.6V，差模电压为幅度 1mV、频率 27Mhz 的正弦波，偏置电压 1.2V，时钟 clk 为 500Mhz 的脉冲信号。后仿结果如图 5-8。

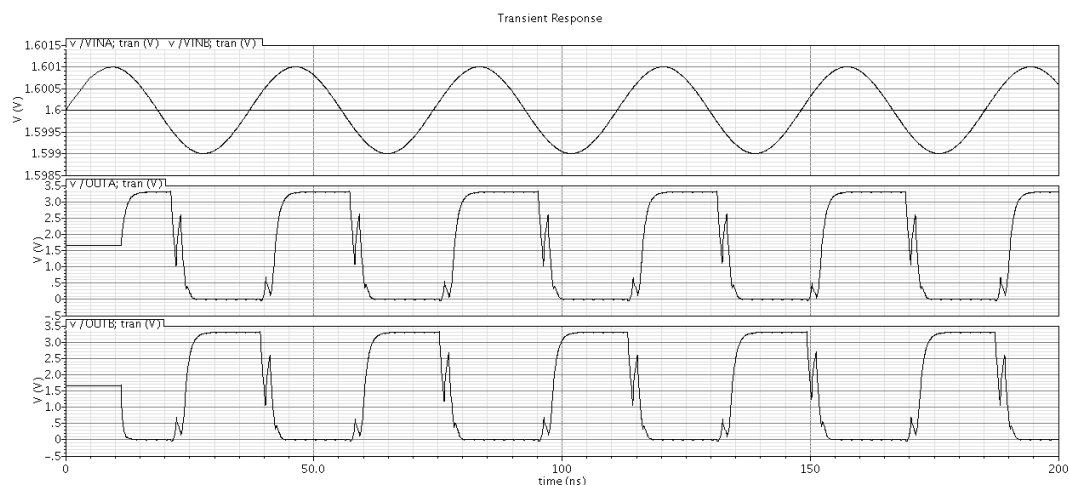


图 5-8 比较器的正弦波后仿

测试条件 2：电源电压为 3.3V，差分输入两端共模电平为 1.6V，差模电压为幅度可变、频率 20MHZ 的脉冲信号，偏置电压为 1.2V 时钟，clk 为 500Mhz 的脉冲信号。后仿结果如图 5-9。

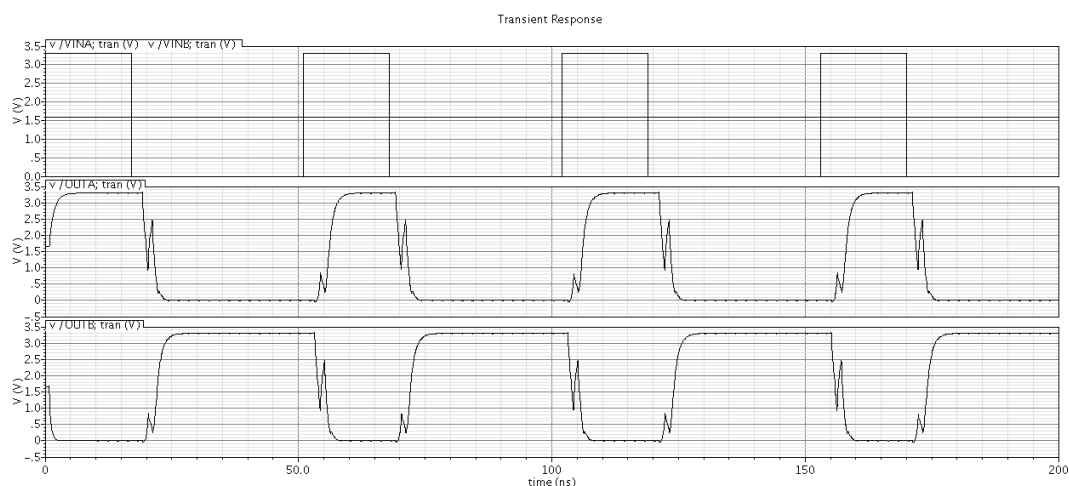


图 5-9 比较器的脉冲波后仿

后仿的所有参数与前仿一致，在第四章中已经说明。然后将前后仿的性能指标对比如表 5-1。

表 5-1 比较器的前后仿性能指标对比

指标	前仿	后仿
速度/精度	200MHZ/0.1uV	200MHZ/0.5uV
	300MHZ/1uV	300MHZ/4uV
	400MHZ/10uV	400MHZ/30uV
	500MHZ/30uV	500MHZ/50uV

续表 5-1

小信号延迟	3.63ns	4.51ns
大信号延迟	1.515ns	2.73ns
翻转电压	0.4mV	0.7mV
功耗	5.6mW	6.5mW

5.4 小结

本章在前面电路设计的基础上，运用 Cadence Virtuoso 设计工具，设计了比较器的版图。然后经 DRC，LVS 验证通过，对版图寄生参数提取，进行了后仿真。最后对前后仿的性能指标予以对比。

第六章 总结和心得

本文在 TSMC 0.35um CMOS 工艺下，完成了一个高速低功耗比较器设计。首先对比较器的基本工作原理进行分析，然后对锁存再生比较器的各个模块进行了详细的理论分析，并且先对前置放大器模块和 SR_latch 模块进行了仿真以满足功能要求，然后对比较器的整体电路进行仿真，包括比较器的逻辑功能，速度与精度，传输延迟，翻转电压和功耗。最后完成了比较器的版图设计，并且通过 DRC 和 LVS 验证，对版图寄生参数提取，进行了后仿真。

课题的设计过程分为如下几步：

1. 通过查询相关资料，了解比较器工作的基本原理和主要性能参数。
2. 通过分析比较，确定前置放大器的结构和再生比较器的结构，设计整体电路结构。
3. 使用 Cadence 对电路各项指标仿真。
4. 运用 Cadence Virtuoso 设计工具设计版图，进行后仿真。

比较器是 ADC 中最重要的模块，其速度、功耗等性能对整个模数转换器的速度和功耗都有着至关重要的影响，本文设计一种高速低功耗的比较器对 ADC 的设计有重大意义。

通过本次模拟实训的锻炼，基本掌握了模拟电路设计的整个流程。特别是后期暑假阶段的版图设计，自己从开始的如何画一个反相器都不会，到后来自己独立完成了整个比较器的版图设计，这里面得到了实验室同学的热情帮助。对于版图的设计心得总结如下：

1. 在设计整个电路版图之前，要有整体布局意识，各个模块如何布置，这决定了一个芯片的大体结构，有助于后面的修改和查错。
2. 在版图布线时候，要常用标尺标注距离，有意识的保持规定的线宽和线间距，这样能减少很多 DRC 错误。
3. 尽量设计对称版图的结构，对相同电路多用复制，既减少工作量又能降低错误发生。

4.设计版图的时候，在每一次大的改动之后都要进行 DRC 验证。这样才能避免一个复杂版图完成后再进行 DRC 验证时出现一堆错误。我在画版图的时候，甚至在完成每个模块后，会对该模块进行一次 DRC 和 LVS 验证，目的就是为减少最后总的验证错误。

5.进行 LVS 验证之前，要先对着电路图和版图自己检查一遍，很多错误自己检查反而比通过 LVS 报告易于发现。尤其是接触孔，多层叠在一起容易漏画。相同层重合在一起时一定要注意，这是最容易发生错误的地方。

致谢

本论文完成之际，首先衷心的感谢我的课程指导老师常昌远老师。常老师在日常教学中细致的讲解，渊博的理论知识让我收获很大。课程实验过程中始终严格要求，精益求精，对细节的追求值得我去不断地学习，促使我不断进步。

另外，也要感谢实验室里面给予我指导和帮助的同学们，没有他们无私和热心的帮助，我遇到的很多困难和疑惑就无法得到快速解决，在这里对他们表示感谢。Cadence 软件是一个复杂庞大的 IC 设计工具，根据老师课堂的指导和课后自己在书籍上学习，向同学请教学习等，掌握了基本的电路建立，tran, dc, ac 仿真，还有版图设计，再结合自己学习的模拟 CMOS 设计的基础知识，然后通过仿真结果不正确的地方反过来修改自己的电路和版图。通过整个课程设计的过程让我受益匪浅。

参考文献

- [1] 修丽梅. 高速低功耗电压比较器结构设计[D].北京交通大学,2008.
- [2] 唐永建. 片上 10 位 20 兆赫兹流水线 A/D 转换器的设计[D].浙江大学,2005.
- [3] Phillip E.Allen, Douglas R. Holberg. CMOS Analog IC Design. Oxford University Press.Feb.2002.pp.359-386
- [4] 邹望辉. 高精度流水线结构模数转换器的设计[D].华中科技大学,2004.
- [5] 张少真. 高速低功耗比较器研究[D].北京交通大学,2012.
- [6] Johns D. Martin K.曾朝阳. 模拟集成电路设计[M]. 北京：机械工业出版社, 2005.pp.213-233
- [7] Phillip E.Allen. 冯军.CMOS 模拟集成电路设计[M].北京：电子工业出版社, 2005.
- [8] 张俊,王明珍. 一种分辨率为 $39\mu\text{V}$ 的高精度比较器设计[J]. 电子质量,2013,08:24-27.
- [9] Yu. J, Sandler M B, Hawken, R.E, "Adaptive quantization for one-bit sigma-delta modulation," *Circuits, Devices and Systems, IEE Proceedings G* , vol.139, no.1, pp.39-44, Feb 1992
- [10] 程闪峰,张洁,闵昊. 低功耗 33MHz 采样频率,10 比特流水线结构的模数转换器[J]. 复旦学报(自然科学版),2001,03:335-341.
- [11] 张诗娟. 12 位逐次逼近型 A/D 转换器的设计[D].华中科技大学,2005.
- [12] 李杰,吴光林,吴建辉,戚韬. 一种低失调 CMOS 比较器设计[J]. 电路与系统学报,2007,01:51-54.