

欢迎关注微信公众号：ic—layout；



LVS option

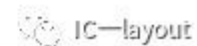
```
LAYOUT PRIMARY "lvs_top"  
LAYOUT PATH "lvs_top.gds"  
LAYOUT SYSTEM GDSII
```

```
SOURCE PRIMARY "lvs_top"  
SOURCE PATH "lvs_top.cdl"  
SOURCE SYSTEM SPICE
```

```
DRC RESULTS DATABASE "calibre_drc.db" ASCII // ASCII or GDSII  
DRC SUMMARY REPORT "calibre_drc.sum"
```

```
ERC RESULTS DATABASE "calibre_erc.db" ASCII // ASCII or GDSII  
ERC SUMMARY REPORT "calibre_erc.sum"
```

```
LVS REPORT "lvs.rep"  
LVS REPORT MAXIMUM 1000 // ALL
```



LAYOUT PATH "\*\*\*/\*\*/\*\*.gds" 版图 gds 的绝对路径  
LAYOUT PRIMARY "AAAA" 版图的 topcell name  
LAYOUT SYSTEM GDSII 版图的存储格式

SOURCE PATH "\*\*\*/\*\*/\*\*.cdl" 网表的绝对路径  
SOURCE PRIMARY "AAAA" 网表中 topcell name  
SOURCE SYSTEM SPICE 网表的存储格式

LVS REPORT "lvs.rep" lvs report 的文档名（默认的为 lvs.rep 可以修改）  
LVS REPORT MAXIMUM 1000//ALL 报告结果的最大值，1000（数字可以改）或者全报。

```


MASK SVDB DIRECTORY "svdb" QUERY
#ENDIF
LVS ISOLATE SHORTS YES
LVS REPORT OPTION S

PRECISION 1000
RESOLUTION 1
UNIT LENGTH U

TEXT DEPTH PRIMARY
PORT DEPTH PRIMARY

FLAG SKEW YES
FLAG OFFGRID YES

```

 IC-layout

LVS ISOLATE SHORTS YES /NO yes 可以报出 short 的错/no 不报 short 错

LVS REPORT OPTION S 跟上一条联合使用可以报出更详细的错误信息

PRECISION 1000 输入数据的精度

RESOLUTION 1 工艺可识别的最小步进单位

(RESOLUTION/PRECISION 就是格点了~)

UNIT LENGTH u 定义距离单位为: um

TEXT DEPTH PRIMARY /ALL/number 识别 top/所有层/指定层的 text (上图例子为识别 top 层)

PORT DEPTH PRIMARY /ALL/number 识别 top/所有层/指定层的 port (上图例子为识别 top 层)


FLAG SKEW YES/NO 是否将非 45 度倍数的斜角报出

FLAG OFFGRID YES/NO 是否将格点的错误报出

```

LVS SPICE PREFER PINS          YES
LVS ABORT ON SUPPLY ERROR      NO
LVS ALL CAPACITOR PINS SWAPPABLE YES
LVS RECOGNIZE GATES            NONE
LVS IGNORE PORTS               NO
LVS CHECK PORT NAMES           YES
LVS REDUCE PARALLEL BIPOLAR    YES
LVS REDUCE PARALLEL MOS        YES

```

 IC-layout

LVS SPICE PREFER PINS YES/NO 是否将子模块的 pin 优先于全局信号

LVS ABORT ONSUPPLY ERROR YES/NO 是否因为 power/ground 的错误而中止 lvs 操作

LVS ALL CAPACITORPINS SWAPPABLE YES/NO 电容两极板是否可以互换

LVS RECOGNIZE GATES NONE/ALL/simple 识别 logic 电路是否用晶体管级。如果选择 NONE 就是晶体管级的识别。ALL 是门级识别。区别在于门级识别, logic 的输入可以互换, 而晶体管级的不可以。比如一个 4 输入 NAND4, 其实根据电路看, 每一个管子的位置都是定好的, 不可以互换的, 如果我们选择门级识别, 这四个输入就可以随意的互换。

LVS IGNORE PORT YES/NO 是否在 LVS 比较中忽略 Layout 与 source 的顶层 pin 的比较。

LVS CHECKPORT NAMES YSE/NO 是否比较 layout 与 source 的名字是否 math

LVSREDUCE PARILLAL BIPORLAR YES/NO 是否将多个并联的 bipolar 器件 reduce 为一个器件。

LVS REDUCE PARILLALMOS YES YSE/NO 是否将多个并联的 MOS 器件 reduce 为一个器件。

LVS REDUCE SERIESRESISTORS YES/NO 是否将多个串联的电阻 reduce 为一个器件。

```
LVS REDUCE SPLIT GATES NO
LVS SPICE REPLICATE DEVICES NO
LVS INJECT LOGIC NO
// For hcell blocking
//LVS FILTER UNUSED OPTION B D E O C-layout
```

LVS REDUCE SPLIT GATES YES/NO 是否将 SPLIT GATE 的 mos reduce 为一个器件。

LVS POWER NAME “?VDD?” “?vdd?” “AVDD” 定义 cell 的 power name，可以用通配符“?”来代替其他字符，比如 VDD\_I0，也会认为是 power，也可以精确匹配，如“AVDD”，需要完全与 AVDD 一致的字符才会被认为是 power。如果没有这句定于或者只定义了精确匹配而 layout 中的电源名字又不能匹配上，那么就相当于 layout 和 source 中没有电源。

LVS GROUND NAME “?VSS?” “?vss?” “?GND?” “?gnd?” “AGND” 同上

VIRTUAL CONNECT COLON YES/NO 是否通过冒号进行虚拟连接，比如 cell 内部的 GND 没有连接在一起，我们就可以通过冒号进行虚拟连接，将每一个 GND 的 label 打成

“GND: ”，calibre 就认为凡是打这个 label 的 net 都是连接在一起的，在做顶层的 LVS 的时候这个选项必须选为“NO”

LVS SPICE STRICT WL YES 对 SPICE 网表里的 mos 的宽长的代号的认定。如果是 YES，那么在 SPICE 网表中只有在模数器件中的“W” “L”才被认为是 mos 的宽和长。其他的任何字符都不代表 mos 的宽长，如果选项设置为 NO，则 mos 器件中定义的凡是以“W”开头的字符都被认为是 mos 的宽，凡是以“L”开头的字符都被认为是 mos 的长，如

“WIDTH” “LENGTH”。

LVS compare case YES/NO 是否区分大小写，如果区分选择“YES”的同时还要增加 2 个语句：LAYOUT CASE YES 和 SOURCE CASE YES。

LVS FILTER UNUSED OPTION B D E O 过滤符合条件的器件，例如三端接地的 mos 等等每个字母代表不同的条件，具体的可以在 pdf 里查看。

定义连接关系：

```

////////////////////////////////////
//      CONNECTION
////////////////////////////////////

```

```

CONNECT cnbasel tndiff BY nplug
CONNECT cpbasel tpdiff BY pplug
CONNECT gate_erc poly
CONNECT metal1 p3 BY polycont
CONNECT metal1 poly BY polycont
CONNECT metal1 poly2 BY polycont
CONNECT metal1 tndiff BY cdcont
CONNECT metal2 metal1 BY VIA1
CONNECT metal3 metal2 BY VIA2
CONNECT metal4 metal3 BY VIA3
CONNECT metal5 metal4 BY VIA4
CONNECT metal6 metal5 BY VIA5
CONNECT metal7 metal6 BY VIA6
CONNECT metal8 metal7 BY VIA7

```

IC-layout

如 metal1 与 metal2 是通过 VIA1 连接在一起。

定义了用于 port 的 layer:

```

TEXT LAYER 131 ATTACH 131 metal1
PORT LAYER TEXT 131
TEXT LAYER 132 ATTACH 132 metal2
PORT LAYER TEXT 132
TEXT LAYER 133 ATTACH 133 metal3
PORT LAYER TEXT 133
TEXT LAYER 134 ATTACH 134 metal4
PORT LAYER TEXT 134
TEXT LAYER 135 ATTACH 135 metal5
PORT LAYER TEXT 135
TEXT LAYER 136 ATTACH 136 metal6
PORT LAYER TEXT 136
TEXT LAYER 137 ATTACH 137 metal7
PORT LAYER TEXT 137

```

IC-layout

TEXT LAYER 131 ATTACH 131 metal1


将层号为 131 的 layer 定义为一个可以提取 net 信息的 text 层，并且将这层 attach 到 metal1 上，就是使用这层写的 label 可以提取 attach 的 metal1 信息。比如，我用 131 层写一个 label “A” 在 metal 上，那么在 LVS 中这条 metal1 就被认为是 net “A”。上面的语句也可以分成 2 行来写：TEXT LAYER 131; ATTACH 131 METAL1。PORT LAYER TEXT 131 指将 131 层写的 label 定义为 port，凡是使用 131 层打的 label 都被认为是 port。

定义器件：

```

//-----
// Define P+ diffusion resistor
//-----
#ifdef LIB
    PDRES      = BPDIFF AND (RSYMBOL OR VSTRES)
#else
    PDRES      = BPDIFF AND RSYMBOL
#endif
NSPSRES      = ((PDRES AND SAB) INSIDE NWELL) NOT (MMSYMBOL OR RFSYMBOL)
NSPSRES_MM   = ((PDRES AND SAB) INSIDE NWELL) AND MMSYMBOL
SPSRES:1     = (PDRES NOT NSPSRES) NOT INTERACT SAB
SPSRES       = (SPSRES:1 INSIDE NWELL ) NOT (MMSYMBOL OR RFSYMBOL)
SPSRES_MM    = (SPSRES:1 INSIDE NWELL ) AND MMSYMBOL
RPDS         = BPDIFF NOT PDRES
PSD          = RPDS NOT PGATE
PSD_C        = PSD NOT RFSYMBOL
PSD_I        = PSD AND RFSYMBOL

```


 IC—layout

### 比较精度:

```

TRACE PROPERTY MN (nch_uhvt_dnw) L L 0
TRACE PROPERTY MN (nch_uhvt_dnw) W W 0
TRACE PROPERTY MN (nch_ulvt) L L 0
TRACE PROPERTY MN (nch_uhvt) W W 0
TRACE PROPERTY MN (nch_ulvt_dnw) L L 0
TRACE PROPERTY MN (nch_ulvt_dnw) W W 0
TRACE PROPERTY MN (nch_w) L L 0
TRACE PROPERTY MN (nch_w) W W 0
TRACE PROPERTY MN (nchpd_hvtsr) L L 0
TRACE PROPERTY MN (nchpd_hvtsr) W W 0

```

 IC—layout

TRACK PROPERTY MN ( nch ) L L 1

是指将一个 model name 为 nch 的 NMOS 的 L 的比较精度设置为 1%，即 layout 和 source 的比较阈度为 -1%~+1%，如果超过了这个范围就会报 property mismatch 的错误。