

《半导体 IC 制造流程》

一、晶圆处理制程

晶圆处理制程之主要工作为在硅晶圆上制作电路与电子组件（如晶体管、电容体、逻辑闸等），为上述各制程中所需技术最复杂且资金投入最多的过程，以微处理器（Microprocessor）为例，其所需处理步骤可达数百道，而其所需加工机台先进且昂贵，动辄数千万一台，其所需制造环境为为一温度、湿度与含尘量（Particle）均需控制的无尘室（Clean-Room），虽然详细的处理程序是随着产品种类与所使用的技术有关；不过其基本处理步骤通常是晶圆先经过适当的清洗（Cleaning）之后，接着进行氧化（Oxidation）及沉积，最后进行微影、蚀刻及离子植入等反复步骤，以完成晶圆上电路的加工与制作。

二、晶圆针测制程

经过 Wafer Fab 之制程后，晶圆上即形成一格格的小格，我们称之为晶方或是晶粒（Die），在一般情形下，同一片晶圆上皆制作相同的芯片，但是也有可能同一片晶圆上制作不同规格的产品；这些晶圆必须通过芯片允收测试，晶粒将会一一经过针测（Probe）仪器以测试其电气特性，而不合格的晶粒将会被标上记号（Ink Dot），此程序即称之为晶圆针测制程（Wafer Probe）。然后晶圆将依晶粒为单位分割成一粒粒独立的晶粒，接着晶粒将依其电气特性分类（Sort）并分入不同的仓（Die Bank），而不合格的晶粒将于下一个制程中丢弃。

三、IC 构装制程

IC 构装制程（Packaging）则是利用塑料或陶瓷包装晶粒与配线以成集成电路（Integrated Circuit；简称 IC），此制程的目的是为了制造出所生产的电路的保护层，避免电路受到机械性刮伤或是高温破坏。最后整个集成电路的周围会向外拉出脚架（Pin），称之为打线，作为与外界电路板连接之用。

四、测试制程

半导体制造最后一个制程为测试，测试制程可分成初步测试与最终测试，其主要目的除了为保证顾客所要的货无缺点外，也将依规格划分 IC 的等级。在初步测试阶段，包装后的晶粒将会被置于各种环境下测试其电气特性，例如消耗功率、速度、电压容忍度...等。测试后的 IC 将会依其电气特性划分等级而置入不同的 Bin 中（此过程称之为 Bin Splits），最后因应顾客之需求规格，于相对应的 Bin 中取出部份 IC 做特殊的测试及烧机（Burn-In），此即为最终测试。最终测试的成品将被贴上规格卷标（Brand）并加以包装而后交与顾客。未通过的测试的产品将被降级（Downgrading）或丢弃。

《晶柱成长制程》

硅晶柱的长成，首先需要将纯度相当高的硅矿放入熔炉中，并加入预先设定好的金属物质，使产生出来的硅晶柱拥有要求的电性特质，接着需要将所有物质融化后再长成单晶的硅晶柱，以下将对所有晶柱长成制程做介绍。

长晶主要程序：

融化（MeltDown）

此过程是将置放于石英坩锅内的块状复晶硅加热制高于摄氏 1420 度的融化温度之上，此阶段中最重要的参数为坩锅的位置与热量的供应，若使用较大的功率来融化复晶硅，石英坩锅的寿命会降低，反之功率太低则融化的过程费时太久，影响整体的产能。

颈部成长（Neck Growth）

当硅融浆的温度稳定之后，将<1.0.0>方向的晶种渐渐注入液中，接着将晶种往上拉升，并使直径缩小到一定（约 6mm），维持此直径并拉长 10-20cm，以消除晶种内的排差（dislocation），此种零排差（dislocation-free）的控制主要为将排差局限在颈部的成长。

晶冠成长（Crown Growth）

长完颈部后，慢慢地降低拉速与温度，使颈部的直径逐渐增加到所需的大小。

晶体成长（Body Growth）

利用拉速与温度变化的调整来迟维持固定的晶棒直径，所以坩锅必须不断的上升来维持固定的液面高度，于是由坩锅传到晶棒及液面的辐射热会逐渐增加，此辐射热源将致使固液界面的温度梯度逐渐变小，所以在晶棒成长阶段的拉速必须逐渐地降低，以避免晶棒扭曲的现象产生。

尾部成长（Tail Growth）

当晶体成长到固定（需要）的长度后，晶棒的直径必须逐渐地缩小，直到与液面分开，此乃避免因热应力造成排差与滑移面现象。

《晶柱切片后处理》

硅晶柱长成后，整个晶圆的制作才到了一半，接下必须将晶柱做裁切与检测，裁切掉头尾的晶棒将会进行外径研磨、切片等一连串的处理，最后才能成为一片片价值非凡的晶圆，以下将对晶柱的后处理制程做介绍。

切片（Slicing）

长久以来经援切片都是采用内径锯，其锯片是一环状薄叶片，内径边缘镶有钻石颗粒，晶棒在切片前预先黏贴一石墨板，不仅有利于切片的夹持，更可以避免在最后切断阶段时锯片离开晶棒所造成的破裂。

切片晶圆的厚度、弓形度（bow）及挠屈度（warp）等特性为制程管制要点。影响晶圆质量的因素除了切割机台本身的稳定度与设计外，锯片的张力状况及钻石锐利度的保持都有很大的影响。

圆边（Edge Polishing）

刚切好的晶圆，其边缘垂直于切割平面为锐利的直角，由于硅单晶硬脆的材料特性，此角极易崩裂，不但影响晶圆强度，更为制程中污染微粒的来源，且在后续的半导体制成中，未经处理的晶圆边缘也为影响光组与磊晶层之厚度，固须以计算机数值化机台自动修整切片晶圆的边缘形状与外径尺寸。

研磨（Lapping）

研磨的目的在于除去切割或轮磨所造成的锯痕或表面破坏层，同时使晶圆表面达到可进行抛光处理的平坦度。

蚀刻（Etching）

晶圆经前述加工制程后，表面因加工应力而形成一层损伤层（damaged layer），在抛光之前必须以化学蚀刻的方式予以去除，蚀刻液可分为酸性与碱性两种。

去疵（Gettering）

利用喷砂法将晶圆上的瑕疵与缺陷感到下半层，以利往后的 IC 制程。

抛光（Polishing）

晶圆的抛光，依制程可区分为边缘抛光与表面抛光两种

边缘抛光（Edge Polishing）

边缘抛光的主要目的在于降低微粒（particle）附着于晶圆的可能性，并使晶圆具备较佳的机械强度，但需要的设备昂贵且技术层面较高，除非各户要求，否则不进行本制程。

表面抛光（Surface Polishing）

表面抛光是晶圆加工处理的最后一道工序，移除晶圆表面厚度约 10-20 微米，其目的在改善前述制程中遗留下的微缺陷，并取得局部平坦度的极佳化，以满足 IC 制程的要求。基本上本制程为化学—机械的反应机制，由研磨剂中的 NaOH, KOH, NH₄OH 腐蚀晶圆的表层，由机械摩擦作用提供腐蚀的动力来源。

《晶圆处理制程介绍》

基本晶圆处理步骤通常是晶圆先经过适当的清洗 (Cleaning) 之后，送到热炉管 (Furnace) 内，在含氧的环境中，以加热氧化 (Oxidation) 的方式在晶圆的表面形成一层厚约数百个的二氧化硅 (SiO₂) 层，紧接着厚约 1000Å 到 2000Å 的氮化硅 (Si₃N₄) 层将以化学气相沉积 (Chemical Vapor Deposition; CVD) 的方式沉积 (Deposition) 在刚刚长成的二氧化硅上，然后整个晶圆将进行微影 (Lithography) 的制程，先在晶圆上上一层光阻 (Photoresist)，再将光罩上的图案移转到光阻上面。接着利用蚀刻 (Etching) 技术，将部份未被光阻保护的氮化硅层加以除去，留下的就是所需要的线路图部份。接着以磷为离子源 (Ion Source)，对整片晶圆进行磷原子的植入 (Ion Implantation)，然后再把光阻剂去除 (Photoresist Strip)。制程进行至此，我们已将构成集成电路所需的晶体管及部份的字符线 (Word Lines)，依光罩所提供的设计图案，依次地在晶圆上建立完成，接着进行金属化制程 (Metallization)，制作金属导线，以便将各个晶体管与组件加以连接，而在每一道工序加工完后都必须进行一些电性、或是物理特性量测，以检验加工结果是否在规格内 (Inspection and Measurement)；如此重复步骤制作第一层、第二层... 的电路部份，在硅晶圆上制造晶体管等其它电子组件；最后所加工完成的产品会被送到电性测试区作电性量测。

根据上述制程之需要，FAB 厂内通常可分为四大区：

1) 黄光

本区的作用在于利用照相显微缩小的技术，定义出每一层次所需要的电路图，因为采用感光剂易曝光，得在黄色灯光照明区域内工作，所以叫做「黄光区」。

微影成像(雕像术;lithography)

决定组件式样(pattern)尺寸(dimension)以及电路接线(routing)

在黄光室内完成,对温.湿度维持恒定的要求较其它制程高

一个现代的集成电路 (IC) 含有百万个以上的独立组件，而其尺寸通常在数微米，在此种尺寸上，并无一合适的机械加工机器可以使用，取而代之的是微电子中使用紫外光的图案转换 (Patterning)，这个过程是使用光学的图案以及光感应膜来将图案转上基板，此种过程称为 光刻微影 (photolithography)，此一过程的示意图说明于下图

光刻微影技主要在光感应薄膜，称之为光阻，而光阻必须符合以下五点要求：

1. 光阻与基板面黏着必须良好。
2. 在整个基板上，光阻厚度必须均匀。
3. 在各个基板上，光阻厚度必须是可预知的。
4. 光阻必须是感光的，所以才能做图案转换。
5. 光阻必须不受基板蚀刻溶液的侵蚀。

在光刻微影过程，首先为光阻涂布，先将适量光阻滴上基板中心，而基板是置于光阻涂布机的真空吸盘上，转盘以每分钟数千转之转速，旋转 30-60 秒，使光阻均匀涂布在基板上，转速与旋转时间，依所需光阻厚度而定。

曝照于紫外光中，会使得光阻的溶解率改变。紫外光通过光罩照射于光阻上，而在光照及阴影处产生相对应的图形，而受光照射的地方，光阻的溶解率产生变化，称之为光化学反应，而阴影处的率没有变化，这整个过称之为曝光（exposure）。在曝光之后，利用显影剂来清洗基板，将光阻高溶解率部份去除，这个步骤，称之为显影（Development），而光阻去除的部份依不同形态的光阻而有不同，去除部份可以是被光照射部份或是阴影部份，如果曝光增加光阻的溶解率，则此类光阻为正光阻，如果曝光降低光阻的溶解率，则称此类光阻为负光阻。在显影后，以蚀刻液来蚀刻含在有图案（pattern）光阻的基板蚀刻液去除未受光阻保护的基板部份，而受光阻保护部份，则未受蚀刻。最后，光阻被去除，而基板上则保有被制的图案。

黄光制程：

1. 上光阻
2. 软烤(预烤): 90 ~ 100 度 C ~ 30 min <~~使光阻挥发变硬一点 o
3. 曝光显像
4. 硬烤: 200 度 C ~ 30 min <~~把剩下的挥发气体完全挥发使其更抗腐蚀,但不可烤太久因为最后要把光阻去掉 o

相关仪器材料：

1. 光阻(photoresist) 2. 光罩(mask) 3. 对准机(mask aligner)
 4. 曝光光源(exposure source) 5. 显像溶液(develope solution) 6. 烤箱(heating oven)
- 光阻: 1. 正光阻: 曝光区域去除 2. 负光阻: 曝光区域留下

曝光光源：

1. 可见光 4000 ~ 7000 埃
2. 紫外线 < 4000 埃 (深紫外线 0.25um 最多到 0.18um , 找不到合适的光阻及散热问题,但解析很好,可整片曝光。
3. X 光 ~ 10 埃 (可整片曝光)
4. 电子束视电子能量而定 (速度慢 (直接写入))波粒双重性质量愈大波愈小 解析度和入波长有关电子 9.1×10^{-27} kg 就会有波的性质

曝光方式：

1. 直接接触式(contact): 分辨率高.光罩寿命短

- 2.微间距式(proximity): 分辨率低.光罩寿命长(20 ~ 50 um)
- 3.投射式(projection): 分辨率高.镜片组复杂 , 步进式曝光.速度慢

NA:Numerical Aperture (NA:n sin a)

DOF:Depth of Focus 景深 (NA 愈大,W 分辨率愈小)

分辨率 $W=0.6 \lambda/NA$, 聚焦深度 $DOF= \pm \lambda/2(NA)^2$ 次方

角度愈大,聚焦深度愈窄 , 聚焦深度愈深愈好

光阻主要组成:

- 1.矩阵物质(Matrix Material;Resin) : 决定光阻之机械特性即,光阻抵抗蚀刻的能力由此物质决定
- 2.感光物质 : 决定对光的灵敏度是否成像
- 3.溶剂 : 使光阻保持液态具挥发性

光阻之相关参数:

- 1.精确重现图样
- 2.抗腐蚀性良好
- 3.光学特性:包括分辨率光敏度及折射率
- 4.制程安全相关特性

负光阻优点 :

- 1.较佳的黏着特性
- 2.曝光时间短生产快
- 3.较不受显像液之稀释程度及环境温度影响
- 4.价格较便宜

2) 蚀刻

蚀刻制程是将电路布局移转到芯片上之关键步骤, 包括蚀刻及蚀刻后清洗两部份, 本所现阶段以多层导线所需之蚀刻及清洗技术为重点。蚀刻技术开发已完成符合 0.15 微米世代制程规格之 0.2 微米接触窗蚀刻技术以及符合 0.18 微米世代制程规格(线宽/间距=0.22 微米/0.23 微米)之铝导线蚀刻技术; 同时完成光阻硬化技术, 可提高光阻抗蚀刻性 10%~20%; 目前之技术重点在于双嵌入结构蚀刻技术及低介电常数材料蚀刻技术, 以搭配铜导线制程达成低电阻、低电容之目标。蚀刻后清洗技术开发已建立基本之氧化层及金属层蚀刻后清洗能力, 目前之技术重点在双嵌入结构蚀刻后清洗技术, 铜导线兼容之光阻去除技术、低介电常数材料兼容之光阻去除技术、铜污染去除技术等。

经过黄光定义出我们所需要的电路图, 把不要的部份去除掉, 此去除的步骤就称之为蚀刻, 因为它好像雕刻, 一刀一刀的削去不必要不必要的木屑, 完成作品, 期间又利用酸液来腐蚀的, 所以叫做「蚀刻区」。

湿式蚀刻: 酸碱溶液(化学方式) 选择性高等向蚀刻

1. Through-put 高
2. 设备价格低
3. 溶液更新频率 \Leftrightarrow 成本
4. 溶液本身的污染

优点

- 1.(through-put)高
- 2.设备价格低

- 3. 溶液更新频率 <-> 成本
- 4. 溶液本身的污染

干式蚀刻: 电浆蚀刻(Plasma Etching), 活性离子蚀刻(RIE)(物理方式)
选择性低非等向蚀刻撞击损伤(damages) → 负面影响: 晶格排列因撞击而偏移

撞击 → 能量传递 → 活化能降低 → 反应加速

蚀刻考虑因素:

- 1. 选择性(Selectivity)
- 2. 等向性(Isotropy)
- 3. 蚀刻速率(Etching Rate)
- 4. 芯片损伤(Damags)

3) 扩散

本区的制造过程都在高温中进行, 又称为「高温区」, 利用高温给予物质能量而产生运动, 因为本区的机台大都为根根的炉管, 所以也有人称为「炉管区」, 每一根炉管都有不同的作用。

氧化

影响热氧化速率的因素:

- 1. 反应气体成分
- 2. 温度
- 3. 晶向
- 4. 芯片掺杂浓度

SiO₂ 良好的绝缘特性导致硅半导体及 MOS 结构能够盛行的主要原因.
第一个做出的是 Ge 半导体 Ge(锗)无良好的氧化物所以发展硅 o
化合物半导体 GaAs Inp 常用在光电因会发光, n 和 p 的浓度提高空乏区宽度变窄, 因为技术愈来愈小由 0.35 到 0.07 要空乏区不碰到才行, 所以要提高浓度 o

倍率高:

TEM 穿透式 电子显微镜
SEM 扫描式 电子显微镜

热(高温)氧化:(Thermal oxidation)

- 1. 干氧: $O_2 + Si \rightarrow SiO_2$
- 2. 湿氧: $H_2O + Si \rightarrow SiO_2 + 2H_2$

成长速率:

CVD SiO₂ > Wet SiO₂ > DRY SiO₂

品质

CVD SiO₂ < Wet SiO₂ < Dry SiO₂

CVD SiO₂: 介电层

Wet SiO₂: 场氧化层

Dry SiO₂: 栅极氧化层

热氧化层	<==>	CVD 氧化层
高温 900度		低温 700~800 以下
结构致密 HF 去吃很慢		结构松散 HF 去吃很快
高绝缘强度		低绝缘强度

4) 薄膜

薄膜技术旨在开发应用于 0.18 微米以下，ULSI 制程所需之成膜沉积技术，涵盖金属导线技术、介电层技术以及平坦化技术等三项子技术。以金属导线技术而言，以铜导线沉积技术研发为主，依据半导体制程发展趋势将开发高电浆密度物理性金属沉积技术、电化学沉积技术以及化学气相沉积技术。以介电层技术而言，主要分为先进介电值沉积技术及低介电常数薄膜成膜技术，先进介电质沉积技术为开发高密度电浆化学气相沉积，介电质抗反射层氟掺杂玻璃蚀刻阻挡层等应用于 0.18 微米之介电层沉积技术；而低介电常数膜主要应用于高速组件传递延迟、功率消耗及干扰，本计划将针对此新材料之成膜应用加以研究。平坦化技术主要开发化学机械研磨相关技术，针对金属及介电质进行研磨及研磨后清洁技术之研发，并针对研磨终点检测技术平坦化模拟、研磨后腐蚀及氧化之防治进行研究。

本区机器操作时，机器中都需要抽成真空，所以又称之为真空区，真空区的机器多用来作沉积暨离子植入，也就是在 Wafer 上覆盖一层薄薄的薄膜，所以称之为「薄膜区」。在真空区中有一站称为晶圆允收区，可接受芯片的测试，针对我们所制造的芯片，其过程是否有缺陷，电性的流通上是否有问题，由工程师根据其经验与电子学上知识做一全程的检测，由某一电性量测值的变异判断某一道相关制程是否发生任何异常。此检测不同于测试区 (Wafer Probe) 的检测，前者是细部的电子特性测试与物理特性测试，后者所做的测试是针对产品的电性功能作检测。

《晶圆针测制程介绍》

晶圆针测 (Chip Probing; CP) 之目的在于针对芯片作电性功能上的测试 (Test)，使 IC 在进入构装前先行过滤出电性功能不良的芯片，以避免对不良品增加制造成本。

半导体制程中，针测制程只要换上不同的测试配件，便可与测试制程共享相同的测试机台 (Tester)。所以一般测试厂为提高测试机台的使用率，除了提供最终测试的服务亦接受芯片测试的订单。以下将此针测制程作一描述。

上图为晶圆针测之流程图，其流程包括下面几道作业：

(1) 晶圆针测并作产品分类 (Sorting)

晶圆针测的主要目的是测试晶圆中每一颗晶粒的电气特性，线路的连接，检查其是否为不良品，若为不良品，则点上一点红墨水，作为识别之用。除此之外，另一个目的是测试产品的良率，依良率的高低来判断晶圆制造的过程是否

有误。良品率高时表示晶圆制造过程一切正常，若良品率过低，表示在晶圆制造的过程中，有某些步骤出现问题，必须尽快通知工程师检查。

(2) 雷射修补 (Laser Repairing)

雷射修补的目的是修补那些尚可被修复的不良品（有设计备份电路 在其中者），提高产品的良品率。当晶圆针测完成后，拥有备份电路的产品会与其在晶圆针测时所产生的测试结果数据一同送往雷射修补机中，这些数据包括不良品的位置，线路的配置等。雷射修补机的控制计算机可依这些数据，尝试将晶圆中的不良品修复。

(3) 加温烘烤 (Baking)

加温烘烤是针测流程中的最后一项作业，加温烘烤的目的有二：

- (一) 将点在晶粒上的红墨水烤干。
- (二) 清理晶圆表面。经过加温烘烤的产品，只要有需求便可以出货。

【半导体构装制程】

随着 IC 产品需求量的日益提升，推动了电子构装产业的蓬勃发展。而电子制造技术的不断发展演进，在 IC 芯片「轻、薄、短、小、高功能」的要求下，亦使得构装技术不断推陈出新，以符合电子产品之需要并进而充分发挥其功能。构装之目的主要有下列四种：

- (1) 电力传送
- (2) 讯号输送
- (3) 热的去除
- (4) 电路保护

所有电子产品皆以「电」为能源，然而电力之传送必须经过线路之连接方可达成，IC 构装即可达到此一功能。而线路连接之后，各电子组件间的讯号传递自然可经由这些电路加以输送。电子构装的另一功能则是藉由构装材料之导热功能将电子于线路间传递产生之热量去除，以避免 IC 芯片因过热而毁损。最后，IC 构装除对易碎的芯片提供了足够的机械强度及适当的保护，亦避免了精细的集成电路受到污染的可能性。IC 构装除能提供上述之主要功能之外，额外亦使 IC 产品具有优雅美观的外表并为使用者提供了安全的使用及简便的操作环境。

IC 构装依使用材料可分为**陶瓷 (ceramic)**及**塑料 (plastic)**两种，而目前商业应用上则以塑料构装为主。以塑料构装中打线接合为例，其步骤依序为**芯片切割 (die saw)**、**黏晶 (die mount / die bond)**、**焊线 (wire bond)**、**封胶 (mold)**、**剪切/成形 (trim / form)**、**印字 (mark)**、**电镀 (plating)**及**检验 (inspection)**等。以下依序对构装制程之各个步骤做一说明：

芯片切割 (Die Saw)

芯片切割之目的为将前制程加工完成之晶圆上一颗颗之晶粒 (die) 切割分离。欲进行芯片切割，首先必须进行晶圆黏片，而后再送至芯片切割机上进行切割。切割完后之晶粒井然有序排列于胶带上，而框架的支撑避免了胶带的皱折与晶粒之相互碰撞。

黏晶 (Die Bond)

黏晶之目的乃将一颗颗之晶粒置于导线架上并以银胶（epoxy）黏着固定。黏晶完成后之导线架则经由传输设备送至弹匣（magazine）内，以送至下一制程进行焊线。

焊线（Wire Bond）

焊线乃是将晶粒上的接点以极细的金线（18~50 μm ）连接到导线架之内引脚，进而藉此将 IC 晶粒之电路讯号传输至外界。

封胶（Mold）

封胶之主要目的为防止湿气由外部侵入、以机械方式支持导线、内部产生热量之去除及提供能够手持之形体。其过程为将导线架置于框架上并预热，再将框架置于压模机上的构装模上，再以树脂充填并待硬化。

剪切/成形（Trim/Form）

剪切之目的为将导线架上构装完成之晶粒独立分开，并把不需要的连接用材料及部份凸出之树脂切除（dejunk）。成形之目的则是将外引脚压成各种预先设计好之形状，以便于装置于电路版上使用。剪切与成形主要由一部冲压机配上多套不同制程之模具，加上进料及出料机构所组成。

印字（Mark）

印字乃将字体印于构装完的胶体之上，其目的在于注明商品之规格及制造者等信息。

检验（Inspection）

芯片切割之目的为将前制程加工完成之晶圆上一颗颗之检验之目的为确定构装完成之产品是否合于使用。其中项目包括诸如：外引脚之平整性、共面度、脚距、印字是否清晰及胶体是否有损伤等的外观检验。

《电子构装制造技术》

IC 芯片必须依照设计与外界之电路连接，才可正常发挥应有之功能。用于封装之材料主要可分为塑料（plastic）及陶瓷（ceramic）两种。其中塑料构装因成本低廉，适合大量生产且能够满足表面黏着技术之需求，目前以成为最主要的 IC 封装方式。而陶瓷构装之发展已有三十多年历史，亦为早期主要之构装方式。由于陶瓷构装成本高，组装不易自动化，且在塑料构装质量及技术不断提升之情形下，大部份业者皆已尽量避免使用陶瓷构装。然而，陶瓷构装具有塑料构装无法比拟之极佳散热能力、可靠度及气密性，并可提供高输出/入接脚数，因此要求高功率及高可靠度之产品，如 CPU、航天、军事等产品仍有使用陶瓷构装之必要性。目前用于构装之技术，大概有以下数种。分别为「打线接合」、「卷带式自动接合」、「覆晶接合」等技术，分述如下：

打线接合（Wire Bonding）

打线接合是最早亦为目前应用最广的技术，此技术首先将芯片固定于导线架上，再以细金属线将芯片上的电路和导线架上的引脚相连接。而随着近年来其它技术的兴起，打线接合技术正受到挑战，其市场占有率亦正逐渐减少当中。

但由于打线接合技术之简易性及便捷性，加上长久以来与之相配合之机具、设备及 相关技术皆以十分成熟，因此短期内打线接合技术似乎仍不大容易为其它技术所淘汰。

卷带式自动接合 (Tape Automated Bonding, TAB)

卷带式自动接合技术首先于 1960 年代由 通用电子 (GE) 提出。卷带式自动接合制程，即是 将芯片与在 高分子卷带上的 金属电路相连接。而高分子卷带之材料 则以 polyimide 为主，卷带上之金属层则以铜箔使用最多。卷带式自动接合具有 厚度薄、接脚间距小且能提供高输出/入接脚数等优点，十分适用于需要重量轻、体积小之 IC 产品上。

覆晶接合 (Flip Chip)

覆晶式接合为 IBM 于 1960 年代中首先开发而成。其技术乃于晶粒之金属垫上生成焊料凸块，而于基版上生成与晶粒焊料凸块相对应之接点，接着将翻转之晶粒对准基版上之接点将所有点接合。覆晶接合具有最短连接长度、最佳电器特性、最高输出/入接点密度，且能缩小 IC 尺寸，增加单位晶圆产能，已被看好为未来极具潜力之构装方式。

【半导体测试制程】

半导体产品的附加价值高、制造成本高，且产品的性能对于日后其用于最终电子商品的功能有关键性的影响。因此，在半导体的生产过程中的每个阶段，对于所生产的半导体 IC 产品，都有着层层测试及检验来为产品的质量作把关。然而一般所指的半导体测试则是指晶圆制造与 IC 封装之后，以检测晶圆及封装后 IC 的电信功能与外观而存在的测试制程。

以下即针对「半导体测试制程」中之各项制程技术进行介绍。

《半导体测试制程介绍》

测试制程乃是于 IC 构装后测试构装完成的产品之电性功能以保证出厂 IC 功能上的完整性，并对已测试的产品依其电性功能作分类（即分 Bin），作为 IC 不同等级产品的评价依据；最后并对产品作外观检验（Inspect）作业。

电性功能测试乃针对产品之各种电性参数进行测试以确定产品能正常运作，用于测试之机台将根据产品不同之测试项目而加载不同之测试程序；而外观检验之项目繁多，且视不同之构装型态而有所不同，包含了引脚之各项性质、印字（mark）之清晰度及胶体（mold）是否损伤等项目。而随表面黏着技术的发展，为确保构装成品与基版间的准确定位及完整密合，构装成品接脚之诸项性质之检验由是重要。以下将对测试流程做一介绍

上图为半导体产品测试之流程图，其流程包括下面几道作业：

1. 上线备料

上线备料的用意是将预备要上线测试的待测品，从上游厂商送来的包箱内拆封，并一颗颗的放在一个标准容器（几十颗放一盘，每一盘可以放的数量及其容器规格，依待测品的外形而有不同）内，以利在上测试机台（Tester）时，

待测品在分类机（Handler）内可以将待测品定位，而使其内的自动化机械机构可以自动的上下料。

2.测试机台测试（FT1、FT2、FT3）

待测品在入库后，经过入库检验及上线备料后，再来就是上测试机台去测试；如前述，测试机台依测试产品的电性功能种类可以分为逻辑 IC 测试机、内存 IC 测试机及混合式 IC（即同时包含逻辑线路及模拟线路）测试机三种，测试机的主要功能在于发出待测品所需的电性讯号并接受待测品因此讯号后所响应的电性讯号并作出产品电性测试结果的判断，当然这些在测试机台内的控制细节，均是由针对此一待测品所写之测试程序（Test Program）来控制。

即使是同一类的测试机，因每种待测品其产品的电性特性及测试机台测试能力限制而有所不同。一般来说，待测品在一家测试厂中，会有许多适合此种产品电性特性的测试机台可供其选择；除了测试机台外，待测品要完成电性测试还需要一些测试配件：

1) 分类机（Handler）

承载待测品进行测试的自动化机械结构，其内有机机械结构将待测品一颗颗从标准容器内自动的送到测试机台的测试头（Test Head）上接受测试，测试的结果会从测试机台内传到分类机内，分类机会依其每颗待测品的电性测试结果来作分类（此即产品分 Bin）的过程；此外分类机内有升温装置，以提供待测品在测试时所需测试温度的测试环境，而分类机的降温则一般是靠氮气，以达到快速降温的目的。不同的 Handler、测试机台及待测品的搭配下，其测试效果会有所不同，因此对测试产品而言，对可适用的 Handler 与 Tester 就会有喜好的选择现象存在。测试机台一般会有很多个测试头（Test Head），个数视测试机台的机型规格而定，而每个测试头同时可以上一部分类机或针测机，因此一部测试机台可以同时的与多台的分类机及针测机相连，而依连接的方式又可分为平行处理，及乒乓处理，前者指的是在同一测试机台上多台分类机以相同的测试程序测试同一批待测品，而后者是在同一测试机台上多台分类机以不同的测试程序同时进行不同批待测品的测试。

2) 测试程序（Test Program）

每批待测产品都有在每个不同的测试阶段（FT1、FT2、FT3），如果要上测试机台测试，都需要不同的测试程序，不同品牌的测试机台，其测试程序的语法并不相同，因此即使此测试机台有能力测试某待测品，但却缺少测试程序，还是没有用；一般而言，因为测试程序的内容与待测品的电性特性息息相关，所以大多是客户提供的。

3) 测试机台接口

这是一个要将待测品接脚上的讯号连接上测试机台的测试头上的讯号传送接点的一个转换接口，此转换接口，依待测品的电性特性及外形接脚数的不同而有很多种类，如：Hi-Fix（内存类产品）、Fixture Board（逻辑类产品）、Load Board（逻辑类产品）、Adopt Board + DUT Board（逻辑类产品）、Socket（接脚器，依待测品其接脚的分布位置及脚数而有所不同）。

每批待测品在测试机台的测试次数并不相同，这完全要看客户的要求，一般而言逻辑性的产品，只需上测试机台一次（即 FT2）而不用 FT1、FT3，如果

为内存 IC 则会经过二至三次的测试，而每次的测试环境温度要求会有些不同，测试环境的温度选择，有三种选择，即高温、常温及低温，温度的度数有时客户也会要求，升温比降温耗时许多，而即于那一道要用什么温度，这也视不同客户的不同待测品而有所不同。

每次测试完，都会有测试结果报告，若测试结果不佳，则可能会产生 Hold 住本批待测品的现象产生。

3.预烧炉（Burn-In Oven）（测试内存 IC 才有此程序）

在测试内存性产品时，在 FT1 之后，待测品都会上预烧炉里去 Burn In，其目的在于提供待测品一个高温、高电压、高电流的环境，使生命周期较短的待测品在 Burn In 的过程中提早的显现出来，在 Burn In 后 必需在 96 个小时内待测品 Burn In 物理特性未消退之前完成后续测试机台 测试的流程，否则就要将待测品种回预烧炉去重新 Burn In。在此会用到 的配件包括 Burn-In Board 及 Burn In Socket..等。

4.电性抽测

在每一道机台测试后，都会有一个电性抽测的动作（俗称 QC 或 Q 货），此作业的目的在将此完成测试机台测试的待测品抽出一定数量，重回测试机台在测试程序、测试机台、测试温度都不变下，看其测试结果是否与之前上测试机台的测试结果相一致，若不一致，则有可能是测试机台故障、测试程序有问题、测试配件损坏、测试过程有瑕疵..等原因，原因小者，则需回测试机台重测，原因大者，将能将此批待测品 Hold 住，等待工程师、生管人员与客户协调后再作决策。

5.卷标扫描（Mark Scan）

利用机械视觉设备对待测品的产品上的产品 Mark 作检测，内容包括 Mark 的位置歪斜度及内容的清晰度..等。

6.人工检脚或机器检脚

检验待测品 IC 的接脚的对称性、平整性及共面度等，这部份作业有时 would 利用雷射扫描的方式来进行，也会有些利用人力来作检验。

7.检脚抽检与弯脚修整

对于弯脚品，会进行弯脚品的修复作业，然后再利用人工进行检脚 的抽验。

8.加温烘烤（Baking）

在所有测试及检验流程之后，产品必需进烘烤炉中进行烘烤，将待测品上水气烘干，使产品在送至客户手中之前不会因水气的腐蚀而影响待测品的质量。

9.包装（Packing）

将待测品依其客户的指示，将原来在标准容器内的待测品的分类包装成客户所指定的包装容器内，并作必要的包装容器上之商标粘贴等。

10.出货的运送作业

由于最终测试是半导体 IC 制程的最后一站，所以许多客户就把测试厂当作他们的成品仓库，以避免自身工厂的成品存放的管理，另一方面也减少不必要的成品搬运成本，因此针对客户的要求，测试厂也提供所谓的「Door to Door」的服务，即帮助客户将测试完成品送至客户指定的地方（包括客户的产品买家），有些客户指的地点在海外者，便需要考虑船期的安排，如果在国内者，则要考虑货运的安排事宜。

半导体组件制造过程可概分为**晶圆处理制程**（Wafer Fabrication；简称 Wafer Fab）、**晶圆针测制程**（Wafer Probe）、**封装**（Packaging）、**测试制程**（Initial Test and Final Test）等几个步骤。一般称晶圆处理制程与晶圆针测制程为前段（Front End）制程，而封装、测试制程为后段（Back End）制程。半导体组件制造过程可示意如下图