



ESD 模型及有关测试

- 1、 ESD 模型分类
- 2、 HBM 和 MM 测试方法标准
- 3、 CDM 模型和测试方法标准
- 4、 EIC 模型和测试方法标准
- 5、 TLP 及其测试方法
- 6、 拴锁测试
- 7、 I-V 测试
- 8、 标准介绍

1、ESD 模型分类

因 ESD 产生的原因及其对集成电路放电的方式不同，经过统计，ESD 放电模型分下列四类：

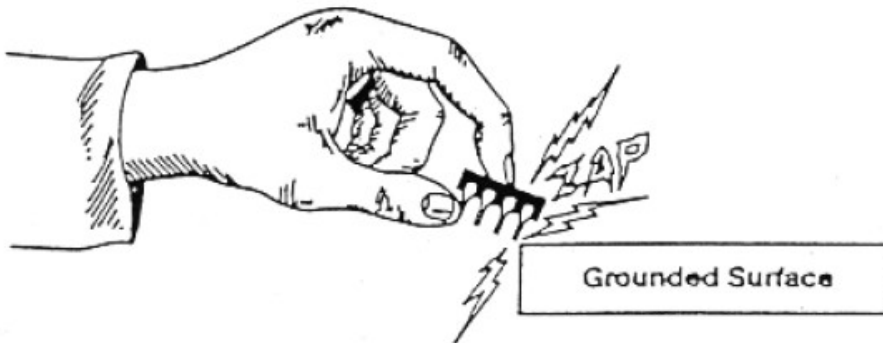
- (1) 人体放电模式 (Human-Body Model, HBM)
- (2) 机器放电模式 (Machine Model, MM)
- (3) 组件充电模式 (Charged-Device Model, CDM)
- (4) 电场感应模式 (Field-Induced Model, FIM)

另外还有两个测试模型：

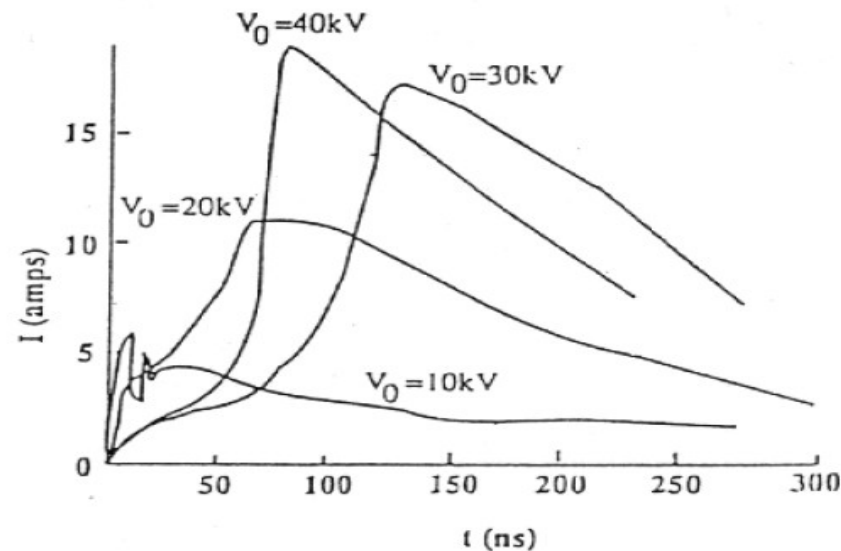
- (5) 对于系统级产品测试的 IEC 电子枪空气放电模式
- (6) 对于研究设计用的 TLP 模型

人体放电模式 (Human-Body Model, HBM)

- 人体放电模式 (HBM) 的 ESD 是指因人体在地上走动磨擦或其它因素在人体上已累积了静电, 当此人去碰触到 IC 时, 人体上的静电便会经由 IC 的脚 (pin) 而进入 IC 内, 再经由 IC 放电到地去, 如图 2.1-1(a) 所示。此放电的过程会在短到几百毫微秒 (ns) 的时间内产生数安培的瞬间放电电流, 此电流会把 IC 内的组件给烧毁。不同 HBM 静电电压相对产生的瞬间放电电流与时间的关系显示于图 2.1-1(b)。对一般商用 IC 的 2-KV ESD 放电电压而言, 其瞬间放电电流的尖峰值大约是 1.33

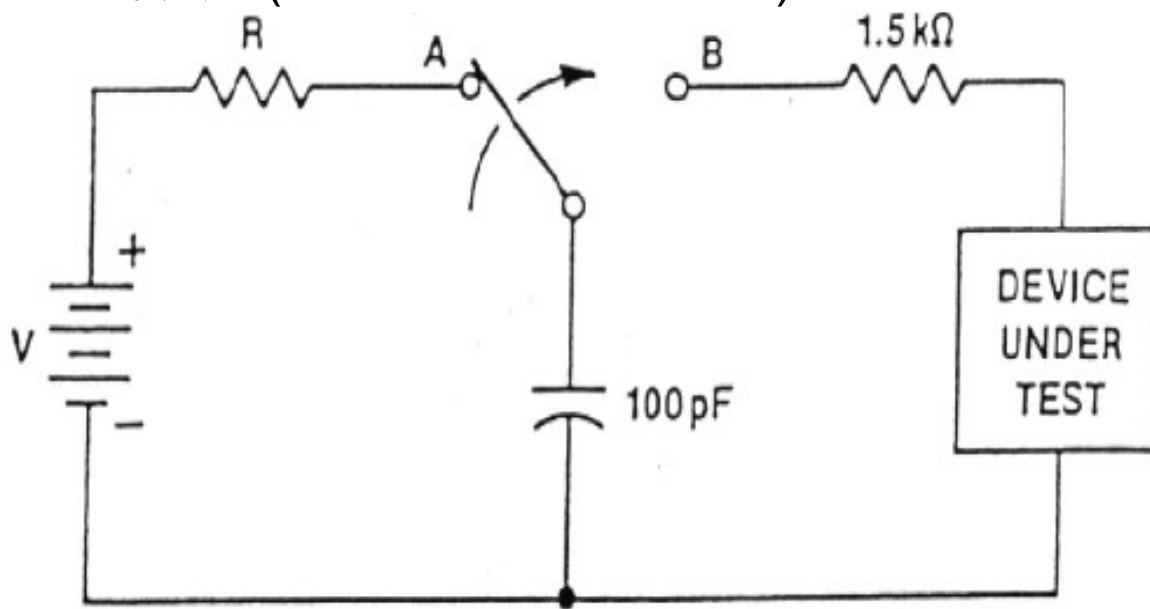


ESD CURRENTS



人体放电模式 (Human-Body Model, HBM)

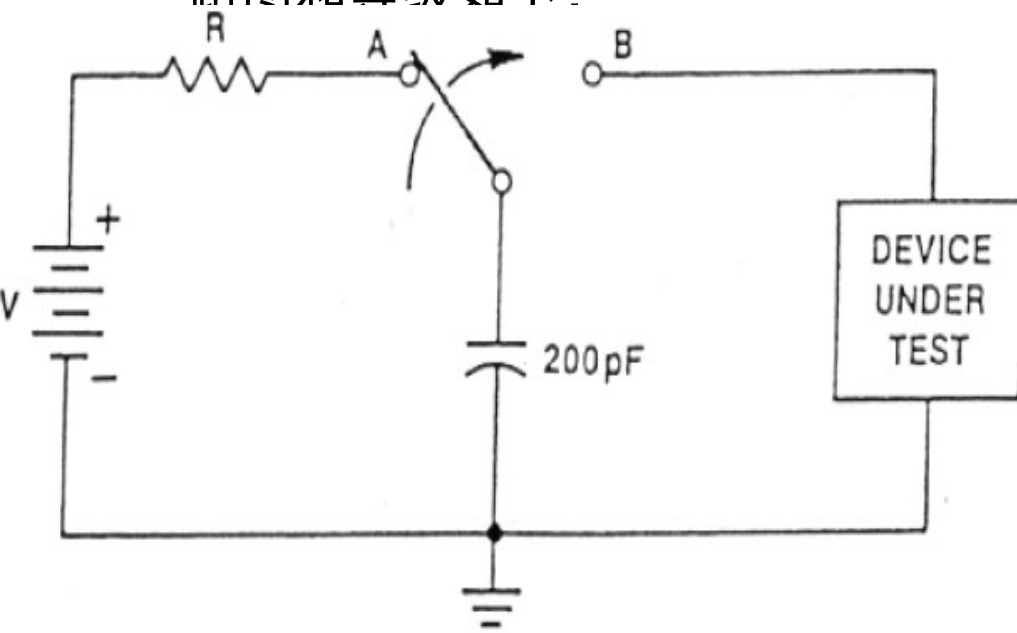
- 有关于 HBM 的 ESD 已有工业测试的标准：
- 图显示工业标准 (MIL-STD-883C method 3015.7) 的等效电路图，其中人体的等效电容定为 100pF ，人体的等效放电电阻定为 $1.5\text{k}\Omega$ 。
- 表是国际电子工业标准 (EIA/JEDEC STANDARD) 对人体放电模式订定测试规范 (EIA/JESD22-A114-A)



CLASS	STRESS LEVELS
CLASS I	0-1999V
CLASS II	2000-3999V
CLASS III	4000-15999 V

机器放电模式 (Machine Model, MM)

- 机器放电模式的 ESD 是指机器 (例如机械手臂) 本身累积了静电, 当此机器去碰触到 IC 时, 该静电便经由 IC 的 pin 放电。因为机器是金属, 其等效电阻为 0Ω , 其等效电容为 200pF 。由于机器放电模式的等效电阻为 0 , 故其放电的过程更短, 在几毫微秒到几十毫微秒之内会有数安培的瞬间放电电流产生。
- 此机器放电模式工业测试标准为 EIAJ-IC-121 method20, 其等效电路图 and 等级如下:

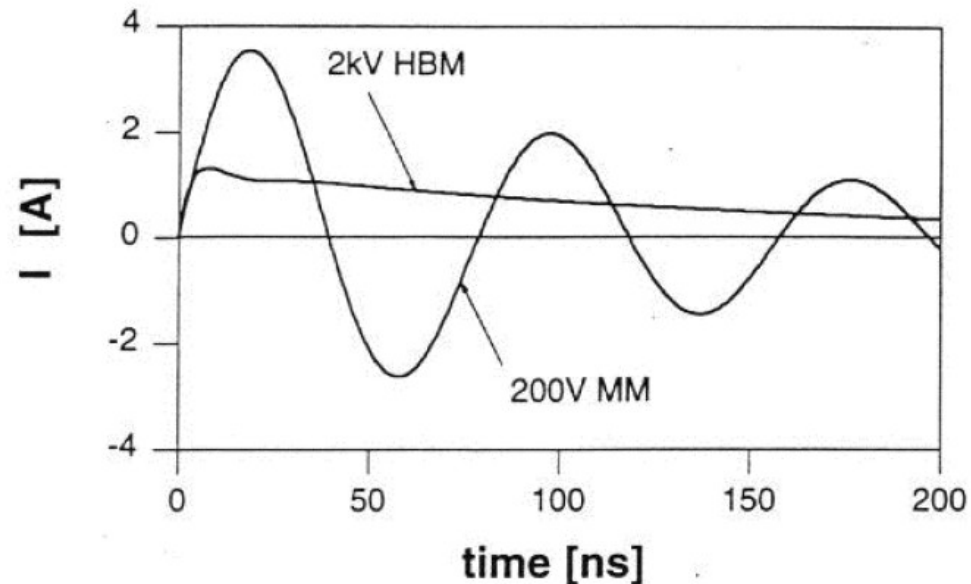


CLASS	STRESS LEVELS
M0	0-50V
M1	50-100V
M2	100-200 V
M3	200-400 V
M4	400-800 V
M5	>800 V

机器放电模式 (Machine Model, MM)

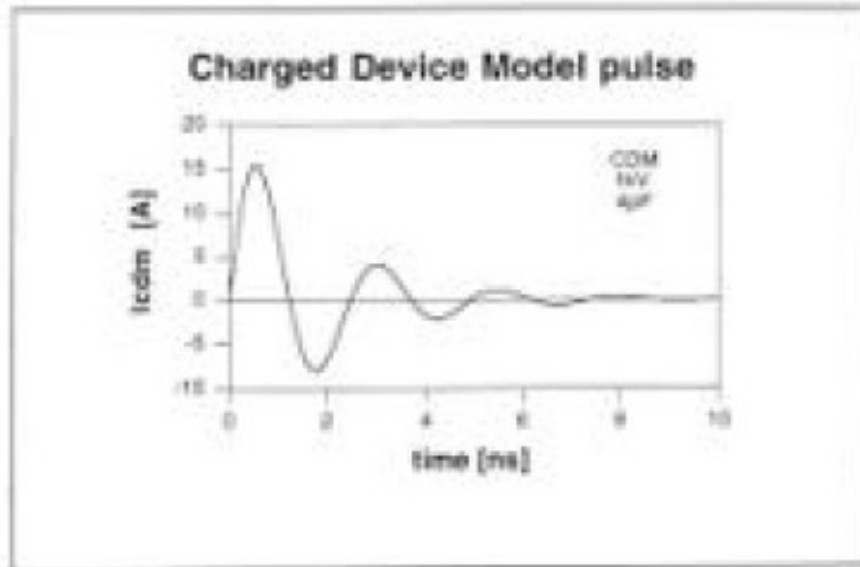
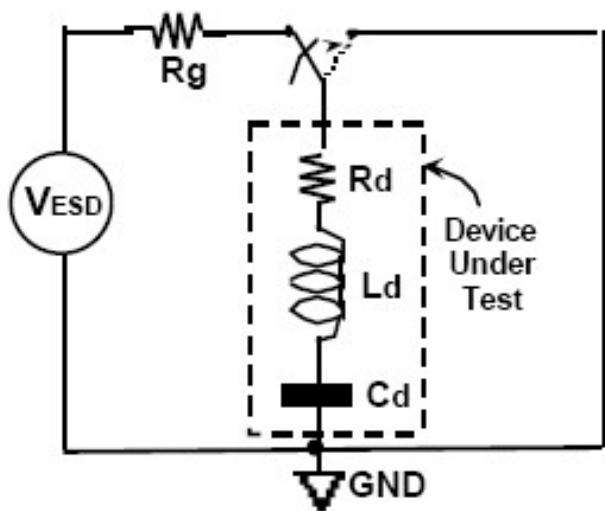
- 2-KV HBM 与 200-V MM 的放电比较如图，虽然 HBM 的电压 2 KV 比 MM 的电压 200V 来得大，但是 200-V MM 的放电电流却比 2-KV HBM 的放电电流来得大很多，放电电流波形有上下振动 (Ring) 的情形，是因为测试机台导线的杂散等效电感与电容互相耦合而引起的。因此机器放电模式对 IC 的破坏力更大。
- 国际电子工业标准 (EIA/JEDEC STANDARD) 亦对此机器放电模式订定测试规范 (EIA/JESD22-A115-A)

Comparison HBM and MM pulse



组件充电模式 (Charged-Device Model, CDM)

- 此放电模式是指 IC 先因磨擦或其它因素而在 IC 内部累积了静电，但在静电累积的过程中 IC 并未被损伤。此带有静电的 IC 在处理过程中，当其 pin 去碰触到接地面时，IC 内部的静电便会经由 pin 自 IC 内部流出来，而造成了放电的现象。此种模式的放电时间更短，仅约几毫微秒之内，而且放电现象更难以真实的被模拟。



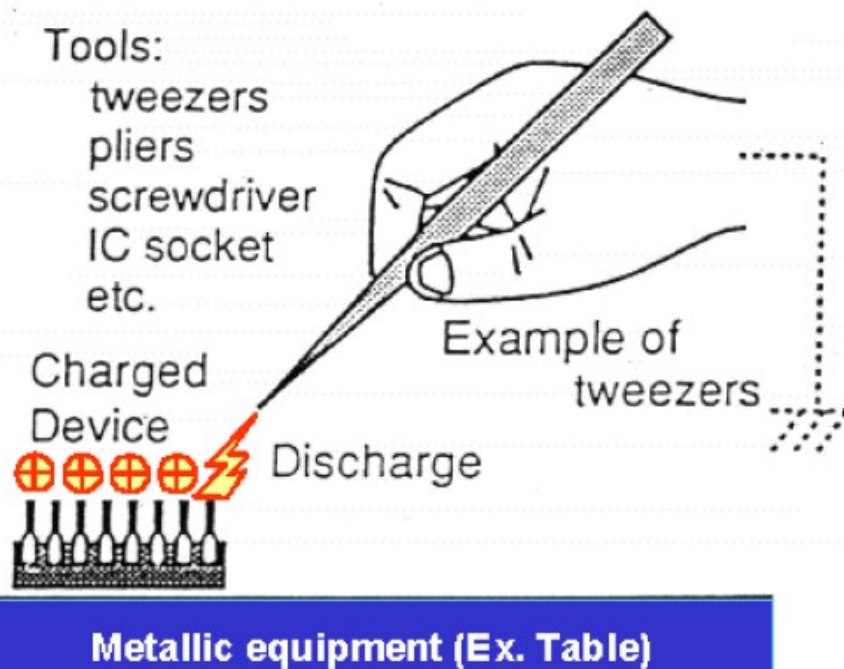
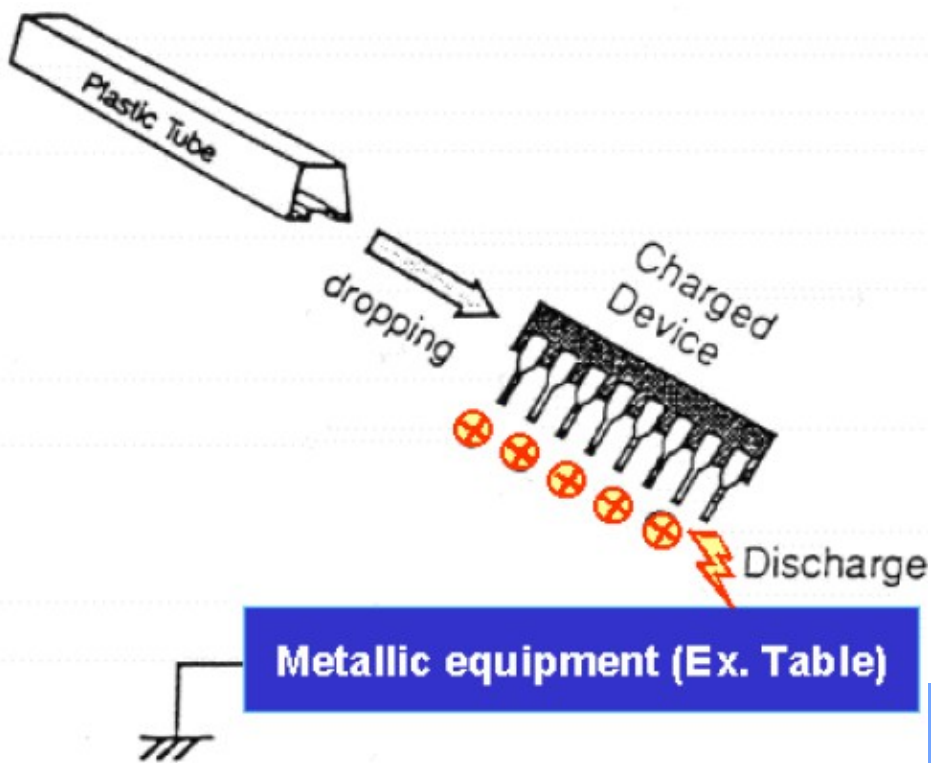
组件充电模式 (Charged-Device Model, CDM)

CDM 模式 ESD 可能发生的情形显示:

- (1) IC 自 IC 管中滑出后, 带电的 IC 脚接触接到地面而形成放电现象。
- (2) IC 自 IC 管中滑出后, IC 脚朝上, 但经由接地的金属工具 而放电。

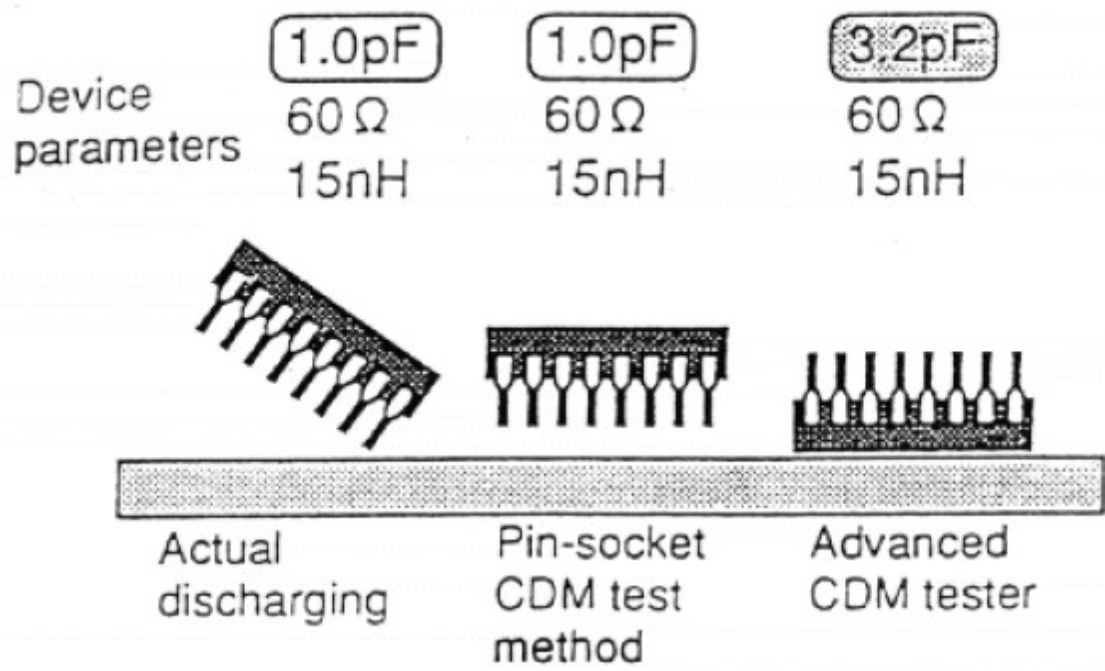
(1)

(2)



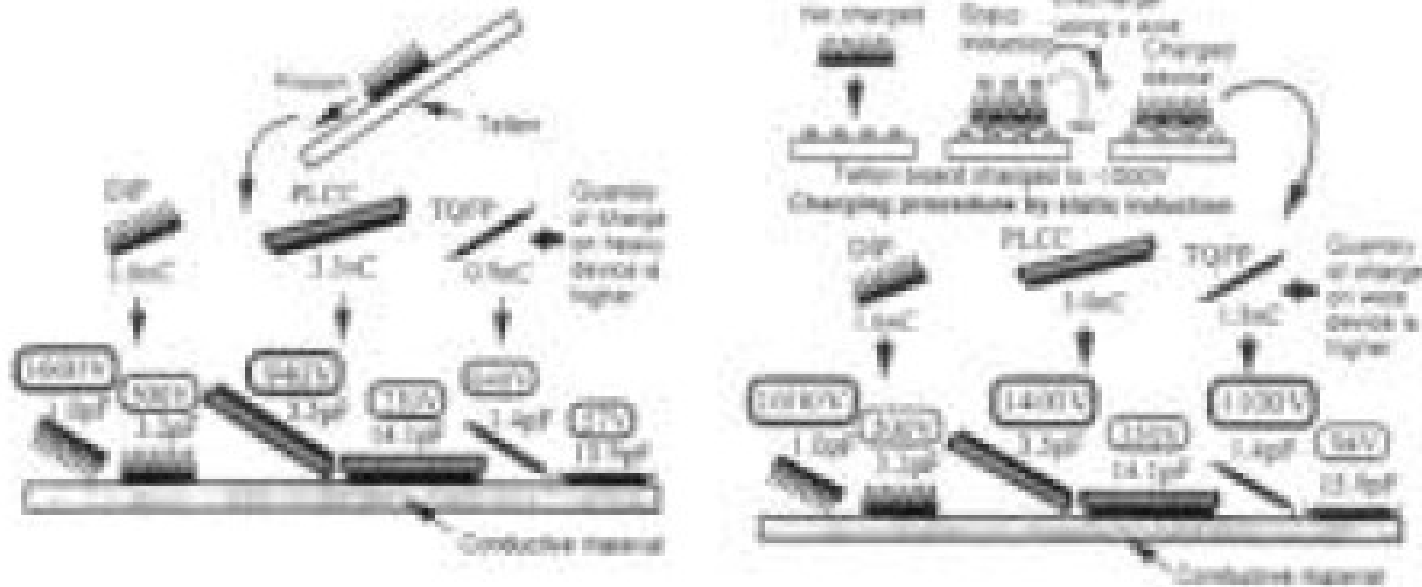
组件充电模式 (Charged-Device Model, CDM)

IC 内部累积的静电会因 IC 组件本身对地的等效电容而变，IC 摆放角度与位置以及 IC 所用包装型式都会造成不同的等效电容。此电容值会导致不同的静电电量累积于 IC 内部。



CDM Tester - Device Interaction

Important factors in real life CDM events



Tanaka (1996)

Different dies and packages cause different ESD voltages in the CDM ESD events.

电场感应模式 (Field-Induced Model, FIM)

FIM 模式的静电放电发生是因电场感应而起的。当 IC 因输送带或其它因素而经过一电场时，其相对极性的电荷可能会自一些 IC 脚而排放掉，等 IC 通过电场之后，IC 本身便累积了静电荷，此静电荷会以类似 CDM 的模式放电出来。

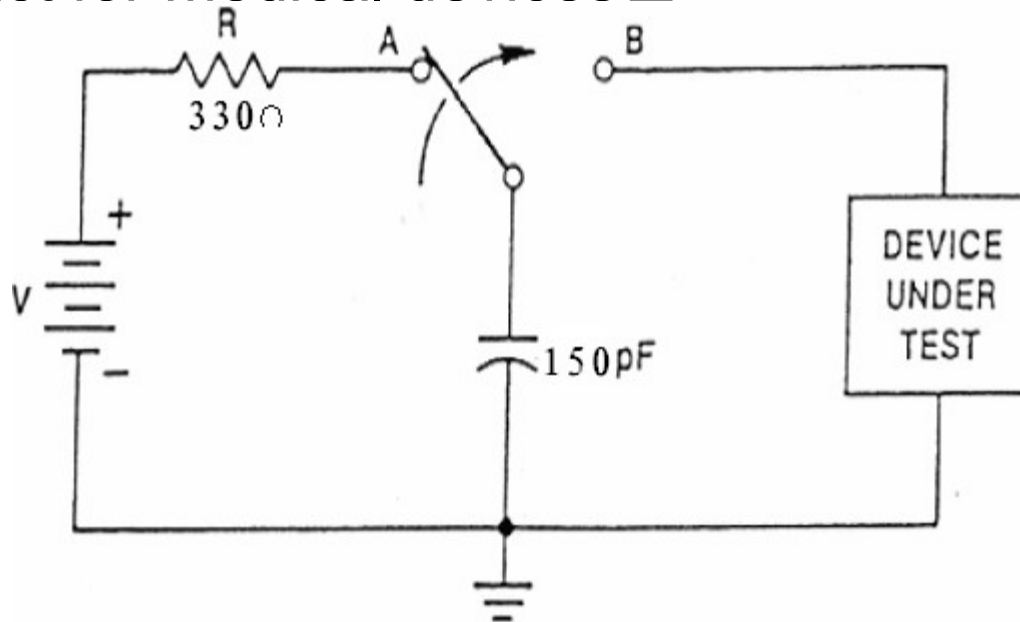
有关 FIM 的放电模式早在双载子 (bipolar) 晶体管时代就已被发现，现今已有工业测试标准。

国际电子工业标准 (EIA/JEDEC STANDARD) 中亦有此电场感应模式订定测试规范 (JESD22-C101)。

IEC 电子枪空气放电模式

主要是接触式放电和非接触式放电

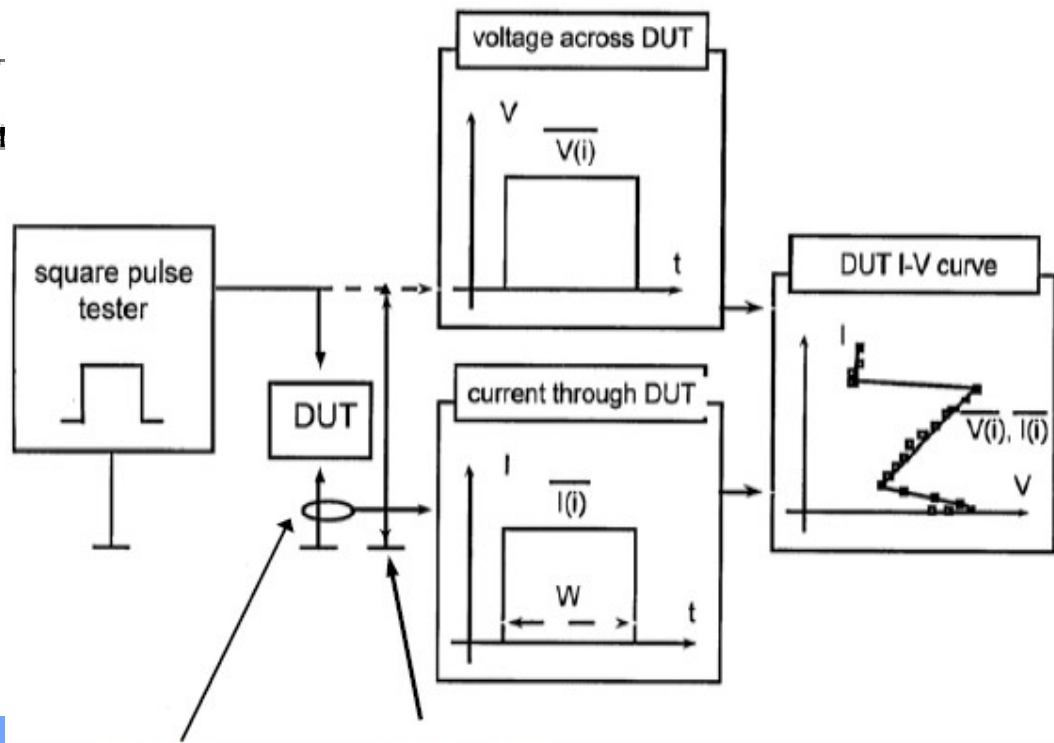
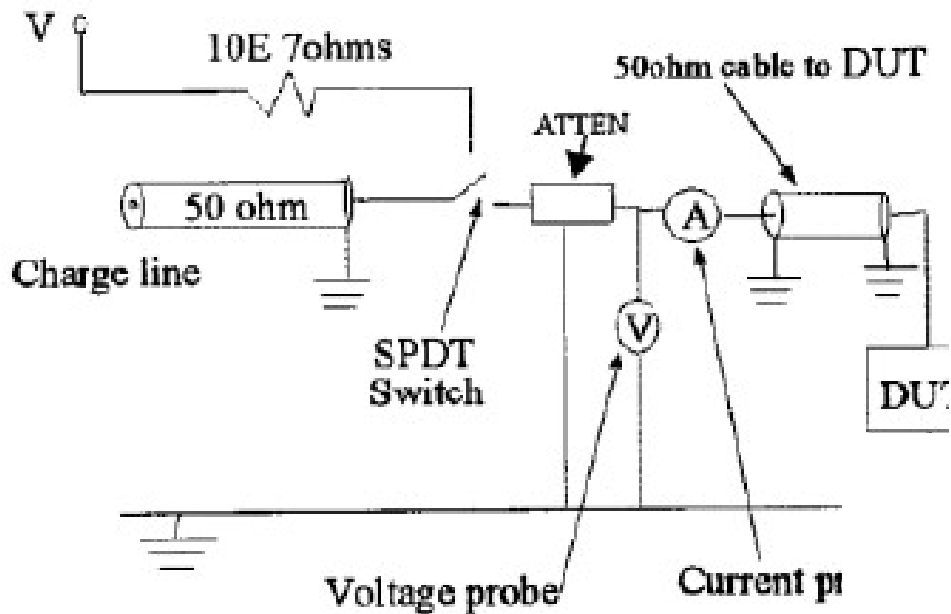
- 8kV air discharge
- 4kV contact mode for most products
- 6kV contact for medical devices

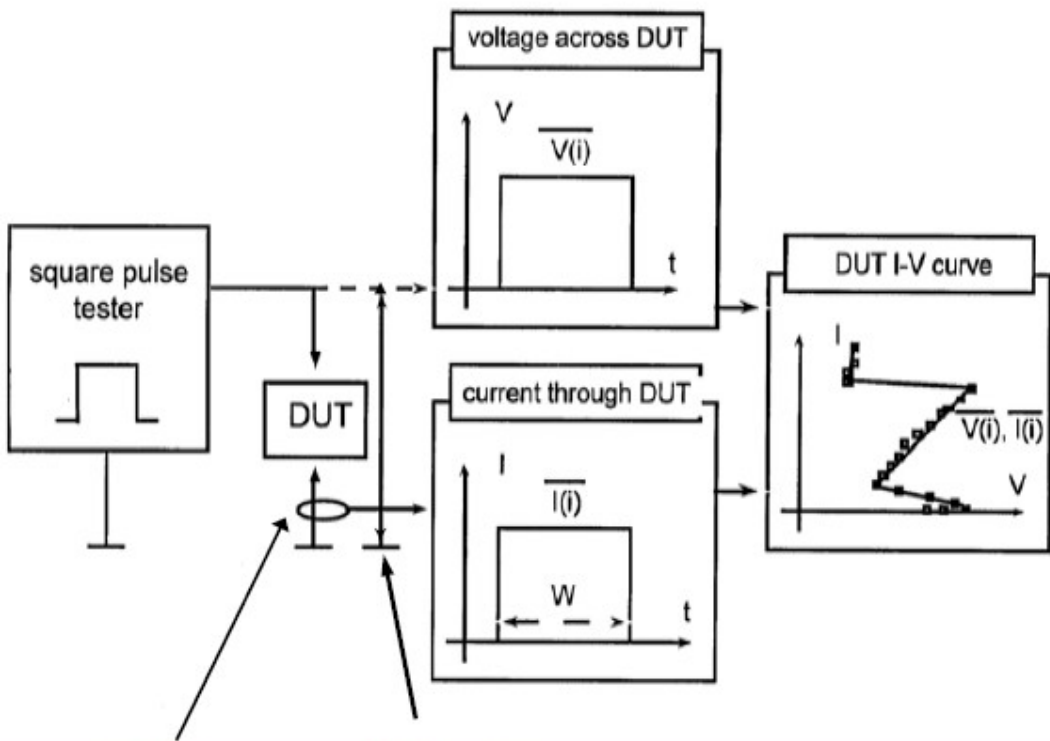




TLP 模型

- 为了研究 ESD 防护器件的工作特性，了解 ESD 脉冲来的时候，落在 ESD 防护器件上的电压电流，包括开启的电压和 ESD 脉冲持续期间的 ESD 防护器件的每个点的电压电流，也就是触发电压电流、回退电压电流和二次崩溃电压电流等。
- 为了达到上述目的，就要将 ESD 脉冲离散化。这就是用 TLP 的矩形脉冲模拟 HBM 的放电脉冲和放电行为。TLP 脉冲上升时间和 HBM 一致，TLP 矩形脉冲脉宽西面的能量与 HBM 能量一致。

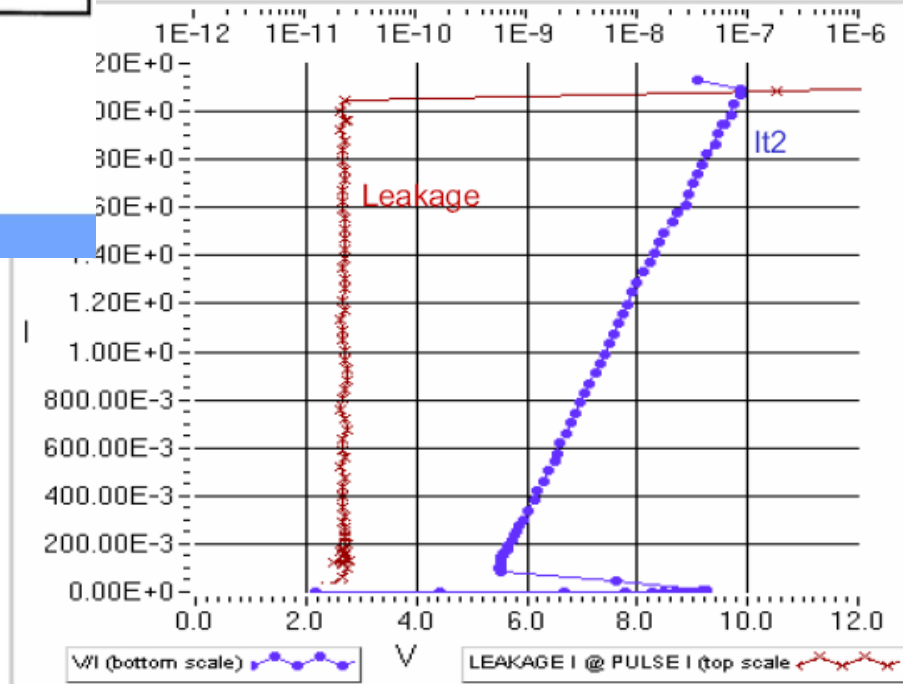




CT-1

V-Probe

TLP-Sample Data



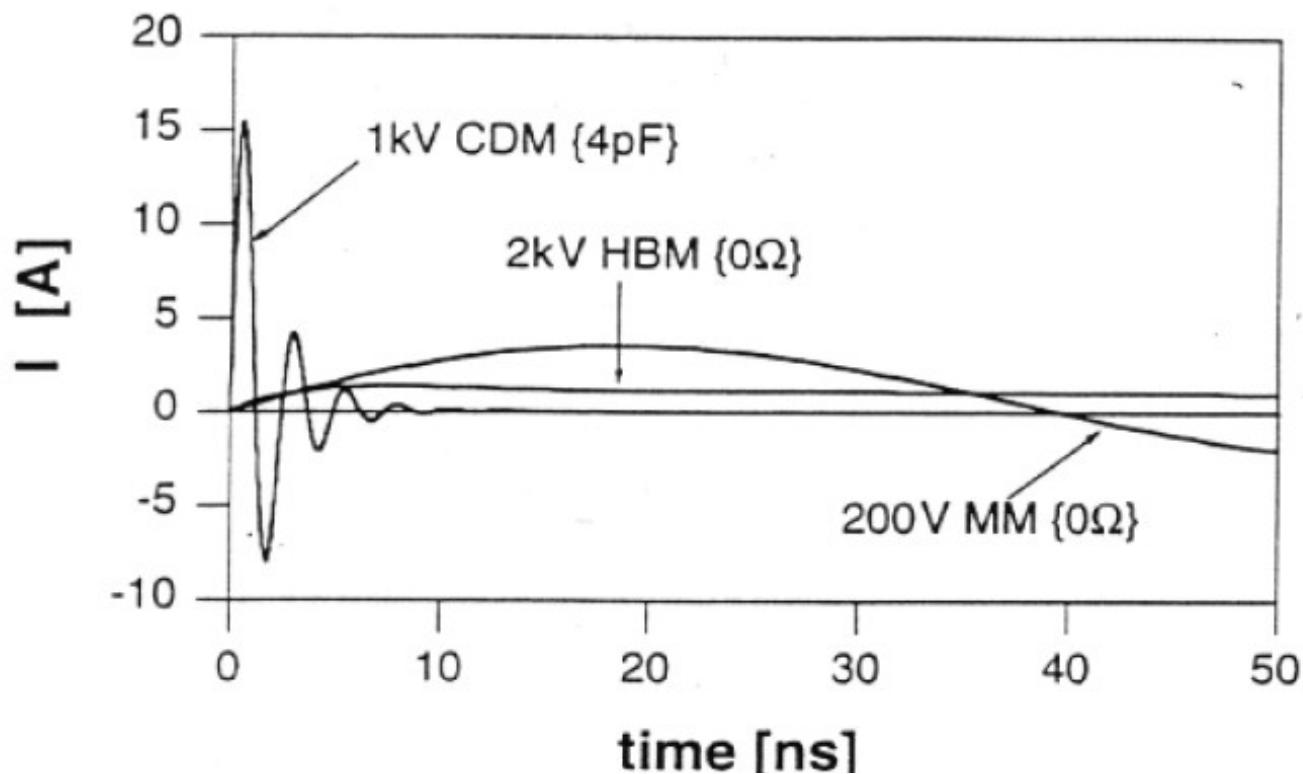


HBM, MM 与 CDM 模型参数比较

Mode 1	Model Parameters			Parasitic Components			Standard Level		
	Time rise (nsec)	Time decay (nsec)	Vpeak (V)	Cesd (pF)	Resd (Ω)	Lesd (μ H)	Okey (V)	Safe (V)	Super (V)
HBM	<10	150 \pm 20	2000~15000	100	1500	75	2000	4000	10000
MM	6~7.5	60-90 (ring period)	100-400	200	数十	1-2	200	400	1000
CDM	<0.2-0.4	0.4-2	250-2000	6.8	数十	1-2	1000	1500	2000
IEC	0.7-1	~80	2000-15000	150	330	-			

2KV HBM, 200V MM, 与 1KV CDM 的放电电流比较, 其中 1KV CDM 的放电电流在不到 1ns 的时间内, 便已冲到约 15 安培的尖峰值, 但其放电的总时段约在 10ns 的时间内便结束。此种放电现象更易造成集成电路的损伤。

Comparison HBM, MM and CDM pulse





HBM, MM 与 CDM 比较

	人体放电模式 (Human-Body Model)	机器放电模式 (Machine Model)	组件充电模式 (Charged-Device Model)
Okey	2000V	200V	1000V
Safe	4000V	400V	1500V
Super	10000V	1000V	2000V

2、HBM 和 MM 测试方法标准

HBM 测试方法及标准

1. ANSI-STM5.1-2001

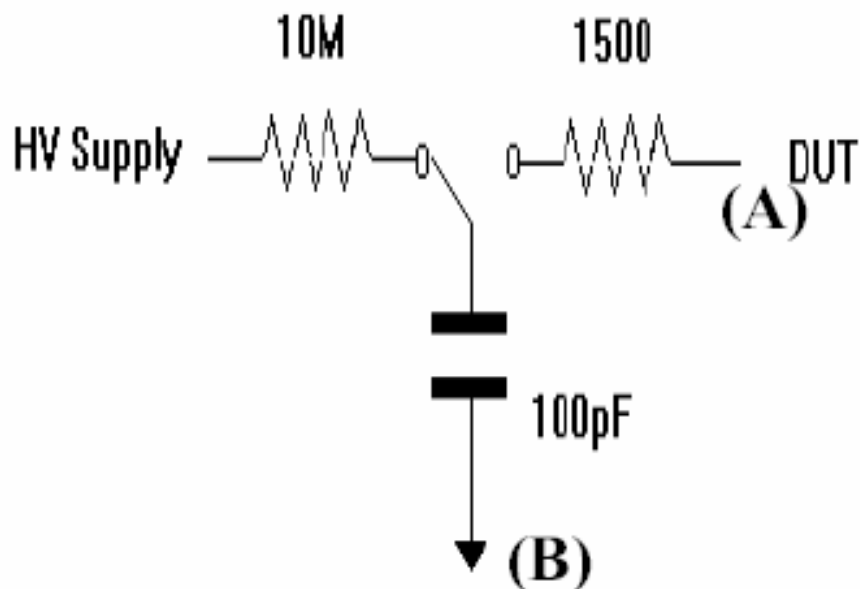
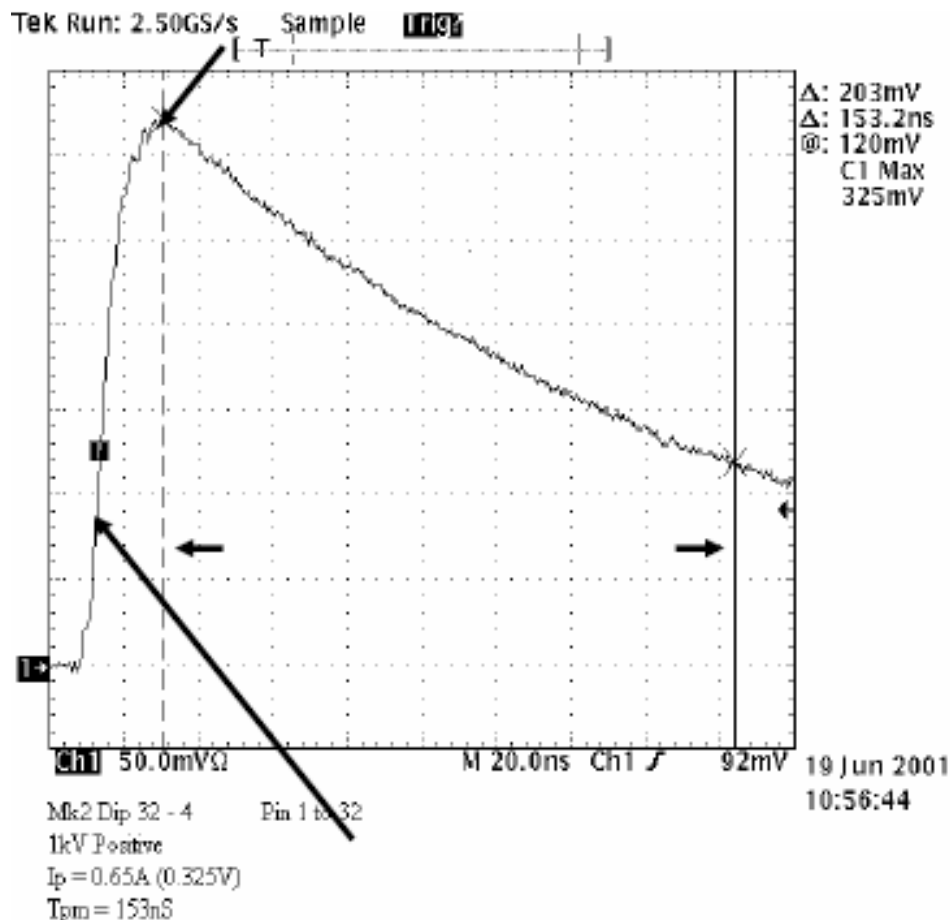
JESD22-A114D -2005

AEC-Q100-002D -2003

2. 该标准用于明确 HBM 模式下的 ESD 电压敏感度的测试、评价以及分级过程
3. 整个测试过程繁琐，尤其对仪器及脉冲波形的校验工作，但非常必要
4. ESD 测试中，器件不在工作状态



人体模型HBM电路和短路波形



2、HBM 和 MM 测试方法标准

一些比较重要的概念：

- (1) 器件失效 (component failure)：当器件不再符合厂商或用户提供的器件动态和静态特性参数
- (2) ESD 敏感度 (sensitivity): 引起器件失效的 ESD 等级 (level)
- (3) ESD 耐受电压 (withstand voltage)：在不引起器件失效前提下的最大 ESD 等级
- (4) 步进耐压增强 (Step stress test hardening): 在步进增加的测试电压下，器件的耐受电压的现象



HBM短路(0 ohm)和500 ohm负载波形参数

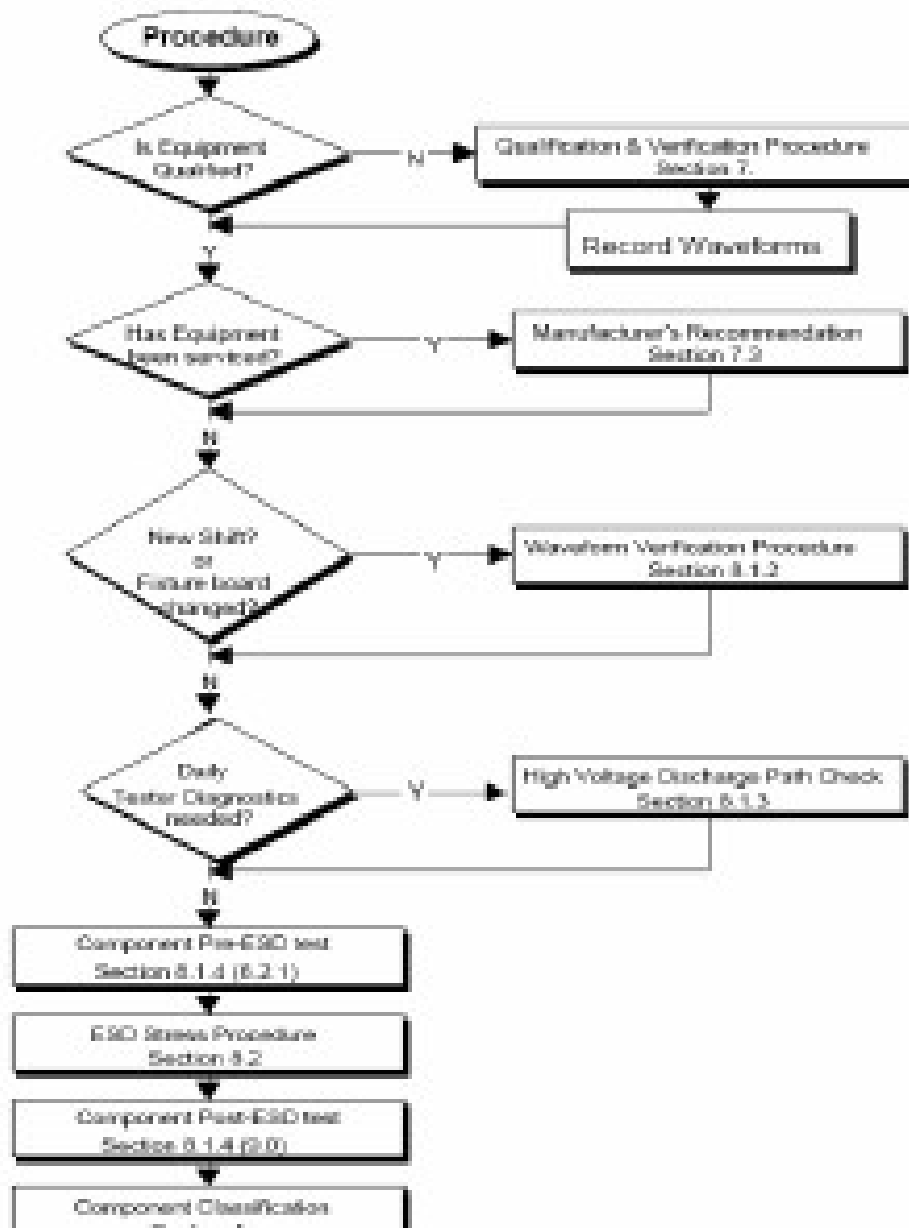
+/- kV	T rise (ns)	T fall (ns)	I peak (A)	Ir Peak	Tr 500 (ns)	lpr 500	lpr
				Ringing			% of Ips
0.1	2.0 - 10	130 - 170	0.060- 0.073	<15%	-----	-----	----
0.25	2.0 - 10	130 - 170	0.15 - 0.19	<15%	-----	-----	----
0.5	2.0 - 10	130 - 170	0.30 - 0.36	<15%	-----	-----	----
1	2.0 - 10	130 - 170	0.60 - 0.73	<15%	5 - 25	0.375 - 0.550	≥ 63%
2	2.0 - 10	130 - 170	1.20 - 1.46	<15%	-----	-----	----
4	2.0 - 10	130 - 170	2.40 - 2.94	<15%	5 - 25	1.50 - 2.20	≥ 63%
8	2.0 - 10	130 - 170	4.80 - 5.86	<15%	-----	-----	----

2、HBM 和 MM 测试方法标准

用于验证脉冲电流波形的仪器：示波器、连个电阻负载和一个电流传感器。具体指标：

- 示波器：分辨率 100mA/1cm、带宽 350MHz、1cm/ns 的显示输出速度；
- 负载电阻： Load1: 短路线， Load2 : 500ohm
- 电流探针：带宽 350MHz，峰值电流 12A，上升时间小于 1ns

Appendix B: HBM STMS.1 Procedure Flow



仪器和脉冲波形检测和校准

—— 初次使用时检测

—— 例行检测

—— 维修后检测

—— 测试版或引脚插槽更换
或移动后检测

记录波形 (用于对比和校验)

—— 新机器

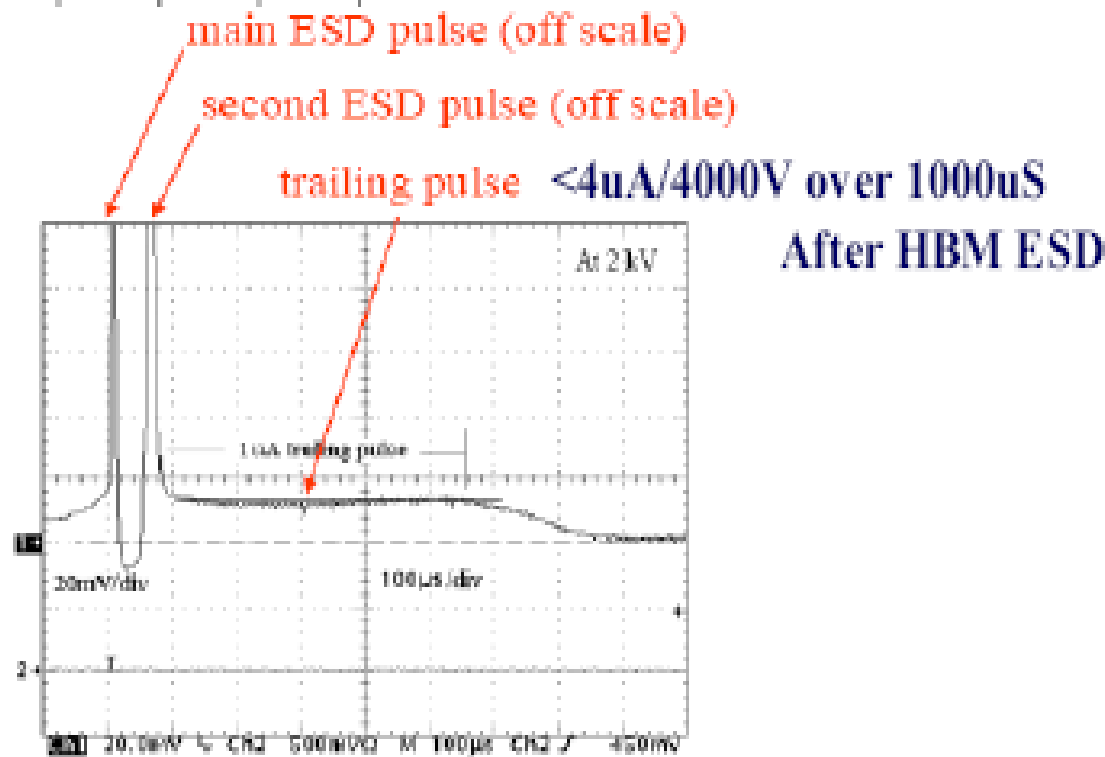
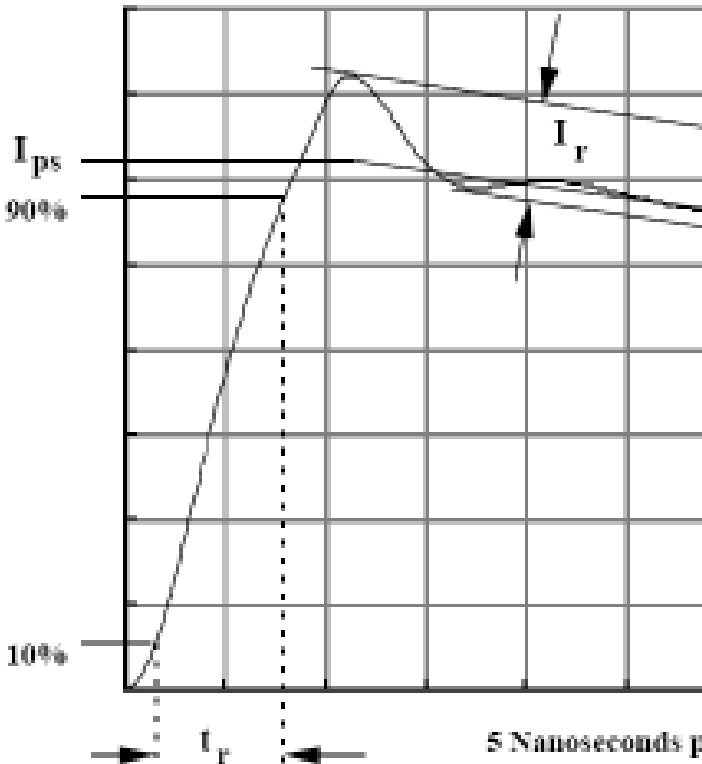
—— 老机器

2、HBM 和 MM 测试方法标准

测试板的校验程序：

- (1) 测试板上所有引脚的电气连贯性
- (2) 对于新安装的测试板

找出测试板上离脉冲发生器最近的一个引脚，将其作为参考节点连接到 B 端。其他所有引脚依次连接到 A 端，并且在 AB 间接入短接线。使用正负 1000V 的脉冲电压在 AB 端，观察波形，经过所有引脚对的电流波形必须符合如图波形



After HBM ESD

Trailing Pulse (尾波) 示意图, 0.13 μ m 或更小制程工艺要考虑

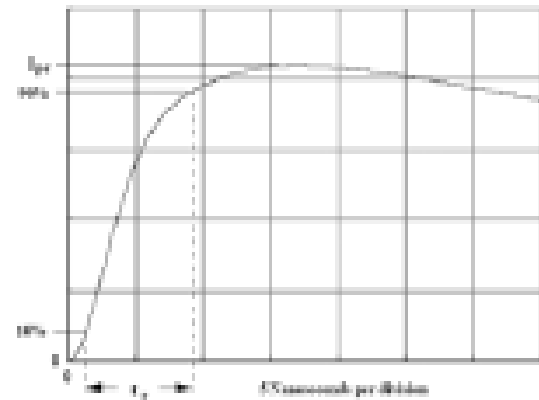
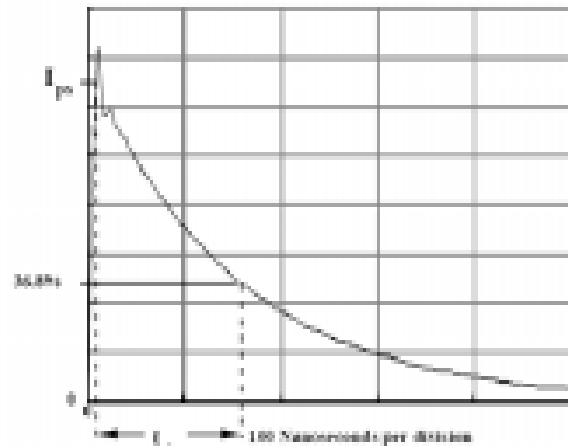
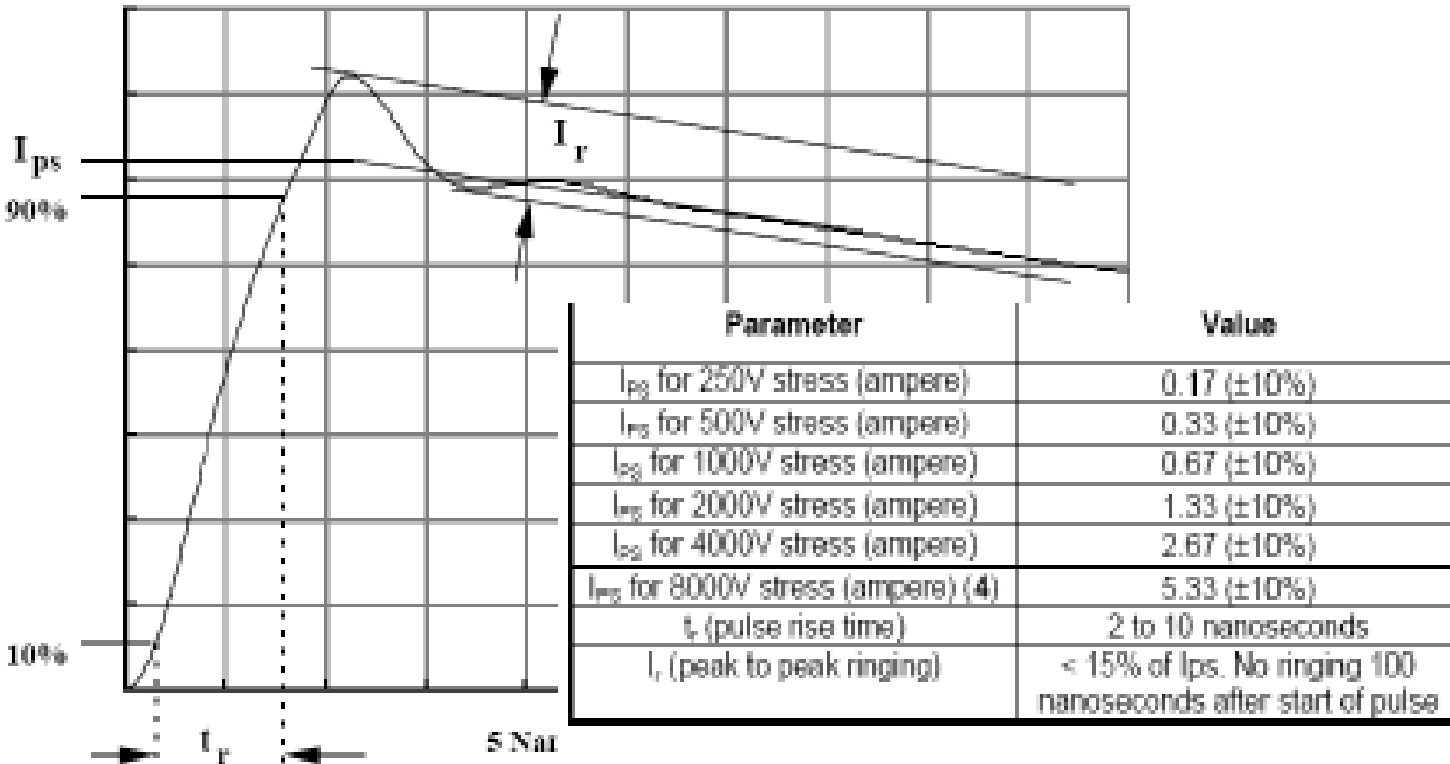


Figure 2- Current waveform through a 100 ohm resistor

2、HBM 和 MM 测试方法标准

HBM 测试方法及标准

1. ANSI-STM5.1-2001

JESD22-A114D -2005

AEC-Q100-002D -2003

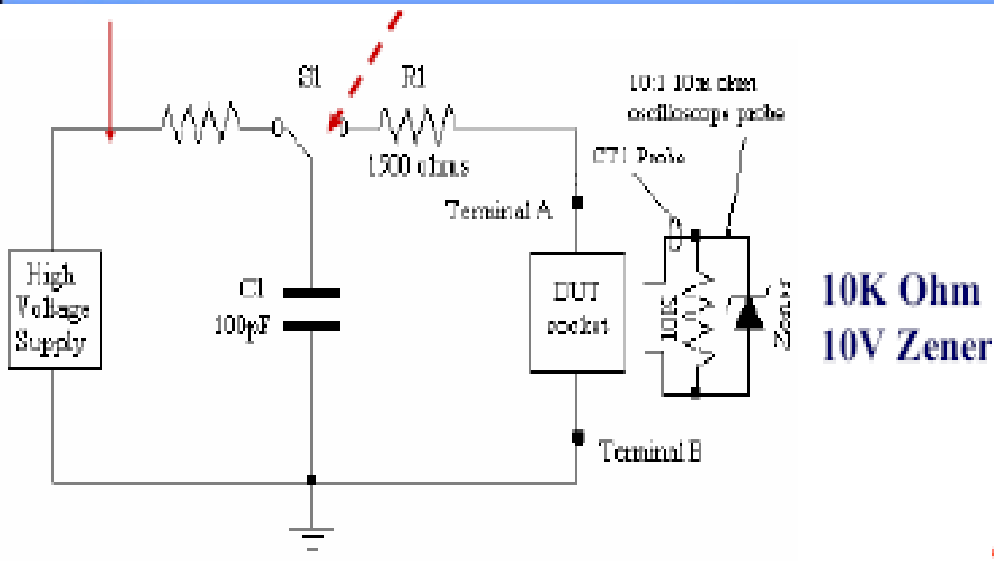
2. 该标准用于明确 HBM 模式下的 ESD 电压敏感度的测试、评价以及分级过程
3. 整个测试过程繁琐，尤其对仪器及脉冲波形的校验工作，但非常必要
4. ESD 测试中，器件不在工作状态



对于非新安装的测试板

- 采用Worst-Case Pair作为AB端，然后在两个AB端接入短路线，电流探针接在离B端最接近的地方，并在AB端分别加1000V，2000V，4000V的5个正脉冲和5个负脉冲，观察波形，必须符合Figure2a的要求
- 将短路线换为500ohm的电阻，分别加1000V和4000V的正负电压，波形需符合Figure3的要求
- 将示波器的水平时间分度设为1ms/div,接入短路线，加入脉冲观察是否伪脉冲(Spurious Pulse)小于主脉冲(Main Pulse)幅值的15%

- 对于尾波校准



10K Ohm
10V Zener

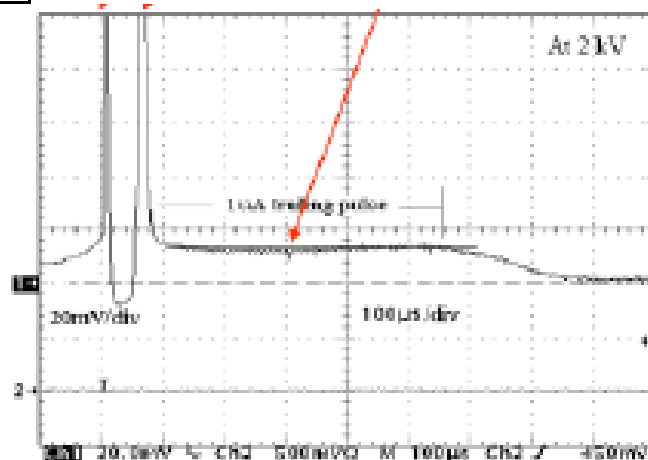
Trailing Pulse (尾波) 发生示意图即计量步骤

main ESD pulse (off scale)

second ESD pulse (off scale)

trailing pulse $4\mu\text{A}/4000\text{V}$ over 1000uS

After HBM ESD



Trailing Pulse (尾波) 示意图, 0.13um 或更小制程工艺要考虑

2、HBM 和 MM 测试方法标准

ESD测试要求和程序

- (1)测试要求
 - 对器件进行操作时必须执行ESD防护操作规范
 - 对波形进行检测（非常重要步骤！）
 - 高压放电路径检测（使用仪器提供商的推荐程序）
 - 检测待测器件的特性参数，保证所有器件在ESD测试前都是正常的
 - 测试时的引脚组合！
 - Maximum # of devices = (# of pin combinations) X (# of voltage steps required) X 3 devices 主要取决于功率引脚数



2、HBM 和 MM 测试方法标准

波形的认证程序

- (1)验证所有测试板引脚的电器连贯性
- (2)在参考引线对之间接入短路线，在短路线尽可能靠近B端附近放置电流探针
- (3)加上正负1000V和4000V的脉冲电压，如果需要测试高于4000V的电压，还需加8000V的脉冲电压，调整示波器的水平时间分度分别为5ns/div,100ns/div，观察电流波形需符合Figure2a，Figure2b
- (4)将示波器的水平时间分度设为1ms/div，加上脉冲后伪脉冲幅值小于主脉冲的15%



例如： 10 pin device with 2-Vdd, 2-Vss, 2-Vcc, 2-input and 2-output pins

Sequence #	Pin comb.	Connect to A	Connect to B	Float Pins
1	1	1st input pin	2-Vdd	all other 7 pins
2	1	2nd input pin	2-Vdd	all other 7 pins
3	1	1st output pin	2-Vdd	all other 7 pins
4	1	2nd output pin	2-Vdd	all other 7 pins
5	1	1st Vcc pin	2-Vdd	all other 7 pins
6	1	2nd Vcc pin	2-Vdd	all other 7 pins
7	1	1st Vss pin	2-Vdd	all other 7 pins
8	1	2nd Vss pin	2-Vdd	all other 7 pins
9	2	Repeat 1-8	but swap	Vdd and Vss
10	3	Repeat 1-8	but swap	Vdd and Vcc
11	4	1st input pin	output 1,2 and input 2	all Vdd, Vss and Vcc pins
12	4	2nd input pin	output 1,2 and input 1	all Vdd, Vss and Vcc pins
13	4	1st output pin	input 1,2 and output 2	all Vdd, Vss and Vcc pins
14	4	2nd output pin	input 1,2 and output 1	all Vdd, Vss and Vcc pins



2、 HBM 和 MM 测试方法标准

MM测试方法及标准:

1. ANSI-STM5.2-1999

JESD22-A115A -1997

AEC-Q100-003E -2003

2. 该标准用于明确在MM模式下的ESD电压敏感度的测试、评价以及分级过程，与HBM的测试方法基本类似

3. 与HBM的主要区别是在于是一个低阻抗模型，因而ESD的耐受电压也要低很多



2、 HBM 和 MM 测试方法标准

MM模式的测试原理电路图

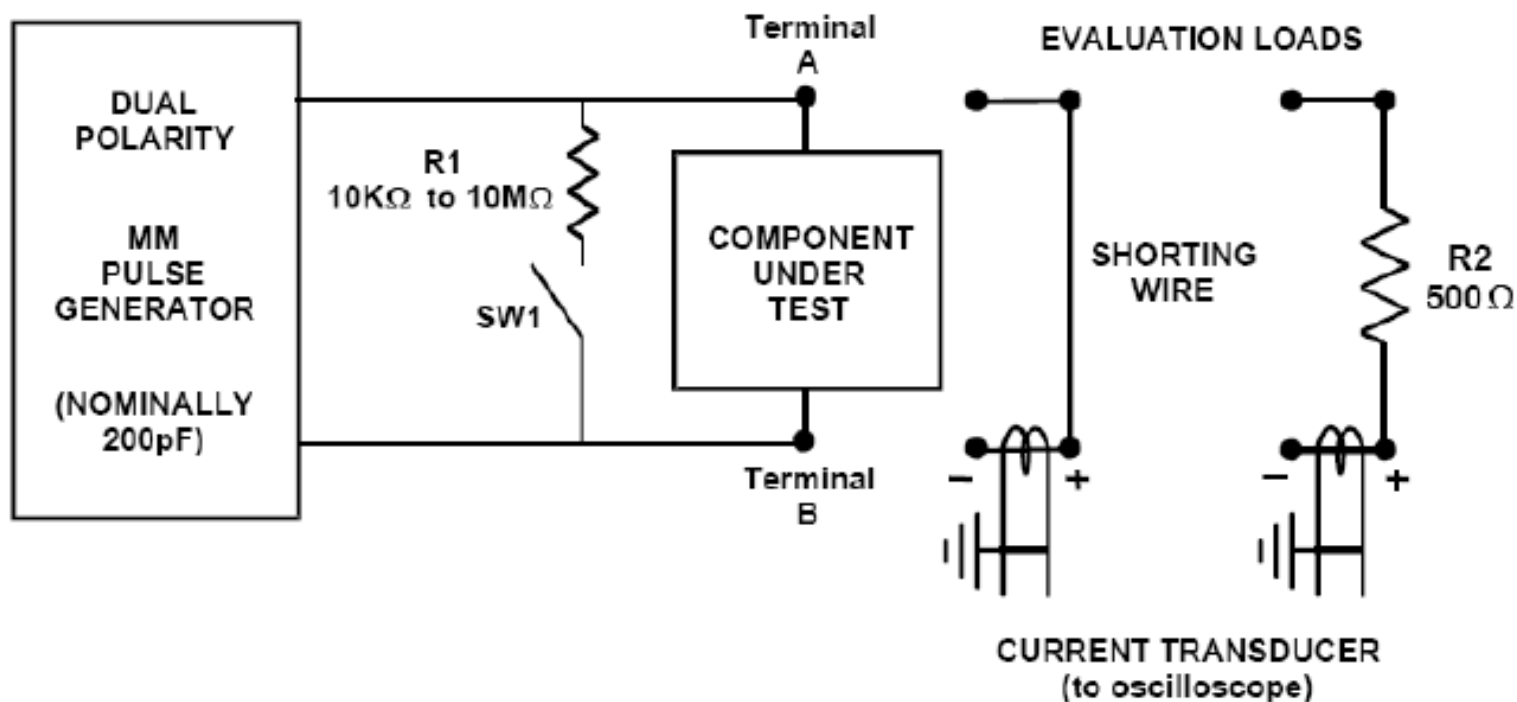


Figure 1: Typical equivalent MM ESD stress test circuit

2、HBM 和 MM 测试方法标准

MM测试方法及标准:

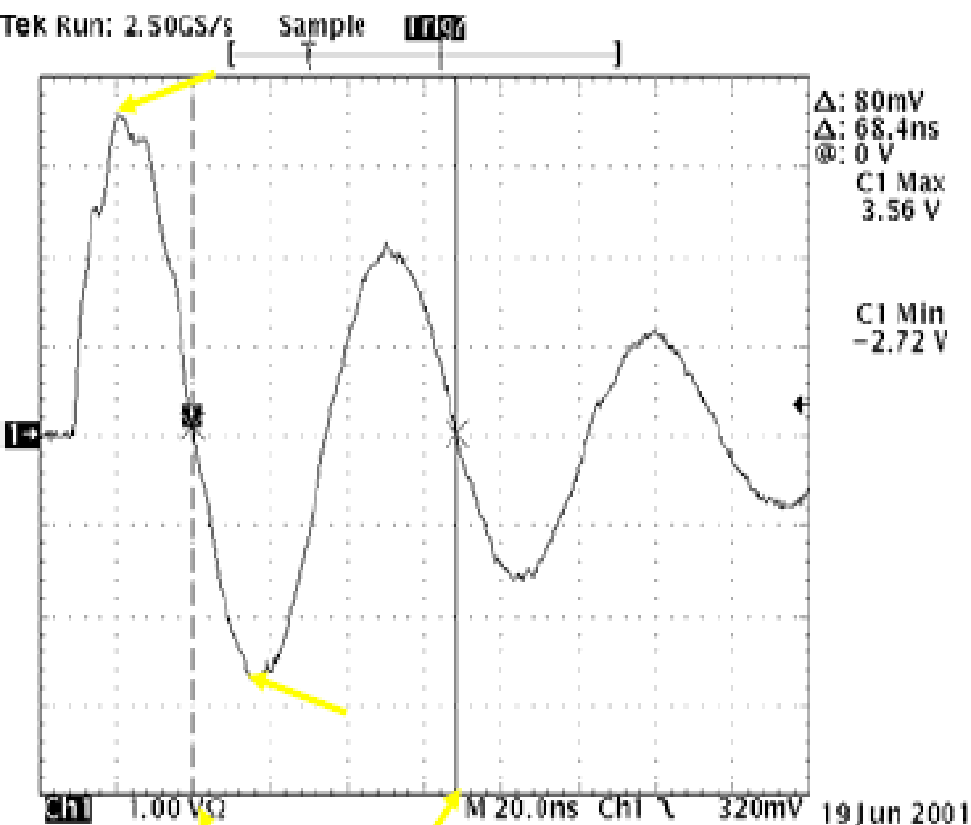
测试过程中MM于HBM的不同之处

- 仪器的标称电容电阻不同
- 两次脉冲时间间隔最小为1s，使器件中的电荷能够充分释放
- ESD测试电压等级
- 脉冲波形的形状

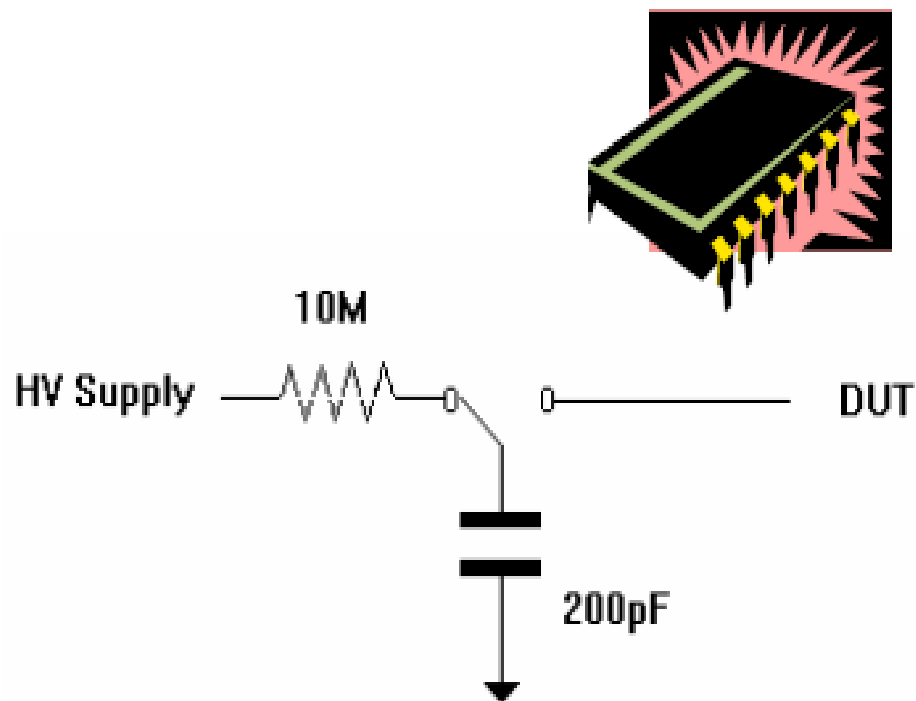
Table 3 - MM ESD stress levels

Stress Level	Equivalent Charging (\pm) Voltage Vp (volt)
1	100
2	200
3	400

机器模型电路和短路波形



Mx2 -Dip 32 -4 Pin 1 to 32
 MM 400V Positive
 $I_{p1} = 7.12A (3.56V)$
 $I_{p2} = 5.44A (2.72V) 76\% \text{ of } I_{p1}$
 $T_{pm} = 68.4ns$



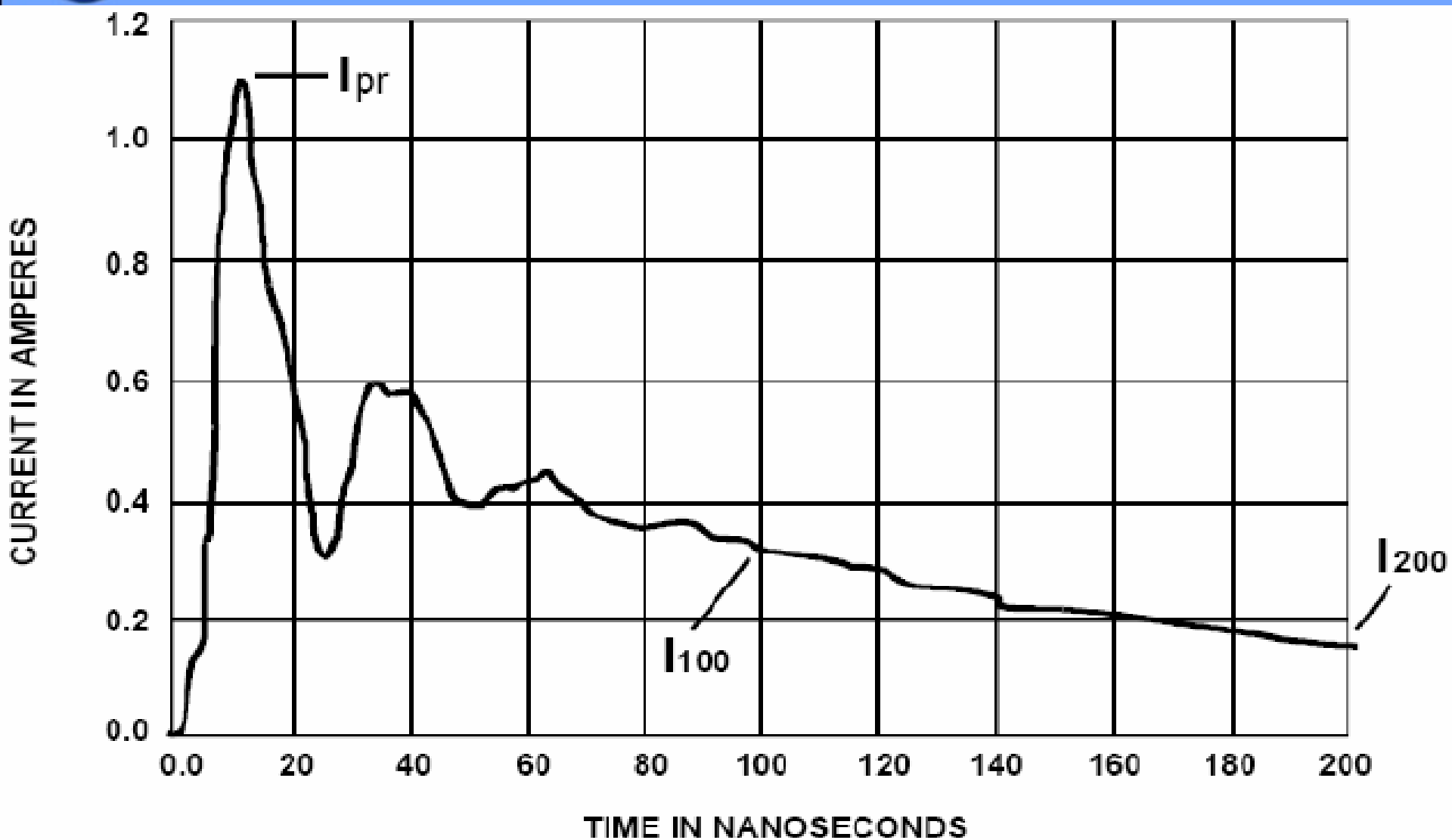


Figure 3: Current waveform through a 500 ohm resistor for a 400 volt discharge

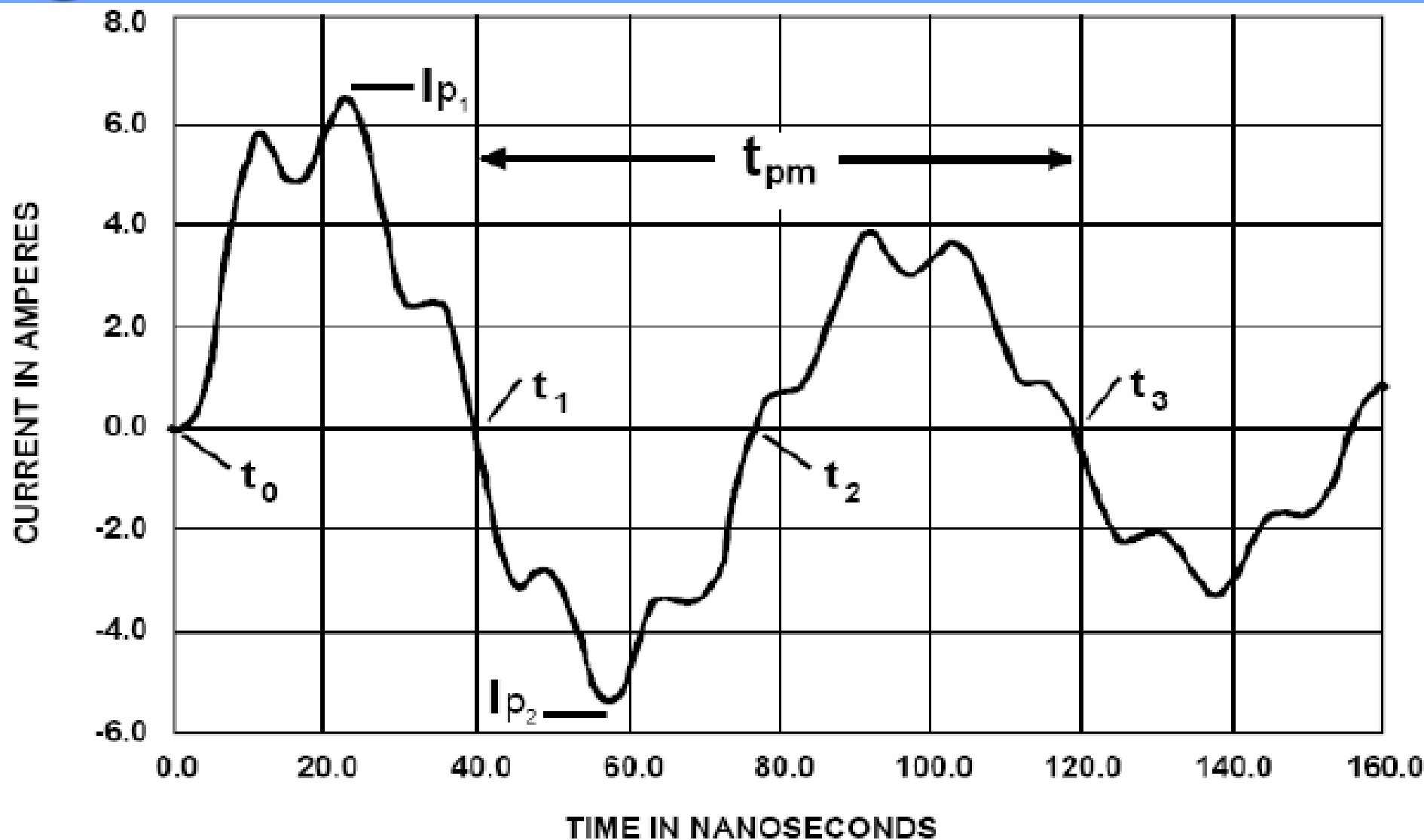
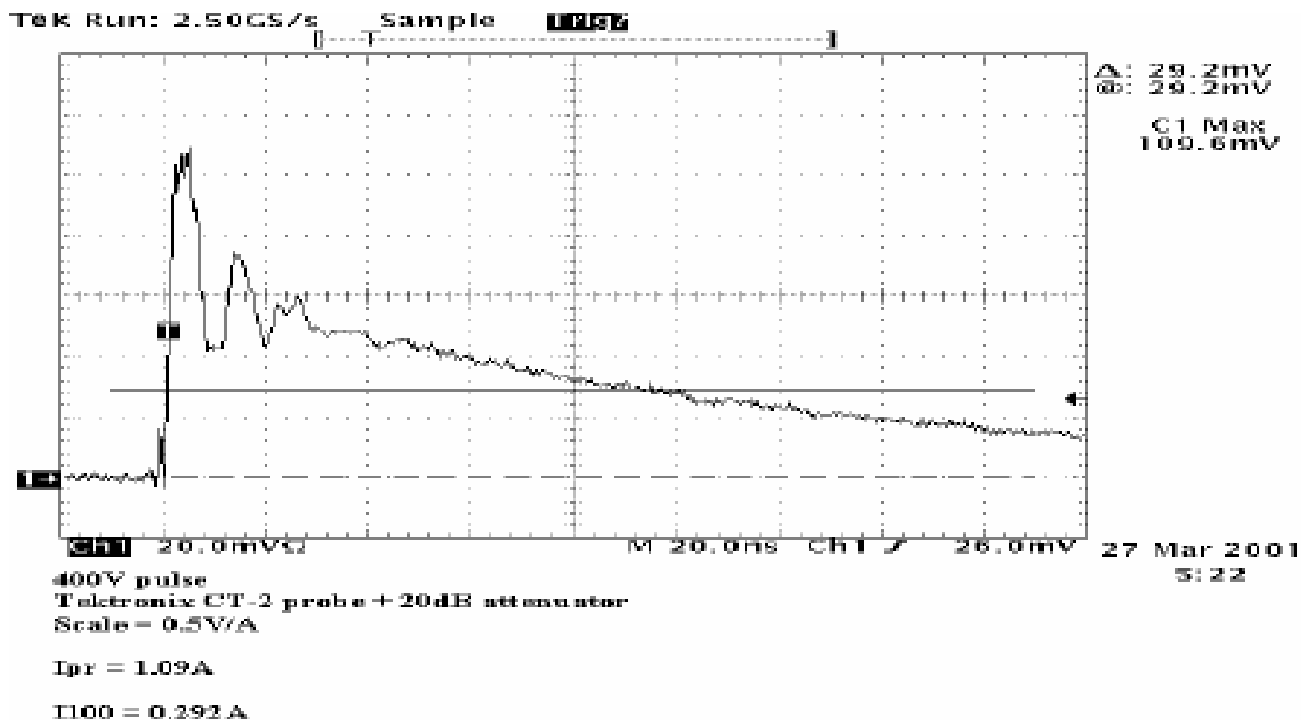


Figure 2: Current waveform through a shorting wire for a 400 volt discharge



机器模型(MM)500ohm负载波形

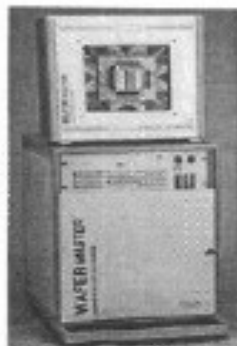


+/- 400 Volts	Ipr	I100	I200 as % of I100
ESDA	0.85 – 1.20	0.26 - 0.32	35 - 45 %
AEC	0.85 – 1.20	0.26 - 0.32	-----
JEDEC	I100 X 4.5 Max	0.232 - 0.348	-----

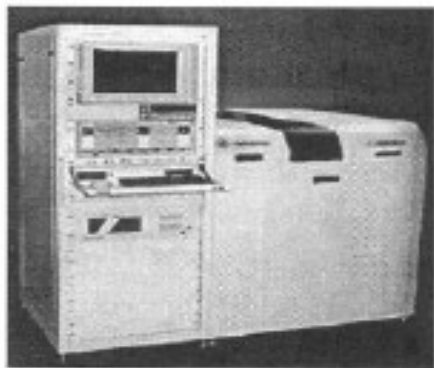
HBM 和 MM 测试方法



(a) System 700 by Oryx
Desktop, HBM, MM & IEC.



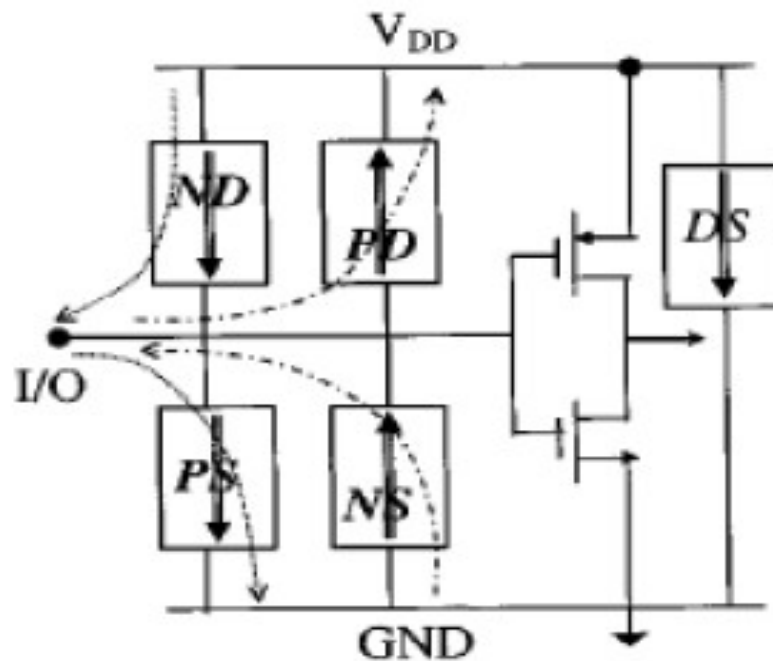
(b) WaferMaster by KeyTek
Wafer level, HBM & MM.



(c) System 11000EX by Oryx
HBM, MM, TLP & Latch-up.



(d) PARAGON by KeyTek
HBM, MM & Latch-up.



主要仪器

测试原理

HBM/MM 测试内容

- 所有管脚（一次一根）对（第 X 组）接地管脚（接地）
- 所有管脚（一次一根）对（第 y 组）电源管脚（接地）
- 所有 I/O 管脚（一次一根）对所有其他 I/O 管脚（接地）
- NC 管脚
 - 依美军标 MIL-883 不测试
 - 依民标 ESDA/JEDEC/AEC 均要求测试

在每一测试模式下，IC 的该测试脚先被打上 (Zap) 某一 ESD 电压，而且在同一 ESD 电压下，IC 的该测试脚必须要被 Zap 三次，每次 Zap 之间的时间间隔约一秒钟，Zap 三次之后再观看该测试脚是否已被 ESD 所损坏，若 IC 尚未被损坏则调升 ESD 的电压，再 Zap 三次。此 ESD 电压由小而逐渐增大，如此重复下去，直到该 IC 脚已被 ESD 所损坏，此时造成 IC 该测试脚损坏的 ESD 测试电压称为『静电放电故障临界电压 (ESD failure threshold) 』。

HBM/MM 测量方法

如果每次调升的 ESD 测试电压调幅太小，则测试到 IC 脚损坏要经过多次的 ESD 放电，增长测试时间；若每次调升的 ESD 测试电压太大，则难以较精确测出该 IC 脚的 ESD 耐压能力。

规定：

- 正负极性均要测试
- 从低压测到高压，起始电压为 70% 的平均 ESD failure threshold (VESD)
- 步进当小于 1000V 时步进 50V(100V)，大于 1000V 时步进 100V(250V, 500V)
- 可以是一个管脚步进测量或者所有管脚扫描测量

最短间隔时间和测试次数

	HBM	MM
Mil-883	1秒, 3次	
ESDA	0.3秒, 1次	1秒, 3次
JEDEC	<u>0.1秒</u> , 1次	0.5秒, 1次
AEC	0.5秒, 1次	1秒, 1次

上述测试的方法在 MM/CDM 中都是相同的

表 3.4-1 某一 IC 的 ESD 测试实际结果
(单位 : V)

接地脚	VDD (+) PD-mode	VDD (-) ND-mode	VSS (+) PS-mode	VSS (-) NS-mode
测试脚				
2	2500	-1000	500	OK
3	1750	-500	500	OK
4	VDD	VDD	VDD	VDD
5	7250	OK	7000	OK
6	7000	OK	7000	OK
7	4250	-500	4000	-5750
8	5000	-250	4500	-3000
9	3000	OK	4500	-7000
10	OK	OK	7500	OK
11	7250	OK	7250	OK
12	2000	-1000	500	OK
13	2250	-750	500	OK
14	2250	OK	750	OK
15	6500	-750	500	OK
16	1500	OK	500	OK
17	VSS	VSS	VSS	VSS

- 每一脚都有 ESD failure threshold。此颗 IC 的 ESD failure threshold 定义为所有 IC 脚中 ESD failure threshold 最小的那个电压值，因此，该颗 IC 的 ESD failure threshold 仅达 500V。

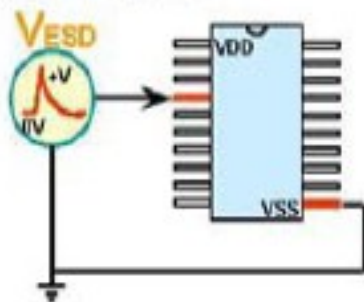
- IC 制程特性有时会有小幅的 (10%) 漂移，所以在相同批次 IC 中随机取样至少大于 5 颗。



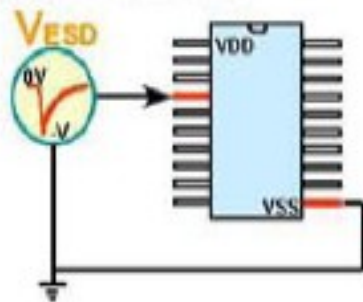
静电的累积可能是正的或负的电荷，因此静电放电测试对同一IC脚而言是具有正与负两种极性。对每一I/O而言，HBM与MM静电放电对IC的放电，有下列四种ESD测试组合，其等效电路示意图如图所示。

- ESD stress on the input or output pins with the VDD or VSS pins relatively grounded :

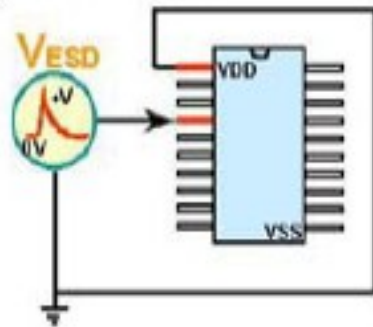
(1) PS-mode



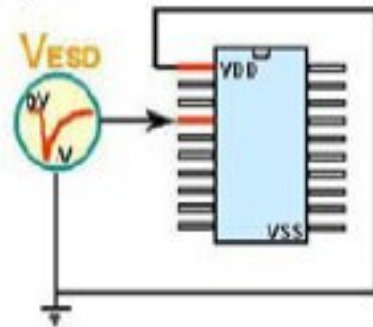
(2) NS-mode



(3) PD-mode



(4) ND-mode

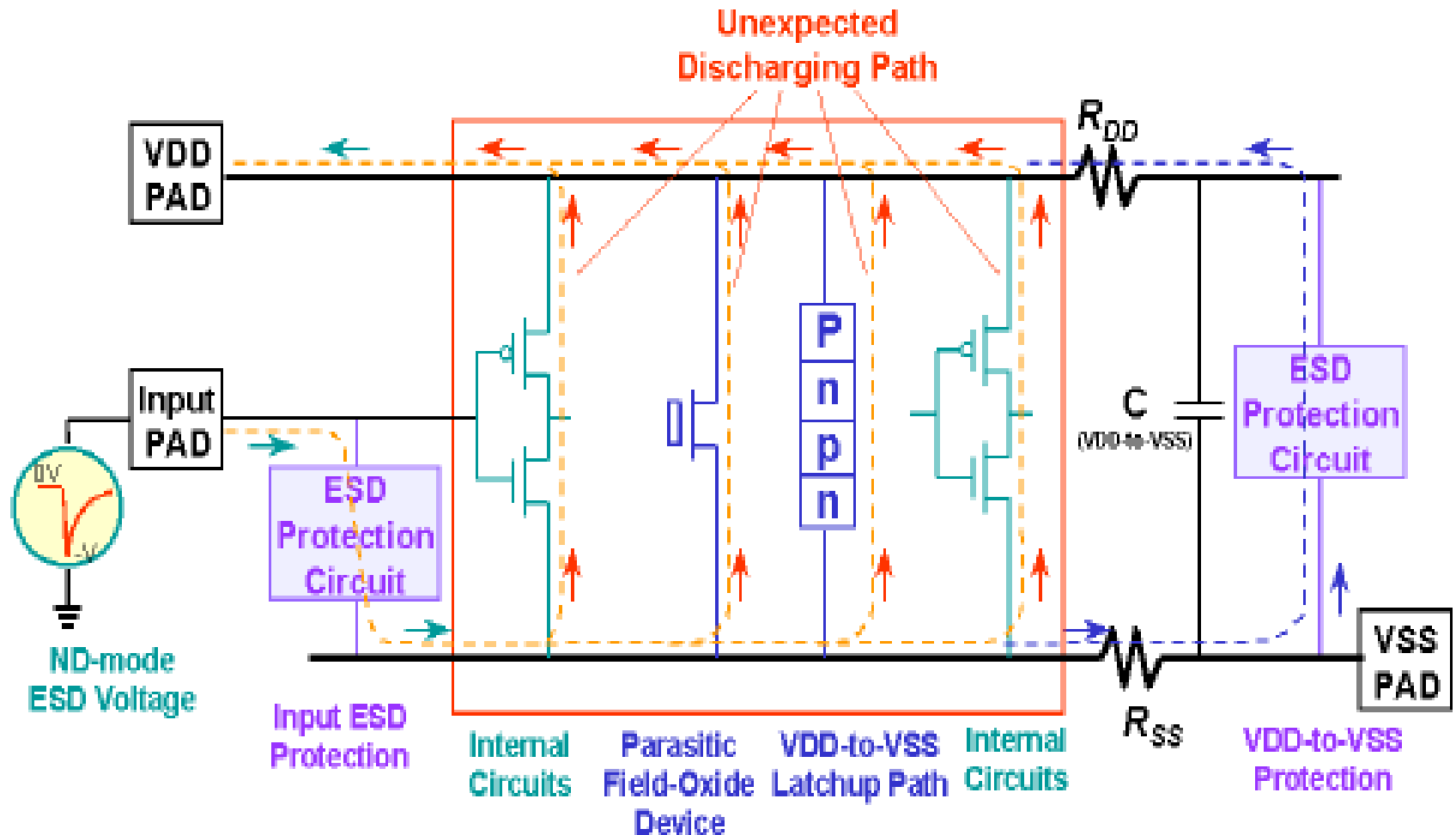




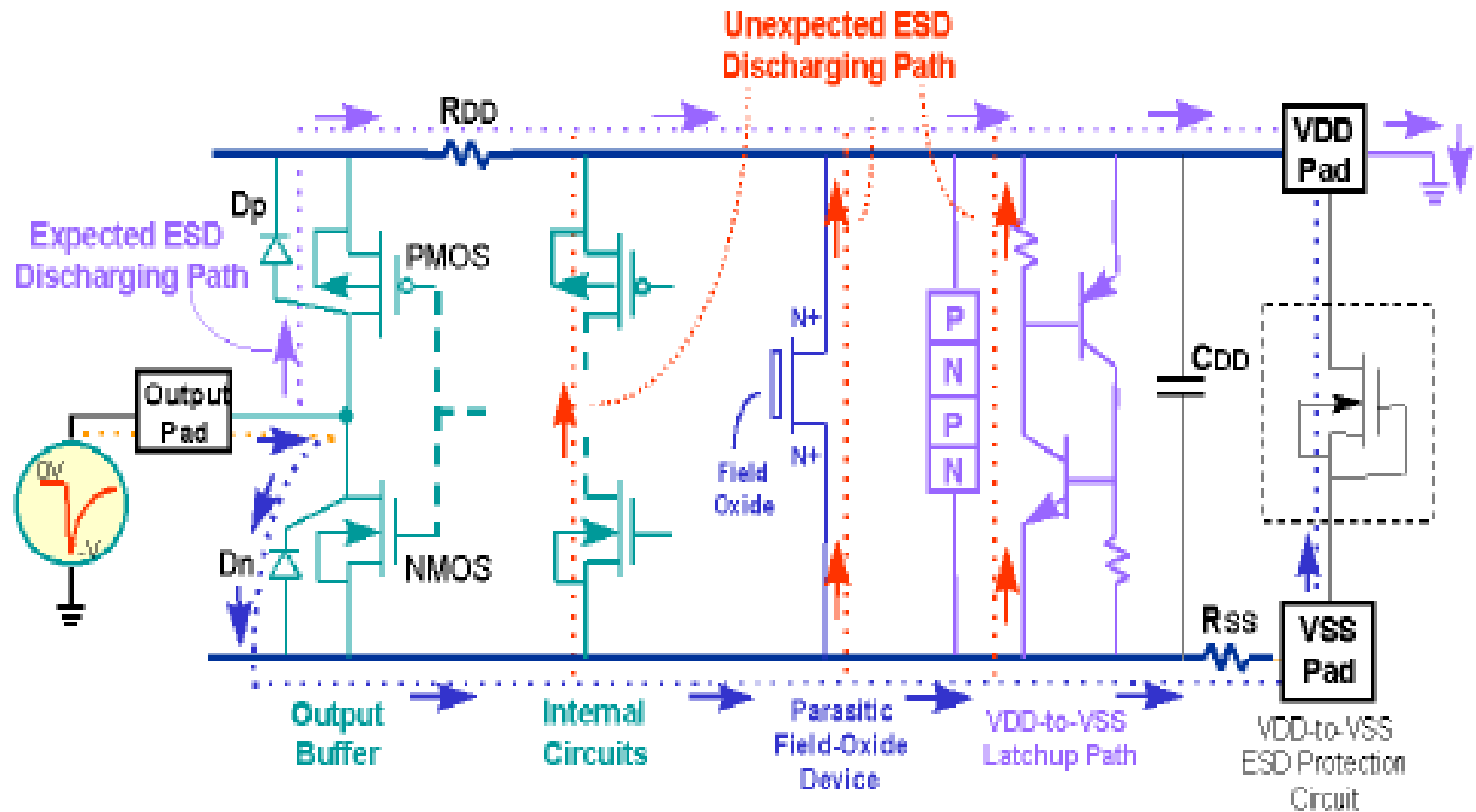
1. PS-mode: VSS脚接地，正的ESD电压出现在该I/O 脚对VSS脚放电，此时VDD与其它脚皆浮接；
2. NS-mode: VSS脚接地，负的ESD电压出现在该I/O 脚对VSS脚放电，此时VDD与其它脚皆浮接；
3. PD-mode: VDD脚接地，正的ESD电压出现在该I/O脚对VDD脚放电，此时VSS与其它脚皆浮接；
4. ND-mode: VDD脚接地，负的ESD电压出现在该I/O脚对VDD脚放电，此时VDD与其它脚浮接。



Internal ESD Damages under ND-mode ESD Stress on Output Pin

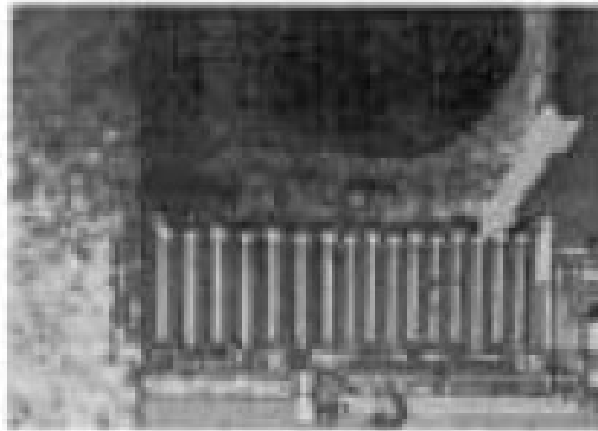


Internal ESD Damages under ND-mode ESD Stress on Output Pin

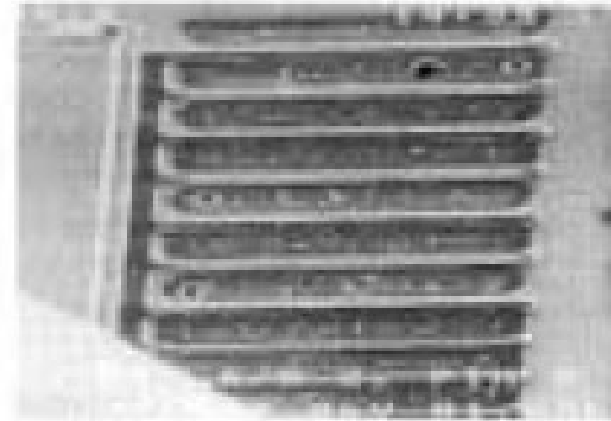




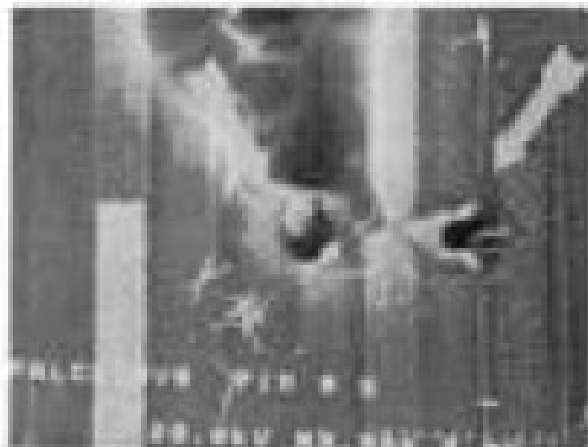
HBM / MM ESD Failure on the I/O Devices



Hot spot locations in customer failure exposure to the charged busbar body.



Stress damage at contacts resulting from HBM. A close-up of a typical good contact is shown in Figure 3



Customer failure showing probable HBM damage.



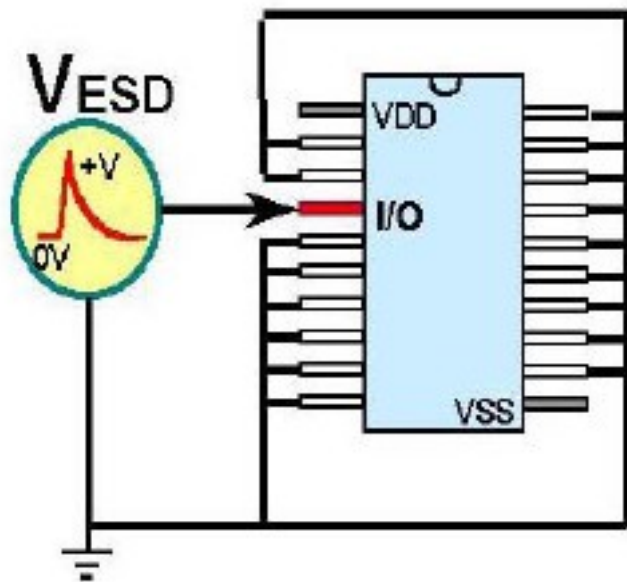
Deep contact gap from HBM excitation



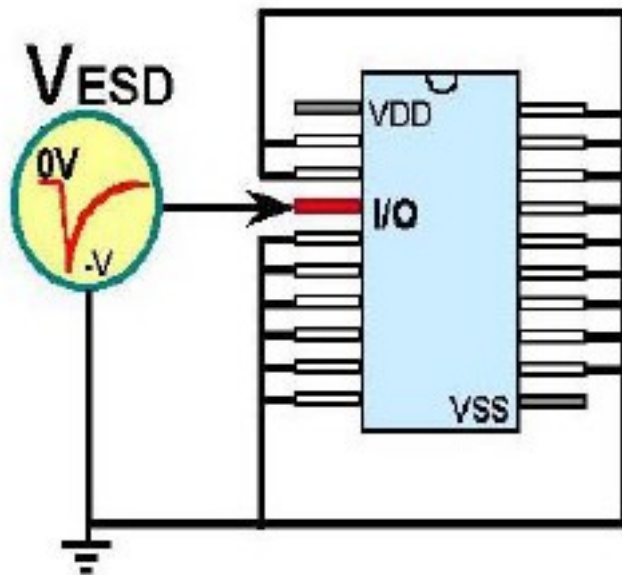
静电放电可能出现在IC的任何两只脚之间，ESD发生在不相干的两支IC脚之间时，静电放电电流会先经由某部份的电路跑到VDD或VSS电源，再由VDD或VSS电源连接线跑到另一支IC脚，再由那支IC脚流出IC之外。测试组合如图。

● Pin-to-Pin ESD Stress :

(1) Positive-mode



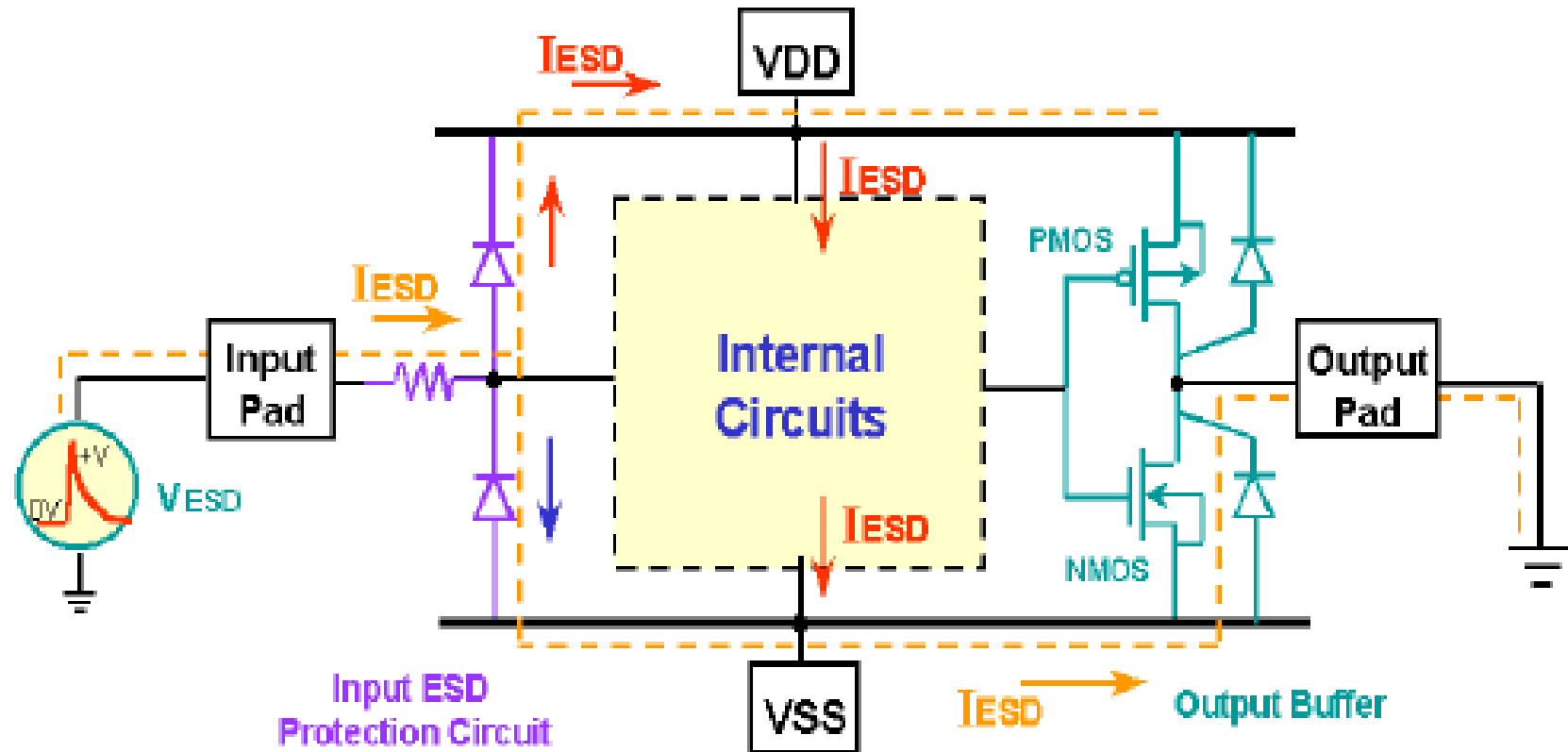
(2) Negative-mode





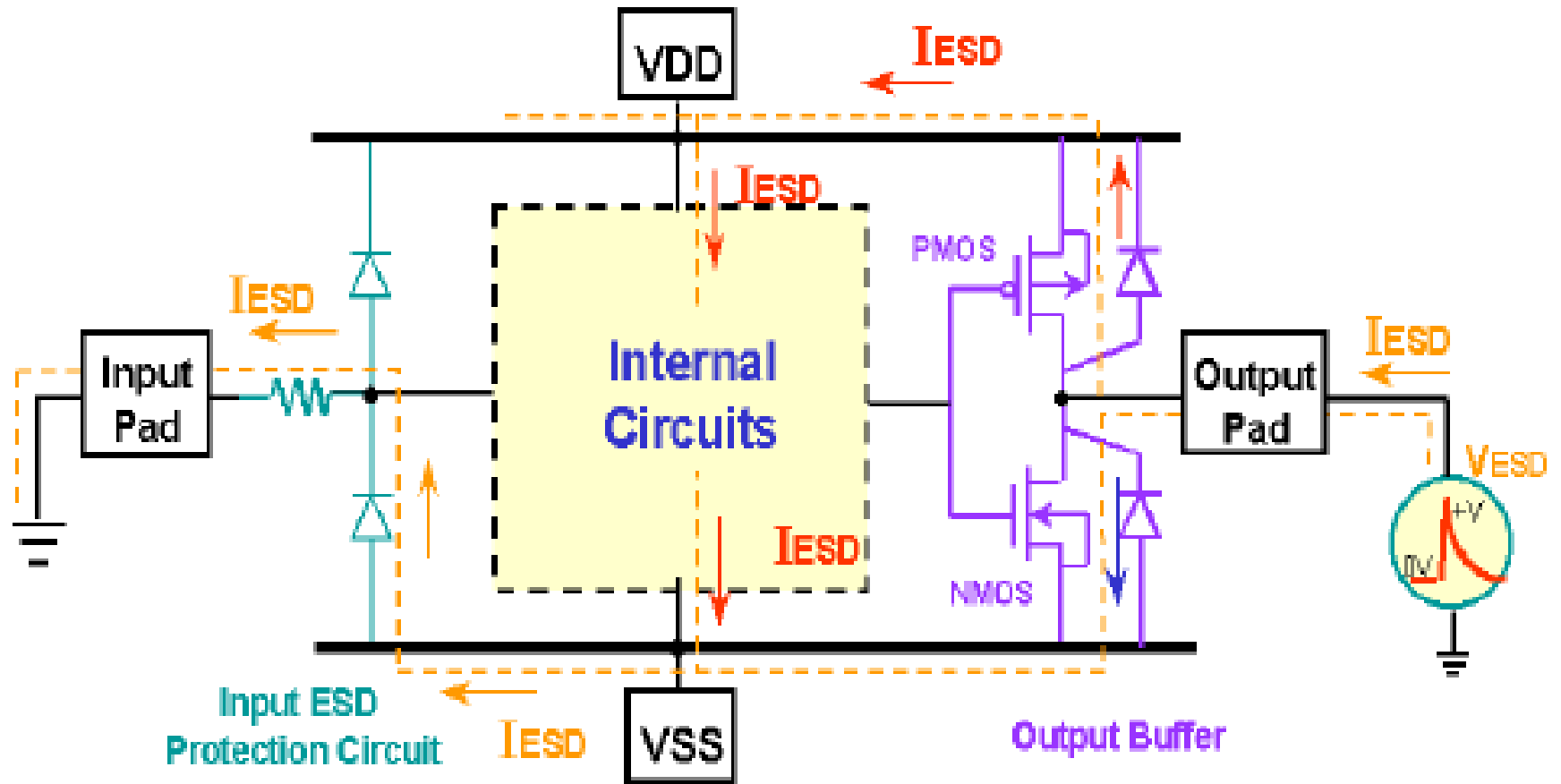
- Positive-mode: 正的ESD电压出现在某一I/O脚, 此时所有其它I/O脚皆一起接地, 但所有的VDD脚与VSS脚皆浮接。
- Negative-mode: 负的ESD电压出现在某一I/O脚, 此时所有其它I/O脚皆一起接地, 但所有的VDD脚与VSS脚皆浮接。

Internal ESD Damage Due to Pin-to-Pin ESD Stress



Pin-to-pin ESD stress

➡ ESD voltage across the VDD and VSS power lines.



Pin-to-pin ESD stress

➔ ESD stress across the VDD and VSS power lines.



静电放电也可能发生在VDD脚与VSS脚之间，因此对VDD脚与VSS脚有下列的ESD测试组合，其等效电路示意图如图所示。

● VDD-to-VSS ESD Stress :

(1) Positive-mode

(2) Negative-mode

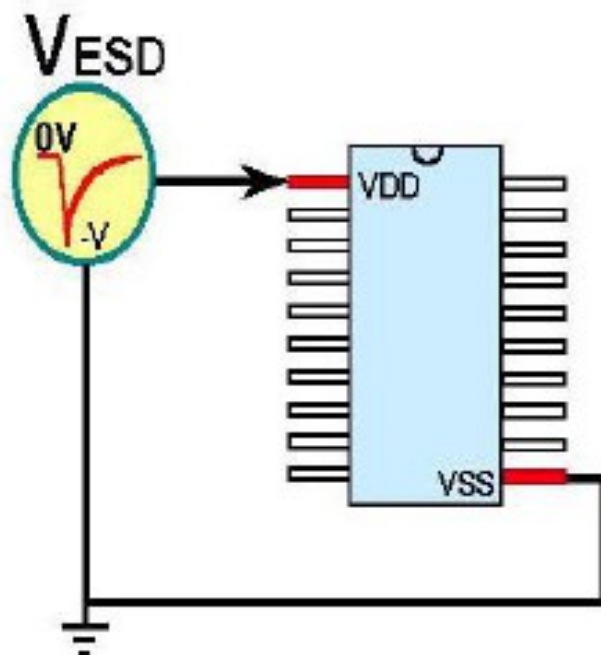
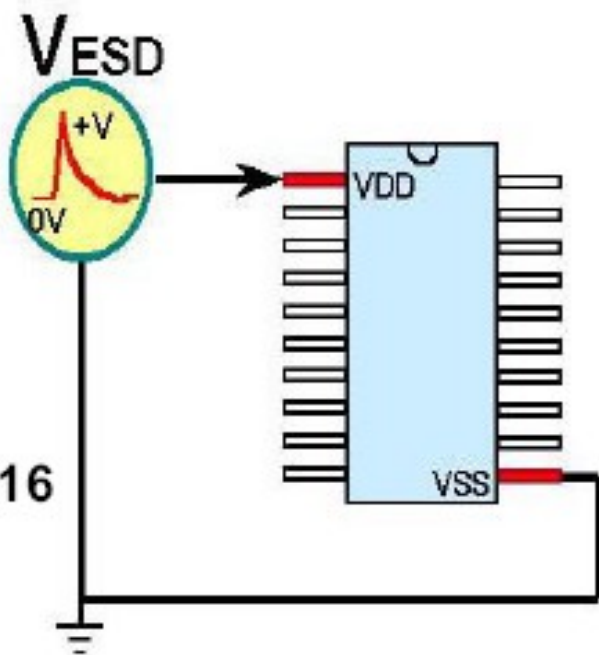
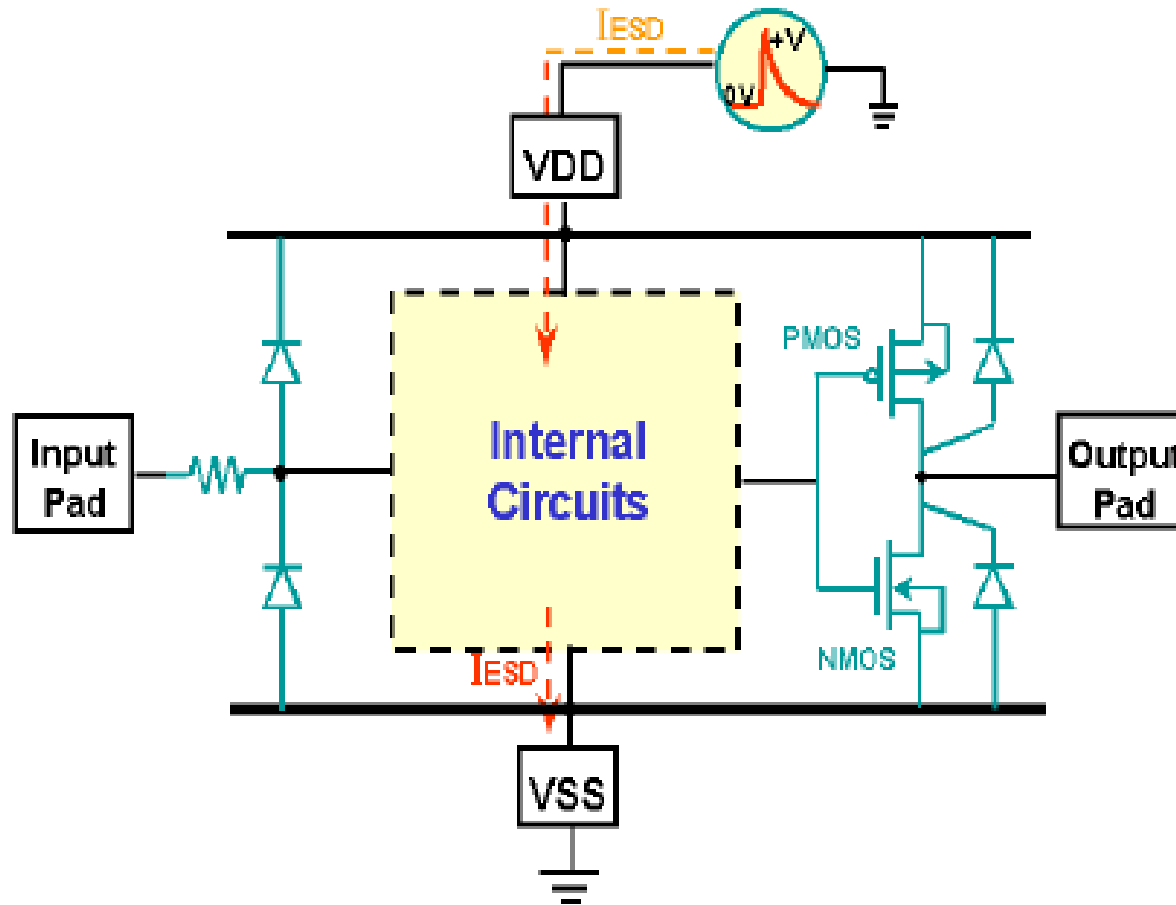


图16



- Positive-mode: 正的ESD电压出现在VDD脚，此时VSS脚接地，但所有I/O脚皆浮接；
- Negative-mode: 负的ESD电压出现在VDD脚，此时VSS脚接地，但所有I/O脚皆浮接。

Internal ESD Damage Due to VDD-to-VSS ESD Stress

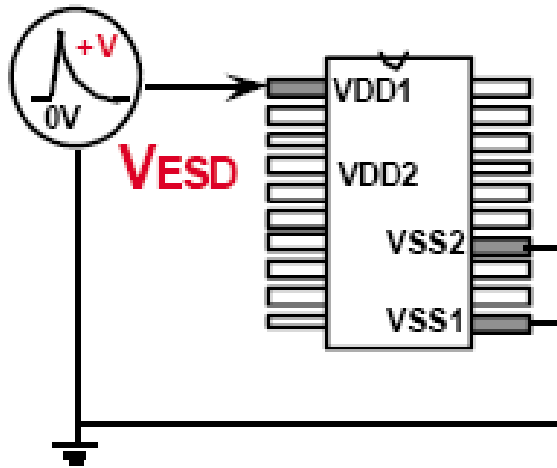


➔ The internal circuits are more vulnerable to ESD damage in this ESD-stress condition.

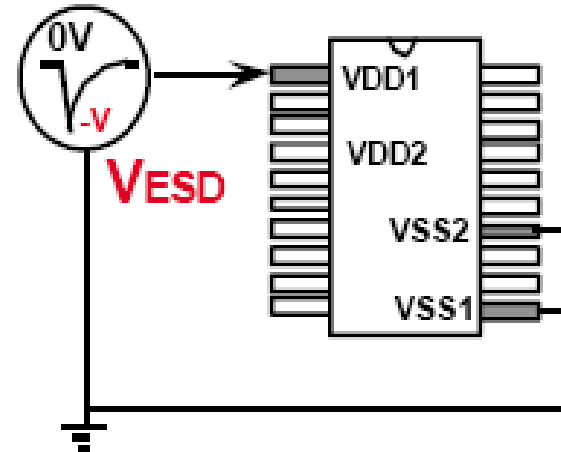


● VDD-to-VSS ESD Stress for the IC having multiple power pins :

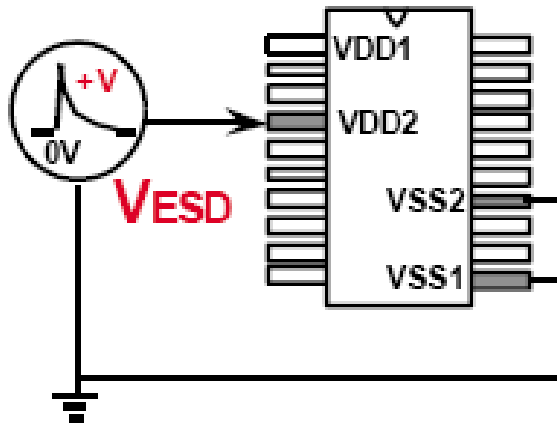
(1) VDD1 to all VSS pin (+ Zapping)



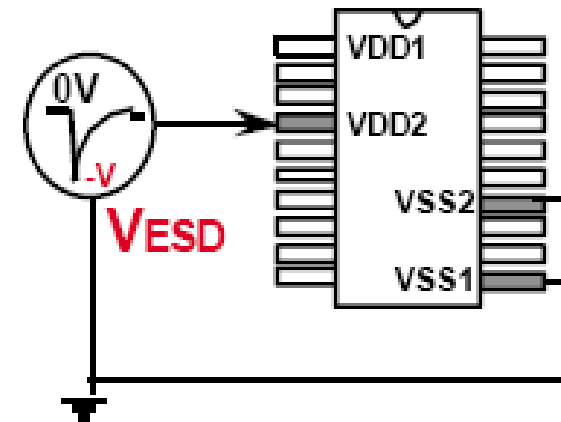
(3) VDD1 to all VSS pin (- Zapping)



(2) VDD2 to all VSS pin (+ Zapping)

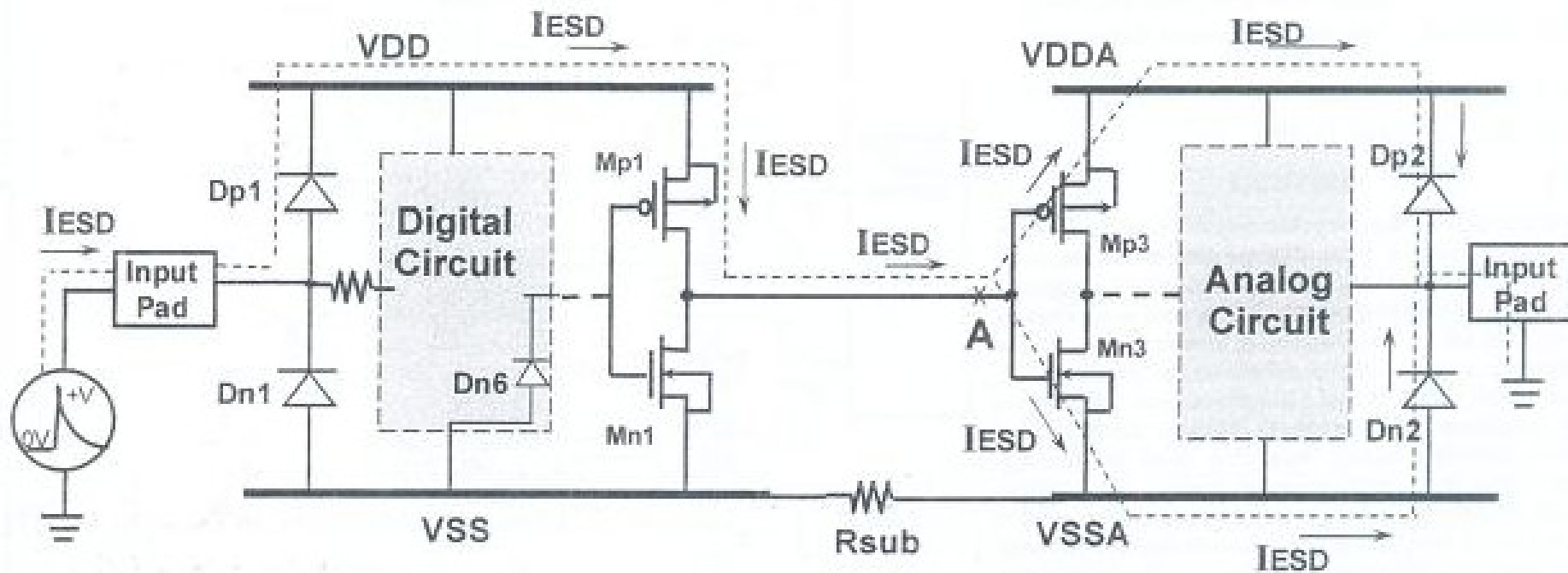


(4) VDD2 to all VSS pin (- Zapping)



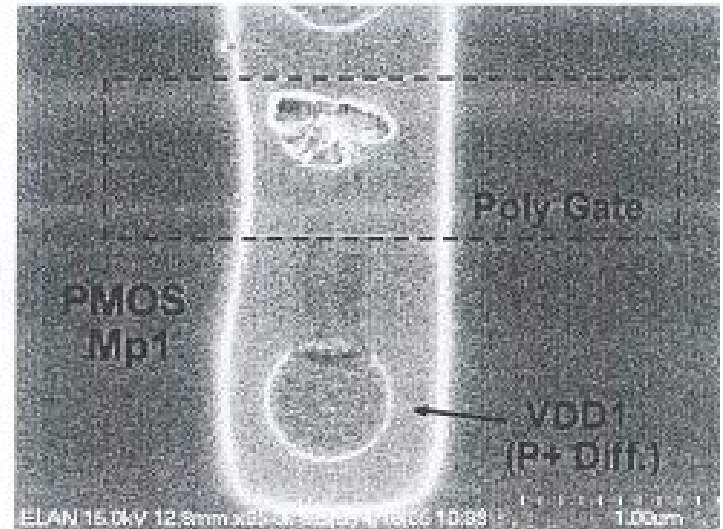
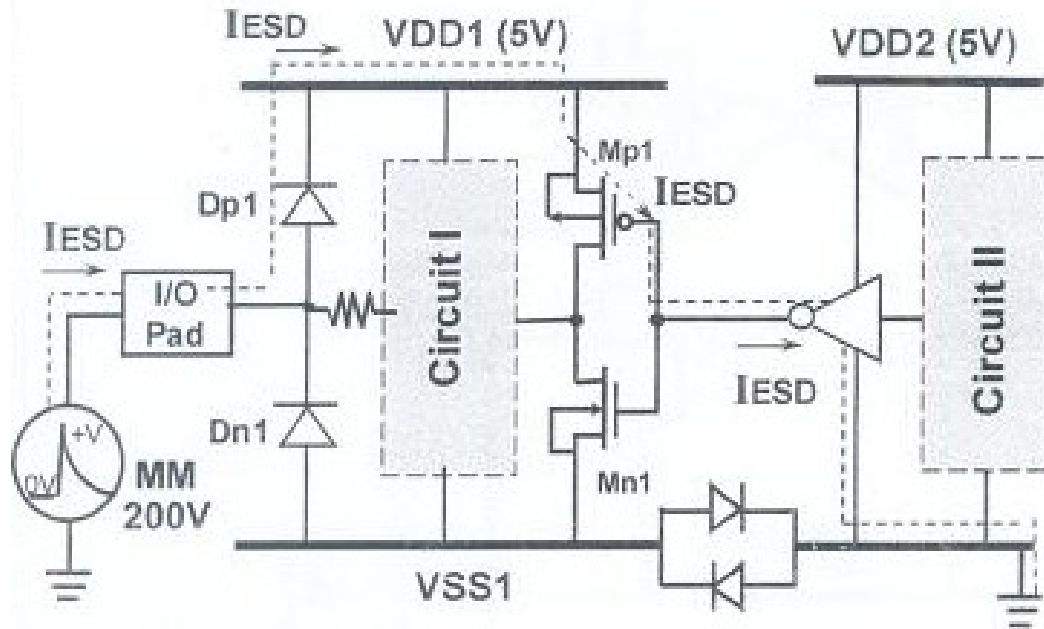


- An ESD voltage occurs on a digital input pin with an analog input pin grounded, but all the digital and analog power pins are floating.





- The 200-V MM ESD stress applied to an I/O pin in the Positive-to-VSS (PS) mode to cause the internal ESD damage (that induces the standby failure in the Function Test after ESD stress).



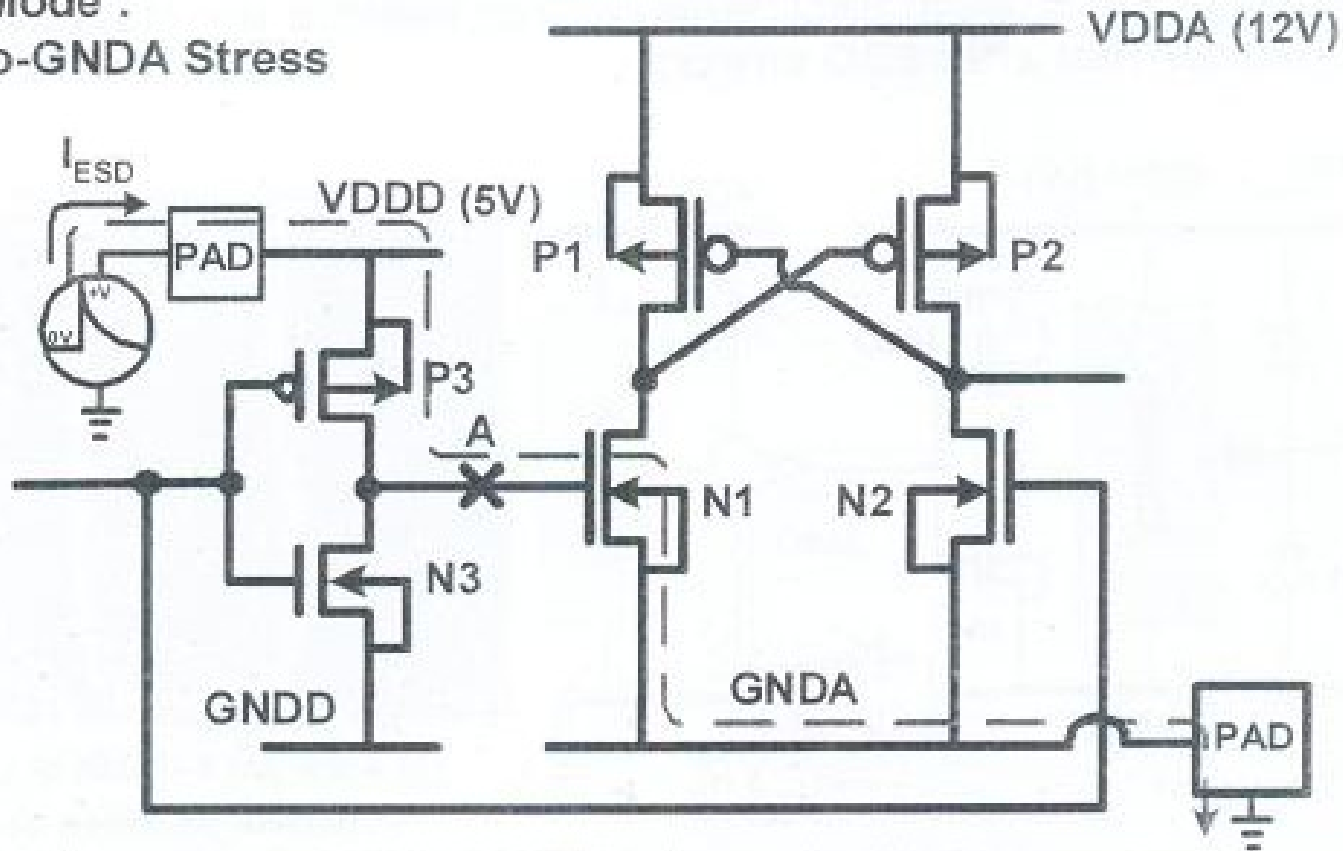
(In a 0.5- μm 5-V CMOS process)
FA picture provided by ELAN.



Digital/Analog Interface

Stress Mode :

VDDD-to-GNDA Stress



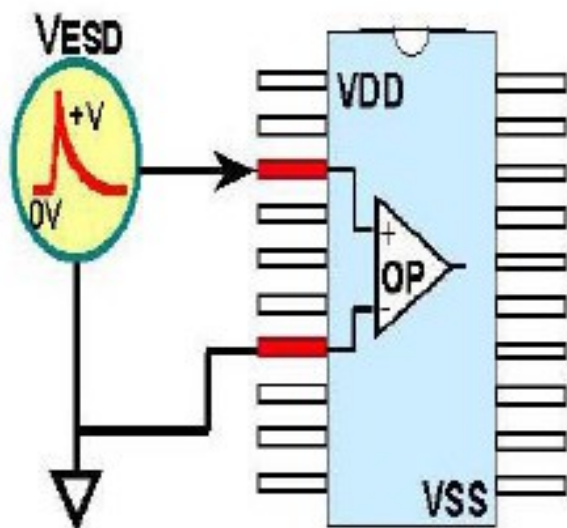
- Due to separated GNDD/GNDA lines, the ESD current is forced through the gate of N1 transistor under ESD stress.



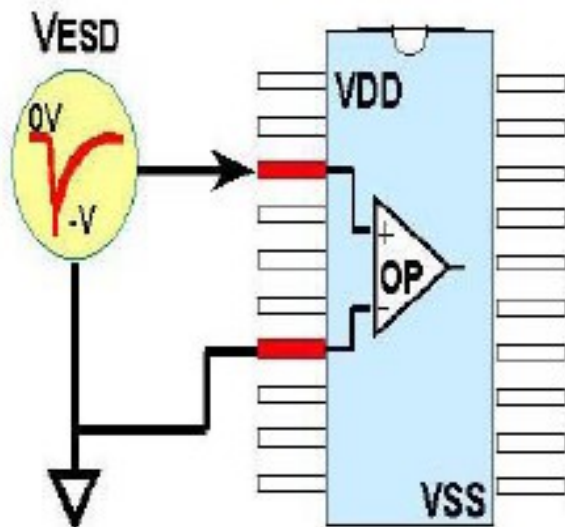
在模拟 (Analog) IC 内常有差分输入级 (Differential Pair), 例如运算放大器 (OP AMP) 的输入级, 如果该差动输入级的正负输入端都连接到 IC 的 Pin 时, 这两支输入脚要另外单独做 R 电放电测试, 以验证该两支输入脚所连接的差动输入级会不会被静电放电所破坏, 其等效电路示意图如图所示。

● ESD stress between the analog input pins of an Operational Amplifier :

(1) Positive-mode



(2) Negative-mode

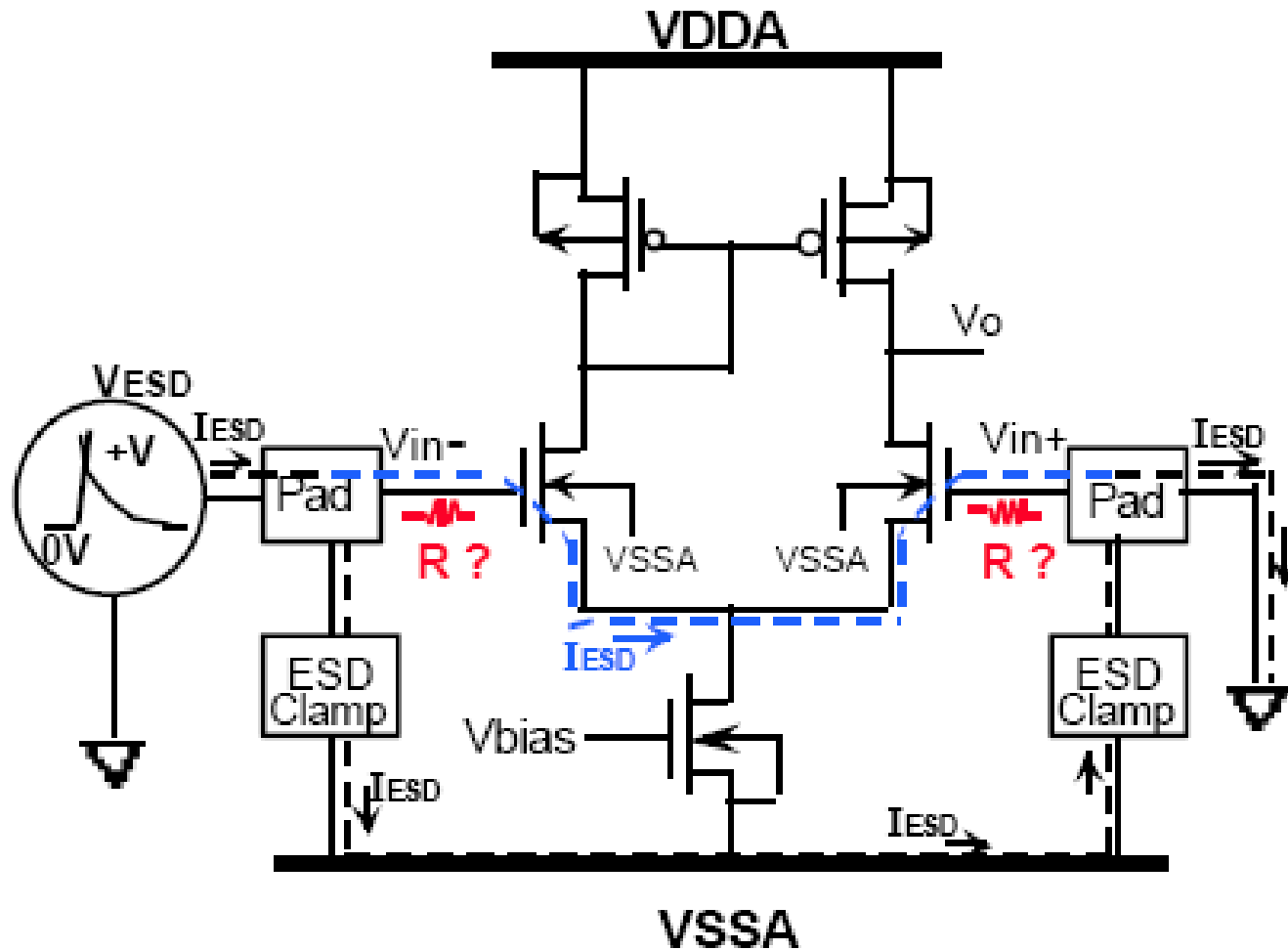




- Positive-mode: 正的ESD电压出现在差动输入级的正输入脚位，此时差动输入级的负输入脚接地，但其它所有I/O脚以及VDD与VSS脚皆浮接；
- Negative-mode: 负的ESD电压出现在差动输入级的正输入脚位，此时差动输入级的负输入脚接地，但其它所有I/O脚以及VDD与VSS脚皆浮接。



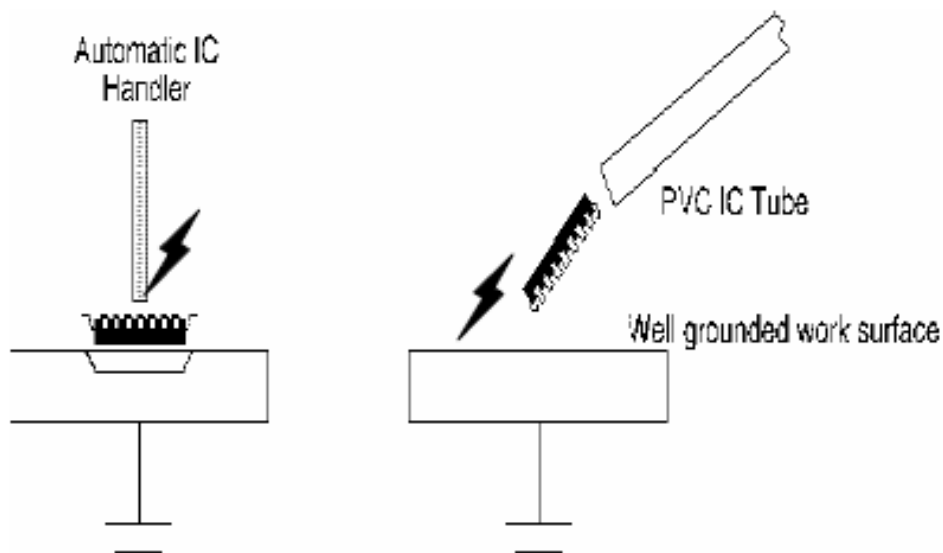
- ESD voltage is across the gate oxides of the different-pair input stage of an Operational Amplifier.





3、CDM 模型和测试方法标准

器件充电模型



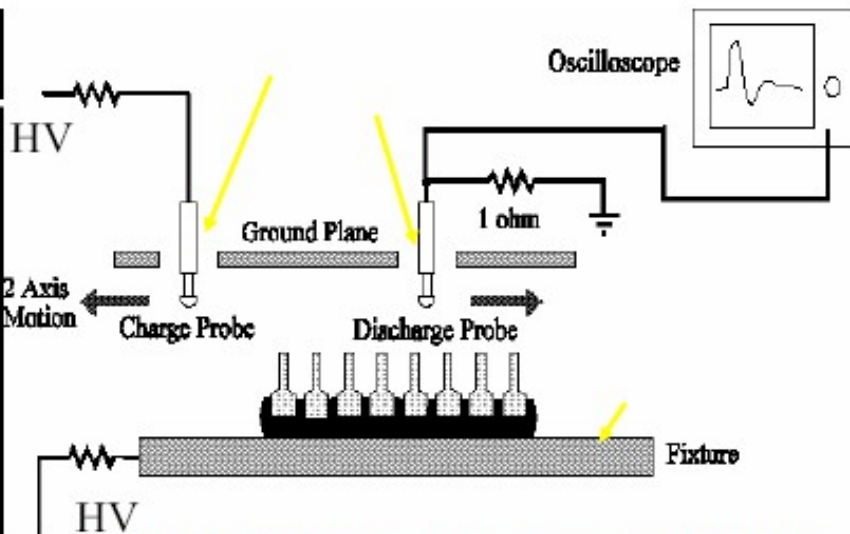
- 1.上升时间极短
 $<400\text{pS}$
- 2.电流峰值极大
 $5\sim 20\text{A}/500\text{V}$
- 3.维持时间极短
 $0.5\sim 1.0\text{nS}$
- 4.一般保护电路来不及动作

- 1.器件因感应或摩擦带电
- 2.器件上的电荷通过管脚对外放电



3、CDM 模型和测试方法标准

非插座式器件充电模型CDM

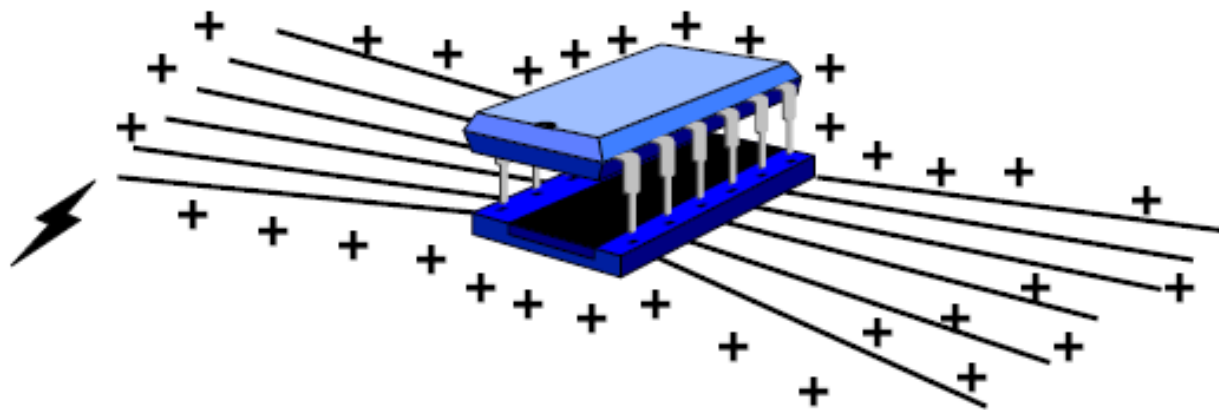


非插座式器件充电模型CDM测试安排
机械式CDM=Robotic CDM



3、CDM 模型和测试方法标准

插座式器件充电模型SCDM测试安排

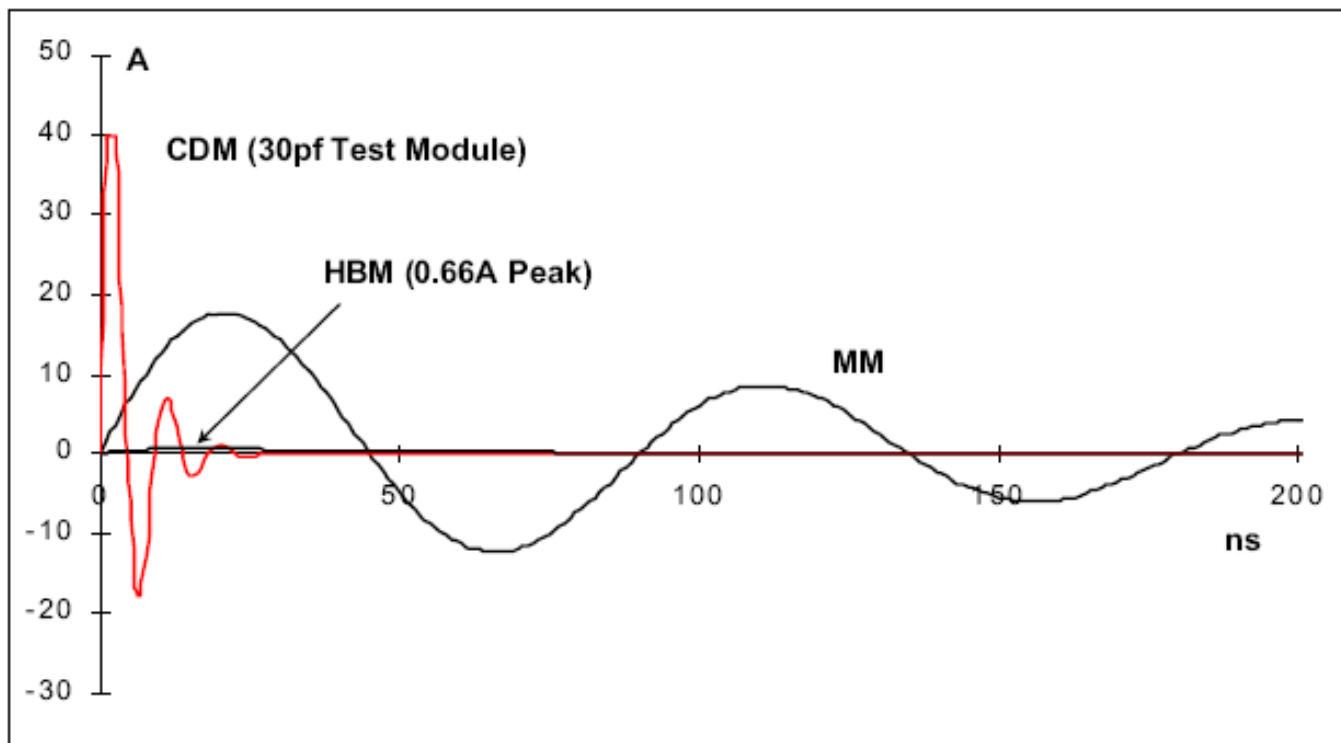


Zapmaster 选项可以自行SCDM测试



3、CDM 模型和测试方法标准

1KV HBM/MM/CDM 电流比较



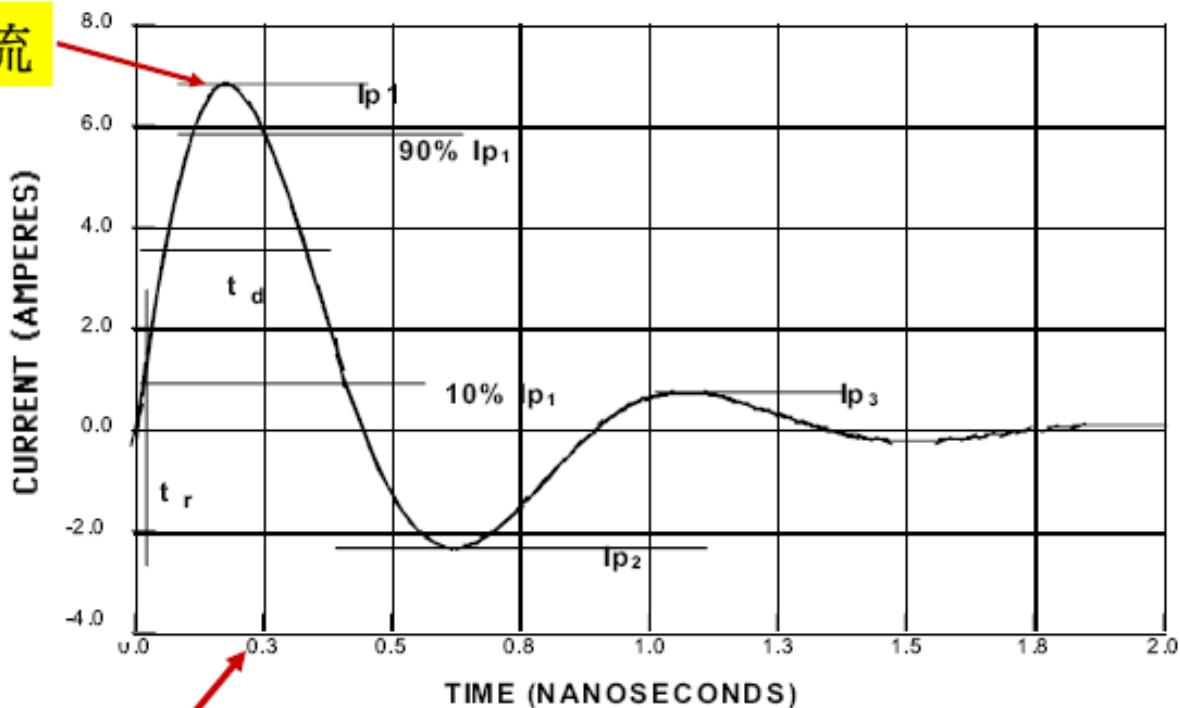
- The CDM discharge is 100x faster than HBM or MM
- The peak current can be 40x that of an HRM pulse



3、 CDM 模型和测试方法标准

器件充电模型波形

大电流



上升速度快, <400pS



3、 CDM 模型和测试方法标准

CDM -- JEDEC JESD22-C101-C

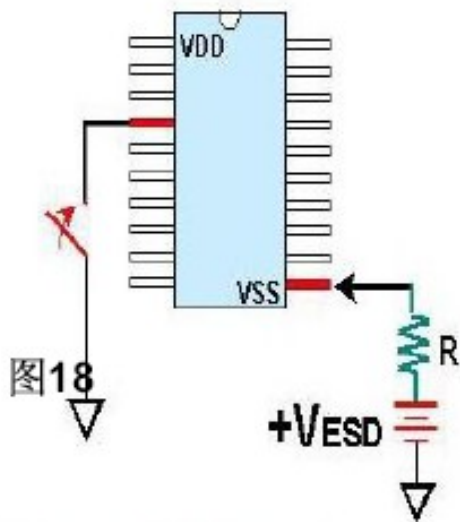
Table 3 — CDM waveform characteristics

		Test Number			
		#1	#2	#3	#4
Standard test module		Small	Small	Large	Large
Test voltage (V)		500 ($\pm 5\%$)	1000 ($\pm 5\%$)	200 ($\pm 5\%$)	500 ($\pm 5\%$)
Peak current magnitude(A)	I_p	5.75 ($\pm 15\%$)	11.5 ($\pm 15\%$)	4.5 ($\pm 15\%$)	11.5 ($\pm 15\%$)
Rise time (ps)	t_r	<400	<400	-	-
Full width at half height (ns)	T_d	1.0 ± 0.5	1.0 ± 0.5	-	-
Undershoot (A, max.)	U-	<50% I_p	<50% I_p	<50% I_p	<50% I_p
Overshoot	U+	<25% I_p	<25% I_p	<25% I_p	<25% I_p

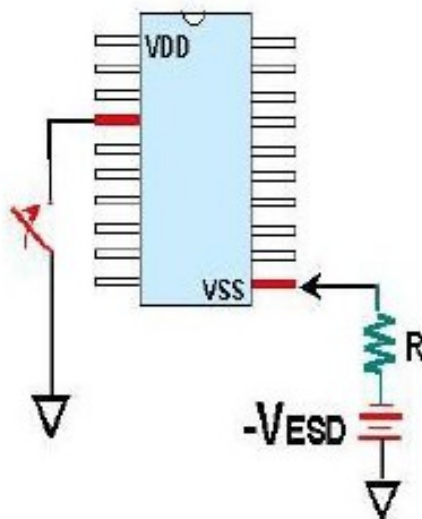
3、CDM 模型和测试方法标准

CDM的静电放电测试如图所示。首先，静电电压被充入该集成电路的基体之中，并储存在其基体之中，为避免充电过程造成IC损伤，因此充电电压必须经由一高电阻值(10MΩ以上)的限流电阻对IC基体充电。当IC充电之后，IC本身即便带有正极性的或负极性的电压，该IC的其它脚位(包括Input, Output, I/O, 以及VDD脚位)再分别接地放电，以完成CDM的静电放电测试。

(1) Positive-mode



(2) Negative-mode



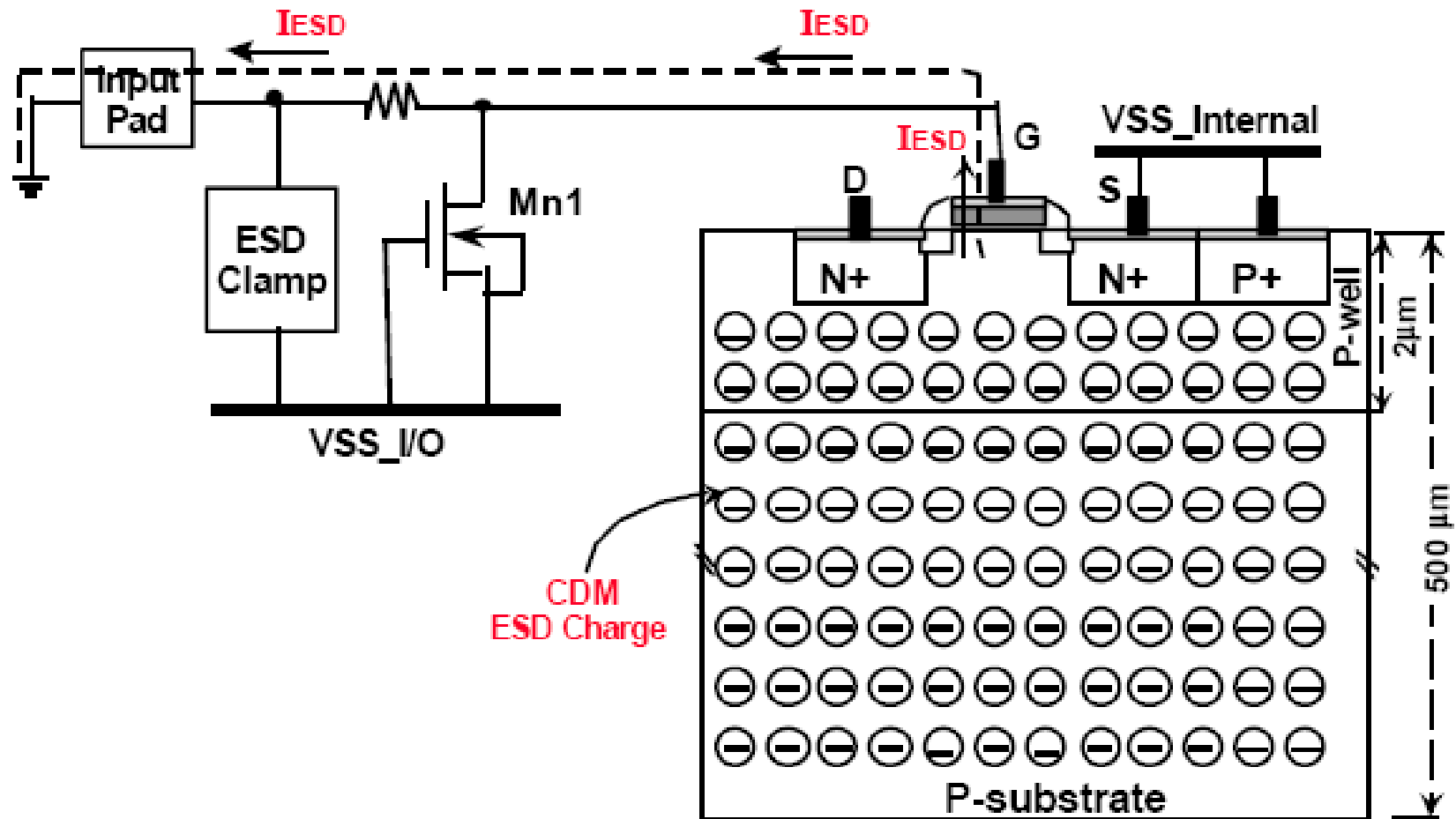


3、 CDM 模型和测试方法标准

- Positive-mode: 整颗IC处于浮接状态, IC的基体 (Substrate) 先被充电而具有正极性的电压, 然后该 IC的任一脚位以直接接地的方式放电;
- Negative-mode: 整颗IC处于浮接状态, IC的基体 (Substrate) 先被充电而具有负极性的电压, 然后该 IC的任一脚位以直接接地的方式放电。

ESD Damages Due to CDM ESD Events

- Negative CDM ESD charges stored in a CMOS IC



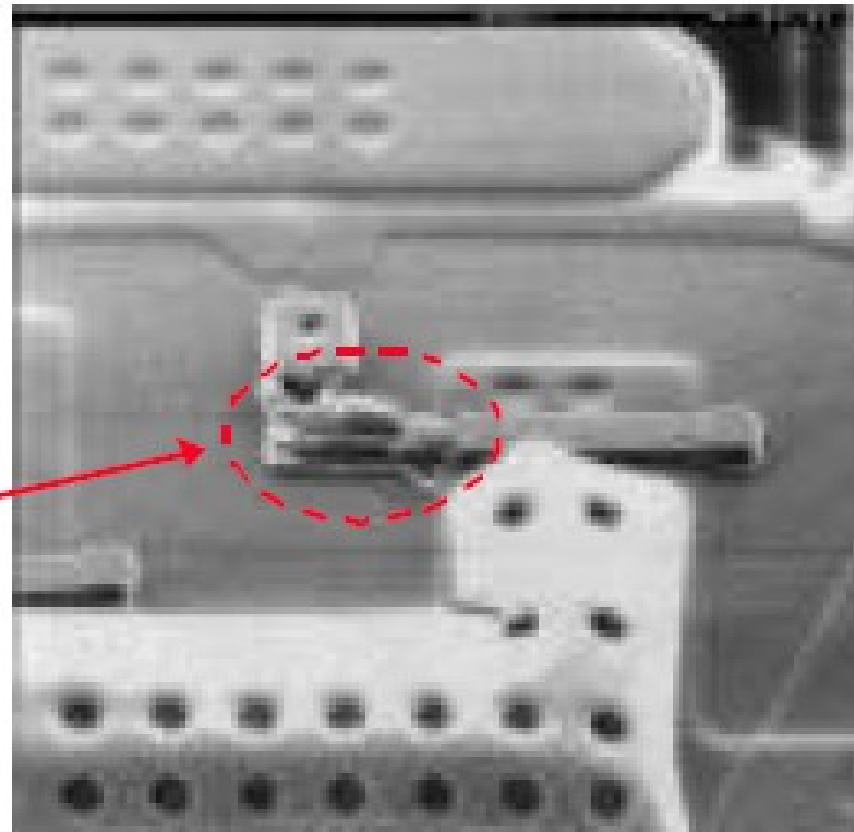


浙江大学

ZheJiang University

求是 创新

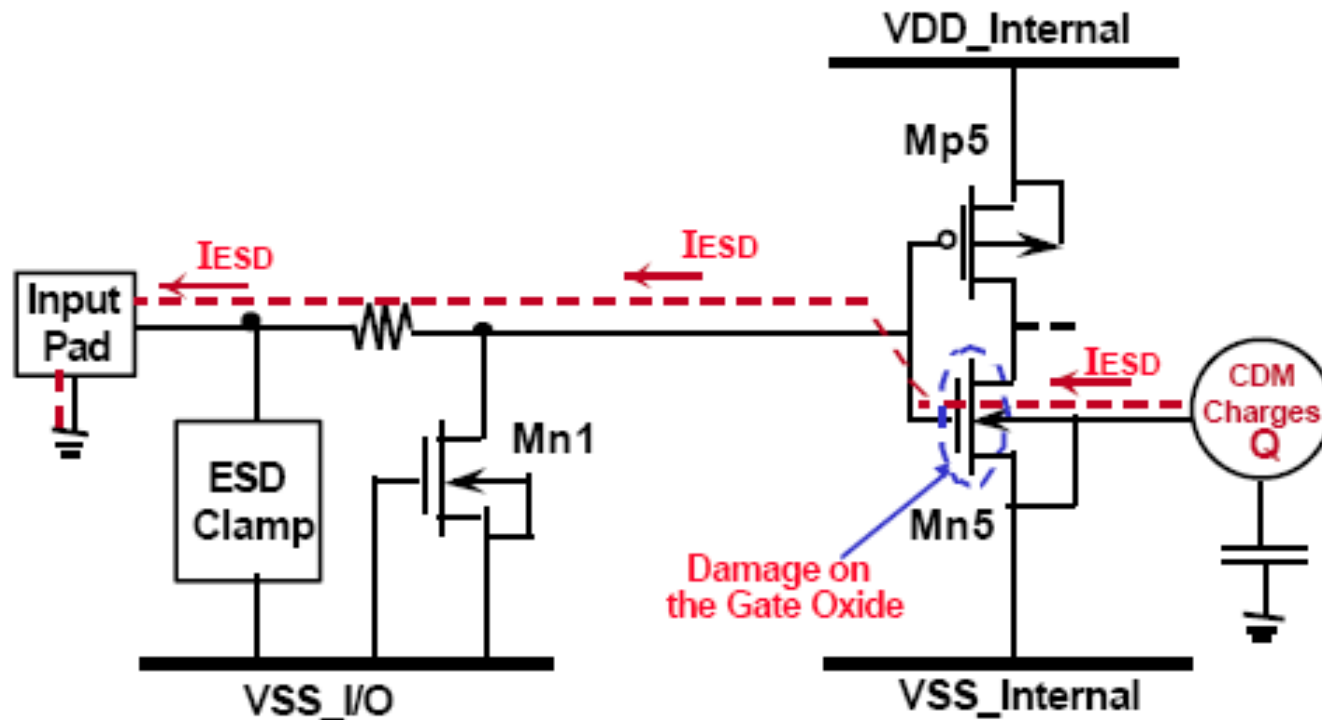
Picture of the CDM Failure on the First Input Stage



CDM Failure
Location



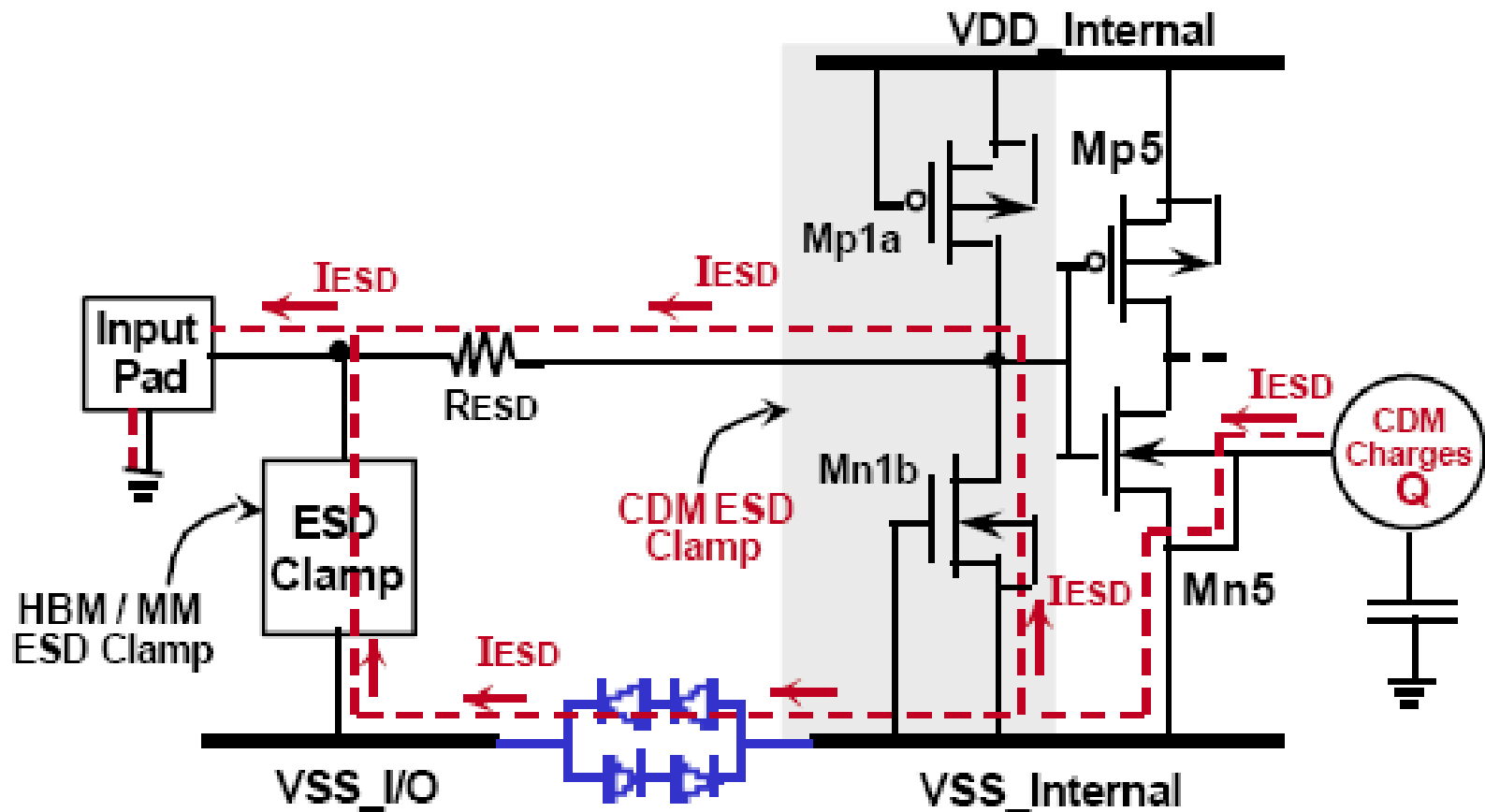
ESD Damages Due to CDM ESD Events



The ESD protection circuit at the input pad can provide effective ESD protection against the HBM and MM ESD events, but it can not provide effective ESD protection against the CDM ESD events.



ESD Protection for CDM ESD Events



CDM Failure of IC Product

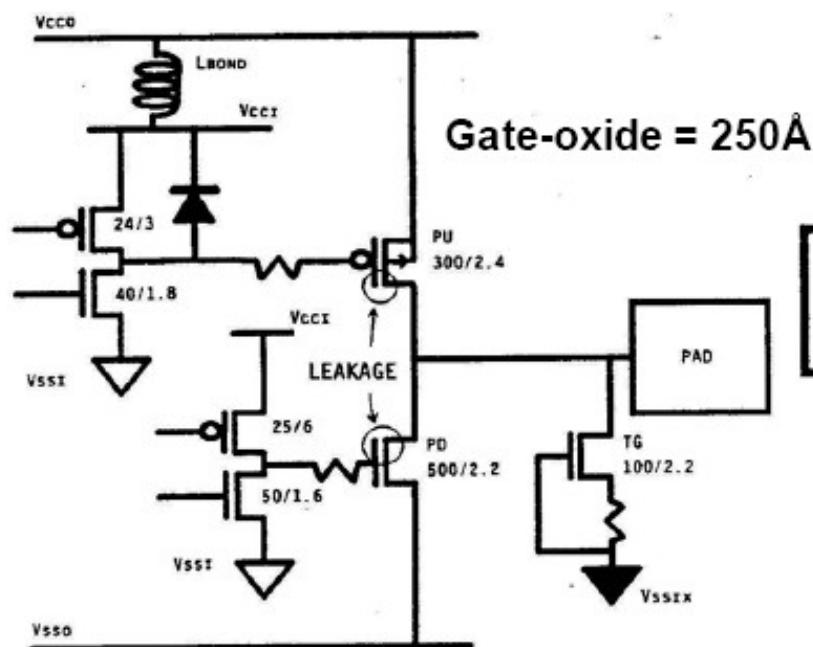


Fig. 5. N-well CMOS output circuit. PU and PD gates suffer in -CDM test. Vssix is substrate-tapped and is common with Vss1 through a long metal connection.

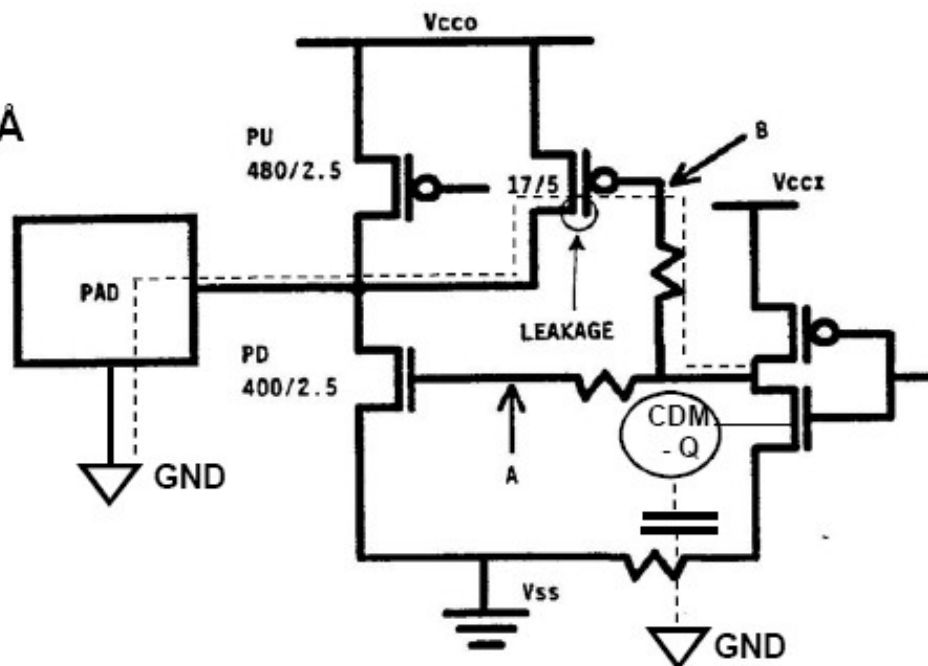


Fig. 7. N-well CMOS output circuit with +HBM and -CDM failure in weak PMOS pullup gate-drain due to charge accumulated on the gate common to the NMOS pulldown.

- The output pin fails the -1400V CDM ESD test.
- The output buffer has separated power bus lines, VSSo, VSS1, and VSSix.

Ref.: T. J. Maloney, "Designing MOS inputs and outputs to avoid oxide failure in the charged device model," *Proc. of EOS/ESD Symp.*, 1988, pp. 220-227. (Intel Corp., USA)

4、 EIC 模型和测试方法标准

- System level(系统级) is also named as on-board level (电路板级) 。 主要是接触式放电和非接触式放电
- 8kV air discharge
- 4kV contact mode for most products
- 6kV contact for medical devices



4、 EIC 模型和测试方法标准

IEC (国际电工委员会)

- 静电放电(ESD)抗抗性——依据IEC801-2: 1984和1991, 对应的新标准是IEC1000-4-2: 1992
- 其静电放电的指标(150 fU150pf, 8kV)、放电波形测试系统以及空气放电、测试方法, 规定了
- 两种放电位置, 并要求设备满足判据B要求。
- 新ESD标准静电放电要求
- 人体模型由150pf / 150. q, 改变到150pf / 330fl。
- 放电方式由空气放电改变为接触放电, 以求更好的重复性。
- 放电电压由8kV降至地V。



4、 EIC 模型和测试方法标准

中华人民共和国电子行业标准

- 产品制造防静电系统测试方法SJ / T 10694——1998
- GB 2828—87 逐批检查计数抽样程序及抽样表(适用于连续批的检查)
- SJ / T 10533—1994 电子设备制造防静电技术要求
- SJ / T 10630—1995 电子元器件制造防静电技术要求



4、 EIC 模型和测试方法标准

欧洲标准： EN50082-1

- EN50082-1中规定了三级性能合格的判据，即：
- 判据A—— 在测试过程和测量完成后，设备都能连续地按预期方式工作。
- 判据B—— 在测试完成后，设备能继续按预期方式工作，这表明在测试过程中被测设备不必保持其正常功能，但必须能恢复。
- 判据c——允许暂时失去功能，被测设备可能会停止工作，但应能通过自动重新设置或人工干预后恢复正常运行



System-Level ESD Issue

- **System-Level EMC/ESD Specifications (IEC 61000-4-2) :**

IEC 61000-4-2 : Electromagnetic Compatibility (EMC)

Part 4 : Testing and measurement techniques –

Session 2: Electrostatic discharge immunity Test .

EMC → EMI + EMS

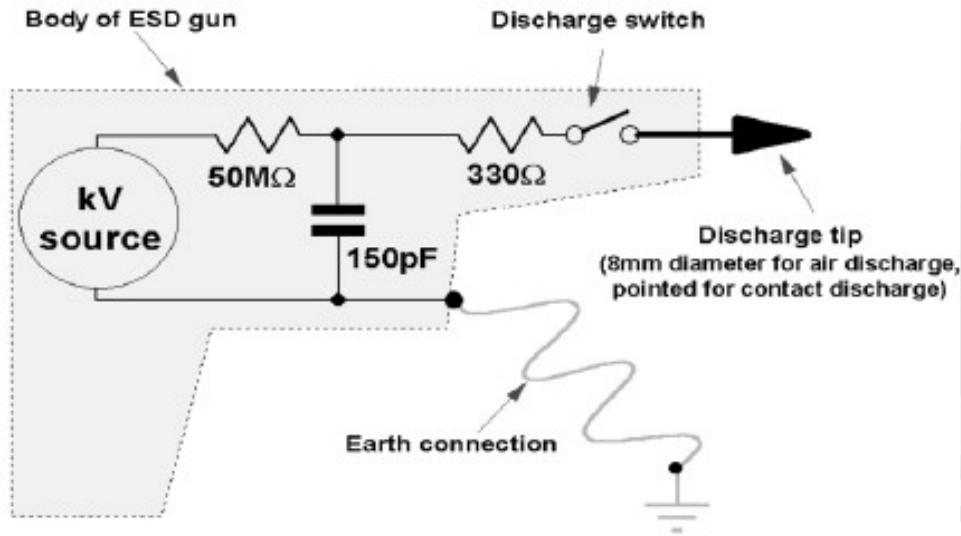
Level	Contact Discharge	Air Discharge
1	+/- 2 kV	+/- 2 kV
2	+/- 4 kV	+/- 4 kV
3	+/- 6 kV	+/- 8 kV
4	+/- 8 kV	+/- 15 kV

➔ On-Board Discrete Components (Magnetic Core, Ferrite Bead, TVS, R, C, ..);
Auto-Recovery Methodology (Hardware, Firmware).

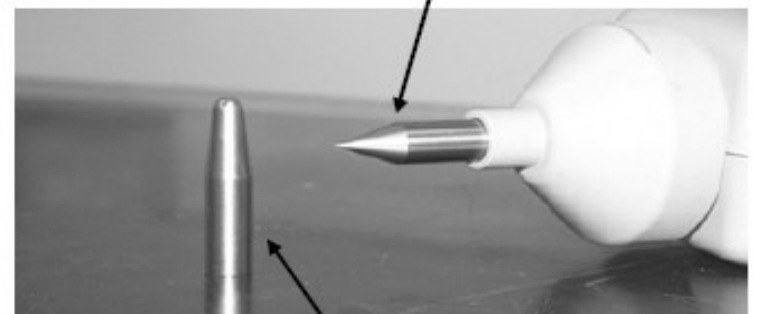


System-Level ESD Gun (IEC/EN 61000-4-2)

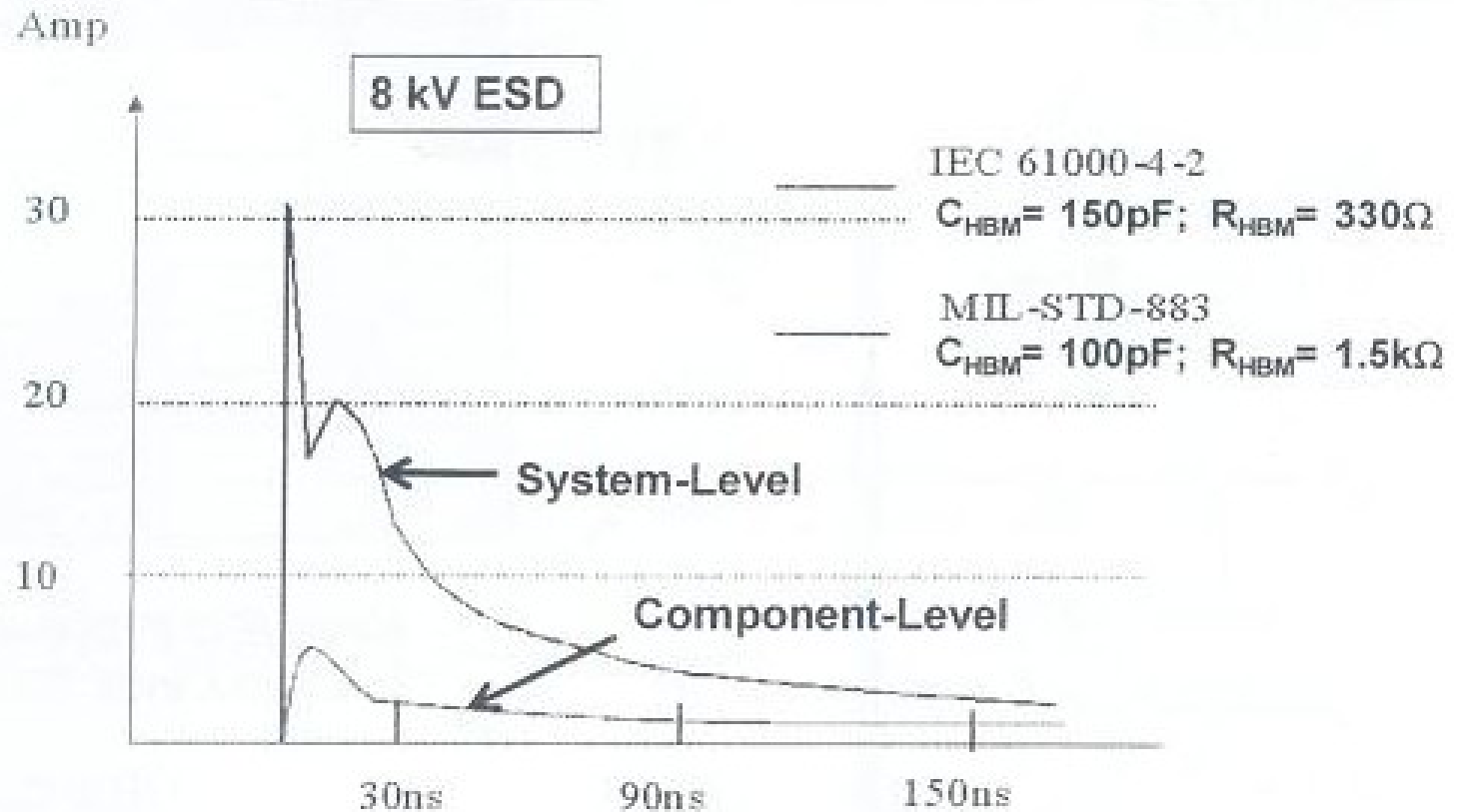
Basic circuit of ESD 'gun' for personnel ESD testing to EN 61000-4-2



Contact discharge head



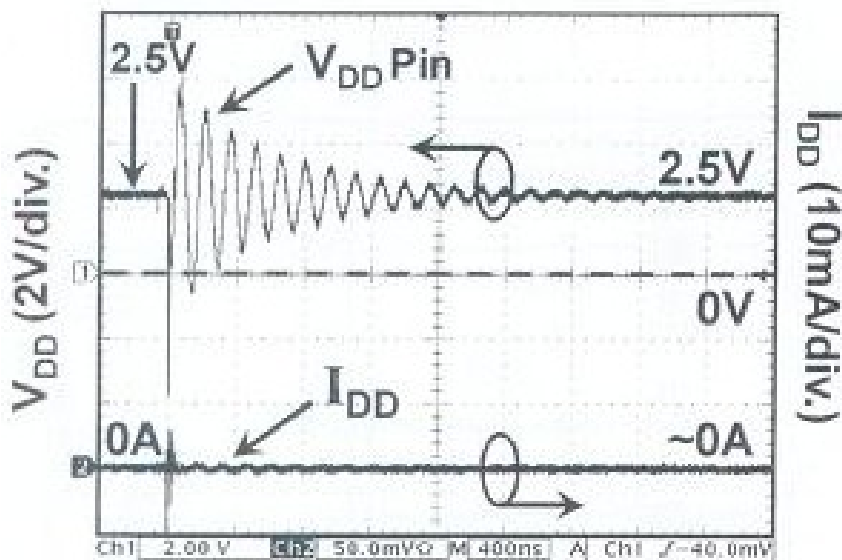
Air discharge head



➔ Under 8 kV ESD zapping, the peak current in system-level ESD is about 5 times larger than that in component-level ESD.

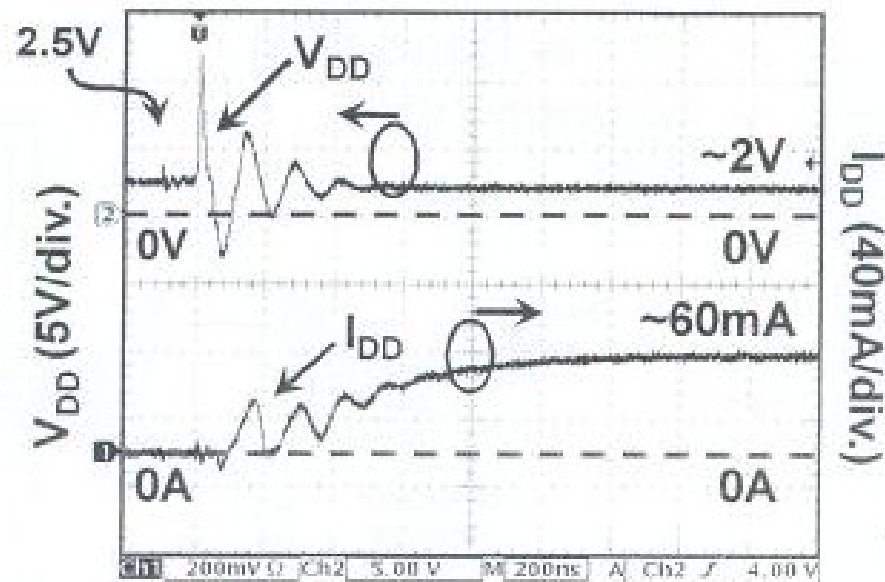


System level ESD test Cause EMC and latch-up



Time (400ns/div.)

Non Latchup

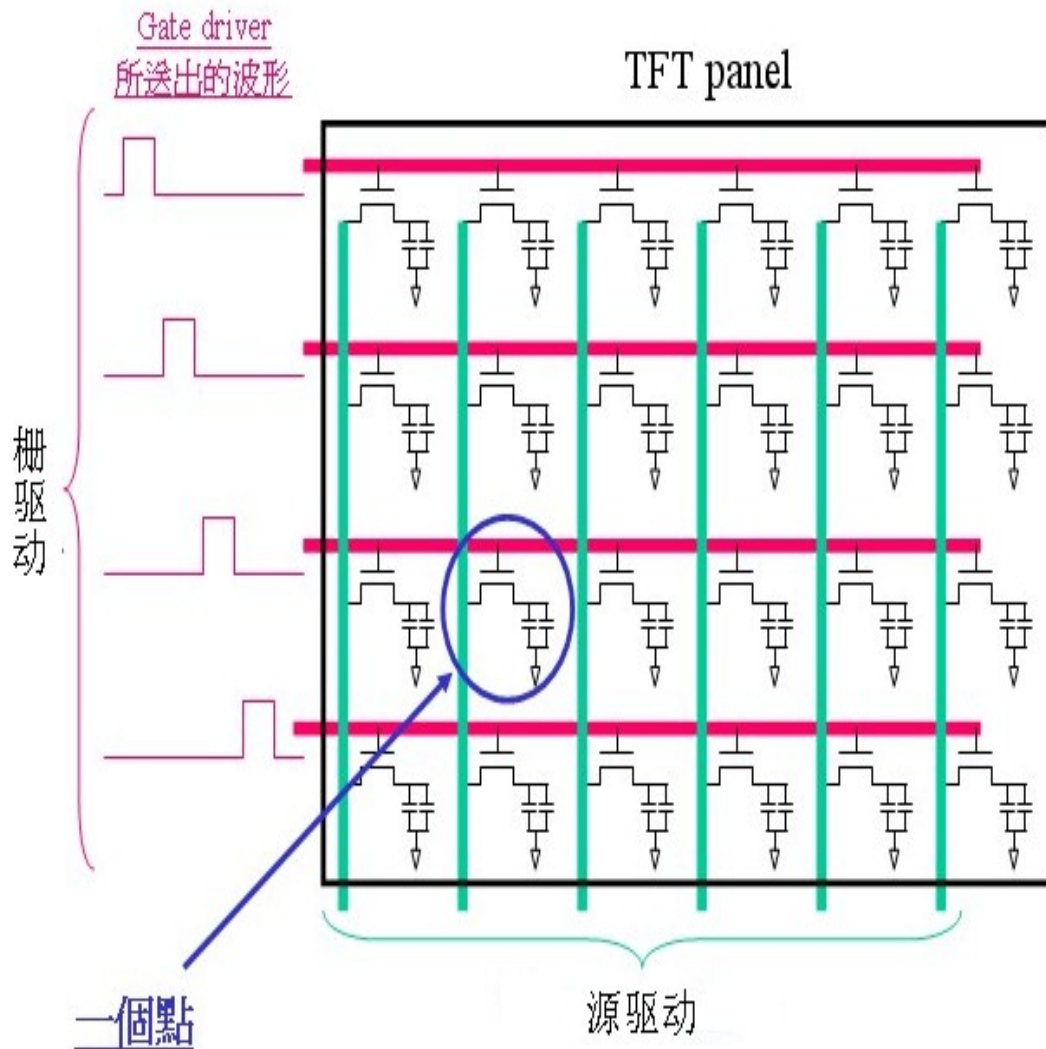


Time (200ns/div.)

Transient-Induced Latchup



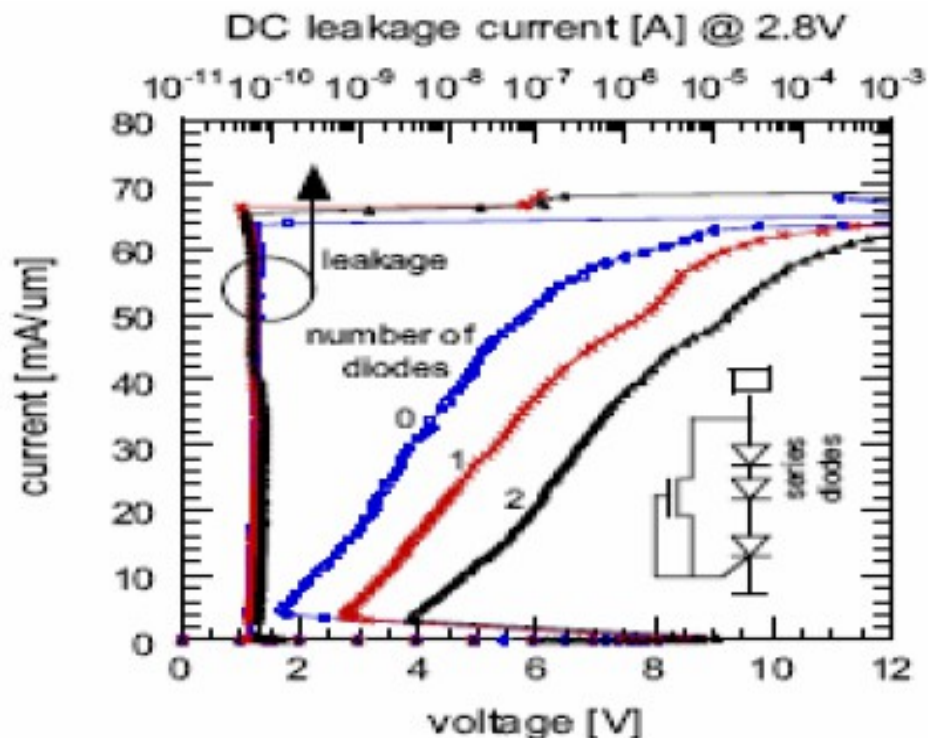
TFT Panel ESD





5、 TLP 及其测试方法

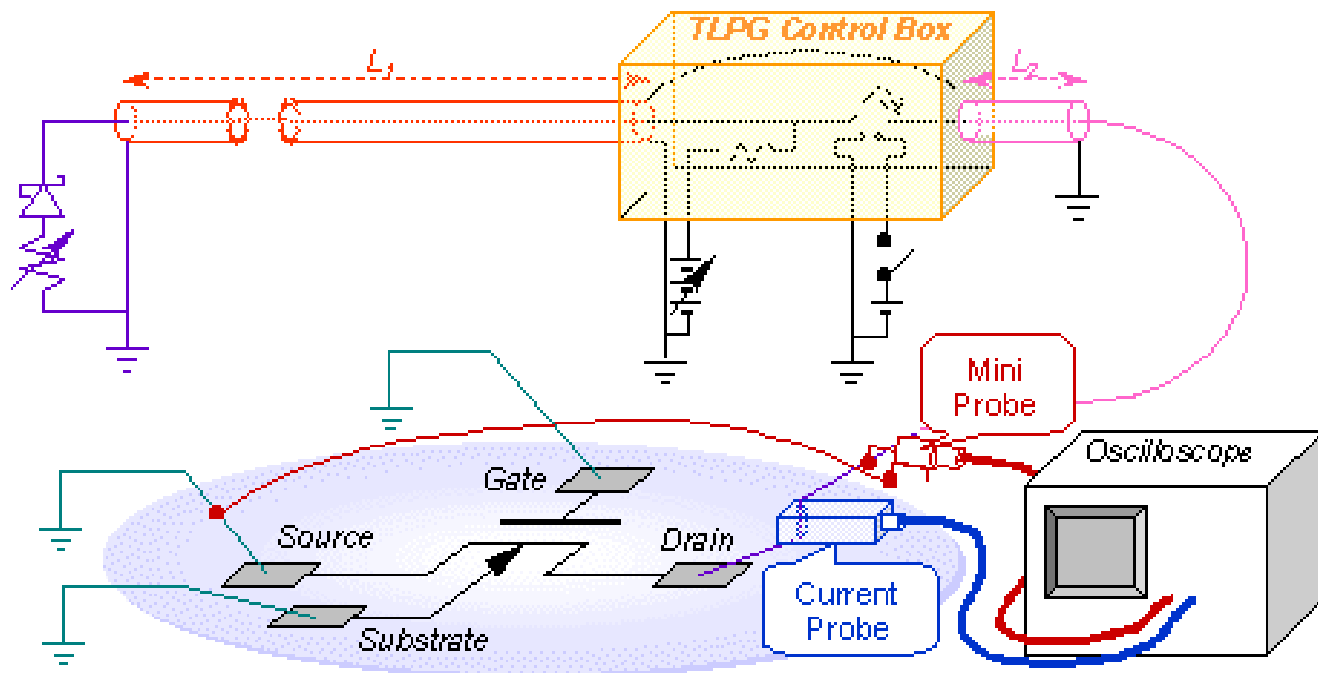
测量器件在不同ESD下的工作特性，主要是在不同ESD电压脉冲下器件的I-V，一般脉冲上升时间10ns持续时间100ns，代表HBM放电曲线的积分能量。可以获得器件的触发、维持和二次崩溃的电压/电流，其中二次崩溃电流(I_{t2})代表了组件到达p-n界面所能承受的最大电流值，而 $HBM=1500 * I_{t2}$





5、 TLP 及其测试方法

Part	Polarized Termination	Transmission Line Region	TLPG Control Box	Power Supplies	DUT Probe	Measurement Equipment
Core Device	High Power Schottky Diode	Shield Transmission Line	Mercury Relay	Charge	Current Probe, Voltage Probe, Socket	Curve Tracer
Function	Pulse rise time	Pulse decay time	INPUT	Pulse Voltage	Measurement	I-V Curve



目前的 TLP 生产厂家有：

美国 Barth 电子公司：Barth 是世界上最早（60 年代）从事 TLP 产品的公司，其产品以经典、稳定、可靠著称，目前其产品占据全球 75 % 以上市场。主要是 Barth4002TLP 和 Barth4012VF-TLP

美国 Thermo keytek 仪器公司：Thermo keytek 是全球测试仪器的老牌巨头。主要是 HBM/MM tester 的 MK2 和 ZAP MASTER，以及 CDM tester.

美国 Oryx 公司

日本 Hanwa 公司

价格上从贵到便宜是：Barth — Oryx — Thermo keytek — Hanwa

稳定可靠性从高到低是：Barth — Oryx — Thermo keytek — Hanwa

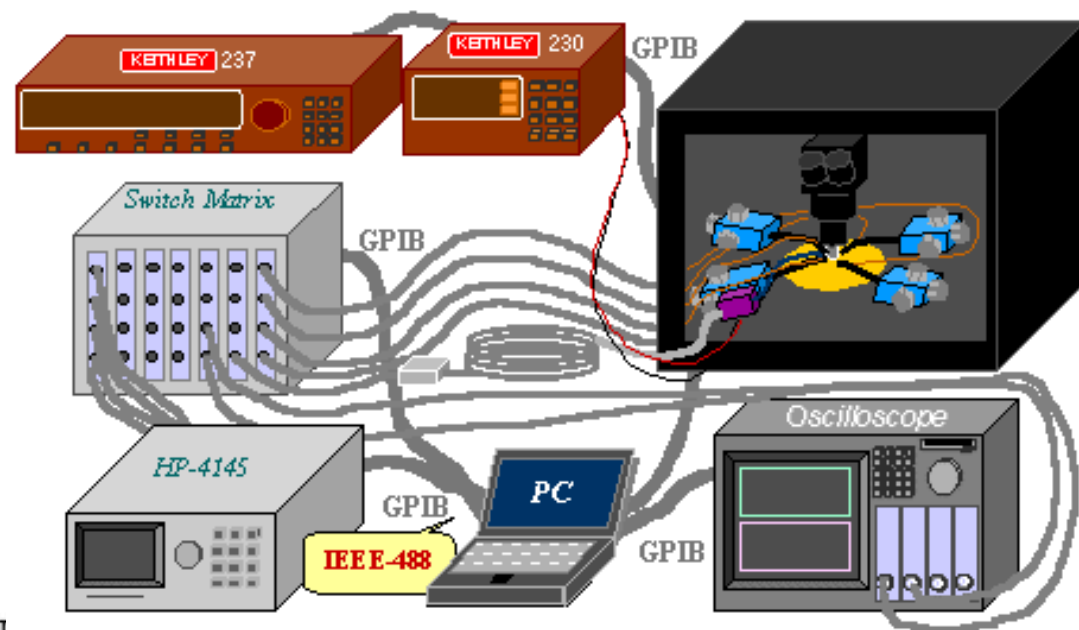
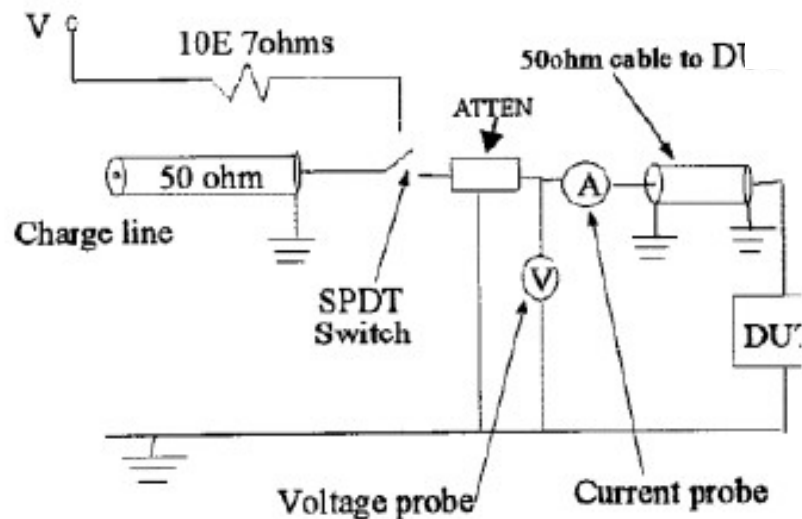
标称值上从高到低：Thermo keytek — Oryx — Hanwa — Barth

从操作界面说 Hanwa — Oryx — Thermo keytek ~ Barth

从使用的用户调查来看：TSMC、UMC 前前后后都是使用的是 Barth 的 TLP，而 ESD/Latch-up 基本上使用的是 Keytech 的，SMIC、HHNEC、宜硕以及广州五所使用的是 Barth 4002 和 Keytech 的 ESD/Latch-up。 ， GRACE 宏利使用的是 Oryx。

目前业界认可的数据：
Barth 4002B TLP

对于更快脉波测试使用：
Keytech 4012B TLP

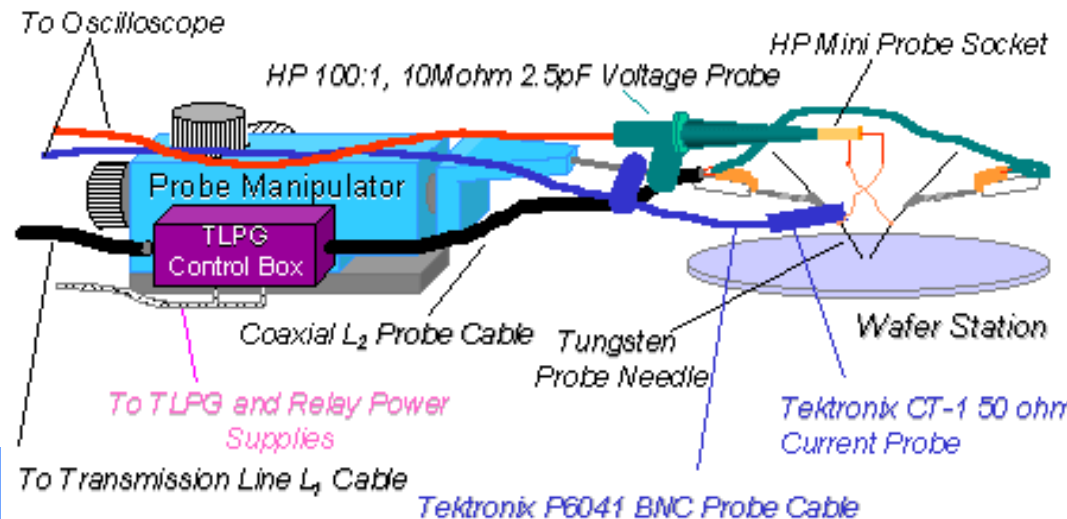
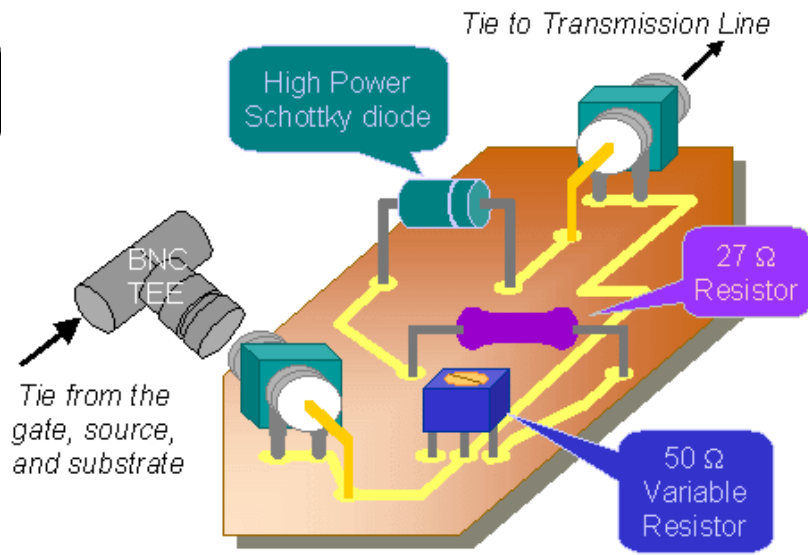
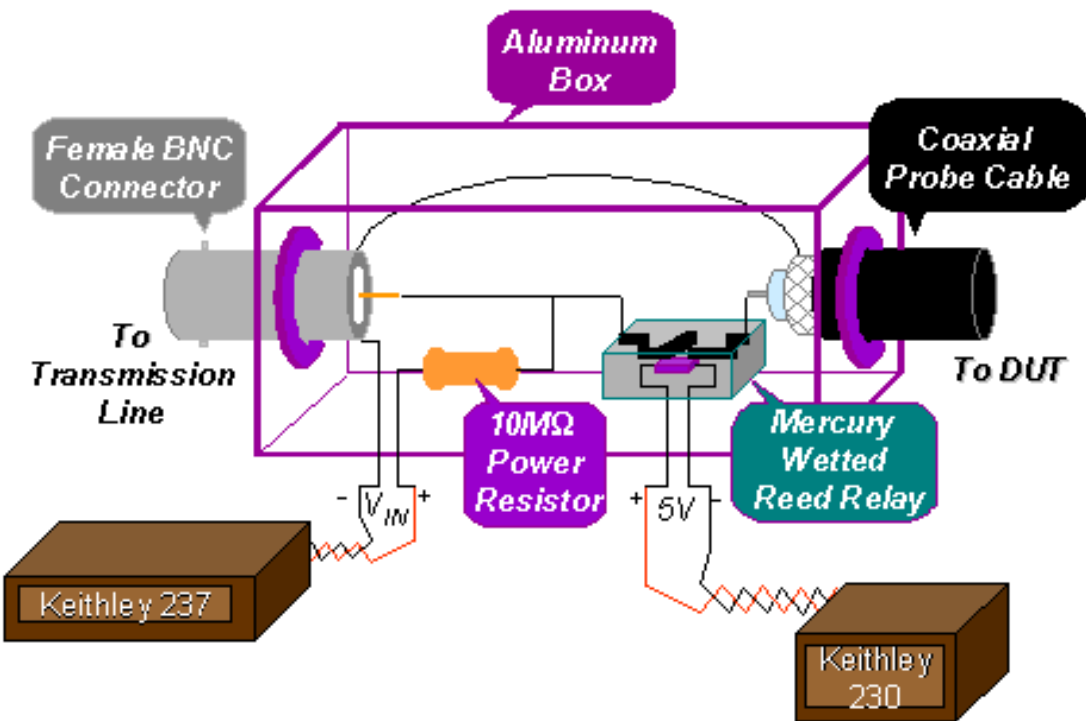




浙江大学

ZheJiang University

求是 创新





TLP 测试标准

测试标准: ESD SP5.5.1-2004(Standard Practice)

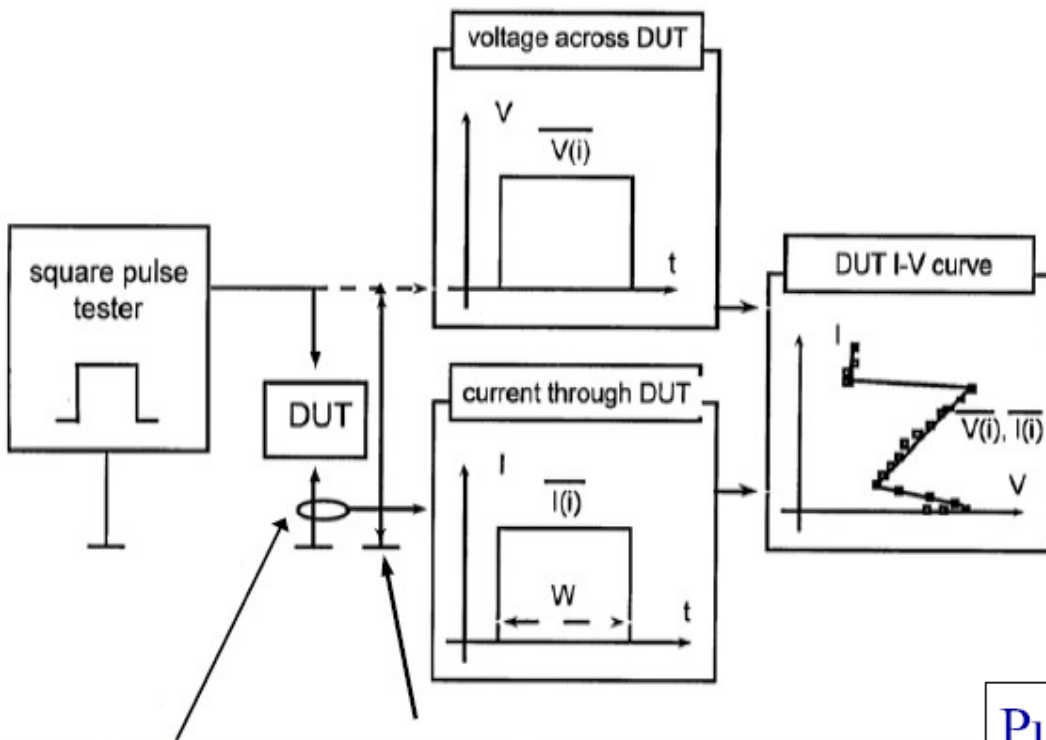
Electrostatic Discharge Sensitivity Testing Transmission Line Pulse (TLP) Component Level

***CS** - Current Source

***TDR** -Time Domain Reflection

***TDT** - Time Domain Transmission

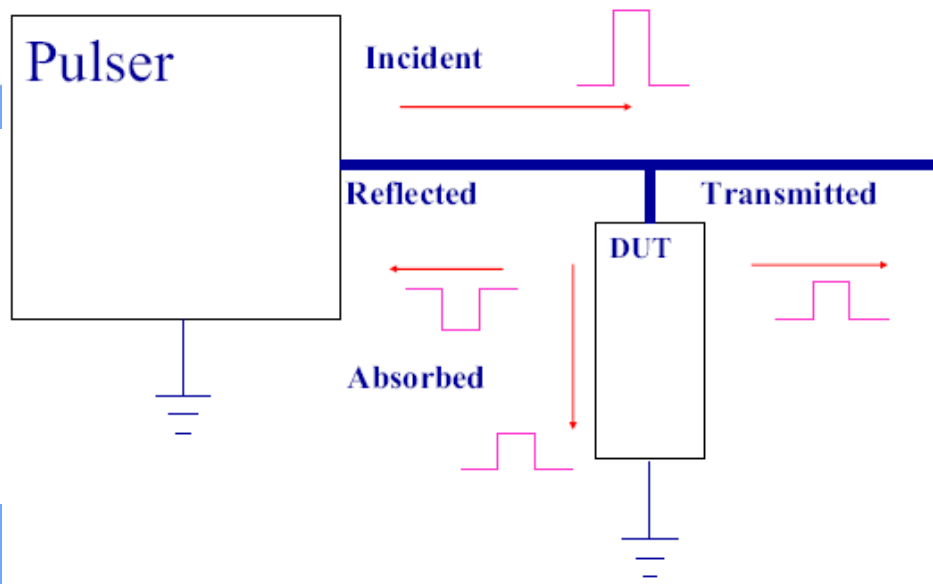
***TDRT** - Time Domain Reflection & Transmission

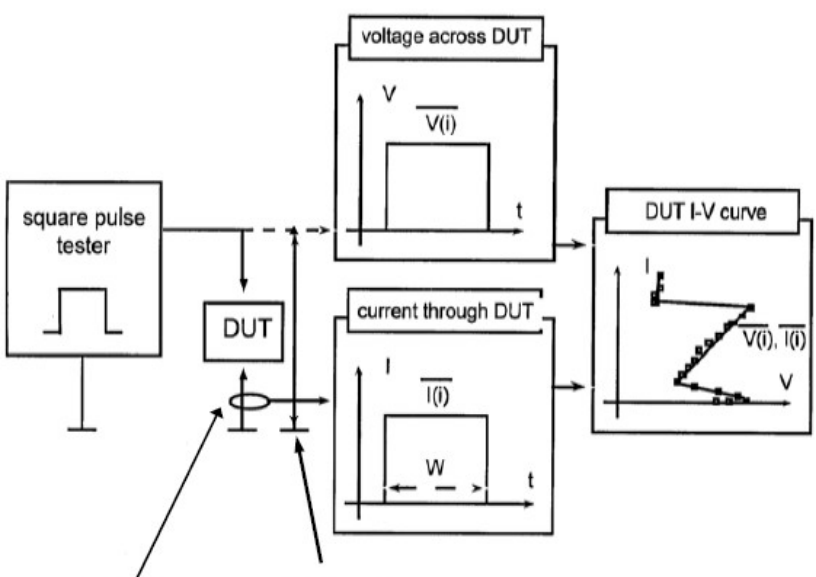


CT-1

V-Probe

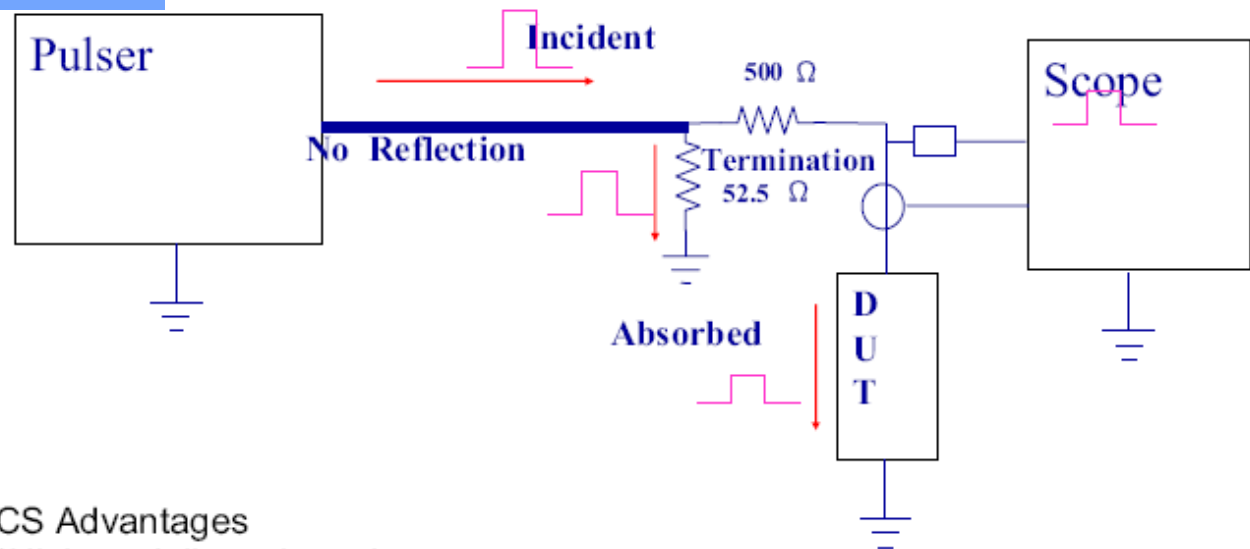
<http://es.eleeb.cn>





CT-1

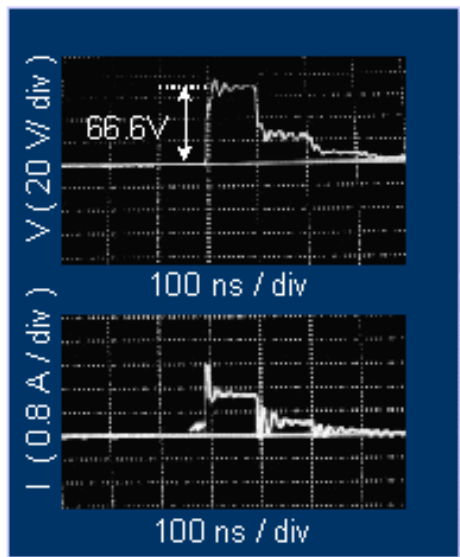
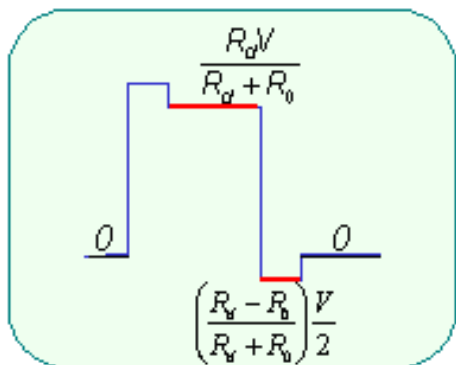
V-Probe



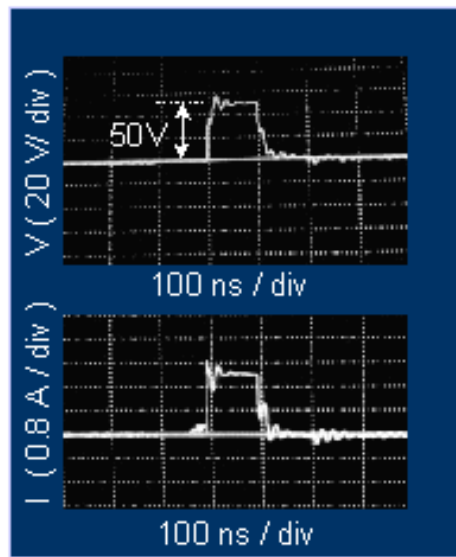
CS Advantages

*Highest delivery impedance

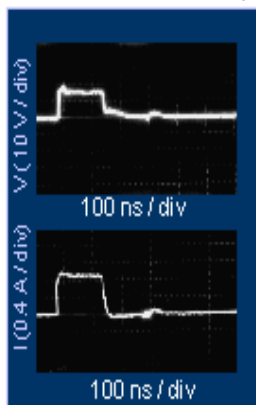
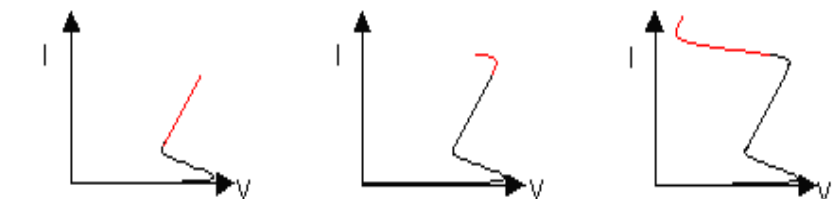
*There are no reflections back to the pulser to attenuate or clamp



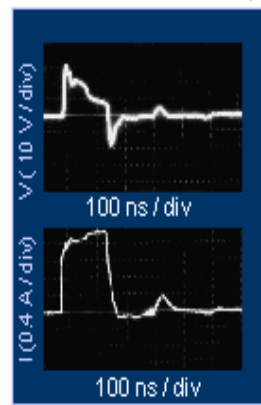
$L_1 = 10 \text{ m}$
 $R_d = 100 \Omega$



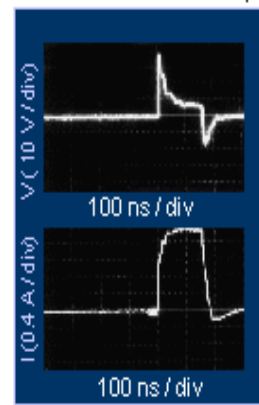
$L_1 = 10 \text{ m}$
 $R_d = 50 \Omega$



(a)
Snapback
Region



(b)
Secondary
Breakdown
Point



(c)
Secondary
Breakdown
Region



5、 TLP 及其测试方法

BARTHELEMY ELECTRONICS, INC. Pulse Curve Tracer Model 4002 TLP BTLP Version 4.15C

File: IV - Leakage Test: TLP

2005-12-12 14:41:37 Version: 4.15C

ONE TIME OR LEAKAGE TEST REPEAT TLP MEASUREMENT ENCLOSED TEST REPEAT ACTIVE TLP RESULTS

ONE TIME LEAKAGE TEST

Retrace Reverse

Post Pulse Leakage IGT Single Short

Voltage Step Multiplier: 1

DISPLAY PLOT(S) (Select one or more.)

SWR TEST DATA TO DISK RECALL TEST DATA TO HIGH LIGHTED SELECTION REMOVE TEST DATA TO SELECTION

0 - test run: 2005-12-12 14:39:28.tp
 1 - test run: 2005-12-12 14:31:26.tp
 2 - test run: 2005-12-12 14:34:11.tp

3 -
 4 -
 5 -

IV Leakage Plot Leakage Track test point

1E-3 1E-2

0.5
0.45
0.4
0.35
0.325
0.3
0.275
0.25
0.225
0.2
0.175
0.15
0.125
0.1
0.075
0.05
0.025
0
-0.025

0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20

0.5
0.4
0.3
0.2
0.1
0
-0.1

2 3 4 5 6 7 8 9 10

Current

Value

Test ended when: OPERATOR ENDED TEST

Diag: 705-6604 Pconformator Model: 6987 HP Power Supply: 500-200 Control Box: 4002

TLP data saved: test run: 2005-12-12 14:39:28.tp
 I/O data saved: test run: 2005-12-12 14:39:28.tp

Active - Waveforms Test Setup/OUT Information Test Analysis Calibration Diagnostics 1 Diagnostics 2

PRINT SELECTED TLP RESULTS

Display waveforms and data (select one)

Impedance (V/A Ohms) 6.541E

TLP IV Plot

Test Parameters 1 waveform 2 waveform VP Leakage Test Data

Pulse(Volts)	V OUT(Volts)	I OUT(Diags)	LEAKAGE	0.00V
1.0000E+0	2.04018E+0	-1.82917E-3	NaN	0.00000E+0
2.0000E+0	4.08207E+0	-3.16601E-3	NaN	0.00000E+0
3.0000E+0	6.11376E+0	-1.87678E-3	NaN	0.00000E+0
4.0000E+0	7.22926E+0	-1.84526E-3	NaN	0.00000E+0
5.0000E+0	9.13641E+0	-3.22077E-3	NaN	0.00000E+0
6.0000E+0	8.28112E+0	50.1862E-3	NaN	0.00000E+0
7.0000E+0	9.44044E+0	95.9976E-3	NaN	0.00000E+0
8.0000E+0	8.87039E+0	124.077E-3	NaN	0.00000E+0
9.0000E+0	8.60738E+0	158.272E-3	NaN	0.00000E+0
10.000E+0	8.77438E+0	196.109E-3	NaN	0.00000E+0
11.000E+0	8.72011E+0	225.209E-3	NaN	0.00000E+0
12.000E+0	8.73816E+0	272.474E-3	NaN	0.00000E+0
13.000E+0	8.82031E+0	299.222E-3	NaN	0.00000E+0
14.000E+0	8.92088E+0	335.836E-3	NaN	0.00000E+0
15.000E+0	8.92031E+0	369.210E-3	NaN	0.00000E+0
16.000E+0	8.91911E+0	405.426E-3	NaN	0.00000E+0
17.000E+0	8.81277E+0	441.629E-3	NaN	0.00000E+0
18.000E+0	9.02030E+0	479.446E-3	NaN	0.00000E+0

5、 TLP 及其测试方法

Celestron I Main - [TLP Test]

File Options View SetUp Run Tools Help | Now Testing - Device: Macro: Width: Length: Software Version: 1.21.14

Pin State TLP Curve Trace Prober On Prober not initialized Hardware Config: Std. TLP TDR-S 50 Ohms (2pt Meas.) Calibration Validation
Cal File: C:\Celestron\Calibration\Default.cal

Voltage (CH-1)

Y-axis: Volts (V) from -10 to 80
X-axis: Time (ns) from 0 to 120

Current (CH-2)

Y-axis: Current (A) from 0 to 1
X-axis: Time (ns) from -10 to 120

DUT Info / Hardware Parameters

Information Hardware Setup

Pulse Width: 100 ns Range Start: 60 ns End: 90 ns
Data Collection Point: 75 %
Collection Window: 30 %

Channel: 1 2 3 4

1st Attenuator: 1 10 1 1 X
2nd Attenuator: 1 2 1 1 X
Channel Delay: 0 0 0 0 ns
Edge Separation: 0 0 ns

50 Ohms IMP:
1 M-Ohm IMP:

Commands

RUN TEST TABLE
Run Prober Test
PAUSE TEST
Skip Curr. Device
MANUAL PULSE
Manual Pulse Hold (MHR)
Close TLP Window

TLP I-V Curve
Leak Current (A)

Y-axis: TLP Current (A) from 0 to 3.5
X-axis: TLP Volts (V) from 0 to 70

Test Result

No.	Test Volt	TLP Volt (V)	TLP Cur (A)	Full CT
27	76.00V	29.223 V	905.938mA	
28	77.00V	29.292 V	941.394mA	
29	78.00V	29.248 V	944.136mA	
30	79.00V	29.229 V	961.213mA	
31	80.00V	29.301 V	994.012mA	
32	90.00V	29.653 V	1.166 A	
33	100.00V	30.354 V	1.251 A	
34	110.00V	31.424 V	1.465 A	
35	120.00V	31.999 V	1.654 A	
36	130.00V	32.618 V	1.851 A	
37	140.00V	33.378 V	2.028 A	
38	150.00V	33.928 V	2.219 A	
39	160.00V	34.723 V	2.399 A	

Recalculate Window Scroll To End Of Data

I-V Resistance: _____ of TLP Voltage
Data saved/zip as: test2_05-07-02_093925_Akt.tst

Test Parameters

TLP Test Setup Leakage/CT Setup BIAS Setup Saving / Timing Setup

Start Voltage (V): 1
Stop Voltage (V): 10 Add >>
Voltage Step (V): 1 Clear
of Pulses: 1
Time Delay (ms): 100 << Del

Current Constraint: 1.000 A
Voltage Constraint: 10.000 V Use Adaptive Ranging
HV Polarity: Positive Negative

Test Points Table

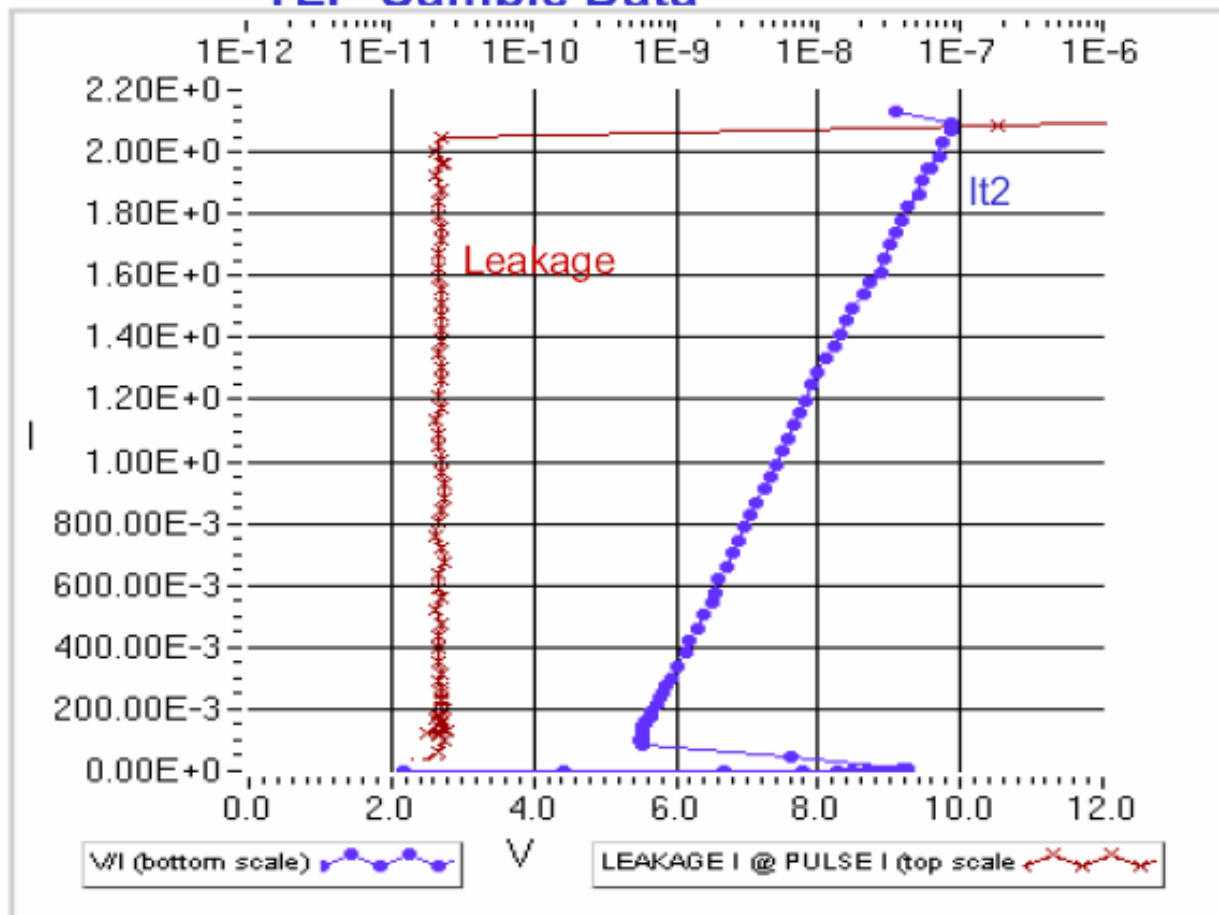
No.	Test Volt
1	10
2	15
3	20
4	25
5	30
6	35
7	40
8	45
9	50
10	55
11	60
12	61
13	62
14	63
15	64

CAPS NUM INS 5/7/2007 3:00 PM



5、 TLP 及其测试方法

TLP-Sample Data



各种测试的校准和比对性

- 实际上使用 TLP/HBM 等的结果很多情况下是不一致的，即使一样的设备和测试方法有时候重复性也不是很好。ESDA：硬盘驱动 IC、音频 IC、数据通信接口 IC、汽车电子 IC，0.9、1.2、1.5 工艺

一般：

➤ TLP 的 $IT2 \times 1500 = HBM$

➤ $MM \times (9-10) = HBM$

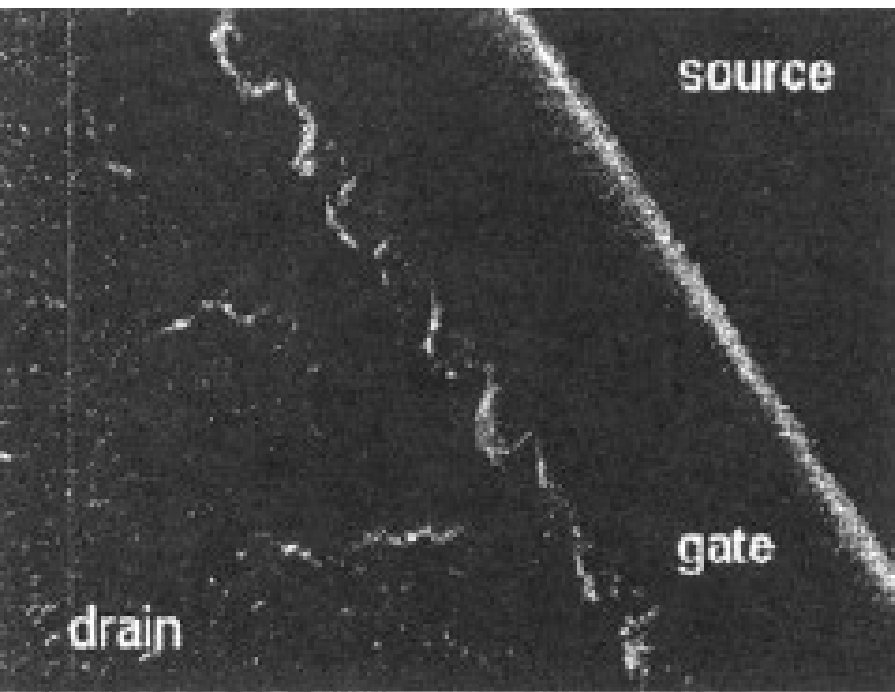
➤ IEC — (1300-2000) = HBM

➤ 栅氧 ESD 击穿电压 = $1.2 \times$ 栅氧静态击穿电压

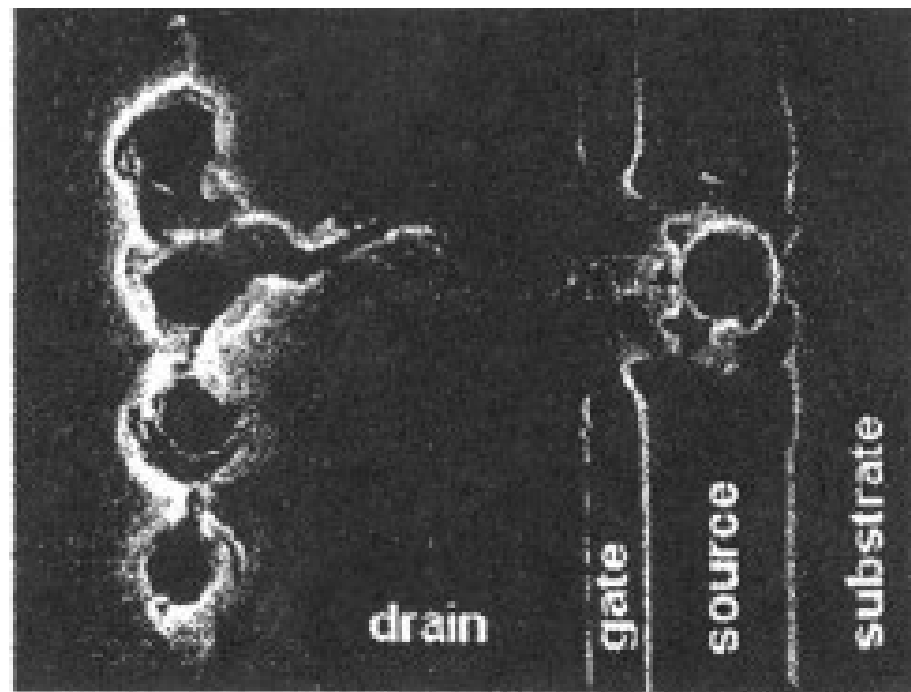
* 栅氧击穿场强 \times 栅氧厚度 = 静态击穿电压

• TLP 和 HBM 也会产生不同的失效机理

1.3A HBM : drain 区多晶硅 filament 和 Si 熔化
S filament



1.5A TLP : D-



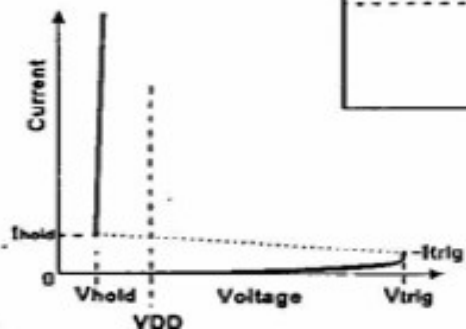
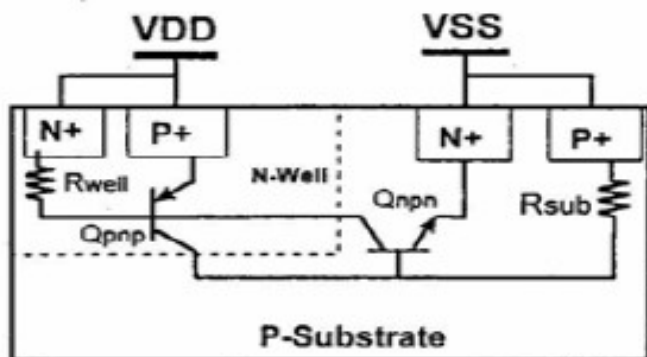


6、拴锁测试

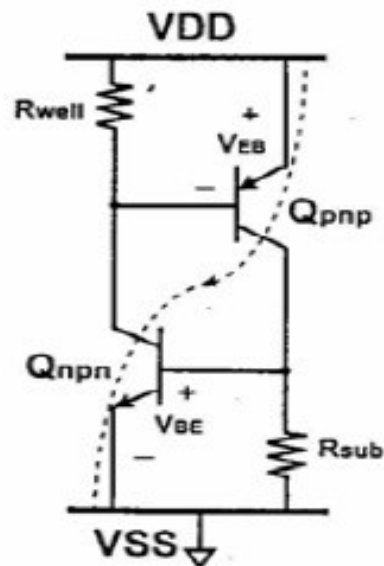
SCR的拴锁原理:

• Latchup Criterion :

1. $V_{hold} < V_{DD}$; and
2. $\beta_{pnp} \times \beta_{npn} > 1$



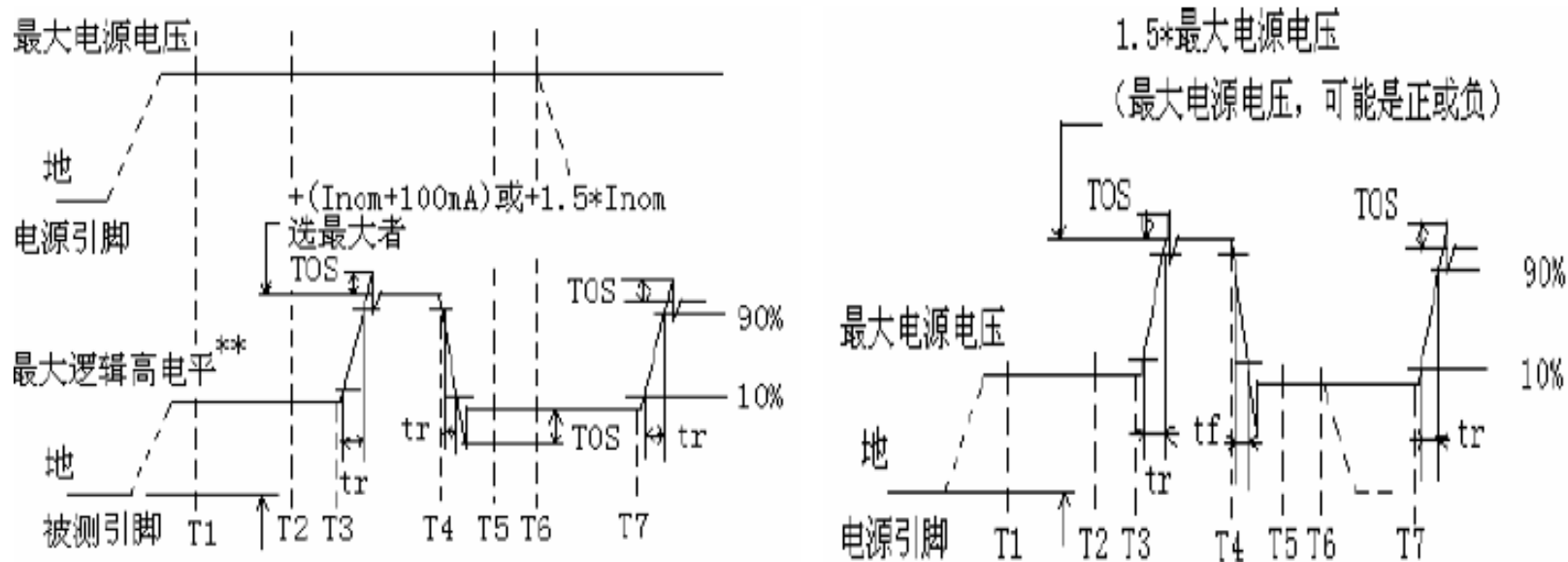
• 1st-order lumped equivalent circuit of latchup :





6、拴锁测试

Latch-Up拴锁测试方法：

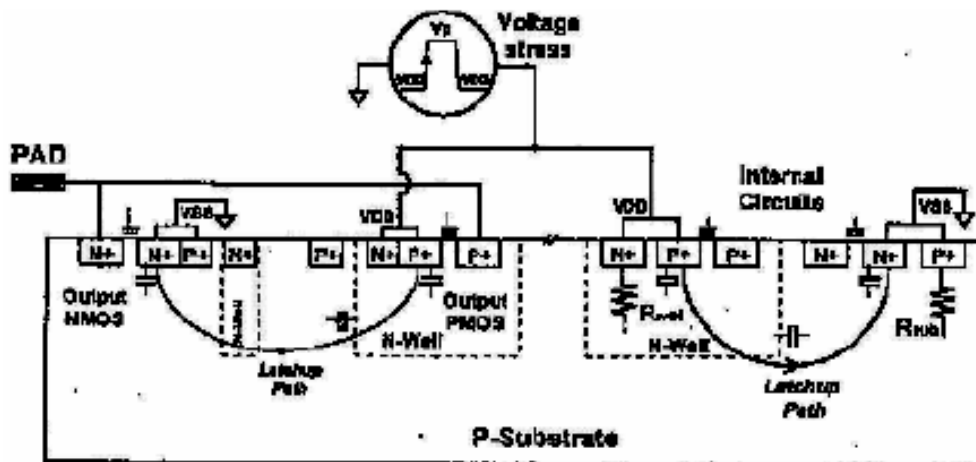
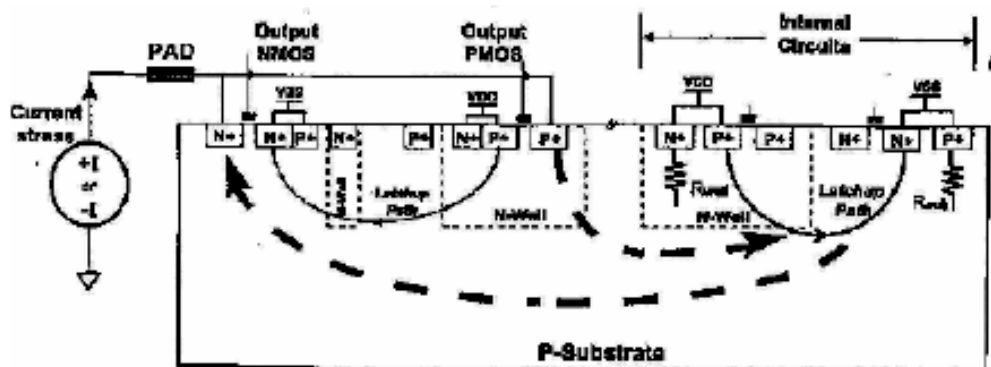


1. T2测量正常工作电流
2. T3~T4 加入干扰信号(I/O管脚加电流、电源管脚加电压)
3. T5干扰信号结束后再次测量工作电流
4. 比较T5和T2的电流差异，判断是否有拴锁发生
5. 正电流只使用最大逻辑高电平，负电力只使用最小逻辑低电平



6、拴锁测试

Standard JEDEC1996:将正或负脉冲加到VDD/VSS/I/O, 测试SCR触发与否:





6、拴锁测试

Trigger Current/Voltage(触发电流/电压)

1. I/O: (一般管脚)

正電流: $I_{norm}+100mA$ or $1.5xI_{norm}$

負電流: $-100mA$ or $-0.5xI_{norm}$

JESD 78A: $+100mA$ or $-100mA$

2. Power Pin (电源管脚): $1.5xV_{max}$.

以上为JEDEC规定

AEC对于I/O管脚可加至 $1.5xV_{max}$

沒轮到测试的output管脚浮接(floating),沒轮到测试的input管脚需接至最脆弱的电位;时钟管脚或其他特殊管脚或需特別处理

电路須特別考量测试条件:

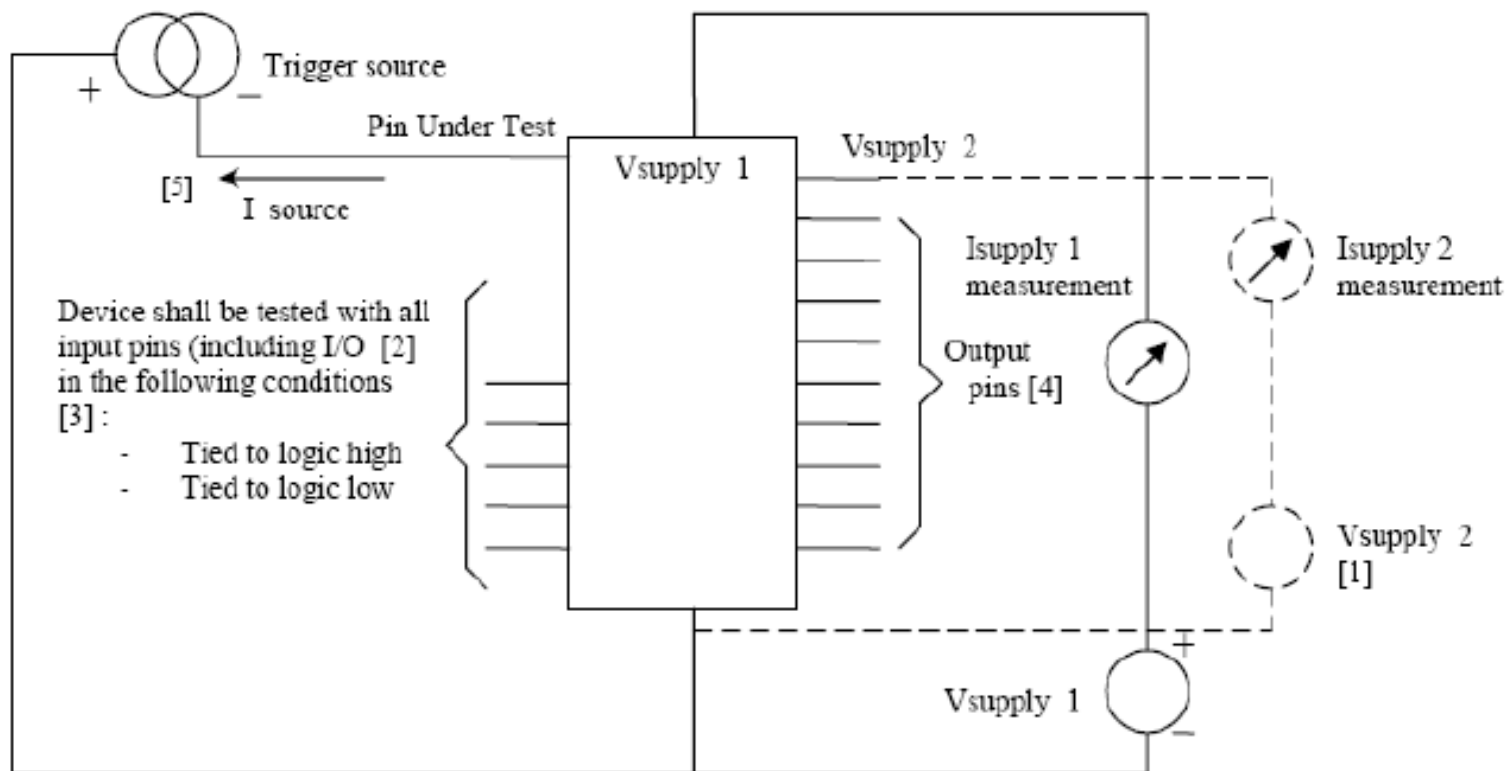
需考虑到最高工作温度影响: 常温或 $85^{\circ}C$

未达到 $\pm 100mA$ 的器件或管脚須标识最大容许电流值



使用 curve tracter 测试拴锁

测试结构:





6、拴锁测试

Latch-Up判据:

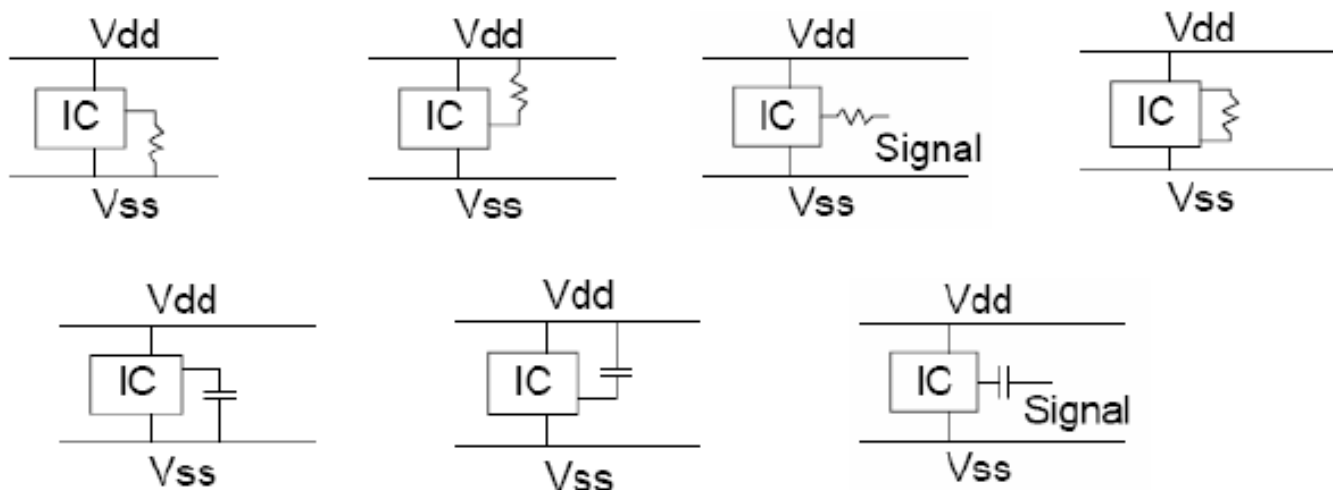
$I_{norm} + 10mA$ or $1.4 \times I_{norm}$

取其中较大值为判断标准:

$I_{norm} < 25mA$, 取 $I_{norm} + 10mA$ 为判断标准

$I_{norm} > 25mA$, 取 $1.4 \times I_{norm}$ 为判断标准

JESD78A附表A摘录





7、 I-V 测试

- 使用 HP4155/4156C
- 使用 KIELITHY4200B

- 测试方法略

8、ESD 测试标准和分类

根据 ESD 模式分类

- HBM 测试标准
- MM 测试标准
- CDM 测试标准

根据提出标准的组织分类

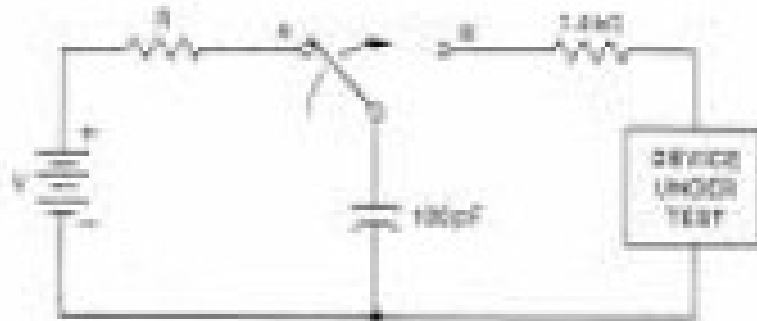
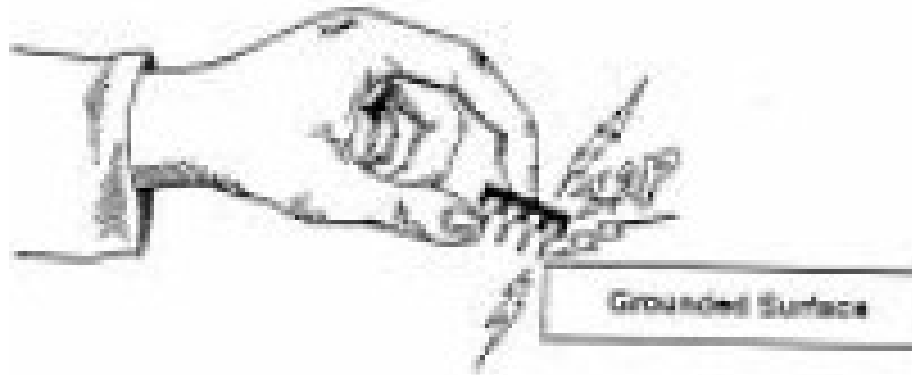
- JESD22 系列, JEDEC Solid State Technology Association (Joint Electron Device Engineering Council) 提出
- ANSI-ESDSTM5.X 系列, ESDA 协会提出
- AEC-Q100 系列, 汽车电子委员会 Automotive Electronics Council 提出
- MIL-STD-883E 系列, 美国军方国防部提出 HBM

测试特点

- HBM 测试标准基本上依据美国军方测试标准 MIL-STD-883E 改进而成
- HBM 和 MM 测试方法差不多□□□□□□□□
- CDM 测试方法和测试仪器与前两者差别大



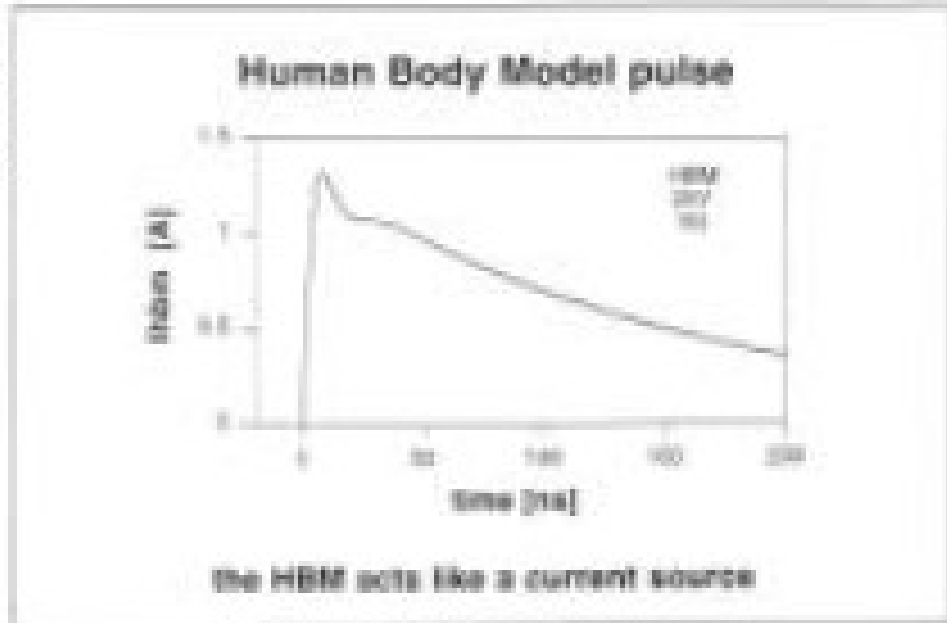
(1). Human Body Model (HBM)



$C_{HBM} = 100pF$; $R_{HBM} = 1.5k\Omega$

Standards :

- 1. MIL-STD-883C Method 3015.7
- 2. EIA/JESD22-A114-A (JEDEC, 1997)
- 3. ESD STM 5.1 (EOS/ESD, 1998)

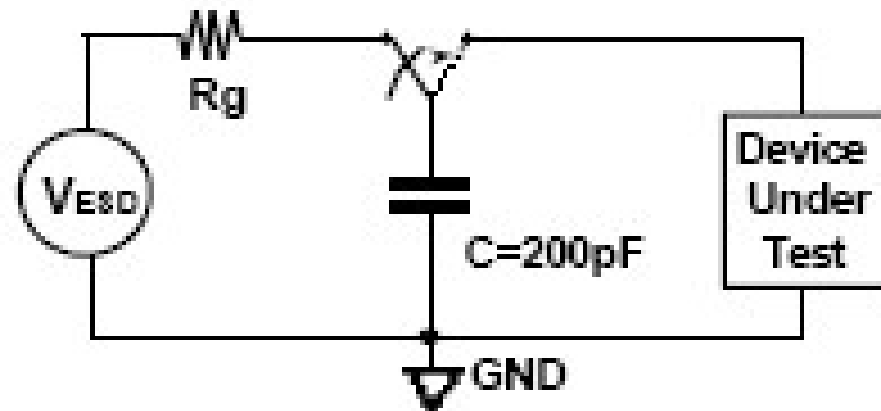




(2). Machine Model (MM)

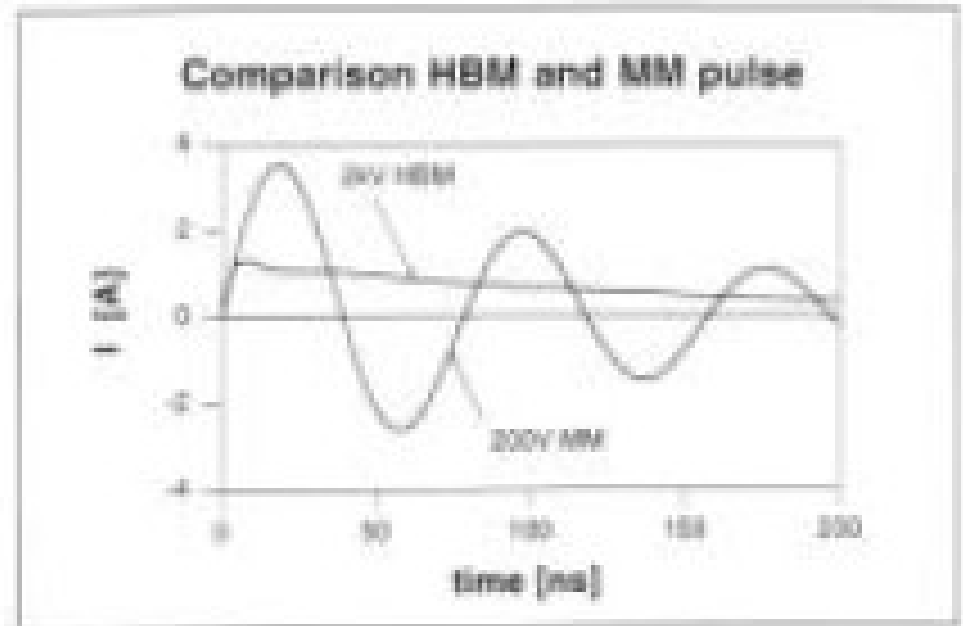
Standards :

1. EIAJ-IC-121 Method 20
2. EIA/JESD22-A115-A (JEDEC, 1997)
3. ESD STM 5.2 (EOS/ESD, 1999)



$C_{MM} = 200\text{pF}$

$R_{MM} = 0\Omega$

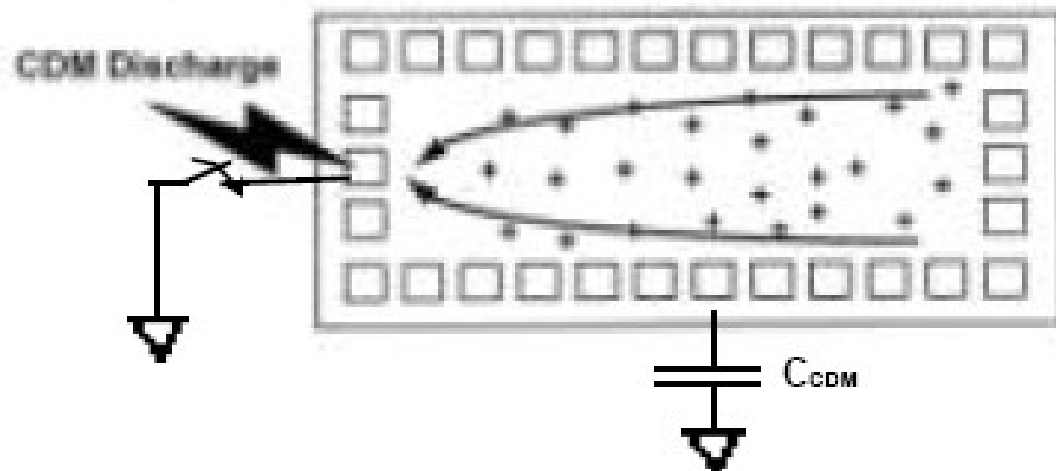
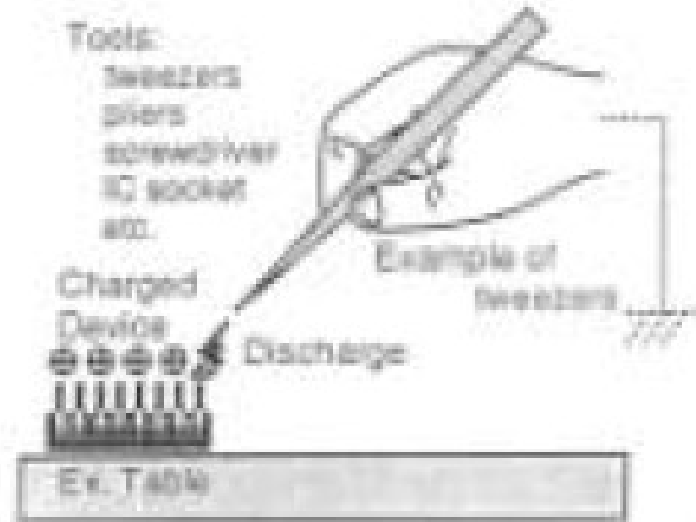




(3). Charged Device Model (CDM)

Standards :

1. JESD22-C101 (JEDEC, 1997)
2. ESD DS5.3.1 (EOS/ESD, 1996)





国内企业常用标准（电子产品静电冲击防护标准）

	Standard	PKG /Wafer	Model
HBM	<ul style="list-style-type: none"> *美国军标883: MIL-STD-883F Method 3015.7 notice 8 *美国静电协ESDA: STM5.1-1998 *电子工业协会: 2006年: JEDEC EIA/JESD22-A114-D *汽车电子协会: AEC-Q100-002-REV-C 	PKG	Thermo Keytek/ MK2
MM	<ul style="list-style-type: none"> *美国静电协会: ESDA STM5.2-1999 *电子工业协会: JEDEC EIA/JESD22-A115（即将被冻结） *汽车电子协会: AEC-Q100-003-REV-E 	PKG	ThermoKey tek MK2
CDM	<ol style="list-style-type: none"> 1. 插座式器件充电模型 SCDM (Socketed CDM) 美国静电协会: *ESDA SP5.3.2 (草案) 2. 非插座式器件充电模型 CDM (Non-Socketed CDM) 美国静电协会: *ESDA STM5.3.1 <ul style="list-style-type: none"> *电子工业协会: JEDEC EIA/JESD22-C101-C（更受重视） *汽车电子协会: AEC-Q100-011-REV-A 		
FIM	JEDEC22-C101		



新的系列标准:

- JESD22系列
 1. HBM标准: JESD22-A114D -2005
 2. MM标准: JESD22-A115A - 1997
 3. CDM标准: JESD22-C101C -2004
- 美国标ANSI-ESDSTM 5系列
 1. HBM标准: ANSI-ESD STM5.1-2001
 2. MM标准: ANSI-ESD STM5.2-1999
 3. CDM标准: ANSI-ESD STM5.3.1-1999
- 汽车协会AEC-Q100系列
 1. HBM标准: AEC-Q100-002D -2003
 2. MM标准: AEC-Q100-003E -2003
 3. CDM标准: AEC-Q100-011B -2003



国内企业常用标准（电子产品静电冲击防护标准）

	Standard	PKG/Wafe r	Model
TLP	美国静电协会： ESDA Standard Practice	Wafer	Barth 4002
Latch-up	电子工业协会： JEDEC EIA/JESD78； 汽车电子协会： AEC-Q100-004-REV-C	PKG	Thermo Keytek MK2
System Level (IEC)	国际电工委员会： IEC 61000-4-2 美国标： ANSIC63.16 中国机标： GB7816	PKG	Schaffner NSG435 GB7816 (100pf+1500ohm)



	HBM	MM	CDM
可以	2kV	200V	1kV
安全	4kV	400V	1.5kv
超强	10kV	1kV	2kV

ESD的一般要求

***HBM:** $\geq 2\text{kV}$ (美军标 $>2\text{kV}$ 国标 $>500\text{V}$)

***MM:** $\geq 200\text{V}$

***CDM:** $\geq 700\text{V} \sim 1000\text{V}$ (可选)

汽车电子ESD要求

***HBM:** $\geq 4\text{kV}$

***MM:** $\geq 400\text{V}$

***CDM:** $\geq 2\text{KV}$ (可选)

更高 (工业控制)

***HBM:** $\geq 4\text{kV}$ (军标亦要求 $>2\text{kV}$)

***MM:** $\geq 400\text{V}$

***CDM:** $\geq 2\text{KV}$ (可选)