

# 小数N频率综合器中Sigma-Delta调制器的 研究与设计

作者姓名 周晖 导师姓名、职称 柴常春教授

一级学科 电子科学与技术 二级学科 集成电路系统设计

申请学位类别 工学硕士 提交学位论文日期 2014年12月



学校代码 10701  
分类号 TN74

学号 1211122777  
密级 公开

# 西安电子科技大学

## 硕士学位论文

### 小数N频率综合器中Sigma-Delta调制器的 研究与设计

作者姓名：周晖

一级学科：电子科学与技术

二级学科：集成电路系统设计

学位类别：工学硕士

指导教师姓名、职称：柴常春教授

提交日期：2014年12月



# **A Study and Design of Sigma-Delta Modulator in Fractional-N Synthesizer**

A thesis submitted to  
XIDIAN UNIVERSITY  
in partial fulfillment of the requirements  
for the degree of Master  
in Electronic Science and Technology

By

Zhou hui

Supervisor: Prof. Chai changchun

December 2014



## 西安电子科技大学 学位论文独创性（或创新性）声明

秉承学校严谨的学风和优良的科学道德，本人声明所呈交的论文是我个人在导师指导下进行的研究工作及取得的研究成果。尽我所知，除了文中特别加以标注和致谢中所罗列的内容以外，论文中不包含其他人已经发表或撰写过的研究成果；也不包含为获得西安电子科技大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示了谢意。

学位论文若有不实之处，本人承担一切法律责任。

本人签名：\_\_\_\_\_ 日 期：\_\_\_\_\_

## 西安电子科技大学 关于论文使用授权的说明

本人完全了解西安电子科技大学有关保留和使用学位论文的规定，即：研究生在校攻读学位期间论文工作的知识产权单位属于西安电子科技大学。学校有权保留送交论文的复印件，允许查阅、借阅论文；学校可以公布论文的全部或部分内容，允许采用影印、缩印或其它复制手段保存论文。同时本人保证，获得学位后结合学位论文研究成果撰写的文章，署名单位为西安电子科技大学。

保密的学位论文在\_\_\_年解密后适用本授权书。

本人签名：\_\_\_\_\_ 导师签名：\_\_\_\_\_

日 期：\_\_\_\_\_ 日 期：\_\_\_\_\_





## 摘要

无线通信技术在现代社会的信息交流中得到了越来越多的运用，而其发展离不开相关技术的支持，所以与它相关的无线集成电路设计得到了越来越多的研究。频率综合器是无线通信中经常使用到的一个电路模块，它的作用是为射频无线收发机提供稳定的本地振荡频率（Local Oscillator, LO），还可以为数字电子系统提供所需要的时钟频率。频率综合器的性能会对整个系统的性能产生影响，因此，能够设计出一种低相位噪声、低功耗、高集成度的高速频率综合器显得非常必要。频率合成器的实现结构有不同种类，基于锁相环（Phase-Locked Loop, PLL）的结构是其中应用最为广泛的一类，锁相环频率综合器电路是在普通 PLL 的反馈回路中加入分频器，经过调节分频器的分频比便可以使其提供不同频率的输出信号。分频器结构可以实现小数分频或者整数分频，整数分频结构比较简单，但是它对应的频率综合器的频率分辨率不够高，所以在它的基础上发展了小数频率合成。因为小数  $N$  分频器能够实现任意小数分频的功能，这就意味着输出信号能够是时钟参考频率的任意小数倍数，所以其频率分辨率得到了提高。此结构存在一个不足就是变化的分频比会导致锁相环压控振荡器（Voltage Controlled Oscillator, VCO）的控制电压发生变化，进而在输出频谱中产生小数杂散，降低了 VCO 输出频谱的纯度。基于此，本文在小数分频结构中又引入了 Sigma-Delta 调制器（Sigma-Delta Modulator, SDM），利用其噪声整形功能，对小数毛刺问题加以改善。

本文首先分析了小数  $N$  频率合成器的频率合成原理以及实现结构，接着对 SDM 的原理和噪声整形功能进行了详细的研究。经过对一阶的 SDM 等效模型以及仿真结果的研究，证明其输出序列仍然具有明显的周期性，不能很好的改善小数毛刺干扰的问题，而仿真结果表明高阶的 SDM 的输出序列更加随机化，该结构的噪声整形效果相比单阶结构要好，对小数杂散的改善效果更加完美，所以本文采用了多级噪声整形结构（Multi Stage Noise Shaping, MASH），最终设计了一个工作频率 16MHz，数据位宽为 24 位，MASH1-1-1 结构的 SDM，其结构简单，稳定性好。利用 Simulink 工具对所设计的 Sigma-Delta 调制器进行建模和功率谱仿真，功率谱波形显示其具有很好的噪声整形作用。本文利用 Verilog HDL 编写代码，针对 TSMC 0.18 $\mu\text{m}$  工艺库，使用 Design Compiler 工具进行了综合，得到其门级网表。静态时序分析表明生成的网表满足了时序要求，最后给出了其数字版图。

**关键词：**频率综合器，Sigma-Delta 调制器，小数  $N$  分频器，多级噪声整形

**论文类型：**应用基础研究类



**ABSTRACT**

The wireless communication technology is getting widely used in information exchange field in modern society, and its development is inseparable from the support of related technologies, so more and more attentions are paid to the research of the wireless IC design technology. The frequency synthesizer is widely used in wireless communication, and it can provide not only stable local oscillator frequencies for wireless receivers, but also the desired clock frequencies for digital electronic systems. The performance of the frequency synthesizer can affect the performance of the whole system, therefore, it is very important to design a high speed frequency synthesizer with low phase noise, low power consumption and high integration. There are many implementation structures of frequency synthesizer, and the most commonly used is the structure based on Phase-Locked Loop (PLL), which adds a frequency divider circuit to the feedback loop of PLL, and the output signal of different frequency is achieved by adjusting the division ratio. The division ratio can be fractional or integer. Integer frequency synthesizer has the advantage of simple structure, but its frequency resolution is low. Based on it fractional-N frequency synthesizer has been developed. The fractional-N divider can achieve any decimal frequency division ratio, which means that the frequency of the output signal can be any times of the reference frequency, so its frequency resolution is improved. However, a shortcoming of this structure is that the variable division ratio will lead to the change of VCO's control voltage, which means that fractional spur is created in output spectrum. This paper introduces a Sigma-Delta modulator to the fractional-N frequency synthesizer in order to solve this problem.

Firstly, this article analyzes the principle and realization structure of fractional-N frequency synthesizer, then it researches the principle and noise shaping function of Sigma-Delta modulator. The research of the equivalent model and simulation results of the first-order Sigma-Delta modulator show that its output sequence still has obvious periodicity and can't fix the fractional spur perfectly. In contrast, simulation results shows that the output sequence of high order Sigma-Delta modulator is more randomized, so it has a better noise shaping effect than single order structure does. Based on all above, this paper adopts a multi-stage noise shaping structure to design a MASH1-1-1 modulator with operating frequency of 16MHz and data width of 24 bits. It

has the advantages of simple structure and good stability. Its model is built with Simulink tool to perform power density spectrum simulation, and the result proves it a remarkable noise shaping effect. The code is written in Verilog HDL, then it is synthesized by Design Compiler to obtain the gate-level netlist for automatic layout generation. Static timing analysis is made and the result shows that the gate-level netlist meets the timing requirement. Finally, the layout of the SDM is given out.

**Keywords:** Frequency synthesizer, Sigma-Delta modulator, Fractional-N divider, MASH

**Type of Dissertation:** Applied Basic Research

## 插图索引

图 1.1 射频收发机架构.....	2
图 1.2 超外差收发机架构.....	2
图 1.3 零中频接收机架构.....	3
图 1.4 低中频接收机架构.....	3
图 1.5 锁相环结构频率综合器.....	4
图 1.6 模拟相位内插原理示意图.....	5
图 2.1 DAFS 原理图 .....	7
图 2.2 DDFS 原理图 .....	8
图 2.3 PLLFS 原理图 .....	8
图 2.4 整数 N 频率综合器.....	10
图 2.5 小数 N 频率综合器.....	10
图 2.6 双环路频率综合器.....	10
图 2.7 电荷泵型锁相环频率综合器.....	11
图 2.8 PFD 的一种实现方式 .....	12
图 2.9 CP 与 PFD、LPF 的连接关系.....	12
图 2.10 VCO 相位域模型 .....	13
图 2.11 分频器模型.....	13
图 2.12 锁相环频率综合器的整体模型.....	13
图 3.1 SCL 锁存器 .....	18
图 3.2 伪差分结构锁存器.....	18
图 3.3 TSPC 结构锁存器 .....	19
图 3.4 C <sup>2</sup> MOS 结构触发器 .....	20
图 3.5 2/3 双模分频器结构.....	20
图 3.6 2/3 双模分频器的仿真结果.....	21
图 3.7 3/4 双模分频器结构.....	21
图 3.8 3/4 双模分频器的仿真结果.....	21
图 3.9 4/5 双模分频器结构.....	22
图 3.10 4/5 双模分频器的仿真结果.....	22
图 3.11 基于 3/4 双模分频器的 7/8 双模分频器结构.....	22
图 3.12 7/8 双模分频器的仿真波形.....	23
图 3.13 双模分频器和计数器实现的多模分频器.....	23

图 3.14 基于 2/3 分频器级联的多模分频器.....	24
图 3.15 2/3 分频器结构.....	25
图 3.16 双模分频器实现小数 N 分频.....	26
图 3.17 模拟相位内插补偿法.....	27
图 3.18 量化误差范围.....	28
图 3.19 量化噪声的概率谱和功率谱密度.....	28
图 3.20 量化噪声功率谱密度对比图.....	29
图 3.21 噪声整形.....	30
图 3.22 一阶 SDM 结构.....	31
图 3.23 一阶 SDM 的 Z 域模型.....	31
图 3.24 一阶 SDM 的另一种 Z 域模型.....	32
图 3.25 数字累加器模型.....	32
图 3.26 带进位数字累加器模型.....	32
图 3.27 带量化器的累加器模型.....	33
图 3.28 引入量化噪声的累加器模型.....	33
图 3.29 一阶 SDM 的信号流.....	34
图 3.30 一阶 SDM 的数字电路实现.....	35
图 3.31 基于一阶 SDM 的频率综合器.....	35
图 3.32 高阶 MASH 结构的 SDM.....	36
图 3.33 单环高阶 SDM 结构.....	37
图 3.34 MASH1-1-1 结构的 SDM.....	37
图 3.35 Pascalls 三角.....	38
图 3.36 MASH1-1-1 结构框图.....	39
图 3.37 基于高阶 SDM 的小数 N 频率合成器.....	40
图 4.1 Simulink 中累加器模型.....	41
图 4.2 累加器输出结果示例.....	42
图 4.3 MASH1-1-1 调制器仿真模型.....	42
图 4.4 三级累加器分别的进位输出.....	43
图 4.5 三阶 SDM 的输出.....	43
图 4.6 三阶 SDM 的输出功率谱密度.....	44
图 4.7 硬件实现电路.....	45
图 4.8 Modelsim 波形仿真结果.....	45
图 4.9 综合的输入输出文件.....	46
图 4.10 面积报告.....	48

图 4.11 建立时间报告 .....	48
图 4.12 数字后端设计流程简图 .....	49
图 4.13 SDM 的数字版图 .....	49





## 表格索引

表 3.1 累加器工作过程举例.....	33
----------------------	----



## 符号对照表

符号	符号名称
$f_s$	采样频率
$f_b$	信号带宽
$f_N$	奈奎斯特频率
$\Delta$	量化步长



## 缩略语对照表

缩略语	英文全称	中文对照
ADC	Analog to Digital Converter	模数转换器
CDMA	Code Division Multiple Access	码分多址
CP	Charge Pump	电荷泵
DAC	Digital to Analog Converter	数模转换器
DAFS	Direct Analog Frequency Synthesis	直接模拟频率合成
DDFS	Digital Direct Frequency Synthesis	直接数字频率合成
DLLFS	Delay-Locked Loop Frequency Synthesis	延迟锁相环频率合成
DMD	Dual Modulus Divider	双模分频器
HDL	Hardware Description Language	硬件描述语言
LF	Loop Filter	环路滤波器
LNA	Low Noise Amplifier	低噪声放大器
LO	Local Oscillator	本地振荡信号
LPF	Low Pass Filter	低通滤波器
MASH	Multi-Stage Noise Shaping	多级噪声整形
MMD	Multi-Modulus Divider	多模分频器
OSR	Oversampling Rate	过采样率
PD	Phase Detector	鉴相器
PFD	Phase Frequency Detector	鉴频鉴相器
PLL	Phase-Locked Loop	锁相环
PLLFS	Phase-Locked Loop Frequency Synthesis	锁相环频率合成
RF	Radio Frequency	射频
SCL	Source Couple Logic	源极耦合逻辑
SDM	Sigma-Delta Modulator	$\Sigma$ - $\Delta$ 调制器
TDMA	Time Division Multiple Access	时分多址
TSPC	True Single Phase Clocked	真单相时钟
VCO	Voltage Controlled Oscillator	压控振荡器
VGA	Variable Gain Amplifier	可变增益放大器
WAN	Wireless Area Network	无线广域网
WLAN	Wireless Local Area Network	无线局域网
WPAN	Wireless Personal Area Network	无线个域网



## 目录

摘要.....	I
<b>ABSTRACT .....</b>	<b>III</b>
插图索引.....	V
表格索引.....	IX
符号对照表.....	XI
缩略语对照表.....	XIII
目录.....	XV
<b>第一章 绪论.....</b>	<b>1</b>
1.1 研究背景.....	1
1.1.1 无线通信的发展过程.....	1
1.1.2 无线通信收发机结构.....	2
1.1.3 小数 N 频率综合器的研究.....	4
1.2 研究现状.....	4
1.3 论文的主要工作.....	6
1.4 论文的组织结构.....	6
<b>第二章 PLLFS 概述.....</b>	<b>7</b>
2.1 频率合成技术概述.....	7
2.1.1 直接模拟频率合成.....	7
2.1.2 直接数字频率合成.....	8
2.1.3 PLLFS .....	8
2.2 PLLFS 的结构分类.....	9
2.2.1 整数 N 频率综合器.....	9
2.2.2 小数 N 频率综合器.....	10
2.2.3 双环路频率综合器.....	10
2.3 PLLFS 的线性化模型.....	11
2.4 PLLFS 的传输函数及性能指标.....	14
2.5 本章小结.....	16
<b>第三章 Sigma-Delta 调制器 (SDM) .....</b>	<b>17</b>
3.1 分频器.....	17
3.1.1 触发器结构.....	17
3.1.2 双模分频器 (DMD) .....	20

3.1.3 多模分频器 (MMD) .....	23
3.2 小数 N 分频原理 .....	25
3.3 Sigma-Delta 调制器 .....	27
3.3.1 Sigma-Delta 调制技术 .....	27
3.3.2 Sigma-Delta 调制器的结构和特性 .....	30
3.4 本章小结 .....	40
<b>第四章 Sigma-Delta 调制器的硬件实现 .....</b>	<b>41</b>
4.1 Sigma-Delta 调制器的 Simulink 仿真 .....	41
4.2 Sigma-Delta 调制器的硬件实现 .....	44
4.2.1 功能仿真 .....	44
4.2.2 逻辑综合 .....	45
4.2.3 版图生成 .....	49
4.3 本章小结 .....	50
<b>第五章 结论和展望 .....</b>	<b>51</b>
<b>参考文献 .....</b>	<b>53</b>
<b>致谢 .....</b>	<b>57</b>
<b>作者简介 .....</b>	<b>59</b>



## 第一章 绪论

### 1.1 研究背景

#### 1.1.1 无线通信的发展过程

人类在社会生活中会不可避免的进行各种信息传输，同时信息传输的方式不断与时俱进。信息传输方式的改变依赖于各种科学发现，以及在此基础之上发展起来的各种通信技术。最早的无线通信通常使用狼烟，信号弹或者旗语等，后来又有电报和电话的发明，直到意大利科学家马可尼（Marconi）成功实现无线电信号发送与接收，把信号从英国的 Cornwall 发送到大西洋之隔的加拿大 Newfoundland，现代意义下的无线通信从此诞生<sup>[1]</sup>。

20 世纪 50 和 60 年代,美国的贝尔实验室提出了蜂窝式模拟移动通信系统<sup>[2]</sup>,使得双向移动通信得到了巨大发展,在个人日常生活方面的应用得以实现,出现了第一代的移动通信系统（1G）。当然第一代移动通信性能不高,保密性较差,通话质量也不高,而且没有数据业务等。经过 30 多年发展,产生了第二代的数字无线通信系统,以 GSM 为代表,它以数字语音传输技术为核心。2G 技术可以分为两种:一是码分多址（CDMA）规格,第二种是时分多址（TDMA）发展出来的,以 GSM 为代表。现今,网络容量需求不断增长,高速数据传输和多媒体应用水平需要相应的数据速率支持,于是出现了 3G 标准。第三代的移动通信技术（3G）就是指能够同时支持高速传送声音和数据信息<sup>[3]</sup>。

目前的无线网络在向三个方向发展,分别是无线广域网（Wireless Area Network, WAN）、无线局域网（Wireless Local Area Network, WLAN）以及无线个域网（Wireless Personal Area Network, WPAN）。WAN 的连接距离远,WLAN 的连接距离为 50 米到 100 米左右,典型技术是 802.11 和 Home RF。WPN 是目前发展势头最劲的一个方向,它以 ZigBee 技术和蓝牙技术为代表,能够连接的距离在 100 米左右<sup>[4]</sup>。三种发展方向分别针对不同的通信距离和数据传送速率,慢慢覆盖日常的生活。除此之外,GPS 作为无线通信的一个重要方面,同样发展势头迅猛,从最初的军用慢慢走向民用,在汽车导航等方面有了越来越多的运用,得到各国政府很大关注,很多国家都投资建设了本国的卫星导航系统。

现代无线通信技术仍在高速发展,无线通信的内容、距离、范围等都在不断扩展,在包括军用和民用等各个领域都得到越来越广泛的应用,与个人的生活变得更加密切相关。因此,为了提高无线通信的性能,对无线通信系统中的关键电路进行研究非常必要。

### 1.1.2 无线通信收发机结构

射频收发机电路可以划分成射频前端 (RF front-end) 和数字基带 (Baseband) 两部分, 它的架构如图 1.1 所示。在电路形式上, 射频前端和基带部分是独立的, 射频前端为模拟电路, 实现信号的滤波、变频、放大等, 完成发送和接收功能。数字基带内则完成调制解调等典型的数字信号处理过程。在接收数据时, 射频前端对接收到的数据进行模拟方面的处理后, 经过模数转换器 (Analog to Digital Converter, ADC) 将信号变成数字信号, 连接到数字基带部分实现解调解扩等处理。发送数据的过程则与此相反, 数字基带部分处理过的信号经过数模转换器 (Digital to Analog Converter, DAC) 送给射频前端电路, 射频前端将信号进行变频, 最后发射出去。不过在电路功能上, 射频前端和数字基带并不完全独立, 射频前端的收发机架构, 会影响数字基带所需要具备的功能及性能参数, 也会影响 ADC 的采样频率。

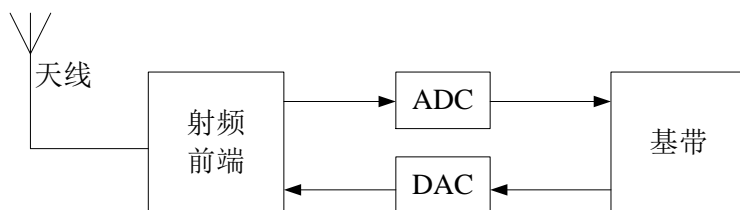


图 1.1 射频收发机架构

目前最常用的接收机架构有超外差接收机 (Super-heterodyne Receiver)、零中频结构接收机 (Zero Intermediate Frequency Receiver) 以及低中频结构接收机 (Low Intermediate Frequency Receiver), 结构特点不同, 各有优缺点<sup>[5]</sup>。

如图 1.2 所示是超外差收发机的架构。

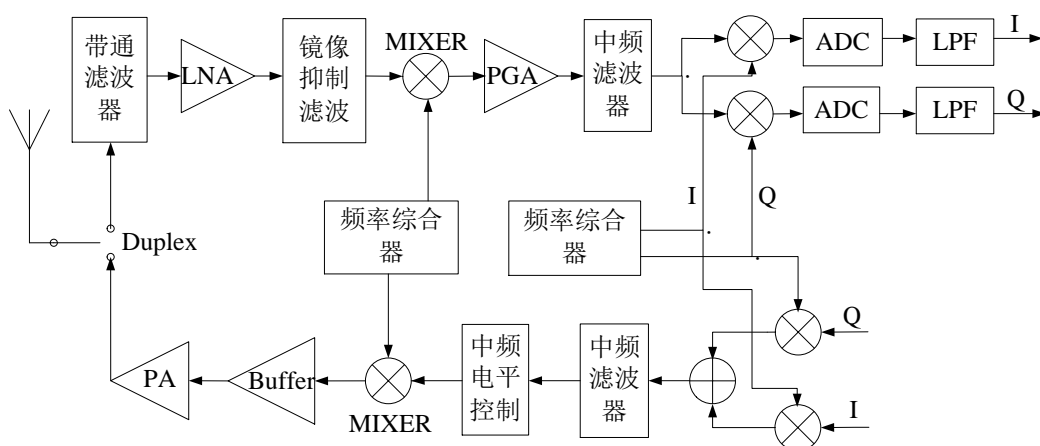


图 1.2 超外差收发机架构

在接收信号时, 信号经过带通滤波器 (Band Pass Filter, BPF)、低噪声运算放大器 (Low Noise Amplifier, LNA) 和镜像抑制滤波器后, 通过混频器实现变频, 变为中频信号, 之后经过可变增益放大器 (Variable Gain Amplifier, VGA) 的放大

和中频滤波器的滤波，最后变成两路信号进入到数字基带部分。信号发射的过程与此类似。可以看到频率综合器是其中很重要的一个模块，它为系统提供了本地振荡信号。超外差接收机由阿姆斯特朗发明<sup>[6]</sup>，它的性能比较好，但是存在镜像干扰，结构比较复杂。

如图 1.3 所示为零中频接收机的架构示意图<sup>[7]</sup>。

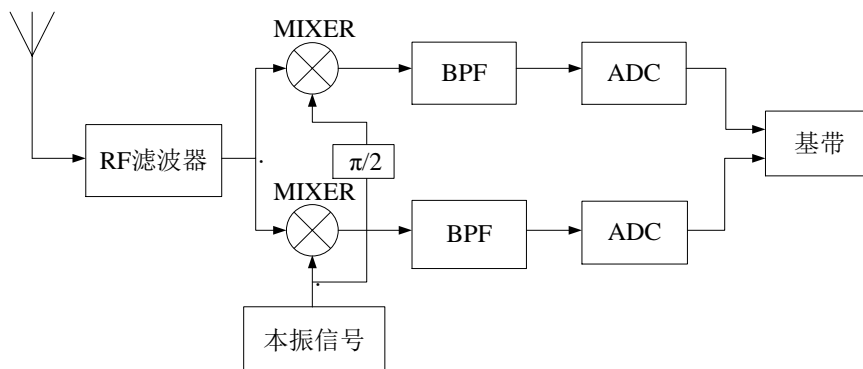


图 1.3 零中频接收机架构

在零中频结构中，接收到的射频（Radio Frequency, RF）信号首先会经过 RF 滤波器，两路信号中的其中一路与本振信号 LO 直接通过混频器实现混频，另外一路信号和本振信号的正交信号进行混频，两路分别再经过 BPF 和 ADC 最后进入基带电路实现数字信号处理过程。从图 1.3 可以看到该结构比较简单，只有一个本振信号<sup>[8-9]</sup>，缺点则是存在本振泄露，直流失调等问题<sup>[10]</sup>。可以看到在零中频的接收机中，本振信号 LO 也是必不可少的一个部分，对整体性能有很大的影响。

如图 1.4 所示为低中频接收机架构<sup>[4]</sup>，从图中可以看出它的结构也比较简单，与超外差和零中频接收机相比，它既没有超外差结构中存在的镜像干扰问题，也没有零中频结构中的直流失调等问题，在现代的无线通信接收机中得到了很广泛的运用。

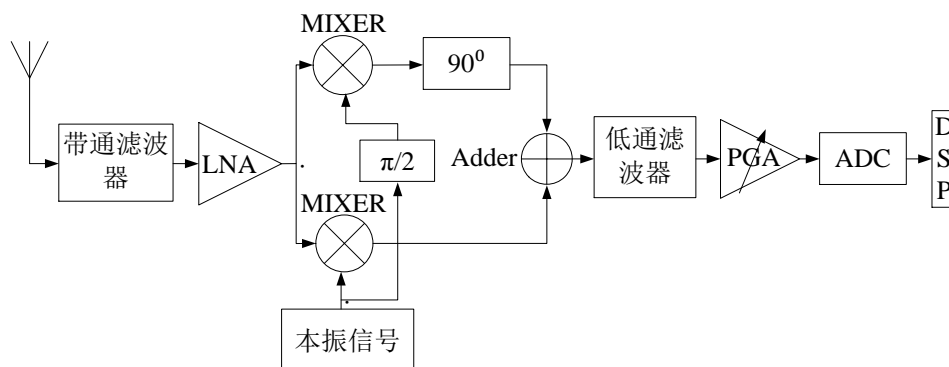


图 1.4 低中频接收机架构

从上面的分析可以看出，不论在何种架构的接收机中，精确的本振信号都是必不可少的，通过与特定频率的本振信号混频，射频发射机把基带信号发射到特定的频率上，接收机从许多的信号中筛选出需要的信号。以接收机为例来说，接

收到的射频信号需要变换到较低的频率上以便后续的处理，频率降低到中频就是依靠本振信号与其进行混频，然后再经过中频的滤波，模数转换，最后变成数字基带信号，在基带电路内实现数字信号处理。精确的本振信号则是由频率综合器产生，所以频率综合器虽然只是射频电路中很小的一部分，却特别关键。

### 1.1.3 小数 N 频率综合器的研究

基于上述分析，可以看出频率综合器在现代无线通信系统中起到非常重要的作用，无线技术不断的发展，对其要求也是越来越高，相关的频率合成的方法也在不断发展。如图 1.5 所示为锁相环频率合成（Phase-Locked Loop Frequency Synthesis, PLLFS）的实现结构<sup>[11-13]</sup>。

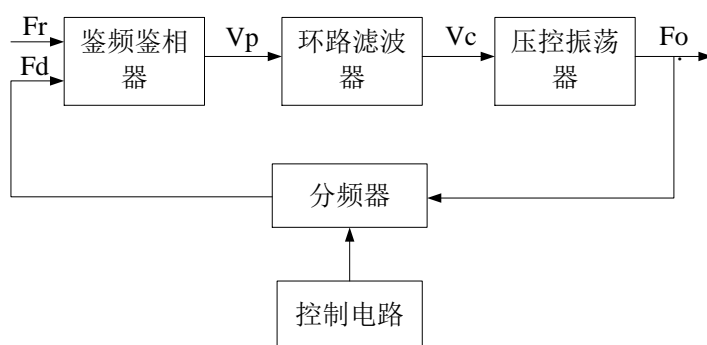


图 1.5 锁相环结构频率综合器

从图中可以看到，PLLFS 在一般的锁相环中加入了分频器，常用的结构为整数 N 分频结构<sup>[14]</sup>，但是由于高的频率分辨率和高的频率切换速度在整数分频结构中不能同时实现，最近对小数 N 频率综合器的研究越来越多，它通过小数分频比的实现提高了频率分辨率，同时改善了系统的噪声性能<sup>[15]</sup>。

## 1.2 研究现状

上一小节的内容讲到了为了提高 PLLFS 的频率分辨率在其反馈回路中需要采用小数分频，至于小数分频的具体实现方式在下面章节将会进行详细讲述。因为小数分频无法像整数分频一样，直接用一种数字分频器的结构实现，它仍然是通过整数分频器来实现的，不过分频数不再是固定不变的，需要根据所要实现的目标小数分频值进行不断的切换，是一种平均意义上的小数分频<sup>[16]</sup>。通过分频数的不断变化实现的小数分频带来了新的问题，那就是输出频谱中的小数毛刺干扰，使得输出的频谱不纯，存在相位噪声。之所以产生该问题就是因为分频比的不确定导致压控振荡器 VCO 经过分频以后的信号与输入参考信号相比始终存在一个相位差，因此为了改善这种情况，Sigma-Delta 调制器得到了广泛的研究，在小数 N 频率综合器中引入 Sigma-Delta 调制器会有有效的改善小数杂散问题。

除了引入 Sigma-Delta 调制器以外，还有一种有模拟相位内插技术<sup>[17]</sup>。模拟相

位内插技术的结构如图 1.6 所示，它是一个相对比较复杂的设计，通过引入一个 DAC 将累加器除了因为溢出以外的部分进行数模转换，输出的模拟信号连接到一个加法和鉴相器（Phase Detector, PD）的相位误差输出进行相加，进而抵消相位误差产生的影响<sup>[18-19]</sup>。

由图 1.6 也可以看到该种结构会要求 DAC 的输出和 PD 的输出能够很好的抵消，对设计的要求比较高。

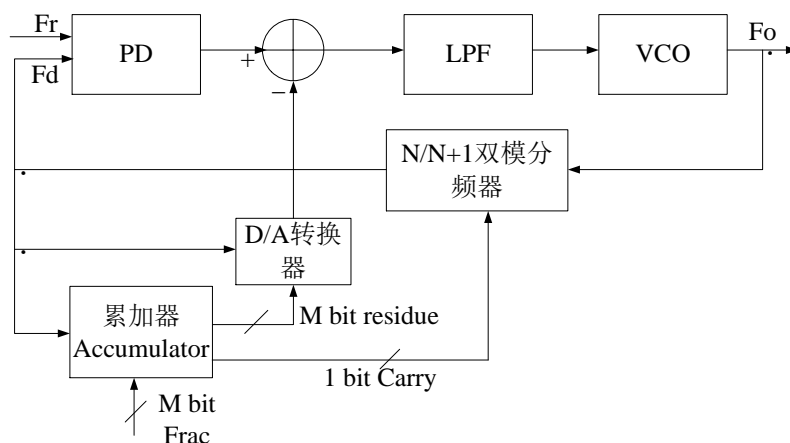


图 1.6 模拟相位内插原理示意图

Sigma-Delta 调制技术是一种数字的校正方法<sup>[20-22]</sup>，调制器的输出连接到分频器上面，输出是不断变化的所以由它控制的分频比也会不断的改变，最终使得相位噪声往高频处集中，即实现了噪声整形的作用。因为 PLL 中存在一个环路滤波器（Loop Filter, LF），它是低通特性的，所以可以很容易的把集中在高频处的噪声频谱阻隔下来，因为其电路简单作用却非常明显，所以 Sigma-Delta 调制技术得到了很多关注和研究，并取得了广泛的应用。

Sigma-Delta 调制器的整形效果跟它的结构以及输入条件等有关系，所以现阶段对于该技术的研究的很大一部分精力放在改进它的结构上面。其中 MASH 结构得到了广泛研究和应用，因为该结构的优点就是具有绝对稳定的特性<sup>[23]</sup>。经过对一部分相关理论知识的学习，可以看到 MASH 结构的噪声整形和抑制噪声的能力与它的阶数是息息相关的<sup>[24-25]</sup>，阶数越大相应的噪声整形作用越明显。S. W. Golomb 等人已经提出，Sigma-Delta 调制器是一个有限状态机 (Finite State Machine, FSM)，还有理论已经指出，如果给调制器的一个输入为固定常数，它的输出序列便具有周期性<sup>[26]</sup>，如果能够让输出序列更加随机即周期性减弱，就能更好的对量化噪声实现抑制<sup>[27-29]</sup>。为了改善调制器性能，可以通过改变 Sigma-delta 调制器的结构来增加输出序列的长度，不过这种方法会增加硬件的使用量<sup>[30]</sup>。除了结构改变还有一种方法就是改变寄存器的初始条件<sup>[28]</sup>，不过这种方法和量化器的字长相关，量化字长不能无限制的增加。最后一种方法就是在调制器的输入中加入随机

噪声增大调制器的随机性减弱输出的周期性。总而言之，想要得到良好性能的 Sigma-Delta 调制器就是需要使得它的输出周期规律减弱，进而可以提升它的噪声整形作用，抑制小数杂散的问题。

### 1.3 论文的主要工作

经过以上的论述，可以看到在无线通信系统中非常重要的一个电路结构就是能够产生精确的本振信号的频率综合器。本文首先阐述了用于频率合成的各种技术，重点对 PLLFS 进行了研究，详细分析了该结构每个模块的工作过程以及它的频率合成原理。在 PLLFS 技术中，重点论述了小数 N 分频结构的原理和实现方法，对于双模 (Dual Modulus Divider, DMD) 和多模分频器 (Multi Modulus Divider, MMD) 的原理和实现进行了研究和设计。同时本文在分析了小数分频的原理、Sigma-Delta 调制器的噪声整形原理以及其对分频器的控制原理基础上，设计了一个用于小数 N 频率合成器中的三阶三级 MASH1-1-1 结构的 Sigma-Delta 调制器，并使用 Simulink 进行了建模和仿真，通过观察其功率谱密度，发现噪声被搬移到高频处，达到很好的噪声整形效果，可以利用 PLL 中的低通滤波器滤除。最后本文利用 Verilog HDL 编写了代码，针对 TSMC 0.18 $\mu\text{m}$  工艺库，使用综合工具 Design Compiler 对设计添加约束进行综合，得到了门级电路网表。通过分析时序报告能够看到该网表也满足了时序要求，不存在时序违例问题。最后本文给出了调制器的数字版图。

### 1.4 论文的组织结构

本文一共分成五章的内容，每一章的内容安排如下：

第一章首先对论文的研究背景以及研究现状进行了论述，简要阐述了无线通信中频率合成技术、小数 N 分频以及 Sigma-Delta 调制技术的发展情况。

第二章主要讨论了 PLLFS 的原理和结构，提出其线性化模型，并对该模型进行了简要分析，推导了该模型的开环和闭环传输函数，给出了衡量该结构性能的一些主要的指标。

第三章对一阶结构和高阶结构的 Sigma-Delta 调制器进行了讨论和分析，首先研究了 DMD 和 MMD 的实现结构及原理并进行了仿真，其次分析了小数分频的原理和具体实现方式，最后推导出一阶和高阶 Sigma-Delta 调制器的传递函数以及数字实现结构，确定了本文的三阶 MASH1-1-1 结构。

第四章主要是 Sigma-Delta 调制器的 Simulink 仿真和全数字实现。

第五章内容是总结和展望，总结了论文开展的工作和成果以及存在的不足，明确了以后的改进方向。

## 第二章 PLLFS 概述

频率综合器的作用就是为收发机的混频电路提供本振信号，它的输出频率可以表示成：

$$f_o = f_0 + kf_{ch} \quad (2-1)$$

可以看到它的输出频率就是根据信道的选择，在最小频率  $f_0$  的基础上加上特定数目  $k$  的相邻信道的最小间隔  $f_{ch}$ 。本章首先讨论了几种频率合成技术，然后着重分析了 PLLFS 的电路结构和合成原理，并且对它的线性化模型进行了简单推导和理论分析，对该模型的开环和闭环传输函数进行了推导，最后讨论了 PLLFS 的一些重要指标和相应的改进措施，为之后的 SDM 和小数  $N$  分频频率综合器的分析奠定基础。

### 2.1 频率合成技术概述

现今无线通信技术不断的向前发展，与此相应的频率合成的方法也一直在发展，几种频率合成的技术有直接模拟频率合成（Direct Analog Frequency Synthesis, DAFS），直接数字频率合成（Digital Direct Frequency Synthesis, DDFS），锁相环频率合成（Phase-Locked Loop Frequency Synthesis, PLLFS）以及延迟锁相环频率合成（Delay-Locked Loop Frequency Synthesis, DLLFS）等几种方法。

#### 2.1.1 直接模拟频率合成

直接模拟频率合成技术出现的比较早，原理如图 2.1 所示。它是利用晶体振荡器来产生的一个或者多个的参考频率，再经过倍频或者分频，然后再进行混频和滤波的处理，最后产生许多的离散频率<sup>[31]</sup>。该种频率合成的技术可以实现比较快速的频率转换和任意大小的频率改变值。它的不足也显而易见，因为电路中用到了很多混频器、分频器、倍频器以及滤波器等，一定会造成频率综合器体积的增大，成本提高，结构更为复杂使得集成性降低。除此之外，因为谐波很多还存在噪声干扰等因素，也会使得频谱不纯。

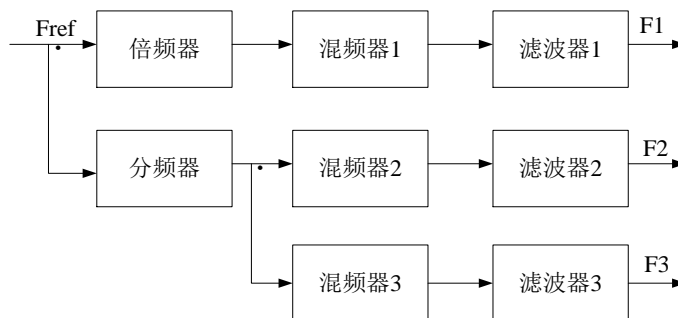


图 2.1 DAFS 原理图

### 2.1.2 直接数字频率合成

图 2.2 所示为 DDFS 的原理图<sup>[32-33]</sup>，可以看到该结构包含了两个加法器、一个相位寄存器、正弦查找表（LUT）以及数模转换和滤波器。它工作的过程就是：相位寄存器输出和相位控制字作为一个加法器的两个输入进行相加，加法器的输出再连接到 LUT 地址线。同时相位寄存器的输出和频率控制字（假设是  $M, N$  bit）分别作为另一个加法器的两个输入，加法器的输出结果再存入到相位寄存器，相当于一个累加器。这样通过对 LUT 地址的控制便可以得到正弦波  $0^\circ-360^\circ$  任意的一个点，即实现了地址信号到正弦波一个点幅值的映射。该信号是数字信号，之后经过 DAC 就可以得到它对应的模拟信号。一个正弦波的  $2\pi$  相角被分成每份  $2\pi/2^N$  大小，时钟周期的大小为  $T_r$  时，输出信号的周期  $T_o = T_r * 2^N / M$ ，输出频率  $F_o = M * F_r / 2^N$ 。可以看出，输出信号的频率受  $T_r$  和  $M$  控制， $N$  值则决定了 DDFS 的频率分辨率。

通过上面的分析可以知道，直接数字式频率综合器通过加法、查表等数字信号处理过程就能得到所需要的信号频率，而且是全数字实现，所以是频率合成中很常用的一种技术。

因为它是对正弦波抽样，模数转换的方式得到正弦波，同时查找表由 ROM 存储器构成，容量不能无限大，这意味着地址线数有限，输出到 LUT 的信号会产生截断，引起相位上的误差继而导致杂散分量的出现。

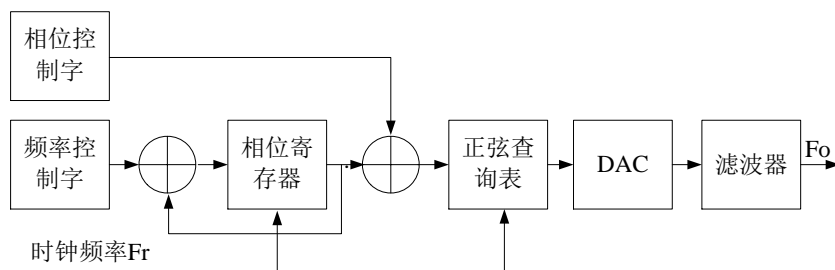


图 2.2 DDFS 原理图

### 2.1.3 PLLFS

图 2.3 所示为 PLLFS 的原理图。PLLFS 技术是在普通 PLL 的基础上，在反馈环路中加入分频器，通过对分频器的分频比进行控制，就可以得到想要的频率输出，是一种间接的频率合成方法<sup>[11-12]</sup>。

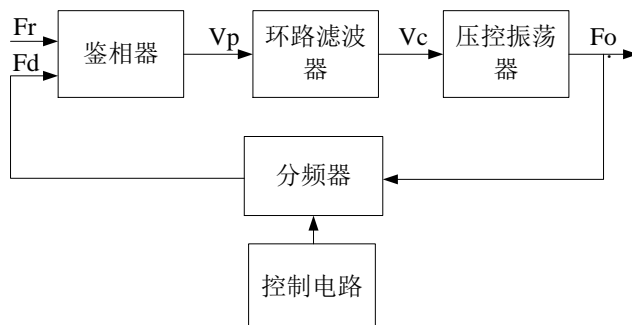


图 2.3 PLLFS 原理图



由图 2.3 可以看到 PLLFS 包含的电路模块有鉴相器 (Phase Detector, PD)、环路滤波器 (Loop Filter, LF)、压控振荡器 (Voltage Controlled Oscillator, VCO)、分频器和数字控制电路。PD 对参考时钟频率和分频后的信号进行鉴相操作, 当两者有相位差时会输出一个电压信号, 电压平均值的大小和相位误差的大小成正比, 该电压信号经过 LF 滤除掉高频成分, 得到与相位误差相关的电压平均值, 记为  $V_e$ ,  $V_e$  再作为 VCO 的电压控制信号对输出频率  $F_o$  进行调节。如此反馈, 直至  $F_d$  和  $F_r$  达到一个规定范围内的相位差, 各电压信号都不再变化锁定正确的频率输出。分频器的分频比发生改变时, 电路会重新进行鉴相操作, 再次达到锁定状态输出另一个稳定的频率。

基于锁相环的频率合成技术是目前频率合成中最常用的一种技术, 它的体积比较小, 容易集成, 并且具有良好的抗干扰能力等优点。

## 2.2 PLLFS 的结构分类

根据不同的分类标准, PLLFS 可以分成几个不同的种类, 例如以使用分频器的不同就可以划分为整数 N 和小数 N 结构<sup>[34-36]</sup>, 根据环路结构的不同还可以分为单环路和多环路频率综合器<sup>[37]</sup>。下面对其中常被用到的整数和小数以及双环路结构的频率综合器的特性进行研究。

### 2.2.1 整数 N 频率综合器

图 2.4 是整数 N 频率综合器的实现结构, 它的结构比较简单, 只需要在反馈回路加入一个整数分频器, 需要得到不同的频率输出时, 便可以按照要求对整数分频器进行设定。分频器一般采用计数器实现, 在计数器计到设定的数值时, 控制输出波形翻转, 也能够采用可编程逻辑器件来实现。因为分频比只能设定为整数, 所以该结构的不足就是频率分辨率的问题。在该结构中要想改变输出的频率大小只能调节分频器的分频数, 而分频数每次改变最小值为 1, 对应的输出频率只能增大或者减小参考频率大小的值, 即频率分辨率为输入参考信号的频率。为了提高电路的频率分辨率就需要降低参考信号的频率, 不过参考时钟频率降低, 会导致环路带宽变窄, 环路带宽变窄, 则会导致系统锁定的时间延长, 因为有些电路对锁定时间是有一定的限制的, 整数 N 频率综合器在这些电路中就不再适用。如果此时要求输出频率还不能发生变化, 减小参考信号频率则需要加大分频器的分频比, 加大分频比导致的后果就是带内的相位噪声变差。因为有些应用中对相位噪声是有比较高要求的, 所以它的运用也会受到限制。尽管存在上面所说的很多缺点, 不过因为它结构简单, 稳定性较好, 在性能不需要太严格的电路中, 整数 N 频率综合器也得到了比较多的运用。

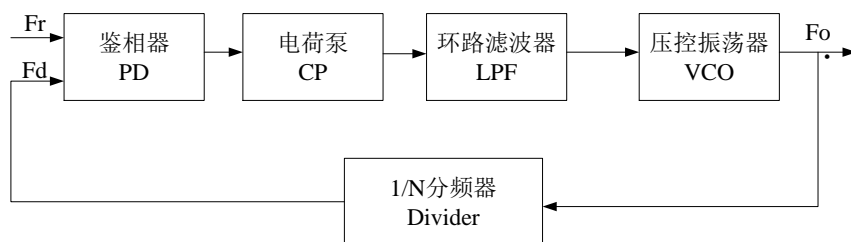


图 2.4 整数 N 频率综合器

### 2.2.2 小数 N 频率综合器

与整数 N 频率综合器的定义相类似，如果反馈回路中分频器的分频比能够设定为小数，那么就构成了小数 N 结构的频率综合器，其结构如图 2.5 所示。分频器部分是一个 DMD 或者 MMD，小数 N 分频实现的具体方式在 3.2 节详细论述。

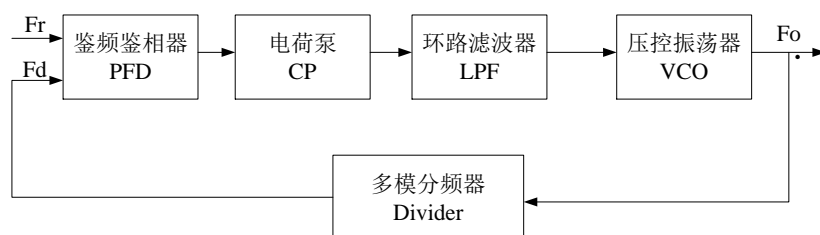


图 2.5 小数 N 频率综合器

小数 N 结构出现比较晚，算是比较新的一种技术，最近才得到了越来越多的研究，它是对整数 N 结构的一种扩展。小数 N 结构的出现正是为了解决整数 N 结构存在的不足，首先它提高了频综的频率分辨率，因为它的分频数不同于传统可以设为小数，那么输出频率就可以是输入参考信号频率的小数倍，它的分辨率不再仅仅取决于参考信号频率大小，还与小数分频数的位数有关。即使把参考时钟频率选择的比较高，如果小数分频数设定合适，输出依然可以取得很高的频率分辨率。因为参考频率可以选择的比较高，那么锁相环电路的环路带宽也能选择的比较高，这样就能达到较快的环路锁定速度，所以该结构能同时满足高的频率分辨率和快的环路锁定速度。如果要求输出频率一定，分频比就能选择的比较低，这样的话，带内噪声就能得到改善。总而言之，之所以发展小数分频结构就是因为它具备很多整数 N 结构没有的优势，所以该结构也是本文的重点研究对象，本文的主要工作就是解决该结构存在的不完美之处。

### 2.2.3 双环路频率综合器

除了上述两种结构，还可以采用双环路结构实现频率合成器，如图 2.6 所示。

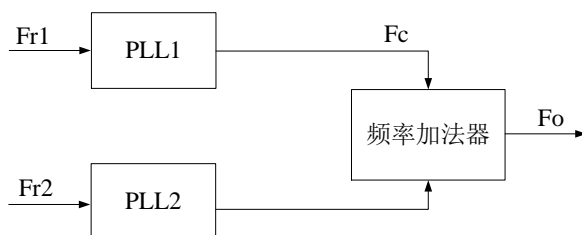


图 2.6 双环路频率综合器

可以看到,双环路结构的频率综合器用到了两个普通 PLL 电路,其中一个 PLL 电路用来产生载波信号,另一个 PLL 电路来产生频率的增量和,通过频率加法器对两个频率进行相加得到最终的频率输出。改变第二个锁相环的频率增量大小便能够提高输出信号的频率分辨率。双环路结构的优势就是较宽的环路带宽所抑制了第一个锁相环 PLL1 输出的临近中心相位噪声,因为它的参考频率远大于信道宽度,第二个锁相环工作频率比较低,所以它的的相位噪声比第一个锁相环也要好。

在双环路结构实现的频率综合器中,频率加法器起到重要的作用,对它的设计就要求比较精确,双环路和多环路结构频率综合器的性能很好,可以取得较快的速度同时还能满足噪声的要求,不过设计比较复杂,在性能要求比较高的电路中常有运用。

### 2.3 PLLFS 的线性化模型

为了能够更好地理解 PLLFS 的工作原理和性能参数,下面分别对带有电荷泵的锁相环频率综合器中的几个模块,包括 PFD、CP、LF、VCO 以及分频器进行分析研究,图 2.7 所示是它总体结构的一个示意图。

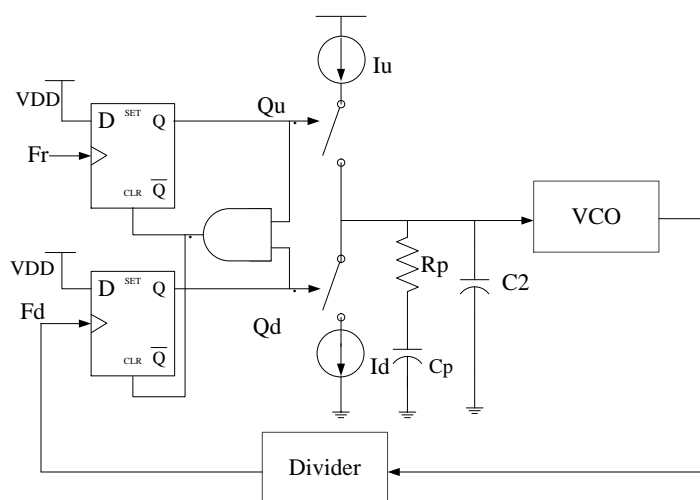


图 2.7 电荷泵型锁相环频率综合器

根据上面所做的分析,可以知道频率综合器要想得到不同的输出频率需要改变反馈回路分频器的分频数,分频比的改变则会对各个环路参数产生影响,整个电路的性能也会随之发生改变,所以本小节对 PLLFS 的整个系统进行分析,提出环路模型,以便更好的了解它的工作原理。

电荷泵型的锁相环电路是非线性的,其中鉴频鉴相器 PFD,压控振荡器 VCO 和分频模块皆是非线性的。电路包括有数字模块如分频器等,也包括模拟模块如 VCO 等,所以在 PLL 电路中信号类型比较多,有数字信号还有模拟信号以及高低频的信号等,分析起来比较复杂。对该系统的分析可采用 Z 域模型,相应的分析方法可以是状态空间分析法<sup>[12]</sup>以及冲击响应不变法<sup>[38]</sup>等,但是理论表明环路的

带宽小于参考时钟频率的  $1/10$  的情况下，S 域模型可以很好地近似 Z 域模型<sup>[39]</sup>。

### 1) PFD

鉴相器 PD 有组合和时序电路两种，本文主要对时序 PD 进行研究。它一般是由数字电路包括 D 触发器和组合逻辑门构成，针对二进制矩形波进行操作。鉴频鉴相器 PFD 是其中比较特殊的一种类型，它不仅可以对相位误差进行鉴别还可以对频率的不同进行鉴别。PFD 的两个输入分别是参考时钟信号和 VCO 的输出再经过分频的信号，两者有相位和频率差别时，PFD 输出两个脉冲信号  $Q_u$  和  $Q_d$ ，控制后面电荷泵的断开和闭合。PFD 电路实现的方式有很多种，图 2.8 中表示的是其中一种方式，由两个带置位和清零端的 D 触发器以及与门构成，右侧波形为它的输入和输出信号，可以看到当输入信号相位滞后于参考信号时， $Q_u$  产生一个脉冲，超前时  $Q_d$  产生一个短脉冲。

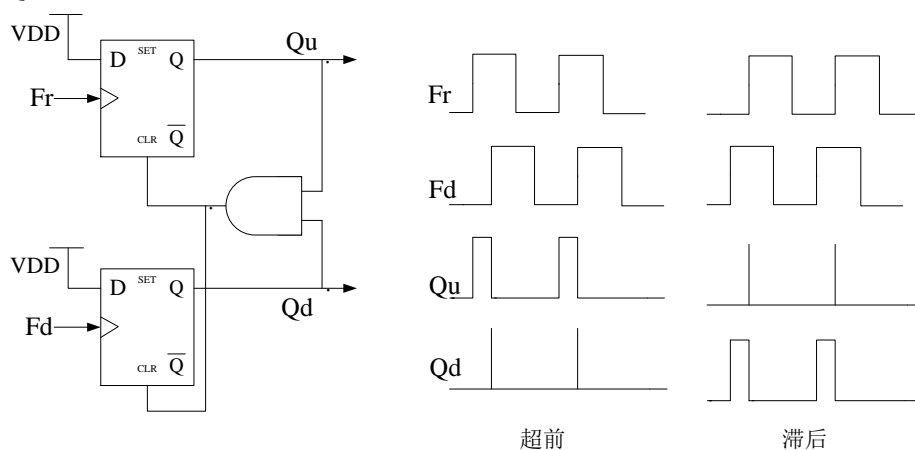


图 2.8 PFD 的一种实现方式

### 2) CP

电荷泵 CP 可以看作是一个跨导电路，因为它起到的作用就是就将 PFD 的输出信号即两个脉冲电压信号转换成电流信号，并且它的电荷输出与输入的相位误差信号成正比，总增益为  $I_{CP}/2\pi$ 。CP 与 PFD 和 LPF 的连接关系如图 2.9 所示。

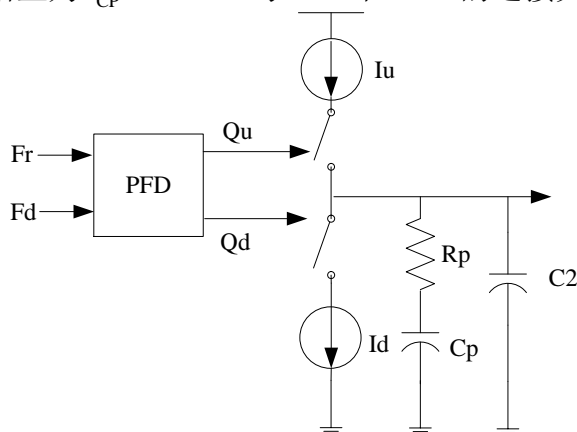


图 2.9 CP 与 PFD、LPF 的连接关系

从图中可以看到电荷泵结构较为简单，包含两个受到开关控制的电流源。开

关的闭合和断开则是由 PFD 的输出脉冲信号  $Q_u$  和  $Q_d$  控制，其后再连接到 LPF 对电容进行充放电，改变输出的电压信号。

3) LF

环路滤波器具有低通特性，包括有源和无源两种。无源滤波器只包含电容和电阻，有源滤波器除了包含电阻和电容以外还有运算放大器。因为有源滤波器包含运算放大器，设计比较复杂，一般情况下，PLL 中使用无源滤波器来实现滤波的作用，其中一种结构如图 2.9 中所示，是一个二阶的 RC 网络，传输函数为  $R_p + 1/C_p S$ 。

4) VCO

VCO 是锁相环路中的关键模块。顾名思义，它的作用就是根据输入电压的大小调节输出信号的频率，VCO 相对于中心频率的偏移与控制电压的大小成线性关系： $\Delta\omega = K_{VCO} v_c$ 。其中  $\Delta\omega$  代表输出频率相对于 VCO 中心频率的偏移。相位域上对 VCO 线性化分析，可以得到它的系统函数，根据相位与频率的关系  $d\phi/dt = K_{VCO} y(t)$ ，可以知道在相位域上，VCO 相当于一个积分器。进行拉式变换得到它的传输函数为  $K_{VCO}/S$ ， $K_{VCO}$  是 VCO 的增益，所以它的相位域等效模型如图 2.10 所示。

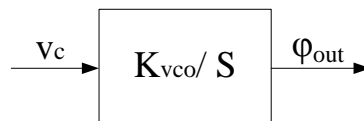


图 2.10 VCO 相位域模型

5) 分频器

分频器是频率综合器的特有模块，它实现的功能就是对 VCO 的输出信号进行分频，所以在相位域上分频器就相当于一个频率的除法器，用于将压控振荡器 VCO 的输出  $\phi_{out}$  除以分频比  $N$ ，得到的输出  $\phi'_{out}$ 。再通过 PFD 与输入参考信号进行相位和频率的比较，分频器的在相位域的等效模型如图 2.11 所示。

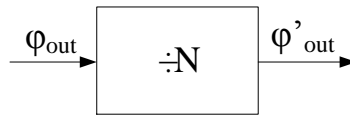


图 2.11 分频器模型

综上所述，推导得到 PLLFS 电路的整体 S 域模型如下图 2.12 所示。

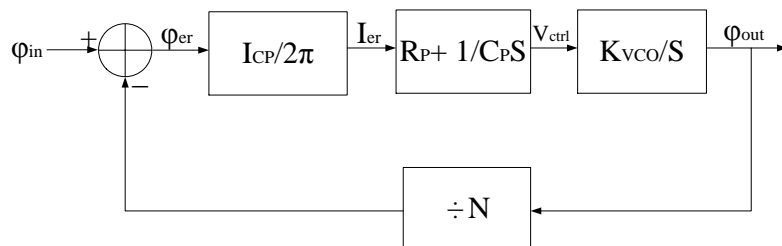


图 2.12 锁相环频率综合器的整体模型

## 2.4 PLLFS 的传输函数及性能指标

在上一小节中推导得到了 PLLFS 系统的 S 域模型，下面对该系统的开环和闭环传输函数进行推导。

开环传输函数由每个单元的传输函数相乘得到，所以基于电荷泵的锁相环系统的开环传输函数是：

$$H_{openloop}(s) = \frac{I_{CP}}{2\pi} \left( R_P + \frac{1}{sC_P} \right) \frac{K_{VCO}}{s} \quad (2-2)$$

根据开环和闭环传输函数之间的关系可以得到闭环传输函数如公式 (2-3) 所示：

$$H_{closeloop}(s) = \frac{H_{openloop}(s)}{1 + H_{openloop}(s)/N} \quad (2-3)$$

环路带宽和相位裕度是 PLLFS 系统设计和优化的时候主要考量的两个标准，环路带宽指的是开环增益的绝对值等于 1 时的频率大小  $\omega_c$ ，它和 PLLFS 的锁定时间息息相关。

$$\left| H_{openloop}(s) \right|_{\omega=\omega_c} = 1 \quad (2-4)$$

相位裕度的定义则如公式 (2-5) 所示，它的大小和 PLLFS 的环路稳定性紧密相关。

$$\phi = 180 + \text{phase}(H_{openloop}(s)) \quad (2-5)$$

一项设计性能的好坏通常需要一定的指标来进行衡量。对 PLLFS 来说，它常用到的这些衡量标准包括频率锁定范围、频率分辨率、锁定建立时间、频率准确度和稳定度、相位噪声和杂散性能六个方面。除了这六个主要的方面，功耗和成本有时候也需要列入考量范围。下面对这几个指标所对应的意义以及改进的方法进行讨论。

首先是相位噪声 (Phase Noise)，频率综合器在理想条件下的输出应该只有预期输出频率  $\omega_0$ ，所以频谱上应该表现为一个冲激函数。但是现实情况下会有各种非理想的因素存在，比如噪声的影响，所以它的输出频谱并不是理想的冲激函数，而是在输出频率周围有边带存在。要衡量这种非理想的因素所产生的影响，所用到的就是相位噪声这一指标。它的定义就是在 VCO 输出信号的频谱中偏离输出频率  $\Delta\omega$  的地方，1Hz 带宽内的单边噪声功率 ( $P_n$ ) 与整个载波功率 ( $P_c$ ) 的比值。通常用对数形式表示，单位为 dBc/Hz，表达式如下所示：

$$L = 10 \log \frac{P_n}{P_c} \quad (2-6)$$

相位噪声表现在时域上就是抖动 (Jitter)。PLLFS 的输出相位噪声可分成两类，一是来自输入参考信号、PFD 以及 CP 的噪声，它们能近似看成白噪声。二是 VCO 带来的带外噪声。

频率综合器的频率输出不可能覆盖从无穷大到无穷小的范围，不同的应用场合对其有不同的输出频率要求，衡量频率综合器覆盖范围大小的指标就是频率锁定范围。例如射频发射机中所用到的频率综合器的锁定范围就需要覆盖到该系统会用到的所有载波的频段。

频率分辨率 (Frequency Resolution) 的大小由通信标准进行规定，指的是输出频率的最小变化步长。

频率锁定时间 (Locking Time) 也称作建立时间，它是指当频率综合器的分频器的分频比大小发生改变，输出频率进行切换时，输出频率再次锁定所要的最小时间，也叫做频率切换时间。对锁定时间的要求根据通信协议的不同而不同。建立时间的大小与 PLL 的结构、参考信号频率大小、CP 电流大小、环路带宽的宽窄、LPF 的结构和参数、分频器的分频比大小以及 VCO 的中心频率和增益大小等有关。比如，环路带宽变宽，锁定时间则减短。因为当环路带宽比较窄的时候，LPF 对高频部分滤除的效果越好，剩下的直流成分变化越慢，导致锁定的时间越长。在整数 N 频率综合器中，因为输入参考信号的频率不能任意选取，跟信道的间隔的大小有关，所以参考信号频率不会很大。而环路带宽只有在远小于输入参考频率时，才能恰当的抑制波纹同时保证锁相环路的稳定性，所以导致带宽较窄进而建立时间较长。小数 N 频率综合器的优点就是不需要再严格限定参考频率的大小，所以可以选用较高的参考频率得到较快的锁定速度。

随着技术的发展，对频率建立时间要求也变得更高。锁相环中很多参数的优化方向是矛盾的，比如优化带宽可能就导致频率分辨率的降低。有一种方法是动态的调整带宽<sup>[40]</sup>，就是当频率相位误差比较大的时候，通过增大带宽来减小锁定建立时间，然后误差变小的时候再减小带宽。

为了衡量实际输出频率和目标频率之间的差别，引入的指标是频率准确度，它定义为实际输出和目标频率之间存在的最大偏差，也称为频率误差。在频率进行切换时，如果输出频率和所要求频率的差值小于频率准确度，则环路可以看作已经锁定。除此之外还有一个与之相关的概念就是频率稳定度，指的是在一定时间段内频率准确度的变化情况，该时间间隔包括长期、短期和瞬间三种，相应的稳定度概念也分为三种。长期频率稳定度指的是较长时间，如几个月或者几年以

上的相对频率变化最大值，短期频率稳定度则是一天内的，它主要与电路参数不稳定、电压不稳定等情况有关，瞬间频率稳定度指的则是极短时间毫秒级以内的，原因则是杂散等干扰的存在。

除了上述五种性能指标之外，杂散（Spur）也是表征频率综合器性能的一项非常重要的指标，它表示的是输出频谱中，特定频率偏移处存在的噪声成分。相位噪声是由系统中的随机噪声引起，杂散则是跟系统中确定性干扰有关。对于整数频率综合器，杂散的产生和电荷泵的充放电电流失配和泄露、电荷泵的开关控制信号延时失配等参考杂散有关，因为电路中存在的这些非理想因素最终会反应在 VCO 的输入控制电压上面，造成 VCO 的输出频谱的改变。杂散能影响频率合成器的精度，在电路中需要把杂散的影响降低到最小，一般采用的能够改善参考杂散的方法有以下几种，提高输入参考信号频率，提高 PFD 的设计减小它的延时和控制开关失配，使环路带宽变窄等。

在小数 N 结构的频率综合器中，因为分频比的不断变化所以还会在输出频谱中引入小数杂散，本文的重点就是讨论改善小数杂散问题的 Sigma-Delta 调制技术，除了该技术以外还可以采取提高电路设计如提高 PFD 线性度，使带宽变窄等方法。

## 2.5 本章小结

本章主要对锁相环频率合成 PLLFS 相关的概念和技术进行了分析，首先讨论了几种频率合成技术的原理，然后重点对 PLLFS 的频率合成的原理、基本实现结构以及环路中每个模块的工作原理进行了研究，推导得到 PLLFS 的线性化模型，给出了它的开环和闭环传输函数。最后给出了常用来衡量频率综合器的六种主要的性能指标以及每项指标相对应的改善方法。在接下来的第三章中，会着重对 PLLFS 中的小数 N 分频结构进行分析，重点是其中 SDM 的设计。



## 第三章 Sigma-Delta 调制器 (SDM)

经过第二章的理论分析, 可以看到小数  $N$  分频频率综合器具有很多整数  $N$  结构没有的优点, 例如突破了环路带宽和频率分辨率的矛盾、在并不影响频率分辨率的基础上能够选择较高频率的输入参考信号、带内相位噪声水平比较低等, 这些优点使得小数  $N$  分频频率综合器得到了更多的重视和研究。不过小数  $N$  结构并不就是完美的, 它很大的一个缺点就是输出频谱存在小数杂散, 使得系统的总体相位噪声特性变差, 小数  $N$  频率综合器中的一个研究重点就是怎样解决这个问题, 本章对其中的一种改善方法—Sigma-Delta 调制技术进行了研究。

### 3.1 分频器

为了能更好地研究 SDM, 首先对分频器的实现结构进行设计。现在常用的分频器结构大概被分成四类, 分别是再生式分频器 (Regenerative Frequency Dividers), 参量分频器 (Parametric Frequency Dividers), 注入锁定式分频器 (Injection-Locked Frequency Dividers) 和基于触发器实现的分频器。前三种属于模拟分频器, 最后一类则属于数字分频器, 本章主要对数字分频器结构进行分析与设计。

数字分频器属于时序电路, 依据工作频率来划分有低频分频器和高频分频器两种。低频分频器一般用于对低频的参考时钟分频, 高频分频器一般则是工作在 VCO 的输出频率范围内。依据触发器的结构来划分, 则有源极耦合型 (Source-Couple-Logic, SCL), 伪差分型 (Pseudo Differential), 真单相时钟型 (True-Single-Phase-Clocked, TSPC) 以及  $C^2$ MOS 型分频器四种, 不同的触发器结构能达到的工作速度不同, 各有优缺点。

数字分频器由计数器实现, 它的工作频率范围比较宽, 并且可以在简单分频的基础上通过多级级联实现复杂分频, 下面对分频器的核心单元—触发器的结构进行分析。

#### 3.1.1 触发器结构

##### 1) 源级耦合结构触发器 (SCL)

SCL 结构触发器的工作频率高, 常用来实现超高速分频器, 它的工作频率范围大, 灵敏度好。SCL 触发器的核心单元是 SCL 锁存器, 通过两个 SCL 锁存器的主从连接构成。图 3.1 所示为 SCL 锁存器的晶体管级结构图, 由七个 MOS 管和两个电阻构成。M1 和 M2 MOS 管的栅极受时钟及其反相信号控制, M3 和 M4 两个 MOS 管的栅极连接数据及其反相信号, 负责对数据进行采样, M5 和 M6 两者交叉耦合实现数据的锁存, M7 MOS 管受偏置电压控制, 形成底部电流源, 负载电阻

R 的存在则将输出电流转变成了输出电压。当时钟 CLK 为高电平时，M1管导通，M2管截止，输出跟随输入端数据值 D 变化。当时钟 CLK 为低电平时，M1管截止 M2管导通，M5和M6构交叉耦合起作用对将数据锁存，输出数据不随输入的变化而变化。SCL 结构的出现是为了解决 CMOS 电路中电压变化时引起的电流峰刺问题，因为它是差分结构，这保证了总的电流是不变的，进而改善了电流变化产生的噪声问题。

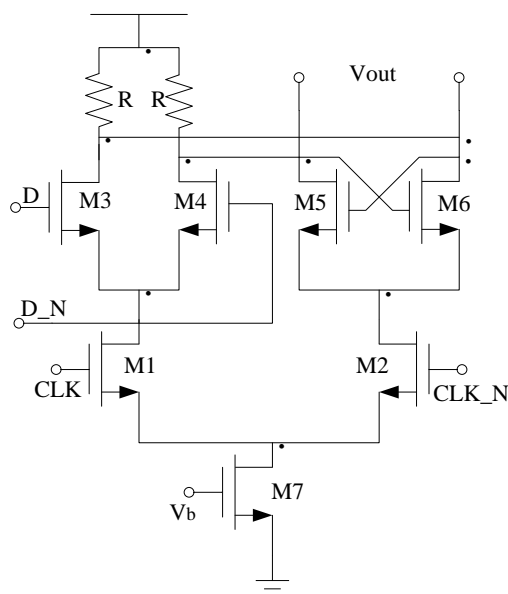


图 3.1 SCL 锁存器

## 2) 伪差分结构触发器

伪差分结构的锁存器如图 3.2 所示，包含六个 MOS 晶体管和两个电阻。它和 SCL 锁存器结构十分类似，唯一不同点就是少了底层电流源，同样通过主从连接方式两个伪差分锁存器构成触发器，该结构的优点是能够在很低的电压下工作。

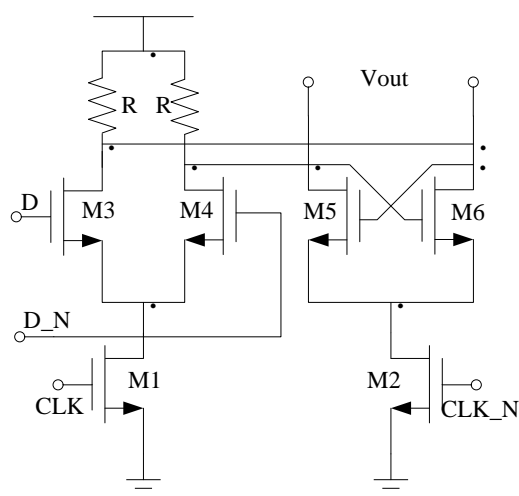


图 3.2 伪差分结构锁存器

## 3) 真单相时钟触发器 (TSPC)

在上面讲述的两种触发器结构中，采用的都是两相时钟，即时钟信号还有它的反相信号。在这种情况下便需要考虑时钟重叠的问题，比如两相时钟布线有差别那么它们并不是完美反相，可能会存在同时为 1 或者同时为 0 的时候，这时就会对电路的正常工作产生影响。所以设计中需要对时钟布线花费较大力气来保证重叠最小。允许时钟偏差的一种方法就是只使用单相时钟的触发器<sup>[41]</sup>。图 3.3 所示为真单相钟控锁存器的结构。

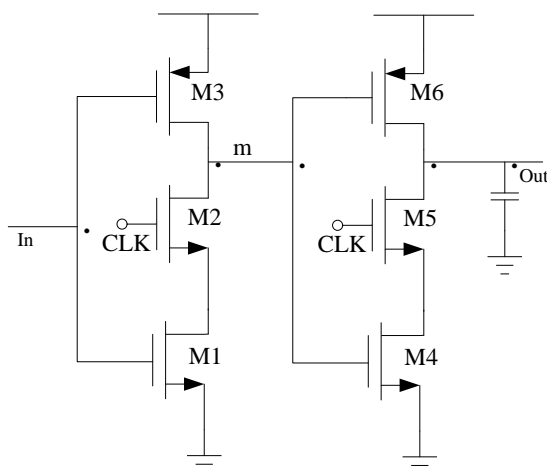


图 3.3 TSPC 结构锁存器

可以看到该结构只用到了单相时钟信号不需要时钟信号的反相。分析它的功能可以发现，当时钟信号 CLK 为高电平时，M2 和 M5 管是导通的，这时锁存器可以看作是两个反相器串联，比如当输入 In 为高电平时，M3 管截止 M1 和 M2 管导通，m 为低电平，所以 M6 导通，M4 截止，输出信号 Out 就为高电平，输出紧跟输入变化。当 CLK 为低电平时，M2 和 M5 管截止，下拉网络断开，数据实现锁存。可以看到它是一个正锁存器即数据在时钟高电平时传递，低电平锁存。正负真单相锁存器级联便可以实现触发器。由上可知，它的优点就是只使用单相位的时钟，缺点是增加了晶体管的数目，现在需要 12 个晶体管。

#### 4) C<sup>2</sup>MOS 逻辑触发器

C<sup>2</sup>MOS 主从正沿触发器的结构如图 3.4 所示，它利用电容来存储电荷，属于动态触发器。它的工作过程分为两个阶段，一是 CLK 为低电平时，M2 和 M3 管导通，主级此时相当于一个反相器，电容 C1 上存储 D 端反相的值。同时从级处于高阻抗模式，维持原值，晶体管 M7 还有 M8 都关断，输出和输入的联系被切断，输出端 Q 维持原值。当 CLK 变成高电平后，情况相反，主级部分 M2 和 M3 断开处于维持状态，C1 存储的值不变，从级锁存器 M7 和 M8 管导通，此时它就相当于一个反相器，存放在 C1 上的值经过从级传送到输出节点。该结构的优点就是在时钟边沿的上升和下降时间很小的情况下，可以不受时钟重叠的影响。

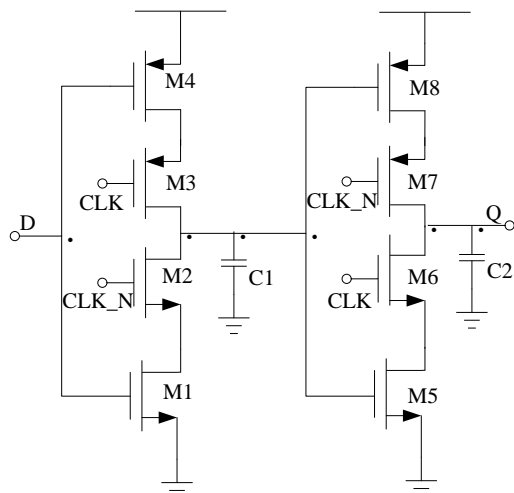


图 3.4 C<sup>2</sup>MOS 结构触发器

之所以对触发器的内部结构进行研究，是因为分频器在一些运用中工作频率很高，普通的半定制的设计方法不能满足要求，对每一种触发器结构的特点有比较深入的了解才能更好的根据工作条件来进行选择，进而设计出高性能的分频器。

### 3.1.2 双模分频器 (DMD)

小数分频的实现是基于分频比的不断变化，DMD 是实现分频比变化的基础，在 DMD 的基础上还可以形成 MMD。DMD 的分频比有 N 和 N+1 两种，通过外部的控制信号来决定当前的分频数。它可以由 D 触发器和组合逻辑构成，如图 3.5 所示。除此之外，还有相位开关技术实现以及注入锁定式双模分频器等方式。

本文着重对第一种基于触发器和组合逻辑门的结构进行了设计和仿真，它是应用最为广泛的一种方式。图 3.5 所示为 2/3 双模分频器的数字电路结构。

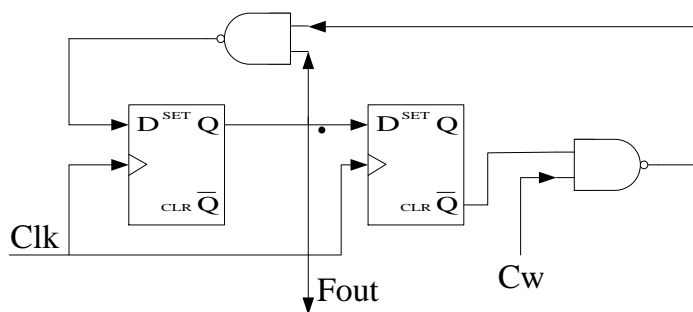
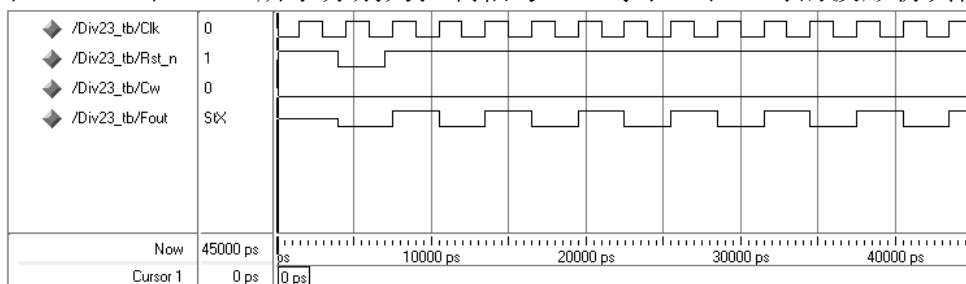
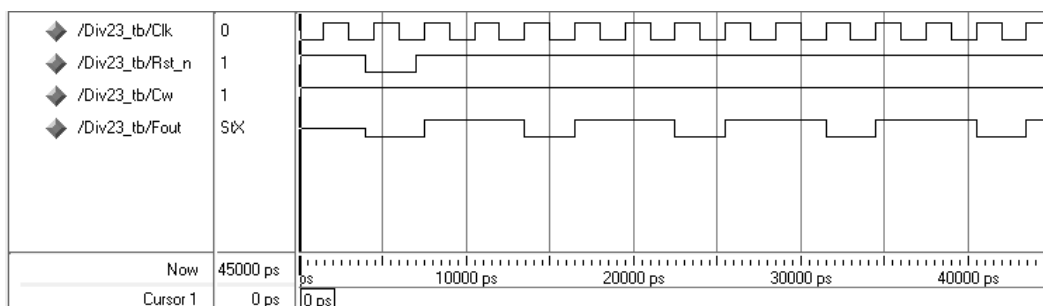


图 3.5 2/3 双模分频器结构

图 3.6 (a) 和 (b) 所示分别为控制信号 Cw 等于 0 和 1 时的波形仿真图。



(a) Cw=0



(b)  $C_w=1$

图 3.6 2/3 双模分频器的仿真结果

从波形仿真图可以看到控制信号  $C_w$  为低电平 0 时,分频器正确实现了二分频,为高电平 1 时,实现了三分频。

图 3.7 所示电路结构实现了分频比为 3 和 4 的双模分频,  $C_w$  是模数选择信号。

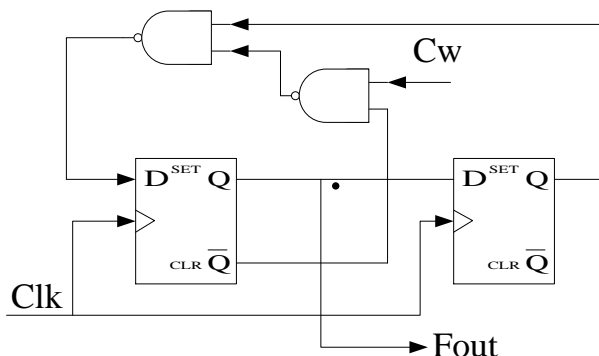
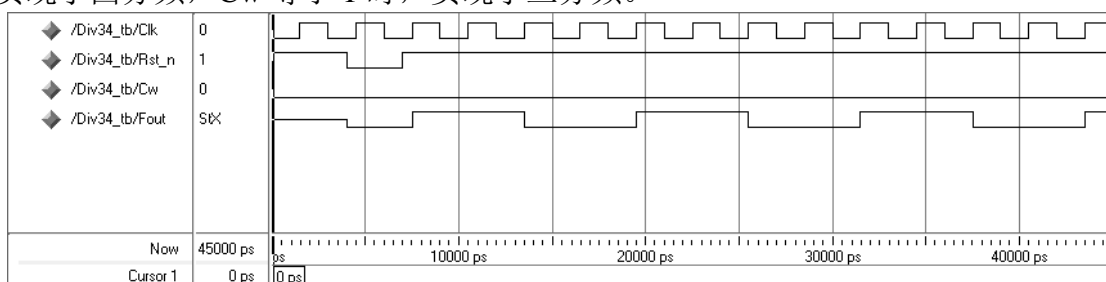
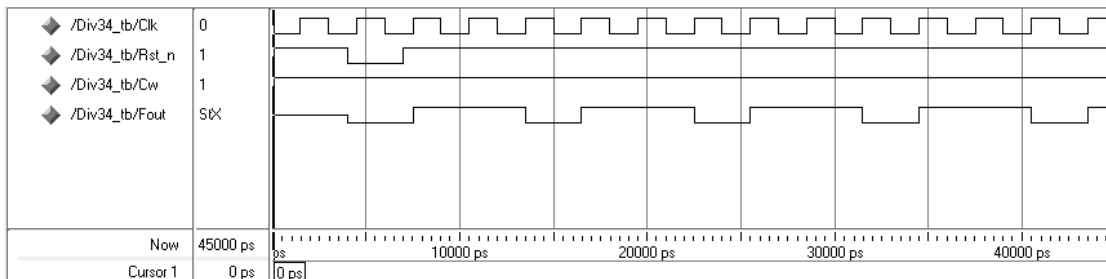


图 3.7 3/4 双模分频器结构

图 3.8 是它的对应波形仿真图,从图中可以看到,  $C_w$  为低电平 0 时,该结构实现了四分频,  $C_w$  等于 1 时,实现了三分频。



(a)  $C_w=0$



(b)  $C_w=1$

图 3.8 3/4 双模分频器的仿真结果

图 3.9 和图 3.10 对应的是 4/5 双模分频器的电路结构和它的仿真波形图。

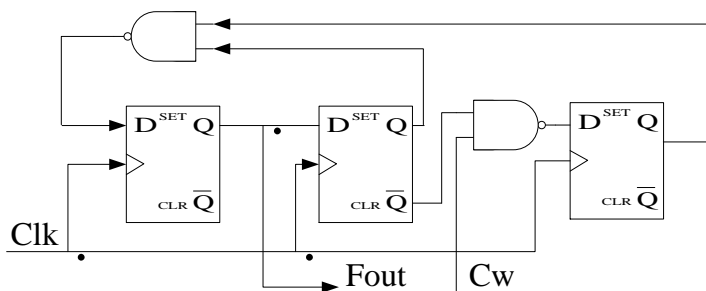
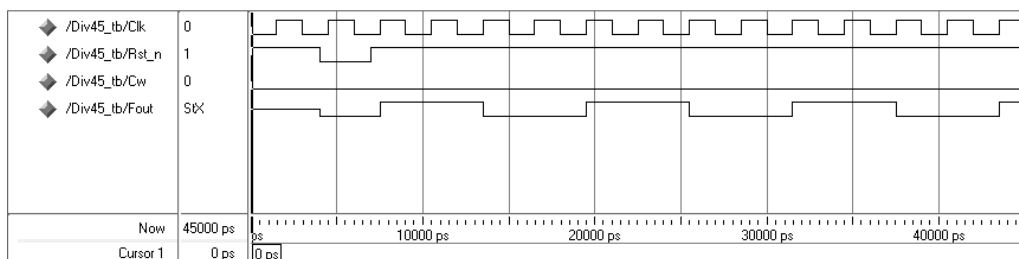
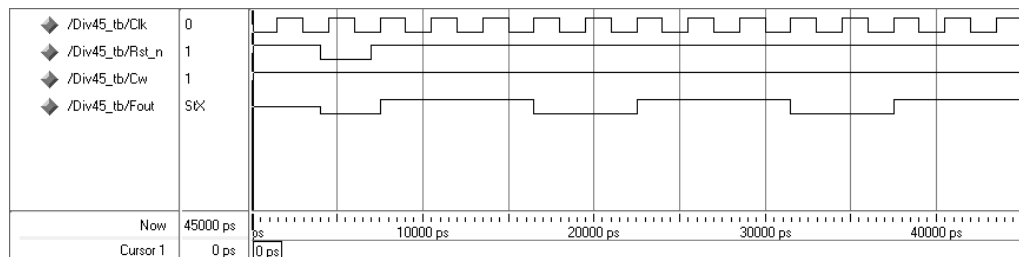


图 3.9 4/5 双模分频器结构



(a)  $Cw=0$



(b)  $Cw=1$

图 3.10 4/5 双模分频器的仿真结果

综上所述，可以看到通过控制 DMD 的模数选择信号，便可以实现两个分频比之间的切换。在实际应用中，上述简单的电路结构不一定能满足功能要求，但是在它的基础上，通过级联异步分频器便能够构成更为复杂的双模分频器。例如把 3/4 双模分频器的输出连接到异步二分频器的时钟输入端，便能够实现 7/8 以及 15/16 等分频值。如图 3.11 所示为 3/4 双模分频器和异步二分频器构成的 7/8 双模分频电路。它的仿真波形如图 3.12 所示。

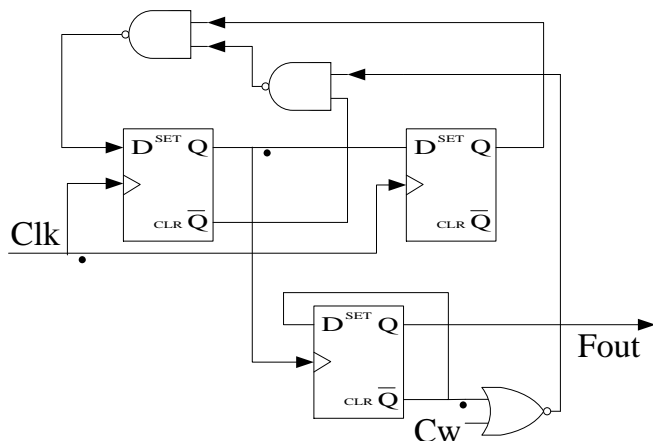


图 3.11 基于 3/4 双模分频器的 7/8 双模分频器结构

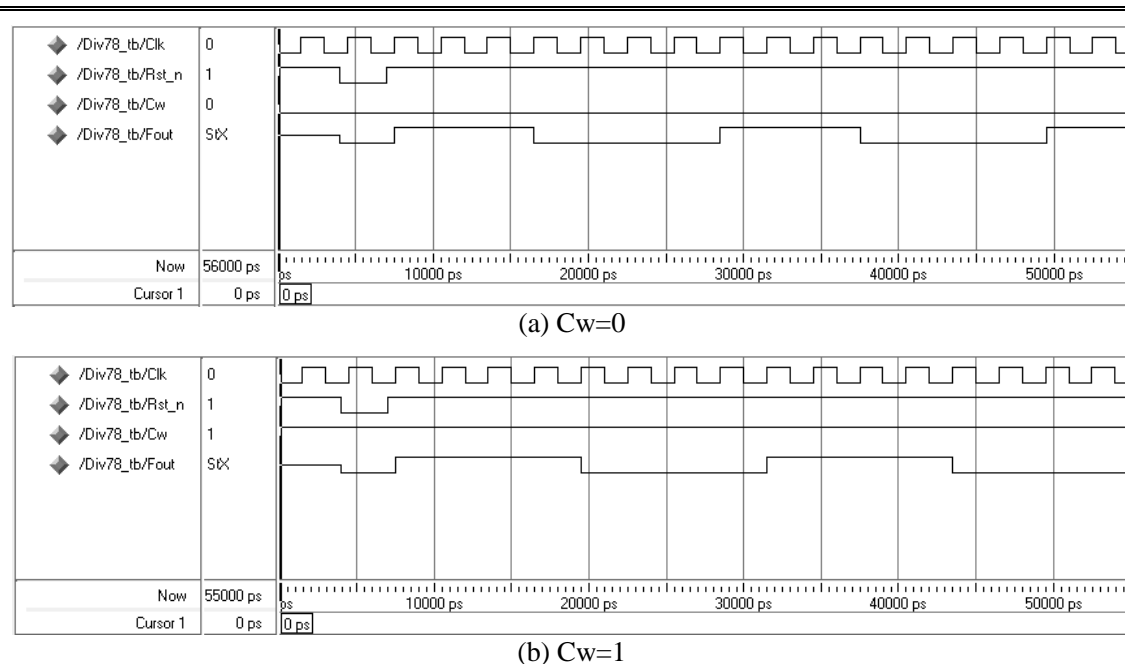


图 3.12 7/8 双模分频器的仿真波形

从仿真结果可以看出该结构正确实现了 7/8 双模分频，当模数选择信号  $C_w$  为 0 时，实现了七分频， $C_w$  为 1 时实现了八分频。

### 3.1.3 多模分频器 (MMD)

MMD 指的是分频数有多个，可以根据外部控制信号实现多种不同的分频比，多模分频的实现方式有多种，目前常用到的有两种，一是由 DMD 和两个计数器实现，如图 3.13 所示，第二种则由 2/3 双模分频器级联构成。

下面首先对图 3.13 所示的第一种实现方式的工作原理进行研究，从图中可以看到该结构先通过一个双模  $N/N+1$  分频器对 VCO 的输出进行预分频，分频之后的输出再分别连接到两个计数器的时钟输入端。两个计数器由模数控制字  $J$  和  $K$  的大小来限定计数的范围，要求吞咽计数器的模数  $J$  小于脉冲计数器模数  $K$ 。吞咽计数器输出 DMD 的模数控制字  $C_w$ ，控制 DMD 进行分频值切换。

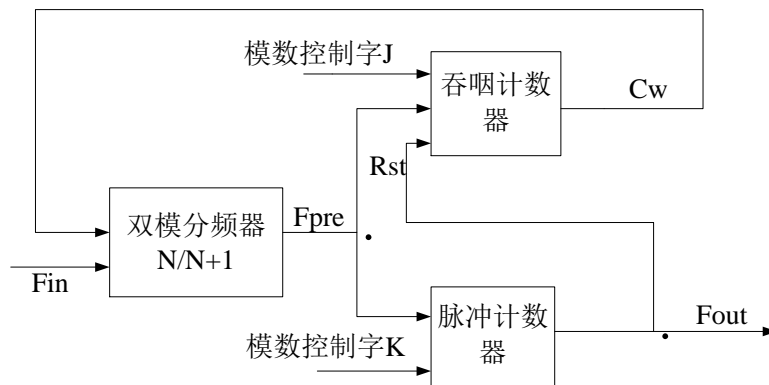


图 3.13 双模分频器和计数器实现的多模分频器

它的具体工作流程如下：

- a) 首先进行初始化，两个计数器载入各自分频模数  $J$  和  $K$ ，设定  $N/N+1$  双模分频器的模数控制字  $Cw$  为低电平  $0$ ，控制双模分频器实现  $N+1$  分频。计数器开始计数。
- b) 计数器采用减法计数方式，每个时钟上升沿到来，两个计数器自减一，因为吞咽计数器的设定模数比脉冲计数器小，所以吞咽计数器首先减为  $0$  值。
- c) 吞咽计数器到达  $0$  值以后，控制模数控制信号  $Cw$  跳变为  $1$ ， $N/N+1$  双模分频器开始进行  $N$  分频，在此期间脉冲计数器一直进行减一计数，直到变为  $0$  值。
- d) 在脉冲计数器减到  $0$  值后，产生一个复位信号  $Rst$ ，模数控制字  $Cw$  再次跳变为低电平  $0$ 。这样便完成了一个周期的工作过程。
- e) 重复上述步骤。

通过上述工作过程可以看到，模数控制自  $Cw$  控制双模预分频器进行  $J$  次  $N+1$  分频， $(K-J)$  次的  $N$  分频，总的分频数就是：

$$J*(N+1)+(K-J)*N = J + K*N \quad (3-1)$$

由此可见，如果想要实现一个特定分频的多模分频器，只需要合理选择  $J$ ,  $K$ ,  $N$  值的大小。

除了上述实现方式，MMD 另一种常用实现结构就是  $2/3$  分频器级联结构，如图 3.14 所示。

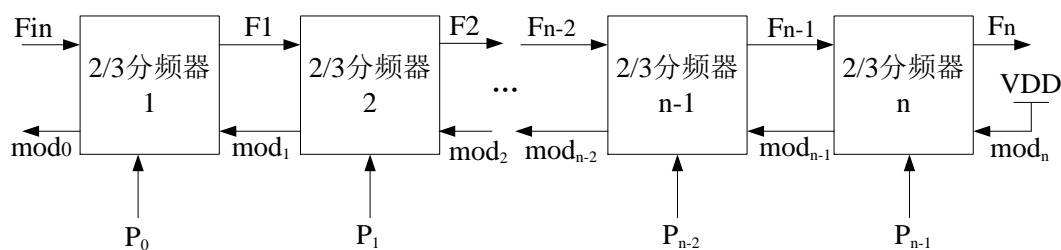


图 3.14 基于  $2/3$  分频器级联的多模分频器

首先对该结构的核心单元  $2/3$  分频器的实现结构和原理进行研究，它的结构如图 3.15 所示。可以看到它由四个正负  $D$  锁存器还有三个逻辑与门构成，除了频率输入  $F_{in}$  输出  $F_o$  和模数控制字  $P$  以外，该结构还增加了模式控制输入端  $mod_{in}$  和输出端  $mod_{out}$ 。电路的分频输出不仅仅和时钟输入有关还和逻辑控制电路的输出有关，逻辑控制电路的输出则与模式控制输入  $mod_{in}$ 、分频电路的输出  $F_o$  以及模数控制字  $P$  有关。上面的两个锁存器和一个与门构成的分频电路依据控制电路的输出来实现分频比为二或者三，例如当其输出为  $1$  时，分频电路就是一个  $D$  触发器的结构，实现二分频。总结该结构的工作模式就是：在模式控制  $mod_{in}$  为高电平即有效而且



P 等于 1 的情况下，分频电路实现三分频，如果  $\text{mod}_{in}$  有效而 P 等于 0，则其实现二分频。输入  $\text{mod}_{in}$  在置成低电平的情况下，控制电路的输出一直为 0， $\text{mod}_{out}$  也一直为 0，电路实现普通的二分频。当前级的模式控制输出信号  $\text{mod}_{out}$  会作为前一级的输入  $\text{mod}_{in}$  信号，它由当前级模式输入  $\text{mod}_{in}$  和分频输出信号相与得到。

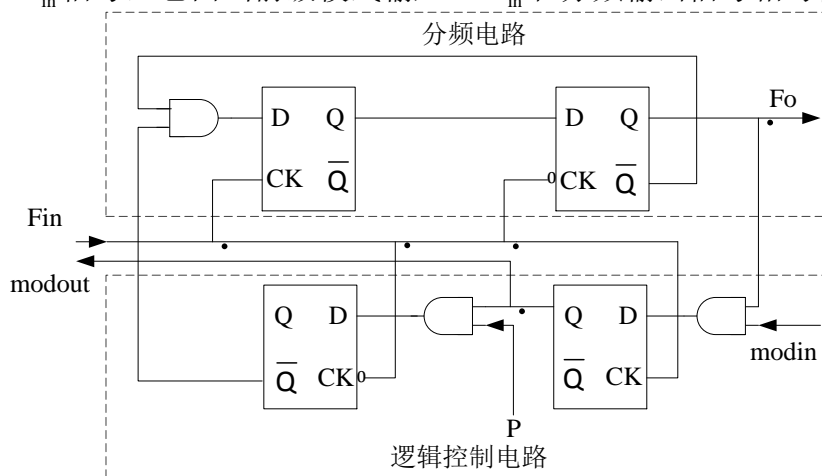


图 3.15 2/3 分频器结构

该结构实现的 MMD 中，首先最后一级的使控制信号  $\text{mod}_n$  一直被置有效，因为前一级的使能控制信号  $\text{mod}_{m-1}$  由当前级的使能控制信号和分频输出信号  $F_m$  产生，m 是介于 1 到 n 的一个数值。基于上述对 2/3 分频器的研究，因此可以得到总的分频比是：

$$\begin{aligned}
 M &= P_0 + 2 \cdot P_1 + 2^2 \cdot P_2 + \dots + 2^{n-2} \cdot P_{n-2} + 2^{n-1} \cdot P_{n-1} + 2^n \\
 &= 2^n + \sum_{k=0}^{n-1} 2^k \cdot P_k
 \end{aligned} \tag{3-2}$$

该结构主要优点就是只有第一级单元的工作频率很高，后面各级 2/3 双模分频器的工作频率会逐级降低，而且是相同的模块级联而成，所以具有很好的可复用性。该结构的不足就是分频范围受限，最小分频值是  $2^n$ ，最大分频值为  $2^{n+1}-1$ 。

### 3.2 小数 N 分频原理

数字分频器不能够像实现整数分频那样实现小数分频，即采用一个分频器结构直接得到所需要的分频值，它仍然是通过整数分频器来实现，不过分频数不再是一个固定的值，而是通过采用双模或者多模分频器，再控制其分频比不断发生变化，使得在一段时间内，分频比的平均值等于所需要实现的小数分频值。比如，电路中需要实现一个 100.1 的小数分频，便可以控制一个 100/101 双模分频器进行 9 次 100 分频，再进行 1 次 101 分频，这样得到的平均分频值就是：

$$N.F = (9 \cdot 100 + 101) / (9 + 1) = 100.1 \tag{3-3}$$

通过合理控制分频比的切换，便可以得到需要的小数分频值。上式中， $N$  代表小数分频值中的整数部分， $F$  代表小数部分。

小数  $N$  分频器一般由 DMD 或者 MMD 来实现，如图 3.16 所示是基于双模  $N/N+1$  分频器的一种实现方式。

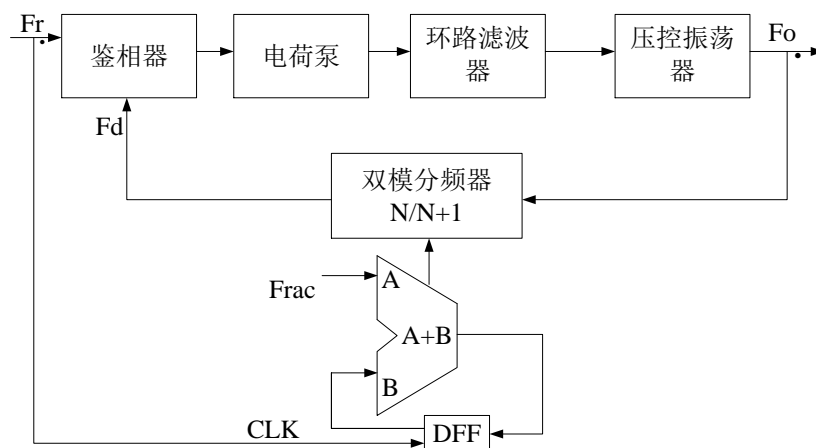


图 3.16 双模分频器实现小数  $N$  分频

它的工作原理就是，累计器的进位溢出信号作为双模分频器的模数控制信号控制其在  $J$  个参考时钟周期内进行  $N+1$  分频，在  $K-J$  个周期内进行  $N$  分频， $N$  分频的时钟周期即是  $K-J$  个，可以得到总的分频数就是  $J(N+1)+(K-J)N$ ，因为参考时钟总的周期数为  $K$ ，所以得到平均分频比就是  $N+J/K$ ，由此也可以看出小数  $N$  分频结构的分辨率可以达到  $F_r/K$  ( $F_r$  为参考时钟频率)，所以也可以推导出它的分辨率比整数  $N$  结构得到了提高，不再只是与输入参考频率有关。

除了上述双模分频器以外，小数  $N$  分频还可以采用多模分频器实现，使用下面 3.3 节所设计的 Sigma-Delta 调制器的输出序列，控制多模分频器的分频比不断变化，同样在平均意义上实现特定的小数分频。

小数  $N$  分频存在很多整数  $N$  结构没有的优点，例如频率分辨率得以提高，整个电路的性能得以改善等，但是该结构并非就是完美的，它的缺点就是分频比需要不断变化进而导致的小数杂散，小数杂散会影响频率综合器电路的整体性能，使得频谱不纯，相位噪声特性变差。因此，为了既能利用小数  $N$  分频的优势又能改善它的不足，在系统条件允许的情况下，可以采用减小 LPF 带宽的方法来降低输出杂散<sup>[42]</sup>。但是减小 LPF 带宽往往会影响系统的稳定性，如果 LPF 的带宽太窄，很可能就造成系统的不稳定，与此同时，频率的转换速度也会变慢，所以改善小数杂散需要依靠额外的补偿方法。

早期的校正方法有模拟相位内插法 (API)，如图 3.17 所示。通过引入一个数模转换器将累加器除了因为溢出以外的部分进行数模转换，输出的模拟信号连接到一个加法器和 PD 的相位误差输出进行相加，进而抵消相位误差产生的影响。模

拟相位内插法的缺点就是需要非常高的精确度，设计较为复杂。

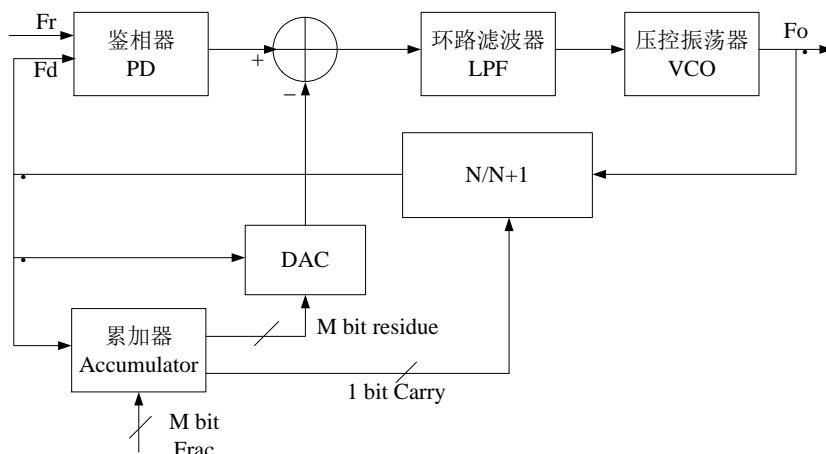


图 3.17 模拟相位内插补偿法

鉴于此，论文引入了 Sigma-Delta 调制器，它能够实现噪声整形功能，抑制小数杂散，是目前最常用最有效，结构最为简单的一种补偿方法。

下面的分析会讲到，一阶 SDM 其实就是一个累加器，累加器的进位溢出信号的实质就是加法器输出信号的 1bit 量化。如果加法器的输出小于 1，则被量化成 0，如果加法器的输出大于或者等于 1 时，则被量化成 1。而量化过程所产生的量化误差正是累加器自身的和项输出，它就是鉴相器归一化的相位误差<sup>[43]</sup>。鉴于此，可以知道累加器量化误差的频谱规律和相位误差的频谱类型是相关的，假如可以改善累加器量化误差的频谱，使其往高频处搬移，如此一来，产生小数杂散的高频分量经过 LPF 后就能被滤除掉，从而提高了频率综合器的频谱纯度，这便是 Sigma-Delta 调制技术的思想。把噪声往高频处搬移的技术便是噪声整形技术，搬移效果越好，输出频谱的纯度就会越高。

### 3.3 Sigma-Delta 调制器

#### 3.3.1 Sigma-Delta 调制技术

Sigma-Delta 调制技术最初的运用是在模数转换领域，引入该技术是为了降低信噪比对过采样率的依赖性，因为它具有良好的噪声成型功能，使得其应用越来越广泛，在小数分频器中的应用是一个典型的例子，下面首先对过采样和噪声整形技术的噪声改善功能进行理论分析。

现在很多技术的发展趋势都是数字化，因为数字化处理有很多优点，比如易于存储等，但是实际情况中很多信号都是模拟的，在对它完成数字处理前就需要先进行模数转换。模数转化的过程涉及到采样、量化和编码，这不可避免的就会引入量化误差，量化过程需要根据量化单位（表示为  $\Delta$ ）的大小对每个模拟信号的采样值进行分级，每一级的大小只能是量化单位的整数倍，而模拟信号一定存

在不能被  $\Delta$  整除的，所以产生了量化误差，并且该误差大小处于  $\pm 0.5\Delta$  之间（ $\Delta$  还有一种表示方法为  $V_{LSB}$ ），如图3.18所示。量化的结果再经过编码，变成不同阶数的数字编码。

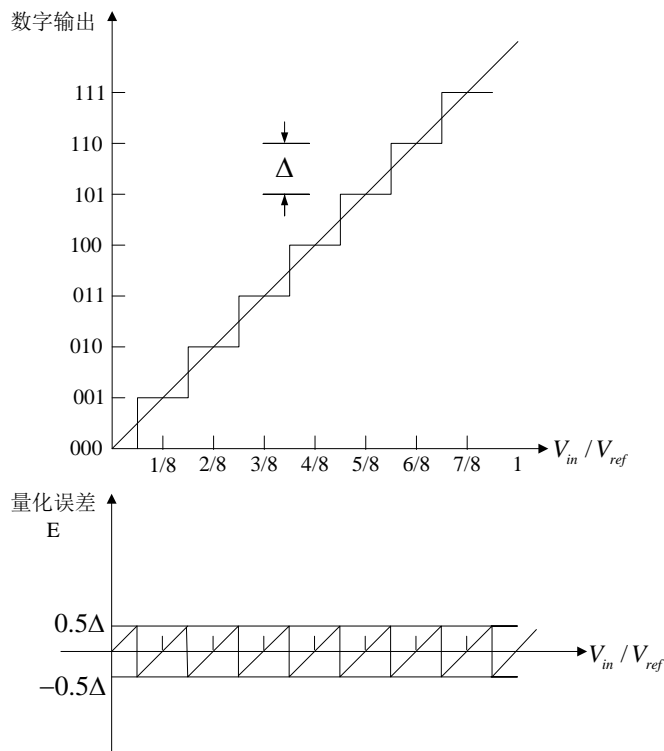


图 3.18 量化误差范围

图3.19所示分别为量化噪声的概率谱密度和功率谱密度， $f_s$  表示采样频率。

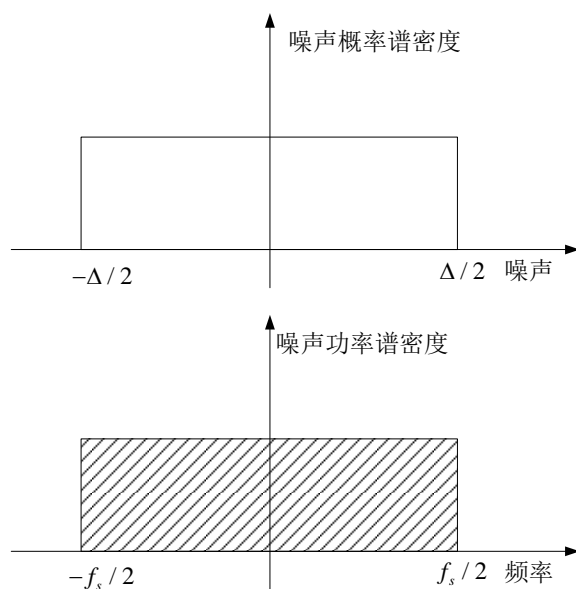


图 3.19 量化噪声的概率谱和功率谱密度

得到量化噪声的总功率为：

$$P_{noise} = \int_{-\infty}^{+\infty} x^2 \rho(x) dx = \frac{1}{V_{LSB}} \int_{-\frac{1}{2}V_{LSB}}^{\frac{1}{2}V_{LSB}} x^2 dx = \frac{V_{LSB}^2}{12} \quad (3-4)$$

其中,  $\rho(x)$  代表概率密度函数,  $x$  代表量化误差。

过采样技术就是在普通的采样定律基础上, 提高采样频率  $f_s$ , 使其远高于奈氏频率  $f_N = 2f_b$  的大小, 这样论文得到图3.20所示的两者功率谱对比图。可以看出使用过采样技术后噪声总功率虽然不变但是分布在信号频带中的噪声明显减少, 信噪比得以提高。

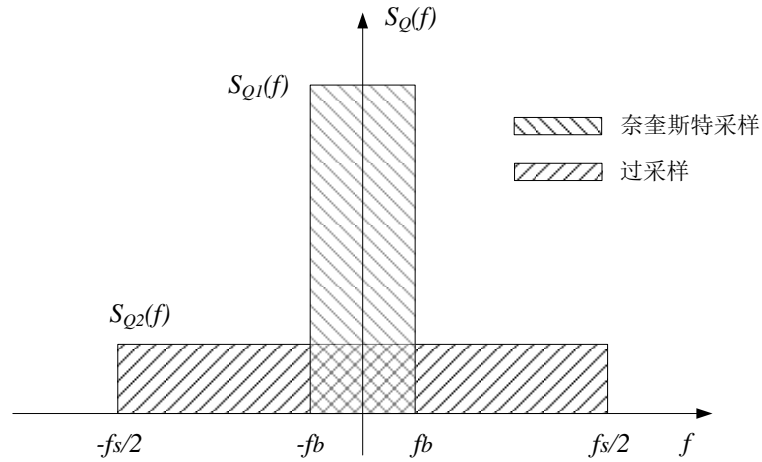


图 3.20 量化噪声功率谱密度对比图

定义过采样率OSR (Oversampling Rate) 为:

$$OSR = \frac{f_s}{f_N} = \frac{f_s}{2f_b} \quad (3-5)$$

因为总的量化噪声功率不变, 得到:

$$\int_{-f_s/2}^{f_s/2} S_{Q2}^2(f) df = S_{Q2}^2(f) \cdot f_s = \int_{-f_b/2}^{f_b/2} S_{Q1}^2(f) df = \frac{V_{LSB}^2}{12} \quad (3-6)$$

得到:

$$S_{Q2}^2(f) = \frac{V_{LSB}^2}{12f_s} \quad (3-7)$$

所以分布在信号频带中的量化噪声功率大小为:

$$P_Q = \int_{-f_b}^{f_b} S_{Q2}^2(f) df = \frac{V_{LSB}^2}{12} \cdot \frac{2f_b}{f_s} = \frac{V_{LSB}^2}{12OSR} \quad (3-8)$$

由公式 (3-8) 可以看到, 选择的过采样率越高, 信号频带中的噪声功率越小, 所以证明了该技术可以明显降低量化噪声。

噪声整形的原理就是运用反馈把位于信号带宽内的噪声不断的压缩，目的就是把它被推到信号频带以外，因为信号频带外的噪声便能够通过环路中的低通滤波器滤除掉。首先对电路构造一个噪声传递函数NTF，使量化噪声通过电路的处理之后，其频谱形状发生改变，即实现了噪声整形。假设电路的输入信号是  $x(n)$ ，输出信号是  $y(n)$ ，量化噪声是  $e(n)$ ，整形电路的输入输出在Z域的关系式构建为：

$$Y(z) = STF \cdot X(z) + NTF \cdot E(z) \quad (3-9)$$

上式中  $X(z)$ ， $Y(z)$ ， $E(z)$  分别是  $x(n)$ ， $y(n)$  和  $e(n)$  的 Z 域变换结果，STF 和 NTF 分别代表信号和噪声的传递函数。

$$NTF = (1 - Z^{-1})^n \quad (3-10)$$

其中， $n$  是调制的阶数，经过整形后的被采样信号的频带内噪声变为：

$$NTF(z)|_{z=e^{j\omega T_s}} = NTF(e^{j\omega T_s}) = (1 - e^{j\omega T_s})^n = (1 - e^{-j\omega 2\pi f / f_s})^n \quad (3-11)$$

$$P_Q = \int_{-f_b}^{f_b} \frac{V_{LSB}^2}{12 f_s} |NTF(e^{j\omega T_s})|^2 df \approx \frac{V_{LSB}^2}{12} \cdot \frac{\pi^{2n}}{(2n+1)OSR^{(2n+1)}} \quad (3-12)$$

从公式 3.12 可知，带内噪声大小和过采样率以及调制的阶数  $n$  有关，调制阶数  $n$  越高，噪声整形效果便越好，带内噪声会越小。噪声整形之后的带内噪声如图 3.21 所示。

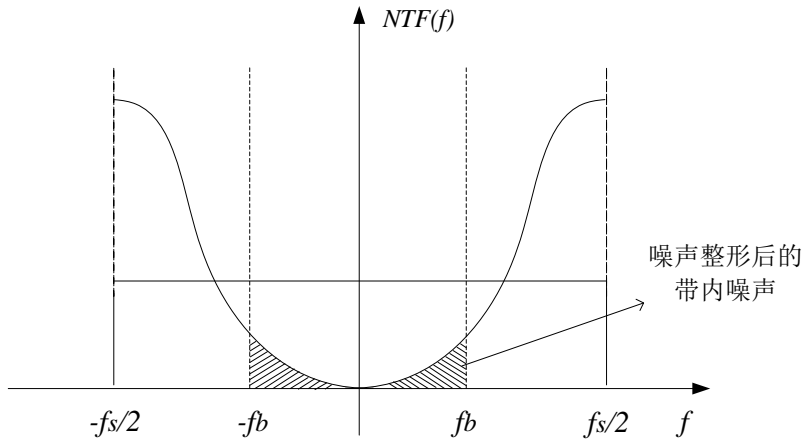


图 3.21 噪声整形

综上所述，可以看出，噪声整形并没有改变噪声总功率的大小，只是将噪声功率谱往高频处搬移。

### 3.3.2 Sigma-Delta 调制器的结构和特性

调制器的结构有单阶和高阶两种，其中高阶结构中包含单环高阶和 MASH 结构的高阶，它们是通过单阶 Sigma-Delta 调制器的串联或者级联方式构成。首先论

文对 Sigma-Delta 调制器的基本结构单元——一阶调制器进行分析。

1) 一阶 Sigma-Delta 调制器

如图 3.22 所示为一阶 SDM 的结构框图，可以看到它由一个 Delta 调制器，一个积分器以及一个量化器组成<sup>[44]</sup>。因为积分器可以类比为求和，在数学中用  $\Sigma$  符号表示，所以该种结构的调制器便被称作 Sigma-Delta 调制器。下图 3.23 是它的 Z 域的结构框图。

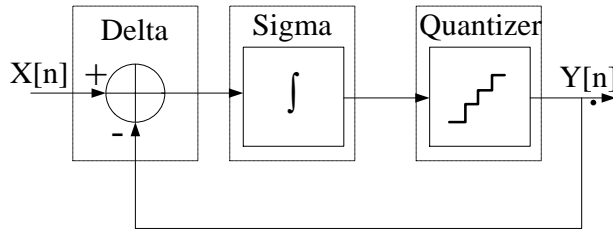


图 3.22 一阶 SDM 结构

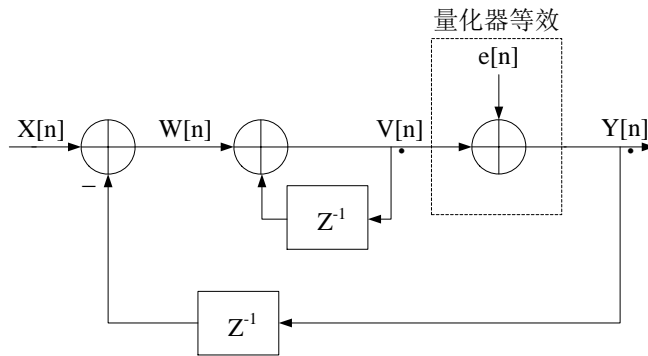


图 3.23 一阶 SDM 的 Z 域模型

根据上图，可以得到：

$$W[z] = X[z] - Y[z]z^{-1} \quad (3-13)$$

$$V[z] = W[z] + V[z]z^{-1} \quad (3-14)$$

$$Y[z] = e[z] + V[z] \quad (3-15)$$

根据公式 (3-13) (3-14) 和 (3-15) 可以得到：

$$H[z] = \frac{1}{1 - z^{-1}} \quad (3-16)$$

$$Y[z] = X[z] + (1 - z^{-1})E[z] \quad (3-17)$$

$$STF = \frac{Y[z]}{X[z]} = \frac{H[z]}{1 + z^{-1}H[z]} = 1 \quad (3-18)$$

$$NTF = \frac{Y[z]}{E[z]} = \frac{1}{1 + z^{-1}H[z]} = 1 - z^{-1} \quad (3-19)$$

根据 STF 的表达式可以看到，该系统对信号只起到了一个传输的作用，NTF 则表明系统对噪声起到了高通滤波的作用。

将公式 (3-13) 带入公式 (3-14) 可以得到：

$$V[z] = X[z] + (V[z] - Y[z])z^{-1} \quad (3-20)$$

所以可以得到图 3.24 与图 3.23 等效。

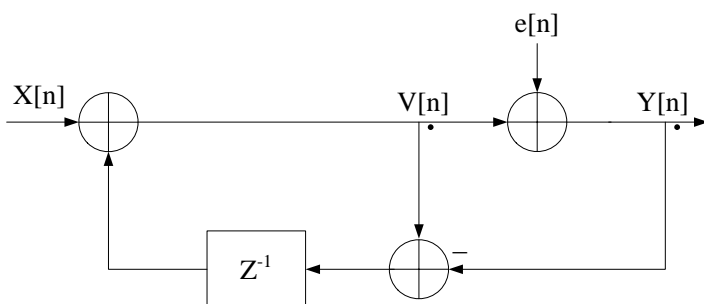


图 3.24 一阶 SDM 的另一种 Z 域模型

其实图 3.24 所示的一阶 Sigma-Delta 调制的 Z 域模型，也正是累加器的 Z 域等效模型，为了看出它们之间存在的关系，下面对累加器的等效模型进行详细分析。

图 3.25 所示为数字累加器的等效模型，它其实就相当于一个数字积分器。

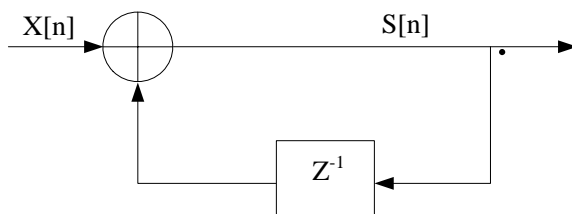


图 3.25 数字累加器模型

累加器的整个运算过程包括和的累加、进位溢出等，在建立模型时，模型应该能完全体现这些运算过程。当累加器不断累加，直到它达到最大范围产生进位溢出时，进位需要从和里面减掉，能体现该工作过程的模型如图 3.26 所示。其中 X[n] 表示累加器输入信号，S[n] 表示累加器的和项，C[n] 表示累加器的进位项。

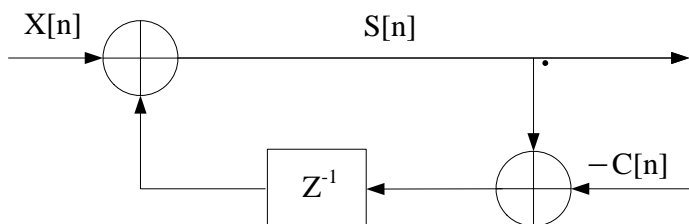


图 3.26 带进位数字累加器模型

由于在累加器中，进位溢出信号是作为累加器的输出，论文得到累加器的另



一个等效模型，如图 3.27 所示。它的进位输出相当于是对  $S[n]$  的一位量化，这将产生一个量化误差，用  $e[n]$  表示。

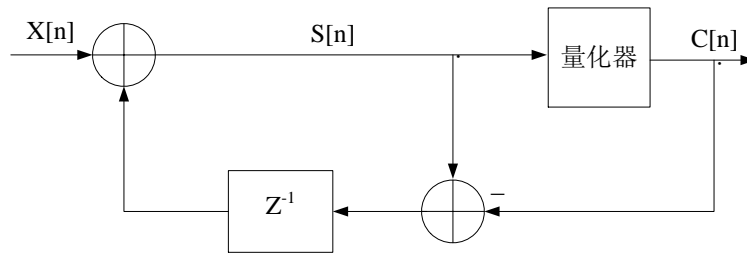


图 3.27 带量化器的累加器模型

对于图 3.27 中的量化器又可以等效成一个加法器，相加的两项是和  $S[n]$  和误差信号  $e[n]$ ，因为当输入信号不断变化时，可以把量化误差与输入信号看作是相互独立的<sup>[17]</sup>。 $e[n]$  和  $X[n]$  分别看作系统的两个输入信号，它的结构如图 3.28 所示。

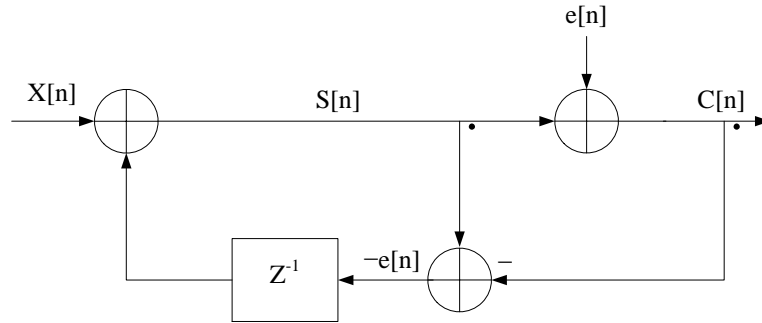


图 3.28 引入量化噪声的累加器模型

为了直观的描述累加器的工作过程，本文进行举例说明，假设累加器的输入信号  $X[n]$  为 0.375。

表 3.1 累加器工作过程举例

$X[n]$	$S[n]$	$C[n]$	$e[n]$
0.375	0.375	0	-0.375
0.375	0.75	0	-0.75
0.375	1.125	1	-0.125
0.375	0.5	0	-0.5
0.375	0.875	0	-0.875
0.375	1.25	1	-0.25
0.375	0.625	0	-0.626
0.375	1	1	0
0.375	0.375	0	-0.375

从上表可以看出，当输入为 0.375 时，在 8 个周期内有三次进位溢出信号， $3/8=0.375$ ，正好就是小数累加器的输入。

根据以上对于累加器的等效模型分析，可以看到它其实就相当于一阶的 Sigma-Delta 调制器，所以为了导出一阶 Sigma-Delta 调制器的传递函数，下面本文首先对累加器进行传递函数的推导。根据图 3.28 所示，可以得到：

$$C[n] = S[n] + e[n] \quad (3-21)$$

$$S[n] = X[n] - e[n] * z^{-1} \quad (3-22)$$

两式相加消去  $S[n]$  得到：

$$C[n] = X[n] + e[n] * (1 - z^{-1}) \quad (3-23)$$

公式 (3-23) 表示的就是一阶 Sigma-Delta 调制器的传输函数，从公式中可以看到，该结构具有高通特性，进位输出  $C[n]$  等于输入信号  $X[n]$  加上经过噪声整形后的量化误差，输出位宽为 1 位。

基于对一阶 Sigma-Delta 调制等效模型的分析，下面对它的信号流和数字电路实现结构进行描述，这样对其能有更进一步的认识。如图 3.29 所示，为一阶调制器的信号流图， $m$  位信号输入  $X[n]$  存到一个  $m$  位的加法器中，输出为  $m+1$  位的  $S[n]$ ，进位输出是  $S[n]$  的最高有效位 MSB (Most Significant Bit)，剩下的  $m$  位是不带进位的和项，正好是量化误差的负值，保留在  $m$  位寄存器中，经过一定延时反馈回累加器与外部输入的常数值进行相加。

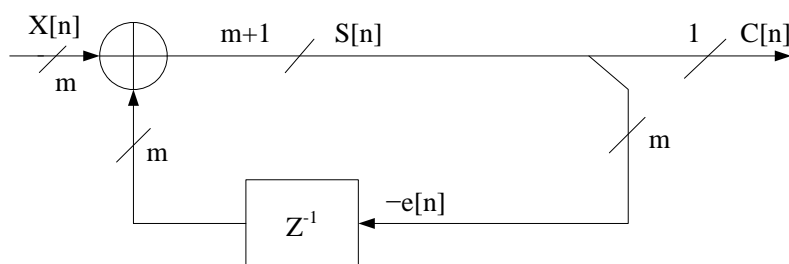


图 3.29 一阶 SDM 的信号流

图 3.30 所示结构是一阶 Sigma-Delta 调制器的数字电路实现结构，D 触发器用来实现一个参考时钟周期的延时，在下一章将以该结构为基础将 Sigma-Delta 调制器进行全数字实现。

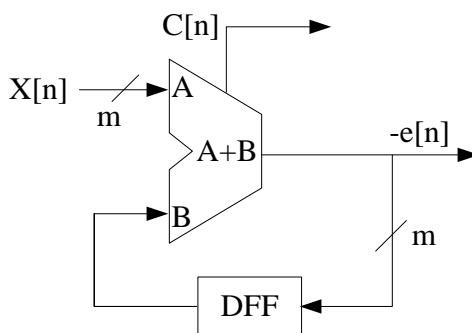


图 3.30 一阶 SDM 的数字电路实现

如图 3.31 所示是由累加器控制双模分频器构成的小数 N 频率综合器结构，累加器产生进位输出，然后连接到双模分频器的模数控制位上，进位溢出位是 1 时，控制双模分频器实现 N+1 分频，反之实现 N 分频，触发器的输入时钟是系统参考时钟。根据上述分析，可以知道图中所用到的累加器就相当于一个一阶 Sigma-Delta 调制器。

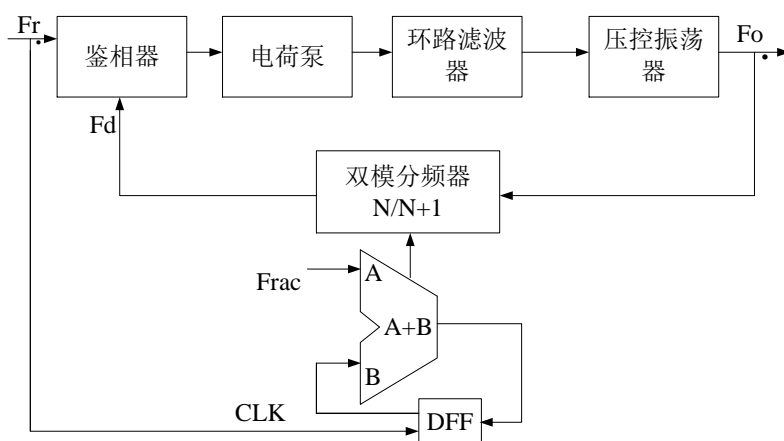


图 3.31 基于一阶 SDM 的频率综合器

为了分析该结构的特点，首先把  $0.F$  表示成分数形式，例如  $0.F=K/M$ ，得到 VCO 的输出频率和输入参考信号频率的关系为：

$$F_o = F_r * N.F = F_r * (N + K / M) \quad (3-24)$$

假设累加器是 k 位的，且外部输入值为 K，那么根据其工作原理，可以推算出  $2^k$  个时钟周期内，有进位溢出的次数为 K，累加器的输出信号就可以看成  $K/2^k$ ， $2^k=M$ ，所以可以看到累加产生进位信号的周期性比较强，这种情况下，噪声整形的作用不明显，电路仍然存在小数毛刺。为了改善上述一阶 Sigma-Delta 调制器存在的周期性，引入了新的方法，一个就是模拟补偿方法如 3.2 节所述，通过引入一个数模转换器将累加器除了因为溢出以外的部分进行数模转换，输出的模拟信号连接到一个加法器和 PD 的相位误差输出进行相加，进而抵消相位误差产生的影响。不过利用这种模拟补偿法对数模转换器的设计要求很高。

除上述模拟补偿之外，还有三种常用方法，一是采用高阶的 Sigma-Delta 调制器代替一阶的调制器，因为理论研究已经表明，调制器阶数越高的情况下，噪声调制效果越好。直观上面看，主要是高阶结构能够使分频器的分频比变化更加的随机，随机性越高则相位噪声的抑制效果越好。二是多位量化的方法，它的原理就是使调制器的输出变成多位，在它控制下多模分频器的分频比也能够更加随机化。三是在加随机抖动的方法，Sigma-Delta 调制器的输出之所以有周期性是因为它的输入为常数，在输入端加入随机抖动则破坏了它的常数输入，进而使得输出更加随机。在以上讨论的三种数字补偿方法中，第一种也就是使用高阶结构的方法最为常用。

## 2) 高阶 Sigma-Delta 调制器

根据上一小节的描述，可以知道，一阶的 Sigma-Delta 调制器虽然也能实现量化噪声的整形，但是它的性能远不如高阶结构好，不过以其作为基本构成单元，可以构成高阶的 Sigma-Delta 调制器。

图 3.32 所示为 MASH 结构的高阶 Sigma-Delta 调制器，在该结构中，当前级的量化误差作为输入连接到下一级，每一级的进位输出经过延时和相加最后得到输出序列。

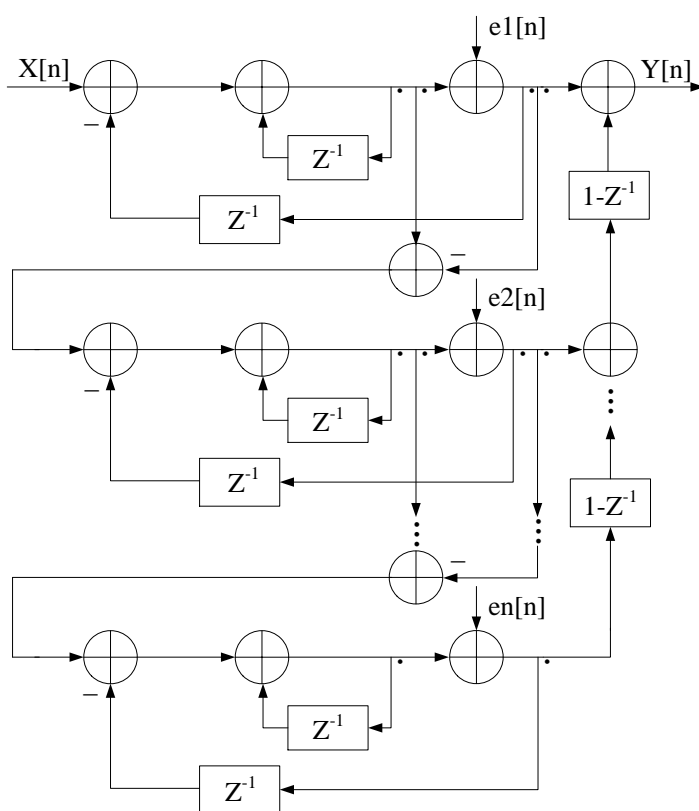


图 3.32 高阶 MASH 结构的 SDM

如图 3.33 所示是一阶调制器串联形成的单环串联高阶结构，不过该结构去掉

了前几级反馈回路中的延时，只有最后一级存在一个反馈延时。

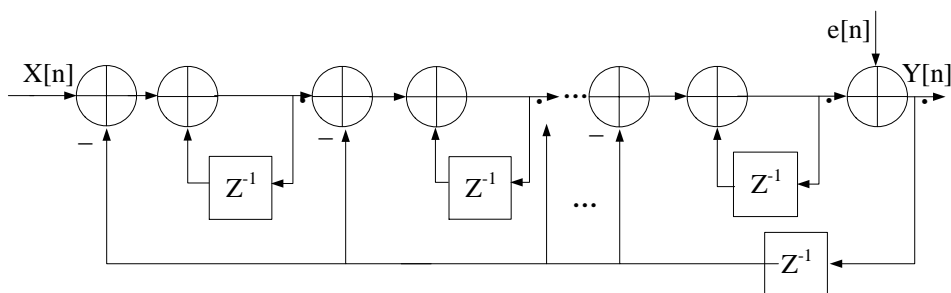


图 3.33 单环高阶 SDM 结构

单环串联和 MASH 级联两种结构相比，前者比后者的噪声整形效果好，输出可以是一位或者多位，不过不如后者的稳定性好，如果与单级高阶噪声整形电路阶数相同，多级噪声整形结构具有无条件稳定的好处，它还可以采用流水线实现高速度低功耗的操作，不过它只能是多位的输出，位数和调制器的级数相同。

MASH 结构是 Sigma-Delta 调制器最常使用的一种结构，它能解决一阶结构由于输出的周期性导致的小数毛刺问题，使调制器的输出更加无序，并且噪声整形性能更好。前面理论已经证明 Sigma-Delta 调制器阶数的越高，相位噪声的抑制效果越好，似乎可以通过不断加大调制器阶数来改善噪声性能，但是事实并非如此，因为阶数提高意味着量化噪声总功率增大，对电路的整体设计便会产生影响。基于此，本文设计的是一个 MASH1-1-1 结构的 Sigma-Delta 调制器，它由三个一阶调制器级联形成，因为该 Sigma-Delta 调制器是全数字实现，误差抵消效果是非常完美的。如图 3.34 所示，是本文设计的一种 MASH1-1-1 调制器的结构，其中量化器可以由量化误差输入和加法器代替。

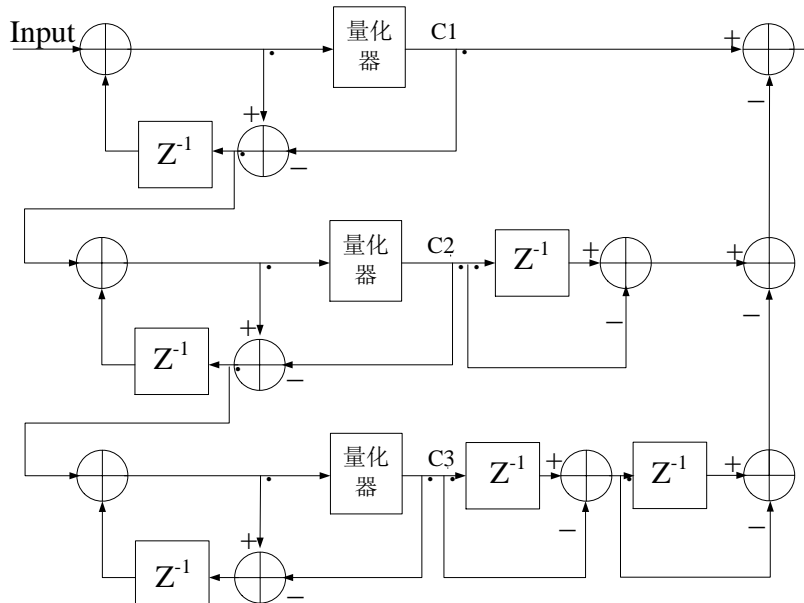


图 3.34 MASH1-1-1 结构的 SDM

下面将对本文设计的 MASH 结构高阶 Sigma-Delta 调制器进行详细说明，针对该结构的噪声整形特性来说，首先根据 Z 变换的知识可知， $z^{-1}$  描述的是单位时间延时， $X[n]*z^{-1}=X[n-1]$ 。 $1-z^{-1}$  表示的是微分， $X[n]*(1-z^{-1})=X[n]-X[n-1]$ 。

根据图 3.34 所示的调制器结构，假设其输出用  $Y[n]$  表示，可以得到：

$$\begin{aligned} Y[n] &= C1 - (C2(z^{-1} - 1) - C3(z^{-1} - 1)(z^{-1} - 1)) \\ &= C1 + C2(1 - z^{-1}) + C3(1 - z^{-1})^2 \end{aligned} \quad (3-25)$$

对于公式 (3-25) 进行展开，可以得到：

$$Y[n] = C1 + C2*(1 - z^{-1}) + C3*(1 - 2z^{-1} + z^{-2}) \quad (3-26)$$

式中  $C*z^{-n}$  代表延时  $n$  个时间单位的进位输出。

把进位  $C1$ ,  $C2$ ,  $C3$  对应的系数  $(1-z^{-1})^n$  展开，得到一个 Pascalls 三角形，三角形每一行的数字便是  $(1-z^{-1})^n$  展开后每行的系数，从上式可得到如图 3.35 所示的 Pascalls 三角形。

$$\begin{array}{cccc} & & & +1 & \\ & & & & \\ & & +1 & & -1 & \\ & & & & & \\ +1 & & -2 & & +1 & \end{array}$$

图 3.35 Pascalls 三角

从图 3.35 可以看到，除了第一行等于一，其他各行的和都是零，所以只有第一级的进位输出会决定系统的整体输出，第二级和第三级的进位并没有对输出产生直接贡献。

针对本文的设计，调制器是 MASH1-1-1 结构的三阶调制器，所以它的输出有 3 位，只有 8 种正数值，即 -3—+4 之间的 8 种整数值。它是通过对每一级的进位溢出信号进行延时、反向、求和得到的。

在上文中，论文根据累加器的等效模型得出了一阶 Sigma-Delta 调制器的 Z 域传递函数，下面对本论文设计的三阶 MASH1-1-1 结构的 Sigma-Delta 调制器进行传递函数的推导。如图 3.36 所示为 MASH1-1-1 简化结构框图。

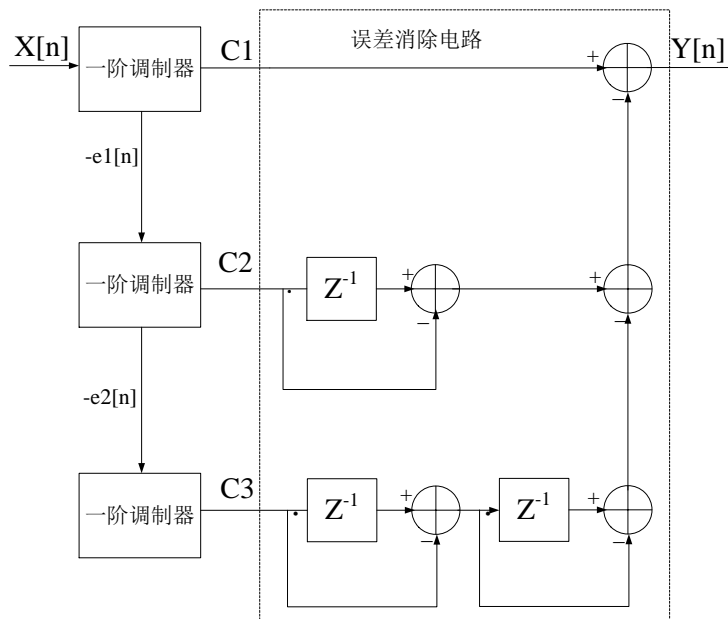


图 3.36 MASH1-1-1 结构框图

根据一阶 Sigma-Delta 调制器的传输函数： $C[n]=X[n]+e[n]*(1-z^{-1})$ ，可以得到 MASH1-1-1 结构中每一级调制器的进位传输函数，分别为：

$$C1 = e1[n]*(1-z^{-1}) + X[n] \quad (3-27)$$

$$C2 = e2[n]*(1-z^{-1}) - e1[n] \quad (3-28)$$

$$C3 = e3[n]*(1-z^{-1}) - e2[n] \quad (3-29)$$

在上述内容中，已经推导得到 MASH1-1-1 结构调制器的输出为：

$$Y[n] = C1 + C2(1-z^{-1}) + C3((1-z^{-1})^2) \quad (3-30)$$

将上面每级进位输出表达式 (3-27) (3-28) 和 (3-29) 带入到上式 (3-30) 中，可以得到：

$$Y[n] = X[n] + e3[n]*(1-z^{-1})^3 \quad (3-31)$$

$$STF = 1 \quad (3-32)$$

$$NTF = (1-z^{-1})^3 \quad (3-33)$$

由上式可以知道，MASH1-1-1 结构的输出等于输入与最后一级的量化误差的和，并且最后一级的量化误差是经过高阶整形的。这说明前面几级的噪声都被消除掉，只剩下最后一级的量化误差影响输出结果，而且是经过一个高通的滤波器之后到达输出端，对于本文设计的三阶 MASH Sigma-Delta 调制器，它的高通项为三次方。

在下一章, 本文会利用 Simulink 对 MASH1-1-1 结构进行行为仿真, 可以看出, MASH1-1-1 Sigma-Delta 调制器的输出是一个伪随机序列, 并且通过功率谱分析可以看到它的输出噪声的功率谱主要集中于高频处, 证明其实现了噪声整形的功能, 所以可以通过环路中的 LPF 将其滤除。

如图 3.37 所示是一个高阶 Sigma-Delta 调制器通过控制一个多模分频器实现小数  $N$  分频的结构, 根据目标输出频率与输入参考信号的比值确定分频比, 然后根据分频比的小数部分和累加器的位数来设定 Sigma-Delta 调制器的输入, 调制器输出序列的平均值正是所需要的小数分频值, 它再与整数部分相加, 最后得到的输出序列连接到多模分频器。

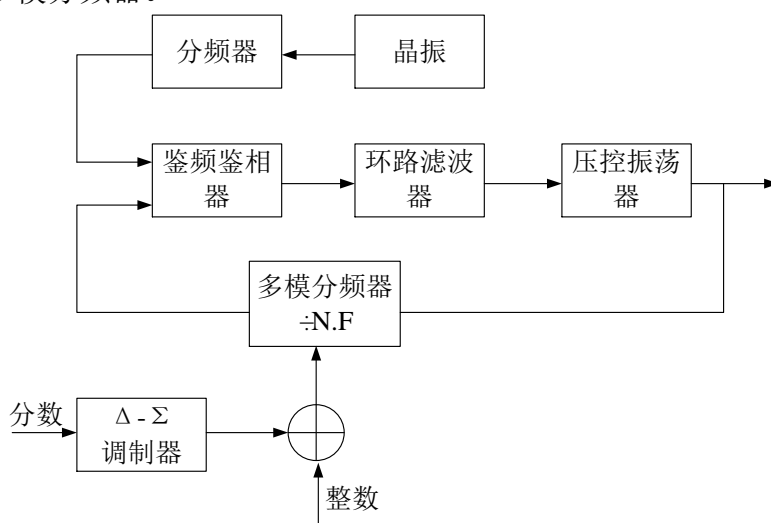


图 3.37 基于高阶 SDM 的小数  $N$  频率合成器

### 3.4 本章小结

由于 SDM 的设计与分频器是紧密相关的, 所以本章首先对分频器的内部触发器结构以及双模、多模分频的实现进行了研究, 重点分析了小数分频的原理和实现结构。经过对小数分频的分析, 可以看到小数分频会在输出频谱中引入小数毛刺干扰, 所以需要采取措施来改善小数杂散问题。进而本章讨论了几种消除小数杂散的方式, 引出了 Sigma-Delta 调制技术。首先以累加器为基础, 仔细分析了它的工作原理和等效模型。以此为基础, 设计了一个 MASH1-1-1 结构的三阶调制器, 推导了其传递函数, 证明了其噪声整形原理。在下一章中, 将针对本章设计的调制器结构, 使用 Simulink 工具搭建模型, 进行功率谱仿真, 然后使用 Verilog HDL 编写代码和测试平台进行功能仿真, 最后利用 EDA 工具 Design Compiler 综合, 生成其门级网表。



## 第四章 Sigma-Delta 调制器的硬件实现

本章针对第三章中所设计的三阶 MASH1-1-1 结构的 Sigma-Delta 调制器进行了电路实现。首先使用 Simulink 工具对其搭建模型并进行功率谱仿真，然后使用 Verilog HDL 编写代码、搭建测试平台，使用 Modelsim 软件完成了功能仿真，最后使用 EDA 工具完成了逻辑综合以及版图生成。

### 4.1 Sigma-Delta 调制器的 Simulink 仿真

为了验证本文所设计的三阶 MASH1-1-1 结构 Sigma-Delta 调制器的功能是否正确以及能否满足预期，在具体硬件电路实现之前，本节利用 Simulink 丰富的逻辑模块，搭建了它的等效模型，进行行为级的仿真。通过仿真模型的搭建，可以看到 MASH1-1-1 结构 Sigma-Delta 调制器的输出是-3—+4 之间的随机序列，并且通过观察调制器输出的功率谱密度，验证了它的噪声整形功能。因为高阶的 Sigma-Delta 调制器结构都是基于累加器实现，所以首先利用 Simulink 搭建了一个累加器的模型，如图 4.1 所示。

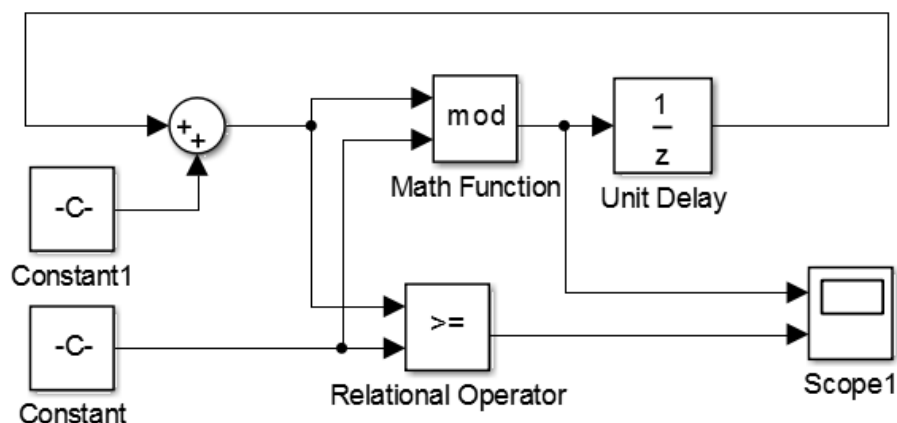
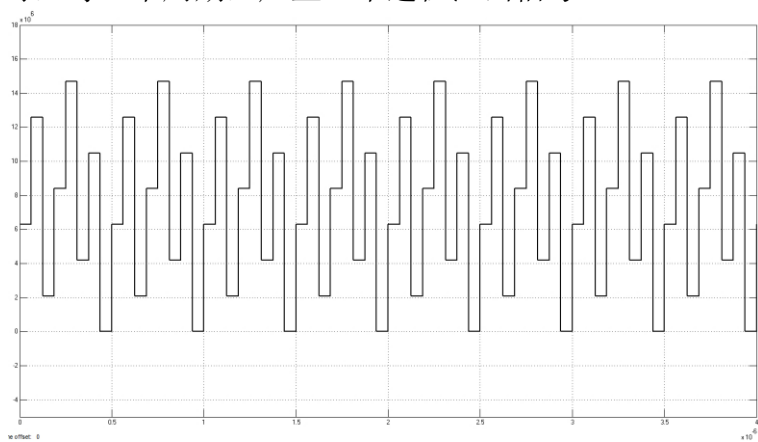


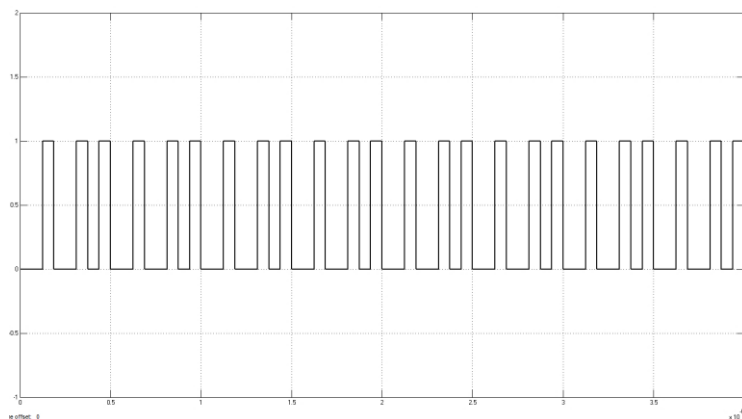
图 4.1 Simulink 中累加器模型

根据累加器的工作过程：假设累加器的位宽为  $k$  位，输入为常数  $K$ ，则累加器的模数为  $2^k$ ，每经过一个时钟周期累加器的值增大  $K$ ，当累加的值超过  $2^k$  时，则产生一个进位输出信号  $C$ 。所以在搭建累加器模型时，用一个常数设置累加器的最大值，当累加的结果大于等于这个最大值时，产生一个进位输出。同时累加的结果与累加最大值送入取余函数模块进行操作，当累加的结果没有大于设定的累加器最大值时，取余操作后的输出就是本次累加的结果，延时一个单位时间后再输入到加法器进行累加。当累加的结果大于累加器最大值时，取余操作相当于在累计结果中去掉了最大值部分。例如，在设定累加器的位数为 24 位，即最大值为  $2^{24}$  时，输入设为 6291456 时（此时相当于小数输入 0.375），图 4.2 (a) 和 (b) 中

两个波形分别代表从示波器看到的累加器余数输出和进位溢出信号，可以看到当输入为 0.375 时，每 8 个周期，产生 3 个进位溢出信号。



(a) 累加器余数输出



(b) 累加器进位输出

图 4.2 累加器输出结果示例

把累加器封装成一个子系统，在此基础之上，搭建本文设计的 MASH1-1-1 结构的仿真模型。如图 4.3 所示。

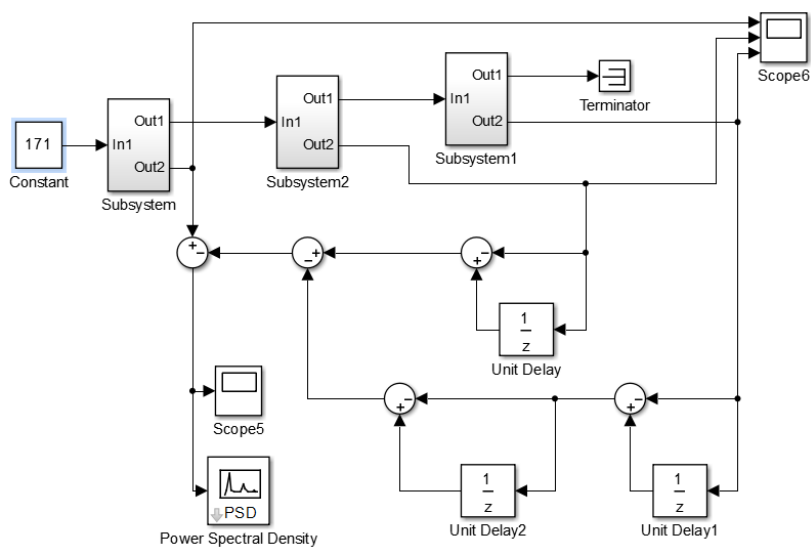


图 4.3 MASH1-1-1 调制器仿真模型

其中包含的三个子系统就是上面所述搭建的累加器的模型。

为了验证其功能，假设输入为 0.668 时，如图 4.4 所示，从上往下依次为三个累加器的进位输出。

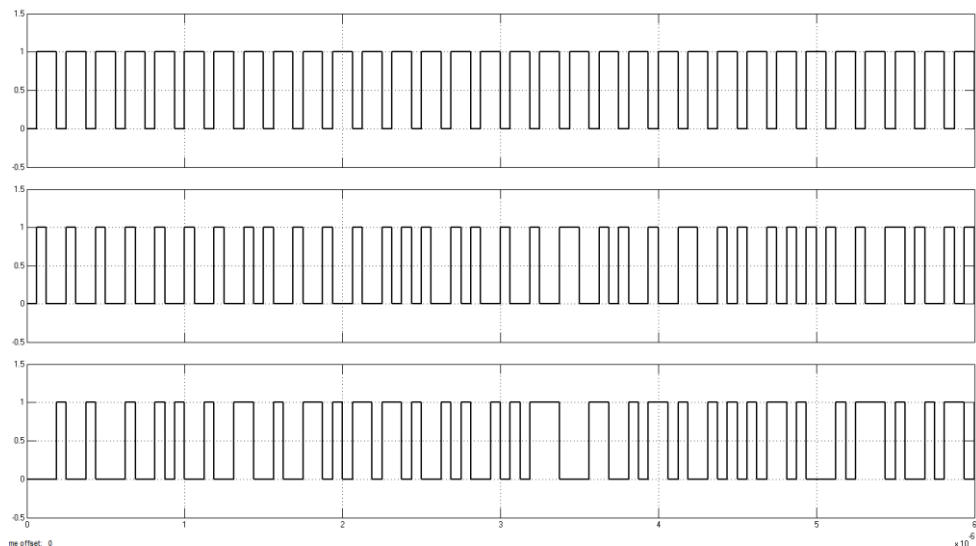


图 4.4 三级累加器分别的进位输出

图 4.5 所示为三阶 Sigma-Delta 调制器的输出序列，可以看到其呈现随机性，大小介于+4—-3 之间。

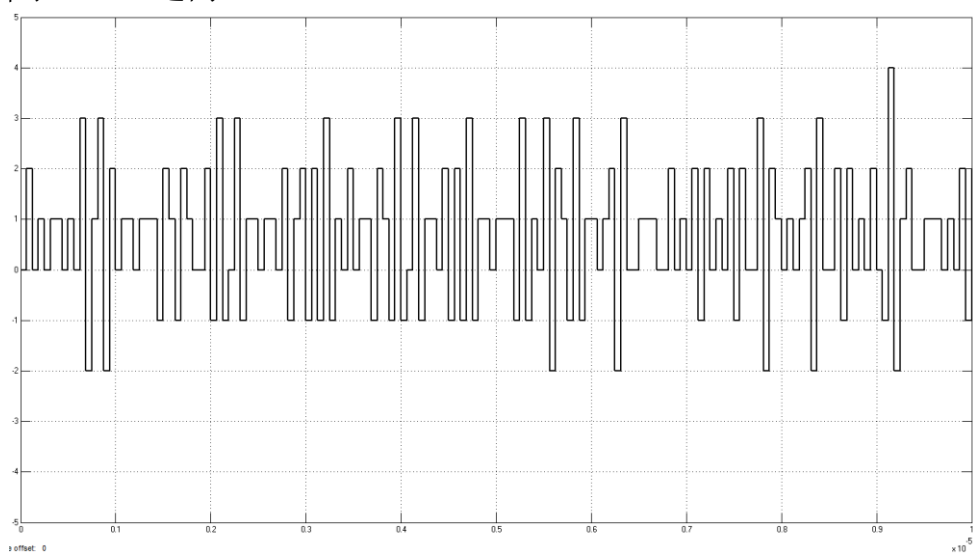


图 4.5 三阶 SDM 的输出

而图 4.6 所示，则为此调制器的输出的功率谱密度，从图中可以看到，功率谱主要集中在高频处，表明了 MASH1-1-1 结构的调制器具有良好的噪声整形效果。

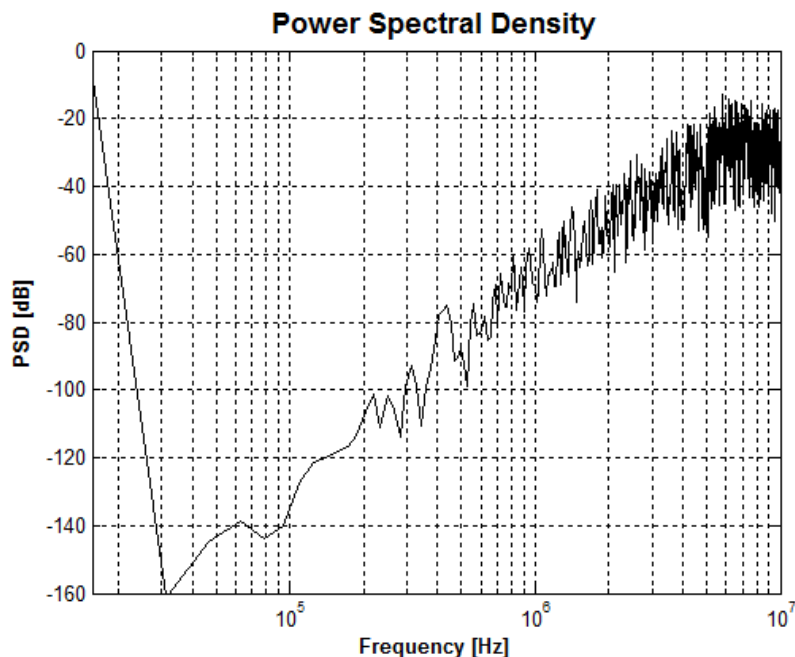


图 4.6 三阶 SDM 的输出功率谱密度

## 4.2 Sigma-Delta 调制器的硬件实现

最早的时候，数字电路的设计使用电路原理图输入方法，这样的设计方法效率低，设计周期长。发展至今，集成电路的集成度不断增加，设计方法也不断改进。当设计的要求不是很高时，不需要从管级电路开始设计，一般采用半定制的方法。首先利用硬件描述语言（HDL）针对电路要实现的功能从更高层次来进行代码编写，仿真证明代码功能正确以后，再利用 EDA 工具进行电路的自动化实现。首先根据实际要求对代码添加约束，使用 Design Compiler 等工具进行综合，自动地高层次的 HDL 电路转换成门级网表，其次再利用布图规划（Floorplan）、自动布局布线（APR）等工具对得到的门级网表进行物理实现，得到其版图。经过时序分析和设计规则检查等步骤证明没有问题之后，便可以流片。所以可以看到 EDA 工具的出现，很大程度的改进了设计方法，提升了设计效率。

### 4.2.1 功能仿真

常用的硬件描述语言有 Verilog HDL 及 VHDL，本文使用的是 Verilog HDL，Verilog HDL 能够从不同的层次对电路进行描述，如系统级（system-level）、算法级（algorithm-level）、寄存器传输级（register transfer level）等。与 C 语言等不同，它的本质作用是对硬件电路进行描述。

Sigma-Delta 调制器的结构相对简单，能够使用全数字的实现方法，本文首先根据设计的 Sigma-Delta 调制器结构使用 Verilog HDL 对其进行描述，接着编写测试平台，利用 Modelsim 软件对其进行功能仿真。如图 4.7 所示为本论文确定的 MASH1-1-1 结构 Sigma-Delta 调制器的电路实现结构，采用的累加器位宽为 24 位，

F 为小数输入，它的值是根据所需要的小数分频比来确定的。

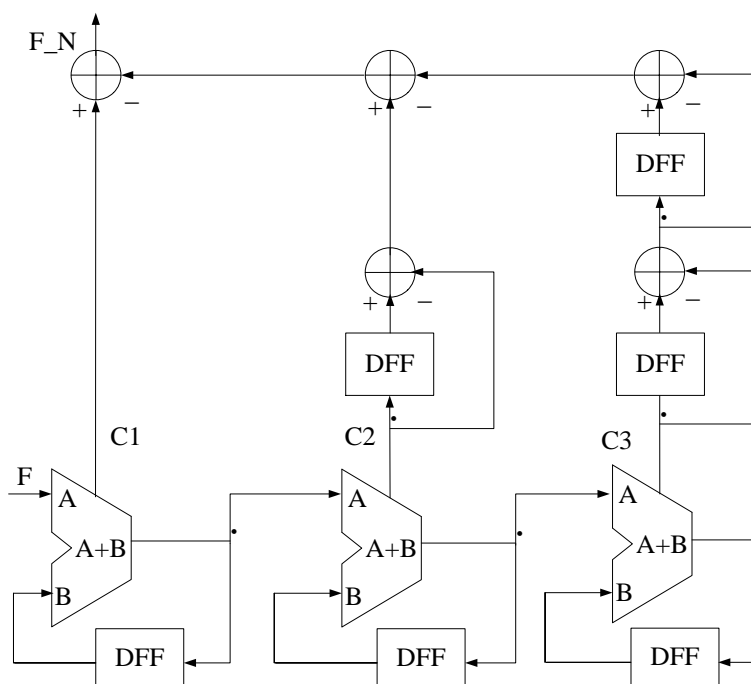


图 4.7 硬件实现电路

利用 Verilog HDL 编写图 4.7 结构对应的 RTL 级代码,时钟频率设定为 16MHz,如图 4.8 所示为其波形仿真结构,把该结果与 Simulink 的仿真结果对比,证明两个结果是相一致的,可以推断 Verilog 代码正确实现了所需功能,下面便对其进行逻辑综合。

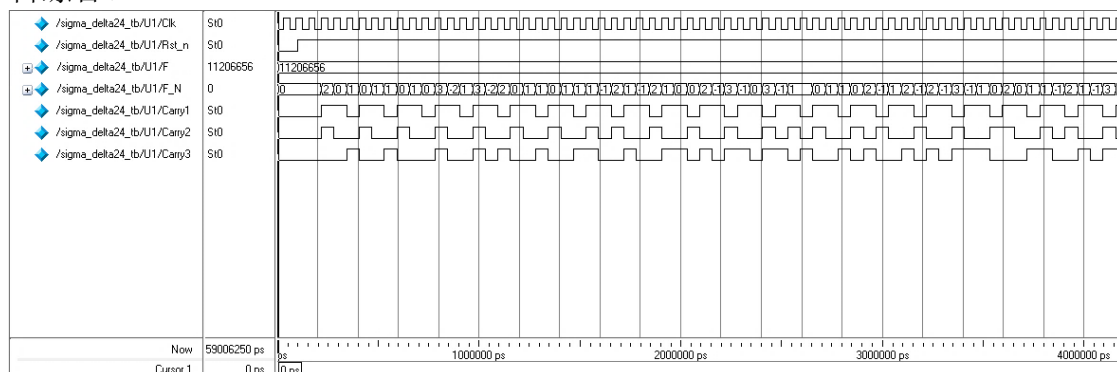


图 4.8 Modelsim 波形仿真结果

### 4.2.2 逻辑综合

逻辑综合工具出现以前,电路设计者需要自己动手将 HDL 转换为电路图并描述元件间互联来产生一个门级网表,如果电路规模很大,这种设计方法会浪费很多时间和人力,限制了集成电路规模的发展。而综合工具可以自动地把 RTL 级或者更高层次的代码转换成门级网表,弱化了人的体力劳动过程,使设计者可以把精力更多地用在设计方法和高层次电路设计的思考上面,从而提高整个设计水平,加快电路设计的速度。

逻辑综合需要的输入文件和产生的输出文件如下图 4.9 所示, 可以看到它需要的输入有 RTL 级代码、单元库以及环境和时序约束。单元库的作用就是为综合提供一个方向, 因为不同的单元库包含不同的标准逻辑单元, 也可能对应不同的设计工艺和规则等, 设计者需要根据自己流片所选择的代工厂来选择目标库, 本文的目标库是 TSMC 0.18 $\mu\text{m}$  工艺库。环境和时序约束则是设计者根据电路要求需要为综合添加的外部约束, 比如电路特定的时钟参考频率和芯片的面积等, 如果综合结果不满足设计的约束要求, 则可以进行针对性改进。综合主要包括三个阶段: 转换 (translation), 映射 (mapping) 和优化 (optimization)。转换是指把 HDL 代码变为 RTL 级网表, 这一步跟具体工艺是无关的, 映射过程就是把转换过程中得到的网表映射到目标工艺库上, 得到由库中单元连接成的门级网表, 优化则跟外部添加约束有关, 比如以面积为第一考虑因素的设计, 综合工具就会往面积更小的方向优化, 可能就会牺牲电路的延时。

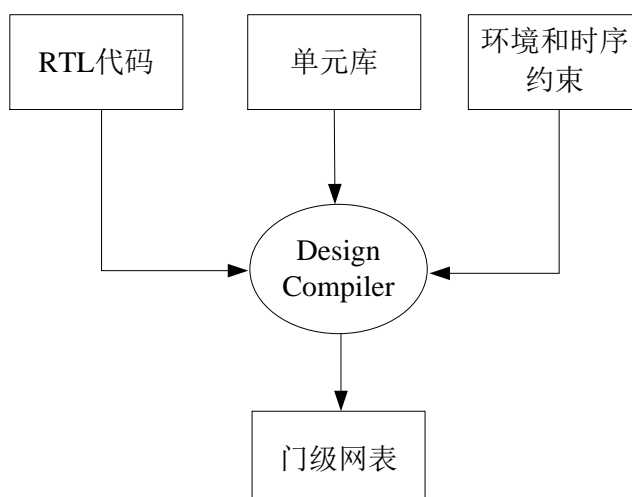


图 4.9 综合的输入输出文件

针对本文中的设计, 使用 Synopsys 的 Design Compiler 综合工具, 针对 TSMC 0.18 $\mu\text{m}$  工艺库, 对设计进行综合, 其中用到的 TCL 脚本的主要部分如下:

指定库的路径:

```
set search_path "/EDA/PDK/TSMC18DIG/CL018G/aci/sc/synopsys\
               /EDA/PDK/TSMC18DIG/CL018G/aci/sc/symbols/synopsys"
```

指定目标库:

```
set target_library "slow.db"
```

指定链接库:

```
set link_library " * slow.db"
```

指定符号库:

```
set symbol_library "tsmc18.sdb"
```

读入设计文件:

```
set_svf sigma_delta24.svf
read_verilog ./accumulator24.v
read_verilog ./sigma_delta24.v
current_design sigma_delta24
link
```

uniquify

设置时钟约束:

```
reset_design
create_clock -period 62.5 -waveform [list 0 31.25] [get_ports Clk]
set_clock_uncertainty -setup 0.5 Clk
set_clock_uncertainty -hold 0.3 Clk
set_clock_latency 2 Clk
set_clock_transition 1.5 Clk
set_dont_touch_network [get_ports "Rst_n Clk"]
```

约束输入输出路径:

```
set all_in_ex_clk [remove_from_collection [all_inputs] [get_ports Clk]]
set_input_delay -max -35 -clock Clk $all_in_ex_clk
set_input_delay -min -6.2 -clock Clk $all_in_ex_clk
set_output_delay -max -35 -clock Clk [all_outputs]
set_output_delay -min -6.2 -clock Clk [all_outputs]
```

设置环境属性:

```
set_operating_conditions slow
set_wire_load_model -name tsmc18_wl20
set_wire_load_mode top
```

设置输入驱动、面积约束、输出负载等:

```
set_driving_cell -library slow -lib_cell BUFX8 $all_in_ex_clk -no_design_rule
set_max_area 0
set_drive 0 [listRst_nClk]
set_load [expr [load_of slow/DFFSX2/D] * 10.0] [all_outputs]
set_fix_multiple_port_nets -all -buffer_constants [get_designs * ]
current_design sigma_delta24
```

compile

生成并保存综合结果:

```

report_area
report_timing
report_constraints
write_sdf ./report/sigma_delta24.sdf
write_sdc ./report/sigma_delta24.sdc
write -format verilog -hierarchy -output ./report/sigma_delta24.sv
write -format verilog -hierarchy -output ./report/sigma_delta24.v
report_area > ./report/report_area.txt
report_timing -delay max > ./report/setup.txt
report_timing -delay min -nets -capacitance -transition_time > ./report/hold.txt

```

综合后面积报告如图 4.10 所示。

```

*****
Report : area
Design : sigma_delta24
Version: Z-2007.03-SP1
Date   : Thu Oct 23 23:38:22 2014
*****

Library(s) Used:

    slow (File: /EDA/PDK/TSMC18DIG/CL018G/aci/sc/synopsys/
slow.db)

Number of ports:          29
Number of nets:           103
Number of cells:          29
Number of references:     14

Combinational area:      5408.726449
Noncombinational area:   5518.497650
Net Interconnect area:   47133.578125

Total cell area:          10927.223633
Total area:               58060.801758
1

```

图 4.10 面积报告

关键路径的建立时间分析如图 4.11 所示，满足要求。

clock Clk (rise edge)	62.50	62.50
clock network delay (ideal)	2.00	64.50
clock uncertainty	-0.50	64.00
m3/Carry_del_reg/CK (DFFRHQX1)	0.00	64.00 r
library setup time	-0.25	63.75
data required time		63.75
-----		
data required time		63.75
data arrival time		-15.11
-----		
slack (MET)		48.64

图 4.11 建立时间报告



### 4.2.3 版图生成

经过逻辑综合得到设计的 Sigma-Delta 调制器的门级网表以后, 对其进行数字版图的实现, 本文利用 Cadence 公司的 SocEncounter 软件, 进行了如图 4.12 所示的数字后端的整个流程。

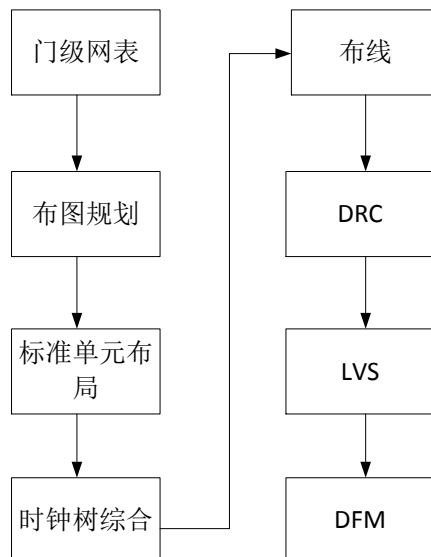


图 4.12 数字后端设计流程简图

首先将得到的门级网表输入到 SocEncounter 软件中, 对其进行布图规划、自动布局布线和时钟树综合等, 图 4.13 是最终得到的 SDM 模块的数字版图。

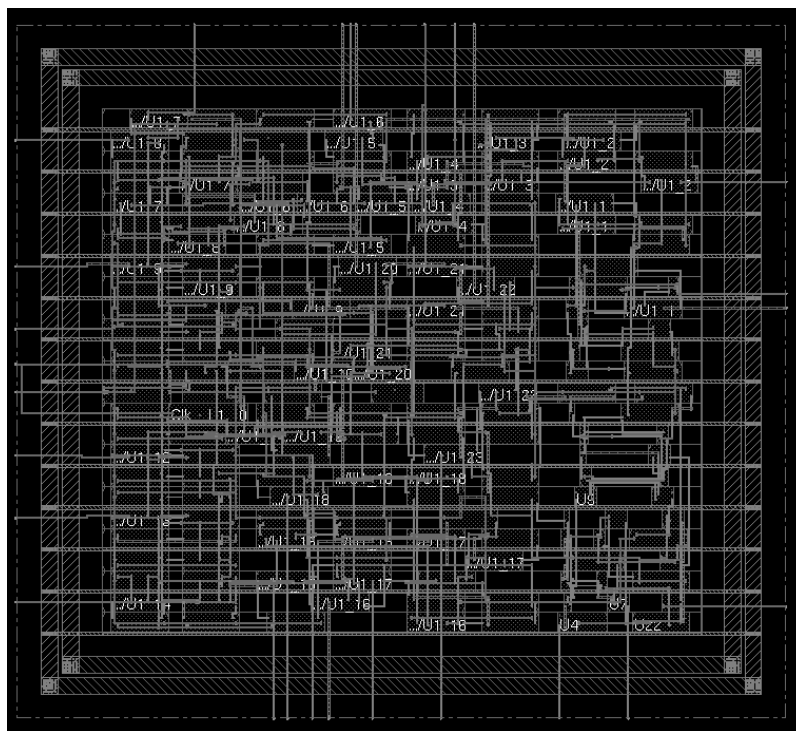


图 4.13 SDM 的数字版图

### 4.3 本章小结

本章对本文所设计的三阶 MASH1-1-1Sigma-Delta 调制器进行了 Verilog 代码编写和硬件电路实现。首先使用 Simulink 工具对调制器搭建模型并进行功率谱仿真，证明了它的噪声整形功能。然后使用 Verilog HDL 对调制器编写代码，搭建测试平台，使用 Modelsim 软件对其完成了功能仿真，验证代码功能正确。最后使用 EDA 工具 Design Compiler 对代码进行了逻辑综合，生成了面积和时序报告。报告显示，建立时间没有违例，满足设计要求，最后给出了设计的数字版图。

## 第五章 结论和展望

因为频率综合器在射频收发机中起到非常重要的作用，所以本文对频率合成的技术进行了研究。在许多的频率合成方法中，比较常用的是基于锁相环的频率综合器结构，该结构又分为不同的种类，本文着重对其中最常用的小数  $N$  结构进行了研究。论文详细分析了锁相环频率综合器的频率合成原理以及其中各个模块的结构与  $S$  域等效模型，得到了其线性化模型，在此基础上推导出了它的闭环传递函数。为了判断一个锁相环频率综合器的性能好坏，本文给出了它的常用性能指标以及相应的改进方法。PLL 的电路模块中包含有数字电路和模拟电路部分，本文重点对其中的数字部分包括小数  $N$  分频电路以及 Sigma-Delta 调制器进行了设计分析，给出了小数  $N$  分频的原理和实现结构，表明其既能满足低相位噪声的要求又能保证较短的锁定时间。

在分析了小数分频原理的基础上，可以看到小数分频会导致小数杂散的产生，它在压控振荡器的输出频谱中引入了小数毛刺干扰，为了减弱小数杂散的影响，改善锁相环频率综合器的相位噪声特性，本文通过类比不同补偿技术的优缺点，确定了引入 Sigma-Delta 调制器的改善方法。为了验证该方法的有效性，本文首先通过推导给出了一阶 Sigma-Delta 调制器（累加器）的等效模型、 $Z$  域等效结构以及它所对应的传递函数，推导出了该结构的噪声整形功能，最后本文给出了它的数字电路实现结构。

理论分析表明，Sigma-Delta 调制器阶数提高则噪声整形的效果更加明显，虽然一阶结构也能够实现一定程度的量化噪声整形，但是它的整形效果不如高阶结构明显，所以在实际运用中，多是运用高阶的 Sigma-Delta 调制器。它以一阶的 Sigma-Delta 调制器为基础单元，根据构成方式的不同分为了单环串联和 MASH 级联的结构，两者各有优缺点，前者比后者的噪声整形效果好，输出可以是一位或者多位，不过不如后者的稳定性好，如果与单级高阶噪声整形电路阶数相同，多级噪声整形结构具有无条件稳定的好处，它还可以采用流水的方式完成高速度低功耗，不过它只能是多位的输出，位数和调制器的级数相同。基于理论分析的结论，本文设计了一个用于小数  $N$  频率综合器中的 MASH1-1-1 的三阶调制器结构，参考时钟频率设定为 16MHz，累加器位宽为 24 位。利用 Simulink 工具首先对累加器进行建模，仿真证明模型功能正确以后将其进行封装成子系统，进而搭建了本文设计的调制器模型并实现仿真，观察其功率谱密度可以发现噪声被集中到高频处，证明了本文设计的调制器结构成功实现了噪声整形。本文使用 Verilog HDL 对设计的 MASH1-1-1 结构的 Sigma-Delta 调制器进行了描述，编写了测试平台，

利用 Modelsim 软件编译仿真得到其输出序列的波形, 通过与 Simulink 中的输出波形对比证明了代码编写的正确性, 再利用 EDA 工具对其综合, 生成一个门级网表, 综合过程生成的面积和时序报告表明其满足了设计要求, 最后利用 SocEncounter 工具完成了物理设计过程, 得到其数字版图。

上文给出的是本文所做工作的总结, 虽然取得了一些微小的成果, 但是还存在一些需要改进和进一步研究的方面, 锁相环频率综合器电路中包含 PFD, CP, LPF, 分频器以及调制器, 还需要将本文所设计的 Sigma-Delta 调制器与其他模拟电路部分联合起来进行共同仿真, 验证功能的正确性。同时由于分频器工作频率很高, 半定制设计方法不能满足要求, 一般采用全定制的设计方法, 还需要进一步的研究, 这些在后续的研究学习中会继续努力。

## 参考文献

- [1] S. G. Marconi. Radio Telegraphy[J]. Proceedings of the IEEE, 1997, 85(10):1526-1535.
- [2] V. H. MacDonald. Advanced Mobile Phone Service: The Cellular Concept[J]. The Bell Systems Technical Journal, 1979, 58(1):15-43.
- [3] 林榕梯. 移动通信技术发展史与现状[J]. 中国科技博览, 2012, 28:249.
- [4] 董俊丽. 符合 IEEE 802.15.4b 标准的接收机基带电路设计[D]. 南京:东南大学, 2010.
- [5] 陈邦媛. 射频通信电路(第二版)[M]. 北京: 科学出版社, 2006:128.
- [6] 张晋峰译. 现代通信系统[M]. 北京: 电子工业出版社, 2003:208-215.
- [7] N. Scolari, C. C. Enz. Digital Receiver Architectures for the IEEE 802.15.4 Standard[J]. IEEE Communications Magazine. 2004, 32(9):180-181.
- [8] 周曼林. 直接下变频接收机的实现[J]. 无线电技术, 2005, (33):53-59.
- [9] J. Crols, M. S. J. Steyaert. Low-IF Topologies for High-Performance Analog Front Ends of Fully Integrated Receivers[J]. IEEE Transactions on Circuit and System II, 1998, 45(3):269-282.
- [10] Nam-Jin Oh, Sang-Gug Lee. Building a 2.4-GHz Radio Transceiver Using IEEE 802.15.4[J]. IEEE Circuits and Devices Magazine, 2005, 21(6):43-51.
- [11] R. E. Best. Phase-Locked Loops Design, Simulation, and Applications (Fifth Edition)[M]. New York: McGraw-Hill, 2003.
- [12] F. M. Gardner. Charge-Pump Phase-Locked Loops[J]. IEEE Transactions on Communications, 1980, 28:1849-1858.
- [13] Behzad Razavi. 射频微电子(第一版)[M]. 余志平, 周润德译. 北京: 清华大学出版社, 2006.
- [14] J. F. Parker, D. Ray. A 1.6-GHz CMOS PLL With On-Chip Loop Filter[J]. IEEE Journal of Solid-State Circuits, 1998, 33:337-348.
- [15] Jaewook Shin, Hyunchol Shin. A 1.9-3.8 GHz  $\Delta$ - $\Sigma$  Fractional-N PLL Frequency Synthesizer With Fast Auto-Calibration of Loop Bandwidth and VCO Frequency[J]. IEEE Journal of Solid-State Circuits, 2012, 47(3):665-675.
- [16] 舒海涌. PLL 频率综合器中整数和小数分频器设计与实现[D]. 南京: 东南大学, 2010.
- [17] Scott Meninger, Michael Perrot. Sigma-Delta Fractional-N Frequency Synthesis[DB]. 2004. <http://ocw.mit.edu>.
- [18] 刘祖深, 王积勤. 小数 N 频率合成器中模拟相位内插模型设计[J]. 西安电子科技大学学报, 2006, 33(1):160-164.

- [19] 刘祖深, 王积勤. 小数N频率合成器剩余量化误差补偿技术研究[J]. 宇航计测技术, 2005, 25(3):1-5.
- [20] T. A. D. Riley, M. A. Copeland. Delta-Sigma Modulation in Fractional-N Frequency Synthesis[J]. IEEE Journal of Solid-State Circuits, 1993, 28(5):553-559.
- [21] V. Reinhardt, K. Gould, K. McNab and M. Bustamante. A Short Survey of Frequency Synthesizer Techniques in Proc[C]. 40th Annual Frequency Control Symp.1986:355-365.
- [22] K. M. Ware, H. Lee, and C. G Sodini. A 200MHz CMOS Phase-Locked Loop With Dual Phase Detectors[C]. ISSCC Dig. Tec. 1989:192-193.
- [23] J. C. Candy, O. Benjamin. The Structure of Quantization Noise from Sigma Delta Modulation[J]. IEEE Transactions on Communications, 1981, 29(9):1316-1323.
- [24] J. C. Candy. A Use of Double Integration in Sigma Delta Modulation[J]. IEEE Transactions on Communications. 1985, 33(3):249-258.
- [25] S. R. Norsworthy, R. Schreier, G.C. Tames. Delta Sigma ADCs With Multi-Bit Internal Converters[M]. New York: IEEE Press, 1997:244-281.
- [26] S. W. Golomb. Shift Register Sequences[M]. Laguna Hills, CA: Aegean Park Press, 1982.
- [27] M. Motamed, S. Sanders, and A. Zakhor. The Double Loop Sigma Delta Modulator With Unstable Filter Dynamics: Stability Analysis and Tone Behavior[J]. IEEE Transactions on Circuits and Systems II: Analog and Digital Signal, 1996, 43(8):549-559.
- [28] M. Kozak, I. Kale. A Pipelined Noise Shaping Coder for Fractional-N Frequency Synthesis[J]. IEEE Transactions on Instrumentation and Measurement, 2001, 50(3):1154-1161.
- [29] S. E. Meninger, M. H. Perrott. A Fractional-N Frequency Synthesizer Architecture Utilizing a Mismatch Compensated PFD/DAC Structure for Reduced Quantization-Induced Phase Noise[J]. IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, 2003, 50(11):839-849.
- [30] K. Hosseini, M. P. Kennedy. Maximum Sequence Length MASH Digital Delta Sigma Modulators[J], IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, 2007, 54(54): 2628-2638.
- [31] 刘愿. 基于 Sigma-Delta 调制器的小数 N 频率综合器设计[D]. 西安:西安电子科技大学, 2009.
- [32] 王建新. 直接数字频率合成技术及其应用研究[D]. 南京:南京理工大学, 1999.
- [33] 高泽溪, 高成. 直接数字频率合成器(DDS)及其性能分析[J]. 北京航空航天大学学报, 1998, 24(5):1.
- [34] W. Rhee, B. S. Song, Akbar Ali. A 1.1-GHz CMOS Fractional-N Frequency Synthesizer With a 3-b Third-Order  $\Delta$ - $\Sigma$  Modulator[J]. IEEE Journal of Solid-State Circuits, 2000,

- 35(10):1453-1460.
- [35] B. D. Muer, M. S. J. Steyaert. A CMOS Monolithic  $\Delta$ - $\Sigma$  Controlled Fractional-N Frequency Synthesizer for DCS-1800[J]. IEEE Journal of Solid-State Circuits, 2002, 37(7):835-844.
- [36] M. H. Perrott, M. D. Trott, Charles Sodini. A Modeling Approach for  $\Delta$ - $\Sigma$  Fractional-N Frequency Synthesizers Allowing Straightforward Noise Analysis. IEEE Journal of Solid-State Circuits, 2002, 37(8):1028-1038.
- [37] W. S. T. Yan, H. C. Luong. A 2-V 900-MHz Monolithic CMOS Dual-Loop Frequency Synthesizer for GSM Receivers[J]. IEEE Journal of Solid-State Circuits, 2001, 36:204-216.
- [38] J. P. Hein, Jeffrey W. Scott. Z-Domain Model for Discrete-Time PLL's[J]. IEEE Transactions on Circuits and Systems, 1988, 35(11):1393-1400.
- [39] P. K. Hanumolu, M. Brownlee, K. Mayaram, etc. Analysis of Charge-Pump Phase-Locked Loops[J]. IEEE Transactions on Circuits and Systems I, 2004, 51(9):1665-1674.
- [40] Joonsuk Lee, Beomsup Kim. A Low-Noise Fast-Lock Phase-Locked Loop With Adaptive Bandwidth Control[J]. IEEE Journal of Solid-State Circuits, 2000, 35(8):1137-1145.
- [41] Jan M. Rabaey, Anantha Chandrakasan, Borivoje Nikolic 著. 周润德等译. 数字集成电路-电路、系统与设计(第二版)[M]. 北京:电子工业出版社, 2011.
- [42] K. S. Kundert, J. White, A. Sangiovanni-Vincentelli. Steady-State Methods for Simulating Analog and Microwave Circuits[C], Kluwer Academic, Boston, 1990
- [43] 杜冰. 基于 Delta-Sigma 调制的频率合成技术的研究[D]. 成都:电子科技大学, 2011
- [44] 唐毅. 锁相频率合成分频技术研究[D]. 成都:电子科技大学, 2007.





## 致谢

至此，经过一学期的努力，毕业设计论文顺利完成，我谨向给予我培养的母校，给予我支持和帮助的老师、实验室的同学们表示最真诚的感谢。

首先，我想衷心地感谢我的导师柴常春教授，非常荣幸能在柴老师的指导下进行研究生期间的学习。在我感到迷惑时，柴老师总是耐心地为我指点迷津，用他丰富的阅历为初涉科学殿堂的我指引了前进的方向，带我走向科研的征程，使我不仅提高了自己的科研能力还开拓了自己的视野。柴老师渊博的学识，严谨的治学态度，谦逊质朴的为人处事作风深深影响了我，这将使我获益终生。

其次，我要感谢李迪老师。从进入实验室至今，我一直得到了李老师的悉心指导和热情帮助。是他带我进入了课题组，培养了我科研的兴趣和信心，开启了充实的实验室生活。遇到不懂的问题，李老师总是耐心指教，花费了许多时间交给我解决问题的思路和方法。李老师丰富的经验和勤勉的工作态度，使我获益匪浅。

还要由衷的感谢在研究生及毕业设计期间给予我帮助和鼓励的师兄师姐：樊超，吴锦志，石佐辰师兄还有田晓萍师姐。他们热心的给我们分享经验，分享资料，有了他们的帮助，我在科研上的进步才如此迅速。还要感谢实验室的同学：骆礼厅、井站、沈富创、张禹、王芳娟、任雪、李府勋、郭晓龙、余向东、邵鸣，与他们一起学习，并肩奋斗的日子将是我一生中难以忘怀的美好回忆。

还要感谢我的室友闫宏丽，她的学习态度和难能可贵的品格使我获益良多。

最后，感谢我的家人和朋友，他们对我的希望和默默支持，是我一直前进的不竭动力。谨以此文献给他们，愿他们健康快乐。



## 作者简介

### 1. 基本情况

女，山东济宁人，1990年10月出生，西安电子科技大学微电子学院集成电路系统设计专业2012级硕士研究生。

### 2. 教育背景

2008.09~2012.07 就读于哈尔滨工业大学信息与电气工程学院电子科学与技术专业，获工学学士学位

2012.09~2015.01 西安电子科技大学微电子学院集成电路系统设计专业硕士研究生

### 3. 攻读硕士学位期间的研究成果

#### 3.1 发表的学术论文

#### 3.2 发明专利和科研情况：

[1]. 省科技统筹项目，基于 ZigBee 物联网专用芯片研发，2013年4月至2014年4月，现已进入测试阶段，主要负责数字基带部分数字滤波器模块的设计，包括前端代码编写和后端物理设计。

