

ADC/DAC 应用设计宝典

目录

第一章	ADC 与 DAC 概念	1
第二章	ADC 与 DAC 原理	1-3
第三章	ADC 与 DAC 基础知识详解	3-43
第四章	ADC 与 DAC 实用设计问答	43-45
第五章	20 款主流 ADC/DAC 器件综合介绍	46-51
第六章	22 篇相关技术参考资料	51-56

第一章 ADC 与 DAC 概念

什么是 ADC?

“ADC” Analog-to-Digital Converter 的缩写，指模/数转换器或者模拟/数字转换器。真实世界的模拟信号，例如温度、压力、声音或者图像等，需要转换成更容易储存、处理和发射的数字形式。模/数转换器可以实现这个功能。

什么是 DAC?

“DAC”是 Digital-to-Analog Converter 的缩写，指数/模转换器或者数字/模拟转换器。

ADC 和 DAC 有什么区别？

不，这不是一个“愚弄人的”问题或脑筋急转弯，并且我认为我们的读者都非常清楚模数转换器(ADC)及数模转换器(DAC)的基本功能。

但在如何使用这些转换器以及人们的认知上也存在着哲理性区别。用最简单的话讲，ADC 是用来捕获大量未知的信号，并把它转换成已知的描述。相反，DAC 是接受完全已知的、深刻理解的描述，然后“简单地”产生等效的模拟数值。

简而言之，DAC 工作在确定的领域，而 ADC 则工作在随机输入信号和未知性领域，只要输入在规定的范围内。在传统的信号处理理论中，比如在 Harry L. Van Trees 的经典著作 Detection, Estimation, and Modulation Theory 中介绍的那样，信号处理面临着不同程度的挑战。举例来说，一个特征参数已经相当明了的信号(如受到 AM 调制的模拟信号)与一个充满了许多未知参数的信号(如受到噪声干扰的雷达反射波)相比，评估起来要容易得多。

因此 ADC 面临的挑战确实要比 DAC 大得多。为了充分发挥 ADC 的功能，特别是较高性能(速度或精度)的 ADC，需要采用精心设计的模拟信号调节输入信道，通常还带有与 ADC 本身精确匹配的 ADC 驱动器。

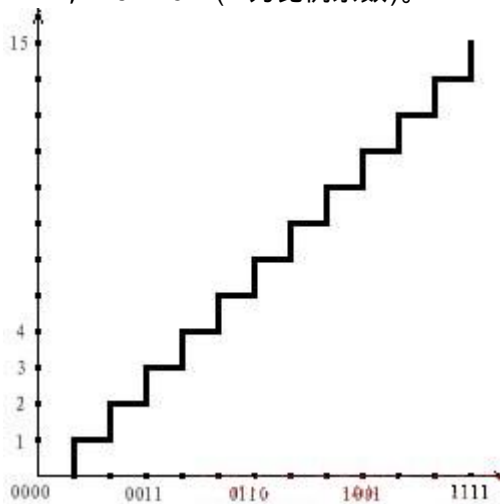
DAC 的设计要简单得多。不过这种相对的简单不应让设计师对 DAC 设计产生松懈心理。实际应用中设计师很容易对 DAC 的模拟输出电路不给予足够的重视，比如在摆率、输出驱动(电压、电流、范围)等参数和负载故障保护方面，而这样做很容易导致原型评估和产品现场应用时发生令人头疼的电路和系统级问题。

第二章 ADC 与 DAC 原理

一、转换原理

数字量是用代码按数位组合起来表示的，对于有权码，每位代码都有一定的位权。为了将数字量转换成模拟量，必须将每 1 位的代码按其位权的大小转换成相应的模拟量，然后将这些模拟量相加，即可得到与数字量成正比的总模拟量，从而实现了数字—模拟转换。这就是组成 D/A 转换器的基本指导思想。

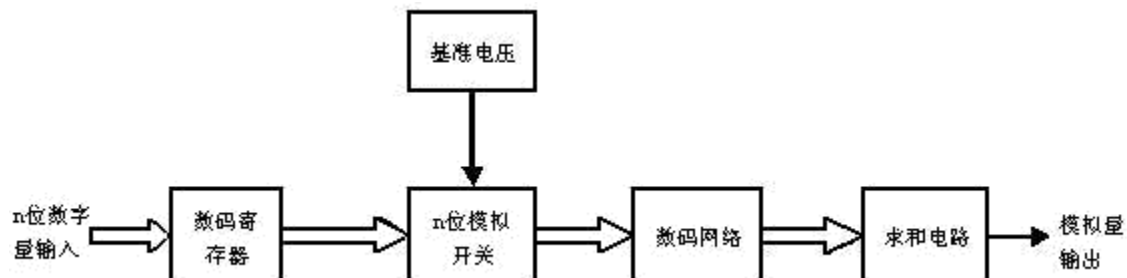
下图表示了 4 位二进制数字量与经过 D/A 转换后输出的电压模拟量之间的对应关系。由下图还可看出，两个相邻数码转换出的电压值是不连续的，两者的电压差由最低码位代表的位权值决定。它是信息所能分辨的最小量，也就是我们所说的用 1LSB(Least Significant Bit)表示。对应于最大输入数字量的最大电压输出值（绝对值），用 FSR(Full Scale Range)表示。图中 $1\text{LSB}=1\text{kV}$ ； $1\text{FSR}=15\text{kV}$ (k 为比例系数)。



D/A 转换器输入数字量与输出电压的对应关系

二、一般组成

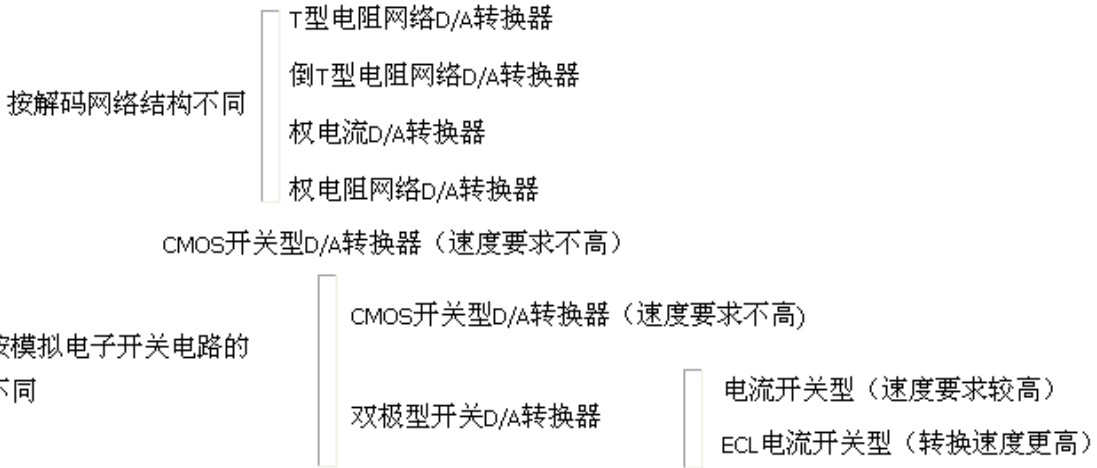
n 位 D/A 转换器的方框图如图所示。



n 位 D/A 转换器方框图

D/A 转换器由数码寄存器、模拟电子开关电路、解码网络、求和电路及基准电压几部分组成。数字量以串行或并行方式输入、存储于数码寄存器中，数字寄存器输出的各位数码，分别控制对应位的模拟电子开关，使数码为 1 的位在位权网络上产生与其权值成正比的电流值，再由求和电路将各种权值相加，即得到数字量对应的模拟量。

三、D/A 转换器分类



第三章 ADC 与 DAC 基础知识详解

本系列文章分为 5 个部分，第一部分介绍[采样](#)的概念以及奈奎斯特（Nyquist）采样准则。第 5 部分同样也说明了如何运用欠采样和抗混叠滤波器。

第一部分

图 2-1 所示为典型的采样数据 DSP 系统的方框图。在实际模拟到数字的转换之前，模拟信号一般要经过某些种类的信号调节电路，这些信号要执行像放大、衰减和滤波这样的功能。需要用低通/带通滤波器把不需要的信号从有用带宽中消除掉，并能防止混叠发生。

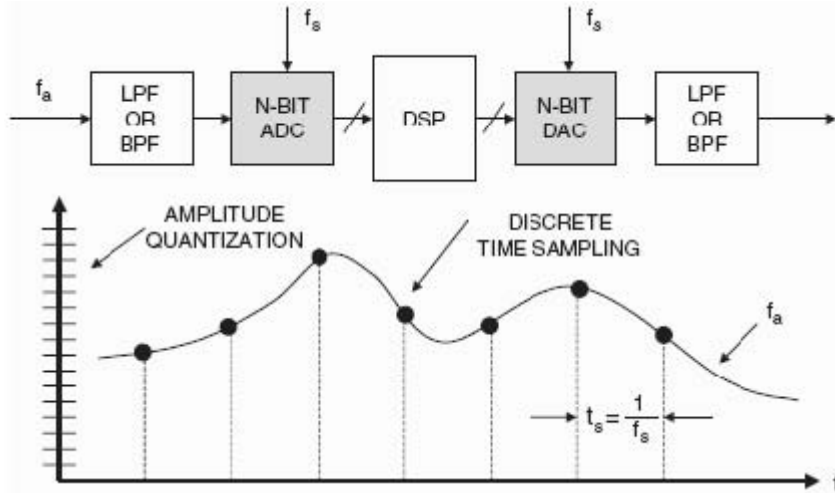


图 2-1：基本的采样数据系统。

图 2-1 所示的系统为一个实时系统，也就是说到 ADC 的信号是以等于 f_s 的速率被连续地采样，然后 ADC 又以这样的速率向 DSP 提供新的样本。为了保持实时的工作，DSP 必须在采样间隔内执行所有需要的计算 $1/f_s$ ，并在来自 ADC 的下一个样本出现之前，把输出样本提供给 DAC。典型的 DSP 功能的实例即是数字滤波器。

在 FFT 分析中，数据模块首先被传输到 DSP 内存中。FFT 在新的数据模块被传输到存储器时被计算，以便保持实时的操作。在数据传输间隔期间，DSP 必需计算 FFT，以便为处理下一个数据模块做好准备。

要注意的是：只有在 DSP 数据必须被转换回模拟信号（例如在语音带宽或视频应用）的情况下，才需要 DAC。在许多应用中，在最初的 A/D 转换后，信号要完全地保持数字格式。同样，在一些应用中，如在 CD 播放器电子设备中，DSP 单独负责产生到 DAC 的信号。如果采用 DAC，也必须采用抗镜像滤波器把镜像频率消除。

在实际的模拟到数字和数字到模拟的转换过程中，涉及到两个关键的概念：离散时间采样和量子化产生的有限振幅分辨率。对这两个概念的理解是 DSP 应用的关键。

模拟信号的离散时间采样

模拟信号的离散时间采样和量子化的概念如图 2-1 所示。连续的模拟信号必需在离散间隔内被采样， $t_s = 1/f_s$ ，对它必需加以仔细地选择以确保原始模拟信号的正确表示。很显然，被采用的样本越多（采样率越快），数字表示更精确，但是如果被采用的样本越少（采样率越慢），总会遇到重要信息实际上被丢失的点。这让我们提出了如图 2-2 中给出的奈奎斯特定律。

- A Signal With a Bandwidth f_a Must Be Sampled at a Rate $f_s > 2 f_a$ or Information About the Signal Will Be Lost
- Aliasing Occurs Whenever $f_s < 2 f_a$
- The Concept of Aliasing is Widely Used in Communications Applications Such as Direct IF-to-Digital Conversion

图 2-2: 奈奎斯特定律。

简单地说，奈奎斯特定律要求采样频率至少是信号带宽的两倍，否则与信号有关的信息就会丢失。如果采样频率不到模拟信号带宽的两倍，混叠的现象就会出现。

为了弄明混叠在时域和频域两方面的含意，如图 2-3 所示，首先要考虑单音正弦波的时域表示。在这一实例中，采样频率只是稍微比模拟输入频率 f_a 要大一些，并且违反了奈奎斯特定律。要注意的是实际的样本模式，在等于 $(f_s - f_a)$ 的更低频率产生了混叠的正弦波。

这种假定的相应的频域表示如图 2-4B 所示。现在再考虑单频正弦波的频率 f_a ，它是通过理想脉冲采样器（参见图 2-4A）在频率 f_s 上被采样的。如图所示假定 $f_s > 2f_a$ 。采样器的频域输出显示了每个 f_s 倍频周围原始信号的混叠或镜像，也就是说，它处在与 $|\pm Kf_s \pm f_a|$ ， $K = 1$ ，

2, 3, 4, 相等的频率上。

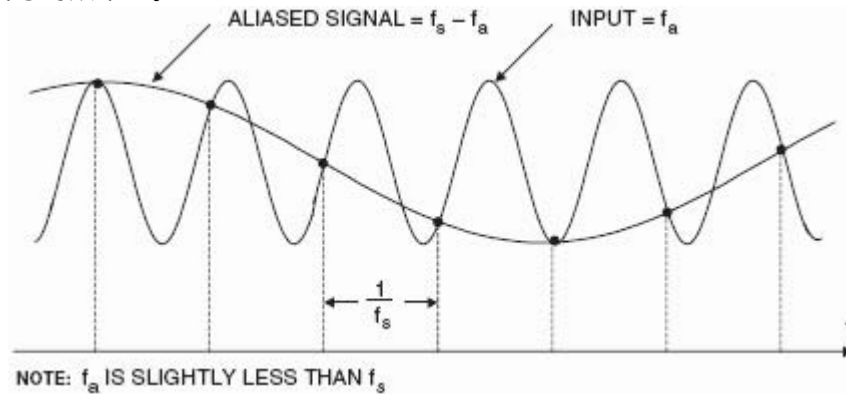


图 2-3: 时域内的混叠。

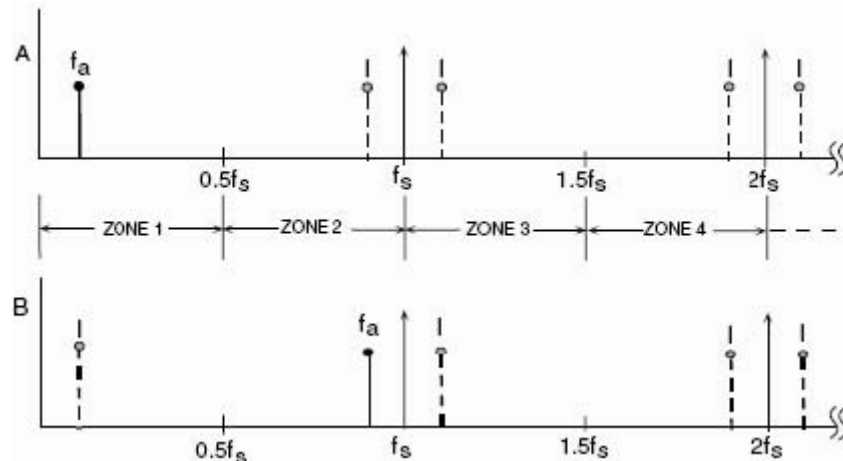


图 2-4: 采用理想的采样器进行采样的、频率为 f_a 的模拟信号在 $|\pm Kf_s \pm f_a|$, $K = 1, 2, 3, \dots$ 处具有镜像。

奈奎斯特带宽被定义为从 dc 到 $f_s/2$ 的频谱。该频谱被分割为一个有着无限数目的奈奎斯特区，如图所示，每个区有一个与 $0.5 f_s$ 相等的带宽。实际上理想的采样器—继 FFT 处理器之后—由 ADC 所取代。FFT 处理器只能提供从 dc 到 $f_s/2$ 的输出，如出现在第一个奈奎斯特区中的信号或混叠。

现在再对第一个奈奎斯特区(见图 2-4B)外的信号予以考虑。信号频率只稍微比采样频率像小一点，这与图 2-3 所示的时域表示中显示的状态是一致的。要注意的是：即使该信号在第一个奈奎斯特区外，其镜像 (或混叠)—($f_s - f_a$)—却不在第一个奈奎斯特区内。再返回图 2-4A，显然如果不需要的信号出现在任何镜像频率的 f_a 上，它也会出现在 f_a 中，因此，在第一个奈奎斯特区中产生不真实的频率成分。

这与模拟混合处理相类似，并且意味着在需要采样器之前就要进行一些滤波，以去除在奈奎斯特区之外的频率成分，但是，那些混叠的成分却不能进入奈奎斯特区内。滤波器的性能将取决于带外信号与 $f_s/2$ 有多近，以及所需衰减的量。

基带抗混叠滤波器

基带采样意味着要被采样的信号位于第一个奈奎斯特区中。要特别强调的是：在理想采样器的输入中没有输入滤波，任何落在奈奎斯特区内的奈奎斯特带宽之外的频率成分(或是信号或是噪声)将会被混叠回第一个奈奎斯特区。基于这个原因，抗混叠滤波器被用在几乎所有的正在采样 ADC 应用中，以去除这些不需要的信号。

正确地确定抗混叠滤波器的指标是至关重要的。第一步是要知道将被采样的信号的特性。假定感兴趣的最高频率是 f_a 。抗混叠滤波器把信号从 dc 传递到 f_a ，同时使信号衰减到 f_a 以上。假定被选择的滤波器的拐角频率与 f_a 相等。在系统动态范围内从最小到最大衰减的有限转换的影响将在图 2-5A 加以说明。

假定输入信号有满刻度成分，并且还远在感兴趣的最高频率 f_a 以上。该图所示说明了在 $(f_s \gg f_a)$ 以上的满刻度频率成分如何被混叠回到 dc 到 f_a 的带宽之中。这些混叠的成分从实际的信号中是不能区别出的，因此，限制了图中所示到 DR 这个值的动态范围。

一些文本建议在对抗混叠滤波器进行确定指标时要考虑奈奎斯特频率— $f_s/2$ ，但是这必须以感兴趣的信号带宽要从 dc 扩展到 $f_s/2$ 为前提，这是极少见的情况。在图 2-5A 所示的实例中，在 f_a 和 $f_s/2$ 之间混叠的成分并非是感兴趣的，并且它不能对动态范围进行限制。

抗混叠滤波器的转换频带因此由拐角频率 f_a ，以及阻带频率 $(f_s - f_a)$ 、所需的阻带衰减和动态范围(DR)来决定。所需的系统动态范围将根据信号保真度的要求进行选择。

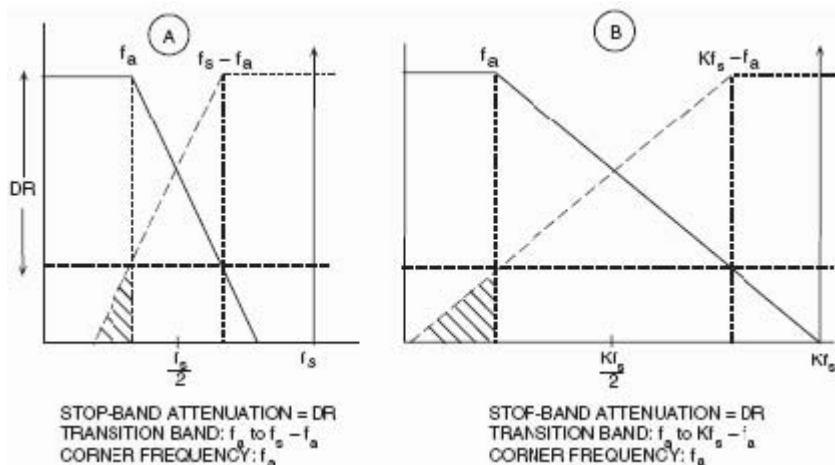


图 2-5: 过采样放松了对基带抗混叠滤波器的要求。

随着转换频带变得更窄，滤波器变得更为陡峭，所有其它的东西则正在渐渐相等。例如，巴特沃兹滤波器为每个滤波器极点提供每倍频程 6dB 的衰减。在 1 MHz 和 2 MHz (1 倍频程) 的转换区间实现 60dB 衰减至少需要 10 个极点，这并非是一个普通的滤波器，无疑，这是一项设计挑战。因此，其它滤波器类型通常更适用于高速应用，这些应用有着快速跳变的频带和与线性相位响应相配的带内平坦度的要求。椭圆滤波器符合这些标准，并且成为了一种受欢迎的选择。大量的公司专门向客户提供模拟滤波器。TTE 即是这样的一个公司(参考 1)。

从这一讨论中，我们可以看出抗混叠转换频带的陡度如何能被 ADC 采样频率所折衷。选择一种

更高的采样率(过采样)能降低对转换频带陡度(亦即滤波器复杂性)的要求,付出的代价就是采用更快的 ADC 和以更快的速率处理数据。如图 2-5B 所示,该图显示了通过因子 K 增加采样频率的效果,同时又保持了相同的模拟拐角频率— f_a 、相同的动态范围— DR 等要求。更宽的转换频带(f_a 到 $(Kf_s \div C f_a)$)使得这种滤波器比图 2-5A 所示的滤波器在设计上更易实现。

抗混叠滤波器的设计过程是从选择 2.5 到 4 倍 f_a 的初始采样率开始的。确定滤波器指标要以所需的动态范围为基础,并且要看这样的滤波器在系统成本和性能的约束方面是否可行。如果不可能,就要对更高的采样率予以考虑,这可能采用更快的 ADC。应当注意的是西格玛-德尔塔 ADC 是固有的过采样转换器,并且会放松对模拟抗混叠滤波器的要求,因此,也成为这种架构的一个额外的优越性。

如果确定在阻带频率($f_s \div C f_a$)上从不会有满刻度信号,对抗混叠滤波器的要求在某种程度上也会被放松。在许多应用中,满刻度信号是不可能出现在这个频率中的。如果在频($f_s \div C f_a$)的最大信号将从不超过满刻度以下的 X dB,那么,滤波器阻带衰减的要求也会有与之相同数量的减少。在以这一信号认识为基础的($f_s \div C f_a$)上,阻带衰减的新的要求目前仅有 $(DR \div C X)$ dB。在进行这种类型的假定时,要对可能出现在最大信号频率 f_a 以上的不需要的任何噪声信号加以仔细处理,这些信号也将会混叠回信号带宽中。

参考 1. Active and Passive Electrical Wave Filter Catalog, Vol. 34, TTE, Incorporated, 2251 Barry Avenue, Los Angeles, CA 90064.

欠采样(谐波采样、带通采样、IF 采样、直接 IF 到数字转换)到目前为止,我们已经对基带采样的情况进行了考虑,例如所有感兴趣的信号位于第一个奈奎斯特区内。图 2-6A 说明了这样一个实例:其中被采样的信号频带被限定在第一个奈奎斯特区内,原始频带的镜像出现在每个其它的奈奎斯特区内。

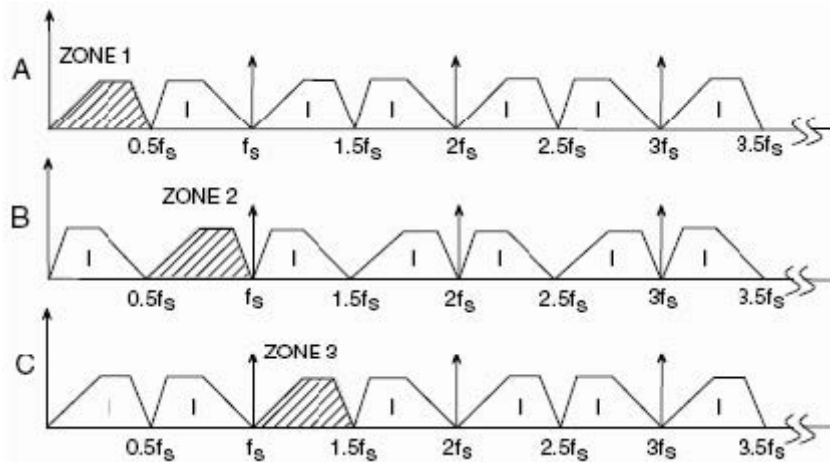


图 2-6: 欠采样。

再对图 2-6B 所示的实例予以考虑,其中被采样的信号频带完全位于第二个奈奎斯特区内。把某个信号从第一个奈奎斯特区采样出来的过程往往被称为欠采样或谐波采样。要注意的是第一个奈奎斯特区镜像包含所有原始信号的信息,但是,其原始位置除外(在频谱内频率成分的顺序被反转,但是通过对 FFT 的输出进行重新排序,这一点很容易得到纠正)。

图 2-6C 显示经采样的信号被限制在第三个奈奎斯特区内。要注意的是第一个奈奎斯特区镜像没有频率倒置。事实上，被采样的信号频率可能位于任何一个单独的奈奎斯特区内，但是，第一个奈奎斯特区镜像仍然是一个准确的表示(当信号位于平均的奈奎斯特区内时出现的频率倒置除外)。在这一点上，我们能对奈奎斯特定律进行明确地重新叙述：

信号必须以与其带宽相等或超过其带宽两倍的速率被采样，以便保存所有的信号信息。

要注意的是，此处没有提及相对于采样频率在频谱内被采样信号的频带绝对位置。唯一的限制是被采样信号被限制到某一个奈奎斯特区，也就是说，信号频率不能超过任何 $f_s/2$ 或其倍频(事实上这是抗混叠滤波器的主要函数)。

在第一个奈奎斯特区以上的采样信号在通讯中已经得到普及应用，这是因为其过程与模拟解调相同。直接对 IF 信号进行采样正成为常见的实践，然后使用数字技术处理信号，因此，也消除了对 IF 解调器的需要。然而，很明显，随着 IF 频率变得更高，对 ADC 的动态性能要求也变得更加重要。ADC 输入带宽和失真性能除了在基带之外，在 IF 频率上也必须足够大。这对大部分设计用来处理在第一个奈奎斯特区内信号的 ADC 提出了问题。因此，适合于欠采样应用的 ADC 必须把动态性能保持到更高阶的奈奎斯特区。

Part 2 explains how ADCs and DACs introduce noise through quantization errors, offset errors, and other "DC" errors. 第 2 部分解释 ADC 和 DAC 如何通过量子化误差、偏移误差和其它 DC 误差产生噪声。

(详情参见：http://www.analog.eetchina.com/ART_8800486842_2600002_TA_bddd4d85.HTM)

第二部分

ADC 和 DAC 的静态传输函数和 DC 误差

对于 DAC 和 ADC 这两者来说，最重要的是记住输入或输出都是数字信号，所以，信号是被量化的。也就是说，N 比特字代表 2^N 个可能状态之一，因此，N 比特 DAC(具有一个固定参考)只能有 2^N 个可能的模拟输出，而 N 比特 ADC 只能有 2^N 个数字输出。模拟信号将一般是电压或电流。

数据转换器的分辨率可以采用若干不同的方式表达，包括最低有效位(LSB)、百万分之一满刻度(ppm FS)、毫伏(mV)。不同的器件(甚至来自相同的制造商)将具有不同的指标，因此，如果他们要成功地比较器件的话，转换器用户必须学会在不同类型器件的指标之间做转换。对于不同的分辨率来说，最小有效位的大小如图 2-7 所示。

RESOLUTION N	2^N	VOLTAGE (10 V FS)	ppm FS	% FS	dB FS
2-bit	4	2.5 V	250,000	25	-12
4-bit	16	625 mV	62,500	6.25	-24
6-bit	64	156 mV	15,625	1.56	-36
8-bit	256	39.1 mV	3,906	0.39	-48
10-bit	1,024	9.77 mV (10 mV)	977	0.098	-60
12-bit	4,096	2.44 mV	244	0.024	-72
14-bit	16,384	610 μ V	61	0.0061	-84
16-bit	65,536	153 μ V	15	0.0015	-96
18-bit	262,144	38 μ V	4	0.0004	-108
20-bit	1,048,576	9.54 μ V (10 μ V)	1	0.0001	-120
22-bit	4,194,304	2.38 μ V	0.24	0.000024	-132
24-bit	16,777,216	596 nV*	0.06	0.000006	-144

NOTES: *600 nV is the Johnson Noise in a 10 kHz BW of a 2.2 k Ω Resistor @ 25°C

10 bits and 10 V FS yields an LSB of 10 mV, 1000 ppm, or 0.1%.
All other values may be calculated by powers of 2.

图 2-7：量化—最小有效位 (LSB) 的大小。

在我们能够考虑用于数据转换器的不同架构以前，有必要考虑被期望的性能，并且指标是至关重要的。下列部分将考虑数据转换器中所使用的误差和指标的定义。这在掌握不同的 ADC/DAC 架构的功效率和弱点的过程中是至关重要的。

数据转换器的第一个应用是在测量和控制中，在那些地方严格的转换时序通常不重要，并且数据率低。在这样的应用中，转换器的直流指标是重要的，但是，时序和交流指标就不重要。目前，许多—如果不是大多数的话—转换器被用于采样和重构系统之中，在那里交流指标就至关重要（直流指标可能就不重要）。这些内容将在本文的下一部分介绍。

图 2-8 显示了 3 比特单极性 DAC 的理想传输特性，而图 2-9 是三比特单极性 ADC 的特性。在 DAC 中，输入和输出两者都被量化，而图形由 8 点组成。虽然通过这些点讨论直线是合理的，但是，非常重要是记住实际的传输特性并不是直线，而是许多离散的点。

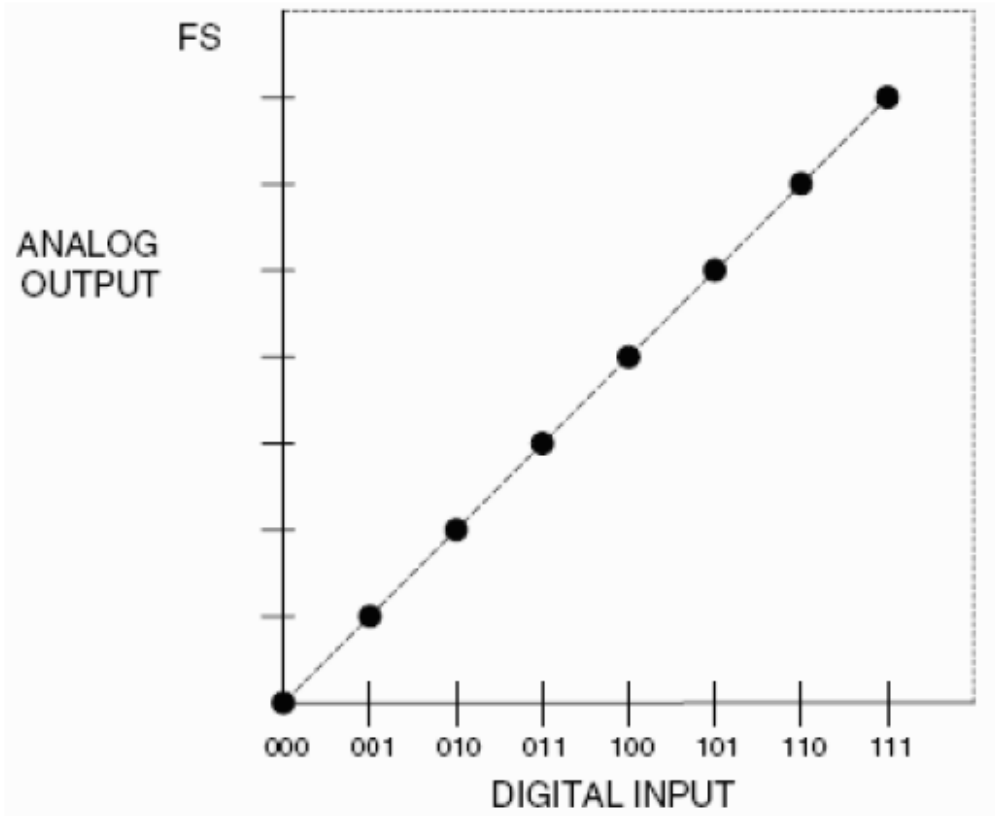


图 2-8 : 3 比特单极性 DAC 的理想传输函数。

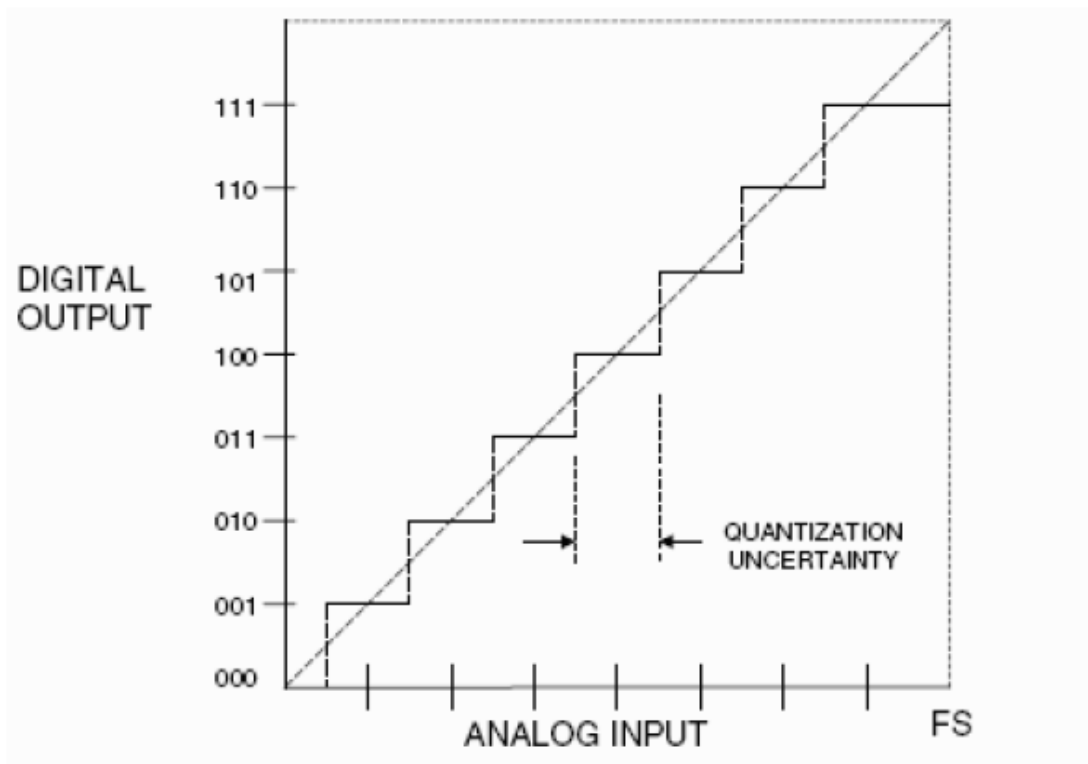


图 2-9：3 比特单极性 ADC 的理想传输函数。

ADC 的输入是模拟信号而未经量化，但是，其输出被量化。因此，其传输特性由 8 个水平台阶组成(当考虑偏移、增益和 ADC 的线性度时，我们考虑把这些台阶的中点用直线连接起来)。

在两种情形下，数字满刻度(全 1)对应于小于模拟满刻度的 1LSB(参考，或它的一些倍数)。如上所述，这是因为数字编码表示模拟信号到参考点的归一化比率。

(理想)的 ADC 转换发生在零之上的 $1/2\text{LSB}$ 处，因此，其后每一个 LSB，直到小于模拟满刻度 $1-1/2\text{LSB}$ 。因为到 ADC 的模拟输入可以取任意值，但是，数字输出被量化，所以，在实际模拟输入和严格的数字输出值之间，可能有高达 $1/2\text{LSB}$ 的误差。这就被称为量化误差或量化不确定性，如图 2-9 所示。在交流(采样)应用中，这种量化误差造成了量化噪声的上升，这将在本文的下一部分讨论。

对于数据转换器来说，有许多可能的数字编码方案，如二进制码、偏移二进制码、1 的补码、2 的补码、格雷码、BCD 码和其它编码。这一部分将主要讨论围绕数据转换器的模拟问题，在它的例子中将采用简单二进制码和偏移二进制码，而不会考虑这些或任何其它形式的数字编码的优缺点。

在图 2-8 和图 2-9 中的例子采用单极性转换器，其模拟端口只有一种单一极性。这些都是简单的类型，但是，单极性转换器在现实世界应用中通常更为有用。单极性转换器有两种类型：1. 较简单的单极性转换器具有精确的 1MSB 的负偏移(许多转换器都是这样安排的，以便这个偏移能被切换进来和切换出去，从而根据需要被用做单极性转换器或双极性转换器)；2. 更为复杂的

符号大小转换器，它具有 N 比特的大小信息以及一个对应于模拟信号的符号的附加比特。符号大小 DAC 相当少见，并且符号大小 ADC 多见于数字万用表(DVM)中。

在数据转换器中，有四种直流误差，它们分别是偏移误差、增益误差和两类的线性误差。偏移误差和增益误差类似于放大器中的偏移误差、增益误差，如图 2-10 所示为单极性转换器的输入范围。(然而，在放大器和单极性数据转换器中，偏移误差和零误差是相同的，但是，在双极性转换器中却不同，要小心区分。)DAC 和 ADC 两者的传输特性都可以由 $D = K + GA$ 表示，其中，D 是数字编码，A 是模拟信号，K 和 G 是常数。在单极性转换器中，K 是零，而在偏移双极性转换器中，K 是 -1 MSB。偏移误差是实际数值 K 与其理想数值之间的偏移量。增益误差是实际数值 G 与其理想数值之间的差值，并且通常被表示为两者之间的百分比差，虽然在满刻度时它可以被定义为对总误差的增益误差贡献(单位是 mV 或 LSB)。这些误差通常可以由数据转换器用户调节。然而，要注意放大器的偏移是在零输入时被调节，而增益是在接近满刻度时内调节。对于双极性转换器的调节算法没有这么直截了当。

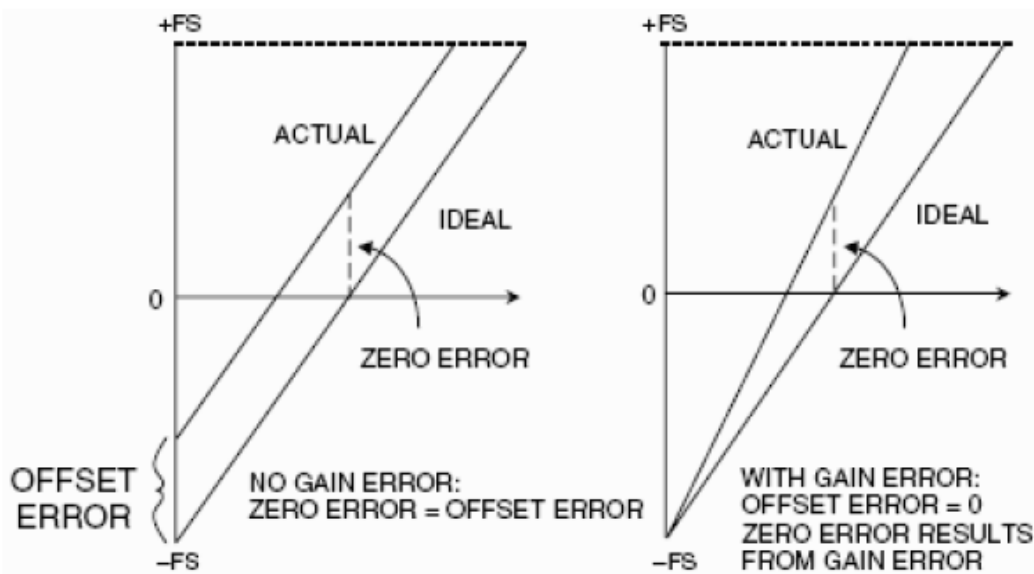


图 2-10: 转换器偏移和增益误差。

转换器的整个线性误差也类似于放大器的线性误差，并且被定义为转换器的实际传输特性与直线的最大偏差，并且一般被表示为满刻度的百分比(但是可能以 LSB 给出)。选择直线有两种常见的方式：端点和最佳直线(见图 2-11)。

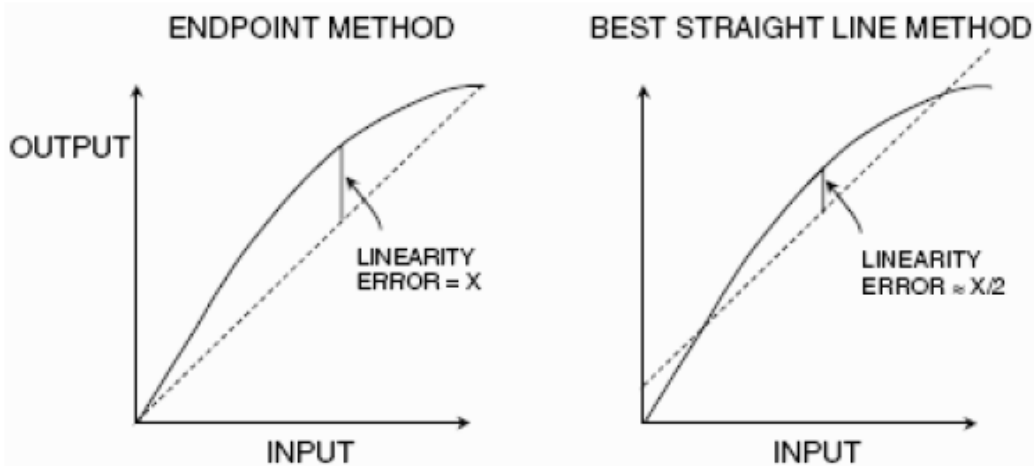


图 2-11：测量整体线性误差的方法(在两张图上采用相同的转换器)。

在端点系统中，偏差由通过原点和满刻度点(在增益调节之后)的直线测得。这是对数据转换器的测量和控制应用的最有用的整体线性测量(因为误差预算取决于理想传输特性的偏差,而不是取决于一些任意的“最佳拟合点”),并且是模拟器件公司通常采用的测量方法。

然而，最佳直线确实对交流应用中的最佳失真预测给予了较好的估计，并且也在数据表上给予“线性误差”较低的数值。利用标准的曲线拟合技术，由器件的传输特性可以画出最佳的拟合直线，并且最大的偏差就是从这跟线测得的。一般地说，以这种方式测得的整体线性误差仅仅是由端点方法测得的数值的 50%。对于产生令人印象深刻的数据表来说，这是一种好方法，但是，对于误差预算分析来说，这种方法没有用。对于交流应用，详细定义失真甚至比直流线性度更好，因此，很少有必要采用最佳直线方法来定义转换器的线性度。

转换器非线性的其它类型是差分非线性(DNL)。这与转换器的代码转换的线性度有关。在理想的情形下，在数字编码中的 1LSB 变化对应于模拟信号的严格的 1 LSB 变化。在 DAC 中，数字

编码中的 1 LSB 变化产生严格的 1 LSB 模拟输出的变化，与此同时，在 ADC 中从一个数字转换到下一个数字转换应该有严格的 1 LSB 模拟输入的变化。

在模拟信号对应于 1 LSB 数字变化大于或小于 1 LSB 的地方，被称为 DNL 误差。转换器的 DNL 误差通常被定义为在任何转换中发现的最大 DNL 数值。如果 DAC 的 DNL 在任何转换中小于 -1 LSB(见图 2-12)，那么，DAC 就是非单调一致的；即它的传输特性包含一个或一个以上的本地化最大或最小 DNL 数值。DNL 大于 +1 LSB 并不会造成非单调一致性，但是，它仍然是不受欢迎的。在许多 DAC 应用(特别是非单调一致性能够改变负反馈到正反馈的闭环系统的地方)中，DAC 是单调一致就非常重要。DAC 的非单调一致性常常在数据表上是明确地规定的，尽管 DNL 保证小于 1 LSB(即 $|DNL| < 1LSB$)，该器件必须是单调一致的，即使没有明确的保证。

ADC 可以是非单调一致的，但是，在 ADC 中过大的 DNL 导致编码丢失的情况却更为常见(见图 2-13)。在 ADC 中丢失的编码(或非单调一致性)跟在 DAC 中非单调一致性一样令人讨厌。此外，它们导致 $DNL > 1 LSB$ 。

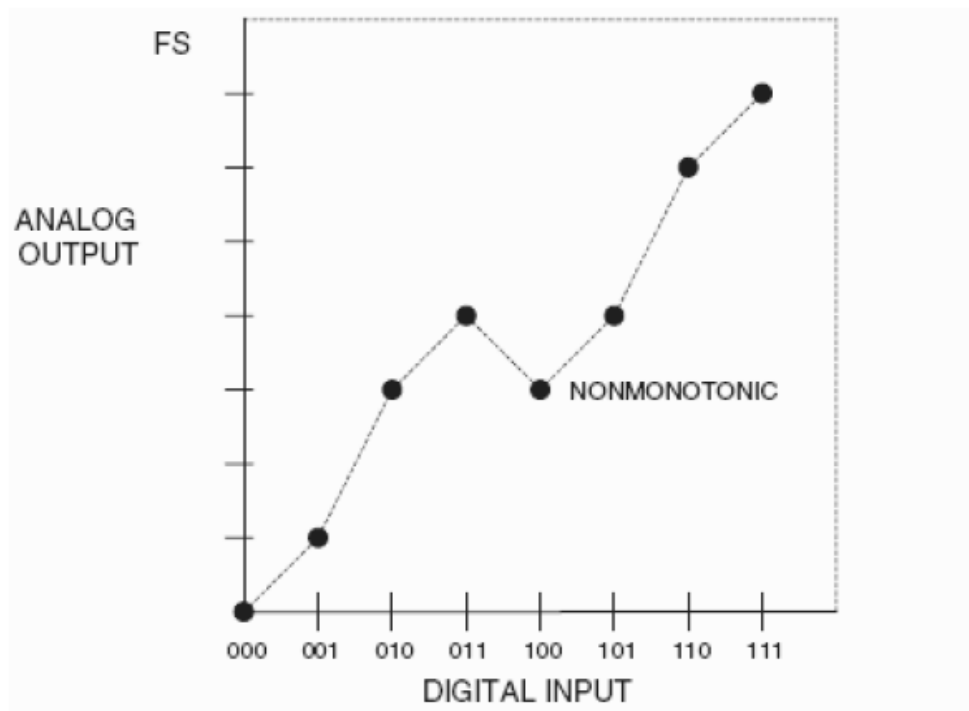


图 2-12：非理想的 3 比特 DAC 的传输函数。

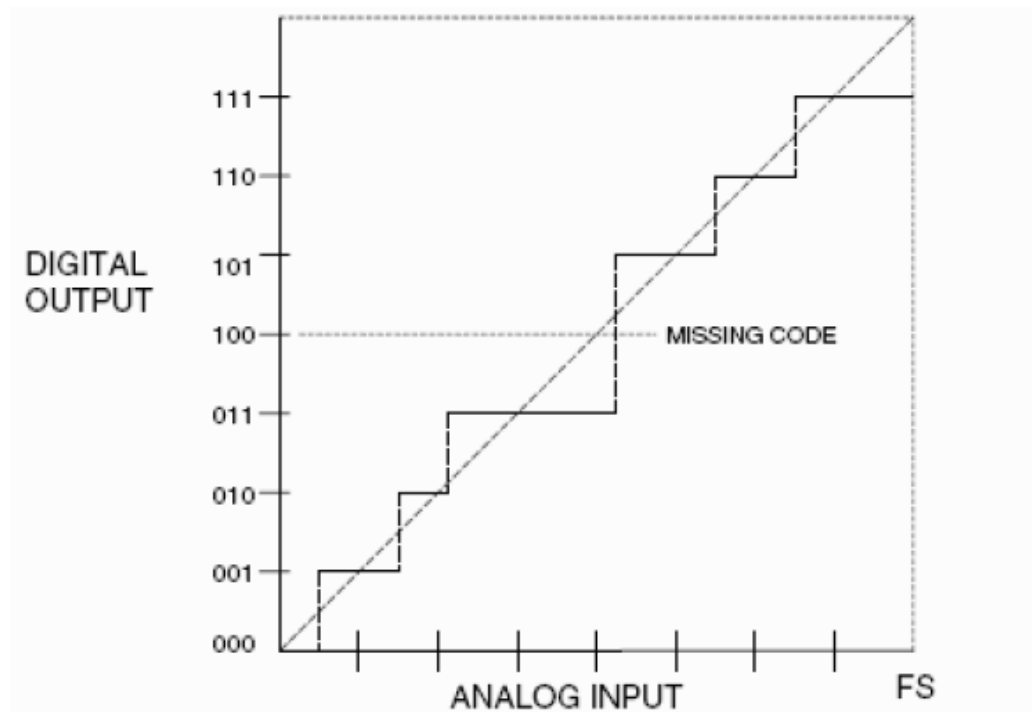


图 2-13：非理想的 3 比特 ADC 的传输函数。

定义丢失的代码比定义非单调一致性更困难。所有的 ADC 都会受到图 2-14 所示的转换噪声的影响(把它视为 DVM 最后一位的邻近数值之间的闪烁)。随着分辨率变得越来越高,转换噪声出现的输入范围可能接近或超过 1 LSB。在这样的情形下,特别是如果与负的 DNL 误差结合在一起,可能有一些(或甚至全部)编码上的转换噪声会呈现在整个输入范围内。因此,对于没有输入的一些编码,将确保那个编码作为输出,尽管有时可能存在一定范围将产生那种编码的输入。

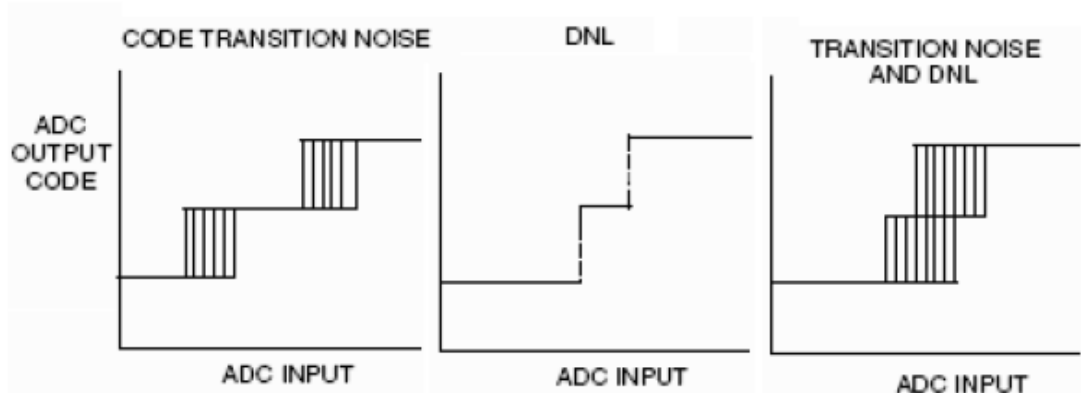


图 2-14 : ADC 编码转换噪声和 DNL 的组合效应。

对于较低分辨率的 ADC,把无丢失的编码定义为转换噪声和 DNL 的组合可能是合理的,以便为所有的编码都提供一些无噪声编码的级别(或许是 0.2LSB)。然而,通过现代的 sigma-delta ADC 不可能以非常高的分辨率实现,或甚至在大带宽的采样 ADC 中以较低分辨率实现。在这些情形下,制造商必须以一些其它的方式定义噪声级别和分辨率。采用哪一种方法并不重要,但是,数据表应该包含所用方法的清晰定义及期望得到的性能。

在数据转换器中的交流误差

在过去的十年中,数据转换器的主要应用就是交流采样和信号重构。在非常简单的术语中。采样数据系统是一种交流波形的瞬时数值被以规则的间隔进行采样的系统。所得到的数字编码可能被用于存储波形(如在 CD 和 DAT 中一样),或在样本上的密集计算(数字信号处理或 DSP)可能被用于执行滤波、压缩和其它操作。当一系列数字编码被馈入 DAC 重构一个交流波形时,这个过程就称为波形重构,CD 或 DAT 播放机就是明显的例子,但是,该技术被非常广泛地应用于电信、无线电、合成器和许多其它的应用。

在这些应用中所采用的数据转换器必须具备良好的交流信号的性能,但是,可能不需要良好的直流指标。第一个针对这样的应用而设计的高性能转换器常常都是以良好的交流指标制造出来的,但是,直流指标差或未定义。目前,设计折衷得到了较好的理解,并且大多数转换器将具有良好、受保护的交流和直流指标。然而,用于数字音频的 DAC 必须在价格上极其具有竞争力,它们一般都以比较差的直流指标出售,这并不是因为它们的直流性能差,而是因为制造的过程中就没有测试。

尽管一起讨论 DAC 和 ADC 的直流参数比较容易,但是,它们的交流指标十分不同,因此,要分开考虑。

在理想的 N 比特 ADC 中的失真和噪声

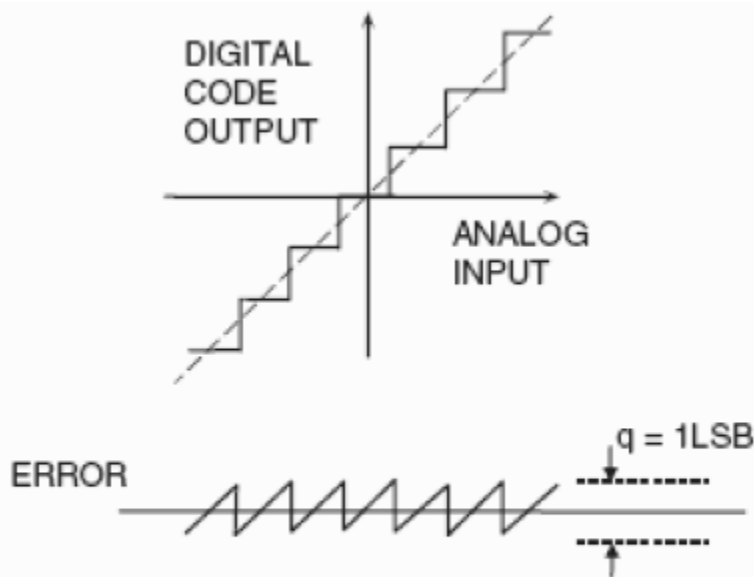
迄今为止，我们都是在不考虑 ADC 的量化效应的情况下考察采样过程的含义。下面，我们将把 ADC 视为理想的采样器，但是，包含量化效应。

与理想的 N 比特 ADC 相关的唯一误差是那些与采样和量化过程相关的误差。当数字化直流输入信号是 $\pm 1/2$ LSB 时，理想 ADC 会产生最大误差。任何施加到理想 N 比特 ADC 上的交流信号都将产生量化噪声，在此，RMS 数值(在直流到 $f_s/2$ 的奈奎斯特带宽内测得)大约等于最小有效位 (LSB) 的权重 q 除以 $\sqrt{12}$ 。这就假设该信号至少幅度为几个 LSB，以便 ADC 输出总是改变状态。来自线性斜坡输入的量化误差信号是近似于峰-峰振幅等于 q 的锯齿波，因此，其 RMS 数值为 $q/\sqrt{12}$ (图 2-15)。

可以证明，满刻度正弦波的 SNR 数值与量化误差的 RMS 数值之比(以 dB 表示)为：

$SNR = 6.02 N + 1.76 \text{ dB}$ ，其中，N 是理想 ADC 中的比特数。当且仅当噪声在从直流到 $f_s/2$ 的整个奈奎斯特带宽上测得时，该方程才有效，如图 2-16 所示。如果信号带宽 BW 小于 $f_s/2$ ，那么，在信号带宽 BW 内的 SNR 会增加，因为在信号带宽内的量化噪声比较小。这种情况的正确表示如下：

$$SNR = 6.02 + 1.76 \text{ dB} + 10 \log \left(\frac{f_s}{2 \times BW} \right)$$



$$RMS \text{ ERROR} = q/\sqrt{12}$$

$$SNR = 6.02N + 1.76 \text{ dB} + 10 \log \left[\frac{f_s}{2 \times BW} \right] \text{ FOR FS SINE WAVE}$$

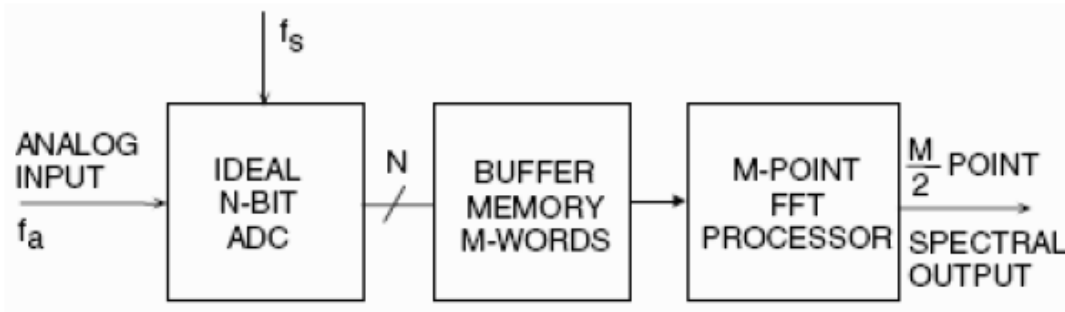
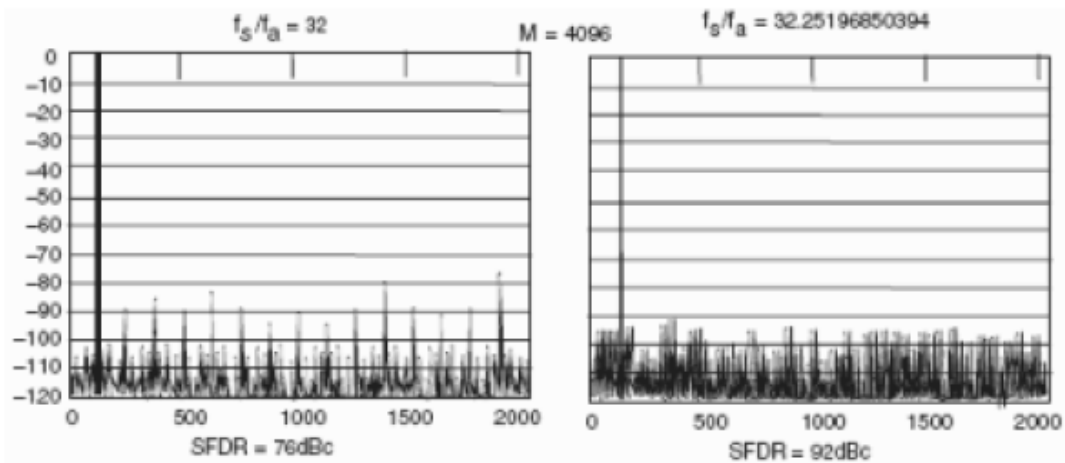
图 2-17：理想的 N 比特 ADC 的动态性能分析。

图 2-18：采样时钟频率与输入信号频率之比的影响。

注意：在 ADC 的明显谐波失真中的偏差是采样过程和输入频率与量化噪声的相关性的产物。在特殊的 ADC 应用中，一般地说，量化噪声以随机噪声的形式出现，因为宽带输入信号的本质是随机的，并且实际上通常存在小量的系统噪声，它作为颤动信号进一步随机化量化误差的频谱。

了解上述要点是至关重要的，因为对 ADC 进行单音调正弦 FFT 测试是对性能评估普遍接受的方法。为了精确地测量 ADC 的谐波失真，要采取步骤确保测试设置真实地测量 ADC 的失真，而不是测量因量化噪声相关性引起的失真。通过选择适当的频率比并有时通过在输入信号中插入小量的噪声(抖动)，可以做到这一点。

现在，回到图 2-18 中，注意 FFT 的噪声基底的平均值大约为满刻度以下 100dB，但是，12 比特 ADC 的理论 SNR 为 74dB。FFT 噪声基底不是 ADC 的 SNR，因为 FFT 作为具有带宽为 f_s/M 的模拟频谱分析仪，其中， M 是 FFT 中的点数。因此，理论 FFT 噪声基底为量化噪声基底以下 $10\log_{10}(M/2)$ dB，因为 FFT 存在所谓的处理增益(图 2-19)。在 SNR 为 74dB 的理想 12 比特 ADC 的情形下，4096 点 FFT 会导致 $10\log_{10}(4096/2) = 33$ dB 的处理增益，因而使整个 FFT 噪声基底为 $74 + 33 = 107$ dBc。实际上，通过采用越来越大的 FFT，FFT 的噪声基底可以被进一步减小；正如模拟频谱分析仪的噪声基底可以由缩小带宽来减小一样。当利用 FFT 测试 ADC 的时候，

至关重要的是确保 FFT 的点数足够大，以便失真积能够不同于 FFT 噪声基底本身

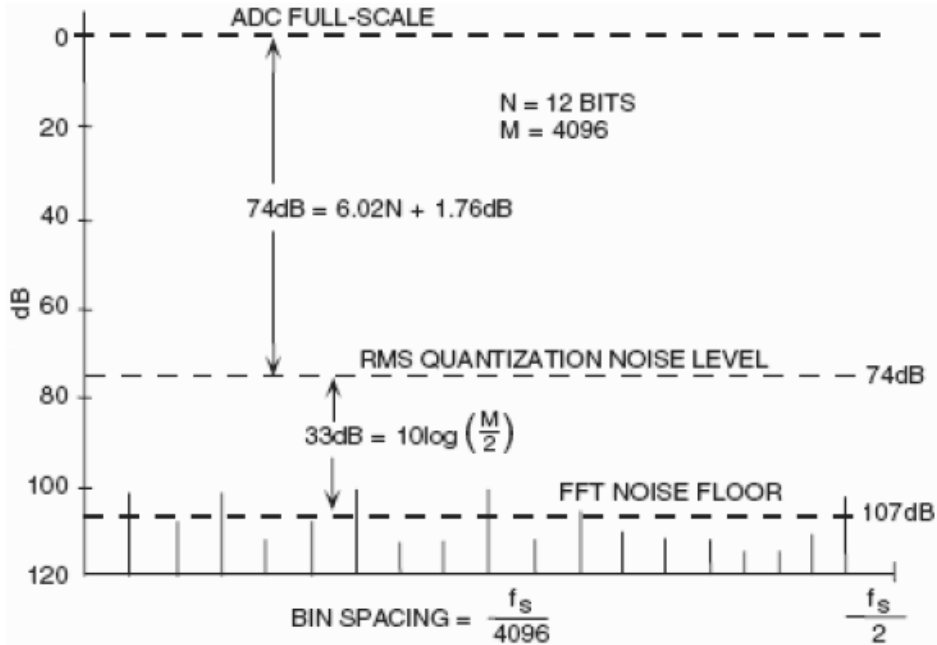


图 2-19: Noise Floor for an Ideal 12-Bit ADC Using 4096-Point FFT.

图 2-19: Noise Floor for an Ideal 12-Bit ADC Using 4096-Point FFT.

(详情参见：http://www.analog.eetchina.com/ART_8800486843_2600002_TA_6b70e16c.HTM)

第三部分

在实际 ADC 中的失真和噪声

不论采用什么架构，实际的采样 ADC(具有集成的采样和保持)都具有许多噪声和失真源，如图 2-20 所示。宽带模拟前端缓冲器具有宽的噪声、非线性及有限的带宽。SHA 进一步引入了非线性、带限和孔径抖动(aperture jitter)。ADC 实际量化器部分引入量化噪声以及积分和差分非线性。在本文的讨论中，假设 ADC 的连续输出被载入长度为 M 的缓冲存储器，并且 FFT 处理器提供谱输出。此外，假设 FFT 算法运算本身没有引入相对于 ADC 的重大误差。然而，当考察输出噪声基底时，必须考虑 FFT 处理增益(取决于 M)。

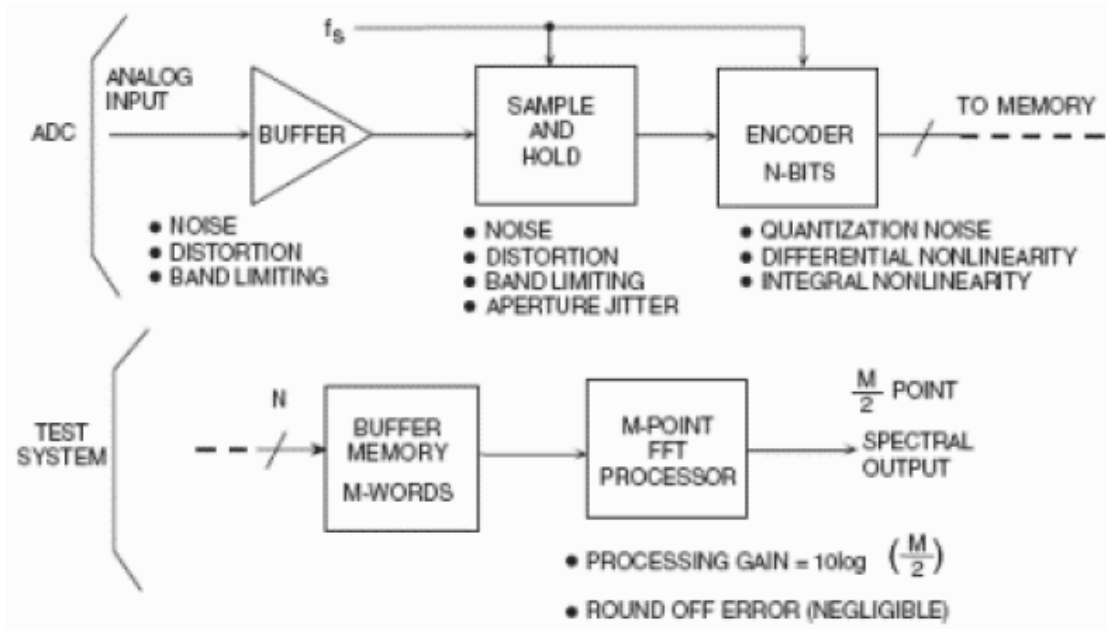


图 2-20: 显示噪声和失真源的ADC模型。

等效输入涉及的噪声（热噪声）

因热和 kT/C 效应，宽带 ADC 内部电路引入一定量的宽带 RMS 噪声。这种噪声甚至呈现在直流输入信号上，如图 2-21 所示，以直流输入的标称数值为中心，实际上大多数宽带（或高分辨率）ADC 的输出是一种代码的分布。为了测量其数值，ADC 的输入被接地，并且大量的输出采样被收集并以柱状图被打印出来（有时指的是接地输入的柱状图）。因为噪声接近高斯噪声，柱状图的标准偏差可以方便地计算出来，对应于有效的输入 RMS 噪声。以 LSB 表示这种 RMS 噪声是常见的实践，虽然它可以表示为 RMS 电压。

可以采取不同的方式提取 ADC 交流性能的特征。在 ADC 技术的早期（30 多年以前），就交流指标而言，很少有标准化，并且人们也没有很好地掌握测量设备和技术，或者没有测量设备和技术可用。经过 30 多年的发展，制造商和客户已经学会了测量转换器的动态性能，如图 2-22 所示的指标表示了目前所采用的最流行的指标。实际上，所有的指标都是在频域表示转换器的性能。FFT 实际上是所有的测量的核心并将在本书的第五部分详细讨论。

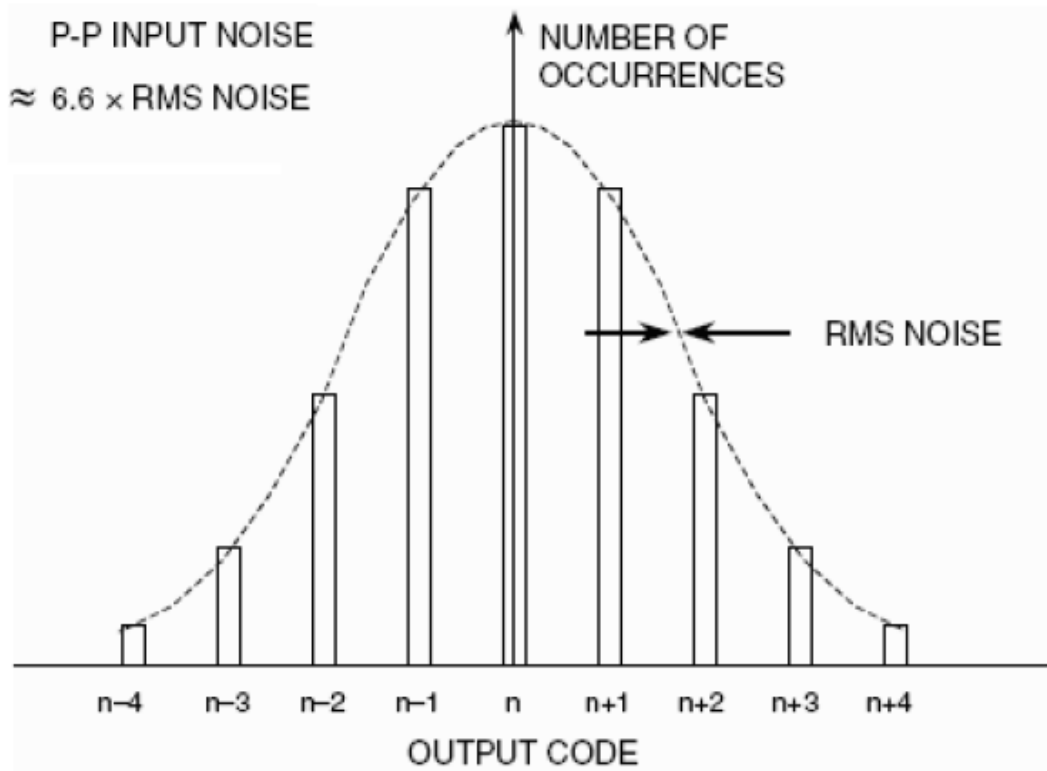


图 2-21：在 ADC 的接地输入柱状图上涉及输入噪声的效应。

- Harmonic Distortion
- Worst Harmonic
- Total Harmonic Distortion (THD)
- Total Harmonic Distortion Plus Noise (THD + N)
- Signal-to-Noise-and-Distortion Ratio (SINAD, or S/N + D)
- Effective Number of Bits (ENOB)
- Signal-to-Noise Ratio (SNR)
- Analog Bandwidth (Full Power, Small Signal)
- Spurious-Free Dynamic Range (SFDR)
- Two-Tone Intermodulation Distortion
- Multitone Intermodulation Distortion

图 2-22：量化 ADC 的动态性能。

积分和差分非线性失真效应 在考察数据转换器的非线性时,首先要认识到的事情就是数据转换器的传输函数存在在传统的线性器件如运放或增益模块中不会出现的人为现象。ADC 的整体积

分非线性归因于前端的非线性和 SHA 及 ADC 传输函数的整体积分非线性。然而，差分非线性完全归因于编码过程，并且取决于 ADC 的编码架构，可能有很大的变化。整体积分非线性产生失真乘积，其幅度随着输入信号幅度的函数而变化。例如，信号电平每增加 1dB，二阶交调乘积就增加 2 dB，而信号电平每增加 1dB，三阶交调乘积就增加 3 dB。

在 ADC 传输函数中的差分非线性所产生的失真乘积不仅仅取决于信号的幅度，而且取决于沿着 ADC 传输函数的差分非线性的位置。图 2-23 所示为具有差分非线性的两个 ADC 传输函数。左手边的方框图显示了一个出现在中等量程的误差。因此，对于大和小的信号，通过这一点的信号产生比较独立于信号幅度的失真乘积。右手边的方框图显示了另外一个在 1/4 和 3/4 满量程处具有差分非线性误差的 ADC 传输函数。高于 1/2 量程峰-峰值的信号将遍及这些编码并产生失真，与此同时，那些小于 1/2 量程峰-峰值的信号不会。

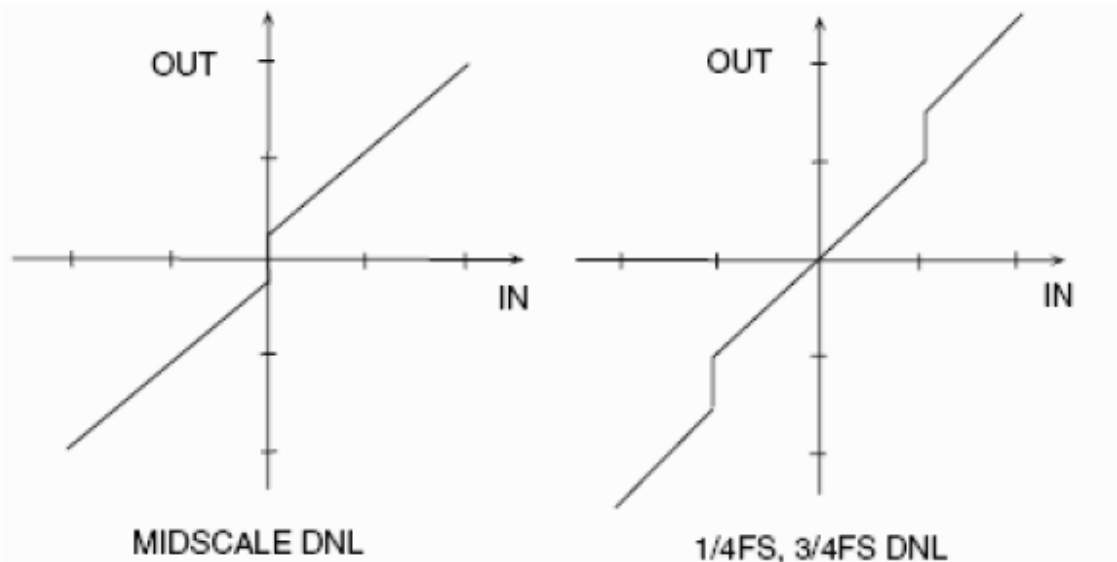


图 2-23：典型的 ADC/DAC DNL 误差。

大多数高速 ADC 被设计为把差分非线性扩展到整个 ADC 的范围内。因此，对于在满量程以内几个 dB 的信号，传输函数的整个积分非线性决定失真乘积。然而，对于较低电平的信号，谐波成分主要由差分非线性控制，并且一般不会随着信号幅度的降低而成比例地减少。

谐波失真、最坏谐波、总谐波失真(THD)、总谐波失真加噪声(THD + N)

若干方法可以用来对 ADC 的失真进行量化。FFT 分析能被用于测量信号的不同谐波的幅度。通过它们在频域中的位置，输入信号的谐波可以跟其它失真乘积区分开。图 2-24 显示了以 20MSPS 采样的一个 7MHz 输入信号及其头 9 个谐波的位置。fa 的混叠谐波落在等于 $|\pm Kfs \pm nfa|$ 的频率上，其中，n 是谐波的阶次， $K = 0, 1, 2, 3, \dots$ 。在数据表上，一般给定的仅仅是二次和三次谐波，因为它们最大，虽然一些数据表可能详细给出了最坏谐波的数值。谐波失真通常用 dBc 来指定(低于载波的分贝数)，尽管在音频它可能以百分比来指定。谐波失真一般都采用在满量程附近的一个输入信号来详细说明(一般都在满量程以下 0.5dB 到 1dB，以免削峰)，但是，它可以在任何电平被指定。对于远远低于满量程的信号，其它归因于转换器的 DNL 的失

真乘积(不是直接谐波)可能限制其性能。

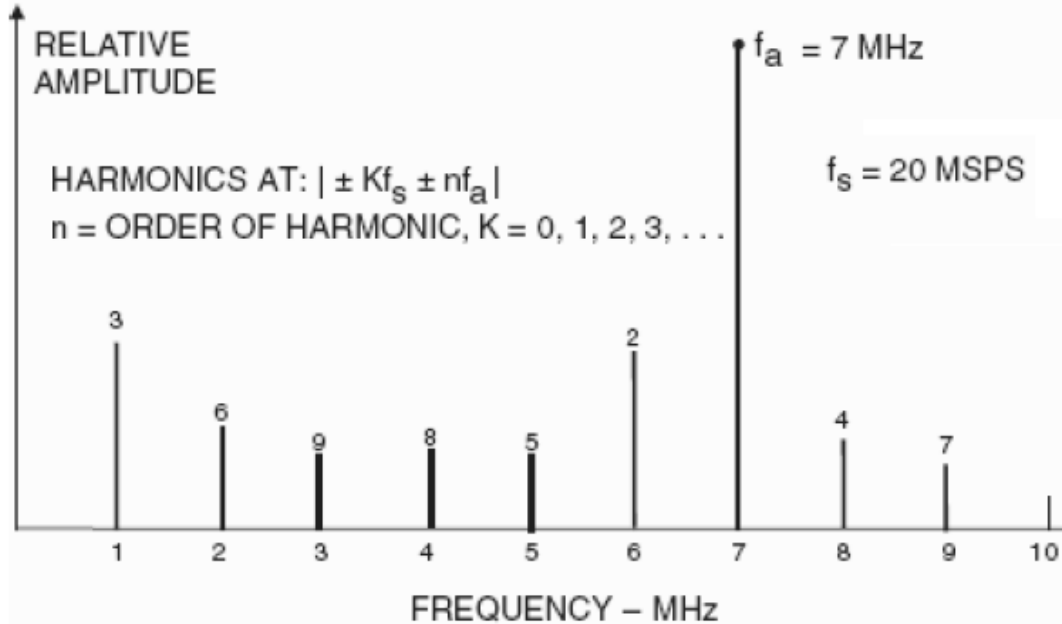


图 2-24：谐波失真乘积的位置：输入信号=7 MHz，采样频率= 20 MSPS。

总的谐波失真(THD)是基波信号 RMS 数值与各个谐波成分平方和的根的平均值之比(一般地说,只有头 5 个谐波重要)。ADC 的 THD 还一般由接近满量程的输入信号来详细说明,尽管它可能被以任何电平详细说明。

总谐波失真加噪声(THD + N)是基波信号 RMS 数值与各个谐波成分平方和的根的平均值加所有噪声成分之比(直流除外)。必须详细说明噪声被测量的带宽范围。在 FFT 的情形下,带宽为从直流到 $f_s/2$ (如果带宽的测量是从直流到 $f_s/2$,那么,THD+N 等于 SINAD,见下图)。

信号-噪声-失真比(SINAD)、信噪比(SNR)和有效比特数(ENOB)

SINAD 和 SNR 值得特别注意,因为关于它们的精确意义,在各个 ADC 制造商之间仍然存在一些差异。信号-噪声-失真比(SINAD,或 $S/N + D$)是 RMS 信号幅度与所有其它的谱成分的平方和的根,包括谐波但不包含直流。SINAD 作为输入频率的函数,是 ADC 的整个动态性能的良好表示,因为它包含构成噪声(包括热噪声)和失真的所有成分。它的绘图常常针对不同的输入幅度。SINAD 等于 THD + N,如果对噪声的测量带宽相同的话。如图 2-26 所示为对 12 比特 10 MSPS ADC AD9220 的典型绘图。

■ SINAD (Signal-to-Noise-and-Distortion Ratio):

- ◆ The Ratio of the RMS Signal Amplitude to the Mean Value of the Root-Sum-Squares (RSS) of all other Spectral Components, including Harmonics, But Excluding DC

■ ENOB (Effective Number of Bits):

$$\text{ENOB} = \frac{\text{SINAD} - 1.76\text{dB}}{6.02}$$

■ SNR (Signal-to-Noise Ratio, or Signal-to-Noise Ratio Without Harmonics):

- ◆ The Ratio of the RMS Signal Amplitude to the Mean Value of the Root-Sum-Squares (RSS) of all Other Spectral Components, Excluding the First 5 Harmonics and DC

图 2-25 : SINAD、NOB 和 SNR。

SINAD 绘图显示了那些因高频失真导致的交流性能退化，并且通常针对远远大于奈奎斯特以上的频率进行绘图，以便评估在过采样应用中的性能。SINAD 常常被转换为有效比特数(ENOB)，这要利用理想的 N 比特 ADC 的理论关系： $\text{SNR} = 6.02 N + 1.76 \text{ dB}$ 。该方程是用于求解 N 的，并且用 SINAD 的数值取代 SNR。

信噪比(SNR 或没有谐波的 SNR)采用跟 SINAD 相同的方法计算，但是，在计算中不包含信号的谐波，仅仅留下噪声项。因为头 5 次谐波占支配地位，所以，实际上只要把它们排除在计算之外。SNR 绘图在高频将退化，但是，不如 SINAD 那么快，因为不包含谐波项。许多现有的 ADC 数据表有些宽松地指 SINAD 为 SNR，因此，工程师在解释这些指标时要小心。

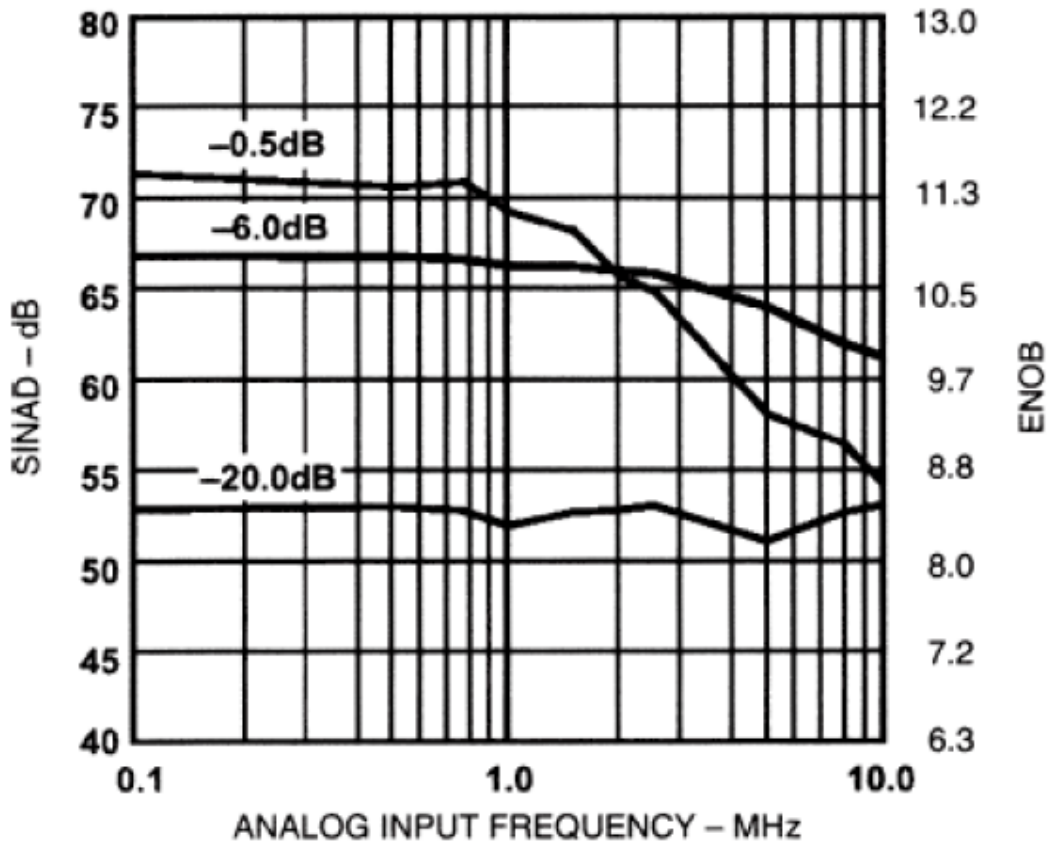


图 2-26：针对不同的输入信号电平的 12 比特 10 MSPS ADC AD9220 的 SINAD 和 ENOB。

模拟带宽

基波扫频(由 FFT 分析确定)的谱输出被减低 3dB 的频点就是 ADC 的模拟带宽。该带宽可能由小信号(SSBW 小信号带宽)或满量程信号(FPBW-满功率带宽)来确定，因此，各个制造商提供的指标可能有很大的差异。

像放大器一样，转换器的模拟带宽指标并不意味着 ADC 在到达其带宽频率之前都维持良好的失真性能。实际上，大多数 ADC 的 SINAD(或 ENOB)在输入频率逼近实际 3dB 带宽频率之前就开始大大地退化。图 2-27 显示了具有 1 MHz FPBW 的 ADC 的 ENOB 和满量程频率响应；然而，ENOB 在 100kHz 以上就快速地下降。

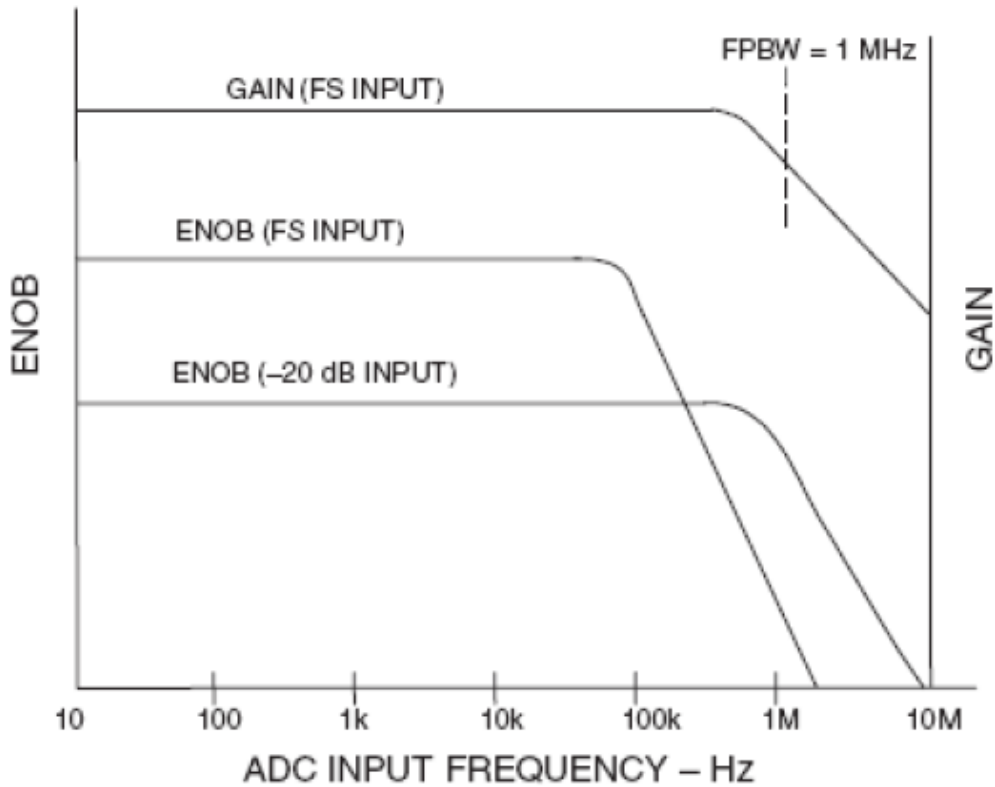


图 2-27：ADC 增益(带宽)和 ENOB 与频率的关系显示了 ENOB 指标的重要性。

(详情参见：http://www.analog.eetchina.com/ART_8800490249_2600002_TA_ee4348ff.HTM)

第四部分

无杂波动态范围(SFDR)

在通信应用中或许最重要的指标就是它的无杂波动态范围。SFDR 指标对于 ADC 来说，就像对混频器和 LNA 的三阶交调截取点指标。ADC 的 SFDR 被定义为 RMS 信号幅度对峰值杂波频谱成分的 RMS 数值之比(在直流到 $f_s/2$ 的整个第一奈奎斯特区测得)。SFDR 一般被描绘为信号幅度的函数，并可能像图 2-28 所示那样，被描绘为相对于信号幅度(dBc)或 ADC 的满量程(dBFS)。

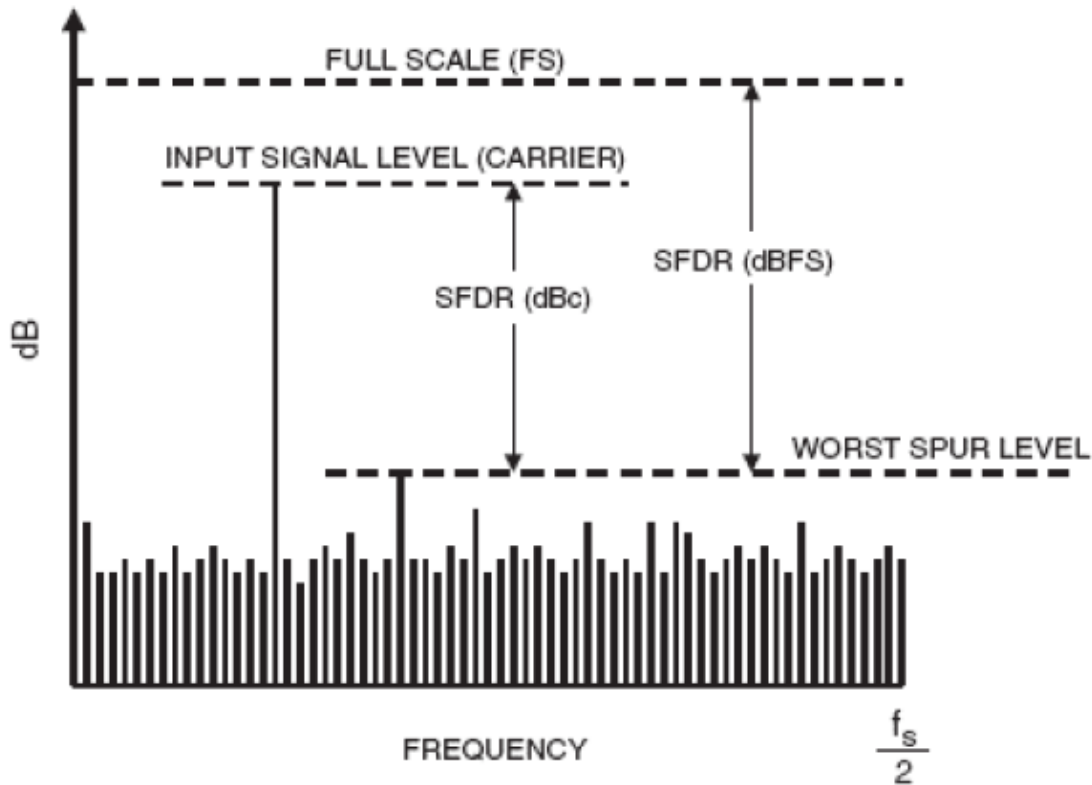


图 2-28：无杂波动态范围(SFDR)。

对于接近满量程的信号，峰值频谱杂波一般由基波的头几个谐波之一决定。然而，当信号落在小于满量程若干 dB 时，其它出现的杂波一般不是输入信号的直接谐波。这是因为存在前面讨论过的 ADC 传输函数的差分非线性的缘故。因此，SFDR 要考虑所有源的失真，而不论它们来自何处。

AD9042 是一种面向通信应用的 12 比特、41 MSPS 宽带 ADC，在此，高 SFDR 时至关重要的。对于 19.5 MHz 的输入和 41 MSPS 采样频率，SFDR 如图 2-29 所示。注意：在整个第一奈奎斯特区获得了 80 dBc 的最小 SFDR(直流到 20MHz)。绘图还显示 SFDR 被表示为 dBFS。

SFDR 一般比 ADC 的理论 N 比特 SNR($6.02 N + 1.76$ dB)要大的多。例如，AD9042 是具有 80 dBc SFDR 和 65 dBc 典型 SNR(理论 SNR 为 74 dB)的 12 比特 ADC。这是因为噪声和失真测量之间存在根本的区别。FFT 的处理增益(对于 4096 点 FFT 为 33 dB)让频率杂波远远小于被观察的噪声基底。向 ADC 增加额外的分辨率可能要增加起 SNR，但是，可能会或可能不会增加它的 SFDR。

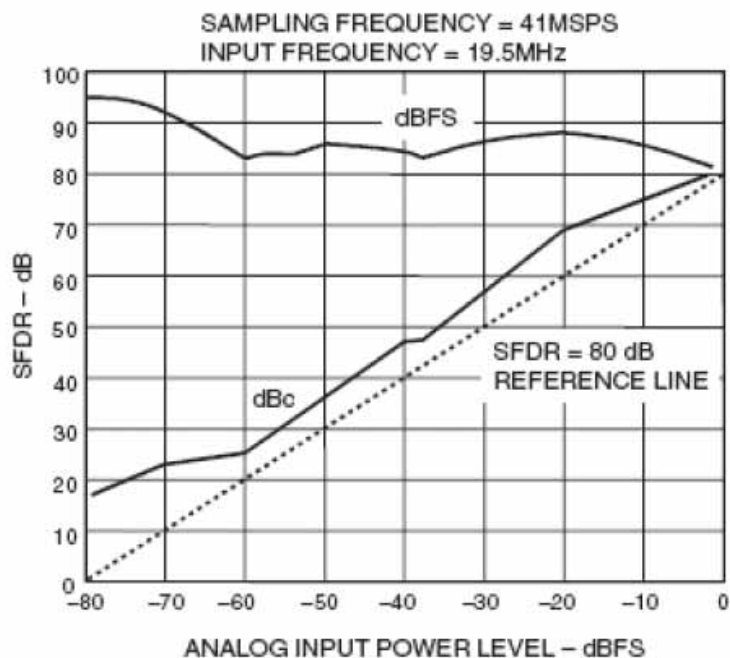


图 2-29: 12 比特 41 MSPS ADC—AD9042—的 SFDR 与输入功率电平的关系。

双音互调失真(IMD)

通过把频率为 f_1 和 f_2 —通常挨得比较近—的两个频谱纯净的正弦波施加在 ADC 上，可以测得双音互调失真。每一个音调的幅度被设置为小于满量程以下 6dB 多一些，以便 ADC 在两个音调同相时不会削波。如图 2-30 所示为二阶和三阶乘积的位置。注意：二阶乘积落在能由数字滤波器消除的频率上。然而，三阶乘积 $2f_2 - f_1$ 和 $2f_1 - f_2$ 接近原始信号的频率，因此，难以被滤除。除非另外详细说明，双音 IMD 指的是这些三阶乘积。IMD 乘积的数值被以 d 。

然而，要注意如果两个音调的频率接近 $f_s/4$ ，基波的混叠三次谐波可能造成难以识别实际的 $2f_2 - f_1$ 和 $2f_1 - f_2$ 的乘积。这是因为 $f_s/4$ 的三次谐波为 $3f_s/4$ 而混叠出现在 $f_s - 3f_s/4 = f_s/4$ 。类似地，如果两个音调接近 $f_s/3$ ，混叠的二次谐波可能干扰到测量。相同的推理也适合于此， $f_s/3$ 的二次谐波为 $2f_s/3$ ，并且其混叠出现在 $f_s - 2f_s/3 = f_s/3$ 。

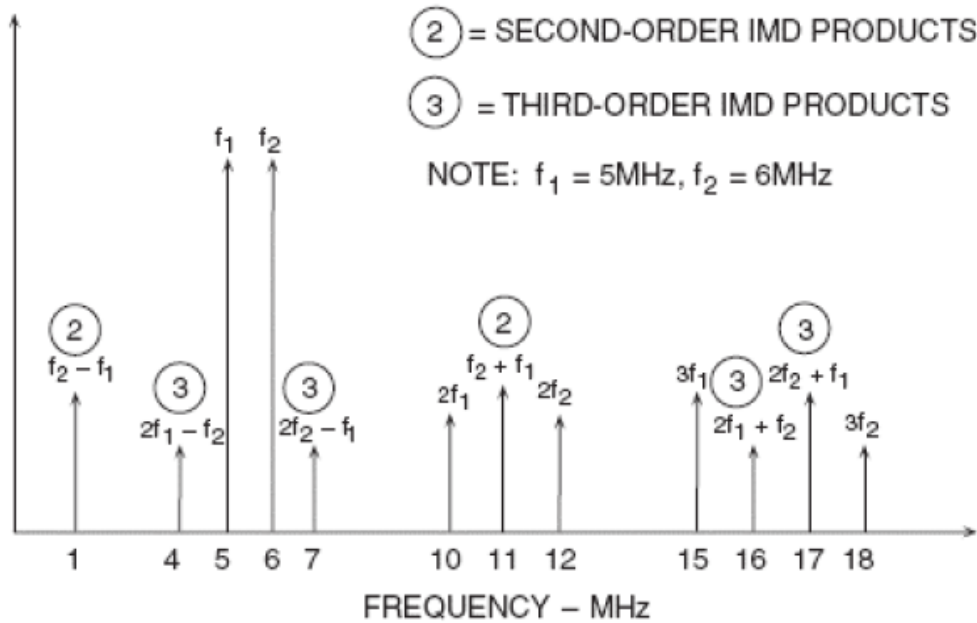


图 2-30：对于 $f_1 = 5\text{MHz}$ 和 $f_2 = 6\text{MHz}$ ，二次和三次互调乘积。

对于 ADC 来说，二阶和三阶截取点的概念时无效的，因为失真乘积并不是以可预测的方式而变化(作为信号幅度的函数)。ADC 并不是在逼近满量程时逐渐开始压缩信号(不存在 1dB 压缩点)；当信号超过 ADC 的输入范围时，它起到硬限幅器的作用，因此，当被削波时，会突然产生极大量的失真。另一方面，对于远远小于满量程的信号，失真基底仍然相对恒定，并且与信号的电平无关。

在通信应用中，常常要测量多音调 SFDR。音调的数量越大，越接近于如 AMPS 或 GSM 这样的蜂窝电话系统的宽带频谱。图 2-31 显示了 12 比特 65 MSPS ADC—AD6640—的四音调互调性能。当存在大信号时，高 SFDR 增加了接收机捕获小信号的能力，并防止小信号被较大信号的互调乘积所掩蔽。

模拟混合信号

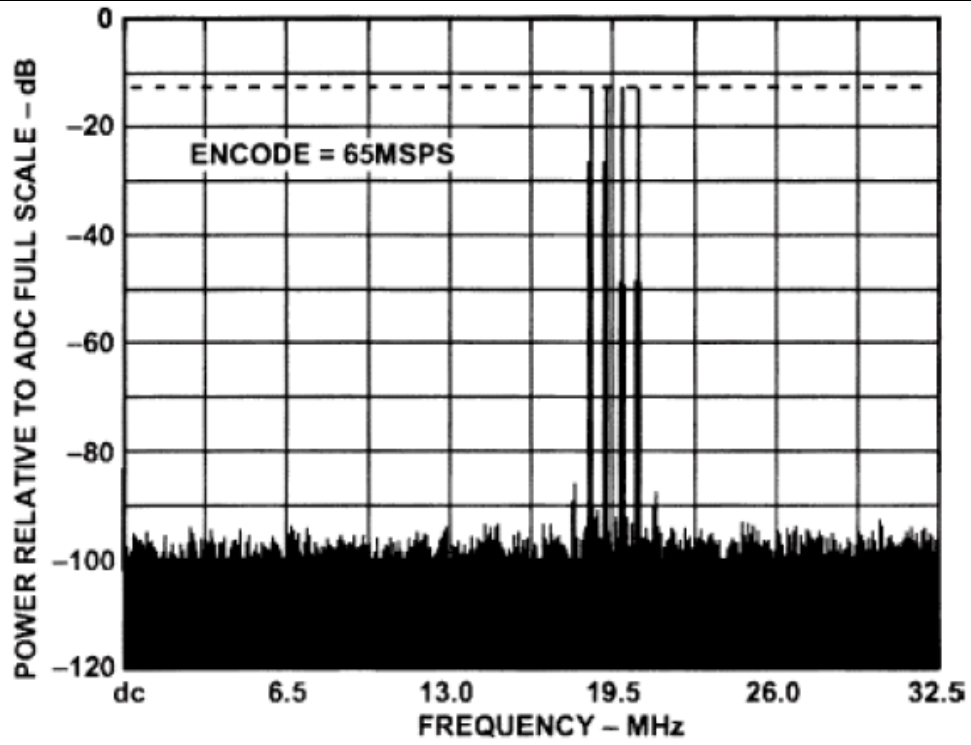


图 2-31：多音调测试：12 比特 65 MSPS ADC—AD6640。

噪声功率比(NPR) 噪声功率比测试已经被广泛地用于测量频分多址(FDMA)通信链路的传输特性。在典型的 FDMA 系统中, 4KHz 宽的语音信道被堆叠在各个频率空间中, 通过同轴电缆、微波或卫星设备传输。在接收端, FDMA 数据被解复用并回到 4KHz 的独立基带信道。在大约具有 100 个以上信道的 FDMA 系统中, FDMA 信号可以采用具有合适带宽的高斯噪声来近似。利用窄带陷波滤波器以及一个在 4KHz 陷波点内部测量噪声功率的专用调谐接收器, 就可以测量独立的 4KHz 信道的安静度。

噪声功率比(NPR)的测量简单明了。利用陷波滤波器的输出, 在陷波点可测得信号的 RMS 噪声功率。陷波滤波器然后被切换进来, 从而测得在这个窄频段的残留噪声。以 dB 表示的这些读数的比值就是 NPR。为了足够地提取系统的特征, 要对跨越噪声频带的若干窄频段(低、中和高三段)进行测试。在 ADC 上的 NPR 测量以类似的方式进行, 但是, 模拟接收器被缓冲存储器和 FFT 处理器所取代。

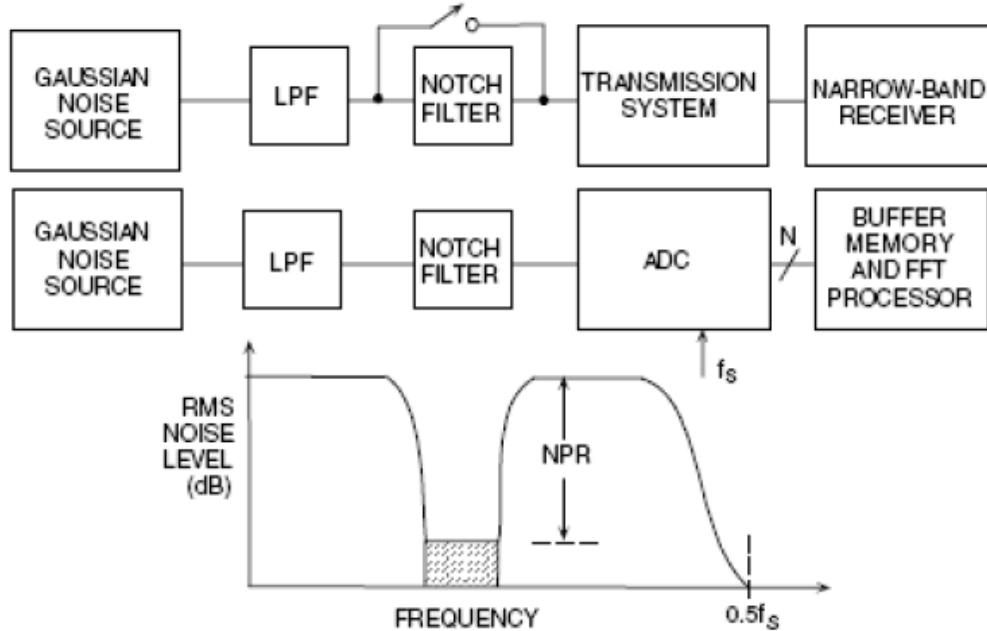


图 2-32：噪声功率比(NPR)的测量。

NPR 通常在 NPR 曲线上绘出。参照系统的峰值范围，NPR 被描绘为 RMS 噪声电平的函数。对于非常低噪声的加载电平，不受欢迎的噪声(在非数字系统中)主要是热噪声并且不依赖于输入的噪声电平。在曲线的这个区域上，噪声加载电平增加 1dB，噪声 NPR 就会增加 1dB。随着噪声加载电平的增加，系统中的放大器开始过载，其产生的互调乘积会造成系统的噪声基底的增加。随着输入噪声的进一步增加，过载噪声的效应占支配地位，并且 NPR 极大地被降低。FDMA 系统通常工作在小于最大 NPR 点以下几个 dB 的噪声加载电平上。

在包含 ADC 的数字系统中，当所施加的噪声输入电平低时，在时隙内部的噪声主要是量化噪声。NR 曲线在这个区域时线性的。随着噪声电平的增加，在噪声电平和 NPR 之间存在一一对应的关系。然而，在一些电平上，由 ADC 的硬限幅作用造成的削波噪声开始占支配地位。如图 2-33 所示为 10、11 和 12 比特 ADC 的理论曲线。

在多信道高频通信系统中，NPR 也可以被用于仿真大量独立信道造成的失真，类似于 FDMA 系统。在噪声源和 ADC 之间要放置一个陷波滤波器，并且 FFT 输出被用于取代模拟接收器。如图 2-34 所示，用于 AD9042 的陷波滤波器的宽度被设置为几 MHz。NPR 是陷波滤波器的深度。理想的 ADC 将仅仅在陷波滤波器内部产生量化噪声；然而，因 ADC 非线性度造成的互调失真，实际的 ADC 具有额外的噪声成分。注意：与 62.7dB 的理论值相比，NPR 大约为 60dB。

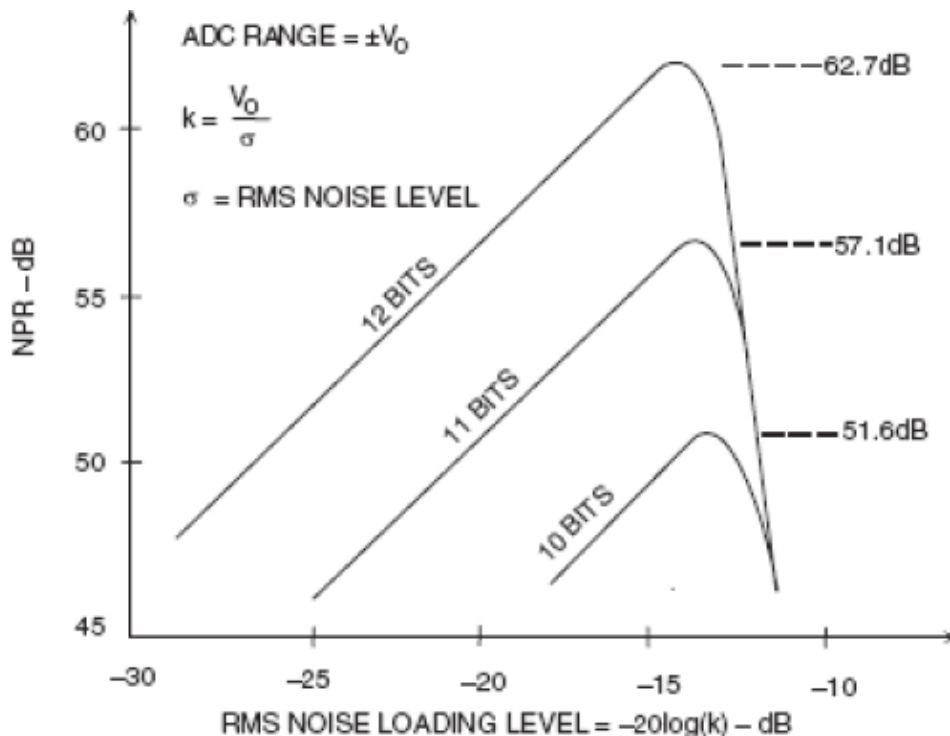


图 2-33 : 10、11 和 12 比特 ADC 的理论 NPR。

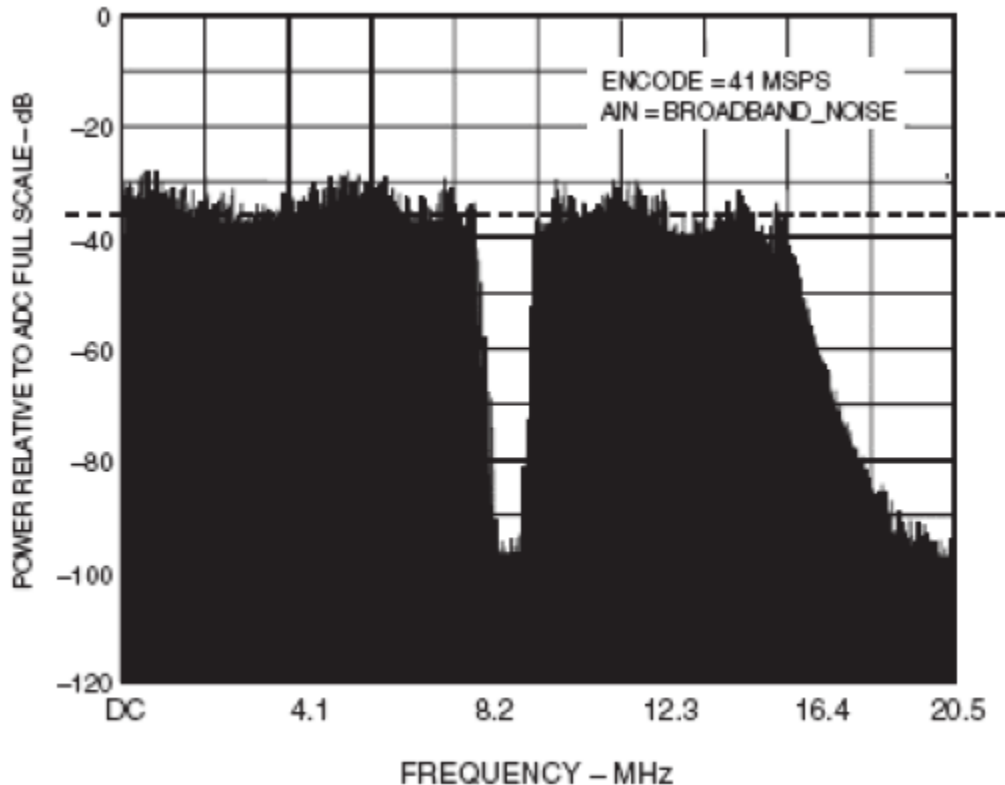


图 2-34 : 12 比特 41 MSPS ADC—AD9042—的 NPR 为 60dB(理论值为 62.7 dB)。

孔径抖动和孔径延迟

从图 2-35 可能可以推断出 ADC 的 SNR 随着输入频率的增加而降低的原因之一，其中，显示了在 ADC 的采样时钟上(或在内部的采样保持中)的相位抖动效应(或孔径时间效应)。相位抖动造成的电压误差是偏斜率的函数，并且导致如图 2-36 所示的 SNR 的整体退化。这是相当严重的，特别是在较高的输入、输出频率上。因此，在任何采样数据系统的采样、重构时钟中，要特别小心地最小化相位噪声。对于时钟信号的所有方面都必须小心：振荡器本身(例如，555 定时器时绝对不够的，但是，如果采用于含噪逻辑电路共享一个芯片的有源器件，即使采用石英晶体振荡器也可能产生问题)；传输路径(这些时钟非常易于受到各种干扰的攻击)；在 ADC 或 DAC

中引入的相位噪声。在转换器电路中非常常见的噪声源就是在积分采样保持(SHA)电路中的孔径噪声。

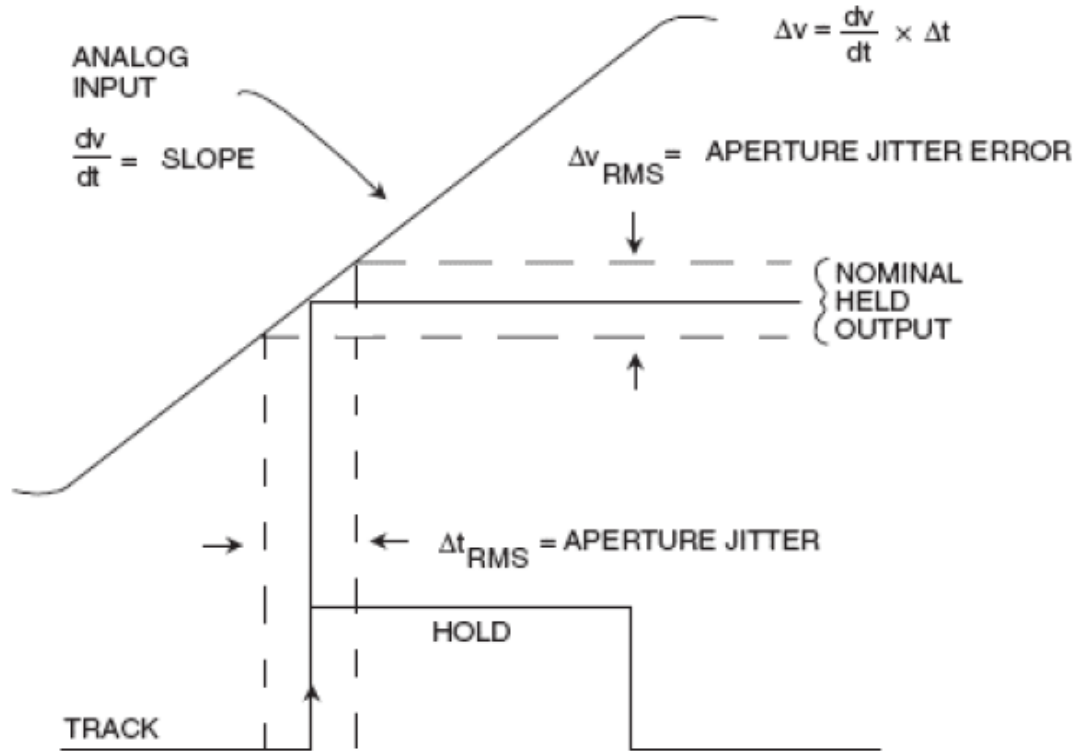


图 2-35：孔径和采样时钟抖动的影响。

二十多年以前，采样 ADC 采用独立的采样保持和 ADC 构成，它的接口设计困难，并且在 SHA 中的一个关键参数是孔径噪声。目前，大多数使用的采样 ADC 包含一种积分 SHA。SHA 的孔径噪声可能没有像这样详细说明，但是，如果 SNR 或 ENOB 被清楚地详细说明的话，这就不是造成担忧的原因，因为对特殊 SNR 的保证就是对足够的孔径抖动指标的绝对保证。然而，通过把直流施加在 ADC 上，一种附加的高性能 SHA 的应用有时候将改善即使最好的采样 ADC 的高频 ENOB，并且可能比采用跟昂贵的另一个 ADC 来取得而代之更有成本效益。

要注意的是：也存在固定的构成 ADC 孔径时间的成分。这种成分通常被称为有效孔径延迟时间，它不产生误差。它只是在 ADC 被要求采样的时刻和实际采样发生的时刻之间导致时间偏差，如图 2-37 所示，并可能是正偏差或负偏差。在并行采样应用或如 I 和 Q 解调的这样的、两个 ADC 需要彼此之间互相跟踪的应用中，各个器件之间在这个参数上的偏差或容差就是至关重要的。

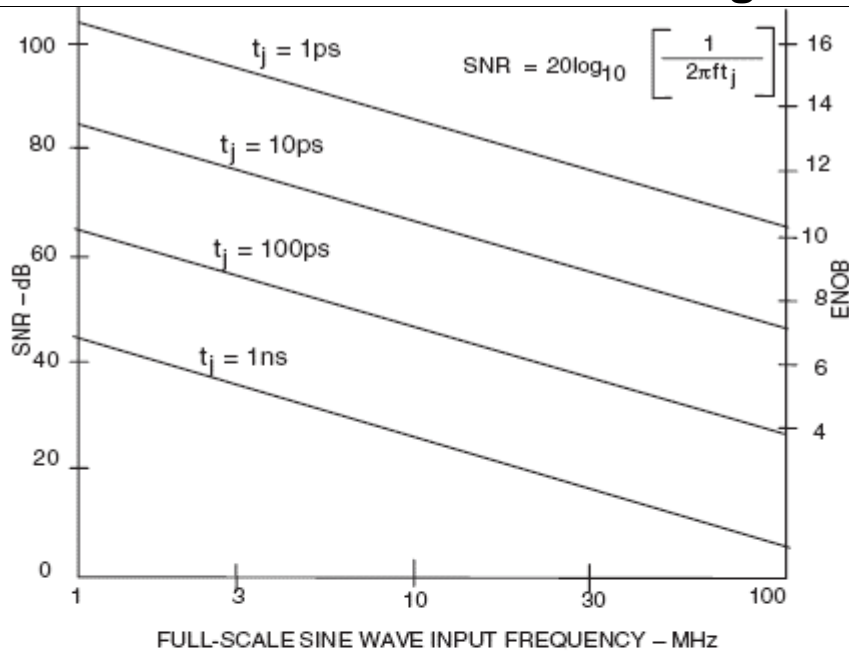


图 2-36：硬孔径和采样时钟抖动引起的 SNR。

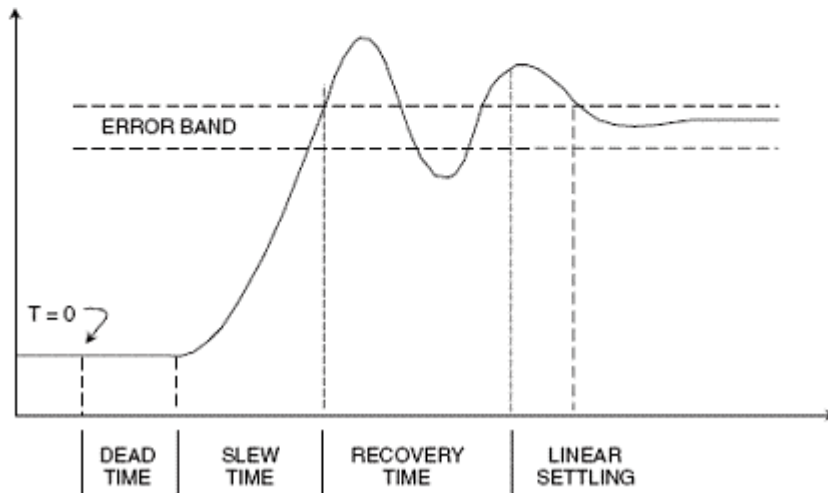


图 2-37：有效的孔径延迟时间。

(详情参见：http://www.analog.eetchina.com/ART_8800493129_2600002_TA_1c0fde13.HTM)

第五部分

DAC 动态性能

对 DAC 可能最重要的交流指标是建立时间、毛刺脉冲、失真和无杂波动态范围(SFDR)。

如图 2-38 所示，DAC 的建立时间是从数字代码发生变化到输出落在并保持某些误差带之内需要的时间。对于放大器来说，就很难对建立时间进行比较，这是因为他们的误差带可能随放大器的不同而不同，但是，对于 DAC 来说，误差带几乎就只在 ± 1 或 $\pm 1/2\text{LSB}$ 范围内变化。

DAC 的建立时间由 4 个不同的周期组成：开关时间或死区时间（在这个期间内是数字开关而不是输出发生变化）；偏移时间（在这一期间内输出变化速率受 DAC 输出的偏移率限制）；恢复时间（当 DAC 正从它的快速偏移中恢复并可能造成过冲时）；线性建立时间（当 DAC 输出在一个 $\text{exp}(\text{three})$ 中接近其最终值时（通常与电流输出 DAC 的情况一致），建立时间将在很大程度上与输出步长无关。另一方面，如果偏移时间是指数或近指数方式的。如果偏移时间与运算放大器的总的重要部分相比较短，步长越大，建立时间就越长。

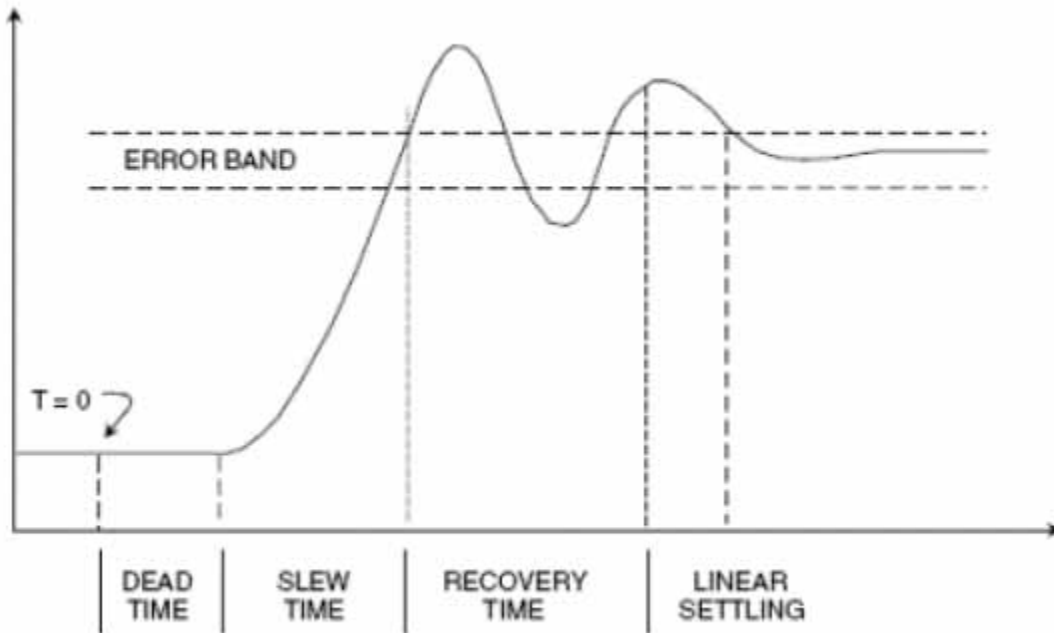


图 2-38: DAC 建立时间

在理想情况下，如果 DAC 输出发生变化，它应当从一个值无变化地转移到一个新的值。实际上，这种输出有可能造成过冲、下冲，或两者都出现的情况（见图 2-39）。这种在转换期间 DAC 输出的这种不受控制的动作就是众所周知的毛刺脉冲。它可由两种机制造成：数字转换到模拟输出的容性耦合，以及 DAC 工作中的某些开关比其它更快而造成的，并产生临时的杂波输出。

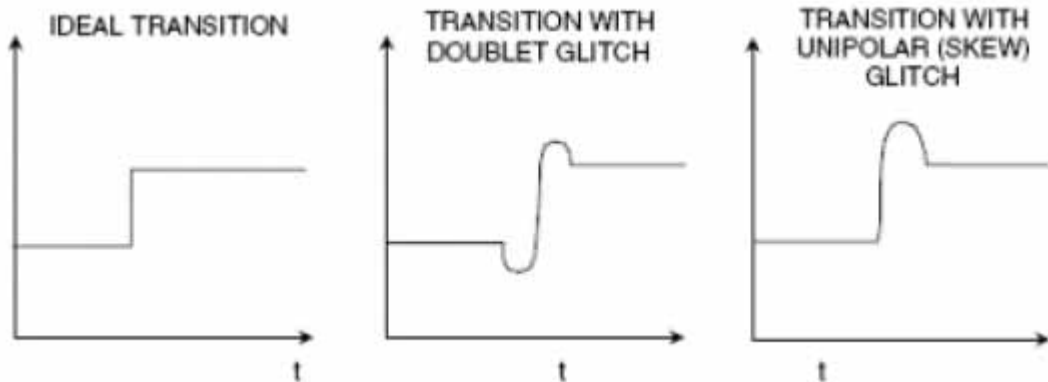


图 2-39：显示出毛刺脉冲的 DAC 转换。

容性耦合频繁地产生大致相等的正尖峰和负尖峰(有时也称为双尖峰),在更长时期内或多或少会被消除。由开关定时差异产生的毛刺脉冲通常是单极性的,非常大,并且更让人担忧。通过测量毛刺脉冲区域可以提取毛刺脉冲的特征,有时也可以不准确地称为毛刺能量。毛刺能量这个术语是用词不当的,因为毛刺脉冲面积的单位是伏秒(或更有可能是 μVs 或 pVs)。尖峰脉冲面积是正尖峰或负尖峰脉冲面积的最大面积。毛刺脉冲面积是电压相对于时间曲线下的净面积,并且能通过把波形近似为三角波进行估计,计算面积,并把正面积从负面积中减去而得到估计。由代码 0111...111 和 1000...000 之间的转换产生的中等量程毛刺通常是最坏的毛刺。

在其它代码转换点上的毛刺脉冲(像 1/4 和 3/4 满量程)通常是较少的。图 2-40 显示了针对快速低毛刺脉冲 DAC 的中等量程的毛刺脉冲。如上所述,尖峰脉冲和净毛刺面积是采用三角形来估计的。建立时间是从波形离开最初 1 LSB 误差带直到它进入并保持在最终的 1 LSB 误差带内的时间而测得的。两个转换区之间的步长为 1 LSB。

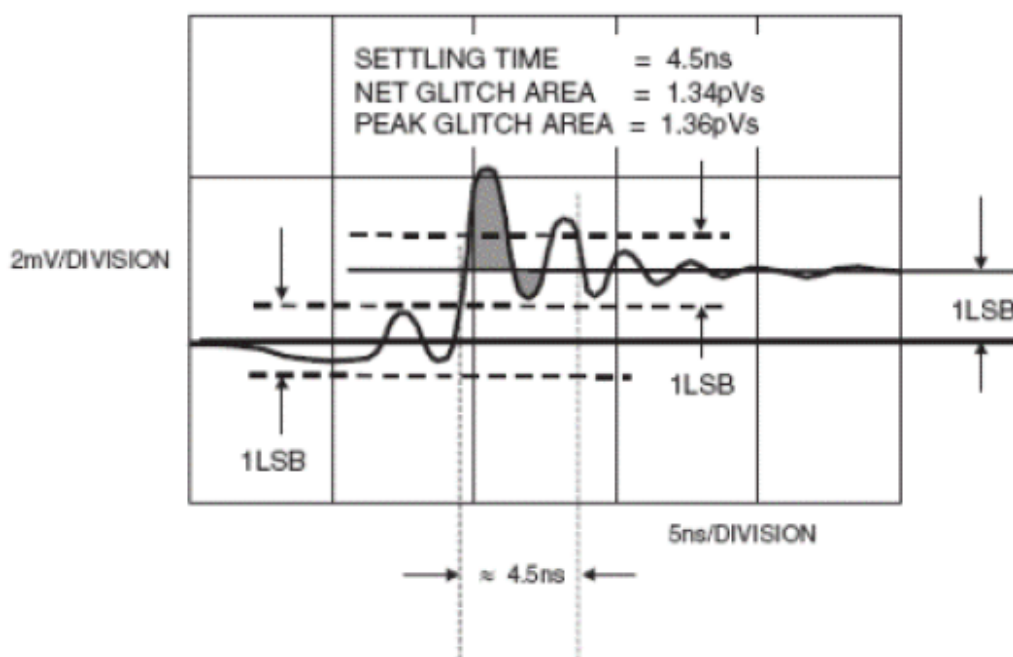


图 2-40: DAC 中等量程毛刺脉冲显示了 1.34pVs 的净毛刺面积和 4.5ns 的建立时间。

在像 RGB 光栅扫描视频显示器驱动器这样的应用中，DAC 建立时间是至关重要的，但像 SFDR 这样的频域指标在通信中通常更重要。

如果我们从数字数据的角度考虑由 DAC 重构的波形的频谱，我们会发现除了预期的频谱（它将包含一个或更多的频率，取决于重构波形的性质），也有噪声和失真乘积。失真可以采用谐波失真、无杂波动态范围(SFDR)、互调失真或所有这些指标来详细说明。当（理论上）纯正弦波被重构时，谐波失真被定义为谐波与基波的比率，并且是最常见的指标。无杂波动态范围是最坏的杂波（通常是但并非始终必需是基波的谐波）与基波的比率。

在直接数字合成(DDS)系统中，当 DAC 正在重构以数字方式产生的正弦波时，代码相关毛刺脉冲将产生带外和带内谐波。如图 2-41 所示，中等量程毛刺脉冲在被重构的正弦波（在每个中等量程交汇处）的一个周期内会出现两次，并且因此将产生正弦波的二次谐波。要注意的是正弦波的谐波更高阶谐波，它们将被混叠回奈奎斯特带宽内（从直流到 $f_s/2$ ），并且无法滤除。

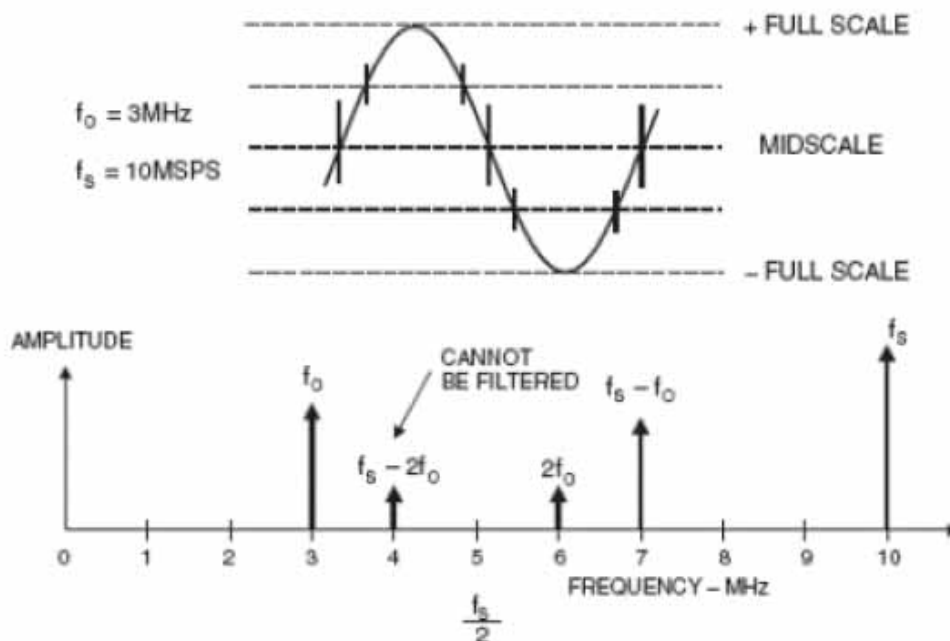


图 2-41：频谱输出上的代码相关毛刺脉冲的影响。

仅仅从毛刺面积指标来预测谐波失真困难。像 DAC 的整体线性度等其它因素也对失真有所贡献。因此，如图 2-43 所示，习惯上通常在频域内(采用频谱分析仪)以不同时钟率和输出频率对重构 DAC 进行测量。如图 2-44 所示为 14 比特 AD9772 传输 DAC 的典型 SFDR。时钟速率为 65MSPS，输出频率被扫频到 25MHz。在 ADC 的情况中，随着谐波失真的增加，将出现量化噪声，如果时钟频率和 DAC 输出频率之间的比率是一个整数数字的话。在进行 SFDR 测量的时候，这些比率应当避免。

- Resolution
- Integral Nonlinearity
- Differential Nonlinearity
- Code-Dependent Glitches
- Ratio of Clock Frequency to Output Frequency (Even in an Ideal DAC)
- Mathematical Analysis is Difficult

图 2-42：影响 DDS DAC 失真的因素。

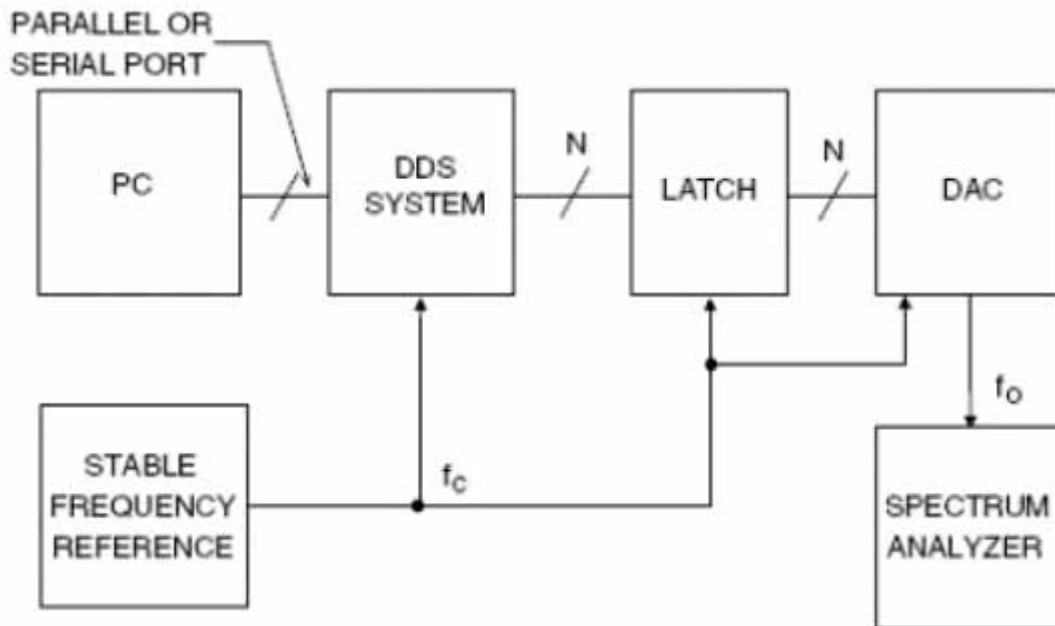


图 2-43: 测量 DAC SFDR 的测试设置。

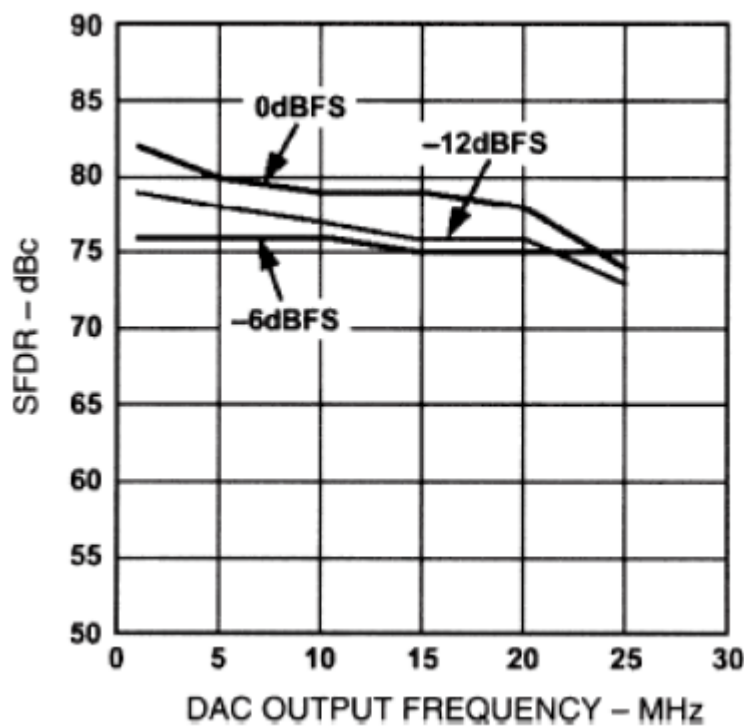


图 2-44 : AD9772 14 比特 TxDAC SFDR, 数据更新率=65MSPS。

DAC SIN (x)/x 频率滚降

如图 2-45 所示, 我们可把一个重构的 DAC 输出设想为一系列矩形脉冲, 这些矩形脉冲的宽

度等于时钟率的倒数。要注意的是重构信号的振幅在奈奎斯特频率 $f_c/2$ 处下降 3.92dB。在很多情况下， $\text{SIN}(x)/x$ 滤波器反变换能用来补偿这一影响。基波信号的镜像也会按照 $\text{SIN}(x)/x$ 函数规律而衰减。

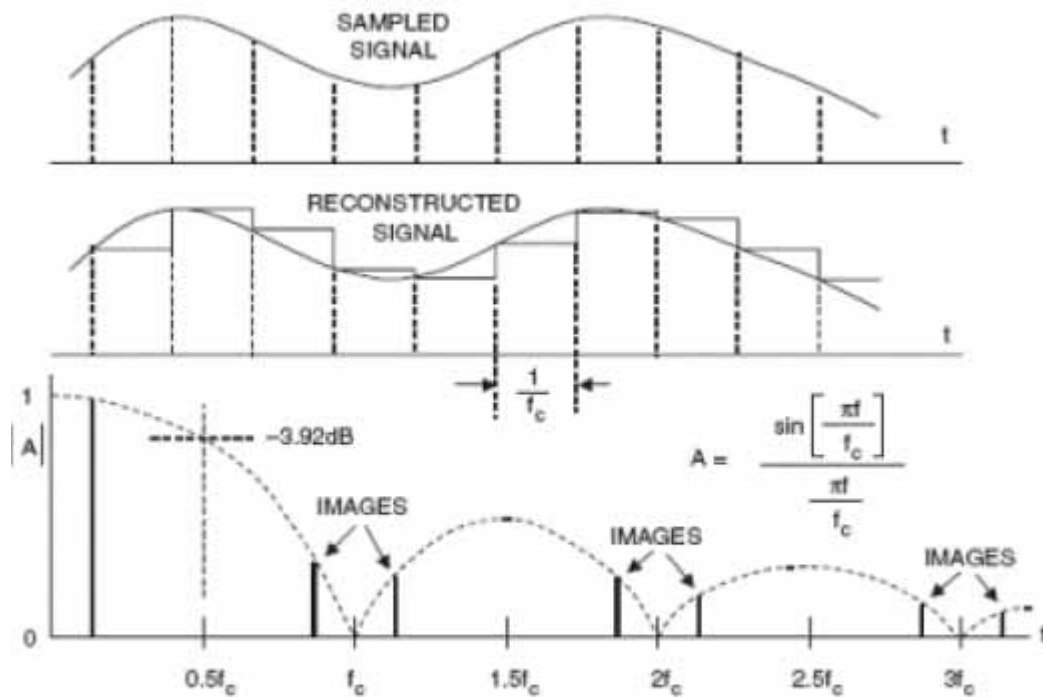


图 2-45: DAC $\text{SIN}(x)/x$ 滚降(振幅归一化)。

图 2-45 : DAC $\text{SIN}(x)/x$ 滚降(振幅归一化)。

(详情参见：

http://www.analog.eetchina.com/ART_8800494141_2600002_TA_e95e61d5.HTM)

第四章 ADC 与 DAC 实用设计问答

以下设计问答均摘自[电子工程专辑网站论坛](#)以及[模拟混合信号网站论坛](#)。

Q: 公司的芯片上有一个 16Bits 的 DAC，由于以前一直做 Digital IC 测试，对这个器件的测试原理没有概念，只知道 INL、DNL、THD、SNR 等参数的定义，不知道在实际的测试中怎样进行测试？那位高手做过此方面的测试，能否告诉那些参数是必测的，怎样测试？

A: DAC 比较重要的参数有 DNL、INL 和 SNR 等, 这里先谈这三个参数的测量方法:

1. DNL 测量: 由计算机的并口引出数据, 经过一个转接板 (这个得自己做), 送出 16bits 的 DATA, 数据经过待测的 DAC, 会得到一系列的输出电压, 16bits 应该输出 2 的 16 次方个电压, 电压为纵轴, 数字 CODE 为横轴, 得到的线代表了 DAC 的线性度 (Linearity). DNL 是每个电压的实际步长与理想步长的差对 LSB (最低有效位) 的归一, 每个代码会对应一个 DNL 值, 做出 DNL-CODE 图, 很容易看出待测 DAC 的 DNL (所有 2 的 16 次方个 DNL 值中的最大者);

2. 有了 DNL 数据, INL 可以轻易得计算出来, 不用做更多的测试。计算方法: 同样每个代码都对应一个 INL, 对第 N 个代码来说, 它的 INL 就是其前面所有代码 DNL 的代数和。同样, 做出 CODE-INL 图, 可以很容易的看出待测 DAC 的 INL (所有 INL 中的最大者, 和 DNL 一样, 这个值约在零点几个 LSB);

3. SNR 测量原理很简单: 输入一个 SIN 形式的代码进待测 DAC, 经 DAC 转换后, 也会输出一个 SIN 形式的电压波形, 将此波形利用数字示波器进行 FFT (快速傅立叶变换), 得到输出信号的频谱, 基频代表信号的强度, 依次还有 2 次, 3 次.....谐波, 我想记录下前 5 次谐波强度就够了 (再高次的可以忽略), 还有要记下噪声的谱强度, 有了这些数据, 计算 SNR 很容易, 还能计算 SNDR 等参数。更详细的内容, 我想可以在 MAXIM 的网站上找到。

Q: 哪位大侠能不能详细的告诉我一下“三角波精度对 D 类功放音质的影响”? 谢谢了!

A: 从工作原理看, 这是通过输入信号与斜波的瞬时幅度的比较, 将模拟信号幅度转换成开关占空比, 然后低通滤波的 ADC-DAC 的变换过程。斜波 (未必是三角波) 的线性度的优劣将对失真系数产生直接影响, 斜波频率应稳定, 否则, 其变化将导致对输入信号的调制。

Q: 最近做课题需要用高分辨率的 A/D 芯片, 以前用 8 位或者 10 位时候还没发现这个问题, 因为好多的芯片都是 ref 直接接 vcc 和 GND 就行了。现在发现好多的 16 位或者更高的芯片, 参考电压都是 4.096v, 有些不解, 为什么偏偏选这个电压呢? 还有就是, delta-sigma 架构的 A/D 的手册中都提到其有效分辨率都低于其标称的分辨率很多, 但那些 SAR 架构的 A/D 似乎都没有提到。这是为什么呢?

A: 4.096V 的参考输入电压, 对应于 12 位 ADC, 匹配的量化转换结果是: 最小量化电压 (LSB) 等于 1mV/LSB。以便计算与应用。在此情况下, 十进制的转换数码 4000 对应 4.000V 的输入电压。对应于 8 位 ADC, 匹配的量化转换结果: 最小量化电压 (LSB) 等于 16mV/LSB。若参考输入电压为 5.000V, 则单位 LSB 不是整数, 计算机处理起来在速度、程序资源等方面比较复杂。DAC 同理。

Q: 提一个很弱智却又实际的问题: 我想把 0~5V 的信号压缩到 0~2.4V 输出, 以供后面使用

(后面的 ADC 电源是 3V 的, 参考电压是 2.4V), 如何实现呢? 是将放大电路的电阻比设置成小于 1 吗?

- A: 1). 可用电阻分压到 2.4V 再送入 A/D. 如信号源内阻高, 电阻分压器的阻值必需选很大, 那可加一个跟随器;
- 2). 运放接成反相放大时, 增益可小于 1, 但输入输出的极性相反, 负电压输出, 你这里不能直接用。有一个办法, 在反相放大器的同相端加一个正的电压, 使运放输出在正电压的区域, 所加的电压与你要缩小的倍数有关;
- 3). 运放接成差分放大器, 可以用 2.4V 做参考电压, 输出 $V_O = -V_I \times \text{缩小倍数} + 2.4V$, 就可送到 A/D 了。你甚至可将几百 V 电压压缩到你 A/D 采样的电压区域。(运放接成同相放大器时, 增益总大于 1, 所以这里不能用。)

Q: 最近碰到一个峰值保持电路, 不知道用处为何?

A: 顾名思义, 峰值保持电路的功能是跟踪 (track) 输入信号 (一般是脉冲), 直到输入信号达到峰值为止, 进入保持状态 (hold), 保持输入信号的峰值不变 (当然实际上存在泄漏电流引起的跌落), 直到被复位, 回到跟踪状态。它多用于脉冲信号峰值的测量, 使后端电路 (比如 ADC) 能准确地得知什么时候可以采样到峰值 (尤其是脉冲的边沿很快的时候), 减小采样时刻不准确带来的误差。在高能物理和核物理测量能量谱和时间谱测量中经常用到这个电路。在一些压力、加速度、磁通等传感器应用中, 也需要这种电路。一句话, 凡是物理量 (化学量, etc) 信息被携带在脉冲信号的峰值中的应用, 都需要这个电路。

第五章 20 款主流 ADC/DAC 器件综合介绍

ADC 系列：

1. ADS5483

[ADS5483](#) ADC 拥有高信噪比 (SNR) 与无杂散动态范围 (SFDR)，可通过第二尼奎斯特区 (Nyquist zone) 接收来自 DC 的输入频率。采样速率为 135 MSPS 的 ADC 在输入频率 (IF) 为 70 MHz 时可实现 78.6 dBFS 的 SNR 以及 95 dBc 的 SFDR，与同类 ADC 相比，SNR 高出 3.5 dB，SFDR 高出 8 dB。更高性能 ADS 5483 能够显著增强设计灵活性，进而使众多应用受益匪浅。例如，其不仅可针对测量测试系统提供更高的准确度，而且还能凭借更高带宽在包括空中接口等在内的无线通信领域提供更高的灵敏度，如 WCDMA、TD-SCDMA、WiMAX、LTE 以及多载波 3 GSM 等。

详情参见：http://www.analog.eetchina.com/ART_8800531427_2600002_NP_b75242e0.HTM

2. ADS795x

该系列器件不仅可针对高密度应用实现优异的线性与 AC 性能，而且优化后还能最大限度地提升诸如手持式医疗仪器、可编程逻辑控制器以及数字电源等电池供电及低电压应用的性能。ADS795x 产品系列高度集成了众多组件，如 GPIO、可编程告警阈值、板上定序器以及 SPI 兼容接口等，能最大限度地降低板级空间要求，并简化与主机设备的连接及相关软件。

详情参见：

http://www.analog.eetchina.com/ART_8800562001_2600002_NP_f6783310.HTM

3. AS1538

AS1538 带有 8 个 12Bit 的分辨率的输入通道。其在 50ksp/s 的转换速度下低于 850 μ A (包括内部基准) 消耗电流。在关断模式下，AS1538 的供电电流可降至 1.5 μ A 以下。无论是 2.5V 的内部基准还是 1V 至 5.25V 范围内的外部基准，都能对满刻度模拟输入范围进行设定。

AS1538 的 I2C 兼容接口支持速度高达 3.4MHz 的接口，包括 100kHz 和 400kHz 的行业标准速度。用户可编程 I2C 地址可以在一条 I2C 总线上挂多达 4 种设备。

详情参见：

http://www.analog.eetchina.com/ART_8800487392_2600002_NP_1bf18f4a.HTM

4. LTC2262

LTC2262 用 1.8V 的低压模拟电源工作，极大地节省了功率，而且不牺牲 AC 性能。这个 ADC 在基带提供了 72.8dB 的信噪比 (SNR) 性能和 88dB 的无寄生动态范围 (SFDR)。0.17 psRMS 的超低抖动允许以卓越的噪声性能实现 IF 频率的欠采样。LTC2262 的创新性数字输出可以设置为满速率 CMOS、双数据速率 CMOS 或双数据速率 LVDS。双数据速率数字输出允

许数据在时钟的上升沿和下降沿发送，从而将所需数据线数量减少了一半。一个单独的电源允许 CMOS 输出在 1.2V 至 1.8V 的范围内摆动。

详情参见：

http://www.analog.eetchina.com/ART_8800571126_2600002_NP_f7bf5f10.HTM

5. AD7626

ADI公司的AD7626 [PuISAR](#) ADC刷新了 16-bit数据采集性能，具有同类最佳的 15-bit有效位数 (ENOB) 及 10-MSPS采样率，比其它SAR ADC快 2.5 倍。其它ADC的工作速率较低，或者需要增加功耗来达到较高的采样速率，这会影响到交流和直流性能，而AD7626 PuISAR ADC可提供 92-dB信噪比 (SNR)，比其它任何架构的ADC高 8 dB (1.3 bit)。

详情参见：

http://www.analog.eetchina.com/ART_8800534039_2600002_NP_7f8e05d2.HTM

6. LTC2274

LTC2274 具有几种独特的功能，可改善系统总体设计。就高灵敏度接收器应用而言，LTC2274 提供了一个内部透明的高频抖动电路，在低电平输入信号时，可将 ADC 的 SFDR 响应改善为远好于 100dBc。为了避免来自串行数字输出的干扰，该器件提供一个可选的数据扰码器，以使串行链路频谱随机化。还提供串行测试码型以方便串行接口测试。LTC2274 可以 105MSPS 的最大采样率工作，内部 PLL 可以配置为锁定在 3 个不同的采样率范围之一。采用片上时钟占空比稳定器电路，是为了方便以非 50% 时钟占空比周期工作。为模拟和数字部分提供单独的停机引脚以节省功率。

详情参见：

http://www.analog.eetchina.com/ART_8800517565_2600002_NP_8a260a82.HTM

7. LTC2309

LTC2309 测量单极性或双极性输入信号时实现了卓越的 DC 性能规格，包括 $\pm 1\text{LSB}$ INL 和 DNL、 $\pm 6\text{LSB}$ (最大值) 零标度误差和 $\pm 6\text{LSB}$ (最大值) 满标度误差。在数字化 AC 输入信号时，LTC2309 表现尤为突出，在 1kHz 时具有 73dB SINAD 和 -88dB THD。LTC2309 在标准模式时允许高达 100kHz 的 I2C 数据传送，在快速模式时为 400kHz。该 ADC 含有两个地址选择引脚，可以置为低、高或处于浮动状态，因此提供 9 个不同的 I2C 地址。这非常适用于需要测量 8 个以上输入通道的应用，因为设计师可以非常容易地与多个 LTC2309 器件通信。

详情参见：

http://www.analog.eetchina.com/ART_8800509220_2600002_NP_d51ffc80.HTM

8. AS1545

AS1545 为其两个 ADC 分别提供 12 位分辨率，并采用先进设计技术实现了高吞吐率下的低功耗。AS1545 在转换速度达 1MSPS 并包含内部 2.5V 参考时仅需 5.5mA。在全省电模式下的供电电流低于 1uA。两个完整且独立的 ADC 通道可实现两个通道的同步采样及转换。12 个输入

通道可通过软件设置，在编程时可使每个 ADC 提供 6 个单端通道，或 3 个完全或伪差分对。两个 ADC 的转换结果可同时通过两根数据线分开显示，在仅有一个串行端口可用时也可在一根数据线上连续显示。

详情参见：

http://www.analog.eetchina.com/ART_8800522118_2600002_NP_9e7d17e8.HTM

9. ADS54R463

该新型管线式 ADC 可针对高于 500 MHz 的输入频率 (IF) 提供业界最广的无寄生动态范围 (SFDR) 以及最高的信噪比 (SNR)，从而不仅可为数字预失真 (DPD) 解决方案实现更高效的功率放大器线性化，为影像与通信系统实现更广的覆盖范围与更高的灵敏度，而且还可为宽带测试与测量设备实现更高的精确度。

详情参见：

http://www.analog.eetchina.com/ART_8800565300_2600002_NP_3b0e1e3b.HTM

10. ADS5485

ADS5485 具备的高速度、高分辨率以及超低噪声等优异特性可显著优化有关应用的性能。例如，该款 ADC 可针对 70MHz 输入频率 (IF) 实现 75dBFS 信噪比以及 87dBc 无杂散动态范围。ADS5485 通过集成全差分输入缓冲器简化了模拟前端设计。该缓冲器采用 TI 的 BiCom3 高速工艺技术开发，可针对输入频率提供恒定输入阻抗，并消除 ADC 追踪保持结构的回扫问题，从而确保信号一致的线性度。

详情参见：

http://www.analog.eetchina.com/ART_8800545500_2600002_NP_44ca869f.HTM

DAC 系列：

1. DAC8881

DAC8881 能够在 +2.7V 至 +5.5V 的单电源电压范围内工作，并提供单极输出。输出电压建立在选定基准电压的基础之上，电压范围为 1.25V 至 5.5V，因此可用于多种应用。由于采用了可用于偏移的外部运算放大器，该器件还能提供具有二进制互补编码的双极输出。DAC8881 支持灵活的 SPI 串行接口，能够实现高达 50MHz 的输入数据时钟频率与 1.8V/3V/5V 的兼容逻辑，因此能够与各种 DSP、FPGA 及微处理器进行通信。该器件可在 -40°C 至 105°C 的宽泛温度范围内工作。

详情参见：

http://www.analog.eetchina.com/ART_8800493328_2600002_NP_bcea4d0f.HTM

2. LTC2753-16

该器件具有 6 种独立的软件可编程 SoftSpan 单极性和双极型输出范围，范围最宽可达 $\pm 10V$ 。软件可编程性去除了对昂贵的精确电阻、增益级和人手切换跨接线的要求。

LTC2753-16 具有准确的 DC 性能规格，包括在-40 至+85 的工业温度范围内具有 ± 1 LSB (最大值) 的 INL 和 DNL。该 DAC 用 2.7V 至 5.5V 的单电源工作，消耗的电源电流最大仅为 1 μ A。6 种独立的 SoftSpan 输出电压范围包括两种单极性范围 (0V 至 5V、0V 至 10V) 和 4 种双极性范围 (± 10 V、 ± 5 V、 ± 2.5 V、-2.5V 至 +7.5V)。LTC2753-16 的软件可编程性、低功率和精确 DC 性能规格使其非常适用于 ATE 数据采集模块 (如 PC/104)。

详情参见：

http://www.analog.eetchina.com/ART_8800493734_2600002_NP_37fc553d.HTM

3. MAX19 693

该款 DAC 专为高频、宽带信号在第一奈奎斯特区间的直接数字合成而优化。器件具有优异的杂散和噪声特性，可以对频率在直流至接近 2GHz 范围内的信号进行直接合成。MAX19 693 的无杂散动态范围 (SFDR) 在输出频率低于 800MHz 时高于 70dBc，在输出频率为 1500Hz 时高于 62dBc。刷新率为 4.0Gsp/s、输出频率为 200MHz 时，器件的宽带噪声频谱密度为 -167dBm/Hz。4.0Gsp/s 的输出刷新率和高性能的架构，使 DAC 具有优异的宽带动态特性。MAX19 693 优异的性能使其成为宽带通信、雷达波形和本地振荡器 (LO) 信号合成以及电子对抗、任意波形发生器、自动测试设备和直接数字合成 (DDS) 的理想选择。

详情参见：

http://www.analog.eetchina.com/ART_8800516138_2600002_NP_86f20022.HTM

4. DAC5688

DAC5688 进一步扩展了 TI 全功能 DAC 产品系列，与前代产品相比，空间占用降低了 67%。该器件在节省空间的 6 \times 9 毫米 x 9 毫米 QFN 封装内实现了更高性能，从而可支持现有的 3G 应用 (如 WCDMA 与 TD-SCDMA) 与新兴 4G 应用 (如 WiMAX 与 LTE)。例如，该器件可在 70MHz 输出频率下针对单载波 WCDMA 应用实现 81dBc 的 ACLR。

详情参见：

http://www.analog.eetchina.com/ART_8800519200_2600002_NP_4f7416b7.HTM

5. MAX513X

该系列 DAC 具有较高的线性度 (16 位 DAC 的 INL 为 ± 8 LSB，12 位 DAC 的 INL 为 ± 1 LSB) 和极大的灵活性，理想用于工业过程控制和便携式仪表系统，例如：通信系统、可编程逻辑控制器、伺服环路以及自动测试设备。其它更广泛的应用包括自动调谐、增益和失调调节、功率放大器控制、数据采集、可编程电压及电流源。

详情参见：

http://www.analog.eetchina.com/ART_8800563986_2600002_NP_ea1e406f.HTM

6. MAX5661

MAX5661 专为工业系统而设计，具有多种功能，可简化可编程逻辑控制器 (PLC) 模块的设计。内置电压放大器和电压至电流转换器省去了额外的用于整个温度范围的精密电阻和匹配电

阻。增益电阻端接在封装之外，便于实现浪涌和瞬态保护且不会影响精度。此外还集成了负载故障检测功能，当电流输出开路或电压输出短路时，漏极开路的故障引脚将被拉至低电平，故障位的状态可通过SPI接口读取。为满足PLC标准的要求，器件输出能够驱动 $1.2\ \mu\text{F}$ 容性负载或 1H 感性负载。电流输出的电源来自独立的电源引脚，允许电流输出采用系统电源或 12V 至 40V (通常为 24V) 外部电源供电。 10MHz SPI接口可以采用菊链连接，极大地减少了隔离型多路输出模块所需的光耦数量。

详情参见：

http://www.analog.eetchina.com/ART_8800564138_2600002_NP_60e1af00.HTM

7. DAC8411

DAC8411 系列 8 位至 16 位引脚兼容型产品在 1.8V 电压下功耗仅为 $80\ \mu\text{A}$ ，而且还具有 1.8V 至 5.5V 的宽泛电源电压以及 $6\ \mu\text{s}$ (典型值) 趋稳时间等优异特性。这些器件具有比标准 SOT23 器件小 40% 的小型尺寸以及低功耗特性，是**电池供电**与手持应用、自动测试设备、高精度仪表、波形发生、工业过程控制以及医疗设备等应用领域的理想选择。

详情参见：

http://www.analog.eetchina.com/ART_8800564267_2600002_NP_cc6479ac.HTM

8. STw5211

ST-Ericsson针对手机音乐市场推出优质**音频数模转换器 (DAC)** — **STw5211**。该产品集成 ST-Ericsson创新的播放时间延长 (PTE) 处理技术，整个音频路径的信噪比只有 $102\ \text{dB}$ 。原始设备制造商 (OEM) 将能利用STw5211 打造具有最高音频水准的音乐手机，而且音乐播放时间比一般的 10 小时延长一倍。STw5211 是一款单芯片**音频解决方案**，采用超小型晶圆级芯片规模封装 (WLCSP)，实现业界最高的集成度和性价比，并大幅延长播放时间。

详情参见：

http://www.analog.eetchina.com/ART_8800568508_2600002_NP_85d7002d.HTM

9. LTC2754-16

LTC2754-16 能够提供 6 个单独、高达 $\pm 10\text{V}$ 的软件可编程单极性和双极性输出范围。6 个 SoftSpan 输出电压范围包括两个单极性范围 (0V 至 5V 、 0V 至 10V) 和 4 个双极性范围 ($\pm 10\text{V}$ 、 $\pm 5\text{V}$ 、 $\pm 2.5\text{V}$ 、 -2.5V 至 $+7.5\text{V}$)。每个 DAC 还含有电压控制的偏移和增益调节引脚，从而使精调每个 DAC 的输出成为可能。LTC2754-16 提供 6 个输出中的其中一个 SoftSpan 范围，同时靠单一 2.7V 至 5.5V 电源工作，且仅消耗 $1\ \mu\text{A}$ 最大电源电流。

详情参见：

http://www.analog.eetchina.com/ART_8800576322_2600002_NP_dc29a509.HTM

10. LTC2656

LTC2656 集成一个精确基准，实现 $2\text{ppm}/\text{oC}$ 的典型和 $10\text{ppm}/\text{oC}$ 的最大温度系数。通过在其纤巧 20 引脚 $4\text{mm} \times 5\text{mm}$ QFN 和 TSSOP 封装中集成基准，LTC2656 为密集排列的电路板

提供进一步的空间节省。该器件靠 2.7V 至 5.5V 的单一电源工作,在基准启动时,每个 DAC 的电源电流为很低的 375 μ A。该器件的 AC 性能也很卓越,因为 LTC2656 对于半标度阶跃提供了 8.5 μ s 稳定时间和 <1nV.s 的串扰,从而在 DAC 通道之间产生了极小的扰动。LTC2656 通过一个高达 50MHz 的 4 线 SPI 兼容接口通信。

详情参见:

http://www.analog.eetchina.com/ART_8800577153_2600002_NP_ab3c93cc.HTM

第六章 22 篇相关技术参考资料

以下列出了 22 篇实用的 ADC/DAC 相关技术资料供大家参考。

1. ADC 中的 ABC: 理解 ADC 误差对系统性能的影响

采用 12 位分辨率的模拟-数字转换器 (ADC) 未必意味着你的系统将具有 12 位的精度。很多时候,令工程师们吃惊和不解的是,数据采集系统所表现出的性能往往远低于期望值。如果这个问题直到样机运行时才被发现,只好慌慌张张地改用更高性能的 ADC,大量的时间被花费在重新更改设计上,同时,试投产的日程在迅速临近。问题出在哪里?最初的分析中有哪些因素发生了改变?对于 ADC 的性能指标有一个深入的了解,将有助于发现一些经常导致性能指标不尽人意的细节所在。对于 ADC 指标的理解还有助于你为你的设计选择正确的 ADC。.....

http://www.analog.eetchina.com/ART_8800575599_2600002_TA_f16fd6c6.HTM

2. 使运算放大器的噪声性能与 ADC 相匹配

在混合信号应用中,正确地选择驱动模数转换器 (ADC) 的运算放大器至关重要。设计人员必须对一些问题进行权衡,例如:放大器噪声、带宽、设置时间、ADC 信噪比 (SNR) 的压摆率、无杂散动态范围 (SFDR)、输入阻抗以及采样时间等等。本文专门对单电源环境中噪声规范和运算放大器以及逐次逼近寄存器 (SAR) ADC 性能的匹配进行了论述。.....

http://www.analog.eetchina.com/ART_8800551200_2600002_TA_17d13104.HTM

3. ADC 的输入噪声: 有些噪声怎样可以是好噪声?

所有模数转换器 (ADC) 都有一定数量的折合到输入端的噪声。它被看作一种与无噪声 ADC 的输入端串联的噪声源模型。不能把折合到输入端的噪声与量化噪声相混淆,量化噪声仅在 ADC 处理随时间变化的信号时有意义。在大多数情况下,输入噪声越小越好;但是在有些情

况下,输入噪声实际上对提高分辨率是有帮助的。如果现在你觉得这似乎没有道理,那么请阅读本文以弄明白有些噪声怎样可以是好噪声。.....

http://www.analog.eetchina.com/ART_8800494142_2600002_TA_7656861b.HTM

4. 发射应用中多个高速、复用 DAC 的同步

这篇应用笔记给出了多个具有多路输入或集成内插滤波器的高速复用数模转换器(DAC)的同步方法。这样的DAC用于I/Q上变频器或数字波束成形发射器中。这些DAC可提供数据时钟输出用于与数据源的同步。.....

http://www.analog.eetchina.com/ART_8800574580_2600002_TA_60b01e41.HTM

5. 为高速模数转换选择优秀的缓冲放大器

现代通信系统创新设计主要表现在直接变频和高中频架构,全数字接收机的设计目标要求模数转换器(ADC)以更高的采样率提供更高的分辨率(扩大系统的动态范围)。在新兴的3G和4G数字无线通信系统中,无杂散动态范围(SFDR)和线性度都需要高性能的ADC来保证。幸运的是,在接收信号链路中,ADC的前级增益电路—缓冲放大器的性能在最近几年得到了极大提高,有助于ADC确保满足现代无线通信系统的带宽和失真要求。但是,缓冲放大器和ADC之间的匹配要求非常严格,深刻理解缓冲放大器对ADC性能指标的影响非常重要。.....

http://www.analog.eetchina.com/ART_8800485363_2600002_TA_6e108836.HTM

6. 解析高速数/模转换器(DAC)的建立和保持时间

为了达到高速数/模转换器(DAC)的最佳性能,需要严格满足数字信号的时序要求。随着时钟频率的提高,数字接口的建立和保持时间成为系统设计人员需要重点关注的参数。本应用笔记对建立和保持时间进行详尽说明,因为这些参数与Maxim的高性能数据转换方案密切相关。.....

http://www.analog.eetchina.com/ART_8800528818_2600002_TA_6d9aeb0c.HTM

7. 测量差分输出、电流模式数/模转换器(DAC)的线性度

数/模转换器(DAC)线性度测量并非无足轻重,需要考虑很多潜在的误差源,包括热效应、接地环路和仪表精度等。而且,在采用仪表对数字分辨率超过10位的DAC线性度进行全面测量非常耗时。本应用笔记详细介绍如何以最小的误差迅速进行这类测试。注意:Maxim提供各种精度的电流输出DAC。本文中,将以MAX5871作为测量和规格说明的特例。但所介绍的参数和测量方法可以用于其他的差分输出、电流模式DAC。.....

http://www.analog.eetchina.com/ART_8800519043_2600002_TA_73ac084d.HTM

8. 利用同时采样的多个 ADC 实现高性能、多通道电力线监测

电力工业的迅速扩张已经在全球范围内引发了加强现有传输和配电网络以及建设新的变电站的需求风潮。微处理器技术方面的进展以及支持人员方面的人力成本的上升,已经成为电力公司设计新的、采用高精度集成化自动控制系统的自动化高压变电站的关键性推动因素。.....

http://www.analog.eetchina.com/ART_8800485771_2600002_TA_862015d6.HTM

9. DAC 与数字电位器：在我的应用中选择哪种合适？

利用数字输入控制微调模拟输出有两种选择：[数字电位器](#) (pot) 和数/模转换器 (DAC)，两者均采用数字输入控制模拟输出。通过数字电位器可以调整模拟电压；通过 DAC 既可以调整电流、也可以调整电压。电位器有三个模拟连接端：高端、抽头端 (或模拟输出) 和低端 (见图 1a)。DAC 具有对应的三个端点：高端对应于正[基准电压](#)，抽头端对应于 DAC 输出，低端则可能对应于接地端或负基准电压端 (见图 1b)。.....

http://www.analog.eetchina.com/ART_8800528819_2600002_TA_344e22a7.HTM

10. 解读高速数/模转换器 (DAC) 的建立和保持时间

本应用笔记定义了高速数/模转换器 (DAC) 的建立和保持时间，并给出了相应的图例。高速 DAC 的这两个参数通常定义为“正、负”值，了解它们与数据瞬态特性之间的关系是一个难点，为了解决这些难题，本文提供了一些图例。.....

http://www.analog.eetchina.com/ART_8800574739_2600002_TA_ff8bc116.HTM

11. 实例解答：为什么要选用性能优良的外部 DAC？

半导体制造商所面对的最大挑战之一就是要在产品制造的半导体工艺中来平衡功能和性能。可能许多人都听说过 90nm 工艺，45nm 工艺，等等。这些都是半导体制造商制造新产品所用的具体工艺。每家制造商都有其自己的工艺，每种工艺都有其自己的优点。.....

http://www.analog.eetchina.com/ART_8800569753_2600002_AN_5610aab4.HTM

12. 全差分驱动器释放高速 ADC 性能潜力

采用[高速 ADC](#) 的设计师面临的一个最大的挑战就是找到适合驱动这些 ADC 的放大器。例如，16 位 LTC2208 在 140MHz 时以 90dBc 的[SFDR](#) 实现了 130MSPS 的采样率。它用单一 3.3V 电源工作，具有全差分输入级以最大限度地扩大输入信号动态范围。直到最近，ADC 驱动器的选择一直有限。RF 放大器一般是单端、较大和消耗大量功率的，而且需要 5V 至 12V

的电源。最近，全差分放大器已经开发出来，但是很多这类放大器是为窄输入信号带宽而优化的，需要较高电压的电源，或者说限制了 ADC 的速度、噪声和/或失真性能。凌力尔特公司提供的一个新的放大器系列可帮助设计师获得与他们的付出相当的所有 ADC 性能，同时还可简化高频电路板设计。.....

http://www.analog.eetchina.com/ART_8800494720_2600002_TA_f2bea808.HTM

13. 如何测量高速 ADC 的 INL 和 DNL

INL和DNL，对于应用于通信和高速数据采集的高性能数据转换器来讲，尽管还不算是最重要的电特性参数，在高分辨率成像应用中却具有重要意义。除非经常接触ADC，否则你会很快忘记掉这些参数的精确定义和重要性。下面一节进行简要回顾。.....

http://www.analog.eetchina.com/ART_8800576280_2600002_TA_c95b53c8.HTM

14. 高速 A/D 转换器的时钟设计

极高速ADC (>1GSPS) 需要低抖动的采样时钟，目的是为了维持一定的信噪比 (SNR)。这些 8 位和 10 位转换器最优情况时的底噪是由量化噪声决定的。对于一个N位ADC对一个满幅正弦波进行采样时，关于SNR (dB) 的著名表达式为： $SNR = 6.02N + 1.76$ 。这设定了 8 位ADC在最佳情况的底噪水平为 -49.9 dBc。例如采样时钟上的抖动、ADC本身的孔径抖动 (aperture jitter)、ADC量化器中非线性导致的杂散分量、和其他例如热噪声等内部噪声，这些因素都会降低底噪水平。在本文中，我们关注根据PLL/VCO的特性来优化采样时钟的策略。也就是说，通过最小化时钟抖动，进而将总的集成相位噪声降到最低。.....

http://www.analog.eetchina.com/ART_8800571936_2600002_TA_9a5e5ffb.HTM

15. 在高中频 ADC 应用，如何改善增益平坦度同时又不影响动态性能

本文指导用户选择适当的变压器，用于高速模/数转换器(ADC)前端的信号调理。本文还阐述了如何合理选择无源元件，在较宽的输入频率范围内改善增益的平坦度，而且不会牺牲ADC的动态特性。文中给出了变压器原级和次级匹配的差别，详细描述了中等频率至高频应用中高速ADC设计所面临的增益平坦度与动态范围的冲突问题。.....

http://www.analog.eetchina.com/ART_8800497506_2600002_TA_56d7ef0a.HTM

16. 高速 ADC 的接口、驱动和时钟方案

目前，高速流水线模数转换器的性能已经达到了新的高度。精度、采样速度和动态性能也被推到了新的极限。ADC14V155 是当前一流性能的转换器之一，与 14 比特的竞争产品相比可传送多达 57%的全功率带宽。其面临的挑战是在数据表中给定的参数下如何能保持静态，尤其是动态的性能。设计师必须非常小心地选择转换器周边器件。本应用注释讨论了如何通过

设计正确的时钟电路和良好的模拟输入网络，来优化高速流水线 ADC 的性能，以及如何将 ADC 的高速不失真的数据输送到 FPGA 或 ASIC 上。.....

http://www.analog.eetchina.com/ART_8800571935_2600002_TA_029fbdd9.HTM

17. 21 世纪的 SAR ADC

在过去的几十年中，全世界的精密数据转换器设计厂商一直在重新改进逐次逼近型模数转换器 (SAR ADC) 的体系结构。其中功耗和尺寸是改进最大的两个参数。从 2006 到 1996 年的 SAR 转换器比较中可看出，较新推出的转换器占用的印制电路板 (PCB) 面积减少了 88% 以上，并且每次转换的功耗减少了 98%。虽然吞吐率和精度提高幅度不太显著，但它们也在不断得到改进。当今的 SAR 转换器 (AD7980 是其中最新的一款) 非常适合于便携式 电池供电应用，例如病人监视设备和手持数据采集系统。

http://www.analog.eetchina.com/ART_8800485776_2600002_TA_5f0370f8.HTM

18. 用 24 位 - ADC 高精度测量模拟小信号

- ADC 表面上看起来也许很复杂，但实际上它是由一系列简单的部件所构成的精确数据转换器。 - ADC 由两个主要构件组成：执行模数转换的 - 调制器和数字低通滤波器/抽取电路(decimating circuitry)。 - 调制器的基本构件(集成运算放大器、求和节点、比较器/1 位 ADC 和 1 位 DAC)如图 1 所示。调制器的电荷平衡电路强制比较器的数字输出位流来代表平均模拟输入信号。在把比较器输出回送至调制器的 1 位 DAC 的同时，还利用一个低通数字滤波器对其进行处理。这个滤波器实际上是计算 0 和 1 的数量，并去掉大量噪声，从而实现高达 24 位的数据转换器。.....

http://www.analog.eetchina.com/ART_8800485486_2600004_TA_196e8b8a.HTM

19. 了解高速 ADC 上时钟抖动的影响

要将高速信号数字化实现高分辨率，需要谨慎选择一个不会影响模拟 - 数字转换器(ADC)采样性能的时钟。我们希望本文能够让读者更好地了解时钟抖动，以及它是如何影响高速 ADC 的性能的。.....

http://www.analog.eetchina.com/ART_8800485751_2600002_TA_25eca48c.HTM

20. ADI 设计问答：面向波束成形应用的 ADC 阵列

何种应用要用到大规模模拟 - 数字转换器 (ADC) 阵列？

相控阵雷达系统和医用成像是其两个主要的应用领域。许多这些应用对 ADC 和驱动 ADC 的模拟前端 (Analog front end, AFE) 提出了共同的要求，特别是在噪声性能、功耗和引脚数量等方面。.....

21. 多 ADC 系统的基准电压设计

超声成像系统通常使用一个大规模的模数转换器(ADC)阵列。这些系统不仅需要精密的通道间匹配,而且还需要仔细设计电压基准系统,以保持足够的动态特性。

这些基准系统通常为大规模的转换器组提供精密、低噪声的基准电压。为进一步保证精确性和稳定性,应该对ADC基准输入进行缓冲,从而最大限度降低对于基准系统的负载效应。为满足这些要求,高速ADC制造商已经开始提供既带有内部精密基准,又可使用外部精密基准电压源的转换器。.....

http://www.analog.eetchina.com/ART_8800576839_2600002_TA_5ad922a6.HTM

22. 利用 ADC 采样电容结构来控制系统级电压浪涌

当今的模拟系统设计工程师面临许多设计挑战。设计工程师不仅仅需要选择合适的 IC 元器件,而且他们必须精确地预测这些元器件在系统内的相互作用。从这一点上说,ADC 可能引起特别困难的挑战,提供了各种各样在系统级必须考虑的不同的输入采样架构。本文将探讨若干常见的输入采样架构类型并讨论每一个模型对系统的其它部分的牵涉作用。.....

http://www.analog.eetchina.com/ART_8800486049_2600002_TA_a3021296.HTM

欢迎广大工程师朋友来

模拟混合信号网站论坛

参与设计讨论：

<http://forum.analog.eet-cn.com/>

global sources

模拟混合信号

www.analog.eetchina.com
