

## ESD (Electrostatic Discharge) Protection in CMOS Integrated Circuits

静电放电(Electrostatic Discharge, ESD) 是造成大多数的电子元件或电子系统受到过度电性应力(Electrical Overstress EOS) 破坏的主要因素。这种破坏会导致半导体元件以及电脑系统等, 形成一种永久性的毁坏, 因而影响集成电路(Integrated Circuits, ICs) 的电路功能, 而使得电子产品工作不正常。

而静电放电破坏的产生, 多是由于人为因素所形成, 但又很难避免。电子元件或系统在制造、生产、组装、测试、存放、搬运等的过程中, 静电会积累在人体、仪器、储放设备等之中, 甚至在电子元件本身也会积累静电, 而人们在不知情的情况下, 使这些物体相互接触, 因而形了一放电路径, 使得电子元件或系统遭到静电放电的肆虐。

如何才能避免静电放电的危害呢? 除了加强工作场所对静电积累的控制之外, 必须在电子产品中加入具有防患静电放电破坏的装置。首先必需考量这额外装置的效能, 如何处理才能达到有效防护的功用。而这装置应放在何处? 以及在工业上的大量应用中, 如何才是最省成本的设计方式? 这些问题都应一一处理及考虑。

在防护装置的设计上, 从加强集成电路本身对静电放电的耐受能力上着手, 可以解决晶片包装后, 组装、测试、存放、搬运等所遭遇到大多数静电放电的问题。目前半导体集成电路以互补式金氧半导体(CMOS)技术为主, 在本网路中即针对 CMOS 集成电路之静电放电防护技术作深入的介绍。

### 第一章 简介(Introduction)

在互补式金氧半(CMOS)集成电路中, 随着量产工艺的演进, 元件的尺寸已缩减到深次微米(deep-submicron)阶段, 以增进集成电路(IC)的性能及运算速度, 以及降低每颗晶片的制造成本。但随着元件尺寸的缩减, 却出现一些可靠度的问题。

在次微米技术中, 为了克服所谓热载子(Hot-Carrier)问题而发展出LDD(Lightly-Doped Drain)工艺与结构;为了降低CMOS元件漏极(drain)与源极(source)的寄生电阻(sheet resistance)  $R_s$  与  $R_d$ , 而发展出Silicide工艺;为了降低CMOS元件栅级的寄生电阻  $R_g$ , 而发展出Polycide工艺;在更进步的工艺中把Silicide与Polycide一起制造, 而发展出所谓Salicide工艺。

在1.0微米(含)以下的先进工艺都使用上述几种重要的工艺技术, 以提升集成电路的运算速度及可靠度。CMOS工艺技术的演进如表1-1所示, 其元件结构示意图如图1-1所示。

但是, CMOS元件因为上述先进的工艺技术以及缩得更小的元件尺寸, 使得次微米CMOS集成电路对静电放电(Electrostatic Discharge ESD)的防护能力下降很多。但外界环境中所产生的静电并未减少, 故CMOS集成电路因ESD而损伤的情形更形严重。举例来说, 当一常用的输出缓冲级(output

buffer) 元件的通道宽度(channel width)固定在 300 微米( $\mu\text{m}$ )，用 2 微米传统技术制造的 NMOS 元件可耐压超过 3 千伏特(人体放电模式)；用 1 微米工艺加上 LDD 技术来制造的元件，其 ESD 耐压度不到 2 千伏特；用 1 微米工艺加上 LDD 及 Silicide 技术来制造的元件，其 ESD 耐压度仅约 1 千伏特左右而已。由此可知，就算元件的尺寸大小不变，因工艺的先进，元件的 ESD 防护能力亦大幅地滑落；就算把元件的尺寸加大，其 ESD 耐压度不见得成正比地被提升，元件尺寸增大相对地所占的布局面积也被增大，整个晶片大小也会被增大，其对静电放电的承受能力却反而严重地下降，许多深次微米 CMOS 集成电路产品都面临了这个棘手的问题。但是，CMOS 集成电路对静电放电防护能力的规格确没有变化，集成电路产品的 ESD 规格如表 1-2 所示。

表 1-1 CMOS 製程技術的演進

Feature Size( $\mu\text{m}$ )	3	2	1	0.8	0.5	0.35	0.25
Junction Depth( $\mu\text{m}$ )	0.8	0.5	0.35	0.3	0.25	0.2	0.15
Gate-Oxide Thickness(A)	500	400	200	150	100	70	50
LDD	No	No	Yes	Yes	Yes	Yes	Yes
Salicide (Silicide)	No	No	No	No	Yes	Yes	Yes

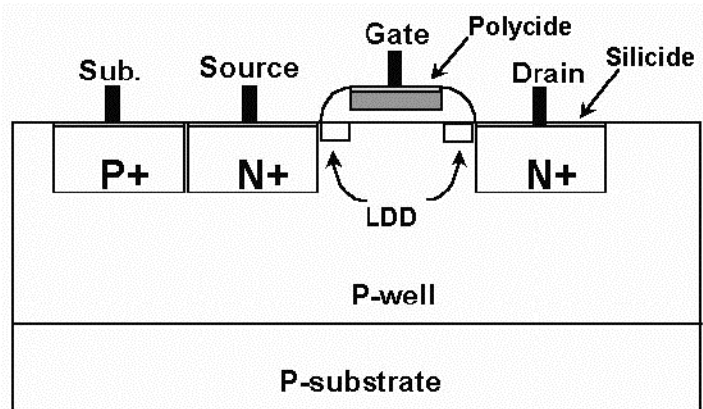


圖1-1

表 1-2 積體電路產品的 ESD 規格

	人體放電模式 (Human-Body Model)	機器放電模式 (Machine Model)	元件充電模式 (Charged-Device Model)
Okey	2000V	200V	1000V
Safe	4000V	400V	1500V
Super	10000V	1000V	2000V

因此，我们将教导您有关集成电路的 ESD 知识，并介绍集成电路的 ESD 规格标准以及集成电路产品的 ESD 测试方法；再来，我们将教导您有关集成电路的各种 ESD 防护设计，其相关技术含括工艺(Process)、元件(Device)、电路(Circuits)、系统(Systems)、以及测量(Measurement)。这些相关技术的介绍及设计实例的说明，必能协助您解决贵公司集成电路产品所遭遇到的 ESD 问题。

## 第二章 静电放电的模式以及工业测试标准

因 ESD 产生的原因及其对集成电路放电的方式不同，ESD 目前被分类为下列四类：

- (1) 人体放电模式(Human-Body Model, HBM)
- (2) 机器放电模式(Machine Model, MM)
- (3) 元件充电模式(Charged-Device Model, CDM)
- (4) 电场感应模式(Field-Induced Model, FIM)

本章节即对此四类静电放电现象详加说明，并比较各类放电现象的电流大小

## 2.1 人体放电模式 (Human-Body Model, HBM) :

人体放电模式 (HBM) 的 ESD 是指因人体在地上走动磨擦或其他因素在人体上已积累了静电, 当此人去碰触到 IC 时, 人体上的静电便会经由 IC 的脚 (pin) 而进入 IC 内, 再经由 IC 放电到地去, 如图 2.1-1(a) 所示。此放电的过程会在短到几百毫微秒 (ns) 的时间内产生数安培的瞬间放电电流, 此电流会把 IC 内的元件给烧毁。不同 HBM 静电电压相对产生的瞬间放电电流与时间的关系显示于图 2.1-1(b)。对一般商用 IC 的 2-KV ESD 放电电压而言, 其瞬间放电电流的尖峰值大约是 1.33 安培。

有关于 HBM 的 ESD 已有工业测试的标准, 为现今各国用来判断 IC 之 ESD 可靠度的重要依据。图 2.1-2 显示此工业标准 (MIL-STD-883C method 3015.7) 的等效电路图, 其中人体的等效电容定为 100pF, 人体的等效放电电阻定为 1.5KΩ。另外在国际电子工业标准 (EIA/JEDEC STANDARD) 中, 亦对此人体放电模式订定测试规范 (EIA/JESD22-A114-A), 详细情形请参阅该工业标准。

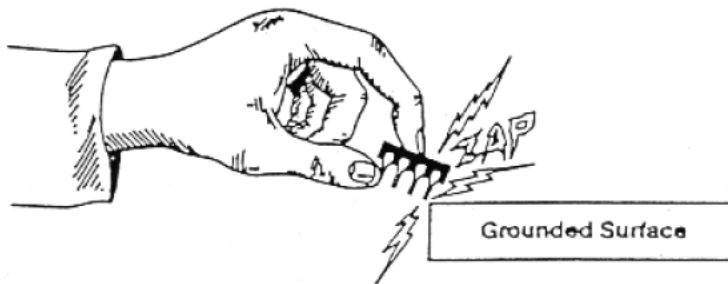


圖 2.1-1(a) HBM 的 ESD 發生情形

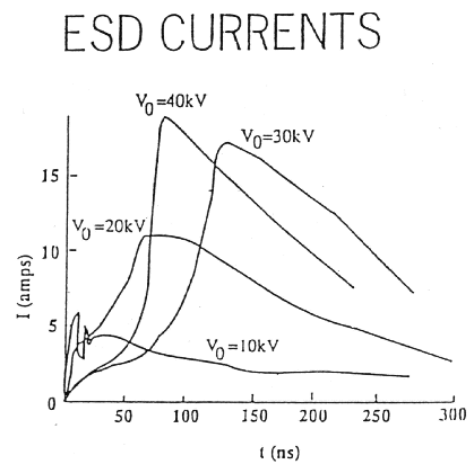
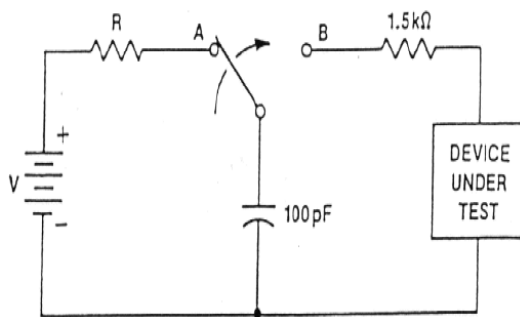


圖 2.1-1(b) 在不同 HBM 靜電電壓下, 其靜電放電之電流與時間的關係



Test Standard : MIL-STD-883C Method 3015.7

CLASSIFICATION	Sensitivity
Class 1	0 to 1,999 Volts
Class 2	2,000 to 3,999 Volts
Class 3	4,000 to 15,999 Volts

圖 2.1-2 人體放電模式(HBM)的工業標準測試等效電路及其耐壓能力等級分類

## 2.2 机器放电模式 (Machine Model, MM)

机器放电模式的 ESD 是指机器(例如机械手臂)本身积累了静电, 当此机器去碰触到 IC 时, 该静电便经由 IC 的 pin 放电。此机器放电模式的工业测试标准为 EIAJ-IC-121 method20, 其等效电路图如图 2.2-1 所示。

因为大多数机器都是用金属制造的, 其机器放电模式的等效电阻为  $0\ \Omega$ , 但其等效电容定为  $200\text{pF}$ 。由于机器放电模式的等效电阻为  $0$ , 故其放电的过程更短, 在几毫微秒到几十毫微秒之内会有数安培的瞬间放电电流产生。有关  $2\text{-KV HBM}$  与  $200\text{-V MM}$  的放电电流比较, 显示于图 2.2-2 中。

虽然 HBM 的电压  $2\text{ KV}$  比 MM 的电压  $200\text{V}$  来得大, 但是  $200\text{-V MM}$  的放电电流却比  $2\text{-KV HBM}$  的放电电流来得大很多, 因此机器放电模式对 IC 的破坏力更大。在图 2.2-2 中, 该  $200\text{-V MM}$  的放电电流波形有上下振动(Ring)的情形, 是因为测试机台导线的杂散等效电感与电容互相耦合而引起的。

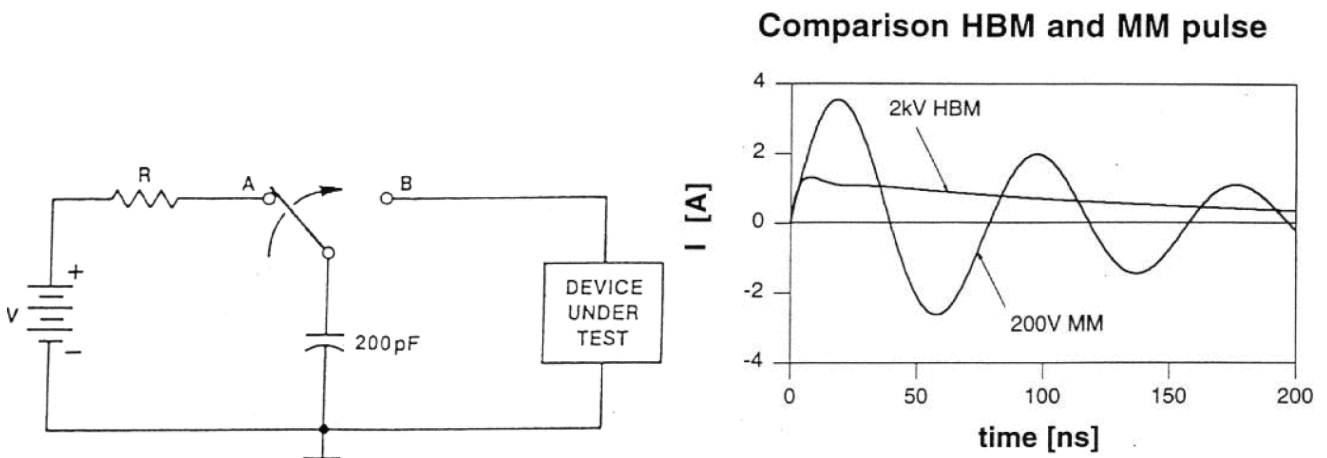


圖 2.2-2 人體放電模式(2-KV) 與機器放電模式(200V) 放電電流的比較圖

Test Standard : EIAJ-IC-121 Method 20

CLASS	STRESS LEVELS
M0	0 to <50V
M1	50 to <100V
M2	100 to <200V
M3	200 to <400V
M4	400 to <800V
M5	>800V

另外在国际电子工业标准(EIA/JEDEC STANDARD)中, 亦对此机器放电模式订定测试规范(EIA/JESD22-A115-A), 详细情形请参阅该工业标准。

### 2.3 元件充电模式(Charged-Device Model, CDM)

此放电模式是指 IC 先因磨擦或其他因素而在 IC 内部积累了静电, 但在静电积累的过程中 IC 并未被损伤。此带有静电的 IC 在处理过程中, 当其 pin 去碰触到接地面时, IC 内部的静电便会经由 pin 自 IC 内部流出来, 而造成了放电的现象。

此种模式的放电时间更短, 仅约几毫微秒之内, 而且放电现象更难以真实的被模拟。因为 IC 内部

积累的静电会因 IC 元件本身对地的等效电容而变, IC 摆放的角度与位置以及 IC 所用的包装型式都会造成不同的等效电容。由于具有多项变化因素难定, 因此, 有关此模式放电的工业测试标准仍在协议中, 但已有此类测试机台在销售中。该元件充电模式(CDM) ESD 可能发生的原因及放电的情形显示于图 2.3-1(a)与图 2.3-1(b)中。该元件充电模式静电放电的等效电路图显示于图 2.3-2(a)中。IC 在名种角度摆放下的等效电容值显示于图 2.3-2(b)中, 此电容值会导致不同的静电电量积累于 IC 内部。

有关 2-KV HBM, 200-V MM, 与 1-KV CDM 的放电电流比较, 显示于图 2.3-3 中。其中, 该 1-KV CDM 的放电电流在不到 1ns 的时间内, 便已冲到约 15 安培的尖峰值, 但其放电的总时段约在 10ns 的时间内便结束。此种放电现象更易造成集成电路的损伤。

#### 2.4 电场感应模式(Field-Induced Model, FIM)

此 FIM 模式的静电放电发生是因电场感应而起的。当 IC 因输送带或其他因素而经过一电场时, 其相对极性的电荷可能会自一些 IC 脚而排放掉, 等 IC 通过电场之后, IC 本身便积累了静电荷, 此静电荷会以类似 CDM 的模式放电出来。有关 FIM 的放电模式早在双载子(bipolar)电晶体时代就已被发现, 现今已有工业测试标准。在国际电子工业标准(EIA/JEDEC STANDARD)中, 亦已对此电场感应模式订定测试规范(JESD22-C101), 详细情形请参阅该工业标准。

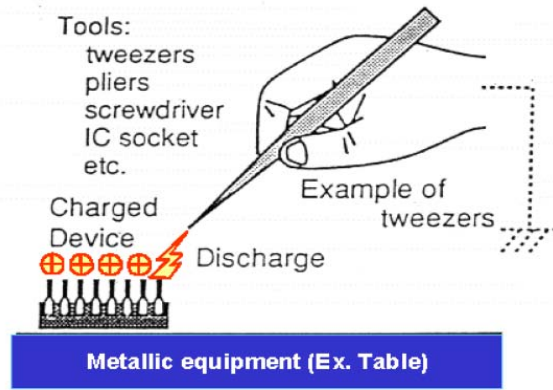
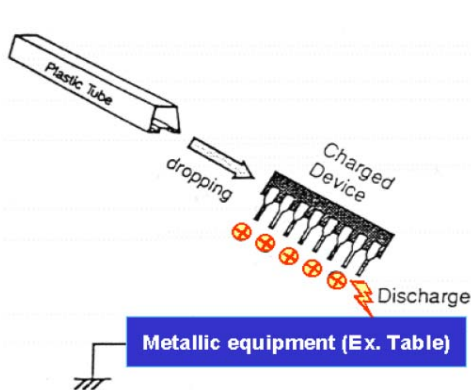


圖 2.3-1(a) Charged-Device Mode 靜電放電可能發生的情形。

圖 2.3-1(b) Charged-Device Mode 靜電放電可能發生的情形。

IC 自 IC 管中滑出後, 帶電的 IC 腳接觸到地面而形成放電現象。IC 自 IC 管中滑出後, IC 腳朝上, 但經由接地的金屬工具 而放電。

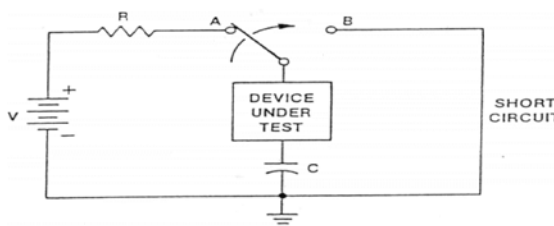


圖 2.3-2(a) Charged-Device Model 靜電放電的等效電路圖

Device parameters	1.0pF	1.0pF	3.2pF
	60 Ω	60 Ω	60 Ω
	15nH	15nH	15nH

圖 2.3-2(b) IC 在各種角度下的等效雜散電容值

#### Comparison HBM, MM and CDM pulse

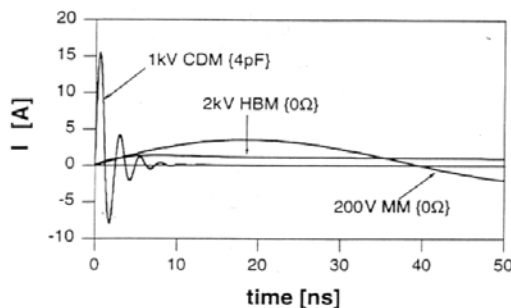


圖 2.3-3 人體放電模式(2-KV)、機器放電模式(200V)、與元件充電模式(1-KV)放電電流的比較圖。



### 第三章 静电放电的测试

在了解静电放电的模式后，正本清源的工作只做了一半，接下来必需了解静电放电如何影响 IC 内部，而静电放电电流如何在 IC 中流窜是有一脉络可循，针对各 pin 间做交叉放电分析是最基本的测试方式，但并非胡乱交叉测试就能得到结论，必需有一套正确而快速的测试方法做为测试的准则。但 IC 对静电有一定的承受能力，想得知 IC 的静电耐受力，在做测试分析时需有一套正确的判断标准，否则光有测试方法而无判段方法也徒枉然。在本章中，将对静电放电的测试及判段做一介绍。

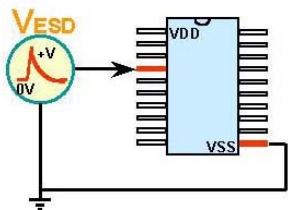
#### 3.1 静电放电测试组合

##### 3.1.1 I/O Pin 的静电放电测试

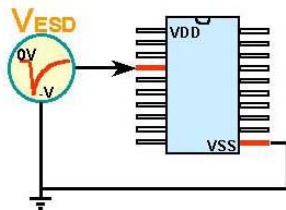
静电的积累可能是正的或负的电荷，因此静电放电测试对同一 IC 脚而言是具有正与负两种极性。对每一 I/O (Input or Output) Pin 而言，HBM 与 MM 静电放电对 IC 的放电，有下列四种 ESD 测试组合，其等效电路示意图如图 3.1-1 所示。

##### ● ESD stress on the input or output pins with the VDD or VSS pins relatively grounded :

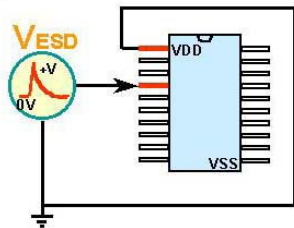
###### (1) PS-mode



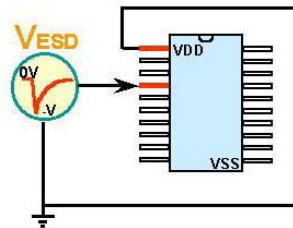
###### (2) NS-mode



###### (3) PD-mode



###### (4) ND-mode



1. PS-mode: VSS 脚接地，正的 ESD 电压出现在该 I/O 脚对 VSS 脚放电，此时 VDD 与其他脚皆浮接；
2. NS-mode: VSS 脚接地，负的 ESD 电压出现在该 I/O 脚对 VSS 脚放电，此时 VDD 与其他脚皆浮接；
3. PD-mode: VDD 脚接地，正的 ESD 电压出现在该 I/O 脚对 VDD 脚放电，此时 VSS 与其他脚皆浮接；
4. ND-mode: VDD 脚接地，负的 ESD 电压出现在该 I/O 脚对 VDD 脚放电，此时 VSS 与其他脚皆浮接。

##### 3.1.2 Pin-to-Pin 的静电放电测试

但静电放电可能出现在 IC 的任何两只脚之间，若该两只脚之间无直接的相关电路，唯一共同使用的是 VDD 与 VSS 电源线相连接。ESD 发生在不相干的两支 IC 脚之间时，静电放电电流会先经由某部份的电路跑到 VDD 或 VSS 电源线上，再由 VDD 或 VSS 电源连接线跑到另一支 IC 脚，再由那支 IC 脚流出 IC 之外。若每一 IC 的每两脚之间都要做测试，那么一颗 40 pin 的 IC 便要有 1560 种排列组合的 ESD 测试，这太浪费测试时间。因此，改良式的测试方法如图 3.1-2 所示，即所谓的 Pin-to-Pin 测试。在该 Pin-to-Pin 测试组合中，亦由于静电放电的正负极性而分成两种测试模式：

1. Positive-mode: 正的 ESD 电压出现在某一 I/O 脚, 此时所有其他 I/O 脚皆一起接地, 但所有的 VDD 脚与 VSS 脚皆浮接;

2. Negative-mode: 负的 ESD 电压出现在某一 I/O 脚, 此时所有其他 I/O 脚皆一起接地, 但所有的 VDD 脚与 VSS 脚皆浮接。

● Pin-to-Pin ESD Stress :

(1) Positive-mode

(2) Negative-mode

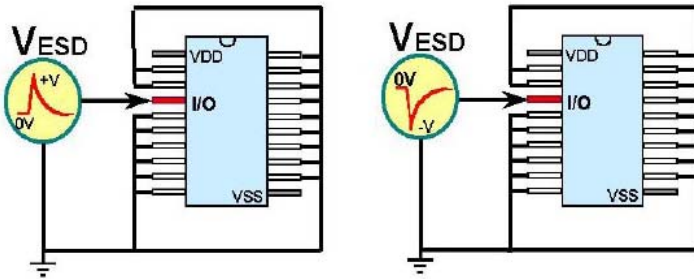


圖 3.1-2 Pin-to-Pin 的靜電放電測試組合

3.1.3 VDD-to-VSS 的靜電放電測試

● VDD-to-VSS ESD Stress :

(1) Positive-mode

(2) Negative-mode

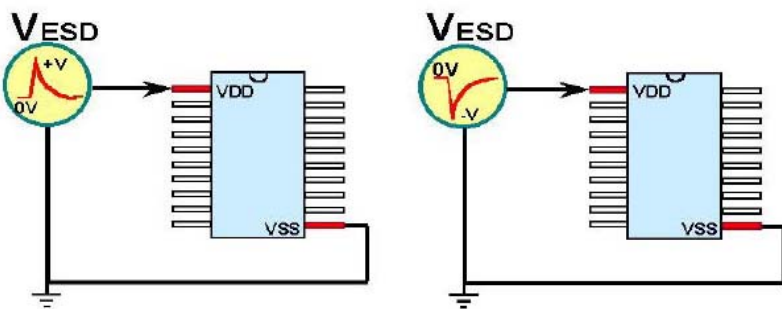


圖 3.1-3 VDD-to-VSS 的靜電放電測試組合

靜電放電也可能發生在 VDD 腳與 VSS 腳之間, 因此對 VDD 腳與 VSS 腳有下列的 ESD 測試組合, 其等效電路示意圖如圖 3.1-3 所示。

1. Positive-mode: 正的 ESD 电压出现在 VDD 脚, 此时 VSS 脚接地, 但所有 I/O 脚皆浮接;

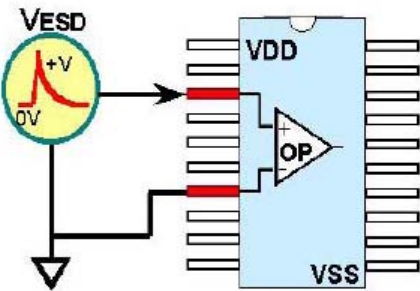
2. Negative-mode: 负的 ESD 电压出现在 VDD 脚, 此时 VSS 脚接地, 但所有 I/O 脚皆浮接。

3.1.4 Analog Pin 的靜電放電測試

在類比 (Analog) IC 內常有差動輸入級 (Differential Pair), 例如運算放大器 (OP AMP) 的輸入級, 如果該差動輸入級的正負輸入端都連接到 IC 的 Pin 時, 這兩支輸入腳要另外單獨做靜電放電測試, 以驗證該兩支輸入腳所連接的差動輸入級會不會被靜電放電所破壞, 其等效電路示意圖如圖 3.1-4 所示。

● ESD stress between the analog input pins of an Operational Amplifier :

(1) Positive-mode



(2) Negative-mode

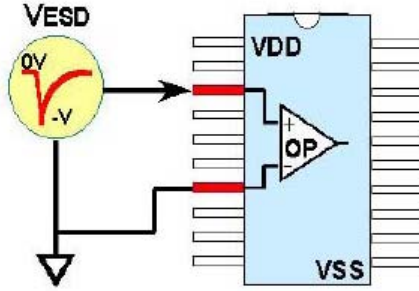
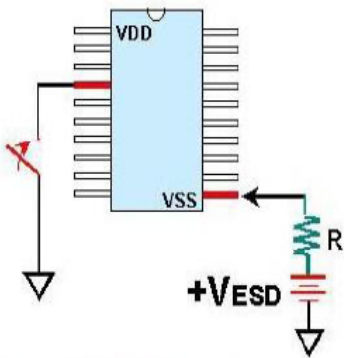


圖 3.1-4 Analog Pin 的靜電放電測試組合

1. Positive-mode: 正的 ESD 电压出现在差动输入级的正输入脚位，此时差动输入级的负输入脚接地，但其他所有 I/O 脚以及 VDD 与 VSS 脚皆浮接；
2. Negative-mode: 负的 ESD 电压出现在差动输入级的正输入脚位，此时差动输入级的负输入脚接地，但其他所有 I/O 脚以及 VDD 与 VSS 脚皆浮接。

3.1.5 CDM 的静电放电测试

(1) Positive-mode



(2) Negative-mode

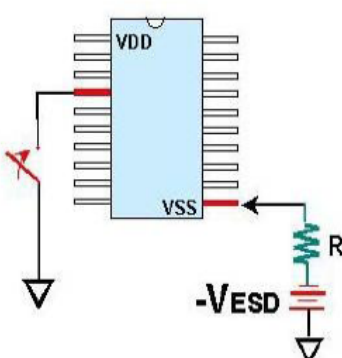


圖 3.1-5 元件充電模式的靜電放電測試組合

由于元件充电模式 (CDM) 的静电放电机制与前述的 HBM 及 MM 放电机制不同，因此 CDM 的静电放电测试如图 3.1-5 所示。首先，静电电压被充入该集成电路的基体之中，并储存在其基体之中，为避免充电过程造成 IC 损伤，因此充电电压必须经由一高电阻值 (10MΩ 以上) 的限流电阻对 IC 基体充电，对 P 型基体之 IC 而言，VSS 脚位是含连接到其基体，因此该充电电压是经由该限流电阻对 IC 的 VSS 脚充电。当 IC 充电之后，IC 本身即便带有正极性的或负极性的电压，该 IC

的其他脚位 (包括 Input, Output, I/O, 以及 VDD 脚位) 再分别接地放电，以完成 CDM 的静电放电测试。由脚位接地放电的方式，CDM 又可分为 socketed 以及 non-socketed 两种，其中 socketed 的 CDM 放电是指该脚位接地放电时是经由 IC 插座与 relay 开关而接地的。而 non-socketed 的 CDM 放电是把带电的 IC 在浮接状态下，经由放电探棒 (discharge bar) 而直接接地放电。这两种放电方式的 CDM 测试机台都已有商业产品在销售。

1. Positive-mode: 整颗 IC 处于浮接状态，IC 的基体 (Substrate) 先被充电而具有正极性的电压，然后该 IC 的任一脚位以直接接地的方式放电；
2. Negative-mode: 整颗 IC 处于浮接状态，IC 的基体 (Substrate) 先被充电而具有负极性的电压，然后该 IC 的任一脚位以直接接地的方式放电。



### 3.2 静电放电测试方式

在每一测试模式下，IC 的该测试脚先被打上(Zap)某一 ESD 电压，而且在同一 ESD 电压下，IC 的该测试脚必须要被 Zap 三次，每次 Zap 之间的时间间隔约一秒钟，Zap 三次之后再观看该测试脚是否已被 ESD 所损坏，若 IC 尚未被损坏则调升 ESD 的电压，再 Zap 三次。此 ESD 电压由小而逐渐增大，如此重覆下去，直到该 IC 脚已被 ESD 所损坏，此时造成 IC 该测试脚损坏的 ESD 测试电压称为『静电放电故障临界电压(ESD failure threshold)』。

如果每次调升的 ESD 测试电压调幅太小，则测试到 IC 脚损坏要经过多次的 ESD 放电，增长测试时间；若每次调升的 ESD 测试电压太大，则难以较精确测出该 IC 脚的 ESD 耐压能力。因此，有一测试经验法则如表 3.2-1 所示，当 ESD 测试电压低于 1 千伏特时，每次 ESD 电压增加量为 50V(或 100V)；当 ESD 测试电压高于 1 千伏特时，每次 ESD 电压增加量为 100V(或 250V)。而 ESD 测试的起始电压则从平均 ESD 故障临界电压的 70%开始。

表 3.2-1 ESD 测试法则

(1). Stress number = 3 Zaps. (5 Zaps, the worst case)	
(2). Stress step	$\Delta V_{ESD} = 50V(100V)$ for $V_{ZAP} \leq 1000V$ $\Delta V_{ESD} = 100V(250V, 500V)$ for $V_{ZAP} > 1000V$
(3). Starting $V_{ZAP} = 70\%$ of averaged ESD failure threshold ( $V_{ESD}$ )	

例如，某一 IC 的人体放电模式(HBM) ESD 耐压大概平均在 2000V 左右，那么起始测试电压约为 1400V 开始。测试时，1400V 的 ESD 电压 Zap 到 IC 的某一脚去(相对的 VDD 或 VSS 脚要接地)，测三次 1400V 的 ESD 放电，若该 IC 脚尚未被损坏，则调升 ESD 电压到 1500V，此 1500V 的 ESD 电压再打到该 IC 脚三次，若该 IC 脚尚未被损坏，则再调升 ESD 电压到 1600V，依此类推，直到该 IC 脚被静电放电所损坏为止。

我们来估算一下，一颗 40pin 的 IC (38 支 I/O, 1 支 VDD, 1 支 VSS)，其人体放电模式(HBM)自 1400V 测到 2000V，每次 ESD 电压增加量为 100V 的情形下，所要测试的次数：

每一测试脚在变化 ESD 电压之下的 Zap 次数 =  $[(2000-1400)/100 + 1] \times 3 = 21$  次；每一支 Input/Output 脚的测试组合 = 4 种(如图 3.1-1 所示)；38 支 Input/output 脚的总测试次数 =  $38 \times 4 \times 21 = 3192$  次；Pin-to-Pin 静电放电测试(如图 3.1-2 所示)之次数 =  $38 \times 2 \times 21 = 1596$  次；VDD-to-VSS 静电放电测试(如图 3.1-3 所示)之次数 =  $1 \times 2 \times 21 = 42$  次；故该 40 脚位 IC 的 ESD(1400~2000V)总测试次数 = 4830 次。

由上述的简单估算可知，一具有 40 脚位的 IC，只从 1400V 测到 2000V，每一次电压调升 100V，则要 4830 次的 ESD 放电测试。而在实际情形，IC 脚的耐压度可能每一支都不相同，要真正测出每一支脚的 ESD 耐压程度，则所需测试次数会远超过上述的数字。因此适度放宽每次 ESD 电压调升的幅度(自 100V→250V)可以减少测试的次数及时间。

以上所谈的 ESD 测试次数是指 HBM 测试，若该 IC 也要做 MM 以及 CDM 的 ESD 测试，则还要再加上 MM 及 CDM 的 ESD 测试次数。

### 3.3 静电放电故障判断

IC 经由 ESD 测试后，要判断其是否已被 ESD 所破坏，以便决定是否要进一步测试下去，但是如何判定该 IC 已被 ESD 所损坏了呢？常见的有下述三种方法：

- 1 **绝对漏电流**：当 IC 被 ESD 测试后，其 Input/Output 脚的漏电电流超过  $1\mu\text{A}$  (或  $10\mu\text{A}$ )。漏电电流会随所加的偏压大小增加而增加，在测漏电电流时所加的偏压有人用  $5.5\text{V}$  ( $V_{\text{DDX1.1}}$ )，也有人用  $7\text{V}$  ( $V_{\text{DDX1.4}}$ )。
- 2 **相对 IV 漂移**：当 IC 被 ESD 测试后，自 Input/Output 脚看进 IC 内部的 IV 特性曲线漂移量在 30% (20%或 40%)。
- 3 **功能观测法**：先把功能正常且符合规格之 IC 的每一支脚依测试组合打上某一电压准位的 ESD 测试电压，再拿去测试其功能是否仍符合原来的规格。

用不同的故障判定准则，对同一 IC 而言，可能会有差距颇大的 ESD 故障临界电压。因此 ESD 故障临界电压要在有注明其故障判定准则条件之下，才显得有意义！

### 3.4 静电放电测试结果的判段

表 3.4-1 为一 IC 之 ESD 测试结果，测试脚 4 是 VDD，测试脚 17 为 VSS，其他为 Input 或 Output 脚。表中“OK”表示其 ESD 耐压超过  $8\text{KV}$  以上。对 Input/Output 脚有四种测试模式，我们看第 7 脚，其 ESD 耐压分别为  $4250\text{V}$  (PD-mode)， $-500\text{V}$  (ND-mode)， $4000\text{V}$  (PS-mode)，以及  $-5750\text{V}$  (NS-mode)，此第 7 脚的静电放电故障临界电压 (ESD failure threshold) 定义为其四种测试模式下的最低值，即此第 7 脚的 ESD failure threshold 为  $500\text{V}$ 。另外，我们再看第 11 脚，其 ESD 耐压分别为  $7250$  (PD-mode)，超过  $8000\text{V}$  (ND-mode)， $7250$  (PS-mode)，以及超过  $8000\text{V}$  (NS-mode)，此第 11 脚的 ESD failure threshold 为  $7250\text{V}$ 。依此类推，每一脚都有其 ESD failure threshold。而此颗 IC 的 ESD failure threshold 定义为所有 IC 脚中 ESD failure threshold 最小的那个电压值，因此，该颗 IC 的 ESD failure threshold 仅达  $500\text{V}$ 。即使有些脚的 ESD 耐压可达七千多伏特，这颗 IC 的静电放电故障临界电压仍定义为  $500\text{V}$ 。

因此，静电放电防护电路的设计，要能够提升 IC 所有脚位的静电放电故障临界电压，而不是只提升某几支脚位的静电放电防护能力而已。

IC 工艺特性有时会有小幅的 (10%) 漂移，因此每颗 IC 之间的特性可能会有些微的不同，其 ESD 耐压特性也可能会有差异。要有意义的产品品质管制，在**一批相同的 IC 中，要随机取样一些 IC 做 ESD 耐压测试，在每样测试中所挑选的 IC 数目至少大于 5 颗**。在这些 ESD 耐压测试的 IC 中，每一颗都可找出该颗 IC 的 ESD failure threshold，可能每一颗之间的 ESD failure threshold 都不太相同，这时我们定义其中**最低的** ESD failure threshold 为该批 IC 的 ESD failure threshold。当取样的数目越多，该批 IC 的 ESD failure threshold 越精确。

由上所述，ESD 测试从每一支脚的测试组合，每一颗 IC 的测试方法，一直到整批 IC ESD 故障临界电压的判定，都给我们一个很重要的概念，ESD protection 不是一支脚的问题，而是整批 IC 的问题。因此静电放电防护要有效用，就必须考虑到各种 ESD 情形下，静电放电电流在 IC 内部流动的路径。

## 第四章 静电放电防护设计之基本概念

为了避免集成电路在生产过程中被静电放电所损伤，在集成电路内皆有制作静电放电防护电路。静电放电防护电路是集成电路上专门用来做静电放电防护之用的特殊电路，此静电放电防护电路提供了 ESD 电流路径，以免 ESD 放电时电流流入 IC 内部电路而造成损伤。在本章中，会对防护元件的设计原理，以及防护电路所常使用的元件特性加以说明。

### 4.1 防护电路之设计概念

静电放电防护电路 (ESD protection circuits) 是集成电路上专门用来做静电放电防护之用，此静电放电防护电路提供了 ESD 电流路径，以免 ESD 放电时，静电电流流入 IC 内部电路而造成损伤。人体放电模式 (HBM) 与机器放电模式 (MM) 之 ESD 来自外界，所以 ESD 防护电路都是做在焊垫 PAD 的旁边。在输出 PAD，其输出级大尺寸的 PMOS 及 NMOS 元件本身便可当做 ESD 防护元件来用，但是其布局方式必须遵守 Design Rules 中有关 ESD 布局方面的规定。在输入 PAD，因 CMOS 集成电路的输入 PAD 一般都是连接到 MOS 元件的栅极 (gate)，栅极氧化层是容易被 ESD 所打穿，因此在输入垫的旁边会做一组 ESD 防护电路来保护输入级的元件。在 VDD pad 与 VSS pad 的旁边也要做 ESD 防护电路，因为 VDD 与 VSS 脚之间也可能遭受 ESD 的放电。

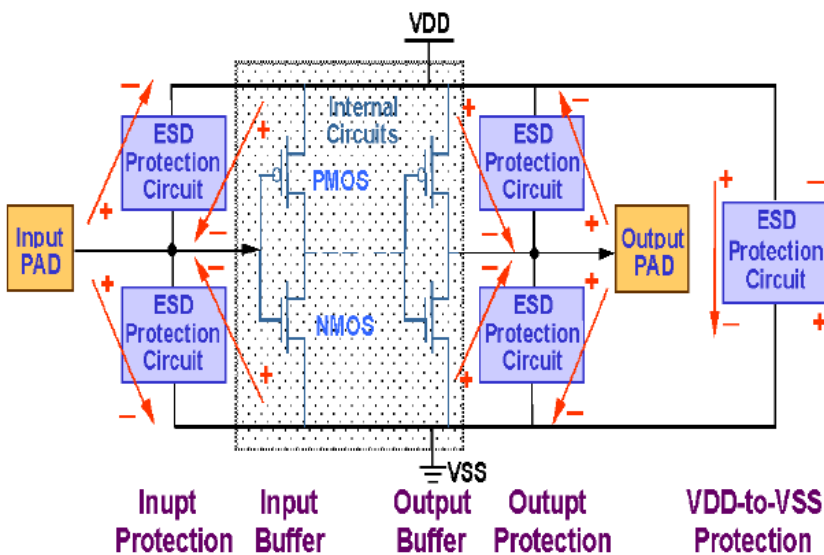


圖 4.1-1 全方位靜電放電防護電路的安排

ESD 防护电路的安排必须全方位地考虑到 ESD 测试的各种组合，因为一颗 IC 的 ESD failure threshold 是看整颗 IC 所有脚中，在各种测试模式下，最低之 ESD 耐压值为该颗 IC 的 ESD failure threshold。因此，一个全晶片 ESD 防护电路的安排要如图 4.1-1 所示。在图 4.1-1 中，Input pad 与 Output pad 要具有防护 PS, NS, PD, 及 ND 四种模式的静电放电，另外，VDD 到 VSS 也要有 ESD 防护电路。

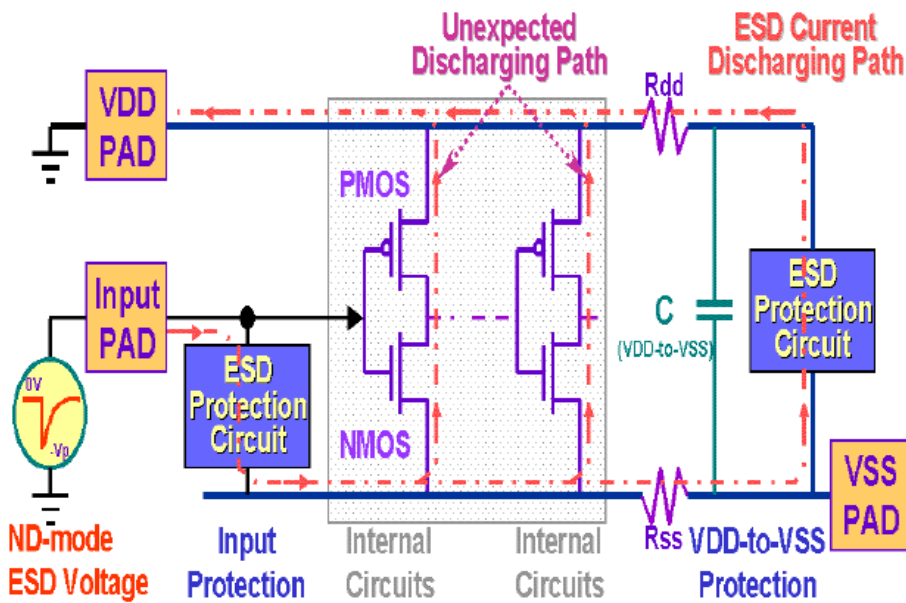
因 ESD 防护电路是为了防护 ESD 而加入的，故在集成电路正常操作情形下，该 ESD 防护电路是不动作的，因此在加入

ESD 防护电路于集成电路中之时，必需要考虑到表 4.1-1 所列举之注意事项。其中，在设计上除了要能符合集成电路所要求的 ESD 防护能力之外，也要尽可能地降低因为加上该 ESD 防护电路而增加的成本，例如布局面积的增大或者制造步骤的增加等。

表 4.1-1 CMOS 積體電路晶片上靜電放電防護電路的設計考量

1	To provide ESD protection with efficient discharging paths to bypass any ESD stress.
2	To protect themselves against ESD damages with some degree of robustness during ESD stress.
3	To pass normal I/O signals and remain inactive when the IC is in the normal operating condition.
4	To cause acceptable I/O signal delays ( as small as possible) because the ESD protection circuits are added around the I/O pads.
5	To offer high ESD protection capability within small layout area.
6	To maintain high latchup immunity of CMOS IC's.
7	To fabricate the ESD protection circuits without adding extra steps or masks into the CMOS process.

另外，在一些前人设计的 ESD 防护电路中，尤其是在 **Input pad**，其 ESD 防护电路只安排在 **Input pad** 与 **VSS** 之间，**Input pad** 到 **VDD** 之间没有安排 ESD 防护电路，如图 4. 1-2 所示。



当 ND 模式的 ESD 放电发生时，此负的 ESD 电压会先经由 **Input** 到 **VSS** 之间的 ESD 防护电路跑到 **VSS** 电源线上，沿着 **VSS** 电源线流向 **VDD** 与 **VSS** 之间的 ESD 防护电路，再经由此 **VDD** 与 **VSS** 之间的 ESD 防护电路转到 **VDD** 电源线上，最后由 **VDD pad** 流出此 IC。

ND 模式的静电放电在图 4. 1-2 中是考虑由 **Input** 到 **VSS** 以及 **VDD** 与 **VSS** 之间的 ESD 防护电路来旁通 ESD 电流。有些人抄到了 **Input** 到 **VSS** 之间的 ESD

圖 4.1-2 異常靜電放電損傷積體電路內部電路的示意圖

防护电路，却忘了加上 **VDD** 与 **VSS** 之间的 ESD 防护电路，这时在 ND 模式 ESD 测试组合之下，集成电路的内部电路常常先被 ESD 放电电流所损坏，但是在 **Input pad** 上的 ESD 防护电路确毫发未伤，这种内部电路损伤无法自 **Input pad** 的 IV 变化观测得到，必须再经由 IC 功能测试分析才会发现。随着晶片的尺寸越做越大，环绕整个晶片的 **VDD** 与 **VSS** 电源线也越拉越长，寄生的电容电阻效应便会显现出来，当 IC 的布局造成电源线的杂散电容电阻效应如图 4. 1-2 所示时 ( $R_{ss}$ ,  $R_{dd}$ ,  $C$ )，这些杂散电阻电容会延迟 ESD 电流经由 **VDD** 与 **VSS** 之间的 ESD 防护电路旁通而过。这时，来不及渲泄的 ESD 电流便会借着电源线的相连接而进入到 IC 内部电路中，IC 的内部电路在布局上一般都以最小尺寸来做，也不会考虑 ESD 的布局方式，因此 IC 内部电路更易被此种 ESD 电流所损伤。因此，会造成异常的 ESD 损伤现象，也就是在 **I/O pad** 上的 ESD 防护电路都好好的，但内部电路已死得很难看，这种内部损伤是无法从单一输入脚或输出脚的 IV 变化看得出来的。



因此,当晶片尺寸(die size)较大时,Input pad 的 ESD 防护电路就必须如图 4.1-1 所示,在 Input pad 与 VDD 之间也要提供 ESD 防护电路来直接旁通 ESD 电流,而不要只考虑由 VDD 与 VSS 之间的 ESD 防护电路来间接放电。有关高效率的 VDD 与 VSS 之间的 ESD 防护电路设计,在第七章有详细介绍。

#### 4.2 防护元件之选用

在集成电路中加入 ESD 防护电路,该 ESD 防护电路要发挥防护效果,以避免集成电路内的元件被 ESD 所损伤。当 ESD 电压出现在 I/O 脚位上时,制作于该 I/O Pad 旁的 ESD 防护电路必须要能够及早地导通来排放 ESD 放电电流。**因此,ESD 防护电路内所使用的元件必须要具有较低的崩溃电压(breakdown voltage)或较快的导通速度。**

在 CMOS 集成电路中,可用来做 ESD 防护的元件如下列所示:

- (1) 电阻(Diffusion or poly resistor) ;
- (2) 二极管(p-n junction) ;
- (3) 金氧半(MOS)元件(NMOS or PMOS) ;
- (4) 厚氧化层元件(Field-oxide device) ;
- (5) 寄生的双载子元件(Bipolar junction transistor) ;
- (6) 寄生的硅控整流器元件(SCR device, pnpn structure) .

这些元件可以用来设计组合成各式各样的静电放电防护电路,因此各式各样的专利也已被提出来。有关专利部份,第九章有详细资料介绍。

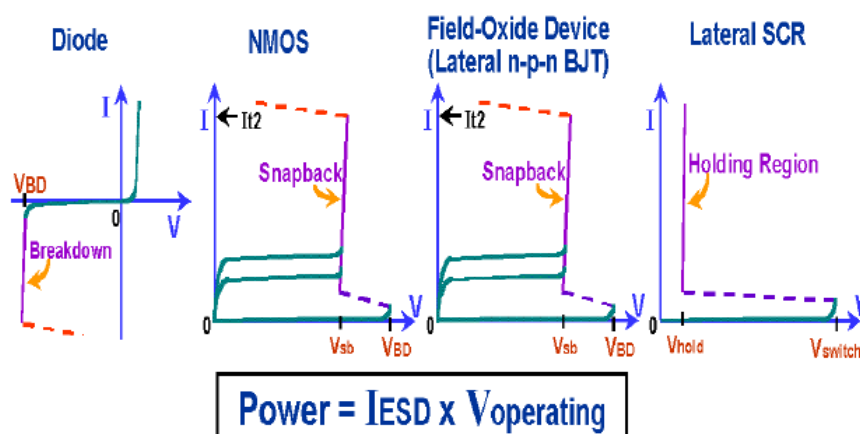


圖 4.2-1 各種 ESD 防護元件的 I-V 特性

接下来我们先了解一下上述各种元件的特性,其中电阻具有阻挡电流的能力,因此经常与其他元件共同使用以提升该元件的 ESD 耐受能力。各种元件的 I-V 特性如图 4.2-1 所示。虽然集成电路的 ESD 规格上都是标示电压值,例如 HBM ESD 要 2000V,但在实际测试上 ESD 放电现象是接近电流源(current source)的性质,放电电流的大小在第二章已有叙述。因此,一 ESD 防护元件在 ESD stress 之下,如果具有较低

的工作电压(operating voltage),则在该 ESD 防护元件上所产生的电能(power)就会较小,也就是因静电放电而产生的热量就会较小。这些热量就由该 ESD 防护元件来承受,当静电放电所产生的热量大于该 ESD 防护元件所能承受的极限值,该 ESD 防护元件便会烧毁,如果要能承受更大的 ESD 放电电流,则必需增加该 ESD 防护元件的元件尺寸及布局面积以提升其承受能力。

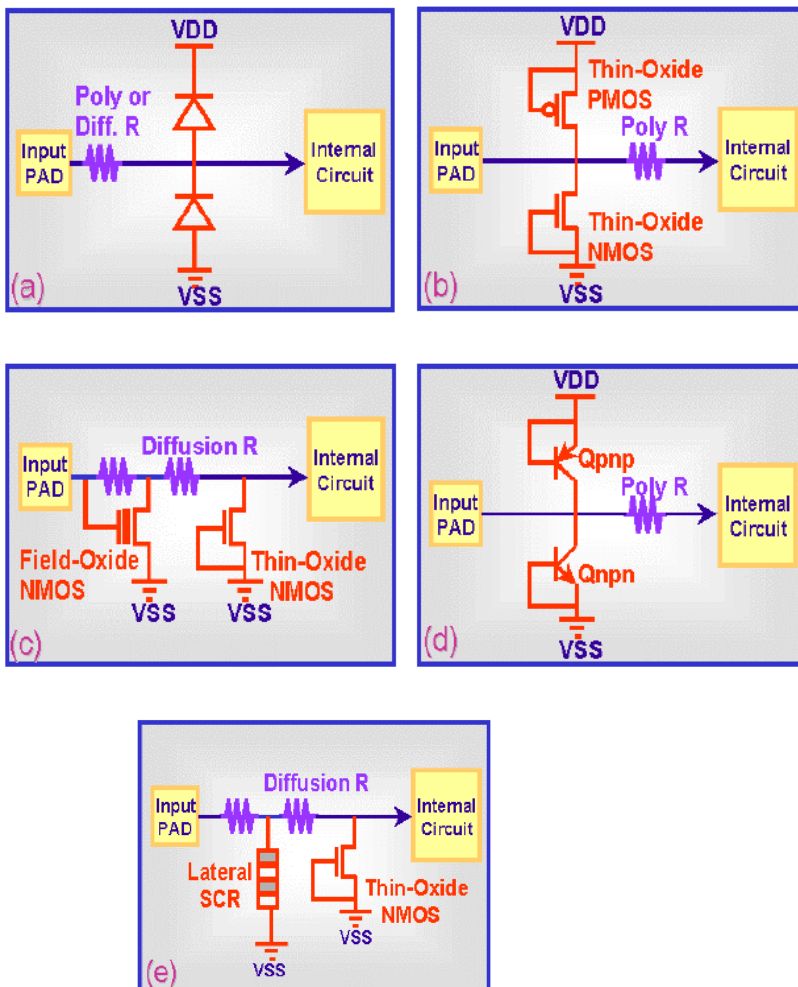
从图 4.2-1 可知,各种 ESD 防护元件在正向偏压及反向偏压之下,其工作电压是不相同的,例如二极管元件在正向偏压之下的工作电压约在 0.8 ~ 1.2V 左右,但是该二极管元件在反向偏压之下的工作电压约在 -13 ~ -15V 左右。**因此,当相同大小的 ESD 放电电流流经该二极管元件时,在反向偏压情形下所产生的热量远大于该二极管元件在正向偏压情形下的热量,也就是说在相同元件尺寸大小的前提之下,二极管元件在正向偏压之下所能承受的 ESD 电压将远大于该元件在反向偏压之下所能承受的 ESD 电压值。**因此,如何设计一个具有高 ESD 承受能力但只占用小布局面积的 ESD 防护电路,必须要考虑元件在不同偏压之下的特性。



至于 MOS 元件或厚氧化层(Field-oxide)元件的 ESD 承受能力,跟该原件的第二次崩溃点电流( $I_{t2}$ , secondary-breakdown current)有关。当 ESD 放电电流大于该元件的  $I_{t2}$ , 该元件便会造成不可恢复性的损伤。有关 MOS 元件或厚氧化层(Field-oxide)元件的  $I_{t2}$  量测方法,我们在第五章将有详细介绍。

在各种 ESD 防护元件之中,由于 SCR 元件在正向偏压与反向偏压之下的工作电压都只有 $\sim 1V$ 左右,因此 SCR 元件可在更小的布局面积之下承受极高的 ESD 电压。有关使用 SCR 元件来设计 ESD 防护电路,在第六章将有详细介绍。

#### 4.3 静电放电防护电路的实例



利用上述的各种元件可以组合成不同型式的 ESD 防护电路,常见的输入级 ESD 防护如图 4.3-1 所示。在图 4.3-1 中,有五种不同的设计,其 ESD 耐压能力也各不相同,表 4.3-1 显示各种元件在同一 0.8 微米 CMOS 工艺下之 ESD 耐压能力。元件的布局面积越大,耐压度当然会提升,因此我们可以用单位布局面积上的 ESD 承受能力来做比较。在表 4.3-1 中,横向硅控整流器(lateral SCR)元件具有明显的优越性,在高集成度的要求下,SCR 元件可以在较小的布局面积下提供 CMOS 集成电路较高的 ESD 防护能力。

圖 4.3-1 CMOS 積體電路中幾種常見的輸入級 ESD 防護電路

## 第五章 传输线触波产生器系统(TLPG System)

前言:

从对二次击穿点的了解可知,二次击穿电流( $I_{t2}$ )代表了元件到达 pn 结面所能承受的最大电流值,

在过了此点后，元件就会出现永久性的破坏而有相当大的漏电电流，无法恢复原来特性。由此可知，当以人体静电放电模型来对元件做防护能力测试时，元件所能承受的最大静电放电电流应大约相当于该元件的  $I_{t2}$ ，由于在 MIL-STD 883 Method 3015.7 中定义了人体放电电阻的大小为 1500 欧姆，因此可知元件的最大 ESD 承受电压  $V_{ESD}$  为

$$V_{ESD} \approx I_{t2} \times (1500 + R_{device}) \quad (1)$$

其中  $R_{device}$  为元件电流在达  $I_{t2}$  时的元件内阻值。若在实际静电放电模型的测试方式下，由于量到的  $V_{ESD}$  已在二次击穿点后，此时之元件结面已呈现导体性质，因此  $R_{device}$  几乎可以省略。而从人体静电放电模型 (HBM) 来看，若把充电电压源的部份当作是提供定额能量的能源供应处，由能源供应处提供的能量送入待测元件，在不断提供更高的定额能量下，量测元件的电压/电流值，将可得到待测元件的完整电压/电流特性曲线，如图 5.0-1 所示。在这特性曲线中，可以得到所谓的二次击穿点。

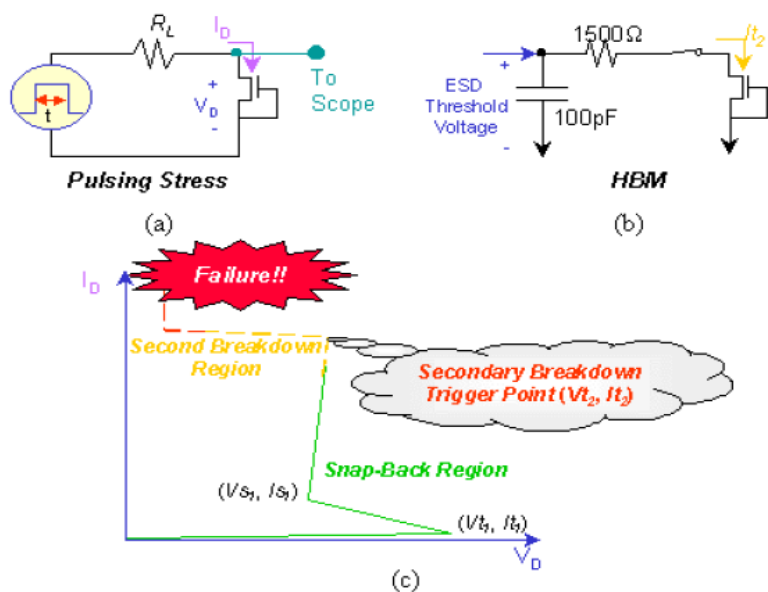


圖 5.0-1

在静电放电防护电路中，会设计一组用来做静电放电排放的防护元件，以有效地排放由静电放电所产生的电流。一些常见的静电放电防护电路已显示在图 4.3-1 中 [3]，在这些防护电路中的防护元件，其运作原理大致可分为以下几种元件：反偏二极管、双载子电晶体 (Bipolar)、金氧半 (MOS) 元件以及硅控制整流器 (Silicon-Controlled Rectifier, SCR) 等。在这些静电放电保护电路中，大多是利用该元件工作在其一次击穿 (First Breakdown) 区来排放 ESD 电流，元件在其一次击穿区内仍不会被损伤，然而此击穿区域是有其极限存在，这极限就是所谓的

二次击穿 (Secondary Breakdown) 的特性，当元件因为外加过压的 (Overstress) 电压或电流而进入二次击穿区后，元件会造成永久性的损坏。

至于用来量测二次击穿电流的仪器设备方面，在 1985 年 Intel 公司之 TJ Maloney 和 N. Khurana 首先利用传输线触波技术来量测元件之二次击穿电流，其设计上的原理及组装显示于图 5.0-2 及图 5.0-3 中。一方面为了要了解静电放电防护元件 (ESD Protection Device) 之物理特性，另一方面更为了能在晶片制作完成之初，即能先预测产品之静电放电的承受能力，以降低包装及测试成本并增加产品的研发效率，在先进的 IC 公司或半导体厂中，传输线触波产生器 (TLPG, Transmission Line Pulse Generator) 已被架设用来量测元件之二次击穿点 (Secondary Breakdown Point)，并和静电放电标准测试模式互相参照比较。由理论的探讨及实际的量测结果，可得知元件的 ESD 耐压能力与其二次击穿点的电流成线性的正比关系，因此元件的二次击穿电流 ( $I_{t2}$ )，已被认定为静电放电防护能力的表示方式之一。

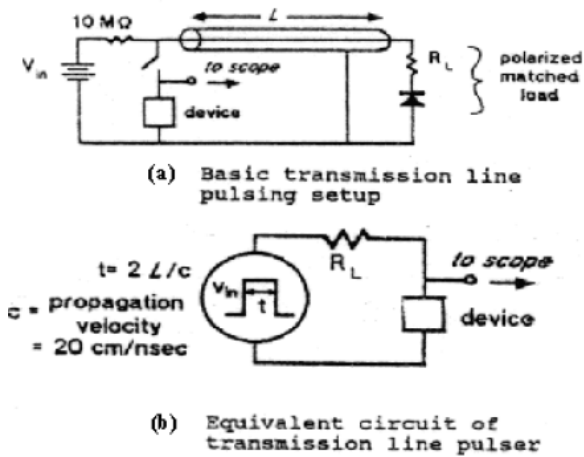


圖 5.0-2

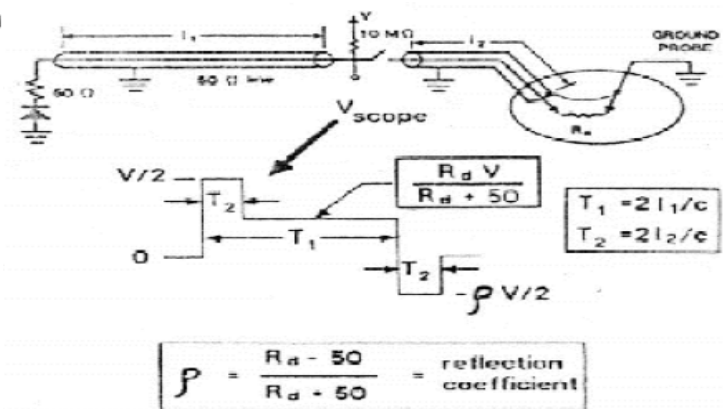


圖 5.0-3

另一方面，深亚微米 CMOS 集成电路因静电放电而损坏的情形越来越严重，传统的防护设计已不使用，必需要有新的防护设计才能使集成电路安全地被运送、测试及组装，而新的保护电路在测试的过程中，所遇到的最大问题不外乎时效与成本的考量，一颗集成电路从晶圆生产，到晶片测试、切割、包装，然后才能检验其静电放电防护能力。若这集成电路之 ESD 防护能力不符合工业应用安全标准则需重新修改设计，这来回过程不知耗掉多少时间及金钱。为解决这时效性的问题以及降低研发成本，且又能有效地测试出集成电路的静电放电防护能力，传输线触波产生器 (TLPG) 的架设已成为 ESD 防护技术研发中的一项重要测量系统。由最近几年所刊登的国际论文中就可看出，在一些研究集成电路静电放电防护能力的文章中，**已有许多研究论文是以二次击穿电流做为判定 ESD 防护能力的实验数据，而能精确量测二次击穿电流的工具，只有传输线触波产生器才能达成。**目前，除了在先进的大公司 (例如 Intel, TI...等) 有这些自行组装的 TLPG 设备外，国内的 IC 及半导体厂尚无此种设备。鉴于要提升台湾本土在 ESD 方面的设计能力及实力，我们已在国立交通大学的集成电路及系统实验室 (ICS Lab.) 架设完成国内第一套这种传输线触波产生器 (TLPG) 系统，并已应用到元件的实际测试上。

### 5.1 传输线触波原理

在装设传输线触波产生器之前，必需对此设备之原理做一理论的解析，如此在装设时才能充分掌握问题之所在，另一方面也才知道本设备所能应用的范围在那里。

一个晶圆量测型式 (Wafer-Level) 的传输线触波产生器显示在图 5.1-1 中，由电磁波的理论分析来看，可分成两部份，一个是实际产生触波的传输线区段，另一部份为传送触波的传输线部份，其等效电路经过简化后如图 5.1-2 所示，而其中电磁波在传输线中的传送速度为

$$u = 1/\sqrt{\mu\epsilon} \approx 2 \times 10^8 \text{ m/sec} \quad (2)$$

以下对这二个电路稍做说明，之后再对整个传输触波产生器的运作原理加以说明。

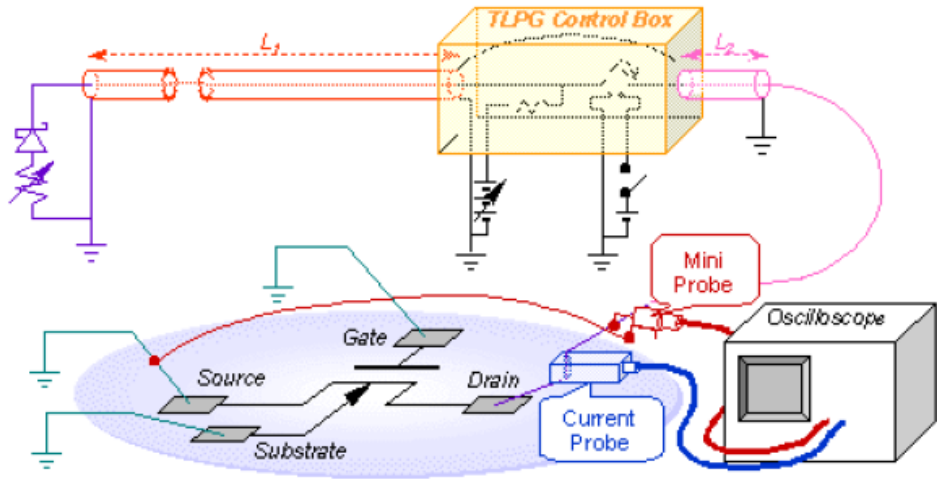


圖 5.1-1

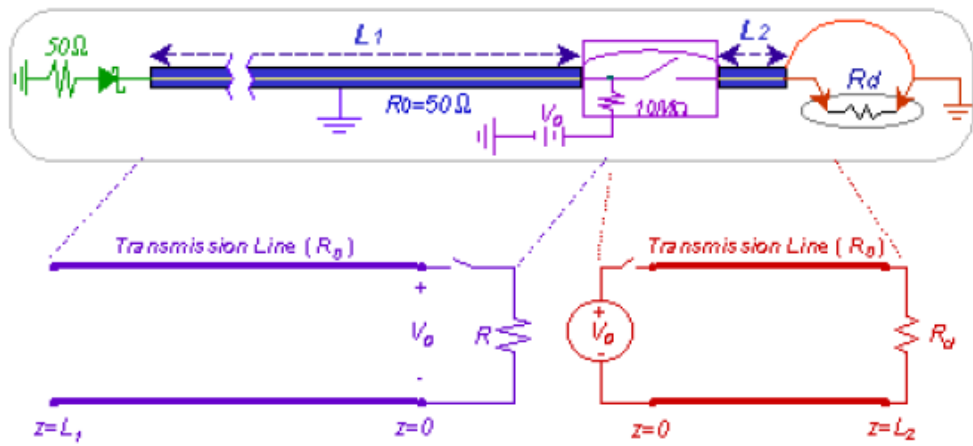


圖 5.1-2

### 5.1.1 具有电阻负载的传输线

在图 5.1-2 的右侧电路中，其主要功能为传送触波讯号，为了使讯号不受干扰，因此使用同轴传输线传送。此段回路由于负载阻抗与传输线阻抗不可能完全匹配，因而会造成电磁波的反射，而其反射情形又因负载阻抗的大小而会造成正向或反向的反射电磁波，这是由于反射系数是由负载电阻 (Load Resistance,  $R_d$ ) 及传输线特性阻抗 (Characteristic Resistance,  $R_0$ ) 而定。反射系数定义为

$$\Gamma_d = \frac{R_d - R_0}{R_d + R_0} \quad (3)$$

当负载电阻大于传输线特性阻抗时，将造成正向的反射电压，在经过  $2L_2 / u$  的时间后将传至开关处，此反射电压将进入另一端电路，因而造成由  $L_1$  段传输线所产的触波并不会在一个周期完成后马上结束，而会呈阶梯状的波形产生。

以下接着讨论  $L_1$  传输线产生触波的原理，以了解如何控制触波的宽度 (即控制模拟静电的能量)，以及了解为何在负载电阻大于传输线特性阻抗时会有阶梯状的波形产生。

### 5.1.2 终端开路且具初始充电的传输线

在图 5.1-2 的左侧电路中，由于终端接上了高功率的反偏 Schottky 二极管，而传输线的初始充电电压 ( $V_0$ ) 于仪器的设计中不会大于其击穿电压，因此一开始可视为终端开路的传输线。此段的电路分析，可参考图 5.1-3。图 5.1-3(a) 的等效电路可用图 5.1-3(b) 来表示，又图 5.1-3(b) 可以等效于图 5.1-3(c) 与图 5.1-3(d) 的相加。其中图 5.1-3(c) 之电路不会有暂态行为，因此这电路的电磁波暂态行为主要由图 5.1-3(d) 所决定。在继电器开关开启后，会有一负电压入射波进入 L1 传输线，而与原先初始充电电波做叠加 (Superposition)，而使得电压在 L1 传输线上成为

$$V = \frac{R}{R+R_0} V_0 \quad (4)$$

此电压波以  $u$  的速度向两侧入射，当经  $t = T_1 = L_1/u$  的时间后到达终端，而由于终端为开路，反射系数为 1，因此会再产生一负电压电磁波反射回开关处，在做叠加的结果剩下

$$V = \frac{R-R_0}{R+R_0} V_0 \quad (5)$$

的电压值。基本上在开关另一端的输入阻抗约为  $R_0$ ，因此这时的电压值约为 0，其电压/电流波形如图 5.1-3(e) 及图 5.1-3(f) 所示。

讨论至此，可看出主要的触波产生之时间为  $2T_1$ ，即触波的脉冲宽度为  $2L_1/u$ 。所以，可用不同长度的 L1 传输线产生不同脉冲宽度的触波。然而，若看整个晶圆量测型式的传输线触波产生器时，就必需考虑另一端的反射波所造成的影响，以下讨论整个传输线触波产生器的运作原理。

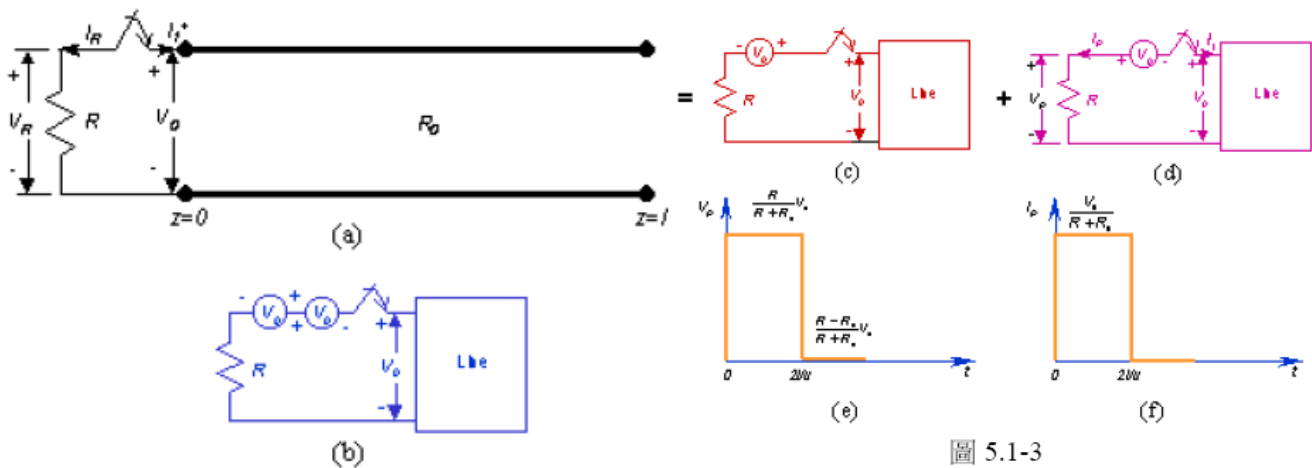


圖 5.1-3

### 5.1.3 传输线触波产生器的基本原理

由上两个小节的讨论中得知，在继电器开关开启后，是以一个如方程式 (4) 的电压向两侧传送，在右侧电路 (L2 传输线) 所造之反射波是影响触波的主要因素，当右侧反射波进入左侧 L1 传输线后，若为负向反射波，则传送至 L1 左侧终端时，会造成 Schottky 二极管正偏，此时只要终端电阻与 L1 传输线有匹配，将形成零反射，而终止反射波，其波形变化可参考图 5.1-4。但右侧反射波若为正向反射波时，其到达 L1 终端时，此反射波依然会再一次的反射回来，从反射至开关处算起，所经历的时脉依然为  $2T_1$ ，所以此触波产生器所形成的波型为阶梯状的波形。



$$V = \frac{R}{R + R_0} V_0(4)$$

也因此欲得到较完整的方形触波之条件为：

- 1、L2 越短越好
- 2、待测元件之负载阻抗需小于传输线特性阻抗。

而要产生完整方形触波的原因，是因为在量测时，二次崩电流的量测不易判断，若有较完整的方形触波，有助于量测上的精确判断。原理了解清楚后，接着便着手进行传输线触波产生器的组装。

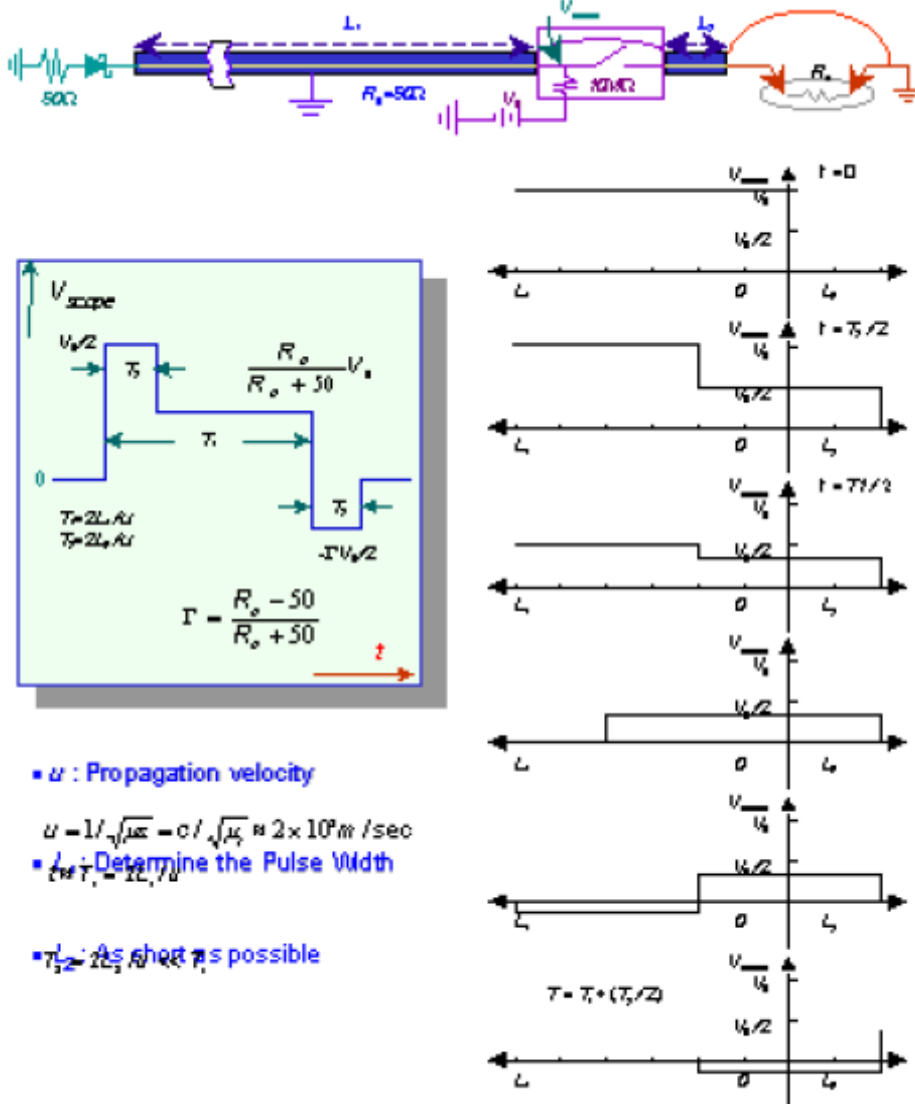


圖 5.1-4

## 5.2 传输线触波产生器(TLPG)的组装

在传输线触波产生器的组装方面，大致可分两大部份：仪器设备的组合及证证。

### 5.2.1 传输线触波产生器的组合

整个晶圆量测型式的传输线触波产生器已显示在图 5.1-1 中，其中大约可分为以下几个部份：

- 一、终端极化区 (Polarized Termination)
  - 二、传输线区 (Transmission Line Region)
  - 三、传输线触波产生器控制盒 (TLPG Control Box)
  - 四、电源供应器 (Power Supplies)
  - 五、待测元件探测区 (DUT Probe)
  - 六、量测仪器 (Measurement Equipment)
- 以下将针对此六个区域逐一详加解说。

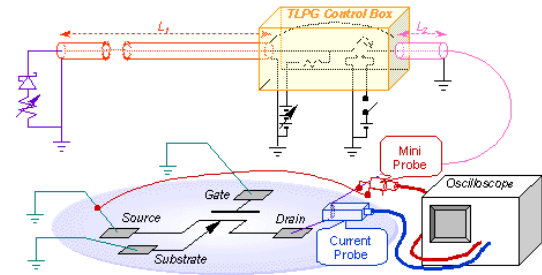


圖 5.1-1

### 5.2.1.1 终端极化区

考图 5.2-1 所示，由理论中得知此区域的目的有以下两点：

Schottky 二极管需能承受高的反偏压，以便能够承 L1 传输线上预先充电的电压；

匹配阻抗，终止反射波的行进，以生触波之方形脉冲。

中，由于传输线上的充电电压可能达上千伏特，因此必需使用击穿电压大于充电电压的

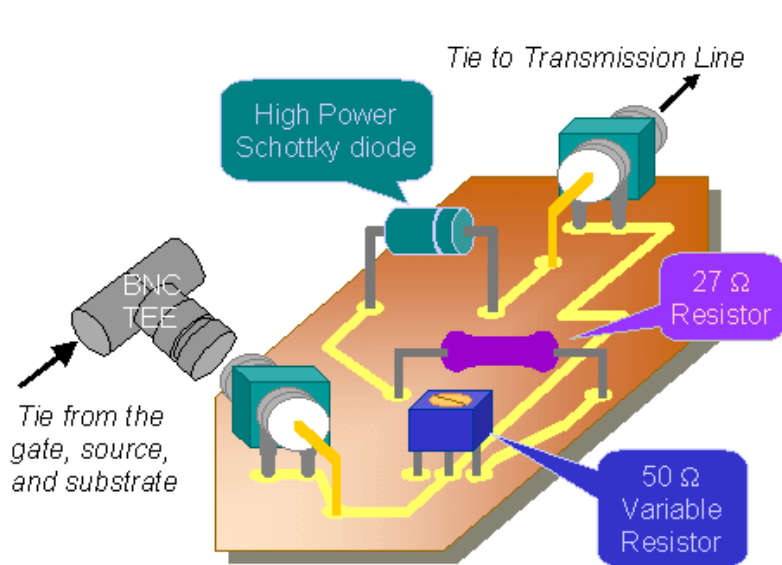


圖 5.2-1

参  
区

1. 向  
充
2. 产

其  
高  
压

高  
二

功率 Schottky 二极管。又 Schottky 极管在正向偏压时的开启电压较低，因此才能很快将负向反射波消除。至于阻抗匹配部份，由于必需与传输线的特性阻抗匹配，而一般传输线的特性阻抗约在 50 欧姆左右，因此以一个 27 欧姆的电阻搭配一个 50 欧姆的可变电阻来做调整。此外在设计此终端极化电路时，为了考虑整个回路的遮蔽 (Shield) 效应，整个极化电路要放入一铝或铜制的金属盒内。另一方面要将待测元件中需接地的接脚以同轴传输线连接到此盒的接地端上，因此必需用到 BNC 接头及连接器做连接。

### 5.2.1.2 传输线区

由理论的部份可看出，传输线区分两部份，一为控制产生触波的 L1 部份，另一个为传送触波的 L2 部份。其中 L1 传输线的长度可用来调整触波的脉宽，每公尺长的传输线长度约可产生 10 纳秒的触波脉宽。一般而言愈小的元件需用愈短的 L1 传输线，因为在此系统中，触波脉宽即代表了在某一测试电压下每次所提供测试能量的大小，欲避免元件在二次击穿点附近偏压太久而导致损毁，因此必需小心选择 L1 传输线的长度。至于 L2 传输线的部份，在前面的理论中知道是影响触波波形的因素，因此当然是能愈短愈好。

在于传输线材质的部份，如欲考虑减少噪声 (Noise) 的干扰而使触波有较完善的波形产生，可使用

遮蔽效应较佳的材质。另外一点，由于 L1 传输线需做预先充电的动作，因此其中的介电质必需能承受充电电压的电位而不至击穿或漏电。

### 5.2.1.3 传输线触波产生器控制盒

如图 5.2-2 所示，此控制盒为本系统的核心，其必需有良好的遮蔽效果，才不致影响传送出去的触波。其接触必需良好，以降低高频噪声的影响。继电器开关的选择很特别，不能使用一般的继电器，因一般的继电器很容易产生噪声。为了要能维持高频的切换动作而且能耐高电压/电流的通过下运作，且避免噪声之产生，此特殊的继电器必要采用水银式继电器 (Mercury Relay)。整个控制电路以特制的厚铝(铜)盒完全包住，以达成完整的遮蔽效应。其中水银继电器是以 5 伏特的电压源来作开关控制。

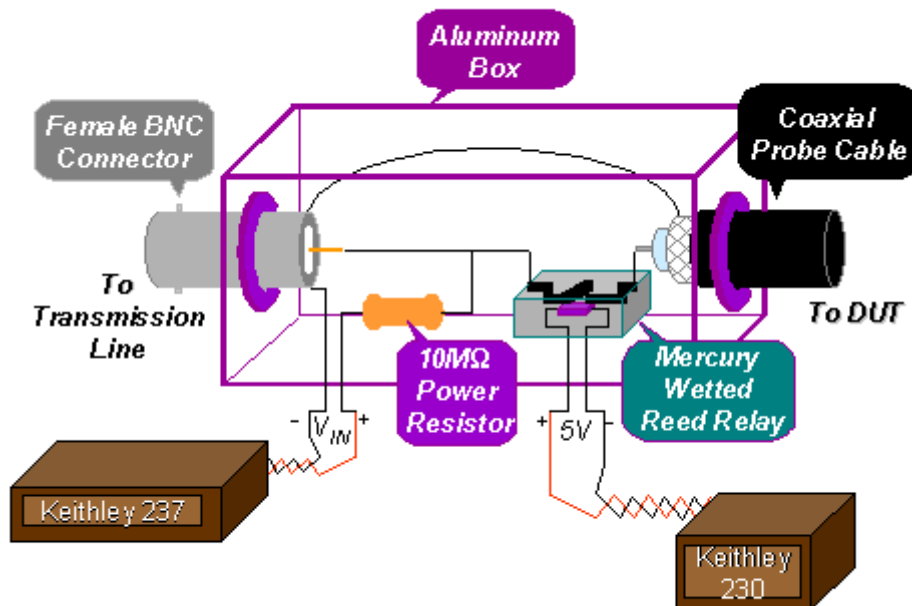


圖 5.2-2

另外在 L1 轴心处的接点除了接到继电器外，尚串联了一个 10M 欧姆的高电阻再连接到高电压的直流电源供应器正端，以对传输线做充电之用。而为提供较完整之回路及遮蔽效应，L1 及 L2 传输线的遮蔽层必需用良好的导线连接在一起。

### 5.2.1.4 电源供应器

在传输线触波产生器中的电源供应器有两个，一个是用来对传输线预先充电的充电电源，另一个是用来控制水银继电器开关的控制电源。这充电电源，必需能提供可调且高的电压(约数千伏)，以产生不同的触波脉冲电压，一般常用的电源仪器是 Keithley 237 或 2410，它可提供高达  $\pm 1100$  伏特的电压源，并有几种波形输出方式，可用电脑控制。而用来控制水银继电器的控制电源，必需可程式化，因为在操作传输线触波产生器时，欲产生一个触波时，开关的控制必须分成三个阶段：首先在充电电源开始充电时，控制电源必需先供应 0 伏特的电源 10 毫秒 (Millisecond) 以关闭水银继电器；接着才提供 5 伏特的电压 3 毫秒以打开水银继电器，在此时即会产生触波；最后回到 0 伏特维持 20 毫秒以再度关闭水银继电器。如此即完成一个触波的产生，控制电源只开启水银继电器 3 毫秒是为了要避免充电电源持续提供直流电源而造成待测元件因过度偏压而损坏。

### 5.2.1.5 待测元件探测区

待测元件探测区当然是架设在晶圆探测站(Probe Station)上,如图 5.2-3 所示。传输线触波产生器的控制盒被黏挂在探测机械手臂(Probe Manipulator)旁,如此可使 L2 的长度最短。L2 同轴传输线要延伸到探针(Probe Needle)处,其轴心与探针接线连接。探针最好是采用钨合金(Tungsten)材质,以承受瞬间的高放电电流。L2 轴心所连接的探针由于必须穿过电流转换探测器(Current Probe),必须稍微折弯,也因此这探针的长度需较长。

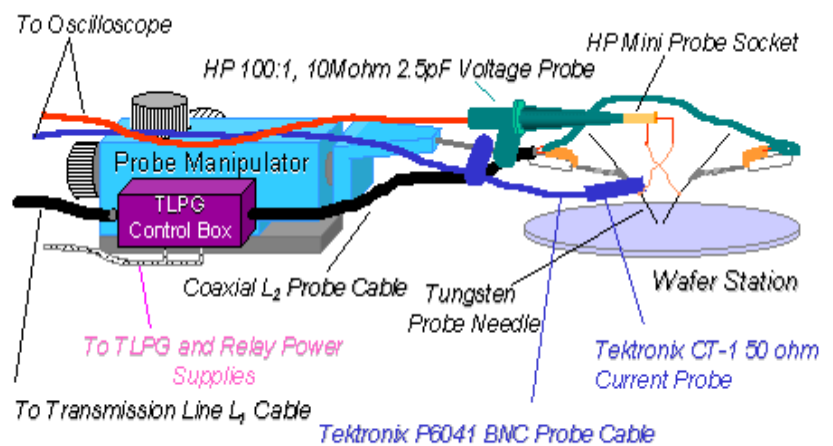


圖 5.2-3

L2 的遮蔽线必须与待测元件

之接地端的探针相连接,以确保整个待测元件在一个单一封闭的区域路径中。待测元件的接地探针也必需以同轴传输线连接到终端极化盒上。电流转换探测器可选用 Tektronix 的 CT-1 或 CT-2,它们可提供每毫安培产生 5 毫伏特或 1 毫伏特的转换,但需考虑其最大电流及频率范围的限制。最后由于所产生的触波为高电压触波,因此在量测电压时,是以 HP 10440A 100:1, 10Mohm 2.5pF 的电压探测器(Voltage Probe)接上迷你探测接头(Mini Probe Socket)来使用,而使电压下降 100 倍来量测。

### 5.2.1.6 量测仪器

最后对于量测仪器方面,必需是一台可收集单极触波讯号的高频数位储存式示波器。将 HP 10440A 电压探测器及 Tektronix CT-1 (或 CT-2) 电流探测器连接到示波器上时,要注意阻抗的匹配,示波器必需选择单极触波(Single-pulse trigger)的抓取方式,才能够观测到瞬间的电压/电流变化关系,如此即可完成一套传输线触波产生器。

### 5.2.2 传输线触波产生器的验证

在架设完传输线触波产生器后,当然要对此系统做一验证,至于要如何验证呢?从传输线的理论中可知,这个系统有两个主要的控制变因可影响到触波的变化。首先是待测负载电阻,其影响为:

1. 在小于或等于传输线特性阻抗时为单一触波,在其约等于特性阻抗时,触波电压的大小约为充电电源的一半;
2. 在大于传输线特性阻抗时为阶梯状触波,其主触波电压值由方程式(4)所决定,而接着会有再一个 2T1 周期的阶梯波。

$$V = \frac{R}{R + R_0} V_0 \quad (4)$$

以 10 公尺的 L1 传输线搭配 50 欧姆和 100 欧姆的负载电阻,在 100 伏特充电电压测试下,得到图 5.2-4 的结果,所产生的波形变化完全与理论符合。

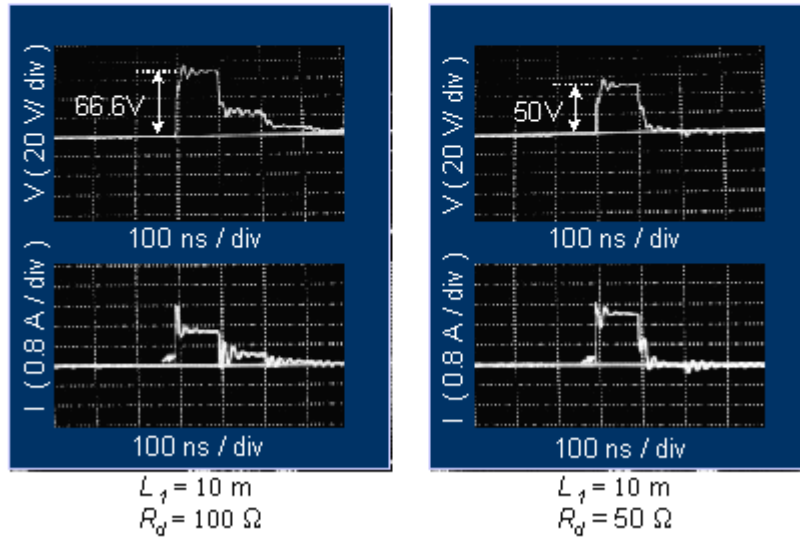
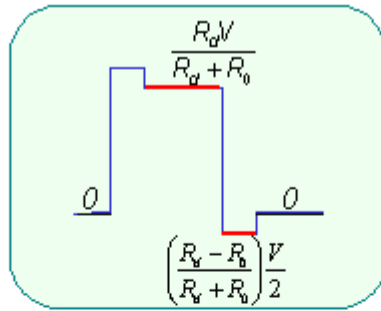


圖 5.2-4

其次影响到触波变化的另一项因素为  $L_1$  传输线长度，它也是控制触波脉宽的重要因素，由理论中可知，**约每公尺的  $L_1$  可产生 10 纳秒的脉宽**。图 5.2-5 是以三条不同长度的同轴传输线搭配 50 欧姆阻抗，在 100 伏特充电电压下，所得的触波波形。三条传输线的长度分别为 1.8 公尺、10 公尺以及 15 公尺，它们应可产 18 纳秒、100 纳秒以及 150 纳秒脉宽的触波。实验量测所得完全与理论相符合。

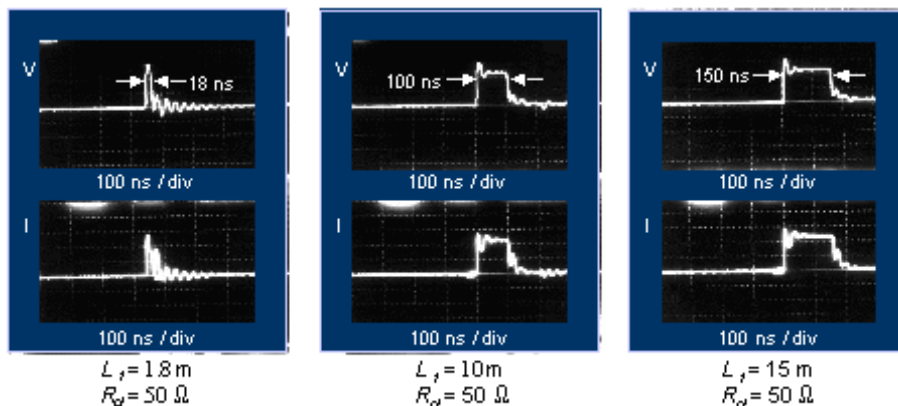


圖 5.2-5

由上述的验证，可知这台传输线触波产生器已架设成功，接着就是将这传输线触波产生器应用于元件的实际量测及分析上。



### 5.3 传输线触波产生器的应用

将传输线触波产生器应用来量测元件时,其中有几个因素须先处理,首先必需先将待测元件以 HP 4145 之类的仪器量测出元件的第一击穿点电压,以做为起始充电电压的参考值。

开始量测元件时,改变充电电压为变数,逐步增加充电电压,而在示波器上观测元件上的电压/电流值。元件在各偏压区域下的触波电压/电流波形量测于图 5.3-1 中。

图 5.3-1(a) 的波形,是元件在回滞击穿 (Snapback Breakdown) 区的特性。到二次击穿点时,会有电流突升而电压突降的波形产生,如图 5.3-1(b) 所示。最后充电电压再增大时,电流会再度增大而电压会下降更多,此时元件已进入二次击穿的状态,如图 5.3-1(c) 所示。

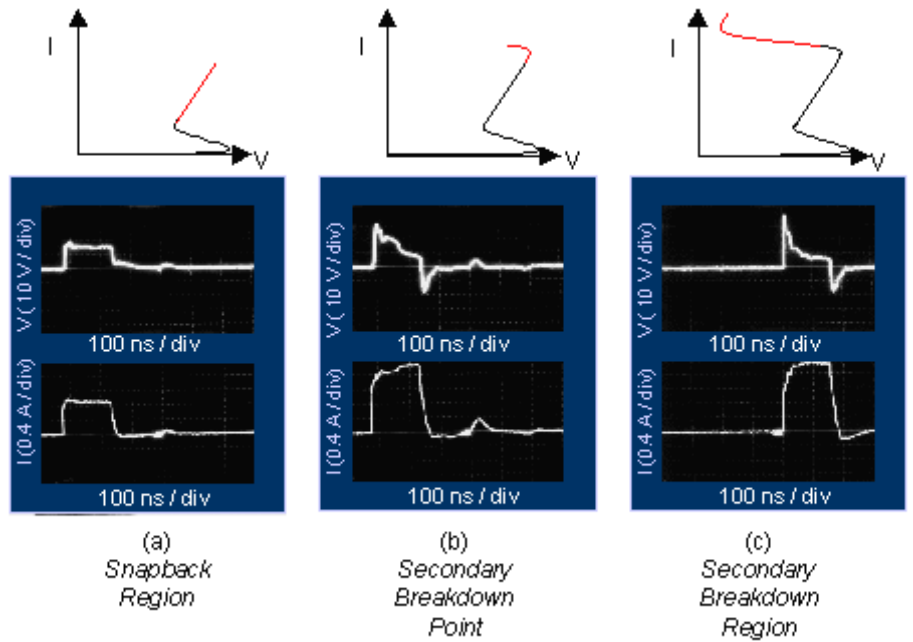


圖 5.3-1

利用一点一点的观测可描绘出元件在击穿区的电压/电流特性曲线,如图 5.3-2 所示。

然而在量测时尚有一情况需考虑,若一开始就发现量测时的触波波形为阶梯状时,表示待测元件的内阻值已大于传输线特性阻抗,此时在量测仪器上必需做一些改变,以因应量测系统的准确性。由所提供的充电电压及量测到的触波电压,利用方程式(4),可大约计算出元件的内阻值。可并联一相当的电阻,使并联后的总电阻小于传输线特性阻抗,但并联点必需在电流量测点之外,且在电压量测点之内,如此即可做一校正性的量测。

$$V = \frac{R}{R + R_0} V_0 \quad (4)$$

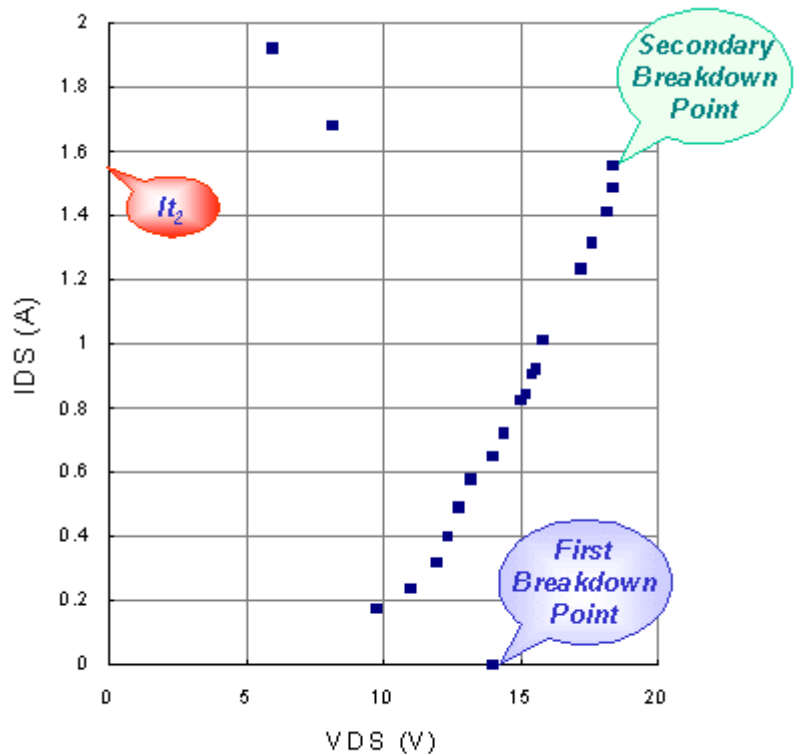


圖 5.3-2

另外，藉由谨慎控制触波脉宽，当量测到元件的二次击穿点时，即停止更高充电电压的量测，只要触波脉宽(触波能量)不是很大(得视元件本身的特性而定)，在二次击穿点偏压下元件依然不致损坏。然而一旦进入了二次击穿区后，元件可能因过大的能量冲击而损伤，由此可知只要小心量测，元件在量测后是不致于损毁的。而在考虑脉宽的因素下，当使用较宽的触波(L1 较长)时，在量测二次击穿点是比较容易判断，然而其缺点是容易造元件的损坏，而且超过 150 纳秒的触波，已不是正确之静电放电的波形。但若使用太小脉宽的触波时，所提供的电压要更高，量测所需花费的时间要更长，因此如何选用适当的脉宽，除了需搭配元件的特性外，更需要实际经验的累积。

此套 TLPG 系统，可藉由电脑及其它 Switch Box 的辅助而架设成自动测量的系统。一套自动量测的 TLPG 系统示意图显示于图 5.3-3 中。

由以上的实际测量中，可看出此量测系统的作用，不外乎是利用可控制的有限能量以量测元件的电压/电流特性曲线，然而这个可以量测元件二次击穿现象的量测系统，这并不是市面上的一些量测仪器所能做到的。此 TLPG 系统亦可用来做其它方面的测量应用，例如可以用来量测栅极氧化层(Gate-Oxide)的脉冲击穿电压，甚至测量深亚微米工艺下栅极氧化层所能承受的最大 ESD 电压。

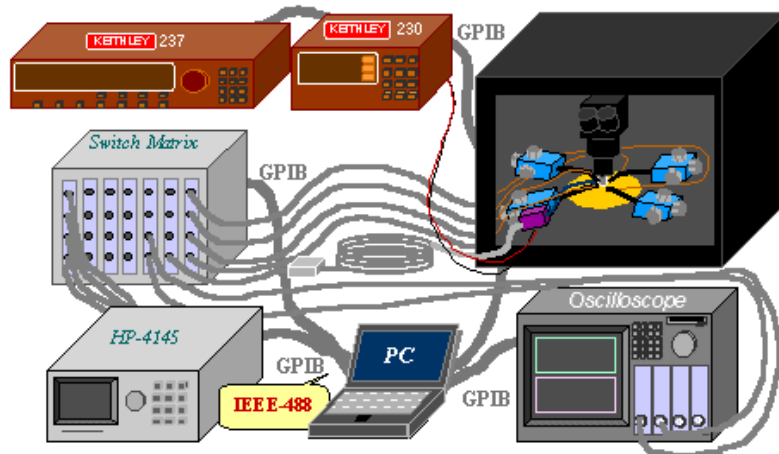


圖 5.3-3

## 第六章 互补式金氧半集成电路之静电放电防护技术

在前面的章节中，已就集成电路的静电放电防护，做一基本性的概念教导。在本章中，将就静电放电防护设计做技术专业上的进一步说明，以利从事集成电路工作者，得以改善其 IC 对静电放电(ESD)的可靠度问题。

### 6.1 前言

CMOS 工艺演进与 ESD(HBM) 耐压能力的关系显示于图 6.1-1(a) 与图 6.1-1(b) 中，该图是美国 IBM 公司研究人员在 1993 年发表的论文中所提到的。在先进的 CMOS 工艺中，MOS 元件都做有 LDD (Lightly-Doped Drain) 结构，在国内 0.35 微米的工艺中已开始使用 Silicided diffusion 在 MOS 元件的扩散层(diffusion)上，以降低 MOS 元件在漏极与源极端的扩散串联电阻，；另外，为了降低 MOS 元件在栅极(Gate)上的扩散串联电阻，会有 Polycide 的使用；在某些更先进的工艺中，Silicided diffusion 与 Polycide 会在工艺同一步骤中一起做，而取名叫“Salicide”工艺；此外，随着 MOS 元件缩小化，VDD 电压源的下降，MOS 元件的栅极薄氧化层(Gate Oxide)越来越薄；这些先进工艺上的改进可大幅提升 CMOS IC 内部电路的运算速度、集成度、以及可靠度。

但是这些先进工艺却留下一个最大的不良后遗症，就是用这些先进工艺制做的 CMOS IC 很容易就被 ESD 所破坏，这引发了 IC 产品可靠度问题。而静电存在世界上的每一环境之中，因此 CMOS IC 在量产中以及使用中都必须要注意 ESD 对 CMOS IC 的破坏。为了提升先进工艺下之 CMOS IC 对 ESD 的防

护能力，近几年来各种研究正热烈地进行中，陆续有一些创新性的做法发表以及专利申请，本章节乃摘取几种比较实用的技术加以说明。

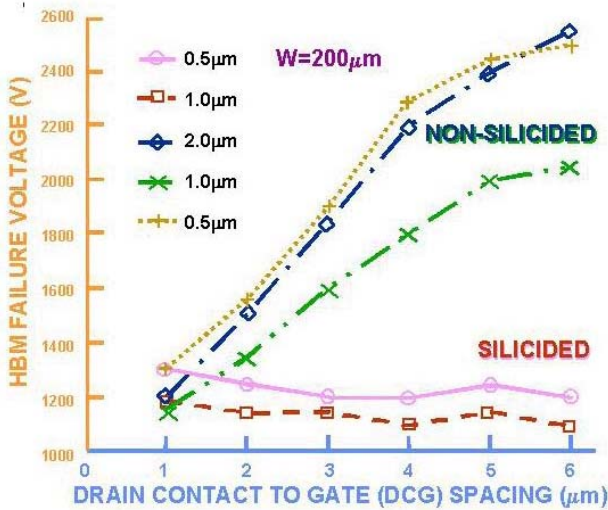


圖 6.1-1(a)

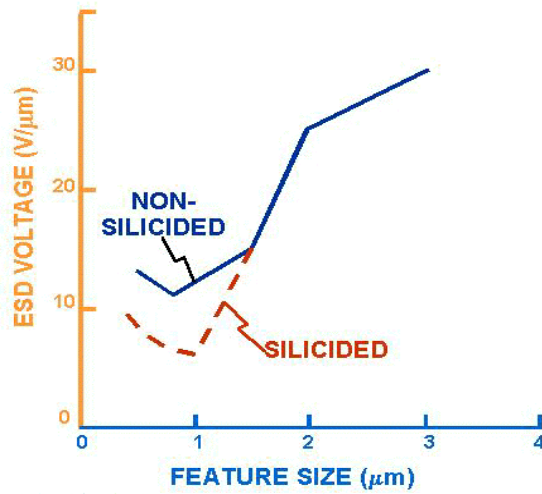


圖 6.1-1(b)

## 6.2 工艺上(Process Level)的改进方法

在工艺上为加强深亚微米 CMOS IC 的 ESD 防护能力，目前发展出两种工艺技术以应用于量产工艺中。

### 6.2.1 ESD-Implant Process (防静电放电布植工艺)

在图 6.2-1 中，显示出两种不同的 NMOS 元件结构，在左半边的是亚微米工艺下的标准元件结构，

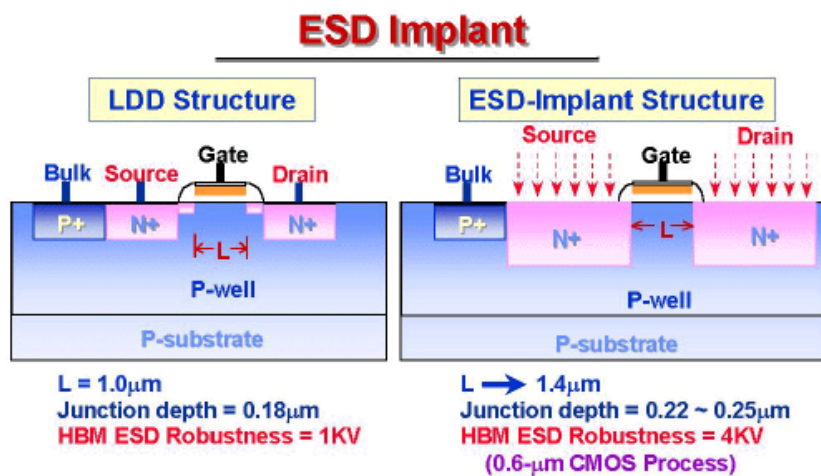


圖 6.2-1

拥有 LDD 的漏极(Drain)及源极(Source)，此 LDD 是用来减低 MOS 之漏极端在通道(channel)下的电场强度分布，以克服因热载子效应(Hot carrier effect)所造成的 IV 特性因长时间用而漂移的问题。但这个 LDD 结构做在 MOS 元件通道(channel)的两端，LDD 的深度(junction depth)只有约  $0.02 \mu\text{m}$ ，这等效在漏极与源极的两端形成了两个“尖端”，ESD 放电作用类似于雷击，“尖端放电”的现象便容易发生在 LDD 这个尖端结构上，当这种 LDD 元件用于输出级(output buffer)，NMOS 元件很容易

便被 ESD 所破坏，即使 NMOS 元件在输出设计中拥有很大的尺寸(W/L)，其 ESD 防护能力在 HBM 测试下仍常低于 1000 伏特。

为了克服因 LDD 结构所带来 ESD 防护能力下降的问题，工艺上便发展出 ESD-Implant Process，其概念乃是在同一 CMOS 工艺中，做出两种不同的 NMOS 元件，一种是给内部电路用，具有 LDD 结构的 NMOS 元件，另一种是给 I/O(输入/输出)用，但不具有 LDD 结构的 NMOS 元件。要把这两种元件结构合并到同一工艺中，便需要在原先的工艺中再加入一层 ESD-Implant 用的 Mask(光罩)，利用此 ESD-Implant Mask 再加上一些额外的工艺处理步骤，便可在同一工艺中做出不同的 NMOS 元件。由于用 ESD-Implant Mask 做出的元件不具有 LDD 的结构，其结构像传统 long-channel 的工艺所做出的元件，故其像早期的 NMOS 元件一样，能拥有较高的 ESD 防护能力。利用 ESD-Implant Process



做出来的 NMOS 元件拥有较深的结面深度(Junction Depth)，故其会有较严重的横向扩散作用，这导致利用 ESD-Implant Process 做的 NMOS 元件不能用太短的 channel length(L)。例如，在 0.6 μm 的 CMOS 工艺下，ESD-Implant Process 的 NMOS 元件最小通道长度 L 是 1.4 μm。

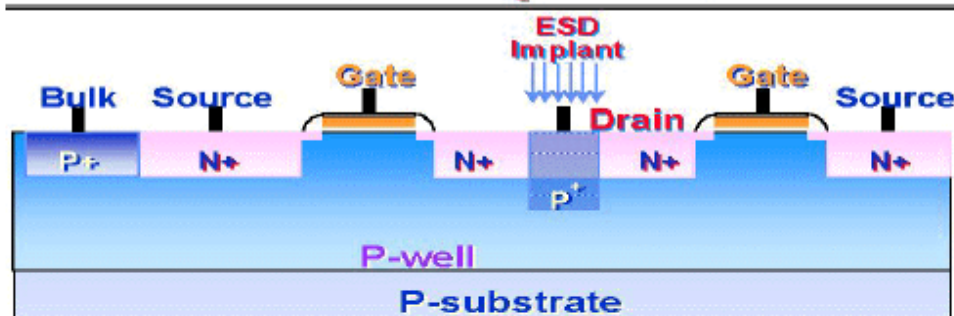
另外，用 ESD-Implant Process 做的 NMOS 元件与 LDD 结构的 NMOS 元件不同，故需要额外的处理及设计来抽取这种 ESD-Implant NMOS 元件的 SPICE 参数，以利电路模拟与设计工作的进行。虽然 ESD-Implant 的 NMOS 元件会增加工艺处理上的步骤，增加通道长度 L，增加元件参数抽取上的处理，但这些成本上的增加却可换来 CMOS IC 在 ESD 防护能力上的有效提升。例如图 6.2-1 所示，在相同 channel width (W=300 μm) 情形下，LDD 结构的 NMOS 元件，其 ESD 防护能力只有约 1000V (HBM)；但 ESD-Implant 的 NMOS 元件，其 ESD 防护能力可提升到 4000V。

此外，有另一种 ESD-Implant 的做法，如图 6.2-2 所示，把一浓掺杂浓度硼(P 型)打入在 contact 正下方 N 型 diffusion 与 P-substrate 接触面之间，以降低该结面的击穿电压，例如在一 0.35 微米的工艺中，可把原先约~8V 的结面击穿电压降低到约~6V。因为该结面具有较低的击穿电压，当静电放电出现在该 NMOS 元件的漏极(drain)时，静电放电电流便会先由该低击穿电压的结面放电，因此该 NMOS 元件漏极端的 LDD 结构不会因静电尖端放电的现象而先被静电损伤。利用这种做法，NMOS 元件仍可保有 LDD 结构，因此该 NMOS 元件仍可使用较短通道的 channel length，而且该 NMOS 元件的 SPICE 参数跟其他的 NMOS 元件相同，除了结面击穿电压之外，不必另外抽取这种 ESD-Implant 的 NMOS 元件的 SPICE 参数。

### 6.2.2 Silicided-Diffusion Blocking Process (金属硅化物扩散层分隔工艺)

Silicided diffusion 的主要目的在降低 MOS 元件在漏极与源极端的串联扩散电阻  $R_d$  及  $R_s$ ，在一没有 silicided diffusion 的 CMOS 工艺下，N+ diffusion 的阻值约 30~40 Ω/□，但在有 silicided diffusion 的先进工艺下，其阻值下降到约 1~3 Ω/□，由于扩散层的 Sheet Resistance 大幅降低，使得 MOS 元件的操作速度可以有效地提升，因而使 CMOS 技术可以做到更高频率的应用。silicided diffusion 技术在 0.35 μm(含)以下的 CMOS 工艺中已属于标准配备。

### Modified ESD-Implant Structure



Experimental results in a 0.35-μm Process with silicide-blocking Mask

Conditions	W/O ESD	W/ ESD	W/ ESD
W (μm)	490	420	600
L (μm)	0.6	0.5	0.5
DGS (μm)	2.5	3.4	1.8
V <sub>BD</sub> (V)	~8V	~6V	~6V
V <sub>ESD</sub> (HBM)	2KV	5KV	4KV

圖 6.2-2

但当有 silicided diffusion 的 MOS 元件被用来做输出级的元件时，由于其  $R_d$  与  $R_s$  都很小，ESD 电流很容易便经由 PAD 传导到 MOS 元件的 LDD 结构，一下子就因 LDD 做“尖端放电”而把 MOS 元件破坏掉，因此在  $0.35\ \mu\text{m}$  工艺的 MOS 元件，其 ESD 防护能力更大幅度地下滑，画制再大尺寸 (W/L) 的元件当输出级也无法有效地提升其 ESD 防护能力。为了提升输出级的 ESD 防护能力，在工艺上发展出 Silicided-Diffusion Blocking 的工艺技术，其概念乃把输出级用的 NMOS 元件中的 silicided diffusion 去除，使其漏极与源极的 sheet Resistance 恢复到  $30\sim 40\ \Omega/\square$  的阻值，因而使 MOS 元件具有较高的  $R_d$  与  $R_s$ ，较大的  $R_d$  与  $R_s$  可以有效地提升 MOS 元件对 ESD 的防护能力。为了达成上述目的，在工艺上需要多用一层光罩来定义出 silicided diffusion blocking 的区域，如图 6.2-3 所示。实验数据显示，channel width  $W=300\ \mu\text{m}$  的 NMOS 元件在 silicided diffusion 工艺下(含 LDD 结构)，其 HBM 的 ESD 耐压度低于 **1000V**，但若使用 silicided-diffusion blocking 的技术，在相同 channel width 下(含 LDD 结构)，其 ESD 耐压度可提升到约 **4000V**，这显示了 Silicided-diffusion Blocking Process 用在 I/O 元件上对 ESD 防护能力的提升作用。虽然 Silicided-diffusion Blocking 技术对 ESD 防护能力有所提升，但除了增加工艺复杂度之外，亦会因 Silicided-diffusion 的 Blocking 处理过程而容易造成污染的问题，这会造成低良率 (low yield) 的问题，因此在工艺处理上需要更精细的技术控制。

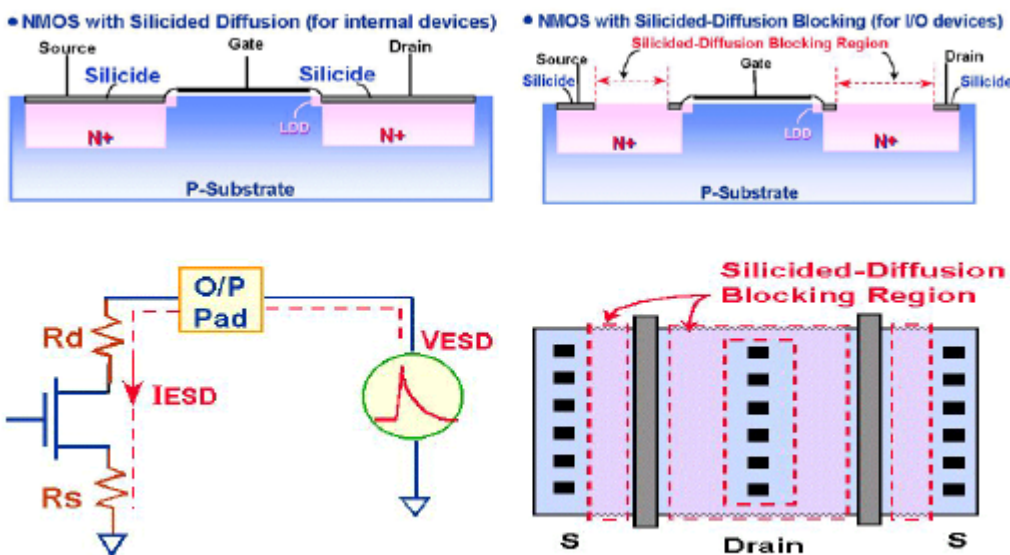


圖 6.2-3

当然，亦可在有 silicided diffusion 的工艺上，同时利用 ESD-Implant 技术去掉 LDD 结构，再用 Silicided-diffusion Blocking 技术去除输出级 MOS 元件的 Silicided diffusion，这样更可以大幅提升 CMOS IC 输出级的 ESD 防护能力，但其相对地在工艺处理上的步骤及制造成本也会增加。

除了利用 Silicided-diffusion Blocking 技术来去除输出级 NMOS 的 silicided diffusion 之外，另有一种高明的技巧可达到相同的功效而不需要用到 Silicided-diffusion Blocking 的工艺处理。图 6.2-4 显示了这种利用 N-well 来达到 Silicided-diffusion Blocking 的作用。在图 6.2-4 中，其漏极 (Drain) 的  $N^+$  diffusion 是断开的，位于中央中间的  $N^+$  diffusion 利用 contact 连接出去当漏极端，而断开的区域 (Field-oxide 区域) 利用 N-well 结构把这中间的  $N^+$  diffusion 连接到 MOS 通道的漏极  $N^+$  diffusion 去。这 N-well 的作用等效是个电阻作用，用来限制 ESD 放电的瞬间峰值电流；另外在 contact 下方包有 N-well

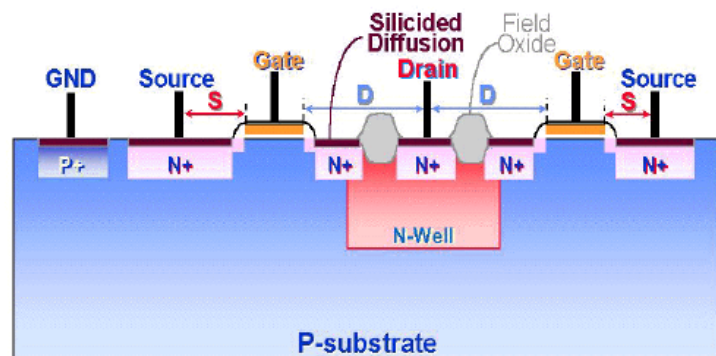


圖 6.2-4



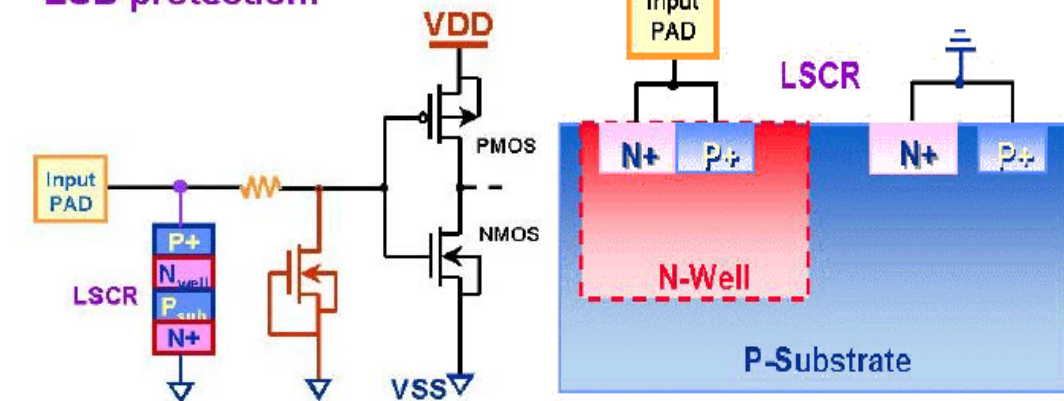
结构，更可防止因 ESD 电流造成 contact spiking 而使漏极与 P-substrate 短路的现象。利用这种 N-well 电阻的作法，只要在布局(Layout)时把漏极的 N+ diffusion 断开，再画上 N-well 做适当的连接即可达成，不需要用到 Silicided-diffusion Blocking 的额外光罩及工艺处理程序。利用布局上控制 Field -Oxide 区域的 spacing，即可做出不同大小的 N-well 电阻。这 N-well 电阻会影响到输出级的推动能力，但只要稍微加大输出级的元件尺寸(W/L)即可适度地恢复其正常的推动能力，而达到实用且省钱的最佳效果。

### 6.3 元件上(Device Level)的改进方法

本节介绍一种特殊的 CMOS 元件结构叫做 LVTSCR(Low -Voltage Triggering SCR，低电压触发硅控整流器)，此 LVTSCR 元件在单位布局面积下具有最高的 ESD 防护能力。在 CMOS IC 的 ESD 防护能力因工艺先进发展而大幅下降的今日，LVTSCR 元件在 ESD 防护上的角色日益重要，利用这种特殊元件，CMOS IC 的 ESD 防护能力能够在只占用到较小的布局面积下即可有效地被大幅提升，而不需要用到上一节所述的那些工艺上的额外处理。

#### 6.3.1 LVTSCR 元件

##### ● Lateral SCR device for input ESD protection.



SCR 的元件结构图示在图 6.3-1 中，SCR 元件就是 PNPN 四层半导体结构的组成。在图 6.3-1，此四层结构依序为 P+ diffusion、N-well、P-substrate、N+ diffusion。这个四层结构也就是导致 CMOS Latch up(锁

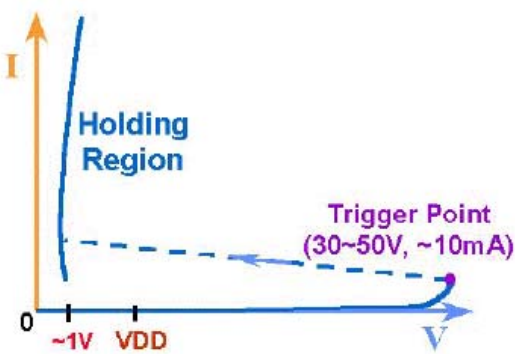


圖 6.3-1

住效应)问题的相同结构。但在 ESD 防护能力上，这 SCR 结构有特殊明显的优秀能力，其能在最小的布局面积下，提供最高的 ESD 防护能力。但若只是上述的四层结构，如此的 SCR 元件其起始导通电压等效于 CMOS 工艺下 N-well 与 P-substrate 的结面击穿电压。由于 N-well 具有较低的掺杂浓度，因此其结面击穿电压高达 30~50V(依工艺而定)，具有如此高的结面击穿电压，使得 SCR 元件在 ESD 防护设计上需要再加上第二级保护电路。这第二级 ESD 保护电路的目的在提供 ESD 防护能力，当 SCR 元件尚未导通之前。因 SCR 元件要到 30V 才导通，在 ESD 电压尚未升到 30V 之前，此 SCR 元件是关闭的，这时 SCR 元件所要保护的内部电路可能早就被 ESD 电压所破坏了，因此需要加入第二级保护电路来先保护内部电

路。利用适当的设计，在第二级保护电路未被 ESD 破坏之前，SCR 元件能够被触发导通来排放 ESD 电流，只要 SCR 元件一导通，其低的维持电压(Holding Voltage)便会钳制住 ESD 电压在很低的电压准位，因此内部电路可以

有效地被这个 SCR 元件所保护住。但是第二级保护电路需要正确的设计才能够达到上述的目的，另外，这第二级保护电路会占用额外的布局面积，这使得在 pad 附近的 Layout 会变得较复杂。

为了改善 SCR 元件需要另加第二级 ESD 保护电路的困扰，LVTSCR 元件在 SCR 元件结构中结合了一个 short-channel 的 NMOS 元件，其结构图如图 6.3-2 所示。利用一个 NMOS 的漏极横跨做在 N-well 与 P-substrate 的结面上，这可以使 SCR 元件的起始导通电压下降到等效于 short-channel NMOS 元件的回滞击穿电压( snapback breakdown voltage)，约 10~15V 左右。这使得 LVTSCR 元件不需要额外的第二级 ESD 防护电路便可以有效地保护内部电路。

LVTSCR 元件的导通乃是利用当其内嵌的 short-channel NMOS 元件发生回滞击穿时，引发电流自其漏极流向 P-substrate，这会引发电流自 N-well 流向 P-substrate，也因而触发了 SCR 元件的导通。为了防止 LVTSCR 元件在 CMOS IC 正常工作情形下会被导通，其内含的 short-channel NMOS 元件之栅极(gate)必须要连接到地去，以保持该 NMOS 元件是关闭的。

● Low-voltage-trigger Lateral SCR device for output ESD protection.

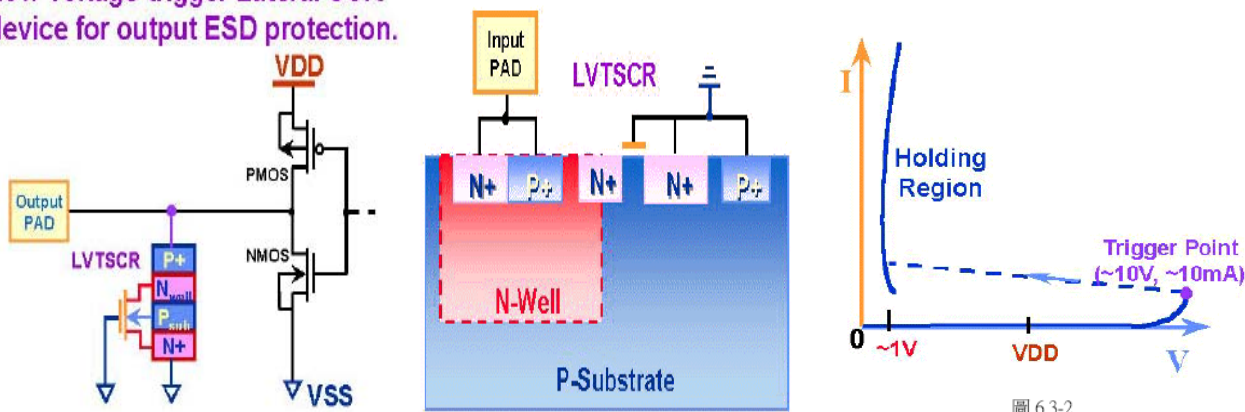


圖 6.3-2

LVTSCR 元件的发明，使得 CMOS IC 在深亚微米工艺技术下的 ESD 防护能力得以大幅提升又不需要额外的工艺处理步骤及光罩，但其缺点是不容易设计，要有一定的经验才能够充分发挥这个原本是缺点(造成 CMOS Latch up 问题)的寄生元件成为 ESD 防护上的优异元件。

### 6.3.2 互补式 LVTSCR 元件的设计

在第二章中，已提到 ESD 测试的各种标准，对一 CMOS IC 之输入脚或输出脚而言，有四种不同的 ESD 放电测试组合，其中以 PS-mode 及 ND-mode 最易导致 IC 损伤。

在先前的设计中，LVTSCR 元件只被安排在 PAD 到 VSS 的放电路径上，也就是该 LVTSCR 元件只被用来提升 PS-mode 的 ESD 防护能力，但该输入或输出脚的 ESD 耐压度是以四个 ESD 放电测试组合模式下最低的耐压值为判定值，故在先前的设计中仍欠缺了 ND-mode 的 ESD 防护能力的提升。

在图 6.3-3 中显示了一种互补式 LVTSCR 的静电放电防护电路。在该电路中，有两个 LVTSCR 元件，其中 LVTSCR2 被安排在 PAD 到 VSS 之间用来防护 PS-mode 的 ESD 放电，此 LVTSCR2 是在 SCR 元件中内嵌一 NMOS 元件而成的；另外有一 LVTSCR1 元件被安排在 PAD 到 VDD 之间，用来防护 ND-mode 的 ESD 放电，此 LVTSCR1 元件是在 SCR 元件内嵌一 PMOS 元件而成的。这 LVTSCR1 与 LVTSCR2 正好形成互补式的(Complementary)的结构，可以有效地提升该 PAD 的 ESD 防护能力。另外 NS-mode 的 ESD 放电，在图 6.3-3 中，被 D1 二极管所旁通

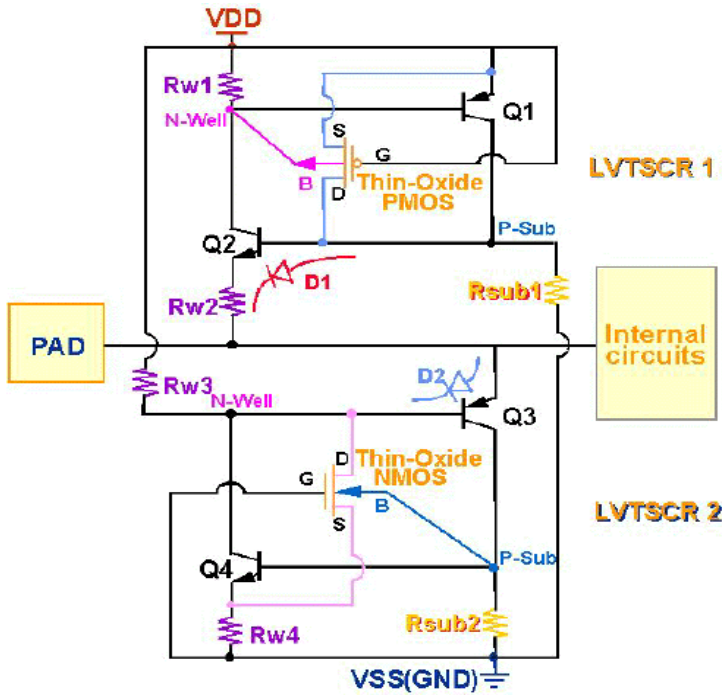


圖 6.3-3

动用额外的ESD-Implant或Silicided- diffusion Blocking的额外工艺处理。该互补式LVTSCR静电放电防护电路在IC布局上的实施例如图6.3-5所示。

掉；PD-mode 的 ESD 放电被 D2 二极管所旁通掉。二极管在正向偏压情形下，可以承受很高的 ESD 电压放电，但在反向偏压下，就变得很易遭到 ESD 破坏。在图 6.3-3 所示的互补式 LVTSCR 静电放电防护电路中，四个不同的放电组合都被一对一地防护着，故可以真正地提供全方位的高 ESD 防护能力。另外，由于 LVTSCR1 内嵌的 PMOS 之栅极是接到 VDD，所以 LVTSCR1 在 CMOS IC 正常工作情形下是关闭的，只有当 ESD 放电时才会被导通，此 LVTSCR1 的导通电压等效于 PMOS 元件的回滞击穿电压(约-10~-15V)。LVTSCR2 元件就是 6.3.1 所说的 LVTSCR 元件一样，在此不再重覆。

图6.3-4显示把这个互补式LVTSCR静电放电防护电路实现出来的元件剖面图，利用这种特殊设计，CMOS IC的ESD耐压度可以有效地提升而不需要

### Schematic cross-sectional view of the complementary-LVTSCR devices

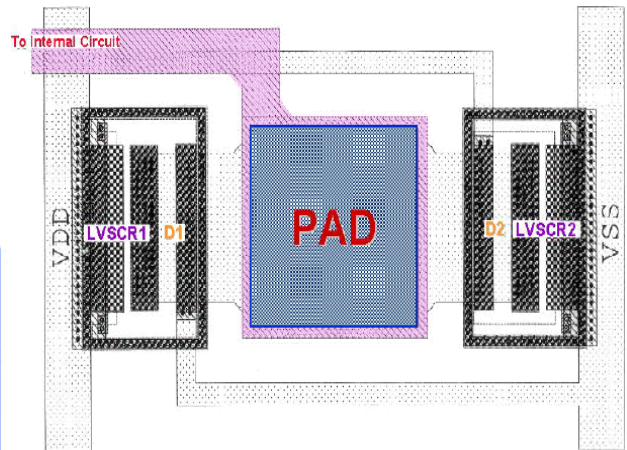
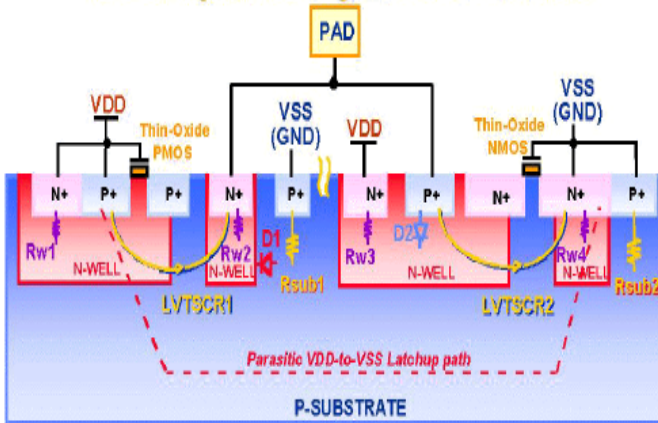
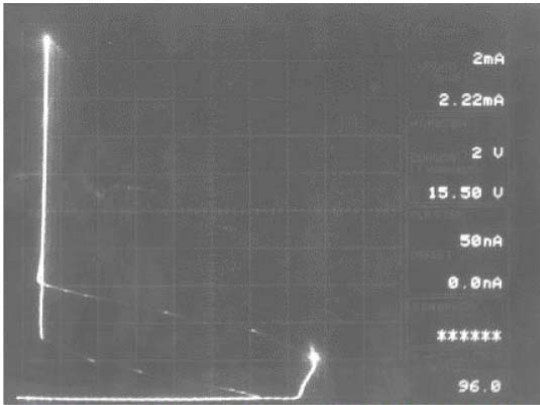


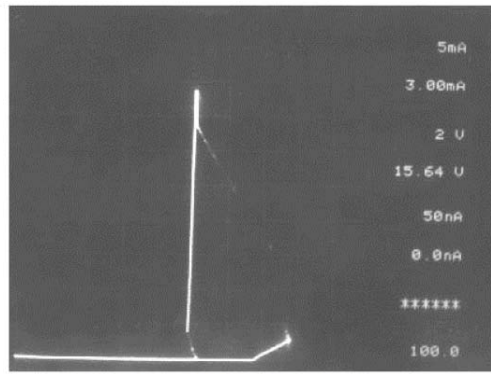
圖 6.3-5

该LVTSCR2元件与NMOS元件的击穿导通特性如图6.3-6所示，该LVTSCR2元件的击穿导通电压在一0.8微米的工艺技术之下是15.5V，而该NMOS元件的回滞击穿电压是15.64V。





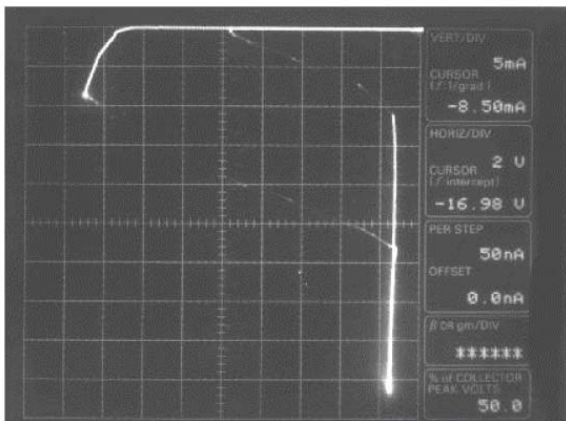
(a) Complementary-LVTSCR ESD protection circuit (LVTSCR2)



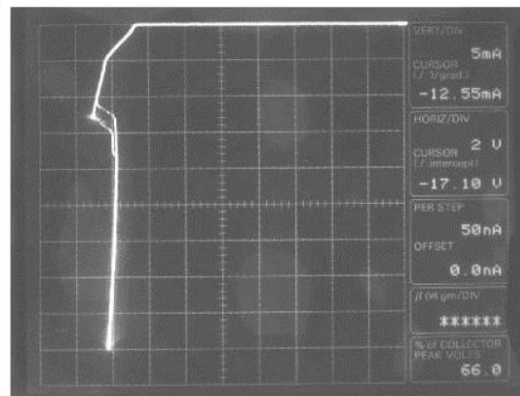
(b) Gate-connected-to-source thin-oxide NMOS device

圖 6.3-6

该 LVTSCR1 元件与 PMOS 元件的击穿导通特性如图 6.3-7 所示，该 LVTSCR1 元件的击穿导通电压在一 0.8 微米的工艺技术之下是-16.98V，而该 PMOS 元件的回滞击穿电压是-17.1V。这显示了该互补式 LVTSCR 静电放电防护电路的确具有低导通电压的特性，它更能及早击穿导通以排放静电放电电流。有关该互补式 LVTSCR 静电放电防护电路与一般 CMOS 元件的 ESD 承受能力比较，显示于表 6.3-1 中。该 LVTSCR1 元件与 LVTSCR2 元件在较小的布局面积下，果真能承受更高的 ESD 电压，这显示了 LVTSCR 元件在静电放电防护上的优异性能。



(a) Complementary-LVTSCR ESD protection circuit (LVTSCR1)



(b) Gate-connected-to-source thin-oxide PMOS device

圖 6.3-7

	Conventional CMOS ESD Protection Circuit				Complementary-LVTSCR ESD Protection Circuit			
	PMOS		NMOS		LVTSCR1		LVTSCR2	
Layout Area ( $\mu\text{m} \times \mu\text{m}$ )	94x145.2		94x145.2		110.2x68.3		107.0x65.2	
ESD-Stress Condition	PD-Mode	ND-Mode	PS-Mode	NS-Mode	PD-Mode	ND-Mode	PS-Mode	NS-Mode
HBM ESD Failure Voltage (V)	Above 8000	-3250	5500	Above -8000	Above 8000	-8000	Above 8000	Above -8000
MM ESD Failure Voltage (V)	400	-200	300	-500	700	Above -800	650	Above -800

表 6.3-1

### Schematic circuit of CMOS output buffer with enhanced ESD protection capability

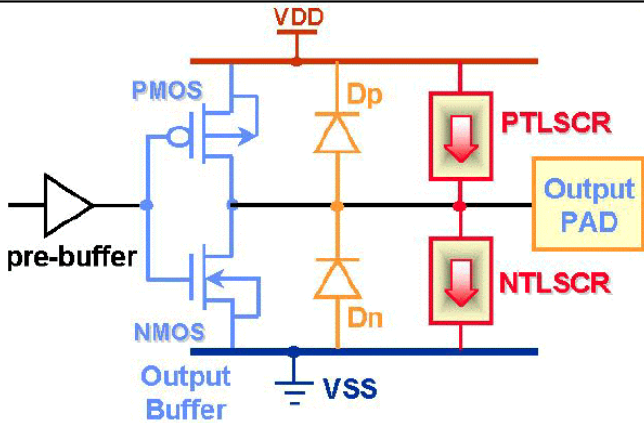


圖 6.3-8

此互补式 LVTSCR 静电放电防护电路也可以与 CMOS 输出级(output buffer)的电晶体元件合并布局在 output PAD 的旁边, 用来保护该 CMOS 输出级的电晶体元件, 这种应用显示于图 6.3 -8 中。在图 6.3-8 的 PTLSCR (PMOS-Trigger Lateral SCR)元件就等效于图 6.3-3 中的 LVTSCR1 元件, NTLSCR(NMOS-Trigger Lateral SCR)元件就等效于图 6.3-3 中的 LVTSCR2 元件。在图 6.3-8 中, 更显示出其互补式的特性, 该 PTLSCR 元件可与输出级的输出 PMOS 在布局上结合在一起共用防护圈(guard rings), NTLSCR 元件可与输出级的输出 NMOS 在布局上结合在一起共用防护圈, 所以布局面积可以更有效地节省, 而在深亚微米工艺下输出级的 ESD 防护能力得以提升。

### 6.3.3 高噪音免疫力的 LVTSCR 元件

随着集成电路的广泛应用, 集成电路可能被使用在具有噪音干扰的工作环境下, 集成电路必须对外界噪音干扰具有某种程度的免疫能力。当集成电路在正常运作时, 突发的噪音干扰可能会触发在 I/O Pad 上的 LVTSCR 元件导通而造成电路系统工作上的错误。一实际的例子显示在图 6.3-9 中, 一集成电路 Chip 1 的输出级推动另一集成电路 Chip 2 的输入级, 该集成电路 Chip 2 的输入级是用一 LVTSCR 元件来做静电放电的防护元件。



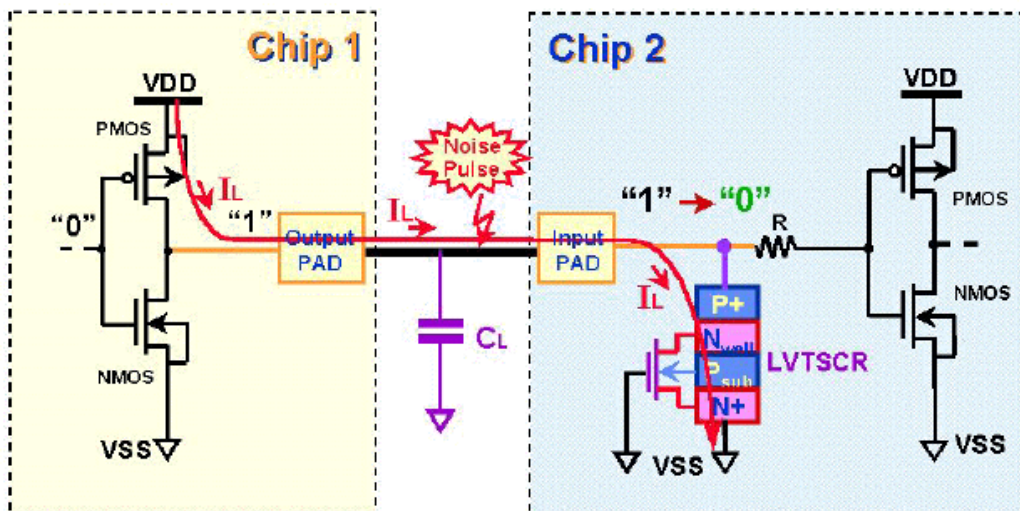


圖 6.3-9

级的 Input Pad 亦被充电至 VDD 的位准。

如果在这个时候，有一突发的噪音电波(Noise Pulse)正好干扰耦合到该电路板上的连接线，该噪音干扰可能会在集成电路 Chip 2 输入级的 Input Pad 上形成一过高的电压脉冲，这过高的电压脉冲便会意外地触发导通在 Input Pad 上的 LVTSCR 元件，因 LVTSCR 元件导通后的维持电压(holding voltage)只有约 1 伏特左右，因此在集成电路 Chip 2 Input Pad 上的电压位准会被意外导通的 LVTSCR 元件钳制在约 1 伏特左右，此过低的电压位准传送到集成电路 Chip 2 的输入级将会被判断成 Logic 0 的电路讯号，因而造成电路系统操作上的错误，若该电路系统是用来控制某一机械的开关动作，将会造成不可预期的意外事件。

此外，该导通的 PMOS 元件(在集成电路 Chip 1 内)及因噪音干扰而意外触发导通的 LVTSCR 元件(在集成电路 Chip 2 内)在 VDD 与 VSS 之间形成一漏电路径，造成电路系统上的电能耗损(power loss)问题。在电路系统的电磁干扰(EMC)测试下，经常会产生过高的电压脉冲耦合到该电路系统中各集成电路的输出或输入脚位上，若该输出或输入脚位是使用 LVTSCR 元件当作静电放电的防护元件，便会有上述电路系统操作错误的现象发生，在某些应用 LVTSCR 元件当作静电放电防护元件的集成电路产品已经被证实有系统操作错误的问题。这导致原本在静电放电防护上极被看好的 LVTSCR 元件在实际电路系统应用上，反而不能被安全地采用。

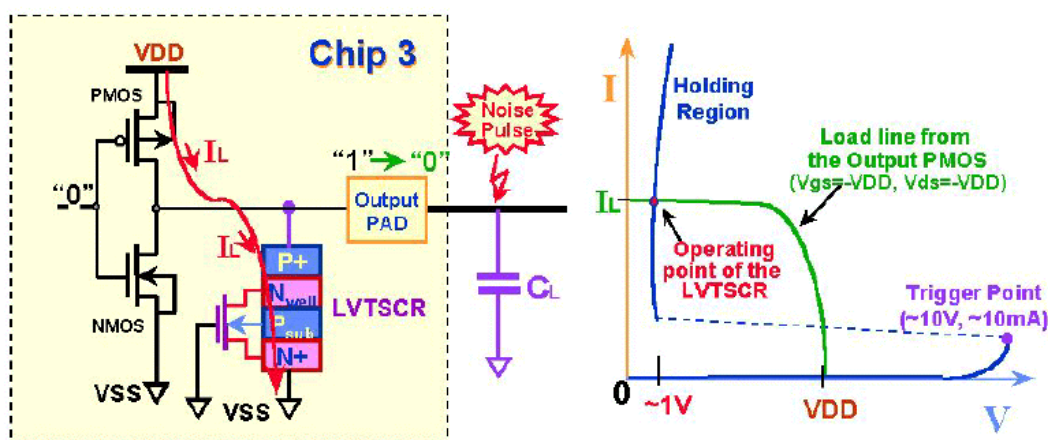


圖 6.3-10

Output Pad 上的 LVTSCR 元件，因此在该输出级 Output Pad 上的电路状态会变会转变成 Logic 0 的讯号，造成电路

如图 6.3-9 所示，在一电路系统中，集成电路 Chip 1 的输出级送出一个高电位的 Logic 1 讯号至一集成电路 Chip 2 的输入级，以达成某一时序下的讯号传递，在此电路状态下，集成电路 Chip 1 输出级内的 PMOS 元件被导通，因此在 Output Pad 上的电位被充电至 VDD 的位准，经由电路板上导线的连接，另一集成电路 Chip 2 输入

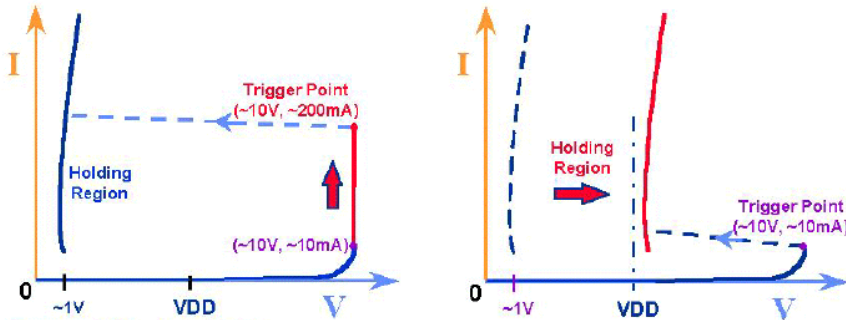
类似的噪音干扰情形亦显示于图 6.3-10 的左图中，一集成电路 Chip 3 的输出级是用一 LVTSCR 元件来做静电放电的防护元件，该集成电路 Chip 3 的输出级送出一 Logic 1 的讯号至外界负载，此时若一过高的电压脉冲恰巧出现而耦合到该输出级的 Output Pad，这过高的电压脉冲便会意外地触发导通在

系统操作错误的发生。PMOS 元件的 IV 曲线在图 6.3-10 的漏电路径上即成为 LVTSCR 元件的负载，其电性上的关系如图 6.3-10 中的右图所示，两曲线的交叉点即是漏电电流的大小。

在图 6.3-10 中所产生的漏电流(IL)大小跟集成电路 Chip 3 输出级内的 PMOS 元件尺寸有关，集成电路输出级为了能快速推动外界负载，经常设计有大尺寸的输出级元件，因此相对引起的漏电流可达数百 mA 之谱，这造成电路系统上严重的电能漏损问题。

● Two possible methods to avoid the LVTSCR being accidentally triggered on by the noise pulses, when IC is in the normal operating condition :

- (1) Increasing the trigger current (2) Increasing the holding voltage



●  $Power = V_{hold} \times I_{ESD}$ .

The power on the LVTSCR is increased if the  $V_{hold}$  of the LVTSCR is increased.

➔ lower ESD protection level.

圖 6.3-11

为了避免当静电放电防护用的 LVTSCR 元件在电路系统噪音干扰下意外地被导通，该 LVTSCR 元件必需对噪音干扰具备一定程度的免疫能力，如此该 LVTSCR 元件才能够被安全地应用在集成电路内。为达到这个目的，已有两种解决之道如图 6.3-11 所示，一是提升该 LVTSCR 元件的触发电流到约 200mA 左右，另一是提升该 LVTSCR 元件的维持电压(holding voltage)比电路系统的 VDD 电位来得高。在接下来的文章中介绍此类具有

高噪音免疫力的 LVTSCR 元件。

在图 6.3-12 中显示了一高电流低电压 NMOS 触发之横向硅控整流器 (high-current NMOS-trigger lateral SCR)元件结构图，叫做 HINTSCR 元件。

在图 6.3-13 中显示了一高电流低电压 PMOS 触发之横向硅控整流器 (high-current PMOS-trigger lateral SCR)元件结构图，叫做 HIPTSCR 元件。这两个元件可以与集成电路的输出级 PMOS 元件与 NMOS 元件合并并在布局中以提升该输出级的静电放电防护能力，其应用在集成电路输出级的等效电路图显示于图 6.3-14 中，而其相对应之实际布局图显示于图 6.3-15 中。

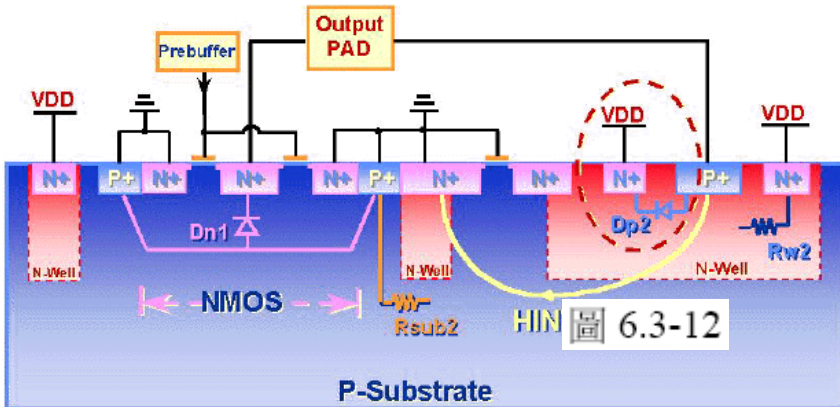


圖 6.3-12

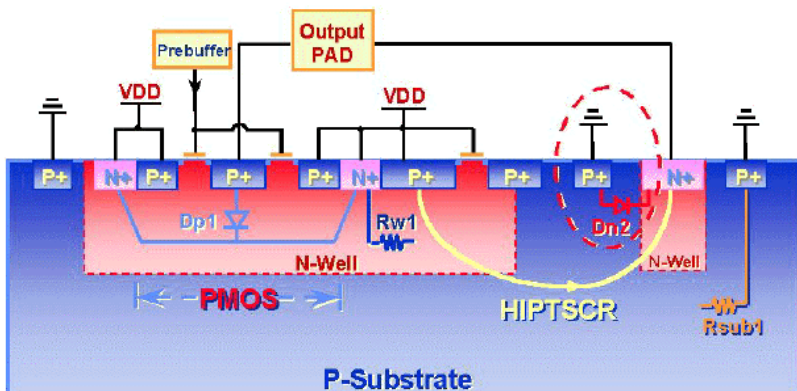


圖 6.3-13



**Output ESD Protection by Using the HINTSCR / HIPTSCR** • The trigger current to turn on the lateral SCR can be adjusted by modifying the layout area of the inserted diode Dp2 (Dn2) in the HINTSCR (HIPTSCR).

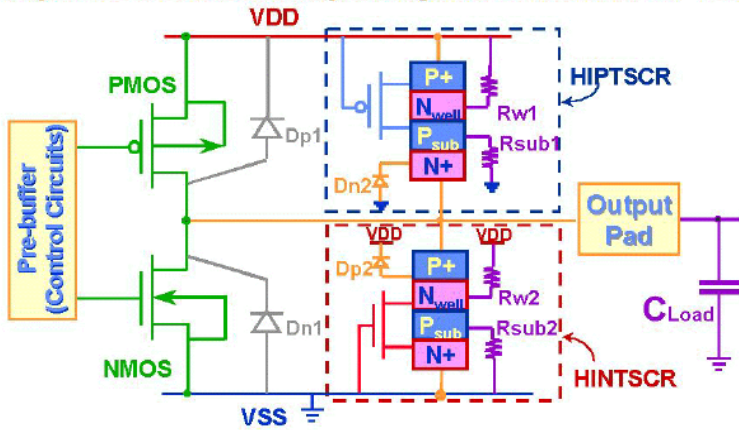


圖 6.3-14

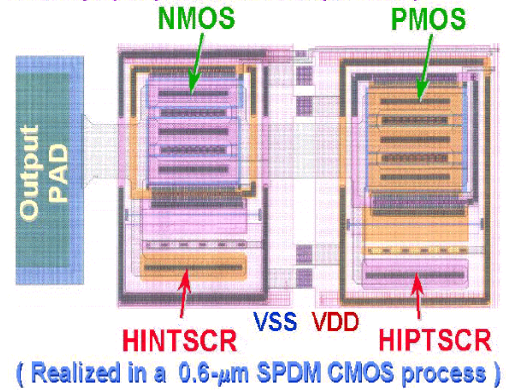
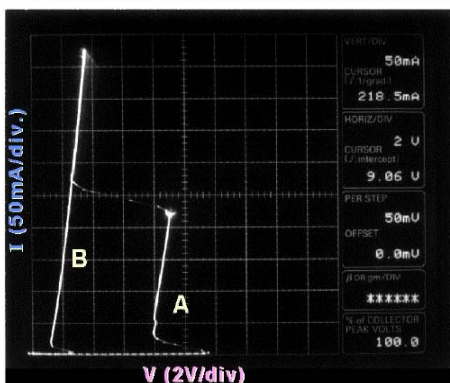


圖 6.3-15

该 HINTSCR 元件系利用一旁通二极管 Dp2 埋入一 N 型的 LVTSCR 元件中而成，该 HIPTSCR 元件系利用一旁通二极管 Dn2 埋入一 P 型的 LVTSCR 元件中而成。此特别埋入的二极管会分流掉一部份的触发电流，因此该 HINTSCR 元件与 HIPTSCR 元件必须要有更大的外界触发电流才会被触发导通，改变二极管在该 HINTSCR 元件与 HIPTSCR 元件结构内的面积大小即可设计出不同触发电流的 HINTSCR 元件与 HIPTSCR 元件。该 HINTSCR 元件与 HIPTSCR 元件在一 0.6 微米的 CMOS 工艺中已被实际制作出来，其 IV 特性曲线分别显示于图 6.3-16 与图 6.3-17 中。

• I-V Characteristics of the HINTSCR with the bypass diode Dp2 : • I-V Characteristics of the HIPTSCR with the bypass diode Dn2 :

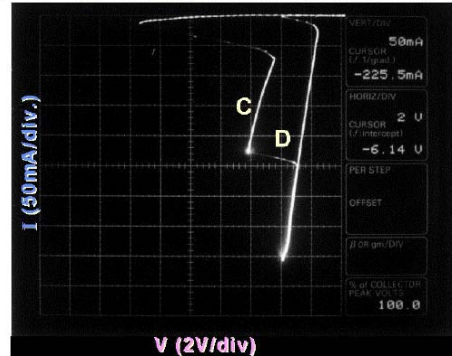


1st trigger point:  
Vtrig= 11.62 V  
Itrig= 2.0 mA

2nd trigger point:  
Vtrig= 9.06 V  
Itrig= 218.5 mA

Holding point  
in Region A :  
Vhold= 8.10 V  
Ihold= 27.0 mA

Holding point  
in Region B (SCR) :  
Vhold= 1.34 V  
Ihold= 12.5 mA



1st trigger point:  
Vtrig= -13.42 V  
Itrig= -15.0 mA

2nd trigger point:  
Vtrig= -6.14 V  
Itrig= -225.5 mA

Holding point  
in Region C:  
Vhold= -4.46 V  
Ihold= -70.5 mA

Holding point  
in Region D(SCR):  
Vhold= -1.58 V  
Ihold= -25.0 mA

圖 6.3-17

在图 6.3-16 中，该 HINTSCR 元件具有两个触发点，第一触发点是因为其内建之 NMOS 元件击穿导通所致，因该 HINTSCR 元件内具有一旁通二极管 Dp2 流掉一部份的触发电流，因此该 HINTSCR 元件并不会马上进入维持区域( holding region)，当外界所加的触发电流大于第二触发点电流时，该 HINTSCR 元件便会完全导通而进入维持区域( holding region)，此 HINTSCR 元件之维持区域与前述之 LVTSCR 元件之维持区域完全相同，因此该 HINTSCR 元件的静电放电防护能力与前述之 LVTSCR 元件相同，但该 HINTSCR 元件却具有极高的噪音干扰免疫能力。由图 6.3-16 中可知，该 HINTSCR 元件的第二触发点电流高达 218.5 mA，具有如此高的第二触发点电流，该 HINTSCR 元件对过高电压脉冲的免疫能力大于 VDD+ 12V，即一过高电压脉冲具有一电压位准比 VDD 高 12V 也不会触发导通该 HINTSCR 元件。

相类似地，由图 6.3-17 中可知，该 HIPTSCR 元件的第二触发点电流高达-225.5mA，因此该 HIPTSCR 元件亦具有极高的噪音干扰免疫能力。由于 SCR 元件对温度变化具有敏感性，因此该 HINTSCR 元件在不同温度下的第二触发点电流与电压特性亦被测量显示于图 6.3-18 中，当温度上升到 150℃时，该 HINTSCR 元件的第二触发点电

流亦高达 170mA 左右，因此在高温状况下该 HINTSCR 元件仍具有高的噪音干扰免疫能力。有关上述各种 SCR 元件的触发点电压电流比较表显示于表 6.3-2 中，其中该 HINTSCR 与 HIPTSCR 元件具有高达 200mA 以上的触发电流，但也具有仅约 10V 左右的触发电压，因此该 HINTSCR 与 HIPTSCR 元件能够提供集成电路有效的静电放电防护能力，亦对噪音干扰具备一定程度的免疫能力，这使得 HINTSCR 与 HIPTSCR 元件能够被安全地应用在集成电路的静电放电防护电路上。

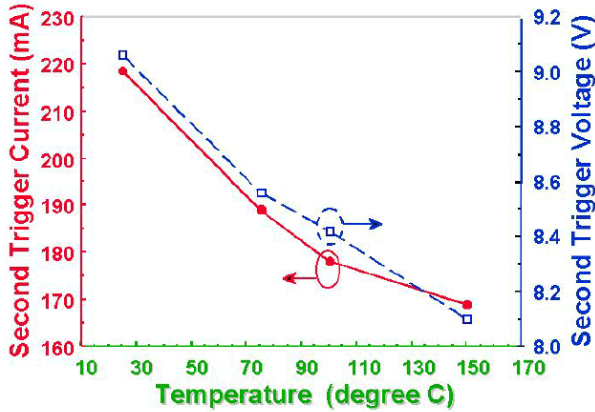


圖 6.3-18

Devices	LSCR	MLSCR	LVTSR	HIPTSCR/HINTSCR
Characteristics				
Trigger Voltage	~50V	~25V	~10V	~10V
Trigger Current	~10mA	~10mA	~10mA	~200mA
Noise Margin	?	?	~+/-3V	~+/-12V

表 6.3-2

另一种设计是把该 LVTSR 元件的维持电压(holding voltage)提升至比电路系统的 VDD 电位来得高，成为一高维持电压硅控整流器(high-holding-voltage SCR)元件，但其触发点(trigger point)电压电流仍保持跟先前所述的 LVTSR 元件一样低，如图 6.3-11 之右图所示。由于此高维持电压硅控整流器的维持电压比 VDD 电位来得高，即使该硅控整流器被噪音干扰而导通，但在噪音干扰暂态消失之后，因电路系统的 VDD 电位无法支持该硅控整流器维持在导通状态，该硅控整流器便会自动关闭，因此不会造成电路系统的错误操作或漏电电流产生。

但在一般的(bulk) CMOS 工艺技术下，要使一 SCR 元件的维持电压比 VDD 电位来得高并不容易，需要利用到防止 CMOS 集成电路锁住效应(latch up)的防护圈以及较宽大的布局间隔，如此虽可提升该 SCR 元件的维持电压，但该 SCR 元件变得很难被导通，将无法即时导通来排放静电放电发生时的瞬间大电流，这将导致需要被保护的元件会先被静电放电所破坏。但在磊晶淀积(epitaxial substrate)的晶片上，其基体(substrate)阻值被大幅降低以防止 CMOS 集成电路锁住效应的发生，在这种磊晶淀积的晶片上，要单纯地提升一 SCR 元件的维持电压就容易多了。

图 6.3-19 中显示一 LVTSR 元件在磊晶淀积的晶片上因不同的布局间距"S"所导致的不同维持电压关系图，当布局间距"S"增加时该 LVTSR 元件的维持电压亦相对增加，然而该 LVTSR 元件的静电放电耐受能力随着维持电压的增加却反而降低，盖因 LVTSR 元件的维持电压增加将使得静电放电电流流过该 LVTSR 元件时，在该 LVTSR 元件上产生更大的电能(power)消耗，这导致更多的放电热能必须由该 LVTSR 元件来承受，也因此一 LVTSR 元件的维持电压相对增加时，其静电放电耐受能力却反而降低。

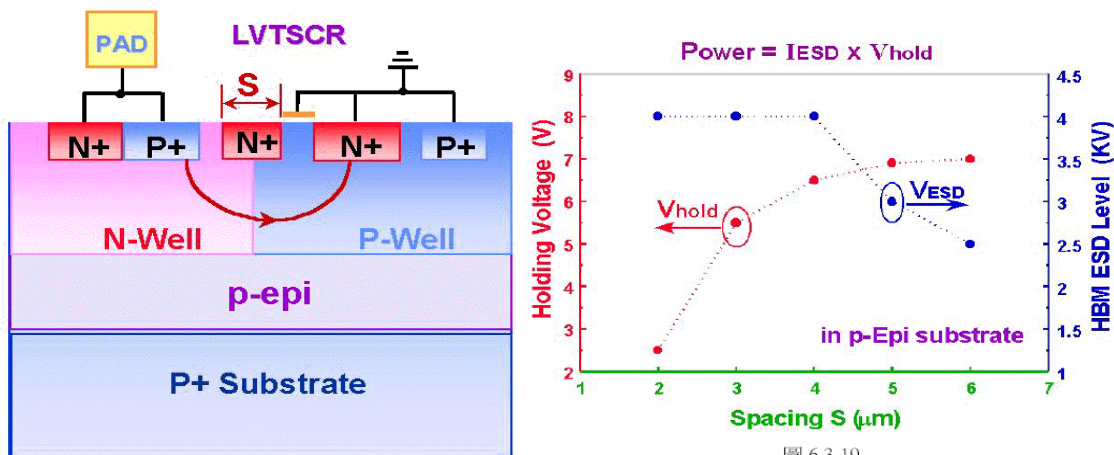


圖 6.3-19



在图 6.3-19 中，一适当的布局间距" $S$ "(约 3-4 微米)可以提升该 LVTSCR 元件的维持电压但不致降低该 LVTSCR 元件的静电放电耐受能力，这适当的布局间距" $S$ "在不同的磊晶淀积晶片的 CMOS 工艺中亦会不同，因此要有事先的实验调查才能找出最佳的布局间距" $S$ "。

## 6.4 电路上(Circuit Level)的改进方法

本节介绍利用电路上的技巧来提升 CMOS IC 的 ESD 防护能力，其主要是利用 ESD 放电的瞬间电压快速变化的特性，藉由电容耦合(coupling)作用来使 ESD 防护电路或元件达到更有效率的防护动作。

### 6.4.1 栅极耦合(Gate-Couple)技术

在亚微米或深亚微米工艺下，元件的 ESD 防护能力下降，为提升 CMOS IC 的 ESD 防护能力，在输入/输出 PAD 的 ESD 防护用元件或输出级电晶体元件都会被做得较大，以期利用大尺寸的元件设计来提升 ESD 防护能力。大尺寸的元件在布局上经常画成手指状(finger-type)，例如一个 NMOS 元件其  $W/L=1000/0.6$ ，则会在布局上画成 10 支 finger，彼此互相并联在一起。但是，在 ESD 放电发生时，这 10 支 finger 并不一定会同时导通(一般是因 Breakdown 而导通)，常见到只有 2-3 支 finger 会先导通，这是因布局上无法使每 finger 的相对位置及拉线方向完全相同所致，这 2~3 支 finger 一导通，ESD 电流便集中流向这 2~3 支的 finger，而其他的 finger 仍是保持关闭的，所以其 ESD 防护能力等效于只有 2~3 支 finger(约  $300/0.6$ )的防护能力，而非 10 支 finger 的防护能力。这也就是为何元件尺寸已经做得很大，但 ESD 防护能力并未如预期般地上升的主要原因。

为克服大尺寸电晶体在 ESD 放电情下，不均匀导通的情况，图 6.4-1 显示了利用电容耦合作用来使大尺寸电晶体的每一 finger 能均匀地导通的设计。图 6.4-1(a)的设计是美国德州仪器(TI)公司在 1992 年所报导的设计，该设计利用 NMOS 的扩散  $C_{gd}$  电容做耦合元件，那个 field-oxide device 加强了耦合电容的效用，当有正的 ESD 电压突然出现在 PAD 上时，此瞬间的电压变化会导致 NMOS 栅极电压跟着上升，由于电容耦合作用之故。因 NMOS 的栅极上有耦合的正电压，故大尺寸 NMOS 元件的 finger 会被一起导通而进入回滞击穿区(snapback region)，由于大尺寸输出元件 NMOS 的每一 finger 能够均匀导通，ESD 放电能量便可均匀分散到每一 finger 来承受，因此其 ESD 防护能力才能够被有效地提升，真正发挥大尺寸电晶体元件应有的 ESD 防护水准。

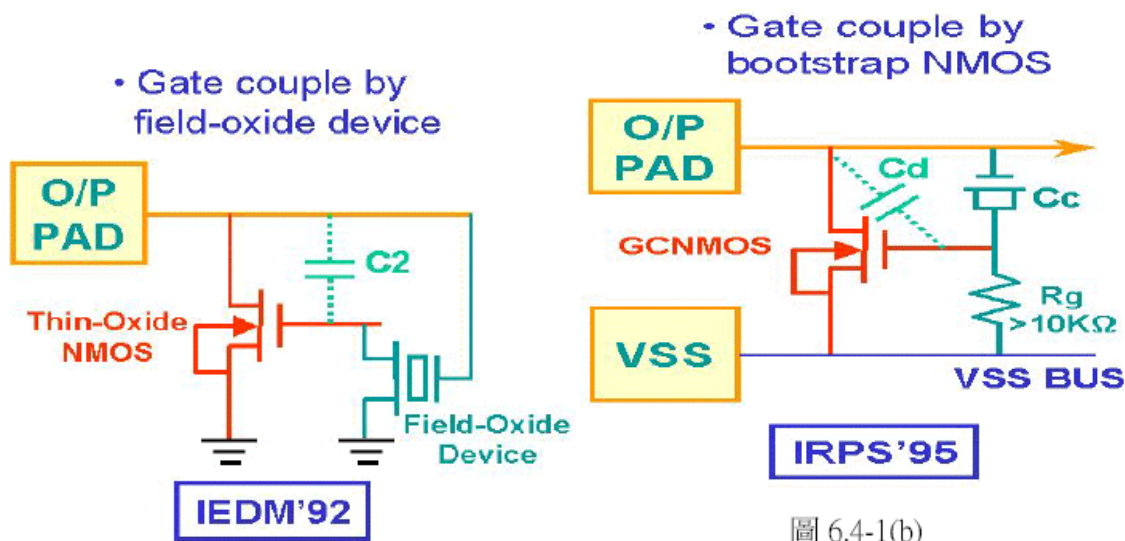


圖 6.4-1(b)

因此，栅极耦合技术就是用来促使大尺寸电晶体在 ESD 放电下能够均匀导通来旁通 ESD 电流的一个有效方法。图 6.4-1(b)是此电容耦合技术应用于输入级 ESD 防护电路上的一种安排，GCNMOS(Gate-Couple NMOS)是 ESD 电流



旁通用的元件，具有大的尺寸。因应用在输入端，故其栅极需经由一电阻 $R_g$ ( $\sim 10K\Omega$ )接地，以使该GCNMOS在CMOS IC正当工作时是关闭的。另有一NMOS连接成电容状 $C_c$ ，此NMOS乃被用来加强电容耦合作用，当有正的ESD电压在输入PAD上发生时，一部份的正电压会经由 $C_d$ 与 $C_c$ 耦合到GCNMOS的栅极，此栅极电压会经由 $R_g$ 放电到地去， $R_g$ 的大小会影响栅极电压的维持(Holding)时间。GCNMOS因而可以达到均匀导通的目的，以提升其ESD防护能力。

### 6.4.2 互补式的栅极耦合静电放电防护电路

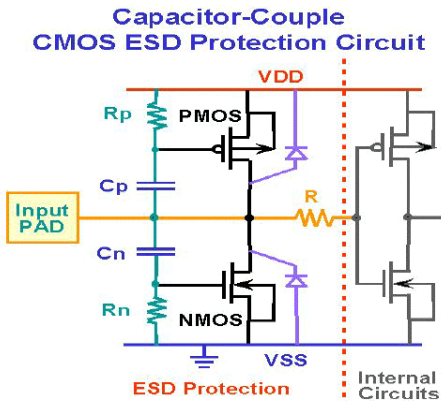
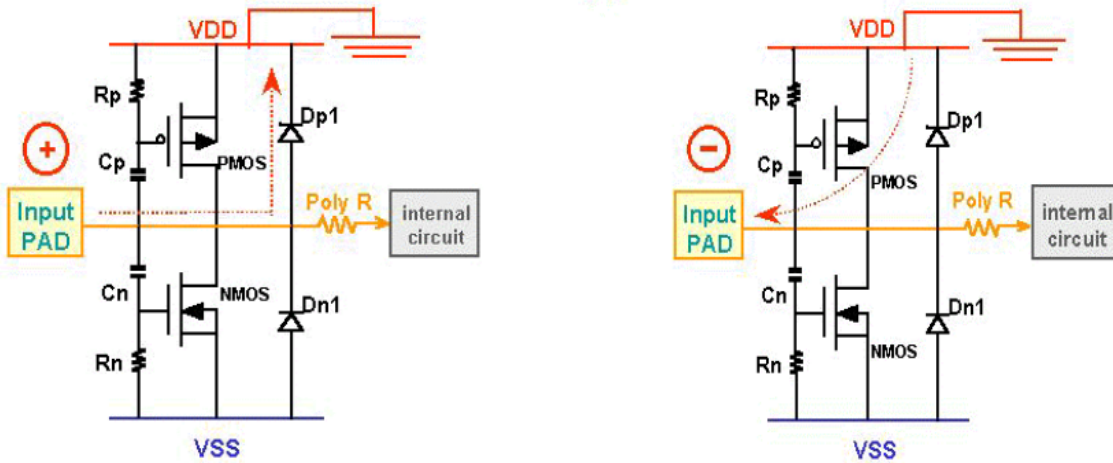


图 6.4-2

在第三章中已强调过，在任一I/O Pin上的ESD放电有四种测试组合，所以ESD防护设计必需要考虑这四种测试组合的ESD放电路径，以免引起内部电路损伤的问题。图6.4-2显示了互补式栅极耦合静电放电防护电路，在此电路中，除了栅极耦合的NMOS之外，另有一栅极耦合的PMOS，其在四种放电测试组合下的工作原理请参见图6.4-3。

在这电路中提供了四种不同的放电路径来有效旁通 ESD 电流，ND-mode ESD 放电是利用栅极耦合 PMOS 元件来旁通 ESD 电流，PS-mode ESD 放电是利用栅极耦合 NMOS 元件来旁通 ESD 电流。选择合适的  $C_n(C_p)$ 与  $R_n(R_p)$ ，此电路能够提供有效的 ESD 防护而不影响该 CMOS IC 的正常工作。

#### (a). Protection under PD-mode ESD stress (b). Protection under ND-mode ESD stress



#### (c). Protection under PS-mode ESD stress (d). Protection under NS-mode ESD stress

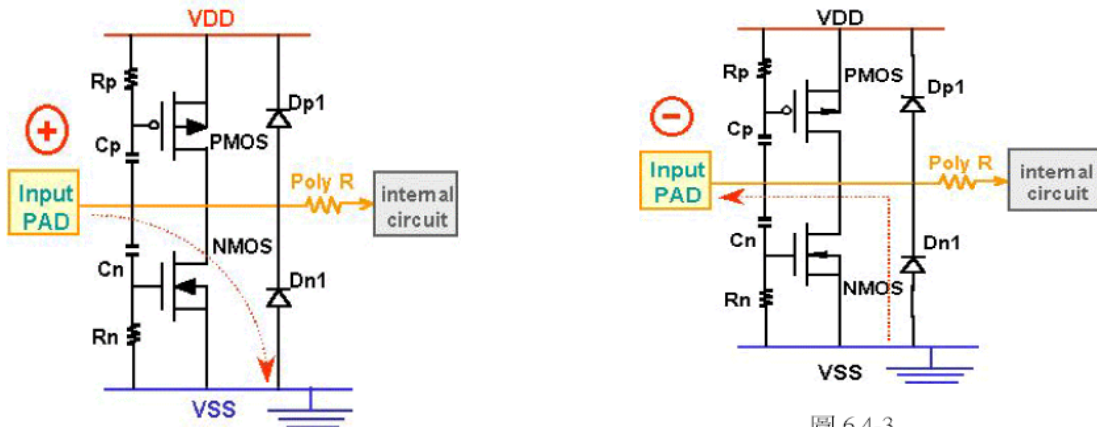


图 6.4-3

图 6.4-4 显示此电路的实现技巧，该耦合电容可以利用 PAD 与其下方 Poly 层的寄生电容来做，这可以不用占用额外的布局面积来实现这个电路。其实际布局方式请参见图 6.4-5。

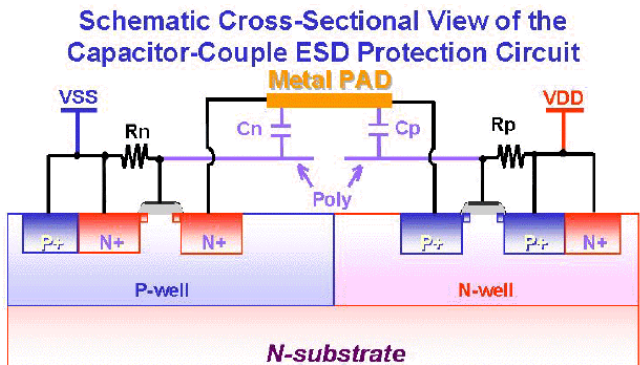


圖 6.4-4

Practical Layout of the Capacitor-Couple ESD Protection Circuit

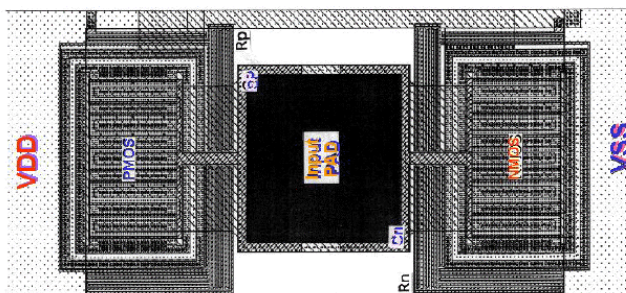


圖 6.4-5

### 6.4.3 栅极耦合互补式 LVTSCR 静电放电防护电路

Gate-Oxide Protection in Deep-Submicron Low-Voltage CMOS Technology

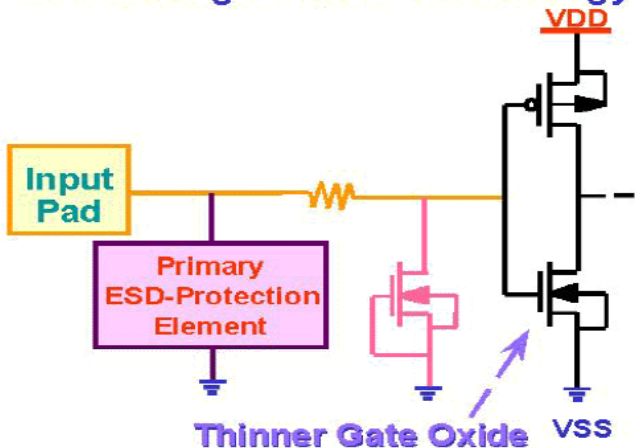


图 6.4-6 显示了 CMOS 工艺在深亚微米低电压下的输入级及传统的输入级 ESD 防护电路，在低电压工艺下，PMOS 及 NMOS 的 Gate Oxide 越来越薄，例如，在  $0.25\mu\text{m}$  的 CMOS 工艺技术下，Gate-Oxide 厚度只剩  $50\text{\AA}$  左右，如此薄的 Gate Oxide 很容易便会被 ESD 所破坏。然而在传统的输入级 ESD 防护电路设计上，常用一 short channel 的 NMOS 元件做第二级保护，利用此 NMOS 的 drain breakdown 电压来钳制 gate-oxide 上的 ESD 电压。但是随着低电压工艺的演进，gate-oxide breakdown 电压与 drain breakdown 电压越来越接近，甚至可能低于 drain breakdown 电压，这时传统的 ESD 防护设计便无法有效地保护这种愈来愈薄的 Gate Oxide。因此一种结合前述 LVTSCR 元件与电容栅极耦合技术的静电放电电路设计便被发展出来。

结合图 6.3-3 与图 6.4-2 的设计，可得图 6.4-7。在图 6.4-7 中，有一 Gate-Coupled PTLSCR 安排于 PAD 与 VDD 之间，有一 Gate-Coupled NTLSCR 安排于 PAD 与 VSS 之间。在 LVTSCR 元件介绍时已说明 LVTSCR 元件的导通电压已下降到 NMOS(或 PMOS)元件的 drain breakdown 电压，但此 drain breakdown 电压在深亚微米低电压工艺下，仍可能极接近(甚至大于)Gate-Oxide breakdown 电压，为使 LVTSCR 元件的导通电压能够再下降，利用 Gate-Couple 技术即可达成。当正的 ESD 电压发生在 PAD 上时， $C_n$  会耦合正电压到  $M_{n1}$  的栅极，因此  $M_{n1}$  便会被导通，该被导通的  $M_{n1}$  会进一步触发 NTLSCR 元件的导通，当 NTLSCR 元件一被导通，其低的 Holding Voltage 即可有效地钳制 ESD 电压而得以保护输入级内部的薄栅极氧化层。相同地在 ND-mode ESD 放电情形下，PTLSCR 元件便会因  $M_{p1}$  的导通而触发导通来保护内部的薄栅极氧化层。因此，栅极耦合 NTLSCR 与 PTLSCR 元件的等效导通电压可以更被降低，且此导通电压可藉由  $C_n$  ( $C_p$ ) 与  $M_{n1}$  ( $M_{p1}$ ) 的耦合作用来控制，也就是说可以做到可调性(tunable)的设计。

因此在深亚微米低电压的工艺下，不需利用额外的工艺处理，其 ESD 防护能力仍可藉由图 6.4-7 的设计而大幅提升。当工艺技术进步到深亚微米的地步，前述的磊晶淀积晶片将已大幅地被采用，且由于低电压的工作需求，



电路的 VDD 电压亦下降至仅约 2.5V 或 1.8V 而已，因此 NTLSCR 与 PTLSCR 元件的 Holding Voltage 可以很轻易地利用适当的布局间距而稍大于 VDD 电位，因此栅极耦合 NTLSCR 与 PTLSCR 元件在深亚微米低电压的工艺下，可是安全地用来保护集成电路产品避免静电放电的破坏。

图 6.4-8 显示图 6.4-7 电路的元件剖面设计图，该耦合电容  $C_n$  与  $C_p$  可利用 PAD 与 Poly 的寄生电容来达成，在布局上改变这两层重叠的面积即可调整耦合电容的大小，其实际实施布局图参见图 6.4-9。

### Schematic Cross-Sectional View of the Gate-Coupled PTLSCR and NTLSCR Devices

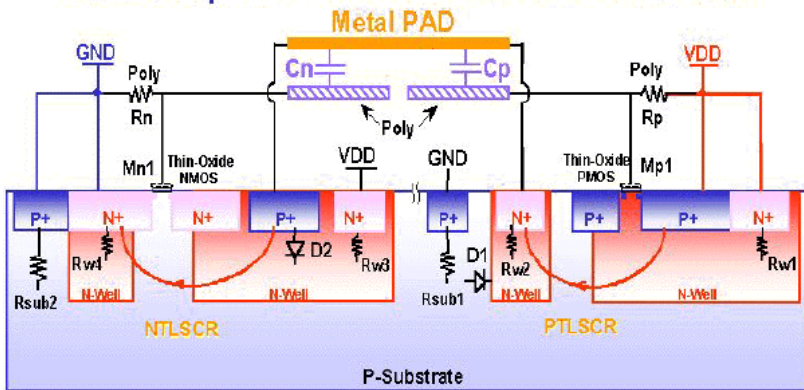


圖 6.4-8

### Gate-Coupled PTLSCR / NTLSCR ESD Protection Circuit

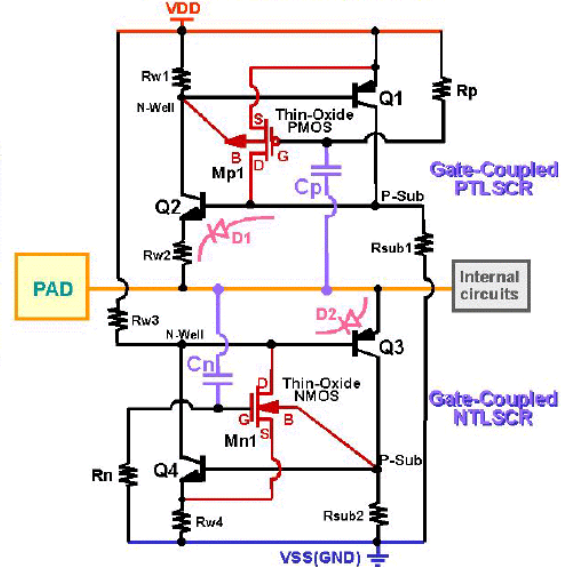


圖 6.4-7

### Layout Example of the Gate-Coupled PTLSCR / NTLSCR ESD Protection Circuit

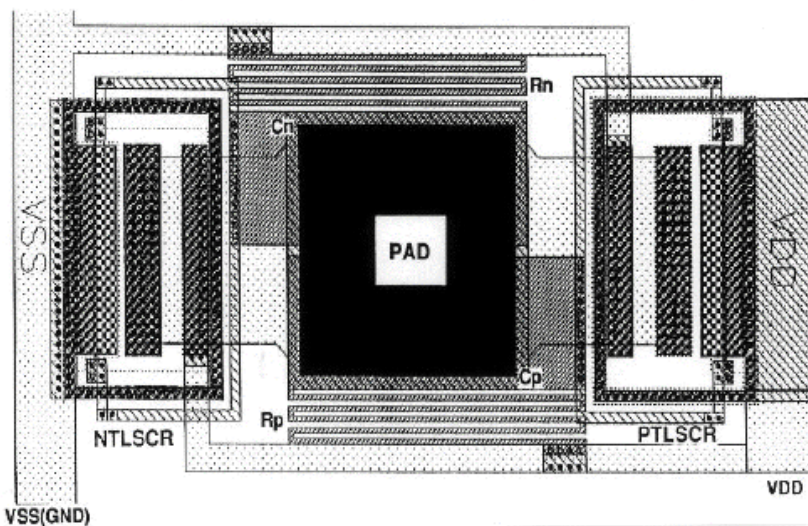


圖 6.4-9

在图6.4-9中的 $R_p$ 与 $R_n$ 是利用Poly电阻来做，但在深亚微米工艺下，Poly层已大多用Ploycide，其具有更低的阻值，在这种工艺下，大阻值( $\sim K\Omega$ )的 $R_p$ 与 $R_n$ 若用Polycide的Poly layer来拉，会占用很大的布局面积，此时可用小尺寸的PMOS或NMOS来达成 $R_p$ 与 $R_n$ 的相同功能。这种适合用在有Polycide或Salicide工艺的栅极耦合互补式LVTSCR静电放电防护电路显示于图6.4-10中

**Modified Gate-Coupled PTLSCR / NTLSCR ESD Protection Circuit in Silicided CMOS Process**

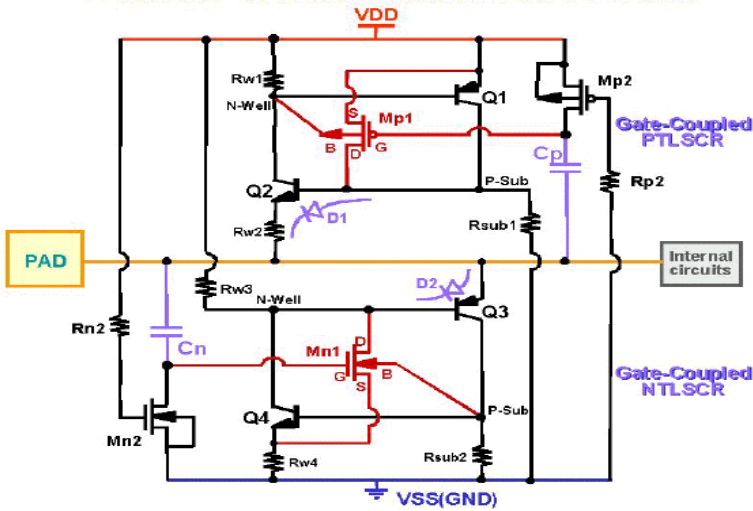
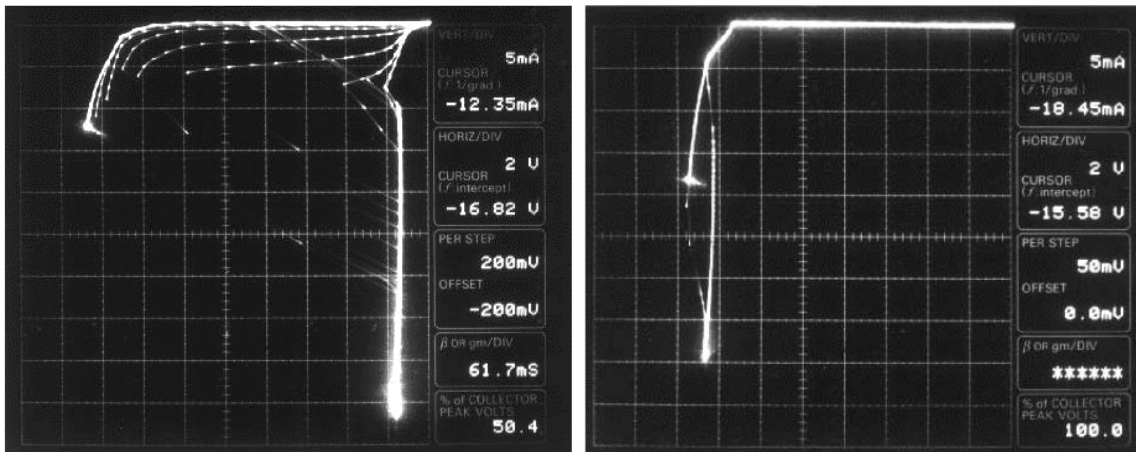


圖 6.4-10

6.4.4 实验数据

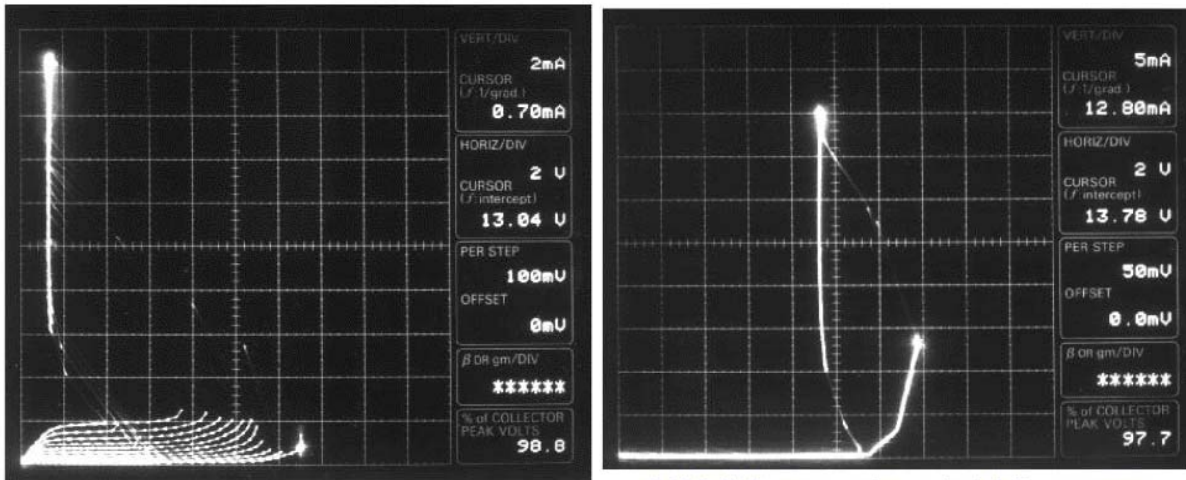
有关于 Gate-Coupled PTLSCR 与传统 Gate-Source 短接的 PMOS 的元件特性测量图参见图 6.4-11。关于 Gate-coupled NTLSCR 元件与传统 Gate-source 短接的 NMOS 元件之元件特性测量图参见图 6.4-12。当 PTLSCR/NTLSCR 元件的栅极具有负/正电压时，其导通电压 (Switching Voltage)在图 6.4- 11 与图 6.4-12 中可被明显地降低，故利用栅极耦合技术可以有效地降低 PTLSCR 与 NTLSCR 元件的导通电压，而得以保护更薄的输入级栅极氧化层。又 LVTSCR 元件能在最小的布局面积下提供最高的 ESD 防护能力，故此栅极耦合互补式 LVTSCR 静电放电防护电路集数项优点于一身。此电路的实际 ESD 测试结果列于表 6.4-1，此电路能够在小的布局面积下提供有效且高水准的 ESD 防护能力，对讲求轻薄短小的 IC 产品而言，是一大技术性上的进步。



I-V curves of the PTLSCR with different negative gate biases.

PMOS snapback I-V curve.

圖 6.4-11



I-V curves of NTLSCR with different positive gate biases.

NMOS snapback I-V curve.

圖 6.4-12

	Conventional CMOS ESD Protection Circuit with Large Dimension (W/L)				Gate-Coupled PTLSCR/NTLSCR ESD Protection Circuit			
	PMOS (500/1.2)		NMOS (500/1.2)		Gate-Couple PTLSCR		Gate-Couple NTLSCR	
Layout Area ( $\mu\text{m} \times \mu\text{m}$ )	158x92		166x100		110.2x68.3		107.0x65.2	
ESD-Stress condition	PD-Mode	ND-Mode	PS-Mode	NS-Mode	PD-Mode	ND-Mode	PS-Mode	NS-Mode
HBM ESD Failure Voltage (V)	Above 8000	-3000	1200	Above -8000	Above 8000	-5775	Above 8000	Above -8000
MM ESD Failure Voltage (V)	450	-350	150	-850	750	-500	600	-700

表 6.4-1

## 第七章 全晶片防护设计

静电放电造成 CMOS IC 的损坏已是众所周知的可靠度问题。当 CMOS 工艺技术缩小到亚微米阶段，先进的工艺技术，例如更薄的栅极氧化层，更短的通道长度，更浅的漏极/源极结面深度，LDD(低掺杂浓度漏极)结构，以及金属硅化物(silicided)扩散层等，这些先进的工艺反而严重地降低亚微米 CMOS IC 的静电放电防护能力。所以，亚微米 CMOS IC 急需一个有效且可靠的静电放电防护设计。传统上，为加强 ESD 防护能力，大都在输入垫片(input pad)周边做上 ESD 防护电路，也在输出垫片(output pad)连接的输出缓冲级(output buffer)上加强输出缓冲级的 ESD 防护能力。



有关各式各样的输入与输出 ESD 防护设计，已有数百篇专利出现。除了在输入与输出垫片附近加强 ESD 防护能力之外，CMOS IC 尚遭遇到异常的内部电路损伤问题。即使在输入与输出 PAD 上已有适当的 ESD 防护电路，仍然出现 CMOS IC 的内部电路因 ESD 测试而发现异常的损伤问题，反而在输入与输出 PAD 的 ESD 防护电路，没有被 ESD 所损坏。因此，ESD 的防护设计必须要注意全晶片 (whole-chip) 防护架构的设计，才能够真正避免内部电路发生异常损伤的问题。在本章中，我们将针对全晶片防护设计做一个详细的说明。

### 7.1.1 输入脚/输出脚的 ESD 测试

#### Internal ESD Damages under ND-mode ESD Stress on Output Pin

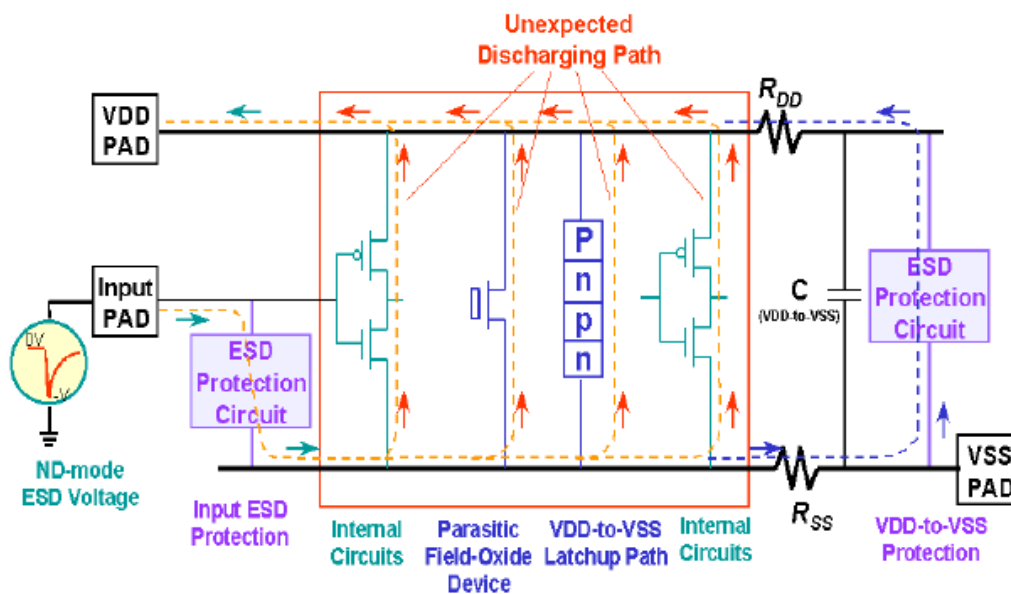


圖 7.1.1-1 輸入腳 ND 模式之 ESD 放電造成 IC 內部損傷的示意圖

因为 ESD 发生在一只输入脚(或输出脚)可能相对于 VDD 或 VSS 端具有正的或负的电性极，因此在工业测试标准上，有 PS, NS, PD 以及 ND 四种放电模式，有关各种模式的定义；在第三章中已有详述。这些模式之静电放电可能会对输入或输出元件造成损坏，更甚至会损及 IC 内部之电路元件。

在传统的静电放电防护设计上，静电放电防护元件一般都是做在垫片(pad)与 VSS 端之间，在垫片与 VDD 端之间没有静电放电防护元件。在这种静电放电防护设计之下，IC 中的内部电路常出现异常之损坏问题。

图 7.1.1-1 显示一集成电路在 ND 模式之静电放电测试下造成 IC 内部电路异常损伤的示意图。在图 7.1.1-1 中，ND 模式的静电放电负电压出现在输入垫与 VDD 线之间，VDD 在此测试模式下是接地的。此负的 ESD 电压首先会经由输入静电放电防护电路而传导到 VSS 电源线上。因 VSS 电源线在 ND 模式的 ESD 测试情形下是浮接的，故加在输入垫上的负电压会被传导到 VSS 电源线上。在这情形下，原本电压降在输入垫与 VDD 线之间的 ESD 负电压，转变成电压降在 VDD 与 VSS 电源线之间，如果该 ESD 电压未能有效且快速地经由 VDD 到 VSS 的静电放电防护电路旁通掉，该 ND 模式的 ESD 电压会经由 VDD 与 VSS 电源线而进入 IC 的内部电路中，这便会导致 IC 内部电路的 ESD 损伤。因大部份的内部电路元件及布局都是采用工艺许可下的最小距离及最小尺寸，以节省 IC 的布局面积。由于内部元件具有最小的尺寸与间距，特别容易受损于 ESD 电压，更由于 IC 内的 VDD 与 VSS 电源线散布极

长，容易造成一些扩散的电阻( $R_{dd}$  及  $R_{ss}$ )与扩散的电容( $C$ )，若这些扩散电容与电阻的分布正好如图 7.1.1-1 所示，使该 ND 模式的 ESD 电压更不易经由该 VDD 到 VSS 的静电放电防护电路而旁通掉，此时的 IC 内部电路受到 ESD 破坏的机率就更大了。

## Internal ESD Damages under ND-mode ESD Stress on Output Pin

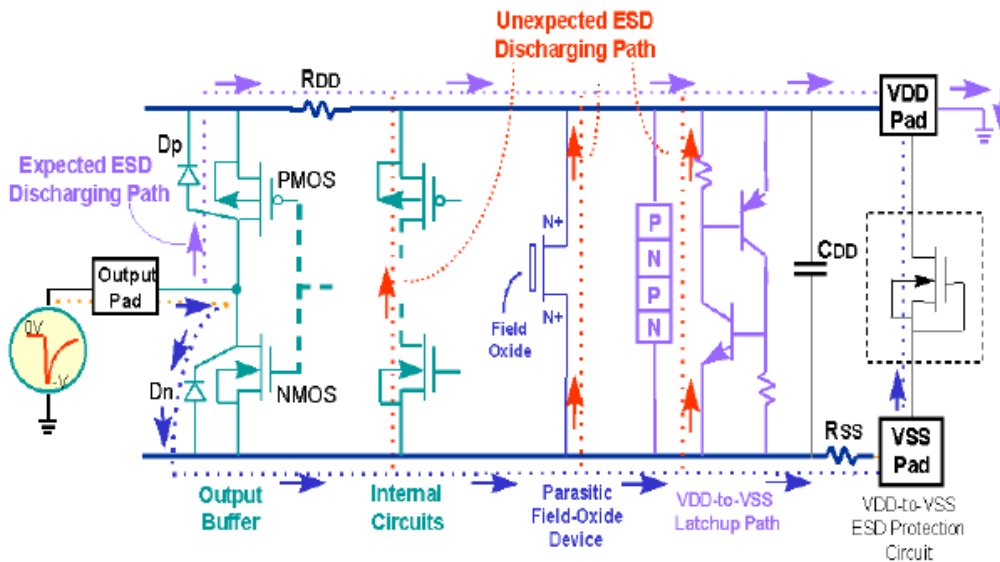


圖 7.1.1-2 輸出腳 ND 模式之 ESD 放電造成 IC 內部損傷的示意圖

ESD 电压出现在输出垫上也会导致类似的内部损伤问题。图 7.1.1-2 显示 ND 模式之 ESD 负电压出现在输出垫上时，造成 IC 内部损伤的示意图。当 ND 模式的 ESD 负电压出现在输出垫，在 VDD 接地情形下，输出缓冲级内的 PMOS 元件会因电压过高而击穿(breakdown)导通来旁通 ESD 静电电流。但在 PMOS 元件击穿导通之前，该 ND 模式的 ESD 负电压会先经由输出缓冲级的 NMOS 元件而传导到浮接中的 VSS 电源线，因此原本出现在输出垫与 VDD 线之间的 ESD 负电压，转而压降在 VSS 与 VDD 电源线之间，该 ESD 电压若无法有效且快速地被旁通排放掉，极易对 IC 的内部电路造成严重的损伤。又由于电源线在 IC 内的布线很长，造成扩散电阻( $R_{dd}$  及  $R_{ss}$ )与扩散电容( $C_{dd}$ )的影响，使得该 ND 模式的 ESD 负电压更不易经由 VDD 到 VSS 的 ESD 防护电路而排放掉，这导致 ESD 电压对 IC 内部电造成严重的 ESD 损伤。

### 7.1.2 脚对脚的 ESD 测试

又 ESD 电压可能会发生在一颗 IC 的任何两支脚之间，因此在 ESD 测试标准 [10] 中有另一脚对脚 (pin-to-pin) 的 ESD 测试方法，其示意图已如图 3.1-2 所示。

Component-Level ESD Testing for IC Products (II) Internal ESD Damage Due to Pin-to-Pin ESD Stress

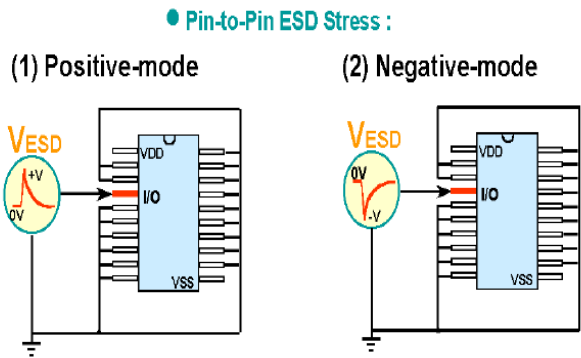


圖 7.1.2-1 腳對腳(pin-to-pin)的ESD 測試模式

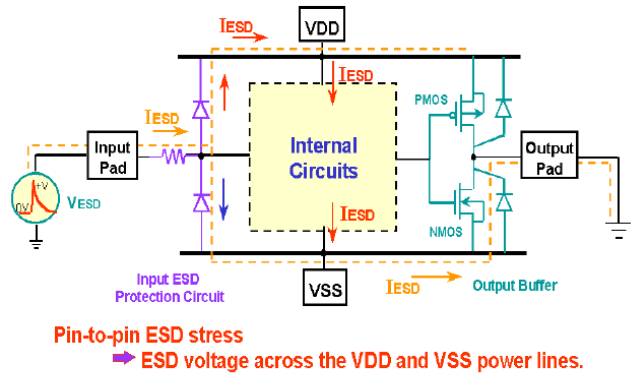


圖 7.1.2-1 腳對腳正電壓 ESD 測試下的電流路徑示意圖

IC 在这种脚对脚 ESD 测试情形下，更易发生内部电路损伤的问题。图 7. 1. 2-1 显示 ESD 电流在脚对脚 ESD 测试下的流电路径。

Internal ESD Damage Due to Pin-to-Pin ESD Stress

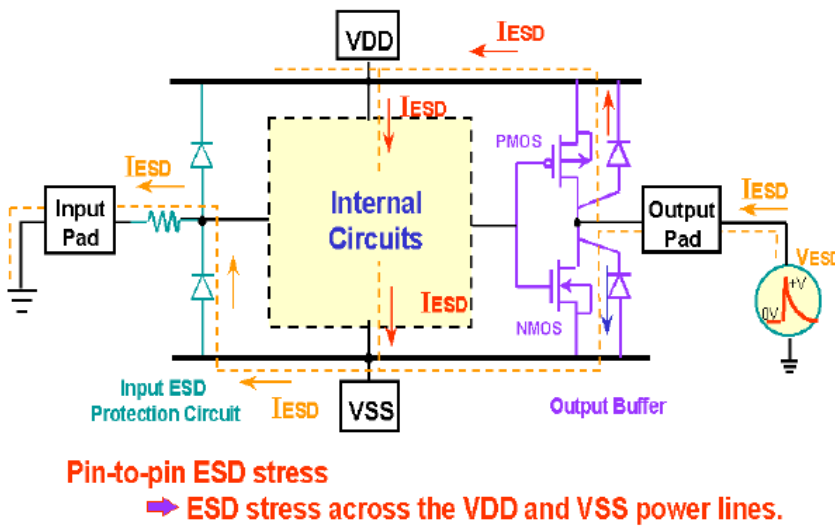


圖 7.1.2-2 腳對腳負電壓 ESD 測試下的電流路徑示意圖

在 VDD 与 VSS 电源线间的 ESD 过压压迫 (overstress)。这 ESD 电流会随着 VDD 与 VSS 电源线而进入 IC 的内部电路中，而造成 IC 内部损伤，但输入脚与输出脚的 ESD 防护电路仍完好无缺。 ESD 造成 IC 的内部损伤可能会使 VDD 对 VSS 的漏电增加，也可能烧毁 IC 内部的电晶体元件而丧失部份的电路功能，这内部损伤要经由烦复的 Function Test 才有可能找到被 ESD 破坏的地方，而且 ESD 造成内部破坏的地方是非常随机的现象，很难去防范。

在图 7. 1. 2-1 中，一正 ESD 电压加到 IC 的某一输入脚，而 IC 的另一输出脚相对接地，这 ESD 电压在输入脚上可能造成该输入脚上的 ESD 防护用二极管 Dn1 击穿来旁通 ESD 电流到浮接中的 VSS 电源线上，该 ESD 电流再经由输出脚 NMOS 的寄生二极管 Dn2 而流出 IC 到地去。但是，在 Dn1 击穿前，该 ESD 电流会先经由该输入脚的另一 ESD 防护用二极管 Dp1 而对浮接中的 VDD 电源线充电，而浮接中的 VSS 也会因输出脚接地而被 Dn2 偏压在接近地的电压准位。因此，发生在输入脚对另一输出脚的 ESD 电压会转变成跨

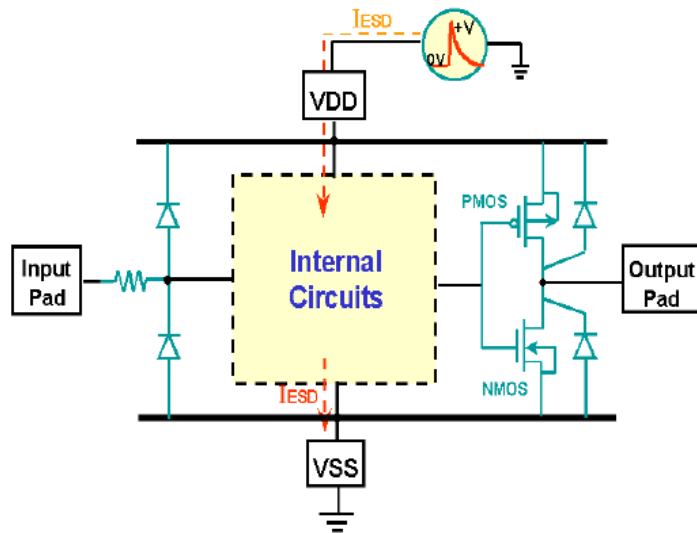
图 7. 1. 2-2 显示另一脚对脚 ESD 放电的情形，一负的 ESD 电压加到一输出脚，但另一输入脚相对接地，但 VDD 与 VSS 脚是浮接的。在这负电压压迫之下，浮接的 VSS 电源线会因寄生在输出 NMOS 的二极管 Dn2 而被偏压到接近负 ESD 电压的电压准位，而浮接的 VDD 电源线则被输入脚的二极管 Dp1 偏压在一接近地的电位。因此，原本出现在脚对脚的负 ESD 电压会转变成跨在 VSS 与 VDD 电源线之间的负 ESD 电压压迫，这过压的 ESD 电流会经由 VDD 与 VSS 电源线而进入 IC 内部，造成 IC 内部损伤的问题。

在实际 IC 遭受 ESD 放电情形下,这种脚对脚的 ESD 放电现象会比图 7. 1. 1-1 的输入/输出脚对 VDD 或 VSS 放电现象来得常发生,而这种脚对脚的 ESD 放电更易造 IC 内部损伤的问题。这 IC 内部损伤无法经由单纯地量测输入或输出脚的漏电现象而发现,因此 IC 实际上已被 ESD 所破坏而在一般 ESD Tester 机台上仍然判断为正常未损的 IC。随着 CMOS 工艺的进步, IC 内部元件越缩越小,各种布局距离(layout spacings)也越缩越小,这使得 IC 内部电路更易被 ESD 所破坏,因此 IC 内部电路因脚对脚 ESD 放电而损伤的现象会随着工艺的先进而越来越常发生。

### 7. 1. 3 VDD 脚对 VSS 脚的 ESD 测试

ESD 对 IC 的放电现象当然有可能直接出现在 VDD 脚与 VSS 脚之间,因此在 ESD 测试规范 [10] 中也规定了 VDD 对 VSS 脚的 ESD 测试,其示意图已显示于图 3. 1-3。

#### Internal ESD Damage Due to VDD-to-VSS ESD Stress



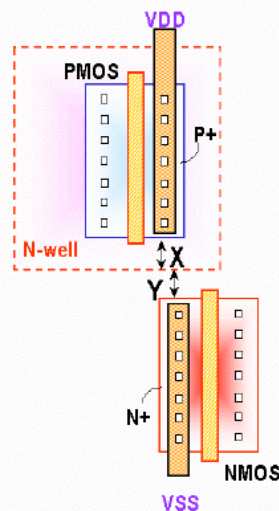
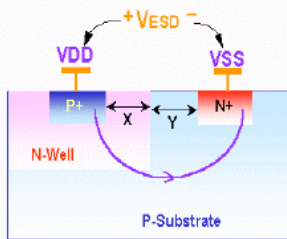
➔ The internal circuits are more vulnerable to ESD damage in this ESD-stress condition.

圖 7.1.3-1 VDD 腳對 VSS 腳正電壓 ESD 測試下的電流路徑示意圖

可能会造成 ESD 损伤发生在 IC 的内部电路中,而输入或输出脚的 ESD 防护电路仍然安然无恙。因此,要能够有效地保护到整颗 IC 不受 ESD 损坏,必需要在 IC 内的 VDD 与 VSS 电源线之间做一有效的 ESD 防护电路。

#### Layout Spacings in the Scaled-Down CMOS Process

- Cross-Sectional View of the Latchup Path
- Layout Example



- Minimum Spacings in the Design Rules

TSMC Process	X (μm)	Y (μm)	X+Y (μm)
0.8-μm	2.4	2.4	4.8
0.6-μm	1.8	1.8	3.6
0.5-μm	1.5	1.5	3.0
0.35-μm	1.2	1.2	2.4
0.25-μm	0.6	0.6	1.2

圖 7.2.1-1 CMOS IC 中寄生的 SCR 元件及其在佈局上的相對位置

图7. 1. 3-1显示在正电压模式下, ESD电流会直接经由VDD电源线而导入IC内部,这ESD电压便会直接降在IC的内部电路上,如果该IC没有有效且快速的VDD到VSS ESD防护电路做在VDD与VSS电源线之间,该IC的内部电路将会遭受极为严重的ESD损伤。在负电压模式下,因CMOS IC内到处都有P-Substrate对N-well的寄生二极管存在,这二极管会顺向偏压而旁通掉ESD电流,只要contact打得足够多,这VDD对VSS脚之负电压模式ESD放电很少会对IC造成损伤。有关VDD脚对VSS脚的ESD放电而造成IC损伤的研究报告。

从上面所述可知,即使 ESD 电压出现在 IC 的输入脚或输出脚上,仍可能造成 ESD 损伤发生在 IC 的内部电路中,而输入或输出脚的 ESD 防护电路仍然安然无恙。因此,要能够有效地保护到整颗 IC 不受 ESD 损坏,必需要在 IC 内的 VDD 与 VSS 电源线之间做一有效的 ESD 防护电路。

### 7. 2. 1 VDD 与 VSS 间的寄生元件

ESD 电压跨在 VDD 与 VSS 电源线之间,除了会造成 IC 内部电路损伤之外,也常会触发一些寄生的半导体元件导通而烧毁。在 CMOS IC 中,最常发生烧毁现象的寄生元件就是 pnpn 的 SCR 元件及 npn 的横向双载子电晶体 (BJT)。随着工艺的先进,寄生元件间的间距也越来越小,这使得该寄生



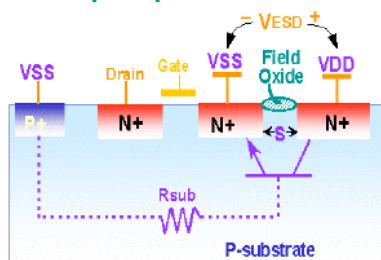
的元件具有更高的增益(Gain)及更易被触发的特性。有关寄生的 SCR 元件及其在 CMOS IC 布局上的相对位置显示于图 7.2.1-1 中。

SCR 元件是寄生于 PMOS 的源极(接 VDD)与 NMOS 元件的源极(接 VSS)之间,若这 SCR 元件被导通,会在 VDD 与 VSS 之间造成一极低电阻的导通现象,大量的 ESD 电流便会经由这寄生的 SCR 而旁通掉。但不幸的是,这寄生的 SCR 元件在 IC 内部电路的布局上都只具有极小的布局面积,因此这寄生的 SCR 元件很容易被 ESD 电流所烧毁而在 VDD 与 VSS 之间造成永久短路的破坏。

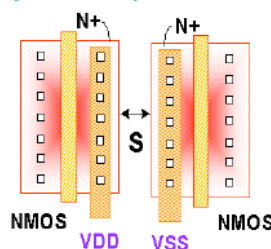
另一寄生的 npn BJT 元件及其相关布局上的位置显示于图 7.2.1-2 中。

### Lateral n-p-n BJT in the Scaled-Down CMOS Process

- Cross-Sectional View of the parasitic lateral n-p-n bipolar transistor

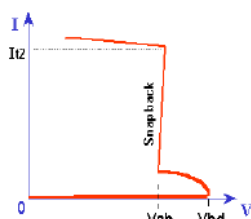


- Layout Example



- Specified minimum spacing

TSMC Process	S (μm)
0.8-μm	1.6
0.6-μm	1.2
0.5-μm	0.9
0.35-μm	0.6
0.25-μm	0.4



该横向 BJT 是因两个 N+扩散层靠近而寄生的,若一 N+是接到 VDD,另一 N+接到 VSS,就会在 VDD 与 VSS 间产生一寄生的元件。这 BJT 元件随着间距 S 的缩小会具有更高的增益及最佳的 BJT 特性。当 ESD 电压跨在 VDD 与 VSS 之间时,这寄生的 BJT 也容易因骤回击穿(snapback breakdown)而导通。由于寄生的 BJT 在 IC 内部布局中都只具有很小的面积,因此这寄生的 BJT 一旦被 ESD 电压所击穿而导通,很容易就被烧毁,而在 VDD 与 VSS 之间造成永久的短路破坏现象,这种破坏更常见于深亚微米的 CMOS IC 之中。

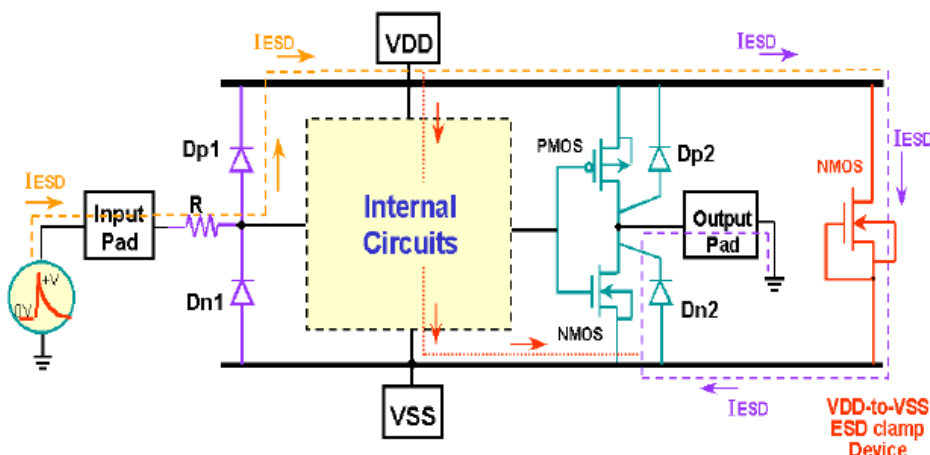
圖 7.2.1-2 CMOS IC 中寄生的橫向 n-p-n 雙載子電晶體及其在佈局上的相對位置

### 7.2.2 先前的防护技术

由前一章节所述可知,IC 在遭受 ESD 时常会发生 ESD 电压转而跨在 VDD 与 VSS 电源线之间,为了钳制这过高的 ESD 电压跨在 VDD 与 VSS 电源线之间,先前的防护设计显示在图 7.2.2-1 中。

#### Prior Art of VDD-to-VSS ESD Protection

- A gate-grounded NMOS is used as the ESD clamp device between the VDD and VSS Power lines



一大尺寸的栅极接地(Gate-Grounded)的 NMOS 元件连接于 IC 的 VDD 与 VSS 电源线之间,被用来当做 VDD 到 VSS 静电放电防护电路。若有一 ESD 电压出现在 VDD 与 VSS 电源线之间,该 NMOS 元件将会击穿导通来旁通该 ESD 的放电电流。

但是,即使有该 NMOS 元件当

圖 7.2.2-1 先前技術所設計的 VDD 與 VSS 電源線間之 ESD 箝制電路

做 ESD 防护元件来旁通 ESD 放电电流，IC 的内部电路依然会出现 ESD 损伤的问题。因为，该 NMOS 元件除了提供 ESD 防护来保护 IC 内部电路之外，它也要能够保护自己不被 ESD 电流所破坏，以免因其被 ESD 损毁，反而在 VDD 与 VSS 之间造成永久短路的现象，而导致该 IC 无法正常使用。为了保护 NMOS 元件不被 ESD 电流所破坏，该 NMOS 元件通常在布局上便无法使用最小的布局间距 (spacing)，以提升其对 ESD 承受能力。然而，IC 的内部电路经常是使用最小的布局间距，这导致了一个问题，就是内部电路元件因具有最小的布局间距 (例如通道长度)，会先击穿导通，而 ESD 保护用之 NMOS 元件因具有较大的布局间距，反而较慢击穿导通，这使得栅极接地的 NMOS 元件不能够有效地来保护 IC 的内部电路。因此，一个更有效的 VDD 到 VSS 静电放电防护电路必需要具有更低的导通击穿电压，才能够充分地保护 IC 的内部电路而不是只保护它自己而已。

### 7.2.3 改进的设计方式

#### Effective VDD-to-VSS ESD Protection Design

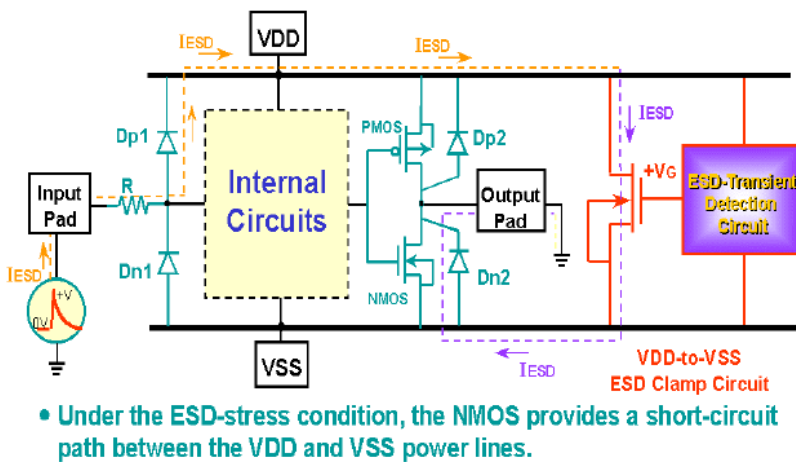


圖 7.2.3-1 改良式的 VDD 與 VSS 電源線間之 ESD 箝制電路

就早已导通来旁通 ESD 放电电流了。这导通的 NMOS 元件在 VDD 与 VSS 之间成一暂时性的低阻抗状态，因此跨在 VDD 与 VSS 之间的 ESD 电压能够很有效地被箝制住，不会再造成 IC 内部电路因 ESD 而出现异常损坏的现象。有关实现此方法的典型设计如图 7.2.3-2 所示 [12]。

#### VDD-to-VSS ESD Clamp Circuit

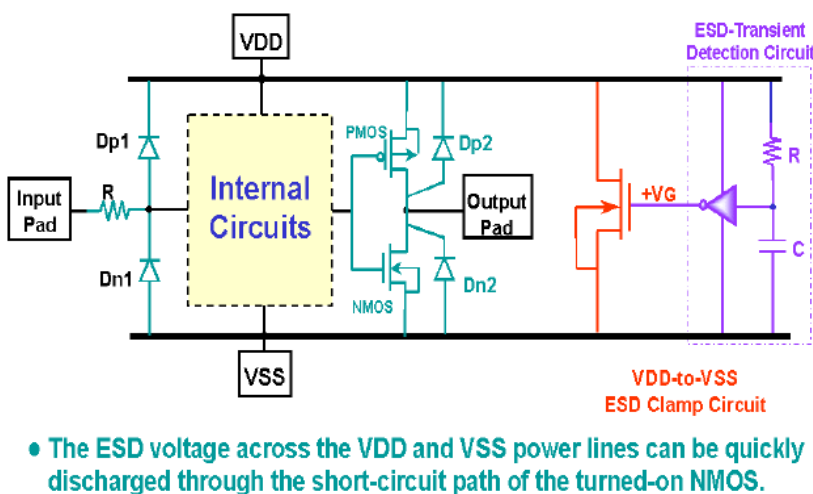


圖 7.2.3-2 VDD 與 VSS 電源線間 ESD 箝制電路之實現圖

为提升该 NMOS 元件的 ESD 保护功效，图 7.2.3-1 显示一改良式的设计。

在图 7.2.3-1 中，静电放电侦测电路被加入，用来控制该 NMOS 元件的栅极。当有 ESD 电压出现跨在 VDD 与 VSS 电源线上时，该静电放电侦测电路会送出一正电压把 NMOS 元件导通来旁通掉 ESD 放电电流。由于该 NMOS 元件是经由其栅极控制而导通，而不是像图 7.2.2-1 中的栅极接地 NMOS 元件是靠击穿才导通的，因此图 7.2.3-1 的设计具有极低的导通电压。当内部电路元件尚未因 ESD 电压而击穿之前，该 NMOS 元件

在图 7.2.3-2 中，基于 RC 时间常数的控制电路被设计用来控制一短通道 NMOS 元件的导通，该 NMOS 元件的漏极 (drain) 是连接到 VDD，其源极 (source) 是连接到 VSS。当有 ESD 电压出现跨在 VDD 与 VSS 电源线之间时，该 NMOS 元件即会被导通而在 VDD 与 VSS 之间形成暂时性的低阻抗状态，ESD 放电电流即经由该 NMOS 元件而旁通掉。利用此一改良式的 ESD 箝制电路，可以有效地防护脚对脚的 ESD 放电，其 ESD 放电电流的流电路径如图 7.2.3-3 所示。

### Pin-to-Pin ESD Protection

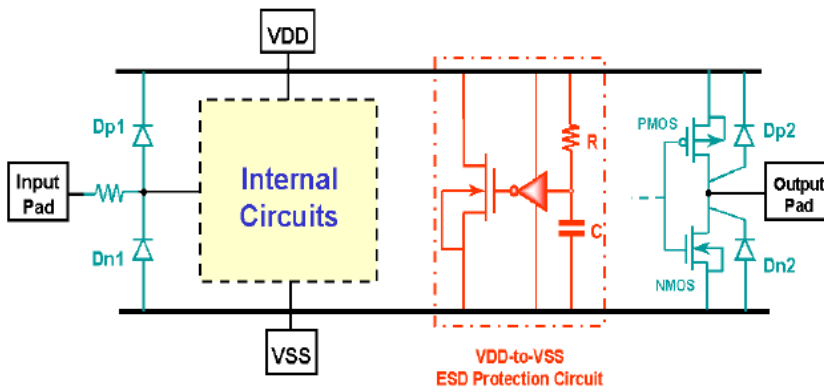


圖 7.2.3-3 利用 VDD 與 VSS 間 ESD 箝制電路來導引腳對腳的 ESD 放電電流的效应

当脚对脚 ESD 电压转变成跨在 VDD 与 VSS 电源线之间时,该 RC 控制的 ESD 侦测电路会被 ESD 的能量而偏压工作,并送出一正电压到 NMOS 元件的栅极来导通该 NMOS,ESD 电流便经由这导通的 NMOS 元件而排放掉,因此 IC 的内部电路及寄生的 SCR 与 BJT 元件都不会因 ESD 的过压压迫而被破坏。

### 7.2.4 电源线上扩散电容/电阻

虽然图 7.2.3-2 的改良设计能够充分保护 IC 内部电路,避免异常的 ESD 损伤。但是在图 7.1.1-1 中所提到在电源线上的寄生电阻与电容效应可能会降低图 7.2.3-2 改良电路的保护效果。因为 ESD 放电现象在很短的时间内(约~100ns)便会出现高达数安培的放电电流,如果该改良式 ESD 箝制电路的摆放位置距离被 ESD 打到的输入或输出脚位太远,则可能会发生【远水救不了近火】的现象。

### Issue of Parasitic Resistance and Capacitance along the VDD/VSS Power Lines

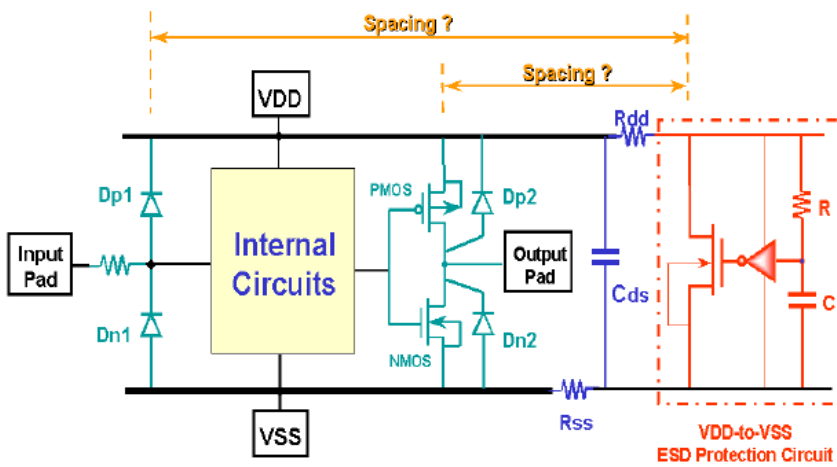


图 7.2.4-1 显示了这扩散电阻/电容对 ESD 箝制电路之防护功能上的影响。在先进的 VLSI 中,晶片的尺寸是越来越大,相对地环绕整个晶片的 VDD 与 VSS 电源线是拉得更长,其所相对产生的扩散电容/电阻效应也会增加,这反而降低 ESD 箝制电路的防护效果。

为调查这电源线上寄生扩散电阻/电容对该改良式 ESD 箝制电路的防护影响,实验晶片被设计来调查这个效应。

### Test Chip to Verify Spacing Effect on ESD Protection

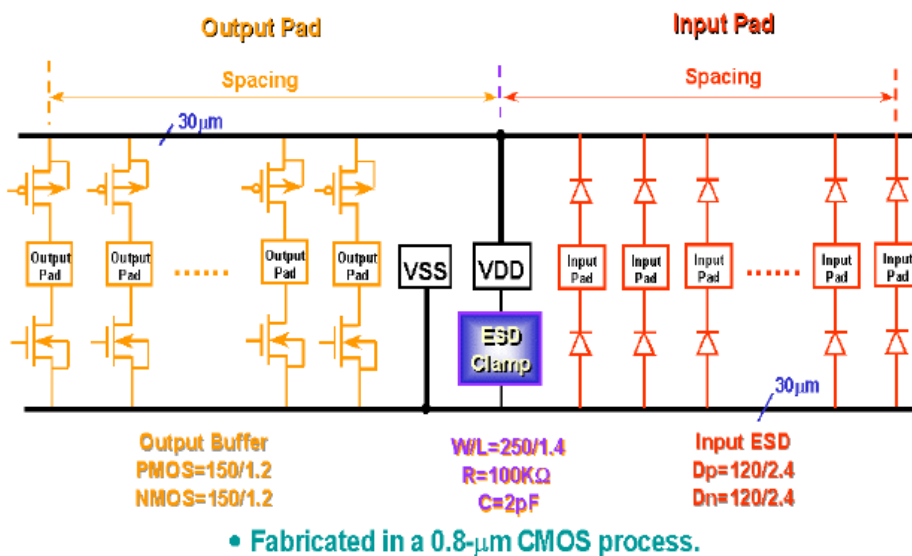


图 7.2.4-2 显示了该实验晶片的设计,一改良式 ESD 箝制电路放在 VDD PAD 的旁边,在 VDD PAD 右边是不同距离的输入脚,在 VDD PAD 的左边是不同距离的输出脚,一 30 µm 宽的

圖 7.2.4-2 用來調查不同間距對 ESD 箝制電路防護功能影響度的測試晶片設計

VDD 电源线连接了该 VDD PAD 与所有输入与输出脚，另一  $30\ \mu\text{m}$  宽的 VSS 电源线连接了 VSS PAD 与所有所输入脚与输出脚。该实验晶片制作于  $0.8\ \mu\text{m}$  的 CMOS 工艺中，其脚对脚的 ESD 耐压特性显示于图 7.2.4-3 及图 7.2.4-4 中，当两个脚位相隔越远时，其 ESD 耐压能力越低。

虽然 VDD 与 VSS 电源线间有该改良式 ESD 钳制电路，但当局两个遭受 ESD 电压的相对脚位之距离超过  $4000\ \mu\text{m}$  时，其脚对脚的 ESD 耐压能力下降了一半，这显示出 VDD 与 VSS 电源线寄生之扩散电容/电阻对该改良式 ESD 钳制电路防护效果之负面效应。为了避免这杂散电容/电阻的影响，电源线的宽度/长度与 ESD 钳制电路的摆放位置应该要建立套设计准则 (Design Rules) 以利 IC 设计上的参考。

Experimental Results of Pin-to-Pin ESD Protection    Experimental Results of Pin-to-Pin ESD Protection

• Positive ESD stress on an Output Pin with a grounded Input Pin, but both the VDD and VSS Pins are floating.

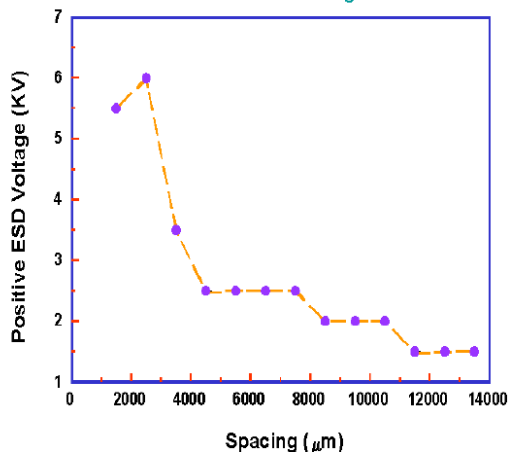


圖 7.2.4-3 腳對腳正電壓 ESD 防護能力與腳位間距的關係

• Negative ESD stress on an Output Pin with a grounded Input Pin, but both the VDD and VSS pins are floating.

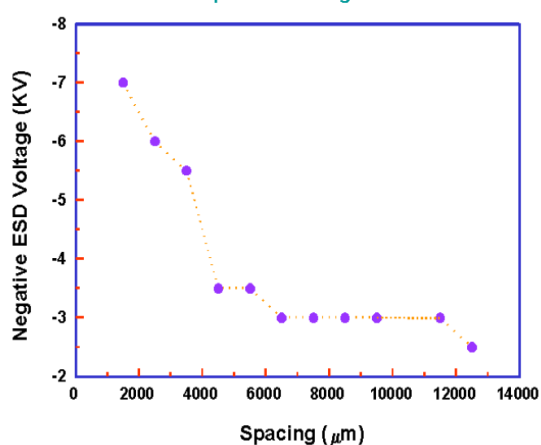


圖 7.2.4-4 腳對腳負電壓 ESD 防護能力與腳位間距的關係

为了提供更有效的 VDD 与 VSS 间 ESD 钳制作用，利用该改良式 ESD 钳制电路的全晶片防护设计显示于图 7.2.4-5 中。

Application for Whole-Chip ESD Protection in CMOS VLSI

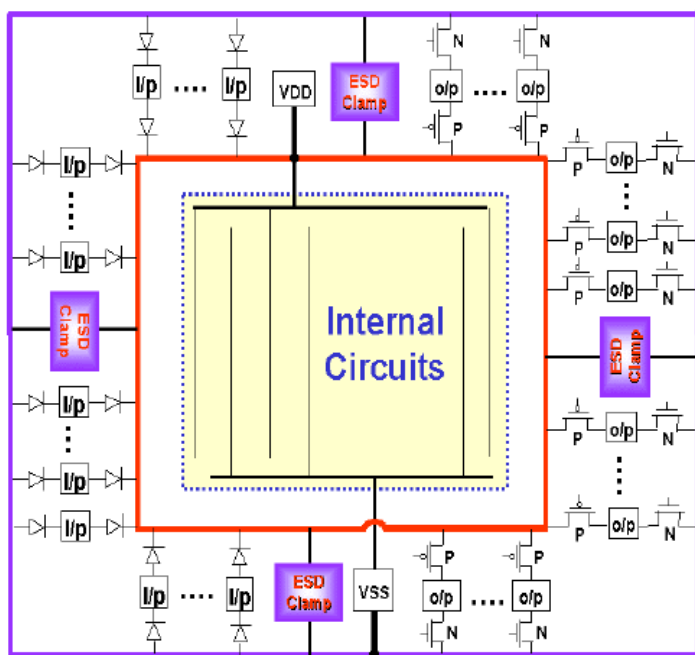


圖 7.2.4-5 利用 VDD 與 VSS 間钳制電路以達成全晶片 ESD 防護的設計示意圖

该全晶片防护设计的概念已实际地被用来改善某一 IC 产品的 ESD 耐压能力。IC 产品的原本 ESD 耐压能力，在输入/输出脚对 VDD/VSS ESD 放电测试情形下只能承受 1000V 的 ESD，在脚对脚的 ESD 放电测试情形下只能承受 500V 的 ESD。经过图 7.2.4-5 的应用之后，该 IC 的 ESD 耐压能力，在输入/输出脚对 VDD/VSS ESD 测试下能承受到 4000V 的 ESD，在脚对脚 ESD 测试下能承受到 3000V 的 ESD。在适当的地方加入 VDD 与 VSS 的 ESD 钳制电路，而不用去



修改或放大输入/输出脚的 ESD 防护电路与元件，IC 的 ESD 承受能力能够被有效地大幅提升。这给予全晶片防护设计上的一个重大的启示，在 VDD 与 VSS 电源线间做好有效率的 ESD 钳制电路，即可协助大幅提升输入/输出脚的 ESD 耐压能力。

### 7.3.1 先进工艺的影响

虽然图 7.2.3-2 的改良设计能够避免 ESD 电压损伤到 IC 的内部电路，但是在先进工艺中，随着 LDD 结构及金属硅化物(silicide)扩散层的普遍使用，该被导通用来旁通 ESD 电流的 NMOS 元件本身更易遭受 ESD 的破坏。有关这 ESD 钳制用 NMOS 元件本身在先前工艺下更易被 ESD 损伤的示意图显示于图 7.3.1-1 中。

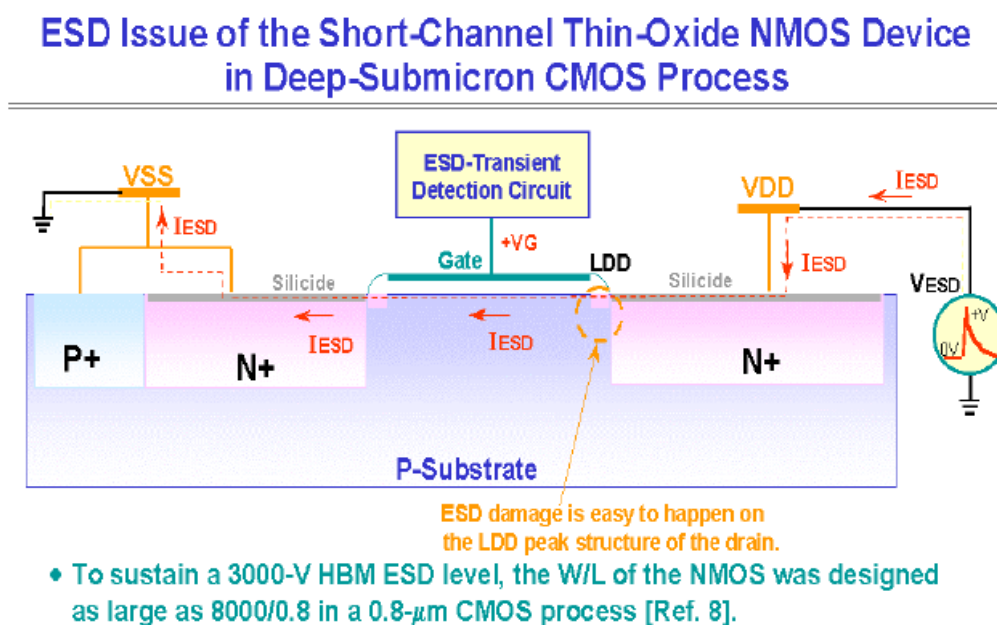


圖 7.3.1-1 NMOS 元件在 VDD 與 VSS 間 ESD 箝制電路中容易遭受 ESD 電流損傷的示意圖

当 ESD 侦测电路送出一正电压把该 NMOS 打开时，在 VDD 电源线上的 ESD 电流先被导引且聚集在 LDD peak 上，再经由产生的 channel 而流经 NMOS 到 VSS 电源线去。由于这 LDD 与 channel 的深度都很浅，再加上 silicide 扩散层的极低电阻，ESD 瞬间数安培的电流很容易就把该 NMOS 的 LDD 及 channel 烧毁破坏而造成 VDD 与 VSS 间永久短路的故障。这使得图 7.2.3-2 的改良设计在先进工艺 CMOS IC 中的应用产生了负面的影响。

### 7.3.2 改善措施

为了避免该 NMOS 元件因工艺先进而降低其对 ESD 的承受能力，该 ESD 钳制用的 NMOS 必需做得具有更大的元件尺寸，才不致于把该 NMOS 元件烧毁。在参考文献 [13] 中，该 NMOS 元件尺寸之通道宽度与长度比(W/L)为 8000/0.8。为了能快速推动如此巨大的 NMOS 元件，因此在该参考文献 [13] 的设计中加入三级的反相器(inverter)做成 Tapered buffer 的设计来驱动该巨大的 NMOS 元件，其中 inverter 的元件尺寸也不小。虽然，参考文献 [9] 中的设计可以有效地保护 IC 的内部电路避免 ESD 损伤，但其巨大的元件尺寸与大尺寸的三级反相器推动电路，大大地增加了布局上的面积，这使其在亚微米或深亚微米集成电路中的实用上增加困难度及晶片成本。

为了缩小 ESD 钳制用 NMOS 元件的尺寸，一改良方式是在该 NMOS 的漏极(drain)加上串联电阻以限制 ESD 电流的大小，这一改良方式如一美国专利 [14] 及研究论文 [15] 所示并显示于图 7.3.2-1 中。

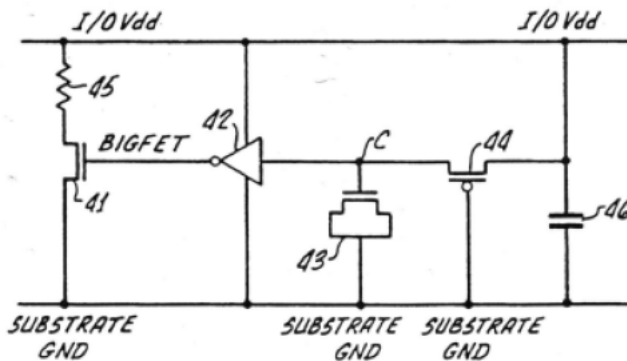


圖 7.3.2-1 NMOS 元件加上串聯電阻以限制 ESD 電流受能力的美國專利設計

另一改良的方法 [16] 显示于图 7.3.2-2 中，该参考文献 [16] 结合了图 7.2.3-2 的设计与输出级的电晶体元件来达成 VDD 与 VSS 电源线之间暂时短路的作用。由于输出级的 NMOS 与 PMOS 一般都具有较大的元件尺寸，在图 7.3.2-2 中，利用 RC 控制电路及一些辅助逻辑电路，来把输出级的 NMOS 与 PMOS 元件同时导通，以排放跨在 VDD 与 VSS 电源线间的 ESD 电压。这个设计想法是不错，但是在实用上必需要在每一输出级加入相对应的逻辑控制电路，如果该输出级具有 tristate 或其它复杂的功能，则其逻辑控制电路会更加复杂，因而限制了其实用度。

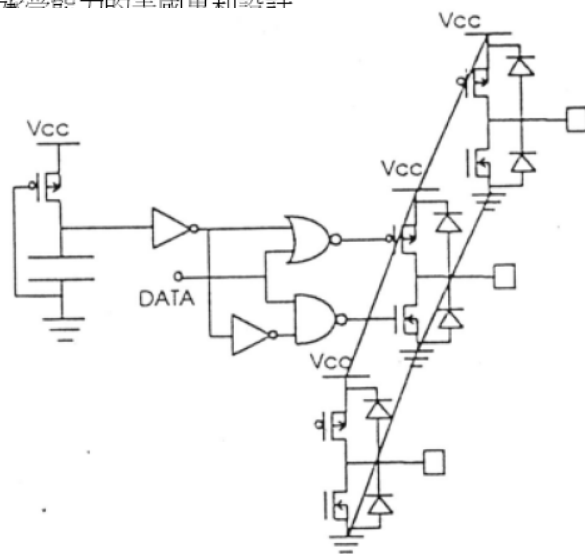


圖 7.3.2-2 利用輸出級 PMOS 與 NMOS 元件來達到 VDD 與 VSS 間 ESD 箝制功能的電路設計圖

## 7.4 节省面积的创新设计

如前面章节所述，用来钳制 VDD 与 VSS 电源线间 ESD 电压的 NMOS 元件尺寸太大，使得上述的防护设计在先进的亚微米制成下变得不切实际。所以，一个具有高 ESD 钳制能力但能节省布局面积的 VDD 与 VSS 间 ESD 钳制电路是迫切需要的。

笔者即针对前述各种 ESD 防护设计上的缺点，提出创新性的 ESD 防护电路设计，该创新之 ESD 防护电路能够提供有效的 ESD 防护于 VDD 与 VSS 之间，达到保护 IC 的内部电路的效果，且该 ESD 防护电路只占用更小的布局面积，同时也节省 IC 产品的成本。

### 7.4.1 节省布局面积之创新设计 [22]

节省布局面积之 VDD 到 VSS 静电放电防护电路如图 7.4.1-1 所示，其中基体触发 N 型厚氧化层元件

(substrate-triggering field-oxide device, STFOD)用来旁通 ESD 的放电电流。

## Area-Efficient VDD-to-VSS ESD Clamp Circuit by Using the Substrate-Triggering Field-Oxide Device (STFOD)

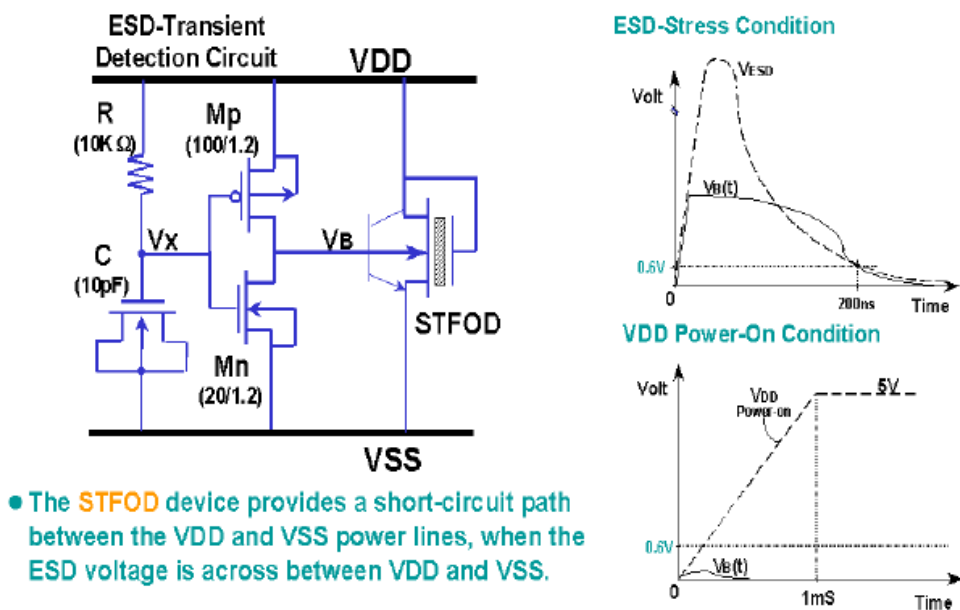


圖 7.4.1-1 節省佈局面積之 VDD 與 VSS 間 ESD 箝制電路的創新設計

静电放电侦测电路是一电阻 R、电容 C，以及一反相器所组成。当静电放电电压跨在 VDD 与 VSS 电源线之间时，该静电放电侦测电路会把该 N 型厚氧化层元件导通来旁通 ESD 的放电电流。当 IC 在正常工作情形下，该静电放电侦测电路使该 N 型厚氧化层元件保持关闭状态。虽然该基体触发 N 型厚氧化层元件 (STFOD) 的栅极连接到 VDD，但因这种厚氧化层元件的临界导通电压 (threshold voltage) 在一般 CMOS 工艺下都高达 15~20 伏特，所以该 STFOD 元件在 IC 正常工作情形下不会被 5V 的 VDD 所导通。

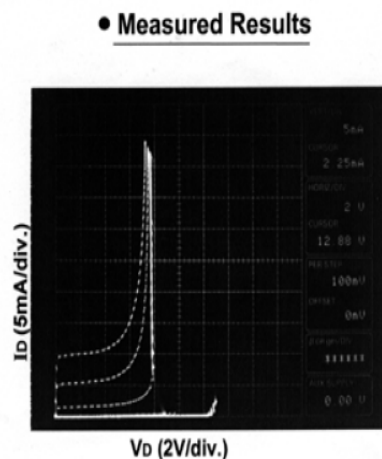
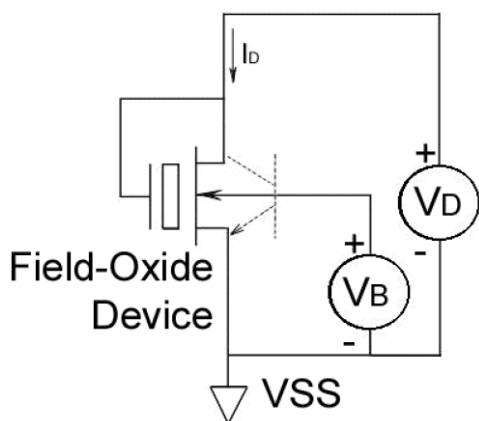


圖 7.4.1-2(a) 基體觸發厚氧化層元件之雙載子電晶體元件特性的量測方法 圖 7.4.1-2(b) 基體觸發厚氧化層元件之雙載子電晶體的元件特性

该 STFOD 元件被设计当做一横向双载子电晶体 (BJT) 来旁通 ESD 放电电流，为加强双载子电晶体的特性，该 STFOD 元件的通道长度要够短。 STFOD 元件的双载子电晶体特性如图 7.4.1-2 所示。

在图 7.4.1-2(a)中,一正电压  $V_B$  被加入该 N 型厚氧化层元件的基体(bulk),用来测量其双载子电晶体的特性,其测量结果如图 7.4.1-2(b)所示。当  $V_D$  电压继续增加,该 STFOD 元件的 IV 特性会进入骤回击穿区域(snapback region)。

该 STFOD 元件可以安全地操作在这个骤回击穿区,只要静电放电电流不超过该 STFOD 元件的二次击穿(secondary breakdown)临界点。二次击穿临界点是该 STFOD 元件承受 ESD 电流的极限。由于在 N 型厚氧化层元件内不会有 LDD 的尖端结构,而且该 STFOD 元件是用基体触发导通的,所以 ESD 电流流经该 STFOD 元件是经由其基体的部份而非集中在表面部份,因此该 STFOD 元件比一般薄氧化层 NMOS 元件具有更高的 ESD 防护能力。相对地,静电放电电流在薄氧化层 NMOS 元件是流经其通道(channel),该通道的深度在 5V 的栅极电压下约为  $100\sim 300\text{\AA}$ 。如此浅的通道,加上 LDD 尖端结构,导致 NMOS 元件低的 ESD 承受能力,这也就是为何在先前技术中 [13],其 NMOS 元件要设计得如此巨大的主要原因。利用 N 型厚氧化层元件的特性,加上基体触发的电路设计,STFOD 能够提供有效且节省面积的 ESD 防护电路,用于 VDD 与 VSS 电源线之间,以充分保护集成电路的内部电路。

#### 7.4.2 工作原理

本设计的操作原理可由图 7.4.1-1 来解说。在图 7.4.1-1 中,反相器是由一 PMOS 元件  $M_p$  与 NMOS 元件  $M_n$  所组成;其电容 C 在一般 CMOS 工艺技术下可用 NMOS 元件来代替。

##### (a) 静电放电情形下(ESD-Stress Condition)

在静电放电时,该 STFOD 元件会被导通来旁通 ESD 电流。当 ESD 尚未加到 VDD 与 VSS 电源线间之前,在  $V_x$  端点的电压起始值是 0 伏特。在静电放电侦测电路内的 R 与 C 的时间常数是设计在  $0.1\sim 1.0$  微秒左右。当 VSS 端接地,而一 ESD 电压出现在 VDD 端时,由于 ESD 电压具有很快的上升速度(其 rise time 约在  $5\sim 15\text{nS}$ ), $V_x$  端的电压因 RC 延迟效应无法跟得上 VDD 端的 ESD 电压上升速度,因此  $V_x$  端的低电位导致反相器的输出端  $V_B$  电压经由 VDD 上的 ESD 电压而上升到高电位。 $V_B$  端的高电位触发导通了 STFOD 元件的双载子电晶体特性,因而 ESD 电流便经由该 STFOD 元件而旁通掉。此导通的 STFOD 元件提供了一暂时短路的路径于 VDD 与 VSS 电源线之间,因而可以有效且快速地压制出现在 VDD 与 VSS 之间的 ESD 高电压,因此可以有效地保护 IC 的内部电路,避免 ESD 的损伤。由于该 STFOD 元件是经由基体触发而导通,故其可在较小的布局面积下提供较高的 ESD 电流排放能力,因此使电路的总布局面积可以大幅地缩小,以符合 VLSI 高密度、高集积度的应用需求。为更清楚解释本电路的特性,图 7.4.1-1 显示了  $V_B$  端在时间上的电压变化情形。当该 ESD 电压( $V_{ESD}$ )出现在 VDD 上时,其 ESD 的放时间约在  $100\sim 200\text{nS}$  之间,因此该 STFOD 元件要能够被导通约  $200\text{nS}$  的时间,以充分排放 ESD 电流。由于双载子电晶体的基极(Base)导通电压约 0.6 伏特,所以  $V_B$  端要能够提供一大于 0.6V 的电压,且长达  $200\text{nS}$  来导通 STFOD 元件的双载子电晶体。这可经由适当设计的电阻 R,电容 C,以及反相器内的电晶体尺寸来达成。

##### (b) VDD 开机情形(VDD Power-ON Condition)

由于 CMOS IC 在正常工作时,其 VDD 是偏压在一固定的电压(例如 5 伏特)。但是在开机当时,VDD 的电压也是自 0 伏特逐渐上升到 5 伏特的,这就是一般所谓 power-on 暂态。

在这 power-on 暂态,该 ESD 防护用的 STFOD 元件要保持在关闭状态,以避免 VDD 电源电压漏到 VSS 去。要保持 STFOD 元件在这 power-on 情形下仍保持关闭,但在 ESD 放电情形下是导通的,可经由

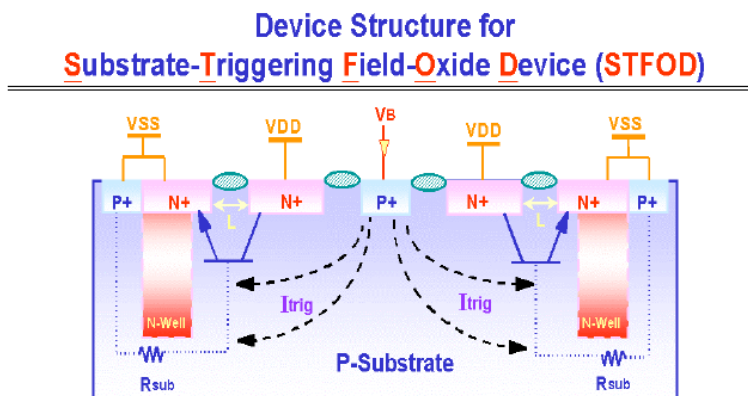


RC 时间常数的设计来达到这个功能。因为 VDD power-on 的电压上升时间是约 1ms(毫秒)左右, 但 ESD 电压的上升时间是在约 10ns(毫微秒), 把 ESD 侦测电路的 RC 时间常数设在  $0.1 \sim 1.0 \mu S$ (微秒), 即可达成分辨出 VDD Power-ON 与 ESD 放电的两种不同的工作情形。

在 VDD Power-ON 情形下的 VB 端电压随 VDD 电压上升的变化如图 7.4.1-1 所示, 由于 RC 时间常数在  $1 \mu S$  的 ESD 侦测电路中, 其 Vx 端的电压可以跟得上以 1ms 上升时间的 VDD 电压, 因此 Vx 端的电压几乎同步等于 VDD 上的电压, 这使得反相器的输出端 VB 保持在接近 0V 的电压, 其变化情形正如图 7.4.1-1 所示。因此, 该 STFOD 元件因 VB 电压为 0 而一直保持在关闭的状态。

以上所述的电路功能, 可经由常用的 HSPICE 电路模拟软体来设计。举例来说, 在一  $0.6 \mu m$  的 CMOS 工艺参数之下, 要达到上述所说的电路功能, 其电阻 R 约为  $50K \Omega$ ; 电容 C 用 NMOS 元件来做, 其元件宽长比(W/L)只要 20/20( $\mu m$ ), 其等效电容值约为 1.8PF。反相器内的 PMOS 元件 Mp 的元件宽长比为 100/1.2( $\mu m$ ), 其 NMOS 元件 Mn 的元件宽长比为 20/1.2( $\mu m$ )。经由上述的元件设计, 即可达到正确的 ESD 防护功能。

### 7.4.3 增进双载子电晶体特性的元件设计



- The STFOD is triggered on by a substrate current to improve its ESD robustness in per layout area.
- An N-well is added under the source region and surrounds the whole STFOD to increase the bipolar action of the STFOD.

圖 7.4.3-1 加強 STFOD 元件中所寄生雙載子電晶體元件特性的元件結構設計圖

在图 7.4.3-1 中, 有一 P 型扩散层在元件的中央, 该 P 型扩散层是连接到反相器的输出端 VB, 包围该 P 型扩散层的是一 N 型扩散层, 此 N 型扩散层是连接到 VDD。包围该 N 型扩散层的是另外一个 N 型扩散层, 此 N 型扩散层连接到 VSS。一厚氧化层即做是该两 N 型扩散层之间而构成该 N 型厚氧化层元件, 寄生在此 N 型厚氧化层元件的双载子电晶体亦被标示于图 7.4.3-1 中。另外, 在最外层有一 P 型扩散层包围住整个元件, 该 P 型扩散层连接到 VSS 以提供 P 型基底偏压之用。该 P 型基底亦是等效于寄生的双载子电晶体的基极。在 ESD 放电情形下, VB 是一高电位, 此时导致一电流 Itrig 自 P 型扩散层流入该 P 型基底, 为加强该寄生双载子电晶体被该 Itrig 电流触发, 一 N 型阱区被加入在 N 型扩散层之下, 由于该 N 型阱区具有较深的结面深度(junction depth), 该 Itrig 电流会被该 N 型阱区阻挡而流入 N 型阱区, 这促使该寄生的双载子电晶体元件的基极(base)射极(emitter)之间有一正的电压偏压, 因而导通该双载子电晶体。而在 VDD 上的 ESD 电流便可自 N 型扩散层(也是该双载子电晶体的集极, collector)流向另一 N 型扩散层到 VSS 去, 如此便可在 VDD 与 VSS 之间产生一暂时短路的电流路径来旁通 ESD 放电电流。

由上所述, ESD 电流是经由该 STFOD 元件来放电, 而该 STFOD 元件是经由基体触发的方式来导通其寄生的双载子电晶体, 以增进其 ESD 放电电流的承受能力, 因而可以在较小的布局面积下提供较高的 ESD 防护能力。为了加强该 STFOD 元件所寄生的双载子电晶体元件特性, 本设计提出一更有效率的元件结构如图 7.4.3-1 所示。

在图 7.4.3-1 中, 有一 P 型扩散层在元件的中央, 该 P 型扩散层是连接到反相器的输出端 VB, 包围该 P 型扩散层的是一 N 型扩散层, 此 N 型扩散层是连接到 VDD。

由于 N 型阱区较深的深度可有效拦截自 P 型扩散层流入的 I<sub>trig</sub> 电流，因此可以提升该寄生双载子电晶体的元件特性以利用于 ESD 防护电路上，也因而更进一步提升该 STFOD 元件的 ESD 承受能力。因此，比起先前技术中所用的 NMOS 元件，该 STFOD 元件可以在较小的布局面积下提供较高的 ESD 防护能力，以节省 IC 的成本。

### 7.4.4 实验结果

该 STFOD 元件在 0.6 μm CMOS 工艺技术下的元件特性如图 7.4.4-1 所示。而整个 ESD 钳制电路的耐压能力则显示于表 7.4.4-1 中。一用 NMOS 元件当 ESD 钳制元件的先前设计(图 7.2.3-2)也被制作在同一测试晶片中来作比较。

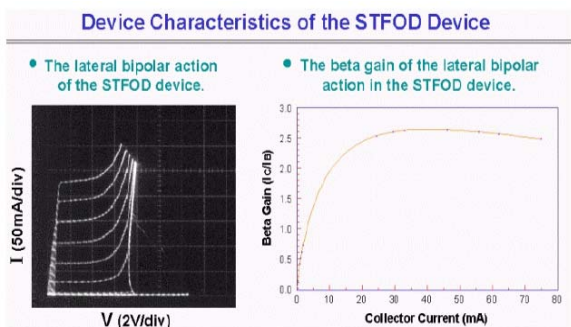


圖 7.4.4-1 STFOD 元件在一 0.6 微米 CMOS 製程技術下的元件特性

### Human-Body-Model (HBM) ESD Testing Results

	This Work	Previous Work
	STFOD (439.2/1.2)	NMOS (500/0.8)
Device Layout Area (μm <sup>2</sup> )	102.9 X 78.8	93.6 X 74.05
HBM ESD Pass Level (V)	4500	1000
ESD Level in per unit Layout Area (V/μm <sup>2</sup> )	0.55	0.14

➔ The ESD clamp circuit with the STFOD can provide 4-times higher ESD robustness in per unit layout area than the previous design with the NMOS.

表 7.4.4-1 利用 STFOD 與 NMOS 元件所製作之 ESD 箝制電路的 ESD 防護功能比較

如表 7.4.4-1 中所示，该 STFOD 能够在单位布局面积下提供 0.55V 的 ESD 承受能力，而 NMOS 元件只能承受 0.14V 的 ESD 电压。这 STFOD 在单位布局面积下的 ESD 承受能力是 NMOS 元件的四倍。因此，STFOD 能够在较小的布局面积下提供足够的 ESD 防护能力来达到全晶片防护的效用。

### Verification of the ESD Clamp Circuit in the ESD-Stress Condition

- An ESD-like voltage pulse with a rise time of 5.5ns, a pulse height of 8 V, and a pulse width of 400ns is applied to the VDD pad with the VSS pad grounded.

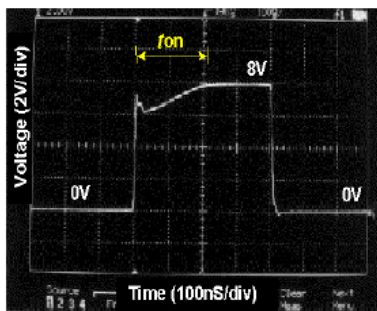
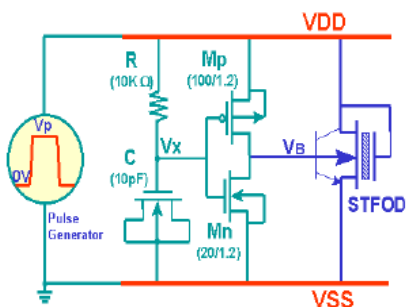


圖 7.4.4-2 ESD 箝制電路在 ESD 測試情形下的電路功能驗證

该方型的电压脉冲波形，在电压上升时即因 STFOD 的导通而导致电压波形的衰减，过了 200ns 左右，该电压波形即回复正常的方波波形，这衰减的 200ns 正是 STFOD 元件的导通时间(t<sub>on</sub>)，经由适当的设计，可以调整这个 STFOD 的导通时间以符合各种应用情形。

另外要验证的是当 VDD 电源上升时，该 STFOD 元件是否保持关闭。

为了验证 ESD 侦测电路的正确功能，8V 的电压脉冲 (Voltage pulse)，如图 7.4.4-2 所示，被加到该 ESD 钳制电路上，在 VDD 电源线上的电压波形用示波器来监视。该电压脉冲的上升时间 (rise time) 约在 5.5ns，与 ESD 电压的 rise time 相当。当该电压脉冲加到 VDD 电源线上时，由于 ESD 侦测电路的动作，会把 STFOD 元件导通以排放此类似 ESD 电压的电压脉冲，因此在示波器上监视到的电压波形就如图 7.4.4-2 中的相片所示。该方型

## Verification of the ESD Clamp Circuit in the VDD-Power-On Condition

- A ramp voltage with a rise time of 0.1ms and a high-voltage level of 5V is applied to the VDD pad with the VSS pad grounded.

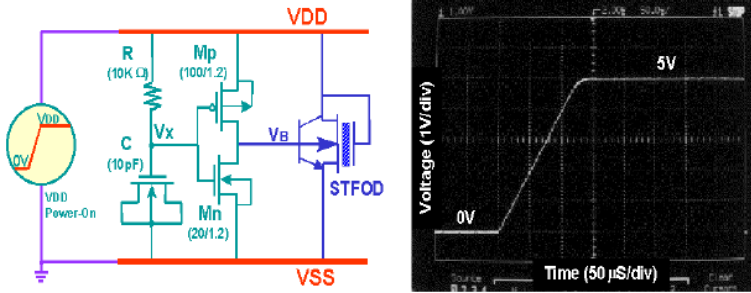
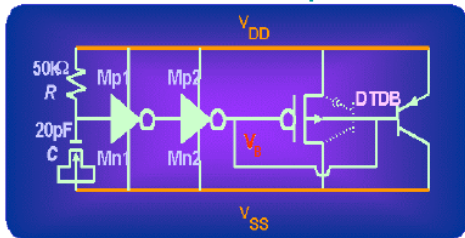


圖 7.4.4-3 ESD 箝制電路在 VDD 電源上升情形下的電路功能驗證

### 7.4.5 其他设计变化 [23]

#### Modified ESD Clamp Circuit by Using the p-n-p BJT

##### • Modified ESD Clamp Circuit



##### • Device Structure of the DTDB

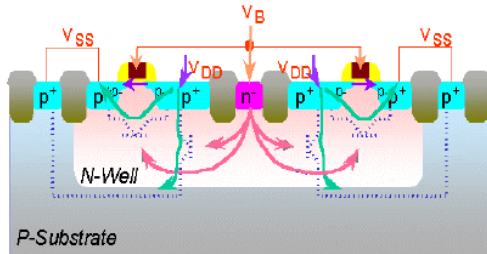
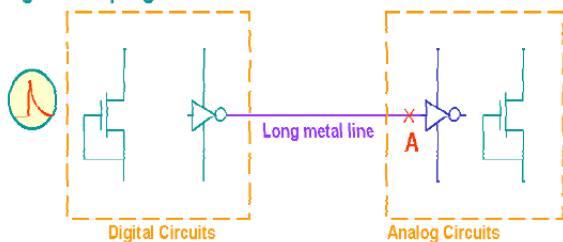


圖 7.4.5-1 利用 p-n-p 電晶體所設計的 VDD 與 VSS 間 ESD 箝制電路

### 7.5.1 Mixed-Mode IC 的异常内部损伤

由于 Mixed-Mode IC 为了 Noise 的考量，一般都具有多对且分离的 VDD 与 VSS 电源线，这样的电源分离设计也会引起异常的 ESD 损伤在类比与数位界面电路 (interface circuits) 上。一参考文献 [24] 曾报导了这样的情形，

- An unexpected ESD damage is located on the digital-analog interface of a mixed-mode IC with the separated digital and analog power pins, as a 2-KV HBM ESD voltage is stressed on the digital VDD pin with the digital VSS pin grounded.



- Another mixed-mode IC with the same ESD protection circuits in the 0.8- $\mu\text{m}$  cell library, but the digital VDD and analog VDD are connected together in the chip, can pass the 2-KV HBM ESD stress from the VDD pin to VSS pin without any internal ESD damage.

圖 7.5.1-1 ESD 測試造成 ESD 損傷發生在一數位與類比之間的界面電路上

图 7.4.4-3 显示了实验上的测试方法，5V 的 ramp 电压具有 0.1ms 的上升时间被加到 VDD 电源线上以模拟 IC 的 VDD 在正常电源上升的情形，VDD 上的电压波形以示波器来监视，所看到的电压波形如图 7.4.4-3 中所示，该 ramp 电压没有任何衰减的情形，这证明了 ESD 侦测电路在 VDD 电源上升情形下是把 STFOD 元件关闭的。经由实验上的验证，利用 STFOD 元件的 ESD 箝制电路正符合深亚微米超大型集成电路的 ESD 防护所需。

在图 7.4.1-1 的 STFOD 也可以改用其他的双载子电晶体。利用 pnp 双载子电晶体的设计显示于图 7.4.5-1 中，由于是用 pnp 电晶体，在图 7.4.5-1 的 ESD 侦测电路中必需多加入一级反相器以达成正确的电路功能。

该电路所用的 ESD 箝制元件是一 DTDB (double-trigger double BJT) 结构，其 DTDB 元件结构也显示于图 7.4.5-1 中。该 DTDB 元件具有一垂直方向的 pnp BJT 及一横向的 pnp BJT，利用这样的元件设计，DTDB 具有更高的增益 (gain)。这种 DTDB 的元件设计适合用在 P-Substrate 有负电压偏压的特殊 CMOS IC 中，例如一些 DRAM 具有内建的负电压产生器以偏压该 IC 的基体在一负电压准位以降低 DRAM 元件的漏电电流。

如图 7.5.1-1 所示，一 2000V 的 ESD 电压用来对一 Mixed-mode IC 的数位电路部份做 VDD-to-VSS ESD 测试，却意外地发现 ESD 所造成的损伤在图 7.5.1-1 的“A”点处，类比电路部份的界面电路的 Gate 氧化层被 ESD 所打穿了。

## ESD Current Path in a Mixed-Mode IC with the Separated Analog and Digital Power Pins

- A positive ESD stress occurs on a digital VDD pin with the digital VSS pin grounded, but the analog VDDA and VSSA pins are floating.

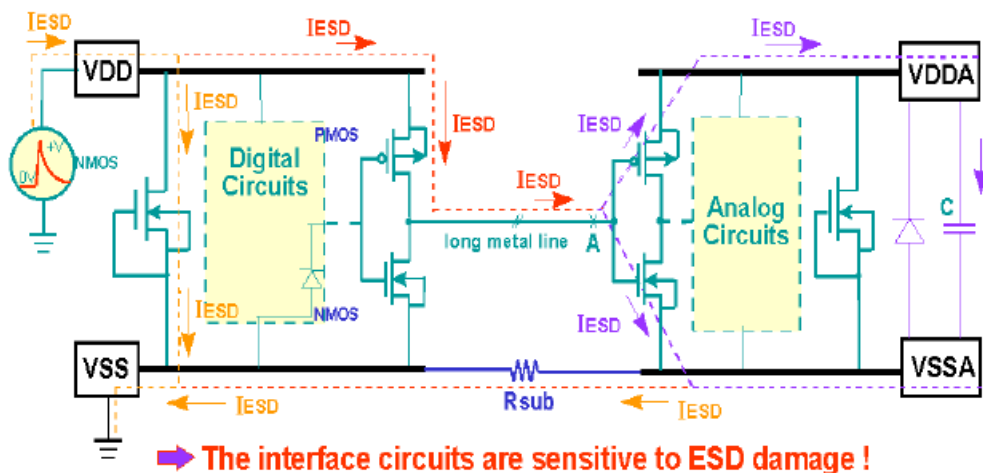


圖 7.5.1-2 ESD 放電電流在一數位類比混合式 IC 內的流竄路徑

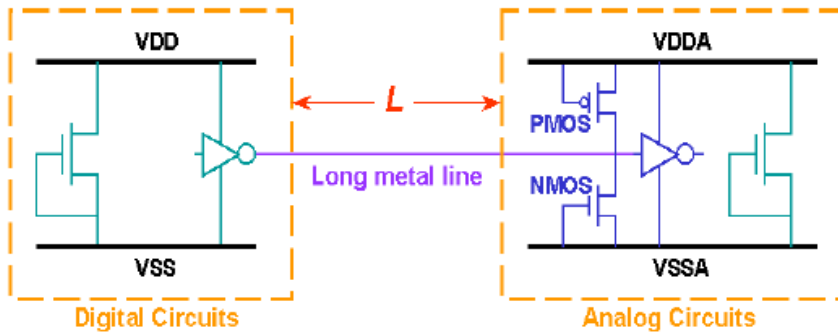
发生这异常现象的解释图如图 7.5.1-2 所示，该跨在数位电路 VDD 与 VSS 电源线之间的 ESD 电压会被导引成跨在界面电路与类比电源线之间的栅极氧化层打穿了。这样的意外损伤现象，必需花很大的功夫才找得到损伤的部位。为了挽救这个界面电路上的异常损坏问题，暂时性的解决办法乃在该界面电路上加上一对 ESD 防护用的 PMOS 及 NMOS 元件，如图 7.5.1-3 所示。

而该 ESD 防护用的 PMOS 与 NMOS 元件尺寸，随着界面电路的连线长度而有所改变，一经验值也标示于图 7.5.1-3 中。虽然图 7.5.1-3 的设计可以解决这界面电路异常损伤的问题，但是在实际应用上也会有困扰，在 IC 完成布局之后，要仔细检查每一界面电路的交接处，以加入该 ESD 防护电路，这目前无法用电脑自动化完成，必需人工去看，当界面电路增多时，这负担也就变得复杂且某些界面电路容易被遗落。



## Solutions to Rescue the Mixed-Mode IC

- A method to rescue the ESD damage between the digital-analog interface is to add the ESD-protection devices on the interface.



Table

An empirical design rule for the device dimensions of internal ESD-Protection devices under different lengths of the metal line between the digital and analog circuits.

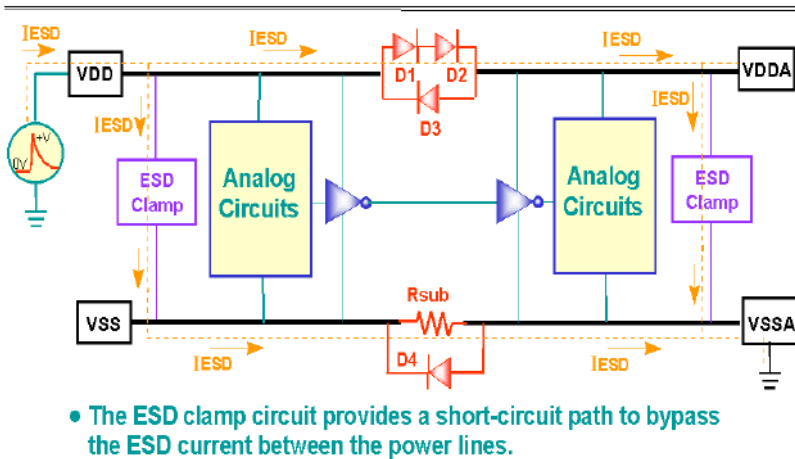
Length of the long metal line	Device dimension of ESD protection devices ( $\mu\text{m}$ )
$500\mu\text{m} \leq L < 1000\mu\text{m}$	NMOS W/L=20/0.7 ; PMOS W/L=20/0.7
$1000\mu\text{m} \leq L < 1500\mu\text{m}$	NMOS W/L=40/0.7 ; PMOS W/L=40/0.7
$1500\mu\text{m} \leq L < 2000\mu\text{m}$	NMOS W/L=60/0.7 ; PMOS W/L=60/0.7

图 7.5.1-3 解决数位与类比间界面电路因 ESD 而损伤的一种方法

### 7.5.2 ESD 连接用二极管的使用 [25]

为了解决这 Mixed-mode IC 的界面损伤问题，一改善方法是利用二极管把分离的电源线接在一起，如图 7.5.2-1 所示。可以利用不同数目的二极管串接来达到 Noise 分离的作用。

#### ESD Current Discharging Paths during the VDD-to-VSS ESD Stress in a Mixed-Mode IC with ESD-Connection Diodes



- The ESD clamp circuit provides a short-circuit path to bypass the ESD current between the power lines.

图 7.5.2-1 显示，该二极管在一 VDD-to-VSSA ESD 测试下，能够提供 ESD 电流的流电路径，并利用前述有效的 ESD 钳制电路来排放跨在 VDD 与 VSS 电源线间的 ESD 电压。利用二极管与 ESD 钳制电路的搭配，在各式 ESD 测试情形下，ESD 电流能够被适当的引导而排放掉，不会窜入 IC 的内部电路与 Mixed-mode IC 的界面电路上，因此可以达到全方位的 ESD 防护措施。由于二极管在这项应用上是利用其正偏工作点，因此二极管能够承受高的 ESD 电流而不需占用太大的面积。在脚对脚的 ESD 测试下，ESD

圖 7.5.2-1 在混合式 IC 中利用二極體串接以導引 ESD 放電電流的防護設計  
 电流在二极管导引下的流电路径如图 7.5.2-2 所示。

## ESD Current Discharging Paths during the Pin-to-Pin ESD Stress in a Mixed-Mode IC with ESD-Connection Diodes

- An ESD voltage occurs on a digital input pin with an analog output pin grounded, but all the digital and analog power pins are floating.

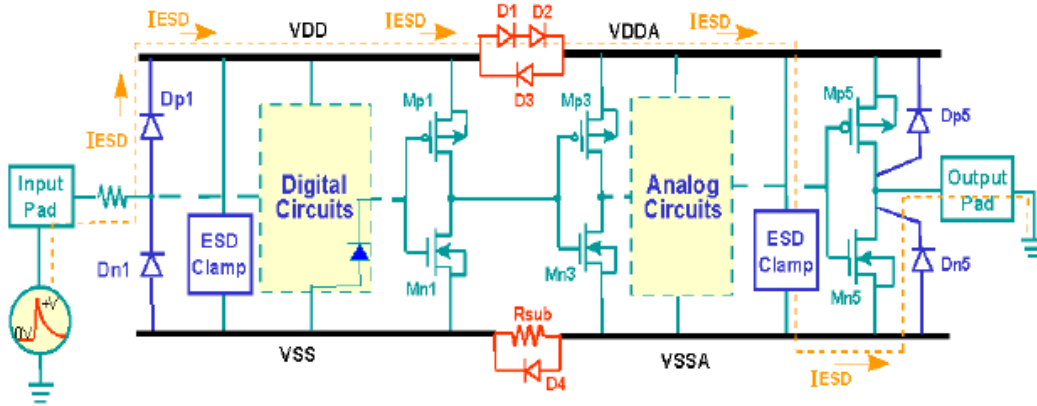


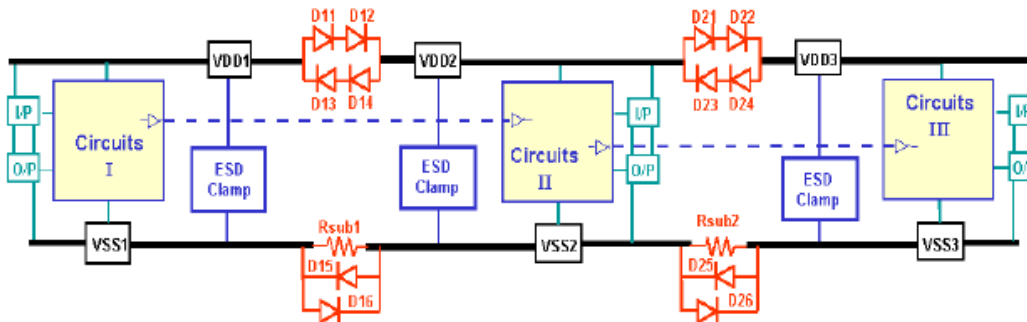
圖 7.5.2-2 利用二極體串接以達到混合式 IC 之全晶片 ESD 防護之示意圖

因此 Mixed-mode IC 可以利用适当串接的二极管连接于各分离的电源线之间，以同时达到 ESD 防护及 Noise 分隔的目的。

若一 IC 具有三对分离的电源线，各分离的电源线之间可以用二极管连接起来，如图 7.5.2-3 所示。

## ESD Protection Scheme for an IC with Multiple Power Pins

- Whole-Chip ESD Protection for an IC with multiple power pins.

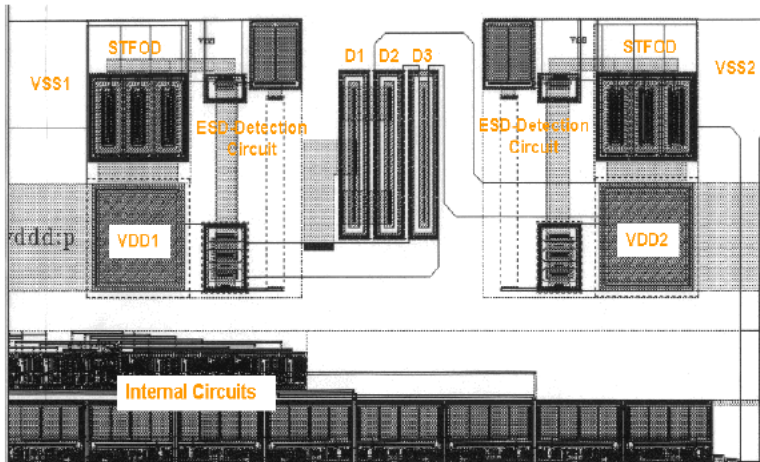


- The number of the series ESD-connection diodes can be adjusted to reduce noise coupling between the power lines.

圖 7.5.2-3 具有多對 VDD 與 VSS 電源腳之 IC 的 ESD 防護設計示意圖

## Application Examples

### • Whole-chip ESD protection design for a 8-bits Digital-to-Analog Converter.



➡ This DAC with the proposed whole-chip ESD protection scheme and the STFOD devices has a pin-to-pin ESD robustness of above 4000V.

圖 7.5.2-4 在一 8 位元數位對類比轉換器 IC 中，利用二極體串接及 STFOD 元件之 ESD 防護設計實例

应用二极管连接以达到全晶片 ESD 防护的布局例子显示于图 7.5.2-4 中，一 8 位元的数位对类比特转换器 (Digital-to-Analog Converter) 同时应用了图 7.5.2-1 的二极管串接及图 7.4.1-1 的 STFOD 元件，其全晶片的 ESD 防护能力超过 4KV 以上。

## 7.6 结论

ESD 防护已经不单是输入脚或输出脚的 ESD 防护设计问题，而是全晶片 ESD 防护设计的问题。ESD 损伤发生在输入或输出脚上，这是容易被发现以及解决的问题。但是，当 ESD 损伤发生在 IC 的内部电路，甚至在 Mixed-mode IC 的界面电路上时，要找到 ESD 损伤的部位而加以改善处理是很耗时且困难度极高的分析工作。因此全晶片的 ESD 防护设计在 IC 开发阶段就要被考虑于 IC 中，以事先防范各种可能的 ESD 测试及实际上 IC 所可能碰到的 ESD 问题。

## 第八章 静电放电防护设计之案例探讨

ESD 防护设计随着集成电路的各式各样应用而会有不同的设计出现。但在深亚微米 MOS 工艺技术下，越来越严重的 ESD 问题是元件充电模式 (CDM) 之静电放电现象。由于输入的栅极氧化层 (gate oxide) 在  $0.25\ \mu\text{m}$  工艺下，仅约 50Å 厚度而已，如此薄的栅极氧化层对 CDM 的静电放电非常敏感，因此在本章节中，将针对 CDM 之 ESD 防护设计加以说明。

另外，在本章节中也将针对已应用在  $0.35\ \mu\text{m}$  以及  $0.25\ \mu\text{m}$  细胞元件库 (cell library) 内之 ESD 防护设计，作案例上的说明。该 ESD 放电设计乃是利用所谓『动态浮接栅级技术』来促使 I/O cell 内的元件能够均匀导通来排放 ESD 电流，因而可以承受 HBM ESD 电压高达 8KV 以上。此技术已成为该公司细胞元件库主打的一项重要特点，并被广泛用在国内外的集成电路中。

## 8.1 元件充电模式之防护设计(CDM ESD Protection)

在前面章节中所提之静电放电防护电路，大都是用来防护人体放电模式(HBM)与机器放电模式(MM)的静电放电。基本上，静电放电的来源是自IC的外界经由IC的脚位(pin)而进入IC内。为防范此类静电放电对IC的损伤，因此静电放电防护电路在IC的布局中都绘制于输入或输出焊垫(bonding pad)旁，以就近旁通排放静电放电电流，其典型的设计显示于图8.1-1中。

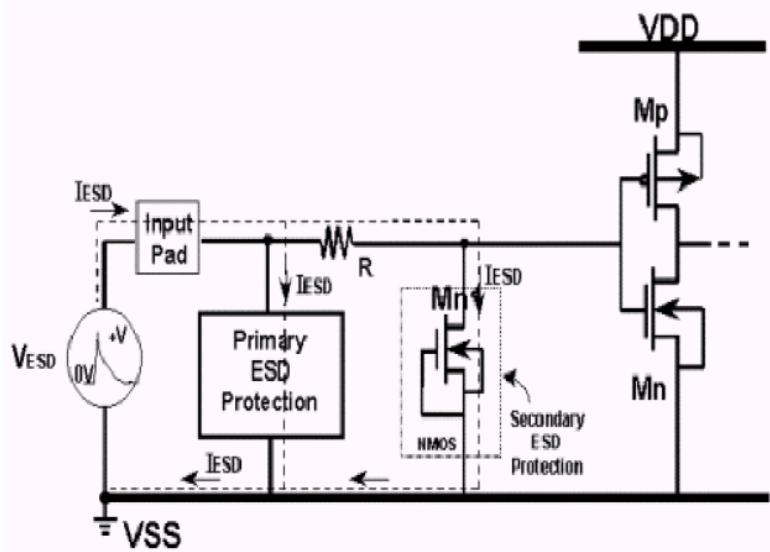


圖 8.1-1

由输入连接线而传导到输入级电路的栅级，因此第二级防护电路的主要功能在于钳制静电电压，以防止输入级电路的栅级被过高的静电放电电压所损伤，该第二级防护电路一般都是利用短通道(short-channel)的NMOS元件来实现，如图8.1-1中的Mn1所示。但短通道的NMOS元件因为LDD结构与silicided diffusion的使用，一般都承受不了多大的静电放电电流，因此需再加入一电阻R以及首级防护电路，该电阻R是用来保护二级防护电路的短通道NMOS元件，以避免过大的电流流经该短通道NMOS元件。而静电放电电流主要依赖首级防护电路来排放，该首级防护电路因此需要高承受能力的防护元件，但此类元件一般都具有较高的导通电压或较慢的导通速度，因此需要第二级防护电路的辅助才能够有效地保护输入级电路的栅级。经由适当的设计，人体放电模式或机器放电模式之静电放电对集成电路输入级的破坏，能够被有效地防范。但是，静电放电除了有人体放电模式与机器放电模式之外，另有元件充电模式之静电放电现象。如第二章之2.3节所述，元件充电模式之静电电荷是先储存在浮接的(floating)集成电路基体(substrate)之中，然后再经由突然接地的脚位而放电出来，亦即静电放电电流的产生不是来自IC外界的静电，却反而是来自IC内部的基体。有关正极性或负极性静电电荷累积在浮接的集成电路基体之示意图分别显示于图8.1-2与图8.1-3中。

在图8.1-1中，一输入级静电放电防护电路包含有两级防护电路，分别为首级防护电路(Primary ESD Protection)与第二级防护电路(secondary ESD Protection)。当人体放电模式或机器放电模式之静电放电发生在该输入脚位时，来自IC外界的高电位静电电压会经



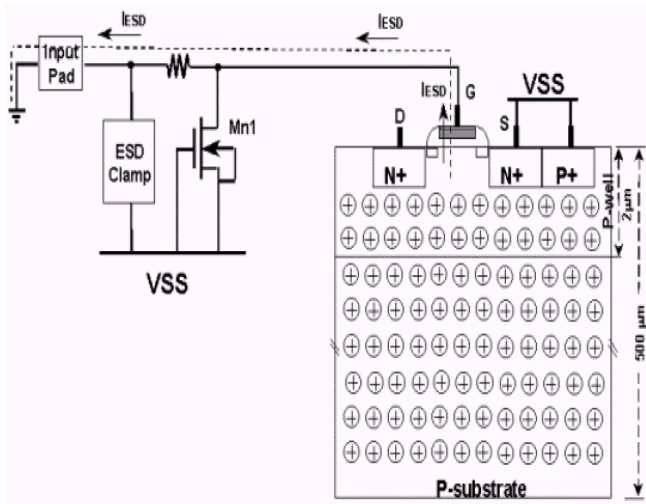


圖 8.1-2

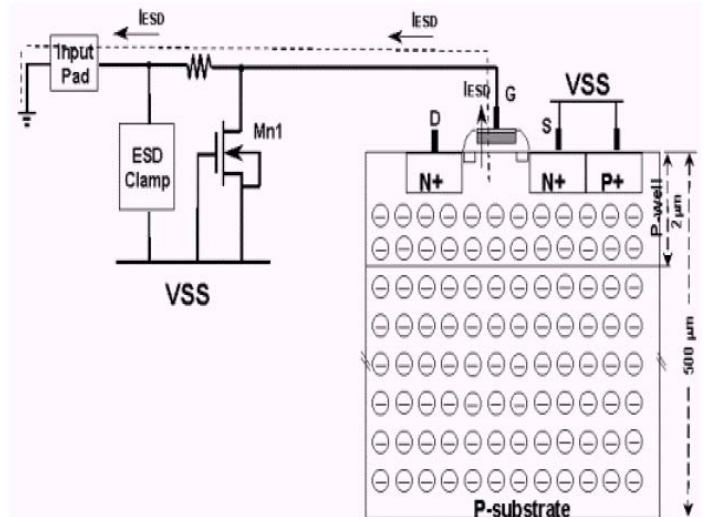
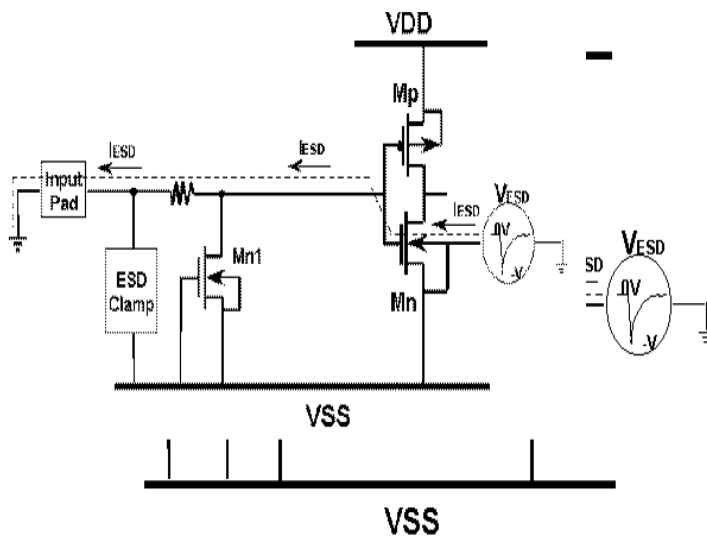


圖 8.1-3

由于集成电路是处于浮接状态，累积其中的静电电荷因同性相斥之物理现象而均匀分布在集成电路之中。然而集成电路的元件都只制作于晶片表面约几微米的厚度而已，例如在0.6微米的CMOS工艺中，其N-well的深度仅约2微米，N+或P+扩散层(diffusion)的深度仅约0.2微米，但晶片的厚度约有500~600微米，因此大部份的静电电荷是储存在集成电路的基体(substrate)之中。当具有元件充电模式静电电荷之集成电路的某一脚位突然接触到地时，累积在该集成电路内的所有静电电荷便集中向这一接地的某一脚位而产生放电电流，此种静电放电电流是由集成电路的内部经由接地的脚位而流出集成电路之外，此种放电现象在电路上的等效示意图显示于图8.1-4中。



此种元件充电模式之静电放电经常造成输入级电路的栅级被打穿，典型的元件充电模式静电放电所造成之栅级损伤如图8.1-5所示。由于静电电荷瞬间自基体流出，如图8.1-2与图8.1-3所示，输入级电路的栅级在那瞬间即因过高的电压跨在栅级氧化层(gate oxide)上而被打穿，虽然该输入级电路所连接的输入焊垫旁已有绘制输入级静电放电防护电路，但元件充电模式静电放电所造成之损伤仍然发生在输入级电路的栅级上，这主要是因为输入焊垫旁的输入级静电放电防护电路来不及导通以排放瞬间的元件充电模式静电放电电流，因为静电电荷是累积在该集成电路的基体内部，不是像人体放电模式或机器放电模式的静电放电是来自IC的外界经由IC的脚位而进入IC内。因此即使该输入级静电放电防护电路能够承受很高的人体放电模式或机器放电模式的静电放电电压，其元件充电模式之静电放电耐受能力不一定高，例如图8.1-5所显示的输入级电路栅级损伤，该输入级之人体放电模式的静电放电耐受能力高达5000V以上，但其元件充电模式之静电放电耐受能力只有约500V而已。

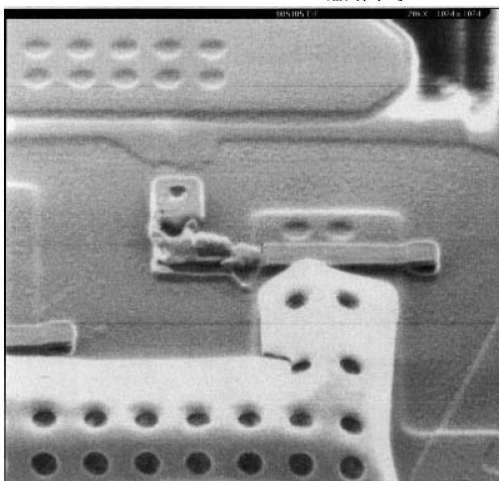


圖 8.1-5

目前台湾已有几家厂商的IC产品在产品测试之后，出现如图

8.1-5 所显示的栅级损伤问题,主要是因为测试机台的吸放操作或 IC 产品移动磨擦使得集成电路带有静电电荷,当已测试好的 IC 产品接触到地时,便可能会发生元件充电模式之静电放电现象而把已测试好的 IC 产品损伤。当 IC 产品在出货抽测检验时,经由再一次的功能测试才发现其中有部份产品有异常漏电现象,这不仅无法顺利出货,更造成 IC 产品生产上的困扰,因为无法确认已测试过的 IC 产品是否依然百分之百仍是好的 IC 产品。随着集成电路的各式各样包装(package)应用,较常出现这种元件充电模式静电放电问题的是 PLCC、QFP、或 TQFP 包装等之类的 IC 产品。

随着半导体工艺技术的进步,电晶体栅级氧化层越来越薄,元件充电模式静电放电所造成的损伤现象将更常发生在 IC 产品中,因此在集成电路静电放电防护上必须要另外再加入特别的设计来防范元件充电模式静电放电对集成电路的破坏。

随着对元件充电模式静电放电现象的了解,目前研究文献上所提出的解决方法是在输入级电路栅级的旁边就近再加上一个小尺寸的栅级接地(gate-ground)NMOS 元件,该小尺寸的栅级接地 NMOS 元件所连接的地线(VSS)必需是该输入级电路所连接的地线,该小尺寸栅级接地 NMOS 元件的通道长度(channel length)越短越好,其通道宽度(channel width)约  $10\sim 20$  微米即可。

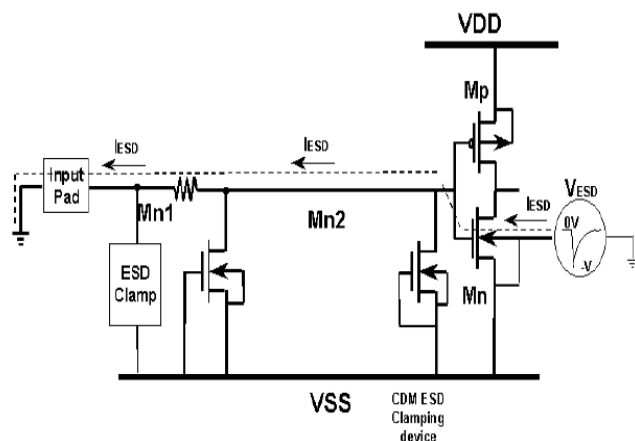


圖 8.1-6

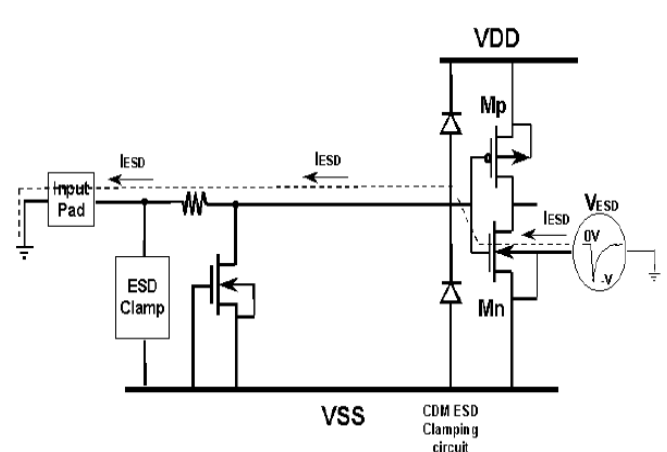


圖 8.1-7

此元件充电模式静电放电防护电路示意图显示于图 8.1-6 中,其中的 Mn2 元件即是用来钳制跨在输入级电路栅级上过高的电压。另一种防护设计显示于图 8.1-7 中,系利用两个小尺寸的二极管来钳制跨在输入级电路栅级上过高的电压。

所加入的小尺寸栅级接地 NMOS 元件或小尺寸的二极管必须要跟着该输入级电路置放于 IC 内部,才能有效地防范元件充电模式静电放电对集成电路的破坏,但是这可能会引发该 IC 产品对锁住效应(latch up)免疫力下降的副作用,因此该额外加入的小尺寸栅级接地 NMOS 元件或小尺寸二极管必须要被一圈接地的 P+扩散层(diffusion)所形成的保护圈(guard ring)围绕起来;另外一种作法是把该输入级电路做到输入焊垫旁,以就近利用输入焊垫旁的人体放电模式静电放电防护电路内的 Mn1 元件来保护输入级电路的栅级,但这会稍微增加输入焊垫附近布局的复杂度。

## 8.2 动态浮接栅级之 ESD 防护技术

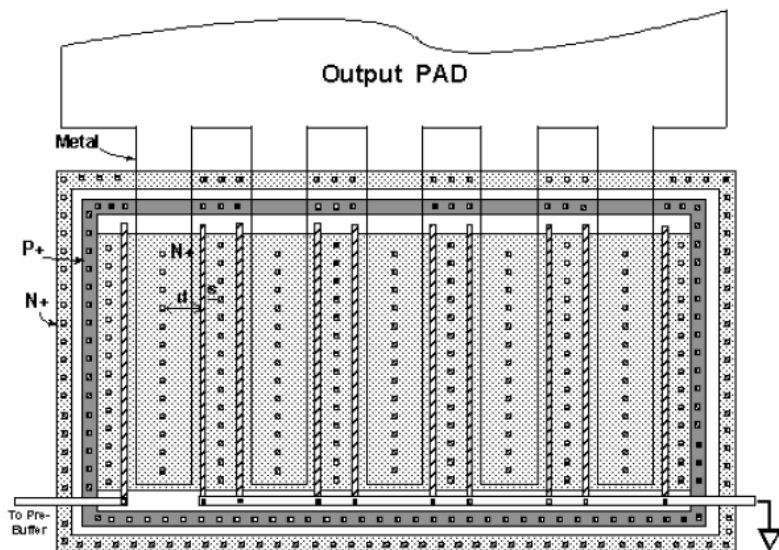


圖 8.2-1(a)

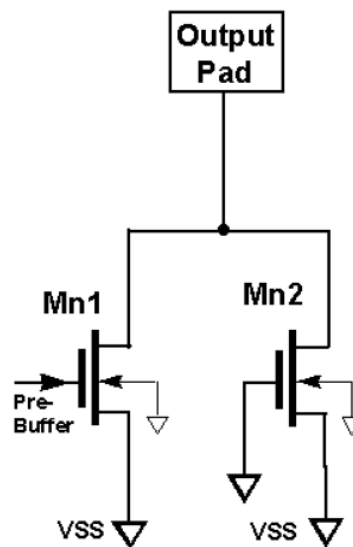


圖 8.2-1(b)

在完整的细胞元件库中，输出驱动级(output buffer)的推动能力有不同的输出电流规格，常见的输出电流规格是 2mA、4mA、8mA、12mA、以及 24mA 等，其相对应的输出驱动级电晶体之元件尺寸也跟着大小变化。但在建立完整的细胞元件库时，每一 I/O cells 的布局面积一般都是固定的高度与宽度，以方便整颗 IC 在自动合成时的自动化作业，因此不同输出电流规格的输出驱动级皆具有相同的布局面积与布局方式。为了变化成不同的输出电流，输出驱动级电晶体之元件布局一般是画成手指状(finger style)，如图 8.2-1(a)所示，再利用改变接到前控制级(pre-buffer)的手指数目来调变输出电流的大小。例如，手指状布局的电晶体元件每一手指的输出电流是设计成 2mA，如果一输出驱动级需要 8mA 的输出电流，只要把 4 根手指栅极接到前控制级即可，然后把其他不需使用 NMOS 手指栅极接地以关闭多余的手指状电晶体元件，其等效电路如图 8.2-1(b)中所示，其中 Mn1 是用来当提供输出电流的电晶体元件，Mn2 是相对多余的手指状电晶体元件。利用改变手指栅极的连接方式，即可产生不同输出电流规格的输出驱动级设计，因其具有相同的布局面积与布局方式，很适合应用于标准的细胞元件库中。

但为提升 I/O cells 的静电放电防护能力，图 8.2-1 中所示之 Mn2 电晶体的手指栅极被加上了传统的栅极耦合(gate-coupled)设计，其等效电路如图 8.2-2 中所示。

以期望该相对多余的 Mn2 电晶体能够协助提升整个 I/O cell 的静电放电防护能力。在较小输出电流的输出驱动级内，Mn1 (Mp1) 具有相对较小的元件尺寸，但 Mn2 (Mp2) 具有相对较大的元件尺寸，在静电放电情形下如果大尺寸的 Mn2 (Mp2) 能够及时导通来排放静电放电电流，则整个输出驱动级的静电放电防护能力能够被有效地提升，因此在 6.4.1 节的栅极耦合技术被应用来促使大尺寸的 Mn2 (Mp2) 能够被及时导通来排放静电放电电流，其设计如图 8.2-2 所示。但其人体放电模式(HBM)之静电放电耐受能力显示于表 8.2-1 中。

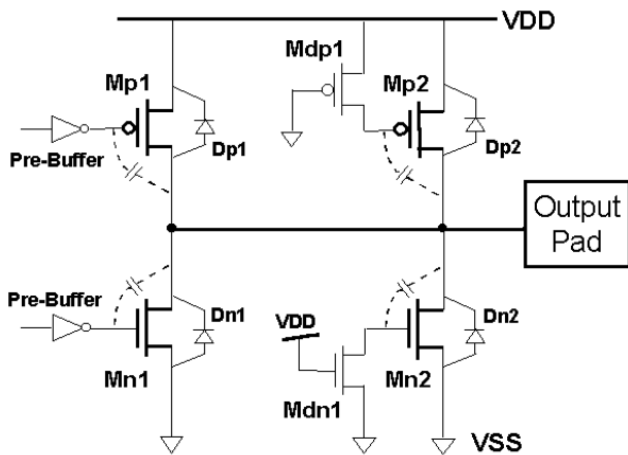


圖 8.2-2

### Human-Body-Model (HBM) ESD Level of the CMOS Output Buffers with the Traditional Gate-Coupled Design

Output Buffers	2-mA Buffer	4-mA Buffer	6-mA Buffer	12-mA Buffer	24-mA Buffer
HBM ESD Stress					
ND-Mode	1.5KV	2KV	2.5KV	> 2.5KV	> 2.5KV
PS-Mode	1.0KV	1.5KV	2.0KV	> 2.5KV	> 2.5KV

表 8.2-1

但具有相对较大尺寸的 Mn2 却毫发未伤，这实验结果跟原本利用栅极耦合技术所预期的防护效果正好相反，栅极耦合技术并未让大尺寸的 Mn2 及时导通来排放静电放电电流。

再检视图 8.2-2 的设计，我们发现一个问题，当这个利用栅极耦合技术所设计的输出驱动级在 PS-mode 的静电放电测试下，出现在 Output Pad 上的 ESD 电压虽然会经由栅极与漏极的寄生电容 (drain-to-gate overlap capacitance) 而耦合一些电压到 Mn1 与 Mn2 的栅极上，去促使该电晶体导通来排放 ESD 电流，这原本就是栅极耦合技术的设计重点。但在输出驱动级的 PMOS 元件 Mp1 与 Mp2 中，其漏极到基体(N-well)有一寄生的二极管(Dp1 与 Dp2)连接于 Output Pad 与 VDD 电源线之间，且由于当电阻用的 Mdn1 元件之栅极必须要连接到 VDD 以达成正确的电路功能，当正极性的 PS-mode 静电放电电压出现在 Output Pad 上时，该 ESD 电压会经由寄生的二极管(Dp1 与 Dp2)向浮接状态的 VDD 电源线充电，因而导致 VDD 电源线上也具有高电压，该当电阻用的 Mdn1 元件在那一瞬间即被导通，因而把经由栅极与漏极之寄生电容所耦合到 Mn2 栅极上的电压给排放掉，但在 Mn1 栅极上所耦合到的电压却因前控制级(pre-buffer)仍是关闭的而被保留在 Mn1 浮接状态的栅极上。其结果是，利用栅极耦合技术所耦合到的电压仍被保留在 Mn1 栅极上，但耦合到 Mn2 栅极上的电压却给排放掉了，这当然造成 ESD 电流大部份会经由导通的 Mn1 来排放掉，但由于 Mn1 只具有较小的元件尺寸，其所能承受的 ESD 电流当然相对较低，这就是造成表 8.2-1 所显示的实验结果，当输出驱动级的输出电流规格较小时，其所对应之 Mn1 元件具有较小的元件尺寸，因此其 ESD 耐受能力便相对的较低。这显示出，光用栅极耦合技术是无法有效提升这种小输出电流规格的输出驱动级之 ESD 耐受能力，必须要再加以修改才能有效提升整体细胞元件库 I/O cells 的静电放电防护能力。



由上述之分析可知，小输出电流规格之输出驱动级虽然具有大尺寸的  $Mn2$  元件当其静电放电保护元件，而且在布局上具有很对称的指状布局结构，但其 ESD 耐受能力依然无法提升，其主要原因是该输出驱动级电路上  $Mn1$  ( $Mp1$ ) 元件与  $Mn2$  ( $Mp2$ ) 元件的栅级连接方式不同。当静电放电发生时， $Mn1$  ( $Mp1$ ) 元件的栅级等效是处于浮接状态，但  $Mn2$  ( $Mp2$ ) 元件的栅级却等效是经由电阻接地，因此如果想要提升此输出驱动级电路的 ESD 耐受能力，必须要让  $Mn2$  ( $Mp2$ ) 元件的栅级在静电放电发生时，也能等效是处于浮接状态，因此该大尺寸的  $Mn2$  ( $Mp2$ ) 元件便能及时导通来排放 ESD 电流，由于

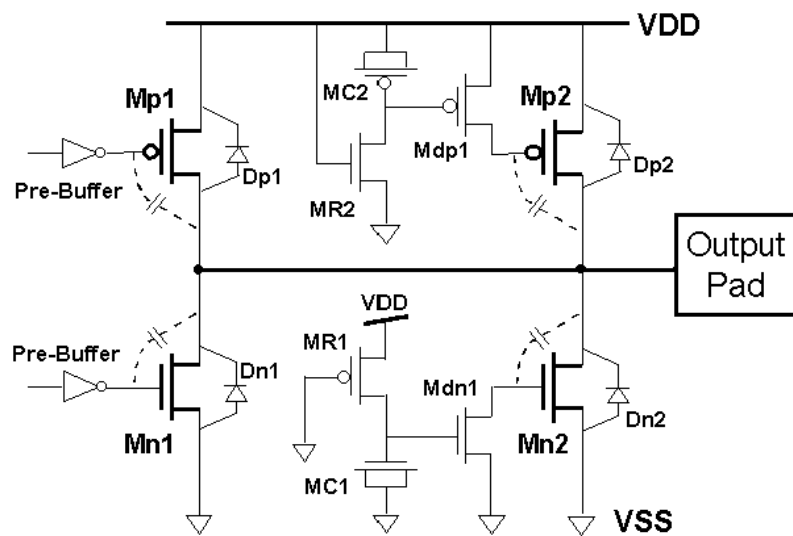


圖 8.2-4

电源线亦经由寄生在 PMOS 的二极管  $Dp1$  与  $Dp2$  而被充电到高电位。在图 8.2-4 中， $Mdn1$  元件的栅级并不是直接连接到 VDD 电源线，而是经由一等效的 RC 电路连接到 VDD，因此  $Mdn1$  元件的栅级电压在静电放电发生的瞬间仍是保持在相对接地的电位，由于  $Mdn1$  元件栅级电压在静电放电发生的瞬间依然等效接地，因此该  $Mdn1$  元件便处于关闭的状态。由于  $Mdn1$  元件处于关闭的状态，因此经由栅极电容耦合作用而耦合到  $Mn2$  元件栅级上的电压便不会被漏放掉，所以大尺寸的  $Mn2$  元件便可及时导通来排放静电放电电流。利用  $MR1$  元件与  $MC1$  元件所提供之等效 RC 电路的加入，该大尺寸  $Mn2$  元件的栅极在静电放电发生的瞬间是等效处于浮接 (floating) 的状态，与小尺寸  $Mn1$  元件的栅极相类似，因此可以促使整个输出驱动级的指状布局结构能够均匀地同时导通来排放静电放电的电流，使整个输出驱动级具有很高的 ESD 耐受能力。这种利用时间延迟电路设计以达到暂时性栅极浮接状态的静电放电防护技术，因此被称为『动态浮接栅级 (Dynamic-Floating-Gate) 技术』。利用此动态浮接栅级技术在，图 8.2-4 中的  $MR2$  元件与  $MC2$  元件即是用来促使  $Mp2$  元件之栅极暂时处于浮接 (floating) 状态，以排放 ND-mode 的静电放电电流。在 NS-mode 的静电放电情形下，由于寄生在  $Mn2$  ( $Mn1$ ) 元件内的二极管  $Dn2$  ( $Dn1$ ) 处于正向偏压导通状态，因此该输出驱动级原本即具有高的 ND-mode 静电放电耐受能力。另外，在 PD-mode 的静电放电情形下，由于寄生在  $Mp2$  ( $Mp1$ ) 元件内的二极管  $Dp2$  ( $Dp1$ ) 处于正向偏压导通状态，因此该输出驱动级也具有高的 PD-mode 静电放电耐受能力。因此该『动态浮接栅级技术』即是用来提升输出驱动级的 PS-mode 与 ND-mode 之静电放电耐受能力。图 8.2-4 所示，利用『动态浮接栅级技术』之整个输出驱动级电路在  $0.35\text{-}\mu\text{m}$  工艺下的布局实例显示于图 8.2-5 中。

$Mn2$  ( $Mp2$ ) 具有大的元件尺寸，该  $Mn2$  ( $Mp2$ ) 能提供高的 ESD 耐受能力。为达到这个目的，『动态浮接栅级之 ESD 防护技术』便被发展出来。动态浮接栅级之 ESD 防护技术在小输出电流规格之输出驱动级的设计如图 8.2-4 所示。

相较于图 8.2-2 使用栅极耦合技术所设计的电路，该动态浮接栅级技术增加了一当电阻作用的  $MR1$  ( $MR2$ ) 元件与一当电容作用的  $MC1$  ( $MC2$ ) 元件连接到  $Mdn1$  ( $Mdp1$ ) 元件的栅级。当 PS-mode 静电放电发生在 Output Pad 上时，大尺寸元件  $Mn2$  的栅级与小尺寸元件  $Mn1$  的栅级皆因栅极电容耦合作用而耦合到相同的电压，且该原本处于浮接状态的 VDD

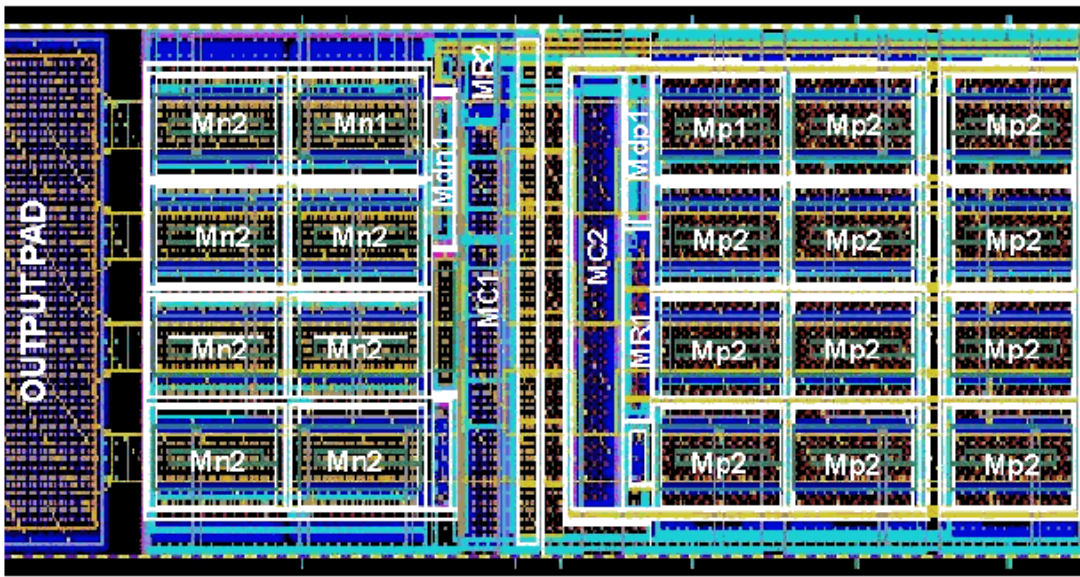


圖 8.2-5

在 PS-mode 的静电放电情形下，Mn2 元件之栅极处于浮接 (floating) 状态的时间长短，可由 MR1 元件与 MC1 元件的 RC 时间常数 (time constant) 来调整，准确的设计需用 HSPICE 电路模拟程式来计算。典型模拟『动态浮接栅级技术』在 PS-mode 的静电放电情形下之栅级电压波形与漏极电流波形显示于图 8.2-6(a) 与 8.2-6(b) 中，当电容耦合之栅级电压高于 NMOS 的臨界电压 (threshold voltage) 时，该 Mn2 元件即被导通而产生漏极电流如图 8.2-6(b) 所示，因此利用 Mn2 元件栅级电压的观测，即可计算出该 Mn2 元件在『动态浮接栅级技术』设计下的导通时间 (turn-on time,  $t_{on}$ )。该 Mn2 元件在『动态浮接栅级技术』下的导通时间跟 MR1 元件与 MC1 元件的 RC 时间常数有关，藉由改变 MR1 元件或 MC1 元件的尺寸大小，即可利用该『动态浮接栅级技术』来调整 Mn2 元件的导通时间。在 PS-mode 的静电放电情形下，『动态浮接栅级技术』应用在一 2-mA 输出驱动级之 Mn2 元件导通时间跟 MR1 元件与 MC1 元件尺寸大小的关系显示于图 8.2-7 中。在图 8.2-7(a) 中显示出，当 MR1 元件具有较长的通道长度 (channel length) 或是具有较窄的通道宽度 (channel width) 时，该 Mn2 元件具有较长的导通时间。在图 8.2-7 (b) 中显示出，当 MC1 元件具有较大的栅级面积时，该 Mn2 元件亦具有较长的导通时间。

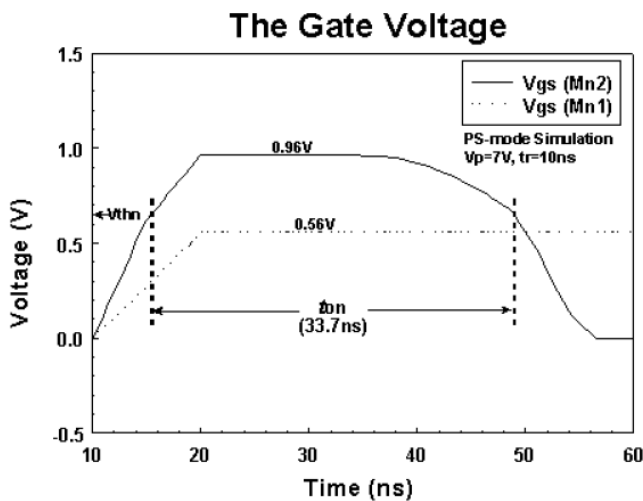


圖 8.2-6(a)

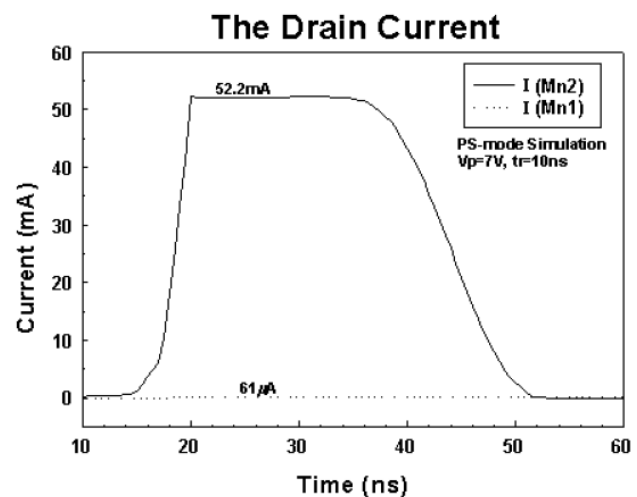


圖 8.2-6(b)

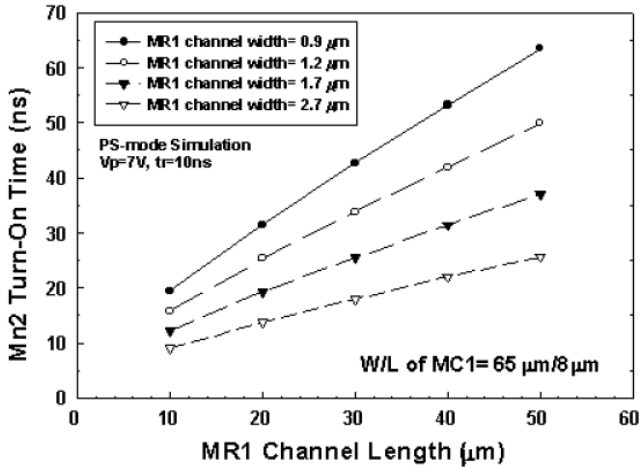


圖 8.2-7(a)

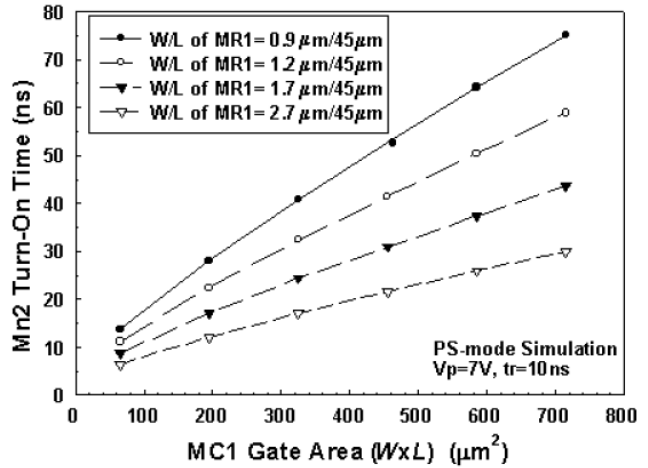


圖 8.2-7 (b)

利用 HSPICE 电路模拟程式的精确计算，即可设计出 MR1 元件与 MC1 元件合适的尺寸大小，一般而言该 Mn2 元件必需要有足够的导通时间 (~20ns) 以进入其电性上的骤回崩溃导通区域 (snapback region) 来排放静电放电的大电流。相类似地，在 ND-mode 的静电放电情形下，Mp2 元件之栅极处于浮接 (floating) 状态的时间长短，可由 MR2 元件与 MC2 元件的 RC 时间常数 (time constant) 来调整，准确的设计需用 HSPICE 电路模拟程式来计算。其模拟结果显示于图 8.2-8(a) 与图 8.2-8(b) 中，当电容耦合之负极性栅级电压低于 PMOS 的临界电压 (threshold voltage) 时，该 Mp2 元件即被导通而产生漏极电流如图 8.2-8(b) 所示，因此利用 Mp2 元件栅级电压的观测，即可计算出该 Mp2 元件在『动态浮接栅级技术』设计下的导通时间 (turn-on time, ton)。在 ND-mode 的静电放电情形下，『动态浮接栅级技术』应用在一 2-mA 输出驱动级之 Mp2 元件导通时间跟 MR2 元件与 MC2 元件尺寸大小的关系显示于图 8.2-9 中。在图 8.2-9 (a) 中显示出，当 MR2 元件具有较长

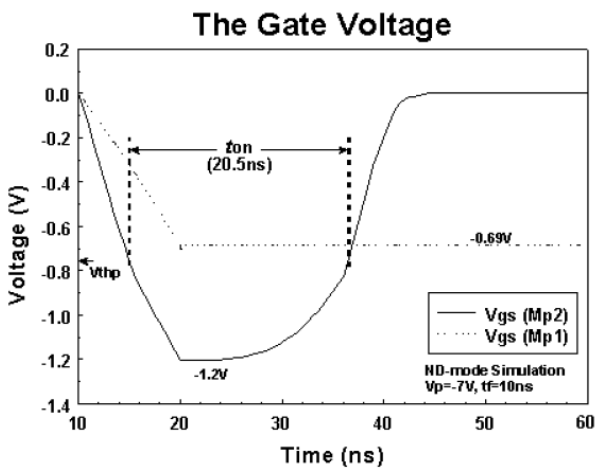
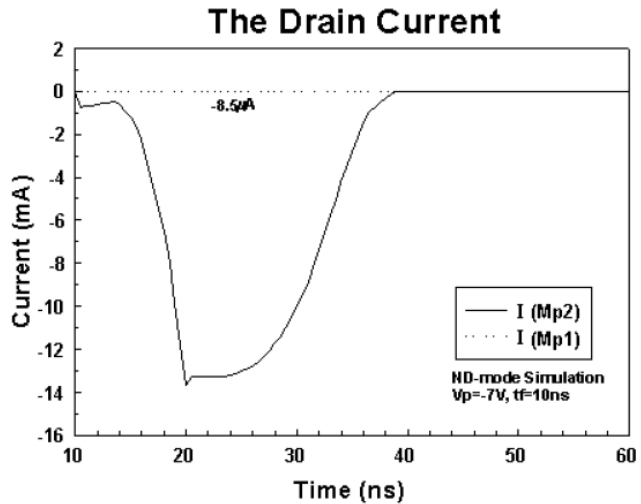


圖 8.2-8(a)



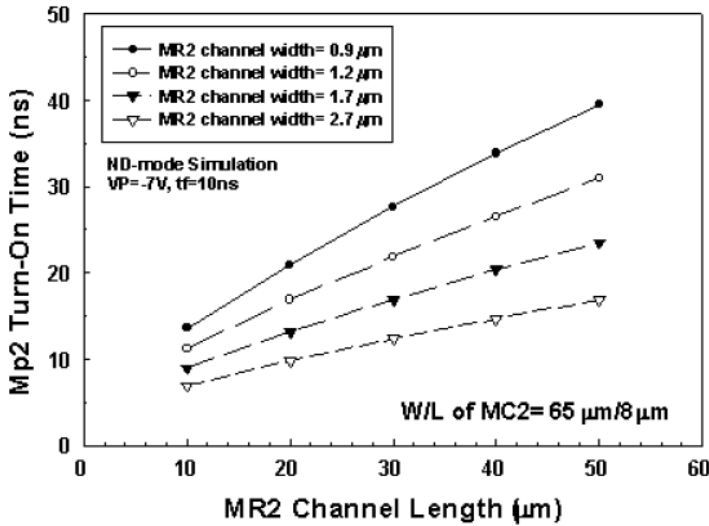


圖 8.2-9 (a)

栅级技术』被用来促使输入级静电放电防护电路大尺寸元件(Mn2 与 Mp2)的指状布局结构能够均匀地导通来排放静电放电的电流, 而小尺寸的 Mn1 与 Mp1 则当做第二级防护电路以钳制输往内部电路的输入电压。该『动态浮接栅级技术』亦可应用于 VDD-to-VSS 电源线间之静电放电钳制电路上, 这种设计显示于图 8.2-11 中, 『动态浮接栅级技术』被用来

的通道长度(channel length)或是具有较窄的通道宽度(channel width)时, 该 Mp2 元件具有较长的导通时间。在图 8.2-9 (b) 中显示, 当 MC2 元件具有较大的栅级面积时, 该 Mp2 元件亦具有较长的导通时间。利用 HSPICE 电路模拟程式的精确计算, 即可设计出 MR2 元件与 MC2 元件合适的尺寸大小。

该『动态浮接栅级技术』亦可应用于输入级静电放电防护电路中, 一典型的应用设计显示于图 8.2-10 中, 『动态浮接

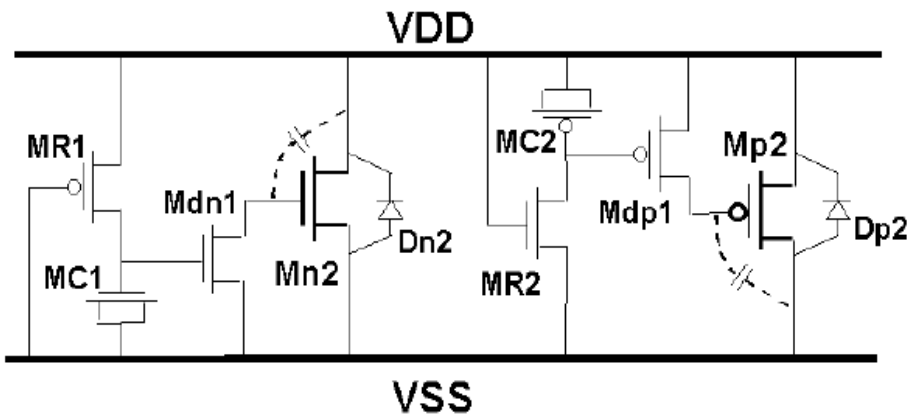
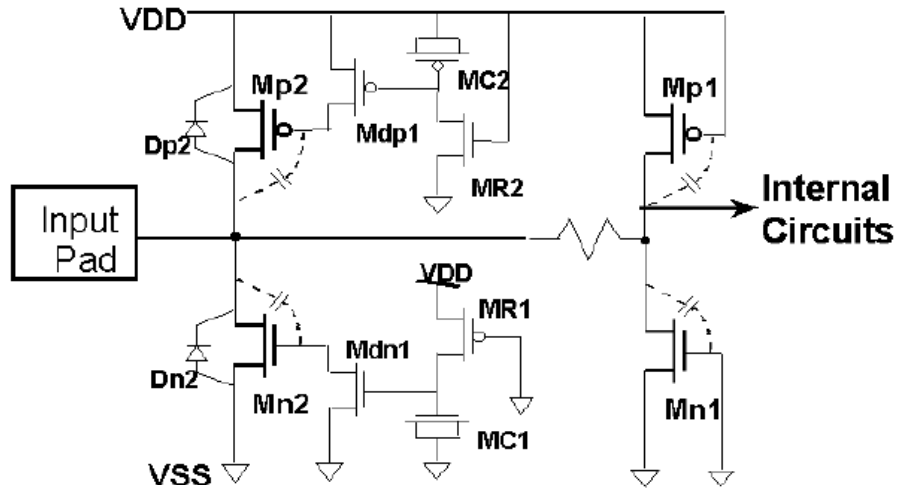


圖 8.2-11

促使静电放电钳制电路大尺寸元件(Mn2 与 Mp2)的指状布局结构能够均匀地导通来排放静电放电的电流, 藉由 VDD-to-VSS 电源线间之静电放电钳制电路的加入, 更可达成如第七章所介绍的全晶片(whole-chip)静电放电防护设计。

此『动态浮接栅级技术』已实际应用在 0.35-μm CMOS 细胞元件库(Cell Library)之 I/O cells 上, 其人体放电模式静电放电耐受能力显示于表 8.2-2 中,



## Human-Body-Model (HBM) ESD Level of the Output Buffers in a 0.35- $\mu\text{m}$ Cell Library

Output Buffers HBM ESD Stress	2-mA Buffer	4-mA Buffer	8-mA Buffer	12-mA Buffer	24-mA Buffer
ND-Mode	> 8KV	> 8KV	> 8KV	> 8KV	> 8KV
PS-Mode	> 8KV	> 8KV	> 8KV	> 8KV	> 8KV

表 8.2-2

均匀地同时导通来排放静电放电的电流，因而使整个输出驱动级具有很高的 ESD 耐受能力。

不管输出驱动级的输出电流推动能力是 2mA、4mA、8mA、12mA、或 24mA，其 ND-mode 与 PS-mode 的静电放电耐受能力皆大于八千伏特以上，相较于表 8.2-1 中利用传统栅级耦合技术之实验数据，更显示出此『动态浮接栅级技术』在静电放电防护设计上的具体成效。对 2-mA 输出驱动级，利用传统栅级耦合技术与此『动态浮接栅级技术』的机器放电模式静电放电耐受能力显示于表 8.2-3 中，在相同的布局面积与布局方式之下，『动态浮接栅级技术』能够促使整个输出驱动级的指状布局结构

## Machine-Model (MM) ESD Level of the 2-mA Output Buffers in a 0.35- $\mu\text{m}$ Cell Library

Output Buffers MM ESD Stress	2-mA Buffer with the traditional Gate-Coupled Design	2-mA Buffer with the Dynamic-Floating-Gate Design
ND-Mode	150V	1500V
PS-Mode	100V	1100V

表 8.2-3

另外，利用『动态浮接栅级技术』所设计的 0.35- $\mu\text{m}$  CMOS 细胞元件库 I/O cells 之元件充电模式静电放电耐受能力显示于表 8.2-4 中，元件充电模式之静电放电在测试上有 Socket-mode 与 Field-induced mode 之分。该利用『动态浮接栅级技术』所设计的 I/O cells 之元件充电模式静电放电耐受能力皆可高于 1000V 之国际标准。

## 第九章 结 论

ESD 防护技术随着CMOS 制程的先进演变而越来越困难，然而世界先进国家的各大IC 厂商在ESD 防护上的研究更趋热烈，各式各样的技术都被尝试用在ESD 防护上，因而已有六百多件ESD 相关的美国专利已刊登出来。本文乃就各种可能的技术中，介绍在CMOS 制程技术下较实用可行的ESD 防护设计给IC 相关设计者一个概念，但是在产品商业化时，要注意专利的智慧财产权问题。大多数的ESD设计都已有专利或者专利申请中，因其实是在高难度的设计工作。

ESD 的防护设计除了本文所谈的技术之外，另外要注意整颗集成电路的ESD 防护架构。ESD 的防护是整颗积体电路的问题，而不只是Input PAD, Output PAD, 或PowerPAD 的问题，即使各个PAD 都有很好的ESD 防护能力，不见得整颗集成电路就有很高的ESD 防护能力。采用适当的全芯片(whole-chip)防护架构设计，才能真正提升整颗积体电路的ESD 防护能力，并且可以节省I/O PAD 上ESD 防护元件的尺寸与布局面积。全芯片ESD 防护架构已经是目前各大公司专利竞逐的焦点所在，对此技术未有警觉性的公司要特别注意这项技术的发展。