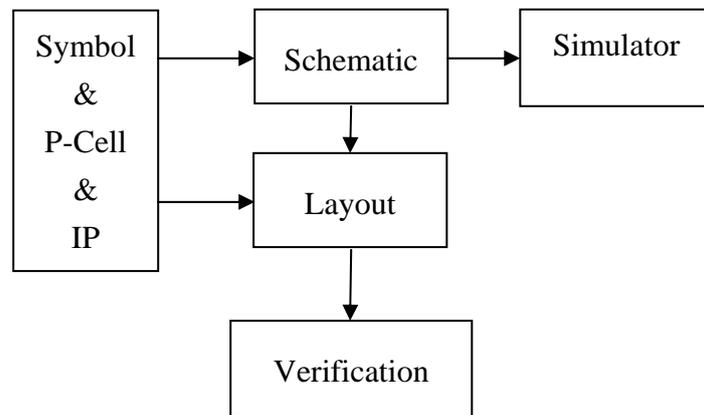


T13RF PDK 簡介

張文旭

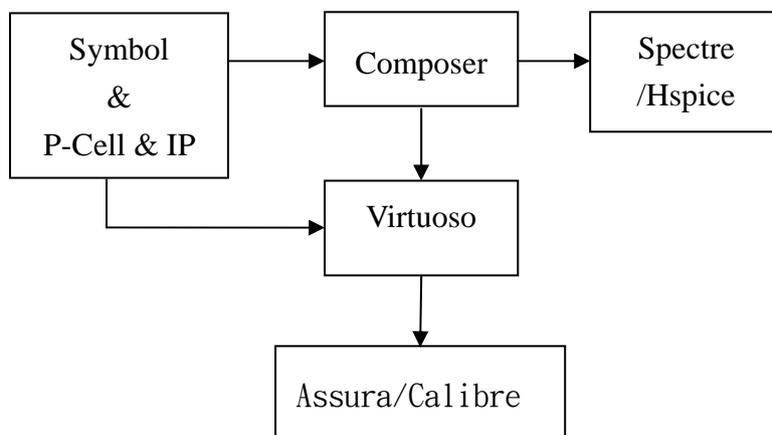
前言

PDK(Process Design Kit)在 0.25um 以下製程的應用相當普遍，況且 PDK 很多功能讓設計者在設計電路上更加方便，因此讓不禁想問 PDK 到底是什麼東西呢？這是筆者剛接觸 IC 設計時想要問的問題。PDK 的全名是 Process Design Kit，它主要是由 Cadence 的 Schematic 與 Layout Tool 為主體所組成，它可以被看成是一個工作平台，在這工作平台上可以加載上一些模擬軟體與驗證軟體，形成一個完整的設計平台，這樣的一個設計模式有助於縮短設計者開發的時程。



圖一 Full-Custom 設計流程

在 TSMC 0.13 um MS/RF 的環境下之 PDK 也是如上述之架構，在相關的工具上採用 Composer 作為電路編輯器、Virtuoso 作為佈局工作，Spectre 與 Hspice 作為其電路模擬器，另外在 Verification 則提供了 Assura 與 Calibre 作為佈局驗證之用，讓這整個設計流程更加充滿彈性。後面筆者將使用的流程分成數個簡單步驟加以說明。



圖二 TSMC 0.13 um PDU 設計流程

管理者安裝

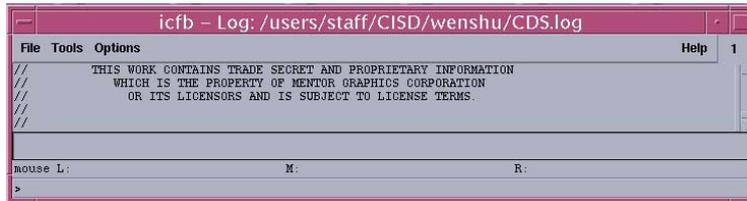
TSMC 0.13 MS/RF 的環境下之 PDK 的安裝方式相當容易，首先以 root 的方式進入 Unix/Linux 並解開 PDK (pdk_install_directory)即可。正常狀況下在該目錄下至少可看到以下檔案與資料夾

Assura/ : Assura DRC/LVS/RCX command files
Calibre/ : Calibre DRC/LVS/XRC command files
REVISION : 版本修正的一些歷史訊息
techFile/ : PDK 相關的原始檔案
assura_tech.lib: Assura tech file library
cds.lib : library 對應的資訊
display.drf : Virtuoso 顏色顯示所需的定義檔
icc.rules : 自動佈線所需的規則
models/ : Hspice/Spectre/ADS/Eldo models
Readme.first : 說明文件
techfile : Virtuoso tech file
tsmc13rf/ : PDK library

使用者設定

安裝完成後，以一般使用者的身分方式進入 Unix/Linux 並做以下步驟，

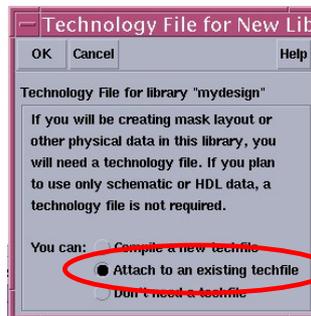
1. 在 cshrc 內加入 netlist 輸出之設定
setenv CDS_Netlisting_Mode "Analog"
2. 建立使用者的專案目錄，並進到該目錄
%mkdir ~/my_project
%cd ~/my_project
3. 複製PDK內的display.drf、/Calibre，並連結/models
%cp <pdk_install_directory>/display.drf .
%cp -rf <pdk_install_directory>/Calibre .
%ln -s <pdk_install_directory>/models .
4. 在使用者專案目錄下建立一個文字檔並命名為 cds.lib，內容如下
INCLUDE <pdk_install_directory>/cds.lib
5. 執行 icfb& 即可



圖三 執行 icfb 並載入 calibre 之畫面
之後若再使用，僅需執行步驟 5 即可。

建立 Library

在 Pre-simulation 我們需要先建立 Library，然而在建立 Library 時需要定義 techfile，此時建議選擇 Attach to an existing techfile，與 tsmc18rf 所用之 techfile 相同，避免往後使用 PCell 時發生無法預期的錯誤。



圖四 設定 techfile 取得之方式



圖五 選擇 techfile 的來源

Pre-simulation

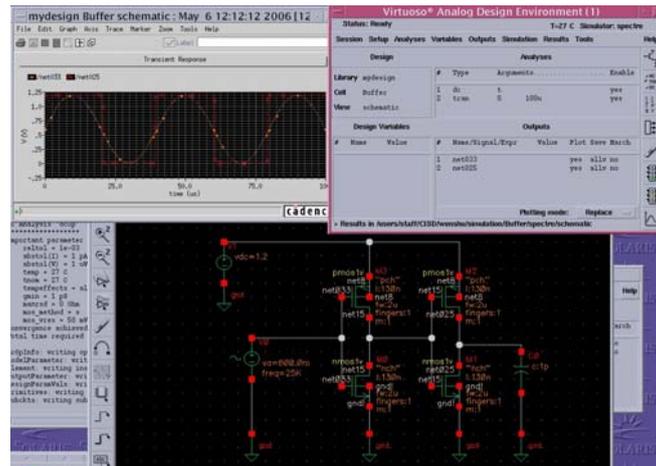
在 PDK 環境下進行電路模擬，都是透過 Analog environment 進行，一般來說進行步驟如下

1. 畫出電路圖或是使用文字編輯器編輯 netlist
2. 加入訊號源與電源
3. 選擇分析方式與分析項目
4. 決定監測節點
5. 檢視輸出結果

以上是使用該 PDK 時所需的步驟，然而在該 PDK 以外的環境就不見得如此了。

以下則是筆者使用一個緩衝器(Buffer)進行的測試的畫面，筆者使用 Composer 進

行電路規劃，再透過Analog environment呼叫Spectre進行電路模擬。

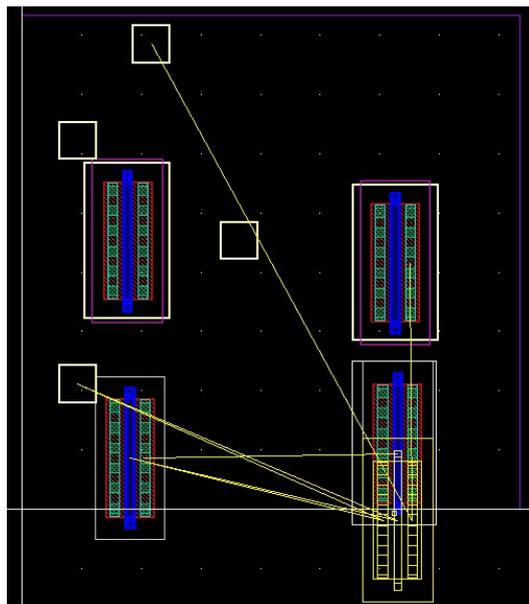


圖六 pre-simulation 之畫面

Layout

過去我們 Full-Custom 佈局都是一步步的將佈局完成；先進一點的則是使用 PCell(Virtuoso 所使用)或是 MCell(Laker 所使用來產生元件以簡化佈局)，則 PDK 所提供的是一個更自動化的方式，它可以藉由我們模擬時所畫的 Schematic 產生對應的元件再藉由自動佈線的功能完成整個佈局。由於筆者的機器尚無自動佈線工具，因此該步驟將以人工取代，以下是執行的流程

1. 在 Composer 畫面下選擇 Tools -> Design Synthesis -> Layout XL，將會彈出 Virtuoso 視窗
2. 在彈出的 Virtuoso 下選擇 Design -> Gen from source，將會出現 layout generation options，之後產生對應的元件佈局。



圖七 自動產生之元件

3. 藉由以上步驟產生元件，再將元件位置重新安排並完成佈線

Verification

該版本 PDK 提供兩種驗證環境分別為 Assura 與 Calibre，因此使用者若需使用則必須設定其工作環境，一般來說僅需設定其中一種即可。驗證主要執行 DRC 與 LVS，做佈局規則的驗證與佈局跟電路的比對，此外還會進行寄生元件的萃取以便使用者進行 Post-Layout Simulation。此外 PDK 內的 Command file 都已經經過處理，因此僅需要定義驗證項目，而不需要再做檔案合併之事，讓使用者在應用上更加方便。

總結

TSMC 0.13 um MS/RF PDK 主要是提供一個整合的環境，讓設計者有一個流暢的設計環境，用以降低開發時程，其內容整合了 Virtuoso、Composer、Assura、Calibre Spectre、Hspice 等多套軟體，藉由整合環境提供更多的便利。