

TFT LCD 面板的驅動與設計

Part 3

Ya-Hsiang Tai

3. 面板設計實作

1. 從產品規格開始
2. 畫素陣列
3. 畫素陣列之外

3.1 從產品規格開始

3.1.1 認識TFT LCD的產品規格

a	Size	17"
b	Resolution (pixel)	SXGA (1280 x 1024)
c	Aspect Ratio	05:04
d	Active Area (mm)	337.9 x 270.3
e	Pixel Pitch (mm)	0.264
f	Mode	TN
g	Number of Colors	16.2M
h	Color Saturation (%)	72
i	View Angle (H/V)	140 / 130
j	Brightness (cd/m ²)	300
k	Contrast Ratio	500:01:00
l	Response Time (ms) (at 25°C)	8
m	Power Consumption (W)	25.8
n	Interface	2ch LVDS
o	Supply Voltage (V)	5
p	Backlight	4 CCFL
q	Outline Dimensions (mm)	396.0 x 224.0 x 17.5
r	Weight (g)	1900

{表3.1} TFT LCD的產品規格舉例

3.1 從產品規格開始

3.1.2 專業領域的整合

3.1.2.1 液晶光學設計

3.1.2.2 模組機構設計

3.1.2.3 電子系統設計

3.1 從產品規格開始

3.1.3 產品規格的協調訂定

3.1.3.1 厚度

3.1.3.2 亮度

3.1 從產品規格開始

3.1.4 TFT 面板設計相關的專業規格

3.1.4.1 次畫素大小和畫素陣列數目

3.1.4.2 開口率

3.1.4.3 最小視訊電壓容許誤差

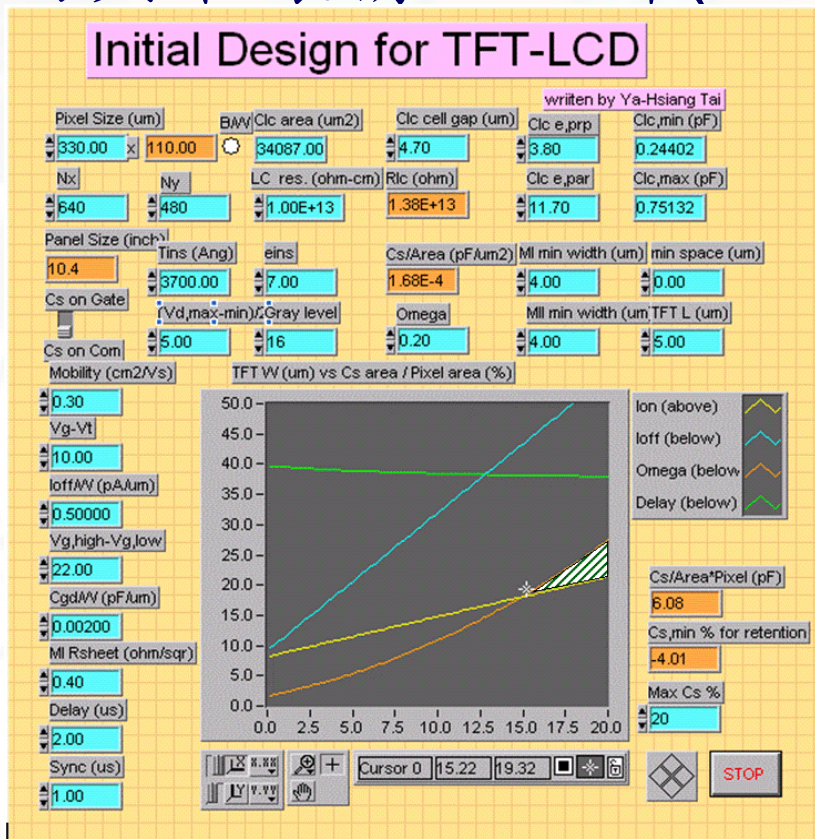
3.2 TFT LCD 畫素陣列

3.2.1 畫素完全相同與最壞情況設計 (Worst case design)

3.2.2 初始設計



InitialDesign.EXE



3.2 TFT LCD 畫素陣列

3.2.2 初始設計

3.2.2.1 TFT 開電流之限制線

$$I_{\text{charge}} dt_{\text{charge}} > C_{\text{charge}} dV_{\text{charge}}$$

3.2.2.1.1 充電電流 I_{charge}

3.2.2.1.2 充電時間 dt_{charge}

3.2.2.1.3 充電電容 C_{charge}

3.2.2.1.4 充電電壓 dV_{charge}

3.2 TFT LCD 畫素陣列

3.2.2 初始設計

3.2.2.2 TFT 關電流之限制線

$$I_{\text{leak}} dt_{\text{hold}} > C_{\text{hold}} dV_{\text{hold}}$$

3.2.2.2.1 漏電電流 I_{leak}

3.2.2.2.1.2 電荷保持時間 dt_{hold}

3.2.2.2.3 電荷保持電容 C_{hold}

3.2.2.2.4 容許電壓差別 dV_{hold}

3.2 TFT LCD 畫素陣列

3.2.2 初始設計

3.2.2.3 電容耦合效應之限制線

$$W < \Omega [C_s + C_{lc, \text{MIN}}] [C_s + C_{lc, \text{MAX}}] / \{ |V_{\text{OFF}} - V_{\text{ON}}| (C_{gd}/W) \}$$

3.2.2.4 信號延遲之限制線

$$3R_{\text{scan}} \{ C_{x1} + C_{g0} + (C_{gd}/W)W + WL(\epsilon_{\text{ins}} \epsilon_0 / t_{\text{ins}}) \\ + [(C_{gd}/W)W \text{ 串聯 } (C_s + C_{lc, \text{MAX}})] \} < \text{Delay}$$

3.2 TFT LCD 畫素陣列

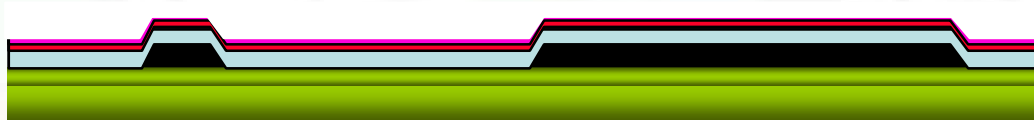
3.2.3 初始畫素佈局

3.2.3.1 TFT 製程

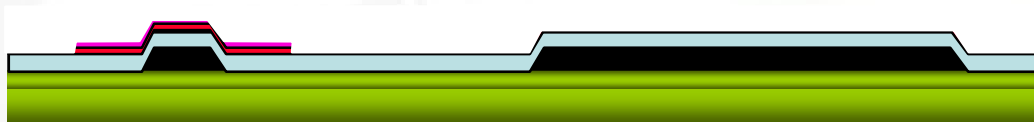
閘極金屬沈積及圖形定義(第1道光罩)



連續沈積閘極絕緣層/半導體層/N⁺型半導體層



半導體層圖形定義(第2道光罩)



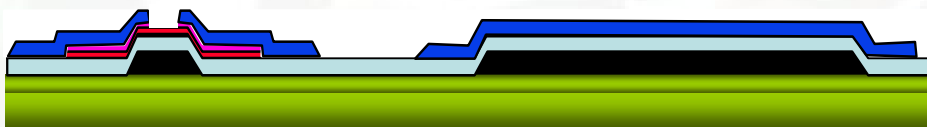
{圖3.2} 一種Top ITO型的五道光罩TFT製程

3.2 TFT LCD 畫素陣列

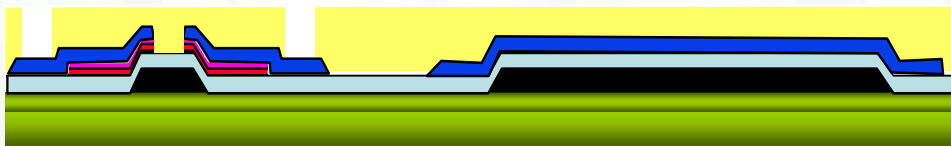
3.2.3 初始畫素佈局

3.2.3.1 TFT 製程

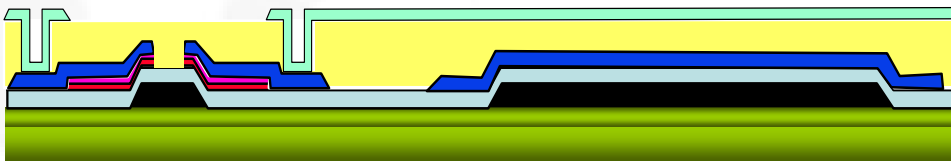
源/汲極金屬沈積及圖形定義(第3道光罩)/背通道蝕刻去除N⁺型半導體



沈積保護絕緣層/接觸孔蝕刻(第4道光罩)



ITO沈積及圖形定義(第5道光罩)



3.2 TFT LCD 畫素陣列

3.2.3 初始畫素佈局

3.2.3.2 製程設計準則(Process design rule)

{表3.2} TFT製程設計準則

材料與厚度		
閘極金屬	MoW，阻值: $14 \mu\Omega\text{cm}$ ，200nm 片阻值= $14 \mu\Omega\text{cm}/200\text{nm} = 0.7 \Omega/\square$	亦作為掃描線 及共電極線
閘極絕緣層	SiNx，介電常數: 6.9，360nm 單位面積電容= $6.9\epsilon_0/360\text{nm}$ $= 0.17 \text{fF}/\mu\text{m}^2$	
半導體層	非晶矽，100nm	
摻雜半導體層	N型非晶矽，50nm	
源/汲極金屬	Al-Nd，阻值: $4 \mu\Omega\text{cm}$ ，600nm 堆疊MoW，阻值: $14 \mu\Omega\text{cm}$ ，50nm 片阻值= $4 \mu\Omega\text{cm}/600\text{nm}$ 並聯 $14 \mu\Omega \text{cm}/50\text{nm}$ $= 0.067$ 並聯 $2.8 \Omega/\square = 0.065 \Omega/\square$	亦作為資料線
保護絕緣層	SiNx，介電常數: 6.0，400nm 單位面積電容= $6.0\epsilon_0/400\text{nm}$ $= 0.133 \text{fF}/\mu\text{m}^2$	
透明電極	ITO，阻值: $30 \mu\Omega\text{cm}$ ，800nm	作為畫素電極
厚度誤差 < 10%		

3.2 TFT LCD 畫素陣列

3.2.3 初始畫素佈局

3.2.3.2 製程設計準則(Process design rule)

{表3.2} TFT製程設計準則

線寬定義限制		
閘極金屬線	最小寬度: 5 μ m, 最小間隔: 3.5 μ m 光罩尺寸與實際尺寸差距: 1 \pm 0.5 μ m	
半導體層線	最小寬度: 5 μ m, 最小間隔: 4 μ m 光罩尺寸與實際尺寸差距: 0 \pm 0.5 μ m	
源/汲極金屬線	最小寬度: 7 μ m, 最小間隔: 4 μ m 光罩尺寸與實際尺寸差距: 2 \pm 1 μ m	
接觸孔	最小寬度: 3 μ m, 最小間隔: 3 μ m 光罩尺寸與實際尺寸差距: -1 \pm 1 μ m	
ITO透明電極	最小間隔: 5 μ m 光罩尺寸與實際尺寸差距: 1 \pm 1 μ m	

3.2 TFT LCD 畫素陣列

3.2.3 初始畫素佈局

3.2.3.2 製程設計準則(Process design rule)

{表3.2} TFT製程設計準則

對準誤差限制		
半導體層 v.s. 閘極金屬	閘極延伸出半導體最小長度: $3\mu\text{m}$ 對準誤差 : $0.6\mu\text{m}$	
源/汲極金屬 v.s. 閘極金屬	對準誤差 : $0.6\mu\text{m}$	
源/汲極金屬 v.s. 半導體層	最小重疊寬度 : $3\mu\text{m}$ 對準誤差 : $1\mu\text{m}$	
接觸孔 v.s. 閘極金屬	閘極延伸出接觸孔最小長度: $4\mu\text{m}$ 對準誤差 : $0.6\mu\text{m}$	
接觸孔 v.s. 源/汲極金屬	閘極延伸出接觸孔最小長度: $5\mu\text{m}$ 對準誤差 : $1\mu\text{m}$	
透明電極 v.s. 閘極金屬	對準誤差 : $0.6\mu\text{m}$	
透明電極 v.s. 源/汲極金屬	對準誤差 : $1\mu\text{m}$	
透明電極 v.s. 接觸孔	ITO延伸出接觸孔最小長度: $5\mu\text{m}$ 對準誤差 : $1\mu\text{m}$	

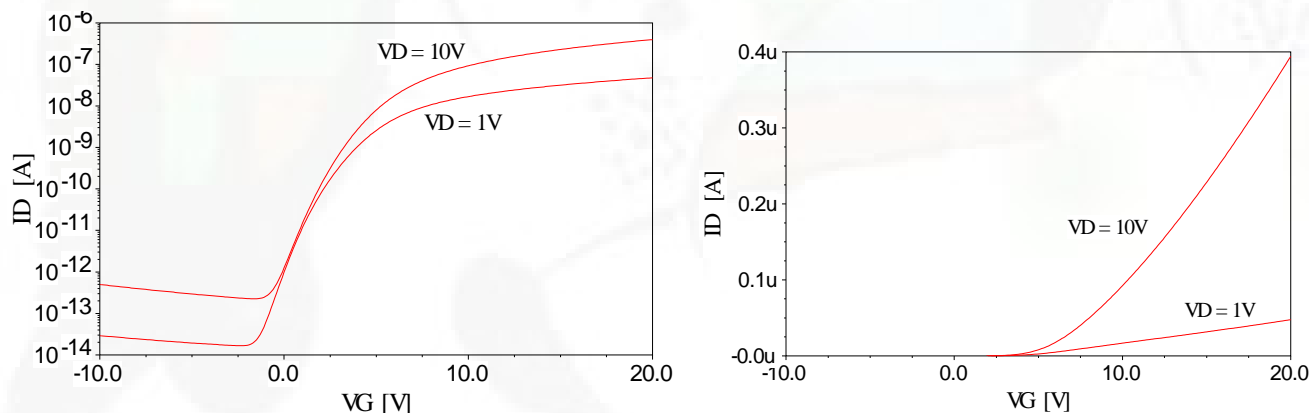
3.2 TFT LCD 畫素陣列

3.2.3 初始畫素佈局

3.2.3.2 製程設計準則(Process design rule)

{表3.2} TFT製程設計準則

TFT特性 (參見{圖3.3})		
電子移動率	一般值 : $0.15\text{cm}^2/\text{Vsec}$	
截止電壓	最大值 : 1V, 最小值 : -0.5V	
漏電流	小於 $0.1\text{pA}/\mu\text{m}$	總漏電流除以通道寬度
寄生電容	一般值 : $0.17\text{fF}/\mu\text{m}$	總電容除以通道寬度



{圖3.3} 畫素設計模擬用的TFT元件特性圖

3.2 TFT LCD 畫素陣列

3.2.3 初始畫素佈局

3.2.3.3 執行初始畫素佈局

3.2.4 佈局後模擬

3.2.5 畫素設計實例

3.2.5.1 製程選擇

3.2.5.2 TFT 面板設計規格

3.2 TFT LCD 畫素陣列

3.2.5 畫素設計實例

3.2.5.2 TFT 面板設計規格

{表3.3} 17吋SXGA TFT面板設計規格舉例

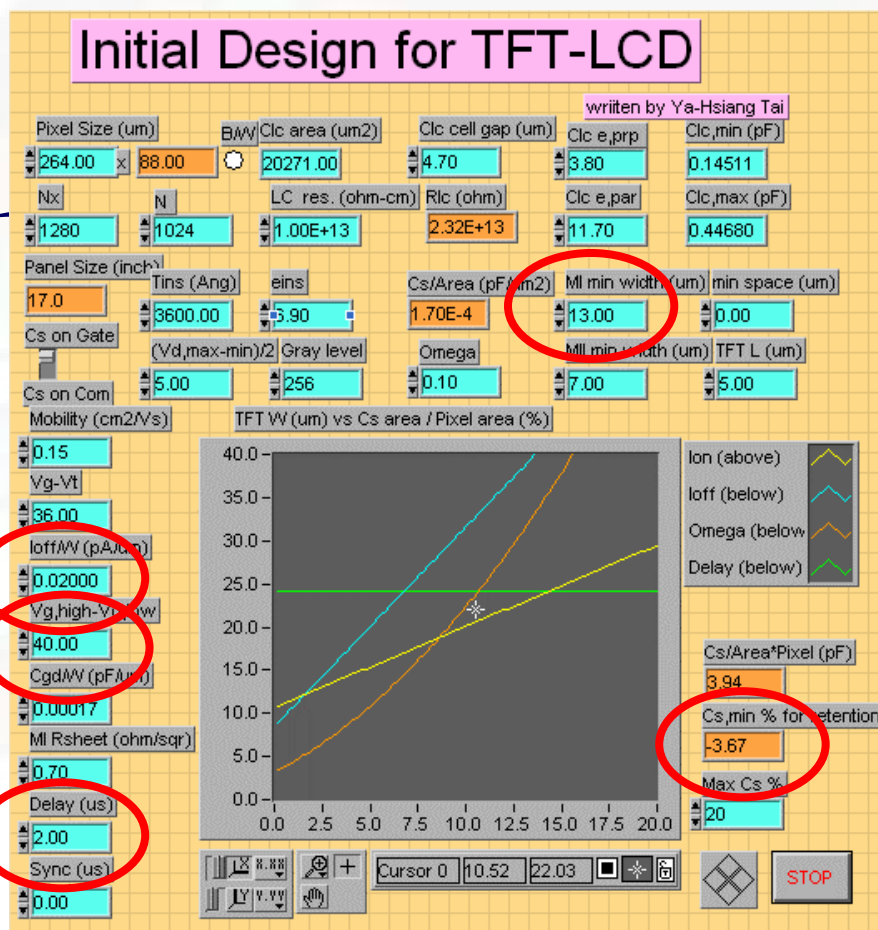
畫素陣列數目	1280 x 3 x 1024	
次畫素的大小	88 μ m x 264 μ m	
圖框時間	16.7msec	參見{圖2.7}所示的VESA標準
掃描線時間	15.6 μ sec	參見{圖2.7}所示的VESA標準
開口率	88%	參見3.1.3.2的討論
最大液晶介電常數	11.7	
最小液晶介電常數	3.8	
液晶阻值	10 ¹³ Ω cm	
液晶間隙	4.7 μ m	
液晶模式最小視訊電壓容許誤差	8mV	參見2.3.3.1
液晶最大容許未補償之直流電壓殘留	0.1V	即 $\Delta(\Delta V)$ 或 Ω ，參見2.5.3.3

3.2 TFT LCD 畫素陣列

3.2.5 畫素設計實例

3.2.5.3 畫素初始設計

1. 掃描線線寬度 $13\mu\text{m}$ ，資料線寬度 $7\mu\text{m}$
 → 開口面積 $[(264-13)\mu\text{m} \times (88-7)\mu\text{m}]$ ，→ 開口率 87.5% <設計目標 88%
2. TFT的開關電壓範圍設定至40V。
3. 液晶阻值為 $10^{13}\Omega\text{cm}$ ，液晶電容放電的時間常數 $R_{LC} C_{LC} = \rho_{LC} \epsilon_{LC} \epsilon_0 > 3.36\text{sec} \gg 16.7\text{msec}$
4. 在{圖3.3}中的TFT漏電 $> 0.02\text{pA}/\mu\text{m}$
5. 延遲容許時間 $2\mu\text{sec}$ ，→ 以Output Enable信號縮短充電時間

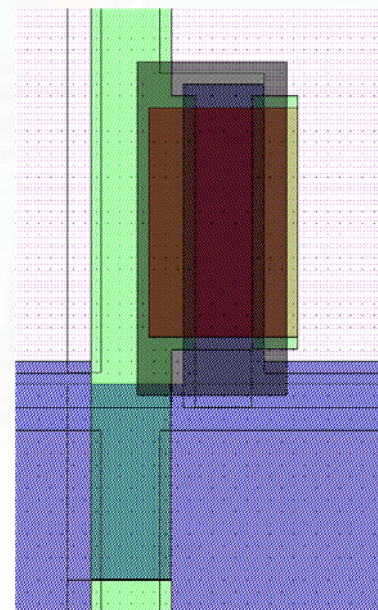
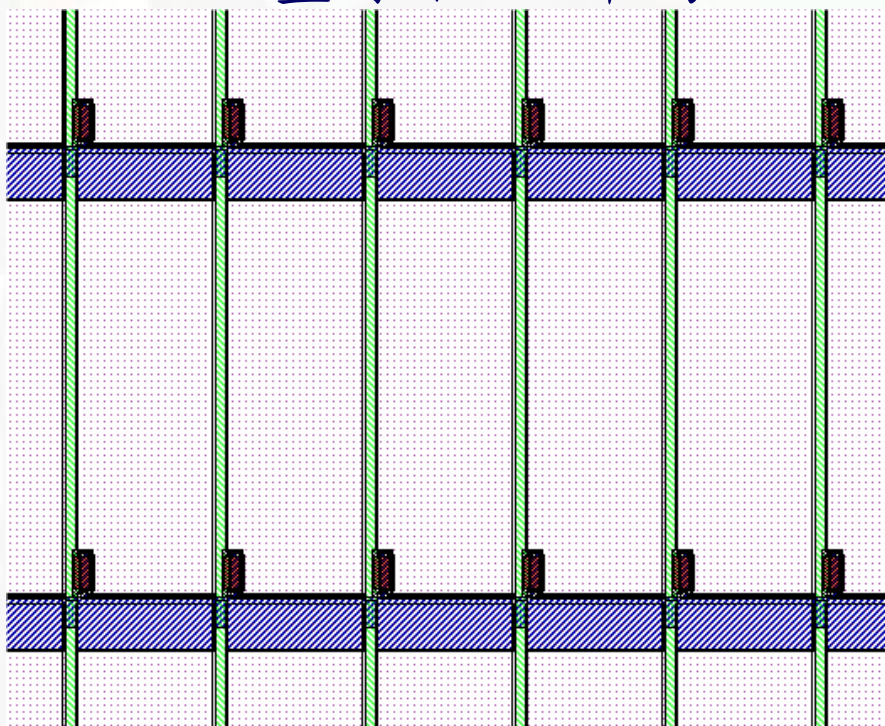


{圖3.4} 17吋SXGA產品TFT畫素陣列初始設計舉例

3.2 TFT LCD 畫素陣列

3.2.5 畫素設計實例

3.2.5.4 畫素初始佈局



{圖3.5}17吋SXGA產品TFT畫素陣列初始佈局舉例

3.2 TFT LCD 畫素陣列

3.2.5 畫素設計實例

3.2.5.5 畫素等效電路

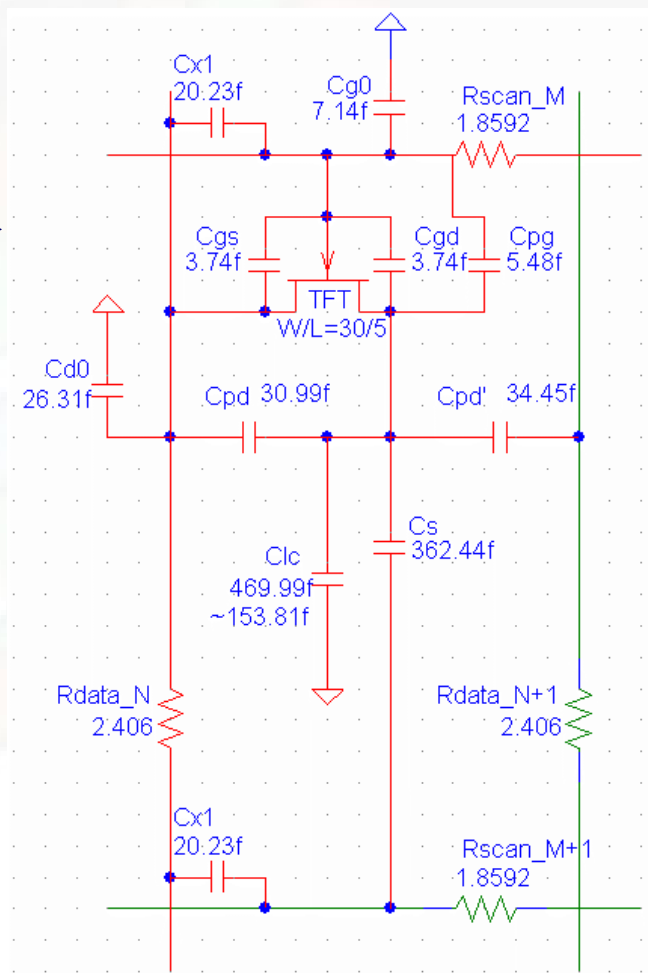
{表3.4} 由17吋SXGA產品TFT畫素初始佈局例計算之畫素等效電阻電容

絕緣層	單位面積電容	面積	電容
保護絕緣層/液晶層	最大值 0.0189 fF/ μm^2	1392 μm^2	最大值 26.31fF
閘極絕緣層/保護絕緣層/液晶層	最大值 0.017 fF/ μm^2	420 μm^2	最大值 7.14fF
閘極絕緣層	0.17 fF/ μm^2	22 μm^2	3.74fF
閘極絕緣層	0.17 fF/ μm^2	22 μm^2	3.74fF
液晶層	最大值 0.022 fF/ μm^2 最小值 0.0072 fF/ μm^2	21363 μm^2	最大值 469.99fF 最小值 153.81fF
保護絕緣層	0.133 fF/ μm^2	233 μm^2	30.99fF
保護絕緣層	0.133 fF/ μm^2	259 μm^2	34.45fF
閘極絕緣層/保護絕緣層	0.075 fF/ μm^2	73 μm^2	5.48fF
閘極絕緣層	0.17 fF/ μm^2	2132 μm^2	362.44fF
閘極絕緣層	0.17 fF/ μm^2	119 μm^2	20.23fF
閘極絕緣層	0.17 fF/ μm^2	119 μm^2	20.23fF
金屬層	片電阻	長寬比	電阻
閘極金屬	0.7 Ω/\square	$7/28+7/56+73/32$ $= 2.656\square$	1.8592 Ω
源/汲極金屬	0.065 Ω/\square	$22/9+242/7$ $= 37.016\square$	2.406 Ω

3.2 TFT LCD 畫素陣列

3.2.5 畫素設計實例

3.2.5.5 畫素等效電路

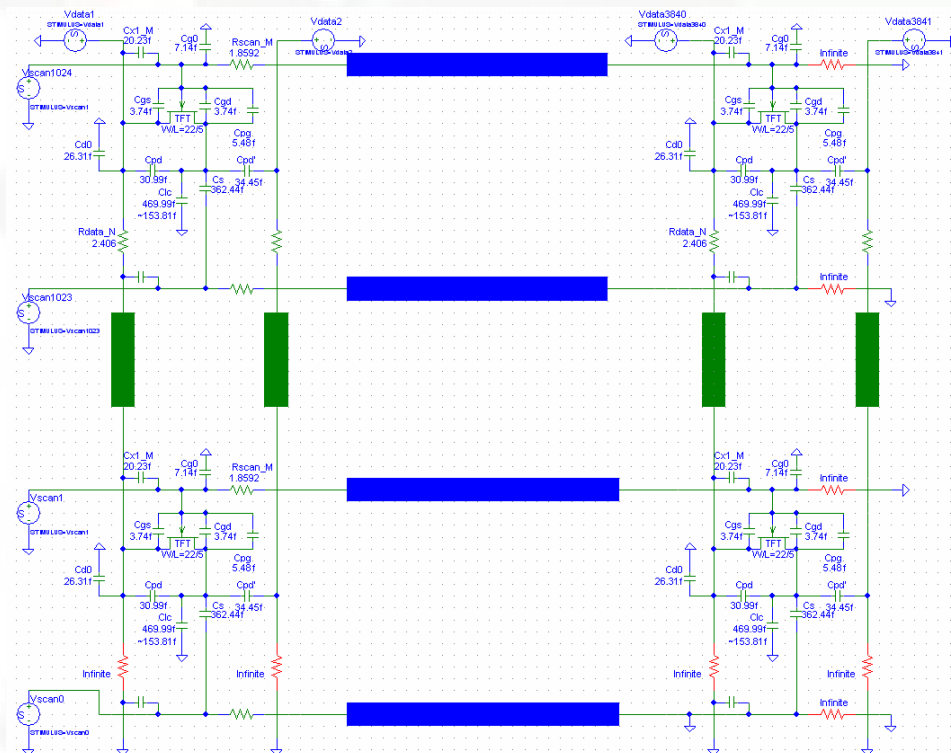


{圖3.6} 由17吋SXGA產品TFT畫素初始佈局例計算之畫素等效電路

3.2 TFT LCD 畫素陣列

3.2.5 畫素設計實例

3.2.5.6 畫素陣列模擬



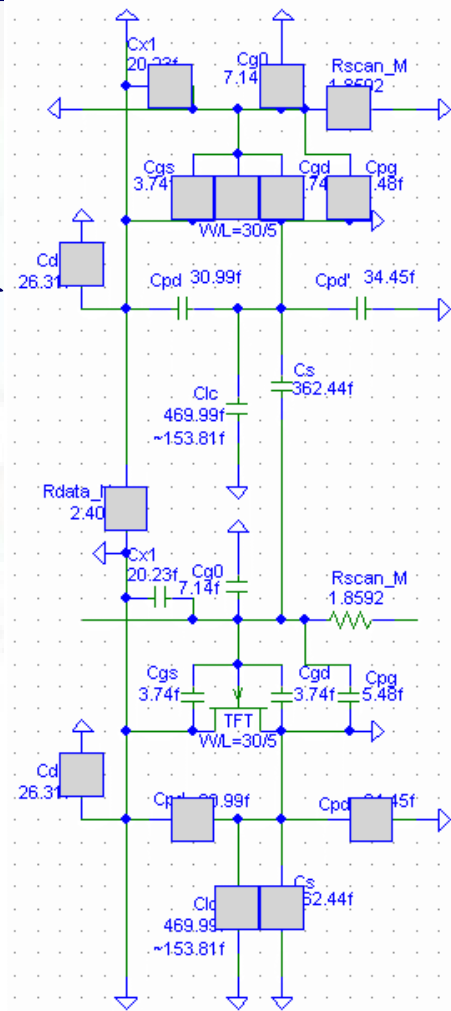
{圖3.7} 由17吋SXGA產品初始畫素
等效電路展開的陣列等效電路圖

3.2 TFT LCD 畫素陣列

3.2.5.6 畫素陣列模擬

3.2.5.6.1 掃描線的等效電阻-電容電路計算

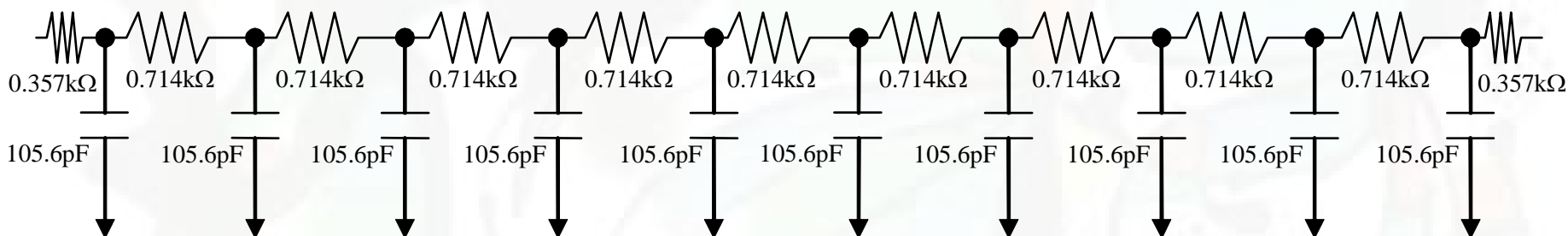
{圖3.8} 由17吋SXGA產品初始畫素等效電路轉換成的
掃描線上畫素等效電路圖



3.2 TFT LCD 畫素陣列

3.2.5.6 畫素陣列模擬

3.2.5.6.1 掃描線的等效電阻-電容電路計算

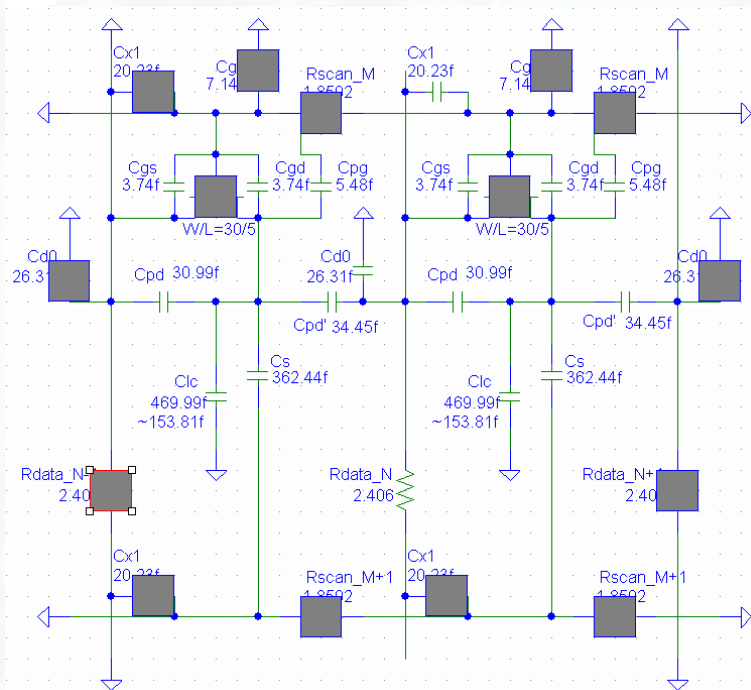


{圖3.9} 17吋SXGA產品初始設計之掃描線的等效電阻-電容串接電路

3.2 TFT LCD 畫素陣列

3.2.5.6 畫素陣列模擬

3.2.5.6.2 資料線的等效電阻-電容電路計算

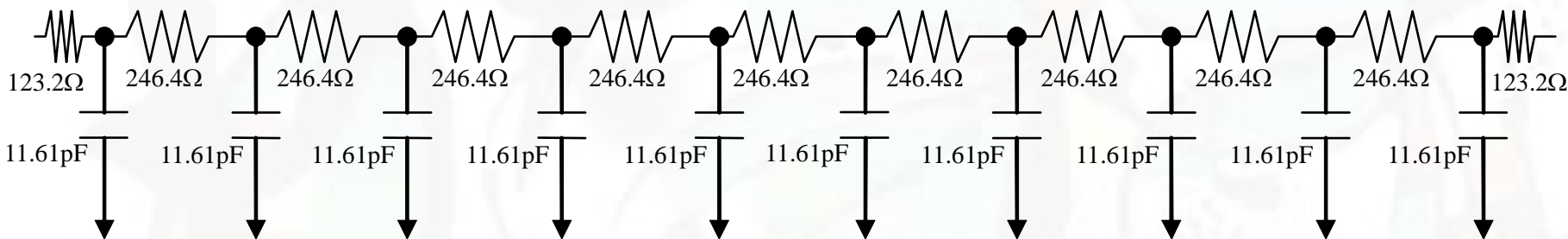


{圖3.10} 由17吋SXGA產品初始畫素等效電路轉換成的資料線上畫素等效電路圖

3.2 TFT LCD 畫素陣列

3.2.5.6 畫素陣列模擬

3.2.5.6.2 資料線的等效電阻-電容電路計算



{圖3.11} 17吋SXGA產品初始設計之資料線的等效電阻-電容串接電路

3.2 TFT LCD 畫素陣列

3.2.5.6 畫素陣列模擬



17吋SXGA產品初始設計之模擬用的Netlist

17-inch Netlist

3.2.5.6.3 充電與電容耦合效應模擬

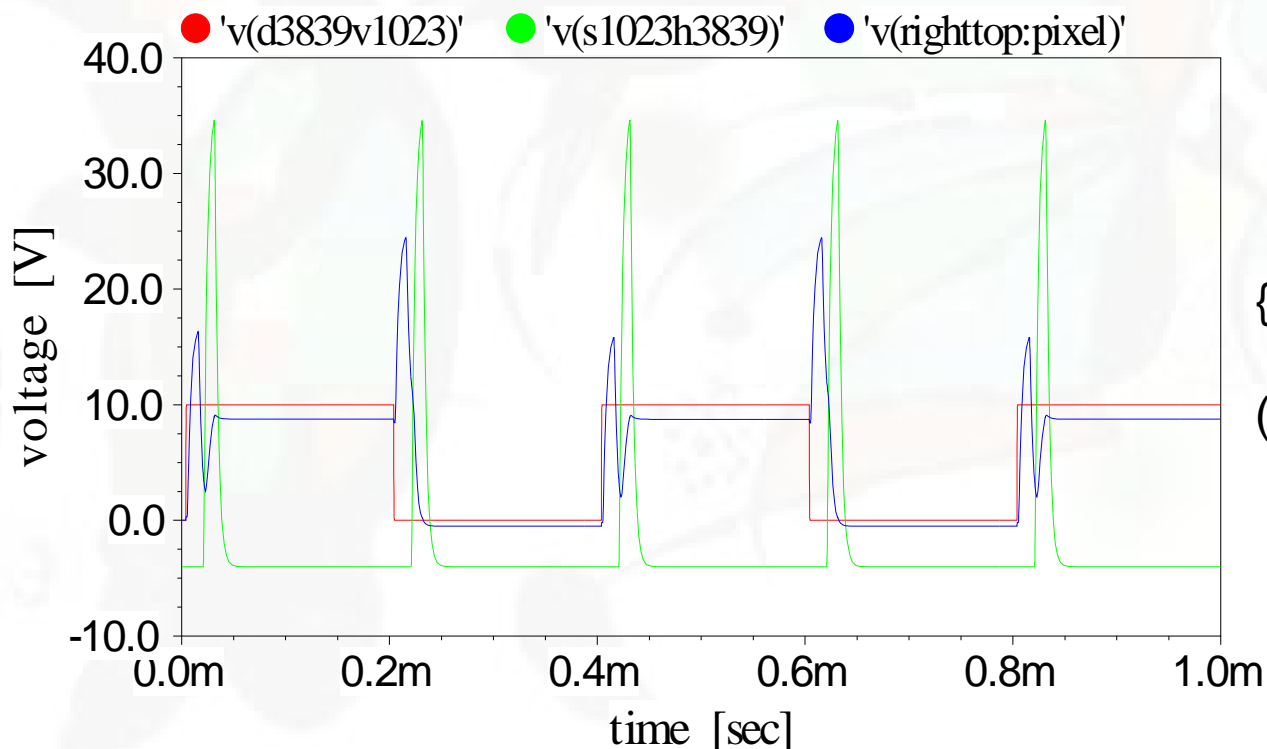
```
Vscan1024 s1024h1 0 PULSE (-4V 36V 5U 0.01U 0.01U 10.6U 200U)
Vscan1023 s1023h1 0 PULSE (-4V 36V 20.6U 0.01U 0.01U 10.6U 200U)
Vscan1      s1h1      0 PULSE(-4V 36V 161U 0.01U 0.01U 10.6U 200U)
Vscan0      s0h1      0 PULSE(-4V 36V 176.6U 0.01U 0.01U 10.6U 200U)

Vdata1      d1v1      0 PULSE (0V 10V 4U 0.01U 0.01U 200U 400U)
Vdata2      d2v1      0 PULSE (10V 0V 4U 0.01U 0.01U 200U 400U)
Vdata3839   d3839v1  0 PULSE (0V 10V 4U 0.01U 0.01U 200U 400U)
Vdata3840   d3840v1  0 PULSE (10V 0V 4U 0.01U 0.01U 200U 400U)
```

3.2 TFT LCD 畫素陣列

3.2.5.6 畫素陣列模擬

3.2.5.6.3 充電與電容耦合效應模擬

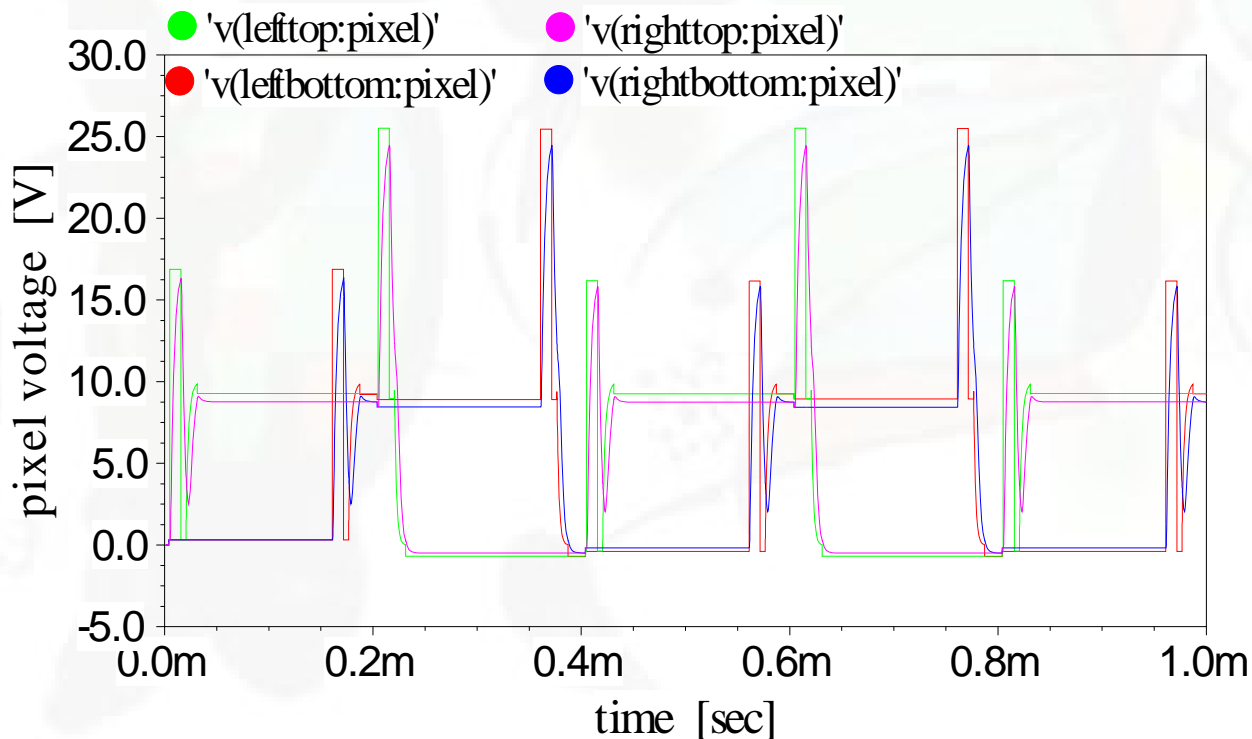


{圖3.12} 初始畫素陣列模擬結果
(a) 右上方角落的畫素相關電壓波

3.2 TFT LCD 畫素陣列

3.2.5.6 畫素陣列模擬

3.2.5.6.3 充電與電容耦合效應模擬

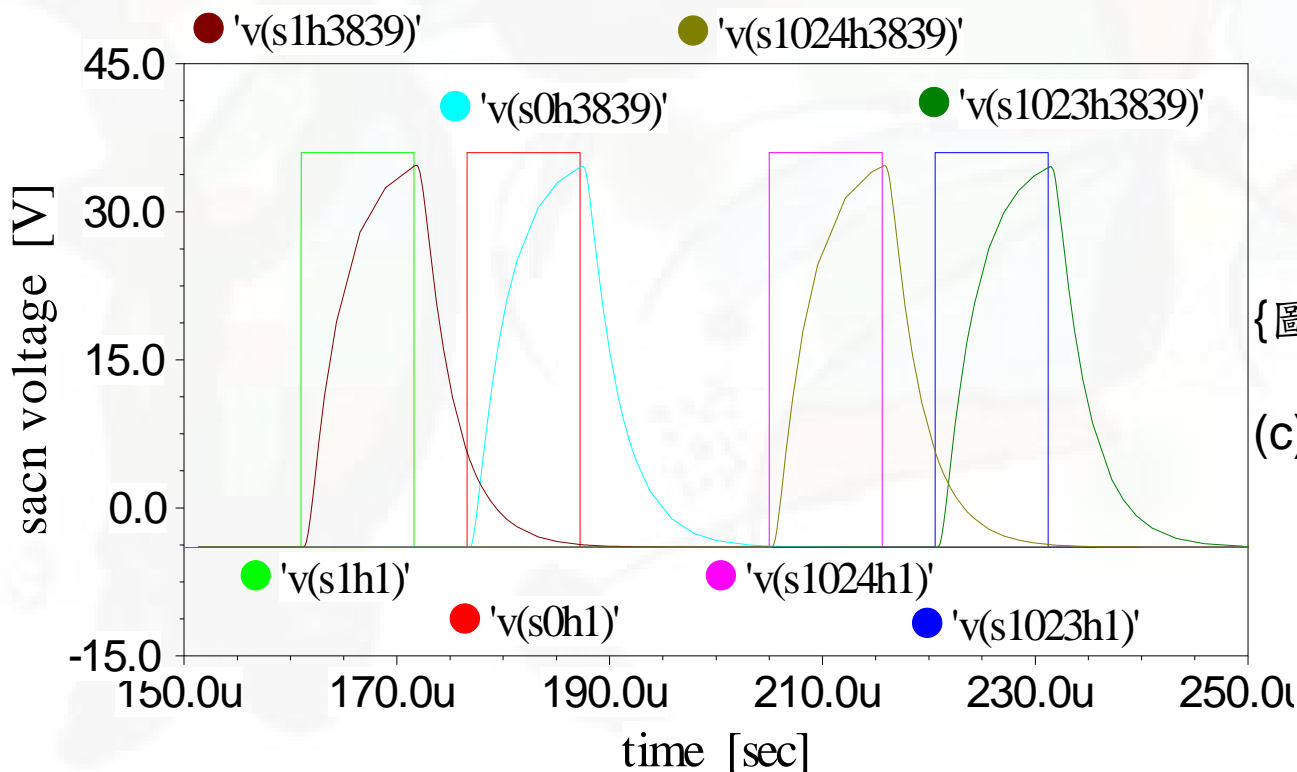


{圖3.12} 初始畫素陣列模擬結果
(b) 四個角落的畫素電壓波形

3.2 TFT LCD 畫素陣列

3.2.5.6 畫素陣列模擬

3.2.5.6.3 充電與電容耦合效應模擬



{圖3.12} 初始畫素陣列模擬結果
(c) 掃描線最近端與最遠端的電壓波形

3.2 TFT LCD 畫素陣列

3.2.5.6 畫素陣列模擬

3.2.5.6.4 電荷保持模擬

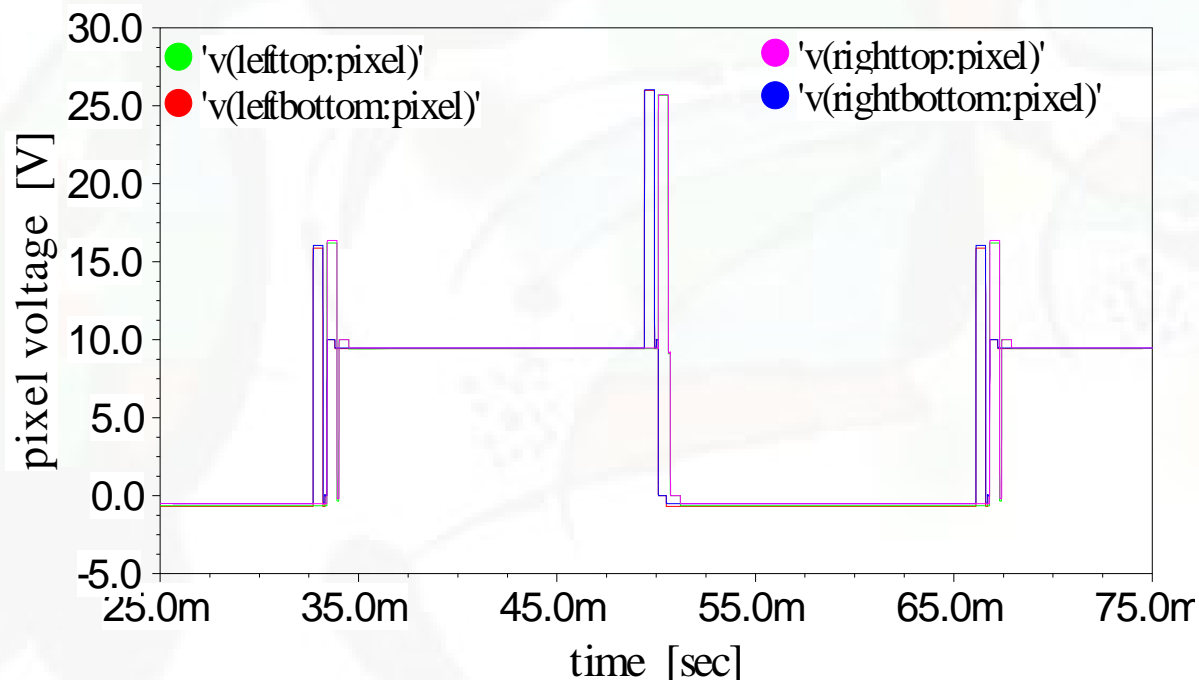
```
Vscan1024 s1024h1 0 PULSE (36V -4V 10U 0.01U 0.01U 16M 16.7M)
Vscan1023 s1023h1 0 PULSE (36V -4V 25U 0.01U 0.01U 16M 16.7M)
Vscan1     s1h1     0 PULSE (36V -4V 40U 0.01U 0.01U 16M 16.7M)
Vscan0     s0h1     0 PULSE (36V -4V 55U 0.01U 0.01U 16M 16.7M)

Vdata1     d1v1     0 PULSE (0V 10V 5U 0.01U 0.01U 15U 30U)
Vdata2     d2v1     0 PULSE (10V 0V 5U 0.01U 0.01U 15U 30U)
Vdata3839 d3839v1 0 PULSE (0V 10V 5U 0.01U 0.01U 15U 30U)
Vdata3840 d3840v1 0 PULSE (10V 0V 5U 0.01U 0.01U 15U 30U)
```


3.2 TFT LCD 畫素陣列

3.2.5.6 畫素陣列模擬

3.2.5.6.4 電荷保持模擬



{圖3.13} 初始畫素陣列電荷保持模擬結果

3.2 TFT LCD 畫素陣列

3.2.5.6 畫素陣列模擬

3.2.5.6.5 來自相鄰資料線的電容耦合效應模擬

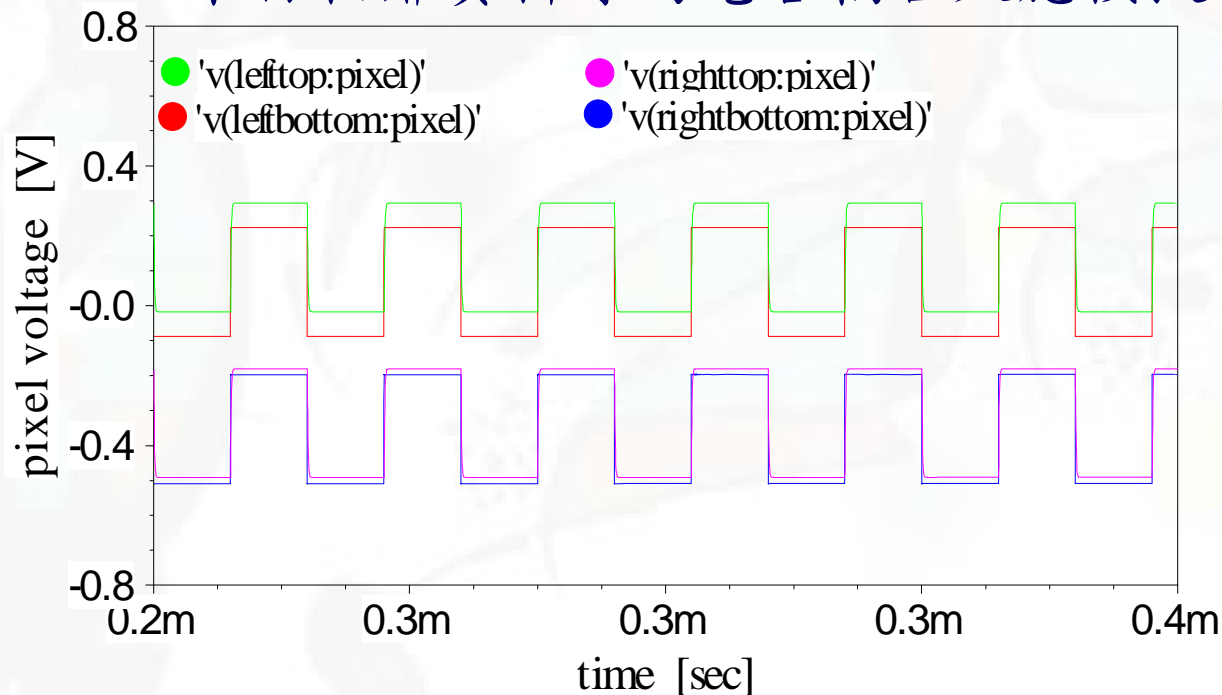
```
Vscan1024 s1024h1 0 PULSE (-4V 36V 5U      1U 1U 500U 16.7M)
Vscan1023 s1023h1 0 PULSE (-4V 36V 605U     1U 1U 500U 16.7M)
Vscan1     s1h1     0 PULSE(-4V 36V 16005U 1U 1U 500U 16.7M)
Vscan0     s0h1     0 PULSE(-4V 36V 16605U 1U 1U 500U 16.7M)

Vdata1     d1v1     0 PULSE (0V 10V 4U 1U 1U 16.7M 33.4M)
Vdata2     d2v1     0 PULSE (10V 0V 4U 1U 1U 16.7M 33.4M)
Vdata3839  d3839v1 0 PULSE (0V 10V 4U 1U 1U 16.7M 33.4M)
Vdata3840  d3840v1 0 PULSE (10V 0V 4U 1U 1U 16.7M 33.4M)
```

3.2 TFT LCD 畫素陣列

3.2.5.6 畫素陣列模擬

3.2.5.6.5 來自相鄰資料線的電容耦合效應模擬

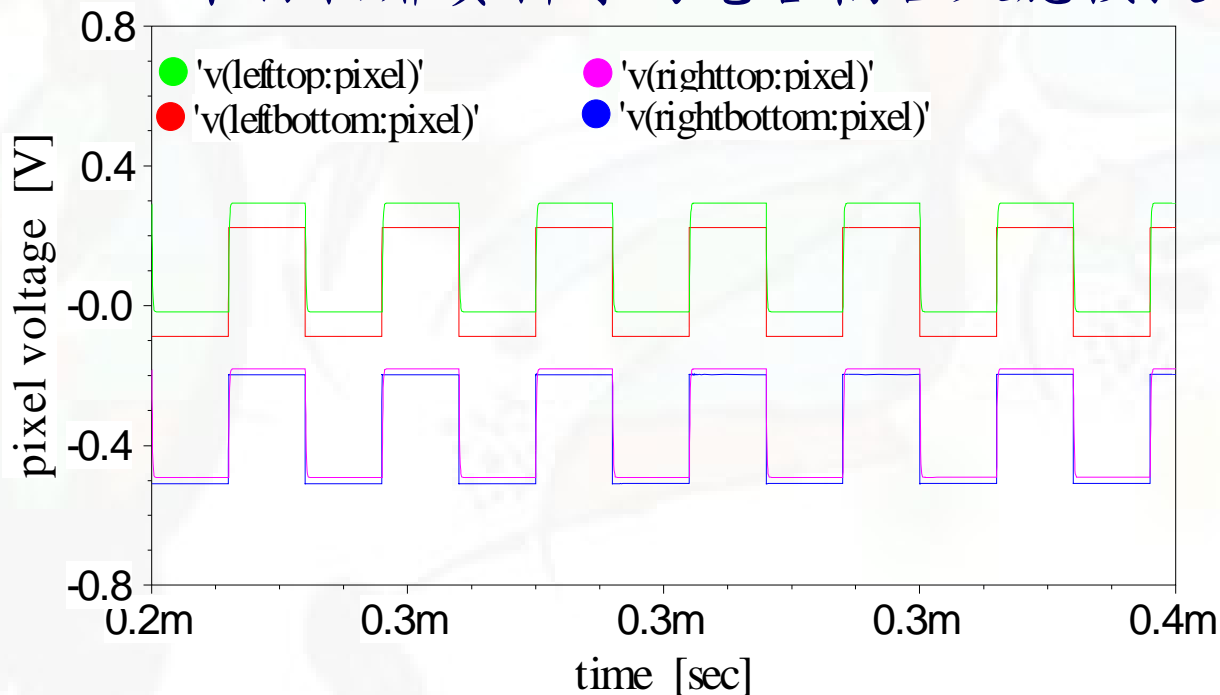


{圖3.14} 初始畫素陣列來自相鄰資料線的電容耦合效應模擬結果

3.2 TFT LCD 畫素陣列

3.2.5.6 畫素陣列模擬

3.2.5.6.5 來自相鄰資料線的電容耦合效應模擬



{圖3.14} 初始畫素陣列來自相鄰資料線的電容耦合效應模擬結果

3.2 TFT LCD 畫素陣列

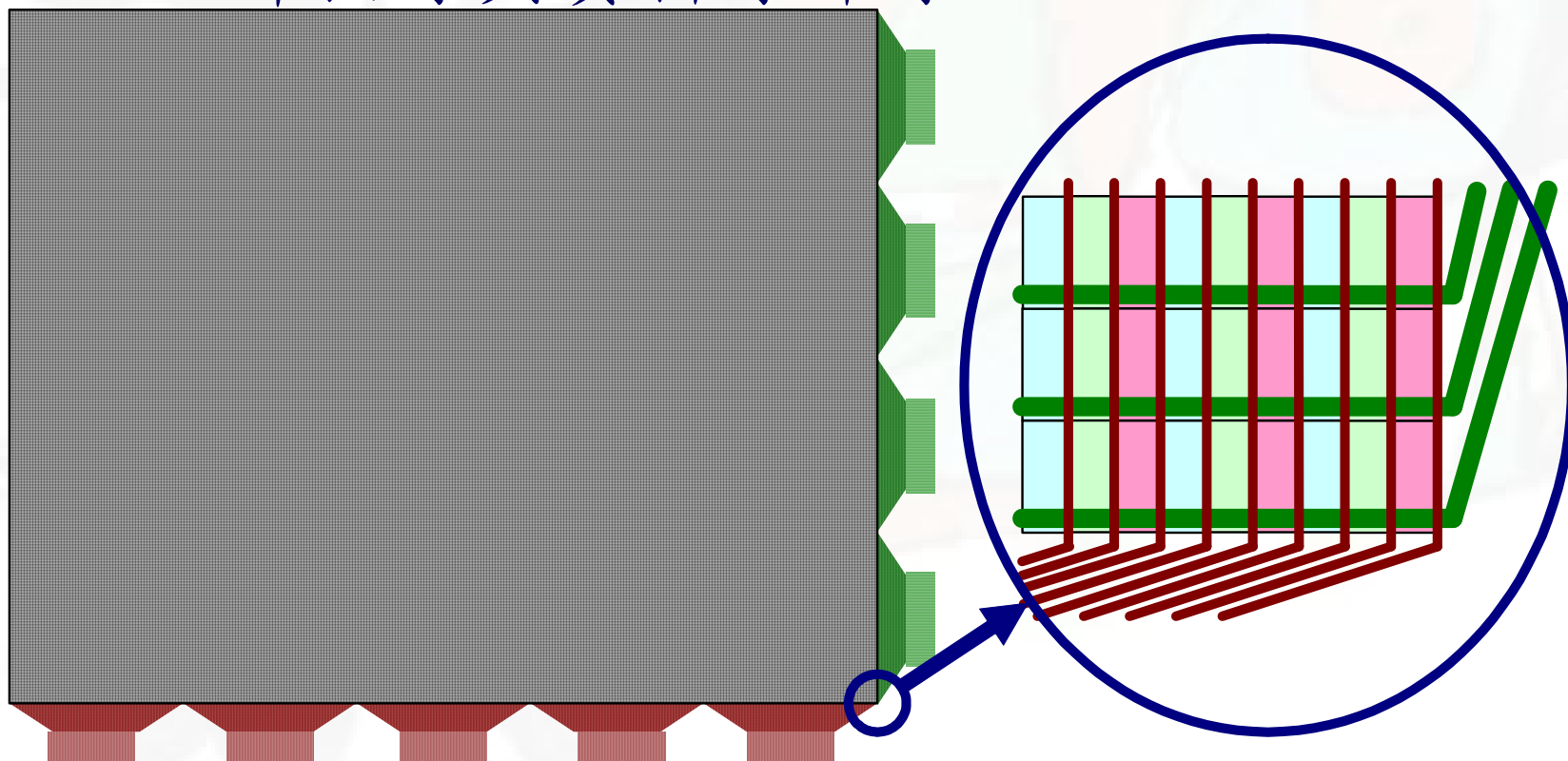
3.2.5.7 設計調整方式的思考

- 提高掃描線電壓以增加充電能力，但需注意掃描驅動IC的電壓範圍。
- 增加保護絕緣層的厚度，或更換介電常數低的保護絕緣層，以降低畫素與相鄰資料線之間的寄生電容。
- 增加掃描線金屬厚度以降低掃描線延遲，以降低電容耦合效應差異，並增加充電時間，但需注意製程上，資料線跨越掃描線處，是否會更容易短路而降低生產良率。
- 掃描線電壓波形改成如{圖2.38}中所示的幾種波形，來降低電容耦合效應差異，但需注意掃描驅動IC是否能配合，以及充電能力是否會因而降低。
- 降低閘極絕緣層厚度，以減少儲存電容面積，增加開口率，並增加TFT的充電能力，但需注意TFT的耐壓也會降低，而環境中微小顆粒會使閘極絕緣層破洞，造成短路機率的增加，因而降低生產良率。

3.2.5.8 畫素陣列再設計直到設計完成

3.3 畫素陣列之外

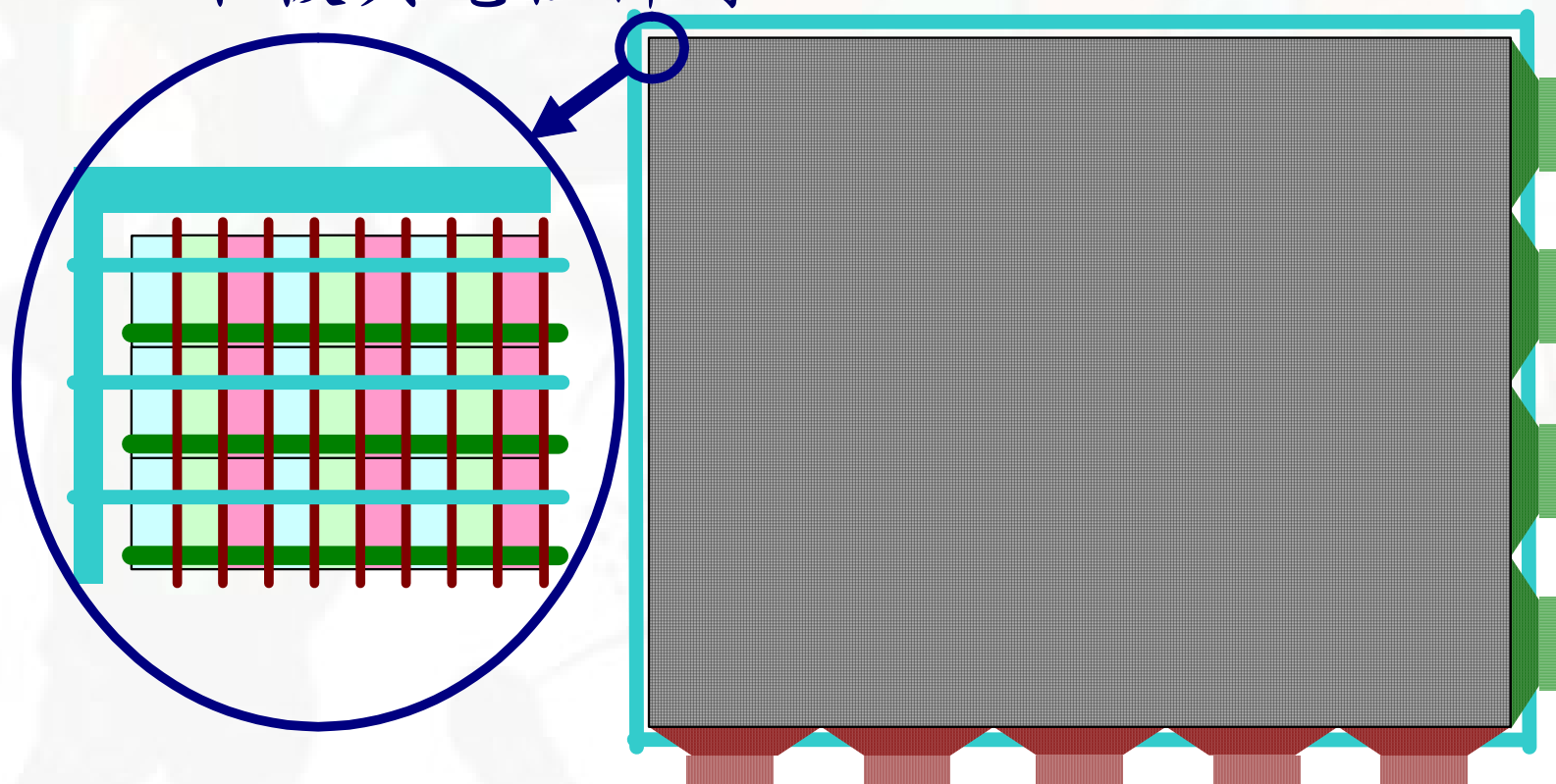
3.3.1 掃描線與資料線佈線



{圖3.15}掃描線與資料線在畫素陣列之外佈線的示意圖

3.3 畫素陣列之外

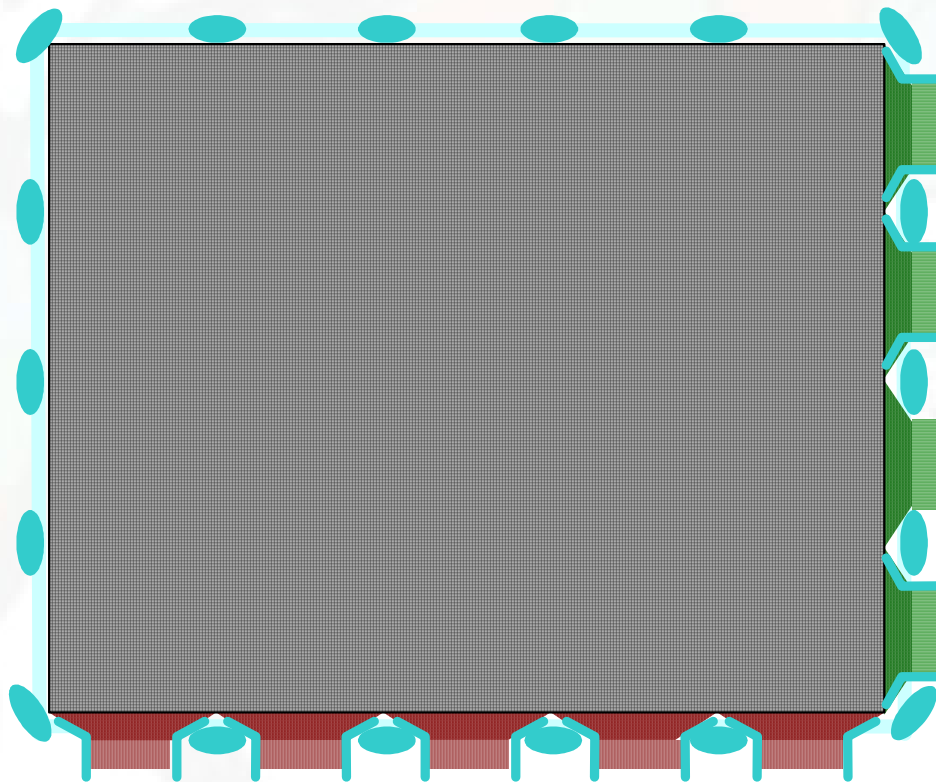
3.3.2 下板共電極佈線



{圖3.16} 下板共電極線在畫素陣列之外佈線的示意圖

3.3 畫素陣列之外

3.3.3 共電極金膠點與共電極電源佈線



{圖3.17} 共電極金膠點與共電極電源佈線在畫素陣列之外佈線的示意圖

3.3 畫素陣列之外

3.3.4 對準標示

3.3.4.1 光學微影

3.3.4.2 光學檢查裝置

3.3.4.3 陣列電性檢查裝置

3.3.4.4 元件特性量測

3.3.4.5 雷射修補

3.3.4.6 封框膠塗寫與導電膠塗點

3.3.4.7 配向膜塗佈

3.3.4.8 上下板對準標示

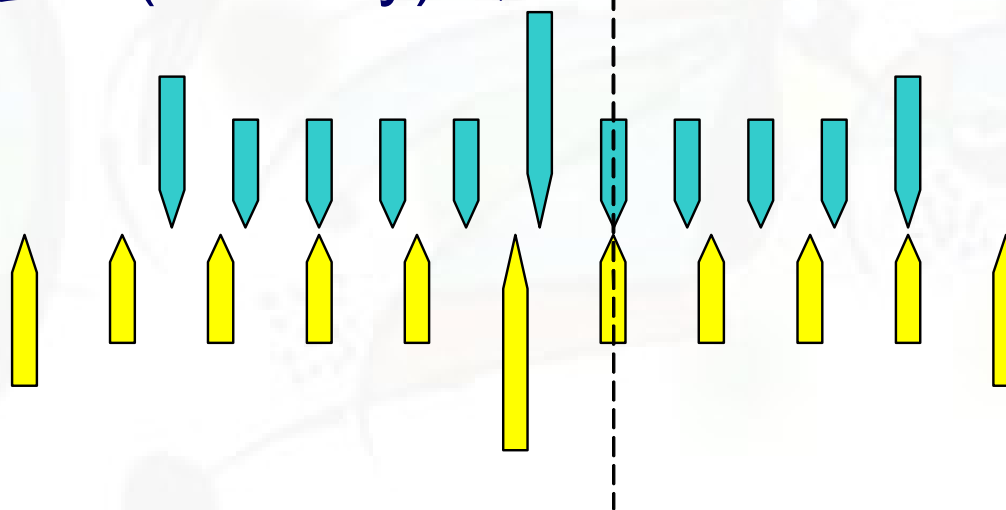
3.3.4.9 切割位置標示

3.3 畫素陣列之外

3.3.5 測試鍵(Test keys)

3.3.5.1 關鍵尺寸(Critical dimension)測試鍵

3.3.5.2 疊合(Overlay)測試鍵

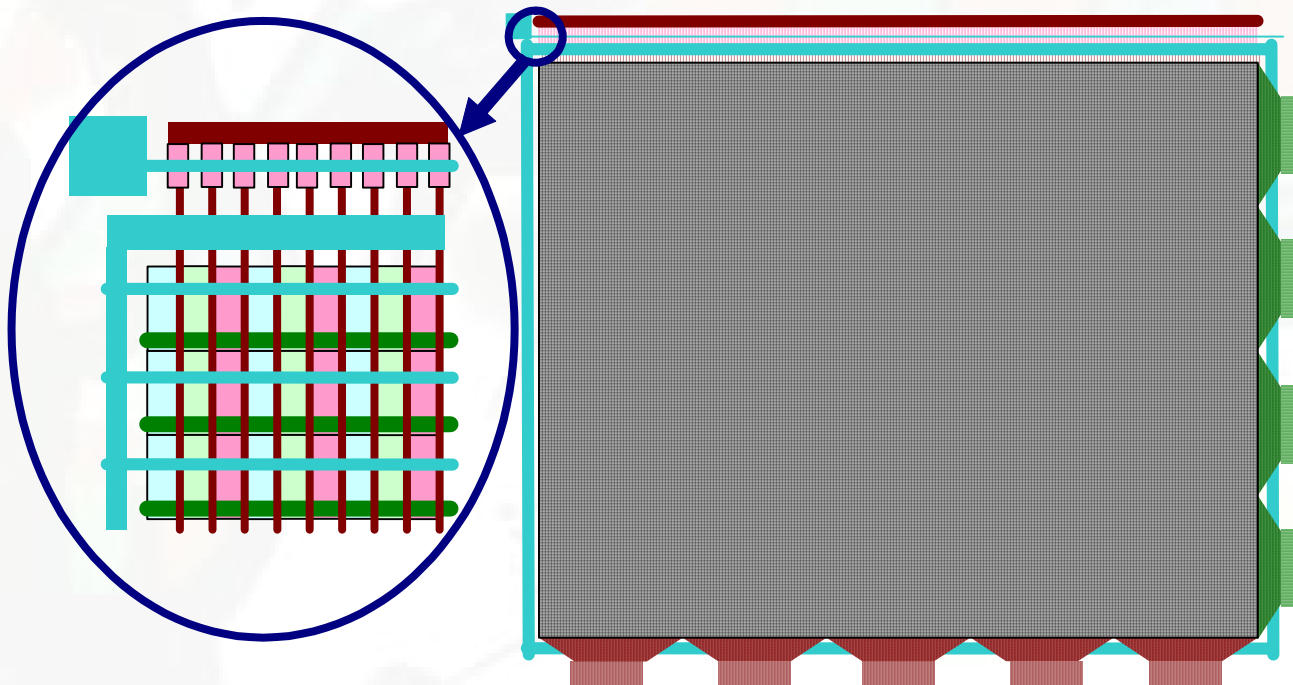


{圖3.18} 疊合測試鍵示例

3.3.5.3 電性測試鍵

3.3 畫素陣列之外

3.3.6 電荷分享預充電設計



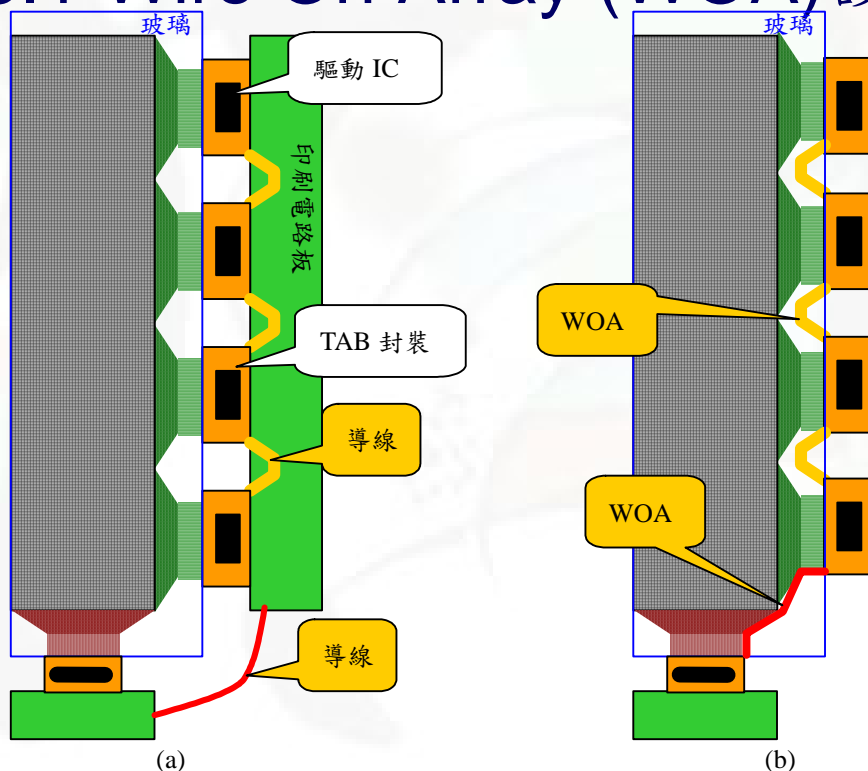
{圖3.19} 電荷分享預充電設計的示意圖

3.3.7 靜電防治、陣列測試、與雷射修補設計

3.3 畫素陣列之外

3.3.8 其他設計項目

3.3.8.1 Wire On Array (WOA)設計

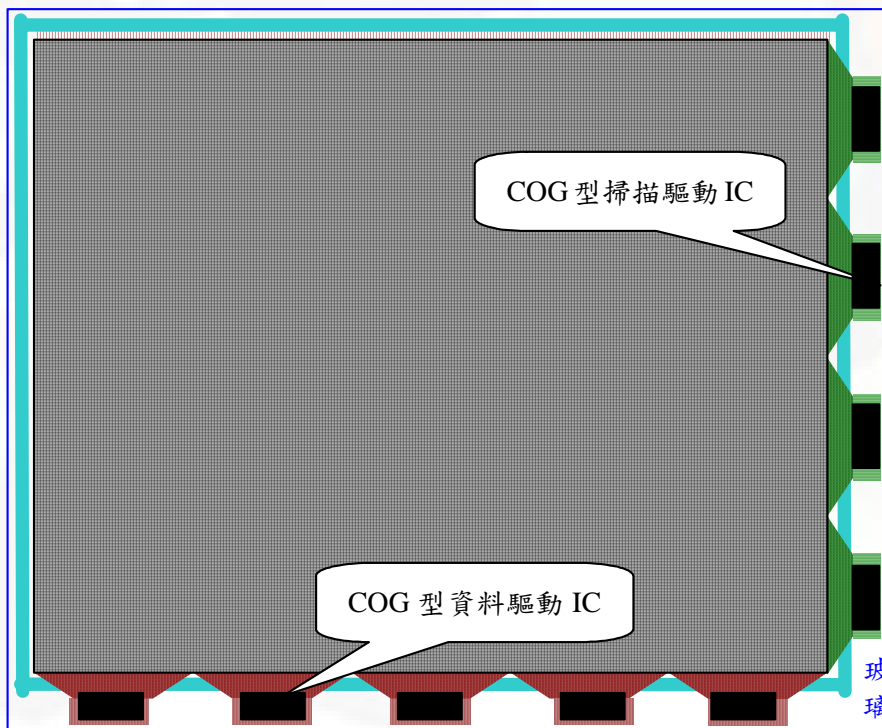


{圖3.19} 掃描驅動IC利用
(a)電路板 (b) WOA
連接的示意圖

3.3 畫素陣列之外

3.3.8 其他設計項目

3.3.8.2 Chip On Glass (COG)設計



{圖3.20} COG型驅動IC與TFT基板連接的示意圖