# A 16.9 mW 10 bit 50 Msample/s Pipelined ADC IP Core\*

CHEN Zhen-hai<sup>1,2</sup>, YUAN  $Jun^{2,3}$ , GUO Liang-quan<sup>1,2\*</sup>, YU Zong-guang<sup>1,2</sup>

1. Dept. of Information Technology, Southern Yangtze University, Wuxi Jiangsu 214122, China;

2. China Electronic Technology Group Corporation, No. 58 Research Institute, Wuxi Jiangsu 214035, China;

3. Dept. of Microelectronic, Xidian University, Xi'an 710071, China

Abstract :A 10 bit 50 Msample/s pipelined analog-to-digital converter (ADC) IP core is presented. The ADC core is designed in SMIC 0.25  $\mu$ m 1P5M CMOS process. The layout size of 0.24 mm<sup>2</sup> is achieved by using OPAMP sharing technique and capacitors scaling technique. Simulation results show that it achieves an ENOB of 8.9 bit, a maximum DNL of 0.65 LSB, a maximum INL of 1.25 LSB for a 2.04 MHz input at full sampling rate. The total power consumption of the ADC core is only 16.9 mW.

Key words :pipelined ADC; low power; analog IP core; OPAMP sharing technique

EEACC :1265 H;1280

# 一种 16.9 mW 10 bit 50 Msample/s 流水线 ADC IP 核设计\*

陈珍海<sup>1,2</sup>,袁 俊<sup>2,3</sup>,郭良权<sup>1,2\*</sup>,于宗光<sup>1,2</sup>

1. 江南大学信息工程学院,江苏无锡 214122;
2. 中国电子科技集团公司 58 所,江苏无锡 214035;
3. 西安电子科技大学微电子学院,西安 710071

**摘** 要:设计了一个 10 位 50 Msample/s 流水线 ADC IP 核。采用 SMIC 0.25 µm 1P5M 数字 CMOS 工艺,通过使用运算放 大器共享技术、电容逐级缩减技术和对单元电路的优化,使得整个 IP 核面积仅为 0.24 mm<sup>2</sup>。仿真结果表明,在 50 MHz 采样 率、输入信号为 2.04 MHz 正弦信号情况下,该 ADC 模块具有 8.9 bit 的有效分辨率,最大微分非线性为 0.65 LSB,最大积分 非线性为 1.25 LSB,而整个模块的功耗仅为 16.9 mW。

**关键词**:流水线 ADC;低功耗;模拟 IP核;运算放大器共享技术 中图分类号:TN432 **文献标识码:A** 

随着 CMOS 技术的稳步前进,特征尺寸的不断 下降,目前最先进的片上系统(SOC)已经集成了几 亿个晶体管。伴随着电路复杂性不断提高的是芯片 设计周期的不断缩短,而要在不断缩短的设计周期 里设计出复杂度不断增加的 SOC 芯片的一个捷径 就是 IP 模块的复用。在过去的几年中数字 IP 复用 技术已经取得了长足的进展,但是模拟 IP 复用技术 却停滞不前。主要原因为<sup>[1-3]</sup>:首先,模拟集成电路 的各种性能对于工艺条件非常依赖并且对工艺的变 化非常敏感;其次,当与数字电路并存在 SOC 当中 文章编号:1005-9490(2008)04-1205-05

后,由于数字电路的开关噪声及衬底干扰经常使得 模拟电路模块不能正常工作;另外,模拟电路本身的 开发周期就比数字电路长的多(从集成电路设计历 史规律来看)。

在便携式数据传输、数字视频和图像处理等应 用系统中,8~12 bit 分辨率的嵌入式 ADC 模块就 是这些系统的一个非常重要的组成部分。整体而 言,流水线型结构 ADC 是同时实现低功耗、高采样 率和高分辨率的合理选择,因而也就成为这些应用 场合下的必需模块。

收稿日期:2007-10-18

基金项目:江苏省自然科学基金资助"系统集成芯片(SOC)中 IP 模块的设计与验证方法研究 "(B K2007026)

作者简介:陈珍海(1982-),男,硕士研究生,主要研究方向为模拟 IP 核和高性能 A/D 转换器设计,diaoyuds @126.com; 郭良权(1964-),江苏宜兴人,高级工程师,1986 年毕业于成都电子科技大学,主要研究方向为微控制器以及数模混 合集成电路设计

目前,在低功耗小面积流水线 ADC 设计方面主 要采用的技术为运算放大器共享技术和电容逐级缩 减技术。国内外已报道的 10 bit、速度在 40 Msample/ s到 50 Msample/ s 之间的,具有视频处 理速度的流水线型 ADC 的典型功耗为 50~100 mW<sup>[45]</sup>,并且芯片面积都在1 mm<sup>2</sup> 以上;文献[6]使 用 BiCMOS 工艺,仅使用了 0.8 mm<sup>2</sup> 的面积,但是功 耗仍高达 65 mW;文献[7]采用数字 CMOS 工艺实现 了一种 0.52 mm<sup>2</sup> ADC,但是功耗也在 50 mW 以上; 文献[8]采用数字 CMOS 工艺实现了一种功耗仅为 12 mW的 ADC,但是在结构上使用双通道流水线之 间共享运算放大器的方式使得其电路面积大于1 mm<sup>2</sup>。本文设计的 ADC 模块在文献[8]的基础上将 双通道间共享运放的方式改为单通道内部相邻奇、偶 数级间共享运放的方式,同时对单元电路进行优化, 得到了与其相当的功耗,但是模块面积仅为 0.  $24 \text{ mm}^2$ 

## 1 ADC 模块结构

本文所设计 ADC 模块的实现基于开关电容电路,对应的结构框图如图 1 所示。整个电路为 9 级 流水线,前面 8 级为 1.5 bit/级,最后一级为 2 bit Flash ADC。其中,前面 8 级相邻奇数和偶数级之间通过时分复用一个运算放大器分别组成 MDAC1—MDAC4。



#### 图 1 ADC 结构框图

由于使用开关电容电路实现,MDAC的工作速 度与反馈系数成正比,与级间电压增益成反比。为了 达到最快的建立速度和最大的带宽,同时考虑到后端 数字纠错算法的复杂度,本文采用1.5 bit/级的级分 辨率。每级提供两位数据,其中LSB为冗余位,用于 数字纠错以消除比较器的失调电压影响。整个电路 一共设计了3种 MDAC, MDAC1、MDAC2和 MDAC3 逐级缩减,MDAC4和 MDAC3 相同。

对于流水线型 ADC,由于各级中采样步骤和余量处理步骤的进行处于两个相独立的时钟状态之下,因而可以使用运放共享技术。图 2 为本文所用的使用运放共享技术的 MDAC 结构原理图。相邻奇数和偶数级之间通过时分复用一个运算放大器组

成一级 MDAC。运放共享技术基于两相不交叠时 钟 cp 和 cp1 实现。一级 MDAC 产生 4 位输出数 据,相当于普通1.5 bit/级 MDAC 的两级。MDAC 的工作过程如下:当 cp1 有效时,信号输入 MDAC, 奇数级中 Flash ADC 对输入信号进行比较处理产 生两位数据输出,同时将比较结果传输到奇数级 DAC 以供 DAC 在 cp 时钟时使用;采样保持电路对 输入信号进行采样,同时将偶数级在前一 cp 时钟下 的采样值根据偶数级 DAC 的输出电平进行相减和 放大处理,并将余量传输到下一级 MDAC 以作为下 一级 MDAC 的输入信号;此时,奇数级中 DAC 和 偶数级中 Flash ADC 处于无效状态。当 cp 有效 时,采样保持电路将奇数级在 cp1 时钟下的采样值 根据奇数级 DAC 的输出电平进行相减和放大处 理,并将余量传输到采样保持电路偶数级输入端,并 将该余量作为偶数级输入信号进行采样:偶数级 Flash ADC 对余量信号进行比处理产生偶数级的两 位输出数据,同时将比较结果传送给偶数级 DAC 以供 DAC 在下一 cp1 时钟时使用;此时,偶数级中 DAC 和奇数级中 Flash ADC 处于无效状态。



#### 图 2 使用运放共享的 MDAC 结构图

通过使用运算放大器共享技术,整个 ADC 只 需使用 4 个采样保持运算放大器,这极大地减少了 电路的总功耗和版图面积。但是运放共享技术也带 来了两个潜在的问题<sup>[9]</sup>,首先,使用运放共享技术引 入了额外的数据选择开关,这些开关的串联导通电 阻会影响流水线级间的建立特性;其次,运放一直处 于放大工作模式之下长时间得不到复位,这会使运 放的有限增益带来的非理想特性变得明显。

在开关电容流水线 ADC 中,后级所贡献的误 差要受到它前面各级电压增益的衰减,因而可以使 用逐级电容缩减技术。这可以极大的减小整个电路 的面积,因为电容所占面积往往是整个开关电容电 路的大部分。同时,采样保持运放的功耗与其所要 驱动的电容大小成正比,这也相当程度上减少了电 路的总功耗。采样电容的选取主要取决于噪声和匹 配精度,本文电容受限于匹配精度。电路一共选择 了三种采样电容 0.8 pF、0.4 pF 和 0.2 pF。

整个电路中,除基准电压产生模块单独使用一 3.3 V电源外,其余部分均采用2.5 V电源电压。 50 MHz两相不交叠时钟由外部输入一100 MHz 时钟经分频产生。所有开关均采用 CMOS 开关。

# 2 ADC 的电路实现

#### 2.1 使用运放共享的采样保持电路

2.1.1 采样保持电路的电路结构

本文所采用的采样保持电路结构如图 3 所示。 电路功能的实现基于两个受两相不交叠时钟控制、 共享一个运放、互补工作的单位增益开关电容电路。 当 cp 时钟有效时,奇数通路处于采样模式,偶数通 路处于无效状态, C。对输入信号进行采样, G 则进 行复位,此时运放输出为偶数通路在 cp1 下降沿时 采样值与 DAC 输出电平相减后余量的两倍放大 值;当 cp1 时钟有效时,偶数通路处于采样模式,奇 数通路处于无效状态,运放输出为奇数通路在 cp 下 降沿时采样值与 DAC 输出电平相减后余量的两倍 放大值。整个电路两个通路的工作通过共享一个运 放完成,完全互补。



图 3 采用运放共享的采样保持电路原理图

#### 2.1.2 采样保持运放

为了满足 10 bit 50 Msample/s 的性能要求,所选 用的运放应该满足如下一些要求:开环增益应大于 66 dB,以使运放的速度精度小于 1/2LSB;单位增益 带宽(GBW)应大于 250 MHz,以便使运放在 1/4 个 时钟周期内达到 0.1%的建立精度;建立时间应小于 10 ns,以保证 1/2 时钟周期内运放达到稳定。基于上 述要求,同时为了达到最大的输出摆幅和最小的静态 功耗,本文采用全差分套筒式共源共栅两级结构,如 图 4 所示。虽然与增益自举结构相比,两级结构速度 不占优势,但是两级结构具有大得多的输出电压摆 幅,大的电压摆幅意味着可以使用较小的采用电容, 而整个电路的功耗和面积与采样电容成正比,使用较 小的电容使得整个电路的功耗和面积大为缩小;另 外,增益自举结构运放的 MOS 管尺寸一般都很大,而 采用两级结构只需要输出的4个 MOS 管需要相对大 的尺寸,其余 MOS 管均可以使用较小的尺寸即可,这



图 4 采样保持运放电路图

本文采用的运放的第一级为"套筒式"共源共栅 结构,使用 NMOS 管作为输入管,可以使运放的速 度达到最大,因为 NMOS 管比 PMOS 管有更高的 迁移率和截止频率;第二级采用共源级输出,以提供 最大的摆幅和驱动能力。两级中的补偿采用米勒补 偿,与一般的米勒补偿相比,采用共源共栅结构的米 勒补偿更能提高单位增益带宽<sup>[11]</sup>。

由于所选用的运算放大器电路为全差分结构, 为了稳定直流共模输出电压,通常采用共模反馈电 路(CMFB)。本文中共模反馈电路的设计采用两级 电路每级分别设计共模反馈的方式,这可以使得电 路的共模响应更加稳定。第一级共模反馈,采用类 似差分对的原理,N<sub>8</sub>提供尾电流源,N<sub>5</sub>、N<sub>7</sub>两条支 路检测运放第一级输出,中间 N<sub>6</sub> 支路产生第一级 共模输出信号 V cm fb1 。第二级共模反馈采用两个差 分对形式, P<sub>5</sub> ~ P<sub>8</sub> 完全匹配, P<sub>6</sub> 和 P<sub>7</sub> 检测运放的反 向输出端,P₅和P<sub>8</sub>检测正向输出端,P<sub>14</sub>和P<sub>16</sub>为相 同的尾电流源,两个差分对和 N22 一起作用产生共 模控制电压 V<sub>cmf2</sub>。显然该结构无法检测高输入电 平,只要将输出共模电平设置在稍低一些的电平,该 结构还是可以正常工作。与使用开关电容结构共模 反馈结构相比,虽然开关电容电路具有摆幅不受限, 且不消耗静态功耗的优点,但是使用连续时间共模 反馈形式具有更快的反应速度,并且使用了更小的 面积。以第一级运放为例,若使用开关电容结构则 共需要 0.8 pF 的电容,这相当于第一级 MDAC 所 有采样电容的 1/8,使用连续时间共模反馈结构使 整个电路电容的面积少了 1/8。

本文中一共设计了 3 种等比例缩减的运放,仿 真的结果显示,三个运放的功耗分别为 6.38 mW、 3.37 mW和1.85 mW,运放的建立时间均小于7.5 ns。图 5 为所设计运放的开环频率特性,可以看出运放的开环增益为74 dB,单位增益带宽为258 MHz,相位裕度为76.4°。



图 5 运放开环幅频和相频特性

2.2 Flash ADC 电路

1208

2.2.1 Flash ADC 电路结构

本文采用的 1.5 bit Flash ADC 电路如图 5 所 示,电路由两个相同的比较器和开关电容网络实现, 电路中采样电容  $C_s$  取值为 0.1 pF,电路工作受两 相不交叠时钟 cp 和 cp1 控制。当 cp 时钟有效时, 电容  $C_s$  对输入信号进行采样,在 cp1 时钟有效时,  $C_s$  采样得到的电压分别与 +  $V_{ref}$ /4 和 -  $V_{ref}$ /4 比较 得到两个 4 位高低电平。

#### 2.2.2 比较器电路

由于使用了数字纠错技术,系统对比较器的失调 电压要求大为降低,本文设计采用的比较器为两级动 态比较器,如图 6 所示。第一级为前置运放,第二级 为交叉锁存比较器,比较器的工作受时钟 cp 控制。 cp 为高电平时,前置运放将输入信号进行预放大,同 时将信号传送到锁存比较器两输入端,此时比较器输 出为前一级 cp 低电平的保持;当 cp 为低电平时,前 置运放的预放大信号被断开,锁存比较器将 cp 高电 平时存储的信号进行比较,比较器输出比较结果。



图 6 Flash ADC 电路实现

2.3 其余电路模块 ADC电路还包括其余一些主要电路模块分别

为:1.5 bit DAC 电路、数字纠错电路和基准电压产 生电路。子 DAC 在电路中的作用是根据前端 Flash ADC 的输出结果产生几种不同的输出控制电 压。因而 DAC 电路实际上就是一个由组合逻辑控 制的数据选择开关,电路工作受 cp1 控制。数字纠 错电路中延时同步电路的动态积存器采用 C2MOS 电路,该类型电路具有对时钟交叠不敏感的优点,同 时电路结构简单,使用的 MOS 管个数少,这可以进 一步减小版图面积。整个 ADC 电路模块一共使用 了4种参考电平和3种偏置电压。4种参考电压由 外部输入一参考电压经分压后产生,3种偏置电压 由内置电流模基准产生。整个基准电压产生电路共 消耗了 2.95 mW 的静态功耗。



图 7 比较器电路实现

# 3 版图及仿真结果

ADC 模块的设计采用 SMIC 0.25 µm 1P5M 标准数字 CMOS 工艺进行设计,电容采用 MIM 电 容实现。整个模块的版图面积仅为 0.34 mm ×0.7 mm(不包含输入输出 PAD),内部各子电路模块的 布局如图 8 所示,整个 ADC 模块与外界共有 16 个 接口。



图 8 ADC 模块的版图实现

对于 ADC 模块系统级仿真采用了 HSpice 和 Matlab 两种工具,首先,用 HSpice 对输入信号进行 瞬时仿真,然后将 HSpice 仿真得到 ADC 的输出序

列导入 Matlab 进行数学处理,ADC 的动态特性由 FFT 变换得到,静态特性采用 Histogram 测试法得 到。输入为 2.04 MHz 正弦波(振幅 1 V)、采样率 为 50 MHz 时,用 Matlab 进行 1 024 点 FFT 变换得 到的频谱图如图 9 所示,可以看出此时 ADC 模块的 SNDR 为 55.3 dB。静态特性的仿真由于需要的时 间非常久,只取样了 1 024 点,即使如此仍然用了 20 个小时以上的时间,对应 DNL 和 INL 的特性如图 10 所示。另外在几组不同输入频率情况下对 ADC 模块的动态性能进行了仿真,如图 11 所示。可以看 出 ADC 模块的对 10 MHz 以上的高频信号的特性 不是很好,这与电路内部所采用的采样开关没有采 用具有高线性度的的栅压自举开关有关。整个 ADC IP 核的性能如表 1 所示。



图 11 不同信号频率下动态范围 表 1 ADC 模块的性能总结

Resolution/bit	10
Conversion rate/ MHz	50
Process/ 0.25 µm	SMIC 1P5M CMOS
ENOB/ bit	8.9
DNL/LSB	- 0. 3~0.65
INL/LSB	- 1~1. 25
SINAD/ dB	55.3
Power consumption/ mW	16.9
Core area	0. $24 \text{ mm}^2$
Residue time/ ns	120

## 4 结论

本文基于 SMIC 0.25 µm 1P5M 数字 CMOS 工 艺,运用运算放大器共享技术、电容逐级缩减技术等 设计实现了一种功耗为 16.9 mW,面积仅为 0.24 mm<sup>2</sup> 的 10 位 50 MHz 流水线 ADC IP 核。该 IP 核 可以直接使用于系统对输入信号的高频分量要求不 高的场合。

## 参考文献:

- Marchant Ohr S, PANEL L: Analog Intellectual Property: now?or never [C]//Design Automation Conference, 2002.
  Proceedings. 39th. New Orleans, LA, USA. 2002. 181-182.
- [2] Castro-L épez R, Fern ández F V, Creating Flexible Analogue IP Blocks [C]// Solid-State Circuits Conference, 2001. ESS-CIRC 2001. Villach, Austria. 2001.437-440.
- [3] Takashi Nojima, Shigetoshi Nakatake. Adaptive Porting of Analog IPs with Reusable Conservative Properties [C]// Proceedings of the 2006 Emerging VLSI Technologies and Architectures (ISVLSL06). Karlsruhe Germany. 2006. 18-23.
- [4] Mehr I, Singer L. A 55 mW, 10 bit, 40 Msample/s Nyquist-Rate CMOS ADC[J], IEEE Journal of Solid-State Circuits, 2000, 35(3):318-325.
- [5] Li Jian, Yan Jiefeng, Chen Jun, et al. A 59 mW 10b 40Msample/s Pipelined ADC[J]. Chinese Journal of Semiconductors, 2005, 26(7):1301-1308.
- [6] Hoogzaad G,Roovers R. A 65 mW,10 bit,40 Msample/s BiC-MOS Nyquist ADC in 0.8 mm<sup>2</sup> [J]. IEEE Journal of Solid-State Circuits,1999, 34 (12):1796-1802.
- [7] 黄飞鹏,王静光,何济柔,等. 一种 57.6mW,10 位,50MS/s流 水线操作 CMOS A/D转换器[J].半导体学报 2005,26 (11)
  :2230-2235.
- [8] Arias J, Bisbal D, San Pablo J, et al. Low-Power Pipelined ADC Design for Wireless LANs [J]. IEEE Journal of Solid-State Circuits, 2004, 39(8):12, 1338-1340.
- [9] Nagaraj K, Fetterman H, Anidjar K, et al. A 250 mW, 8b ,52 samples/s Parallel Pipelined A/D Converter with Reduced Umber of Amplifiers[J]. IEEE J Solid State Circuits , 1997 , 32(3) :312-320.
- [10] Ahuja B K, An Improved Frequency Compensation Technique for CMOS Operational Amplifiers[J]. IEEE Journal of Solid-State Circuits, 1983,18(6): 629-633.