

CMOS 模拟系统设计

第6讲 PLL

西安交通大学 电子与信息工程学院

微电子学系

张鸿 陈贵灿

hongzhang@mail.xjtu.edu.cn



主要内容

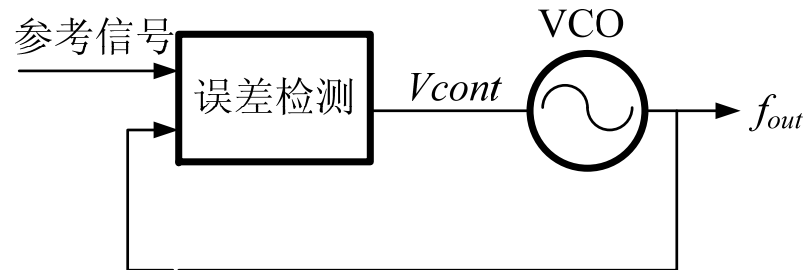
- PLL概述
- PLL的数学模型和性能分析
- PLL模块电路设计
- 频率合成技术

概述

- 压控振荡器的输出频率需要精确控制
 - 数字电路的时钟频率
 - 收发机信道的切换需要精确的本振频率
- 频率的精确控制需要引入反馈
 - 类似于运算放大器的反馈
 - 锁相环（Phase-Locked Loop, PLL）是最经典的频率控制系统
- PLL的指标
 - 相噪声
 - 锁定时间
 - 杂波抑制比

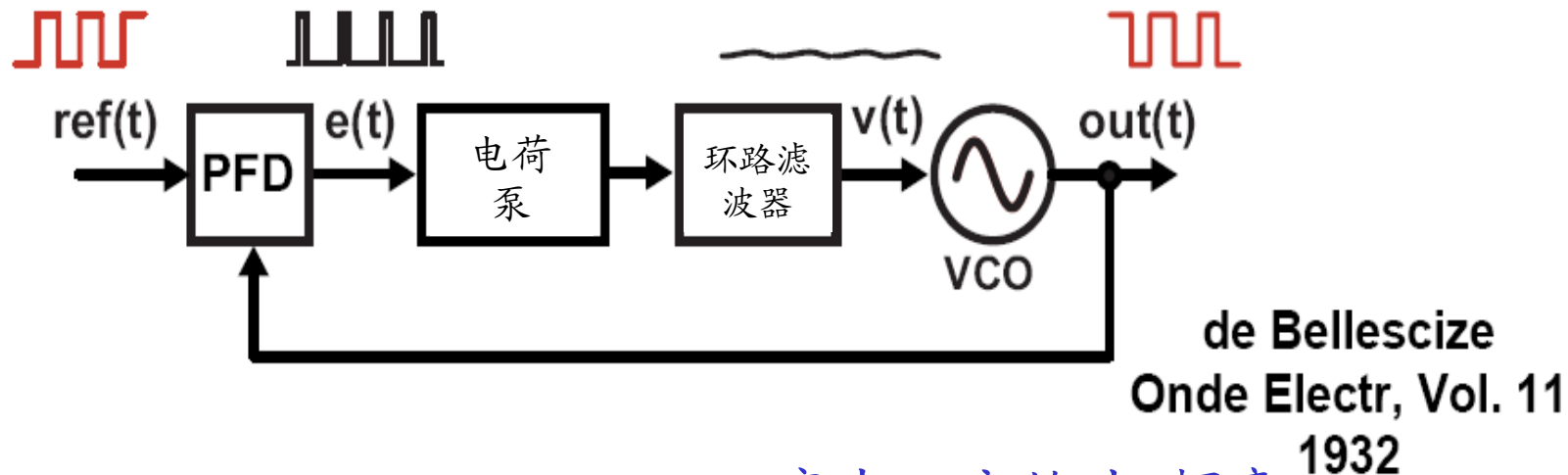
PLL的结构

- 与所有反馈控制系统一样，PLL系统中必然包含一个VCO作为执行元件，其输出反馈到误差检测电路的输入端，检测元件根据频率误差输出一个控制电压，使VCO最终锁定在正确的频率上



- 由于PLL反馈的信号通常是方波，大多数电路工作在开关状态，是典型的非线性系统。
- 精确分析PLL的系统特性是比较困难的。在PLL锁定时，可以近似认为是一个线性系统，简化分析。
- PLL的分析通常采用振荡信号的相位作为自变量

何为锁相环

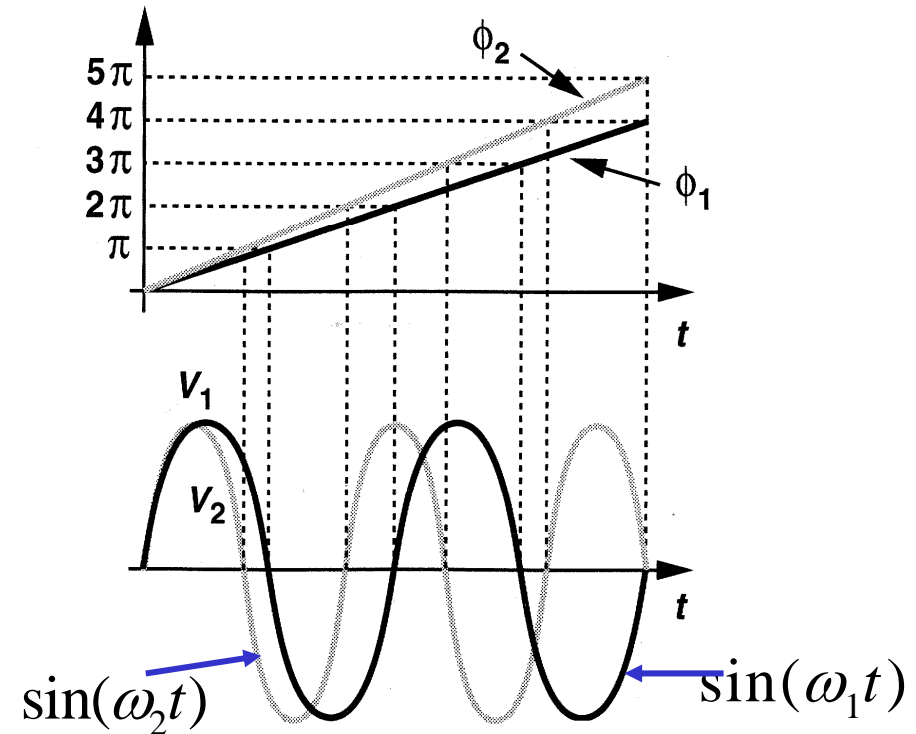
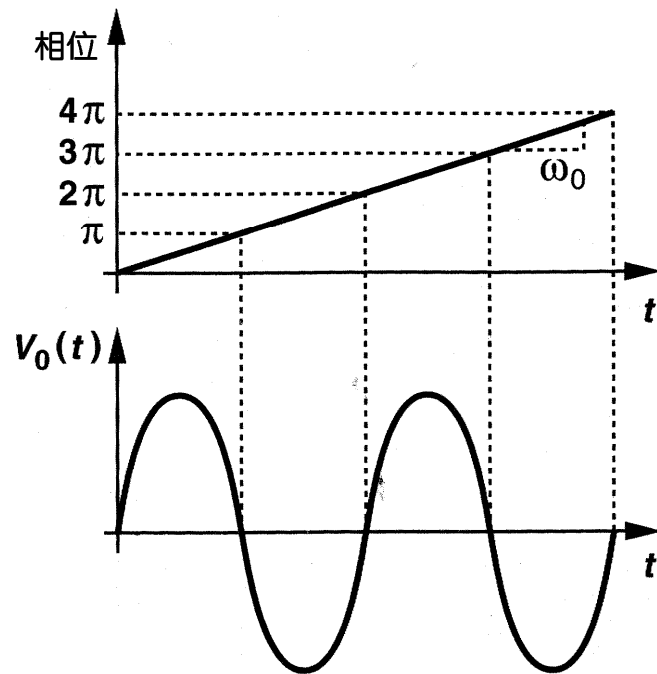


- VCO → 产生可变输出频率
- 参考频率 (ref) → 提供输入频率/相位
- 鉴频鉴相器 (PFD) → 对比VCO输出与参考信号的相位
- 电荷泵 → 简化环路滤波器实现
- 环路滤波器 → 平滑PFD信号

目标：将VCO的相位锁定到参考信号的相位

振荡器相位与频率的关系

- 频率越高，相位积累越快



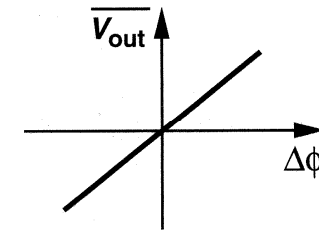
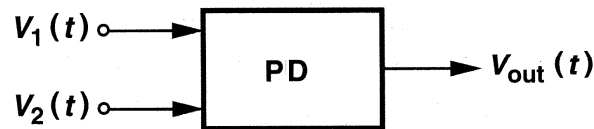
$$\phi = \int \omega dt + \phi_0 \quad \Longrightarrow \quad \omega = \frac{d\phi}{dt}$$

相位检测

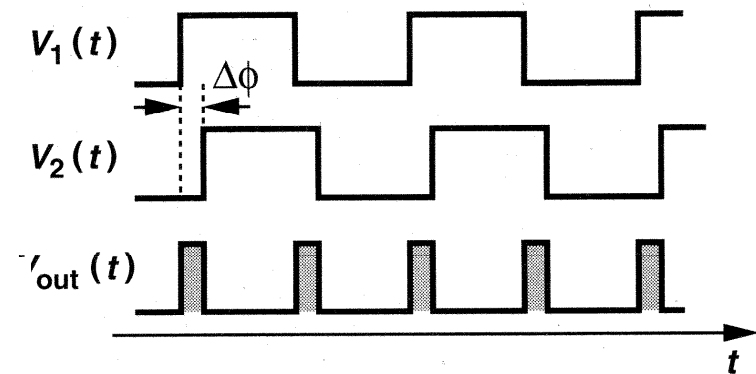
■ 鉴相器 (PD)

- 平均输出电压与两个输入信号的相位成正比，增益为 K_{PD}

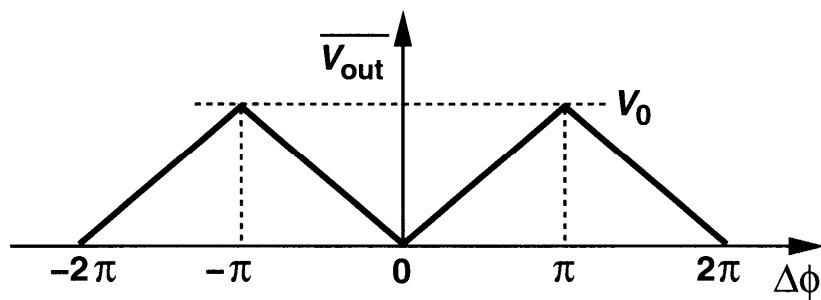
$$\overline{V_{out}} = K_{PD} \cdot \Delta\phi$$



- 最简单的鉴相器:

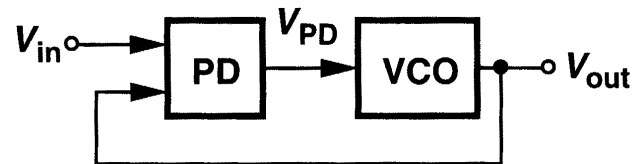


- 输入输出特性:

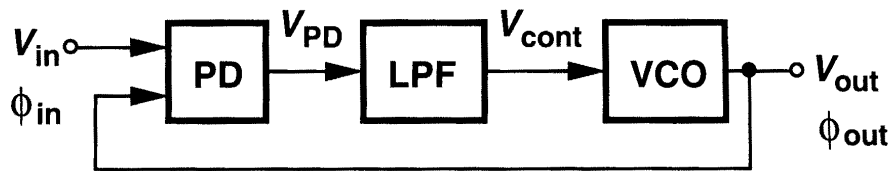


基本PLL结构

- 用PD和VCO组成负反馈系统使输出信号的相位与输入信号（ V_{in} ，参考时钟频率）的相位对齐，达到频率精确相等



加入低通滤波器滤除 V_{PD} 中的高次谐波，取出均值



■ 锁定条件

- 输入输出信号的相位差达到一个很小的值且不随时间变化

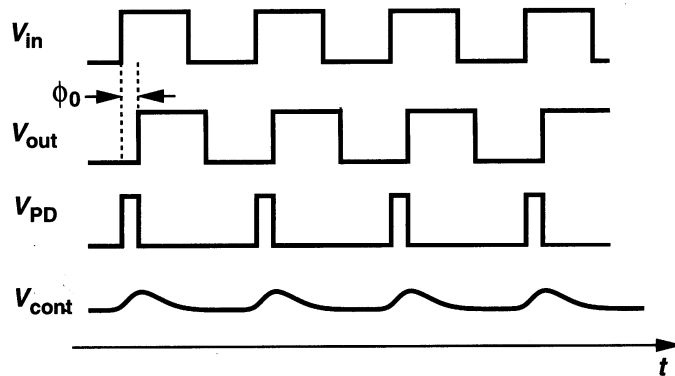
$$\phi_{in} - \phi_{out} = \text{常数} \longrightarrow \frac{d\phi_{in}}{dt} - \frac{d\phi_{out}}{dt} = 0 \longrightarrow \omega_{in} = \omega_{out}$$

主要内容

- PLL概述
- PLL的数学模型和性能分析
 - I型PLL环定性分析
 - I型PLL动态特性分析
 - II型PLL设计
 - PLL的相噪声分析
- PLL模块电路设计
- 频率合成技术

PLL的定性分析

■ 定情况下的锁相环波形



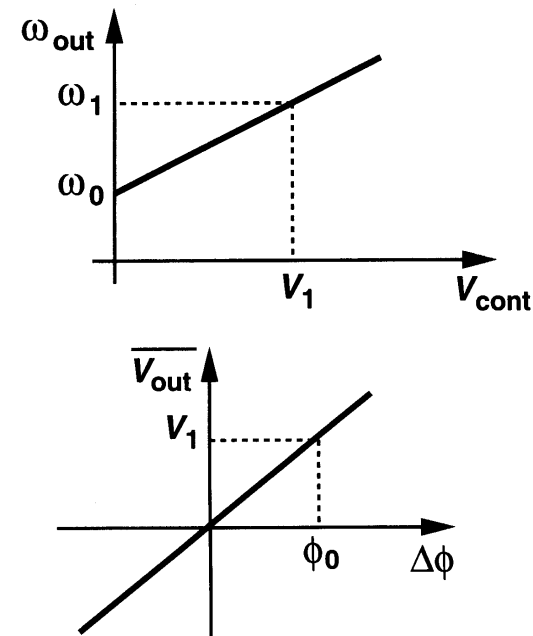
■ 相位误差计算

- 假定锁定后，输入输出频率为 ω_1 ，则VCO的控制电压 V_1

$$V_1 = \frac{\omega_1 - \omega_0}{K_{VCO}}$$

- 此时，鉴相器必须产生相差 ϕ_0

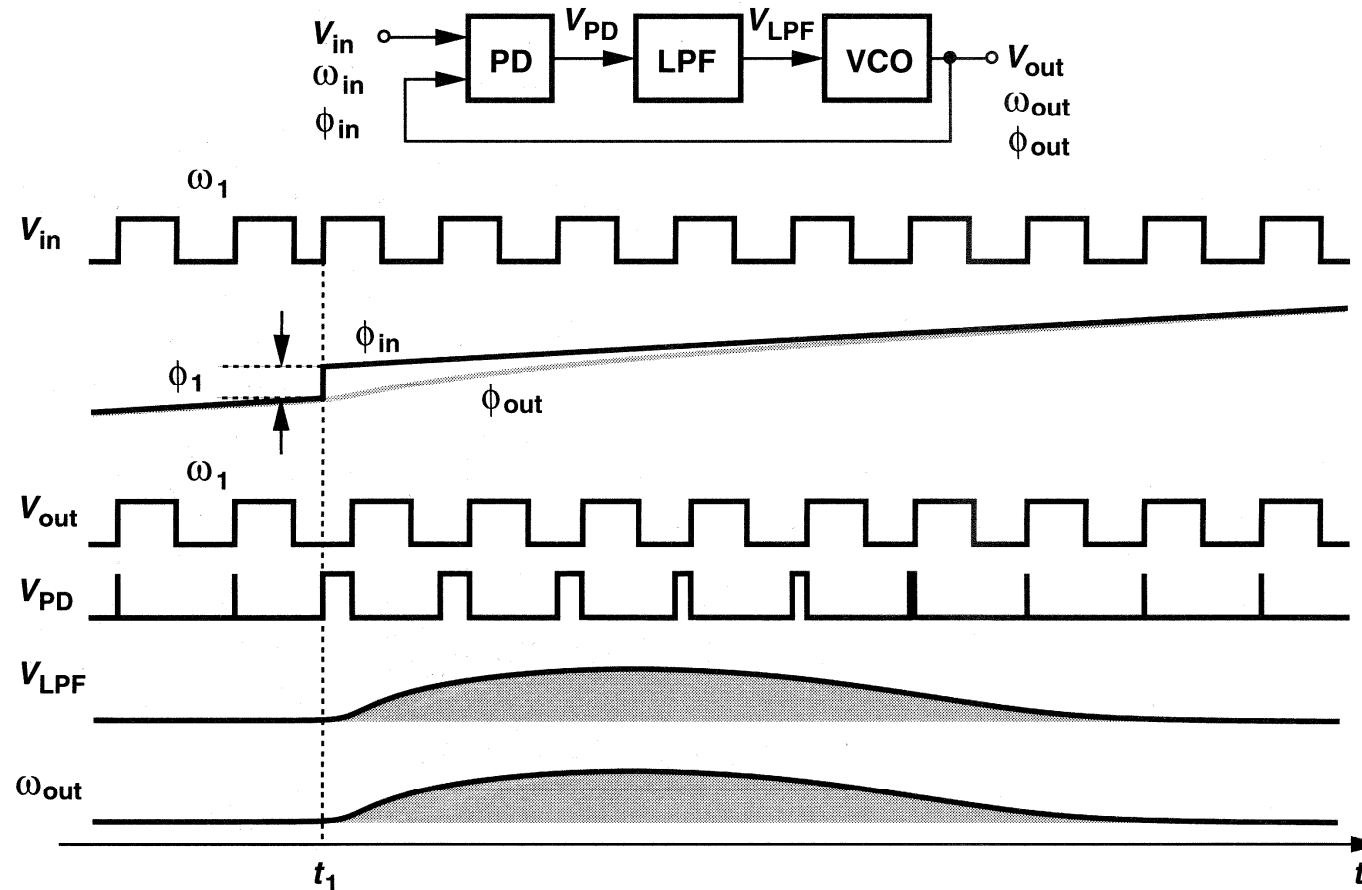
$$\phi_0 = V_1 / K_{PD} \longrightarrow \phi_0 = \frac{\omega_1 - \omega_0}{K_{PD} K_{VCO}}$$



输入频率变化会引起
相位误差变化
误差随 K_{PD} 和 K_{VCO} 的增
大而减小

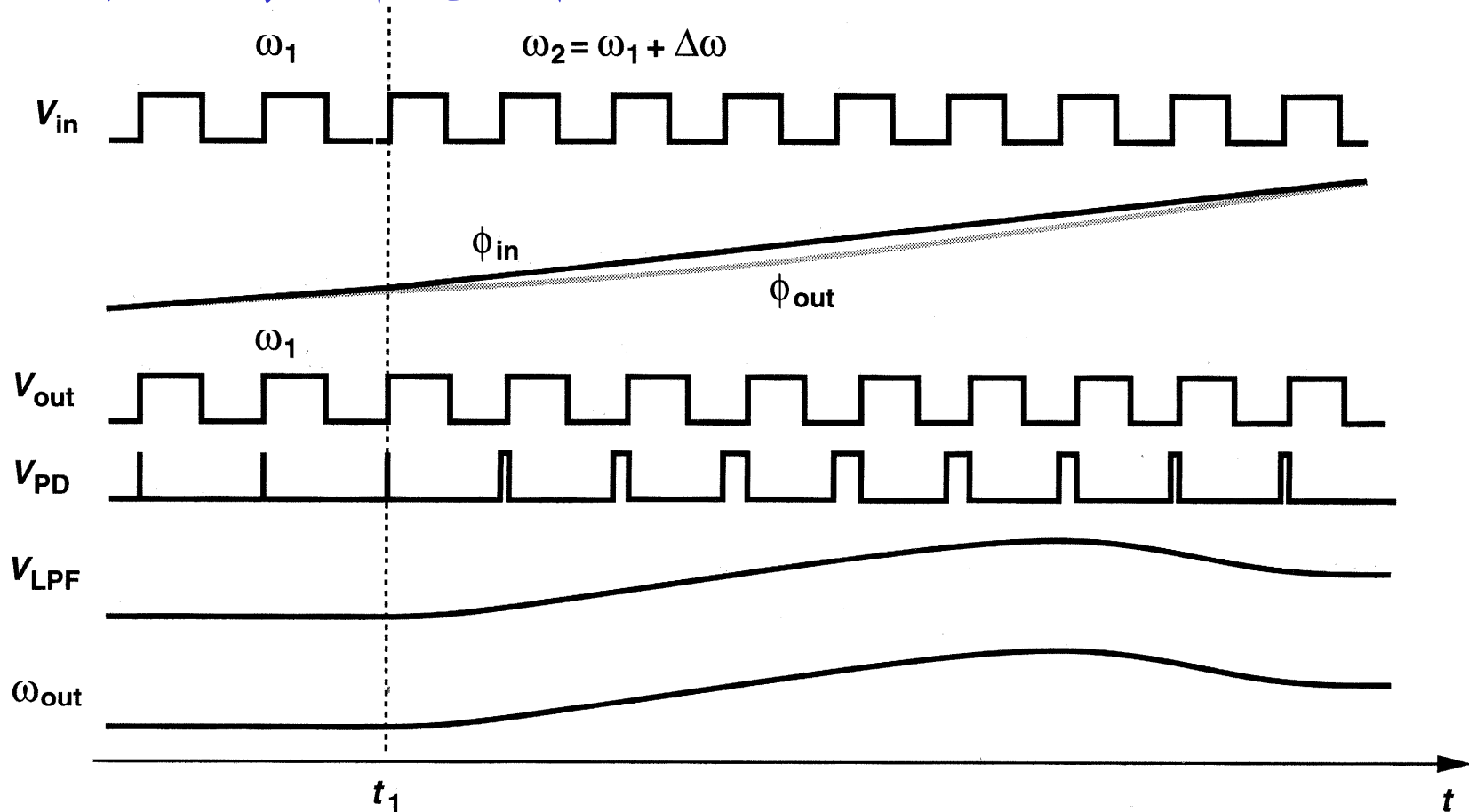
锁定情况下的瞬变过程

■ 输入信号相位发生阶跃



- VCO的频率升高，快速积累相位，然后再降低到初始值

■ 输入信号频率发生阶跃



- VCO的频率缓变，最终赶上输入信号

主要内容

- PLL概述
- PLL的数学模型和性能分析
 - I型PLL环定性分析
 - I型PLL动态特性分析
 - II型PLL设计
 - PLL的相噪声分析
- PLL模块电路设计
- 频率合成技术

锁相环的动态分析

- 在锁定的附近，可以认为锁相环是线性系统，建立振荡信号相位的传输函数
 - VCO的数学模型

$$\omega_{out} = \omega_0 + K_{VCO} V_{cont}$$

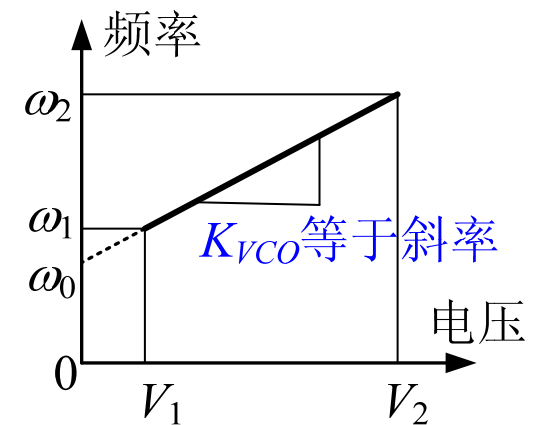
$$V_{out}(t) = V_m \cos(\int \omega_{out} dt + \phi_0) = V_m \cos(\omega_0 + K_{VCO} \int V_{cont} dt + \phi_0)$$

- 考虑由于 V_{cont} 引起的相位变化（称为剩余相位 ϕ_{ex} ）

$$\phi_{ex} = K_{VCO} \int V_{cont} dt$$

拉普拉斯变换

$$\frac{\phi_{ex}}{V_{cont}}(s) = \frac{K_{VCO}}{s}$$

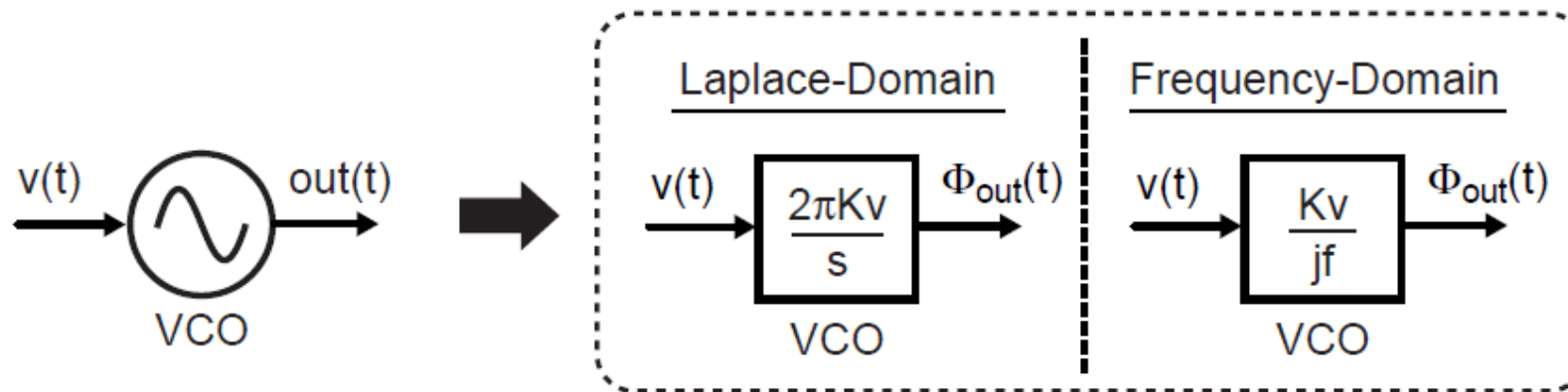


VCO模型

■ 过剩相位的时域表示

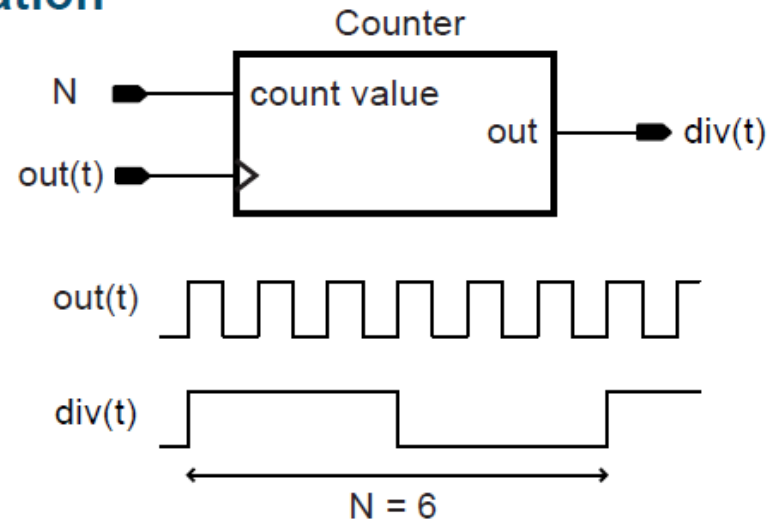
$$\Phi_{out}(t) = \int_{-\infty}^t 2\pi K_v v(\tau) d\tau$$

■ 频域模型



分频器

Implementation



Time-domain model

- Frequency:

$$F_{div}(t) = \frac{1}{N} F_{out}(t).$$

- Phase:

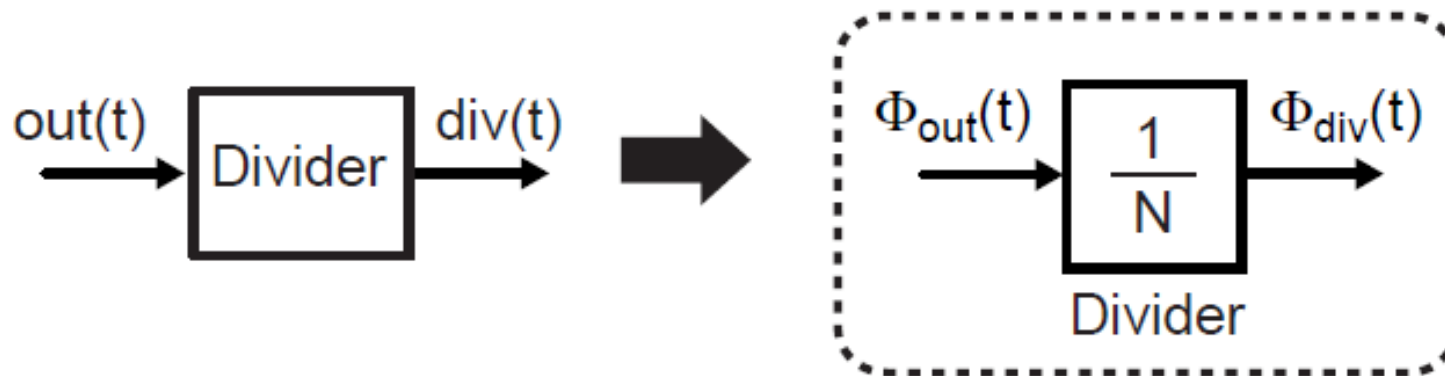
$$\Phi_{div}(t) = \int_{-\infty}^t 2\pi \frac{1}{N} F_{out}(\tau) d\tau = \frac{1}{N} \Phi_{out}(t)$$

分频器模型

■ 输入相位与输出相位的关系

$$\Phi_{div}(t) = \frac{1}{N} \Phi_{out}(t)$$

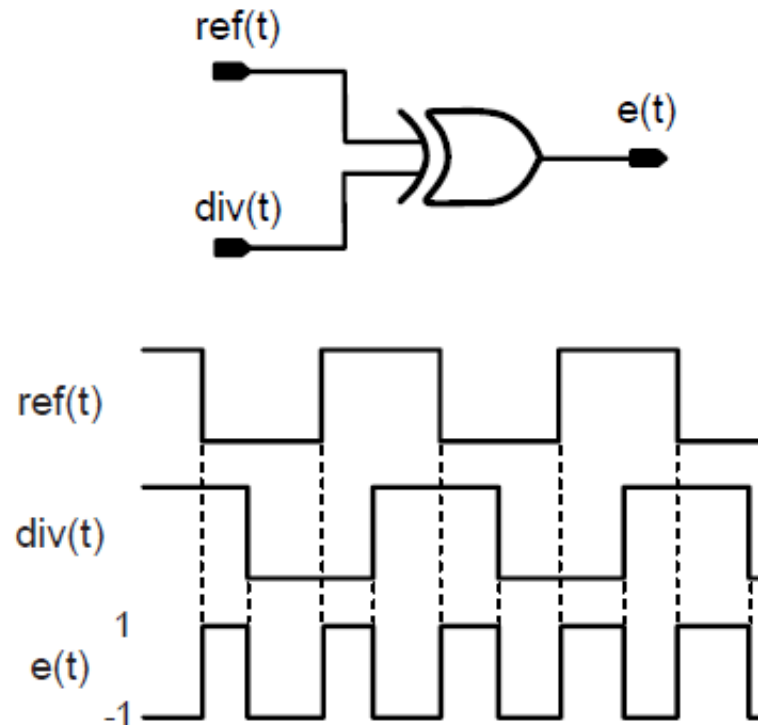
■ 频域模型



基于XOR的鉴相器

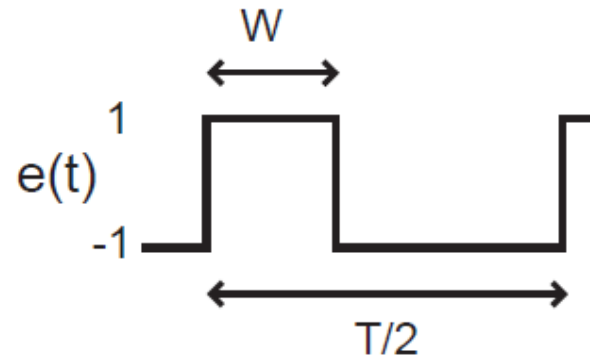
■ XOR

- 误差脉冲的均值对应于相位误差
- 用滤波器提取出均值，输入到VCO



鉴相器的模型

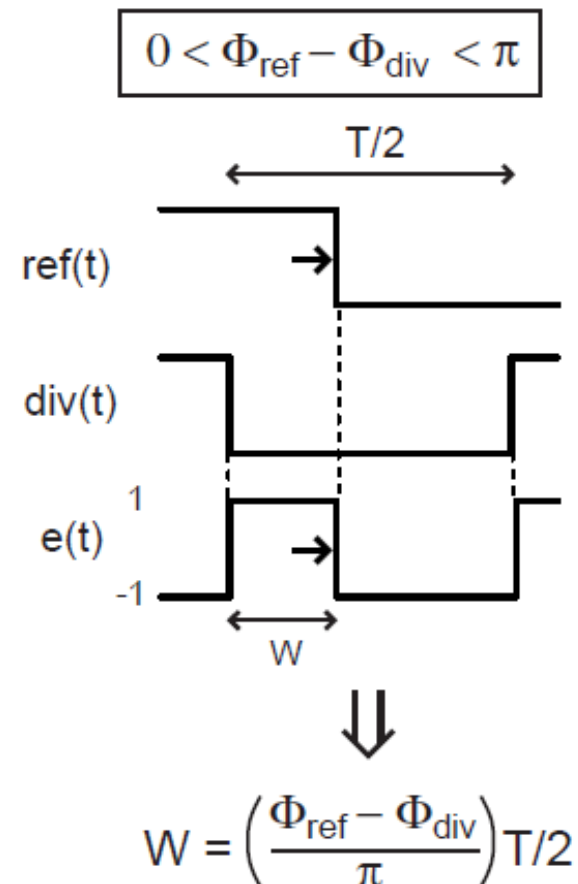
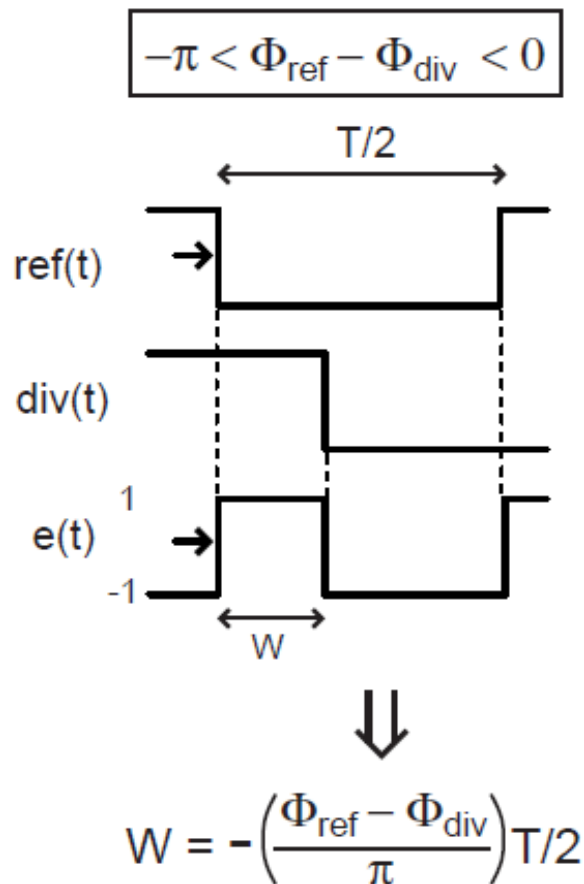
- 用滤波器提取误差脉冲的均值
 - 一个周期内的输出波形



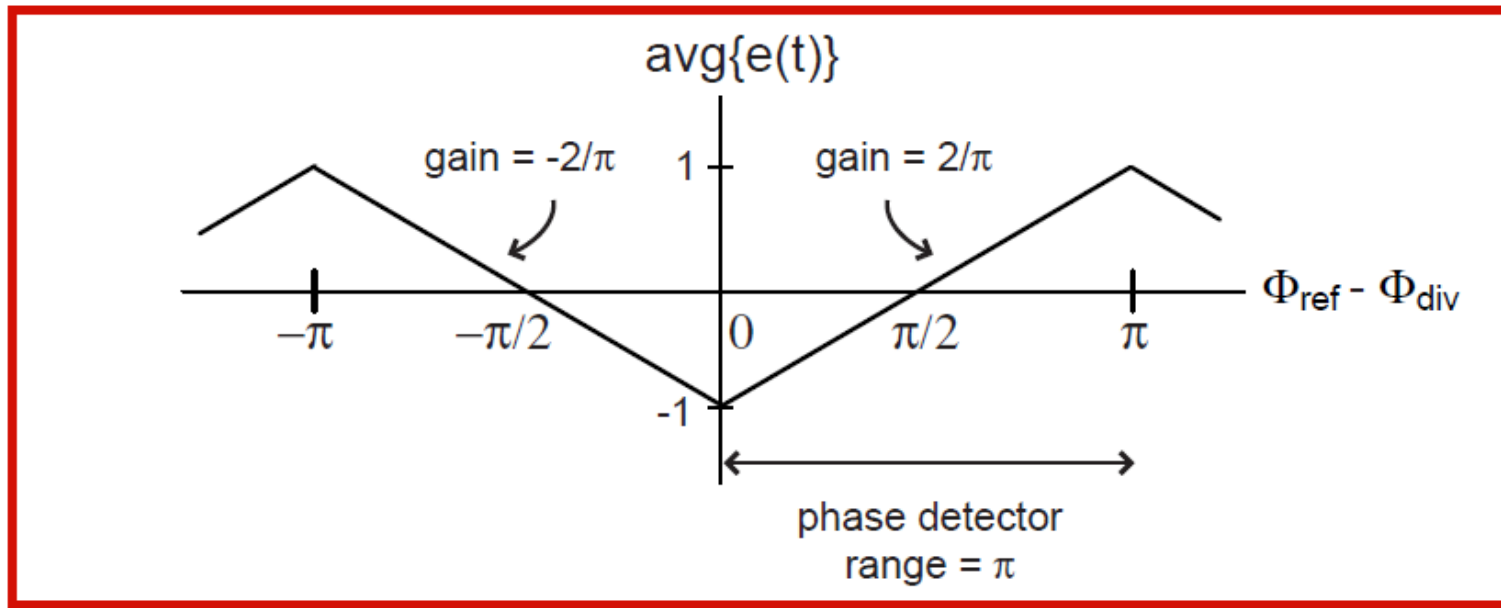
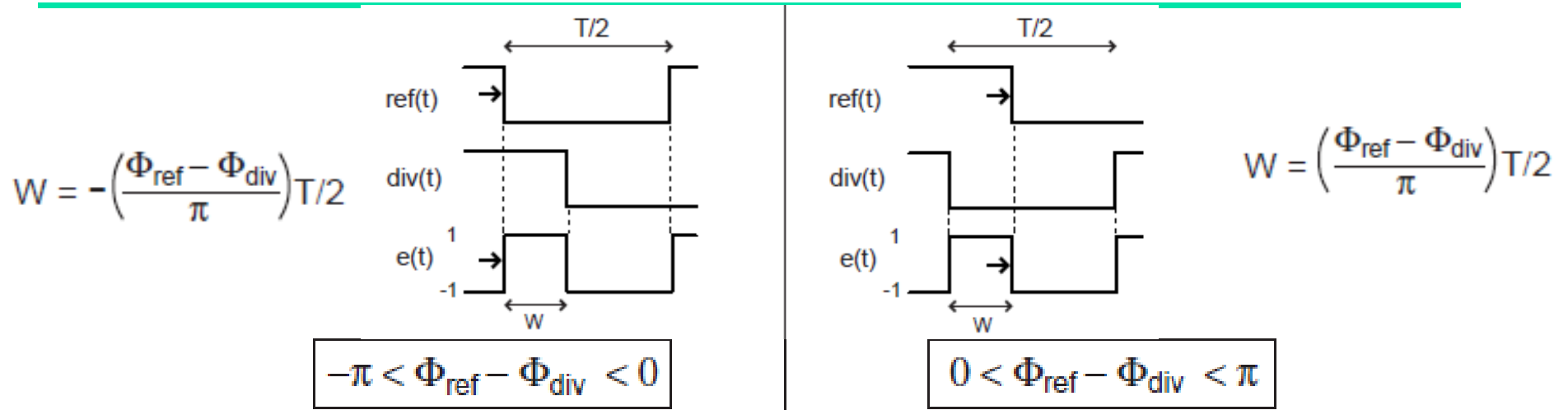
$$\text{avg}\{e(t)\} = -1 + 2\frac{W}{T/2}$$

脉冲宽度与相位误差的关系

- 分为相位超前于滞后两种情况

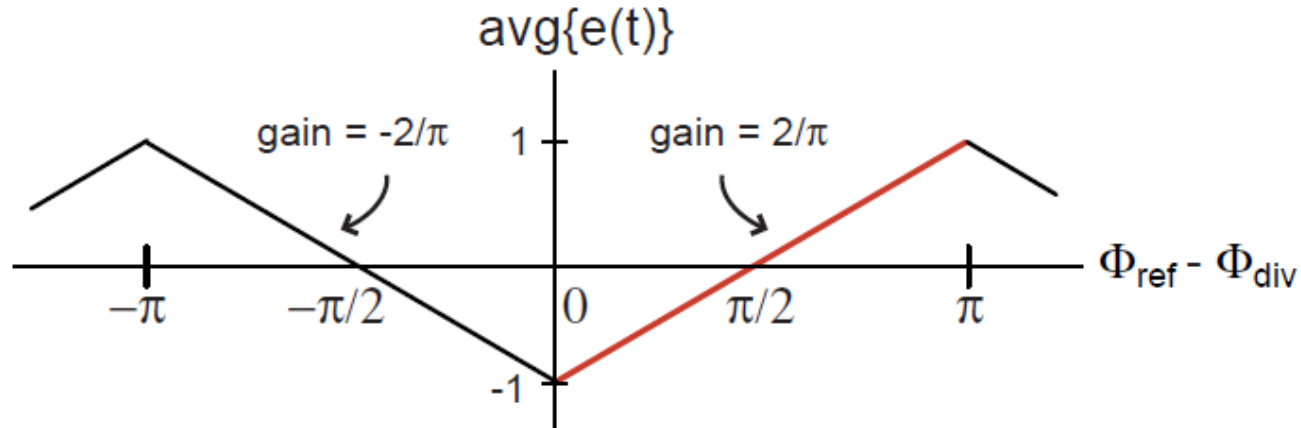


XOR的总体输入输出特性

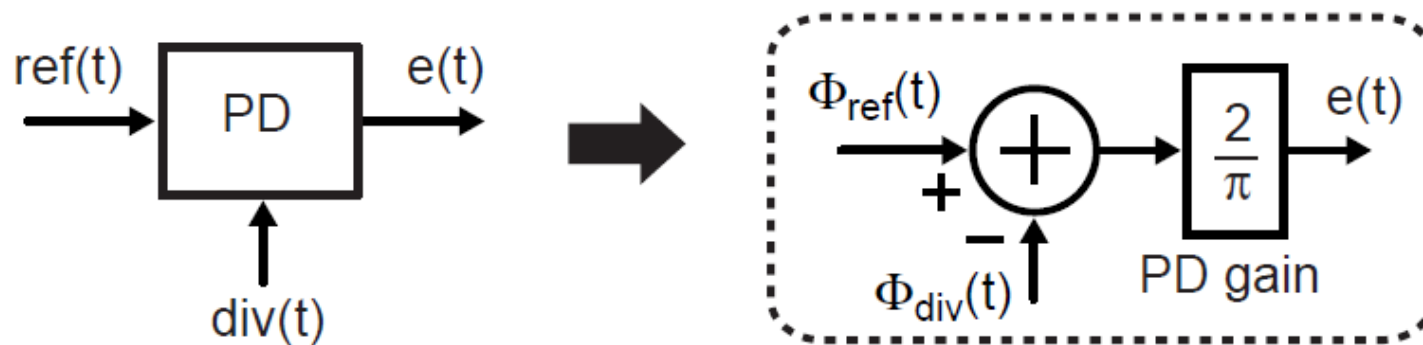


鉴相器模型

- 假定输入输出相位误差在 $0 \sim \pi$ 之间
 - 鉴相器输出信号的均值与相位误差的增益为常数 $2/\pi$

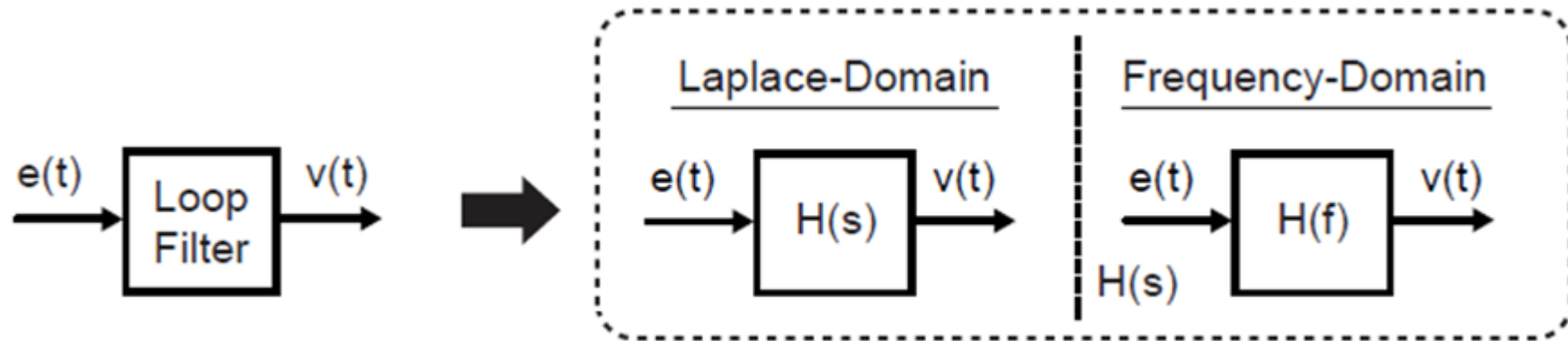


- 模型

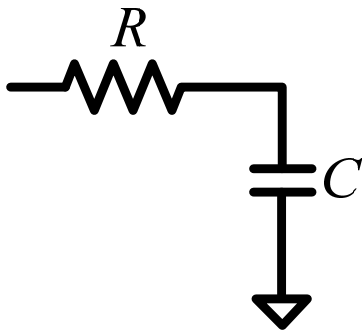


环路滤波器的模型

- 用于提取鉴相器输出信号的均值

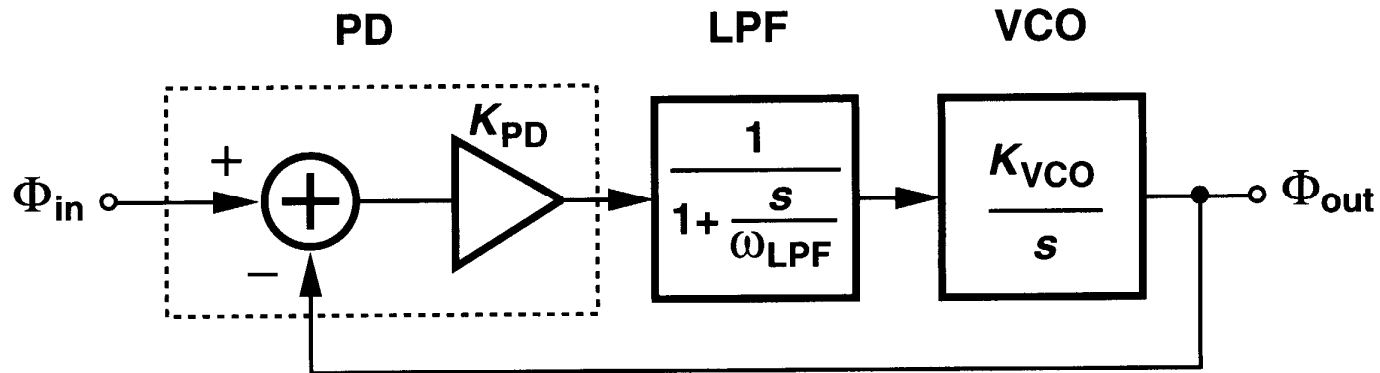


- 一阶低通滤波器



$$H(s) = \frac{1}{1 + sRC} = \frac{1}{1 + s / \omega_{RC}}$$

PLL线性化模型



■ 开环传输函数

$$H(s)|_{open} = \frac{\Phi_{out}(s)}{\Phi_{in}(s)} = K_{PD} \frac{1}{1 + s/\omega_{RC}} \frac{K_{VCO}}{s}$$

开环传输函数在 $\omega=0$ 处有一个极点，称为I型锁相环

- 定义环路增益 $K = K_{PD}K_{VCO}$ (rad/s)
- 闭环传输函数为

$$H(s)|_{\text{closed}} = \frac{\Phi_{out}(s)}{\Phi_{in}(s)} = \frac{K}{s^2 / \omega_{RC} + s + K}$$

将 $H(s)$ 写成标准的2阶系统传递函数形式

$$H(s) = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2}$$

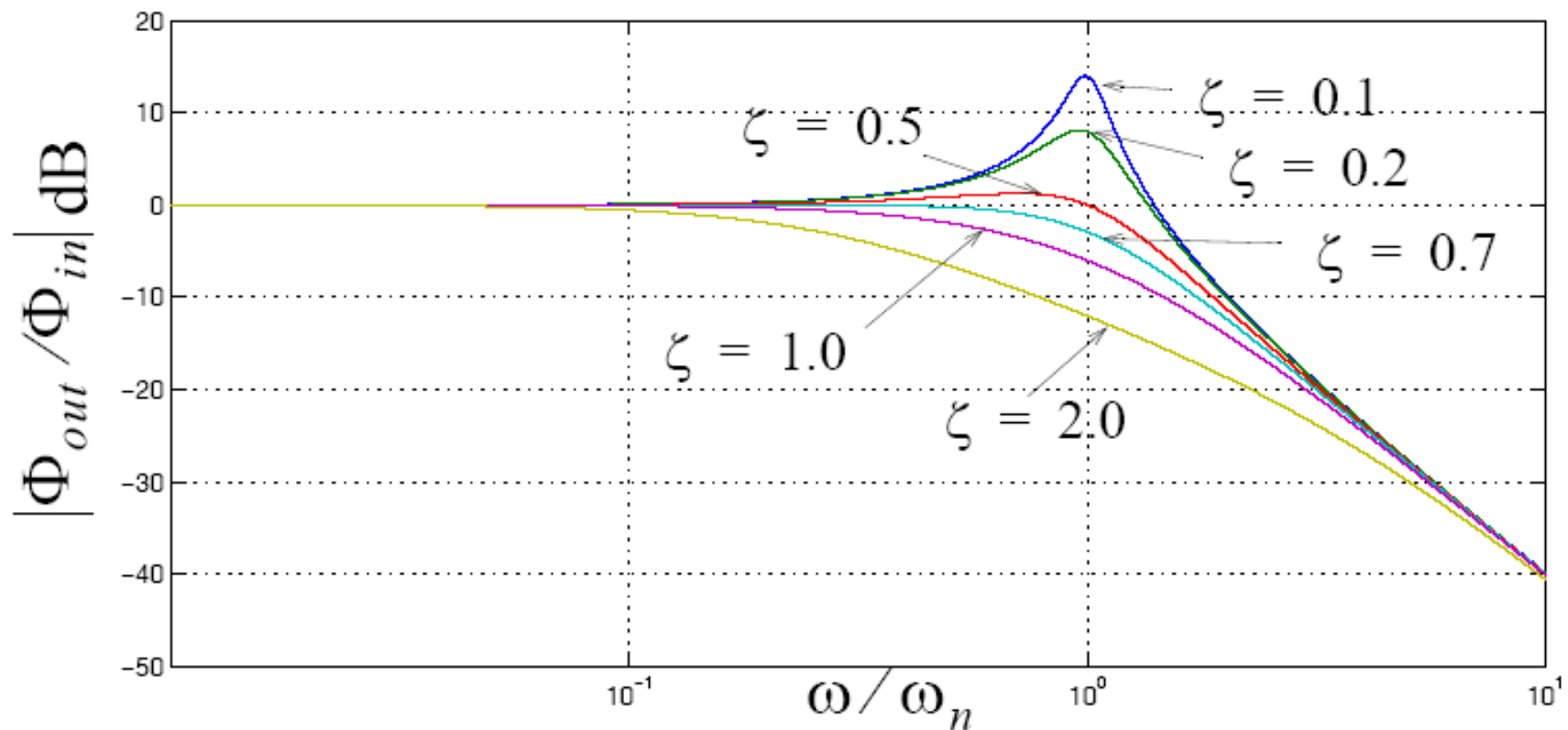
其中自然角频率(natural frequency)为:

$$\omega_n = \sqrt{\omega_{RC}K}$$

阻尼系数(damping factor)为: $\zeta = \frac{1}{2}\sqrt{\frac{\omega_{RC}}{K}}$

ω_n 和 ζ 存在相互影响, 无法单独设计

不同阻尼系数所对应的频率响应如图所示，注意这里的频率是指信号相位的变化频率，区别于VCO信号的真实频率。



- 当输入信号频率变化 $\Delta\omega$ 时，相位差的变化情况（锁定过程）

定义相位误差传递函数：

$$H_e(s) = \frac{\Phi_e(s)}{\Phi_{in}(s)} = \frac{\Phi_{in}(s) - \Phi_{out}(s)}{\Phi_{in}(s)} = 1 - H(s) = \frac{s^2 + 2\xi\omega_n s}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

输入为 $\Delta\omega$ 的阶跃，对应的 $\Phi_{in}(s) = \frac{\Delta\omega}{s^2}$

$$\Phi_e(s) = H_e(s)\Phi_{in}(s) = \frac{s^2 + 2\xi\omega_n s}{s^2 + 2\xi\omega_n s + \omega_n^2} \cdot \frac{\Delta\omega}{s^2}$$

其稳态解为（终值定理）

$$\phi_e(t \rightarrow \infty) = \lim_{s \rightarrow 0} s\Phi_e(s) = \Delta\omega \frac{2\xi}{\omega_n} = \frac{\Delta\omega}{K}$$

与定性分析的结果一致

■ 瞬态分析

- 闭环传输函数的两个极点

$$s_{1,2} = -\xi\omega_n \pm \sqrt{(\xi^2 - 1)\omega_n^2} = \left(-\xi \pm \sqrt{\xi^2 - 1}\right)\omega_n$$

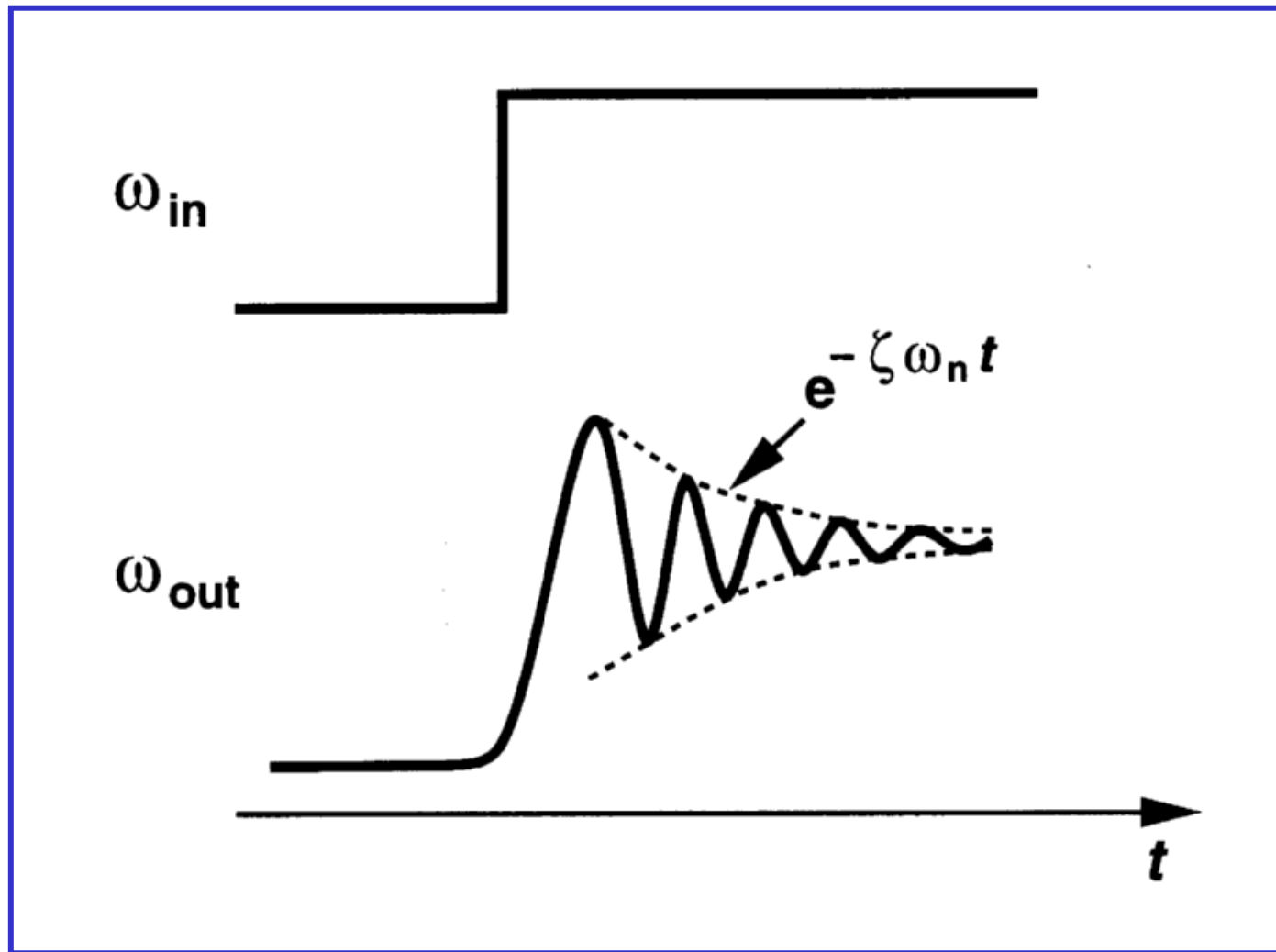
- 当 $\xi > 1$ 时，两个极点都是实数，过阻尼
- 当 $\xi < 1$ 时，两个极点为共轭复数，输入频率阶跃 $\Delta\omega u(t)$ 时，系统的瞬态响应为

$$\omega_{out} = \left\{ 1 - \frac{1}{\sqrt{1 - \xi^2}} e^{-\xi\omega_n t} \cdot \sin\left(\omega_n \sqrt{1 - \xi^2} t + \sin^{-1} \sqrt{1 - \xi^2}\right) \right\} \cdot \Delta\omega u(t)$$

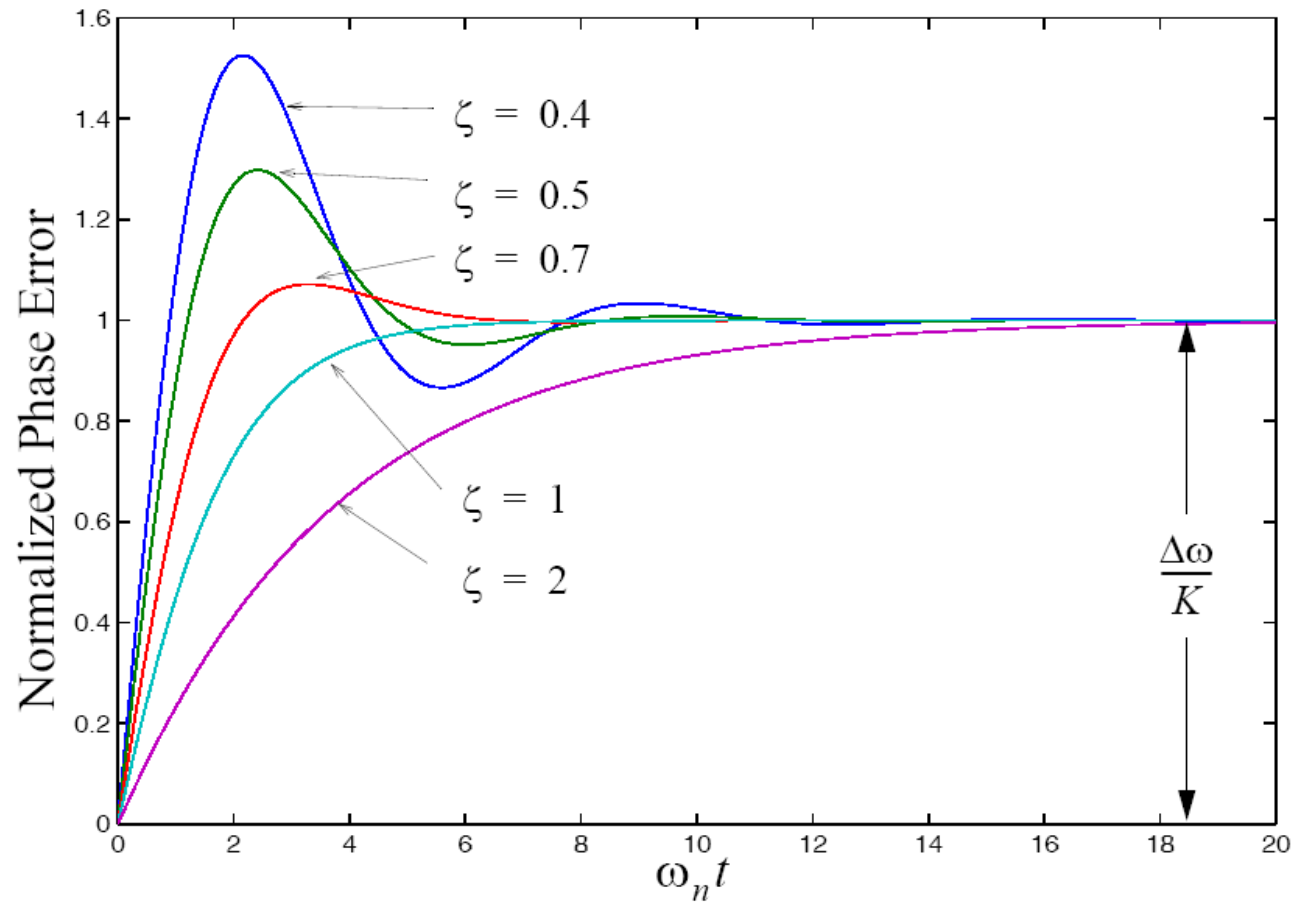
- 输出频率稳定前存在衰减振荡，衰减因子为

$$\xi\omega_n = \omega_{RC} / 2$$

- 增大 ω_{RC} 可以加快PLL的锁定，但不利于抑制控制电压的谐波（简单锁相环的最大缺陷）。



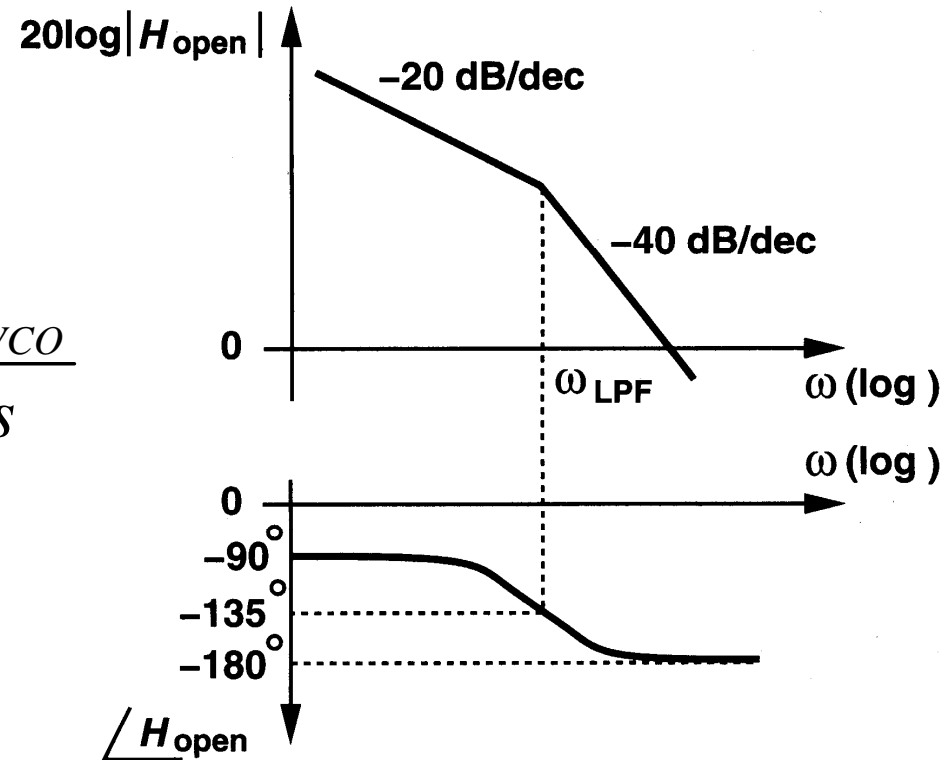
- 输入信号频率阶跃变化 $\Delta\omega$ 时鉴相器输出的瞬态响应
 - ζ 越小，稳定性越差



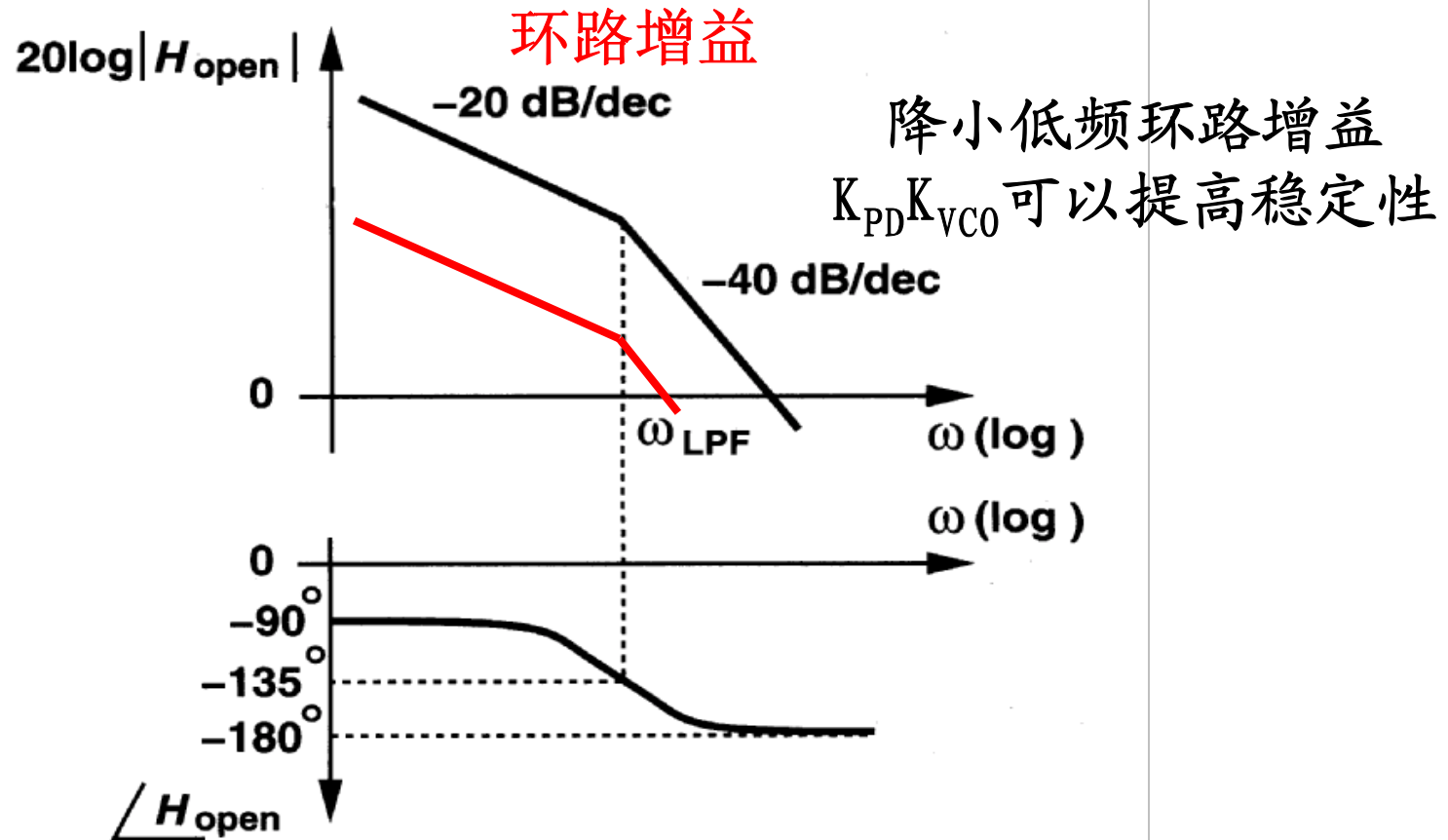
■ I型锁相环开环传输函数波特图分析

$$H(s)|_{open} = \frac{K_{PD}}{1 + s/\omega_{RC}} \frac{K_{VCO}}{s}$$

$$\zeta = \frac{1}{2} \sqrt{\frac{\omega_{RC}}{K}}$$

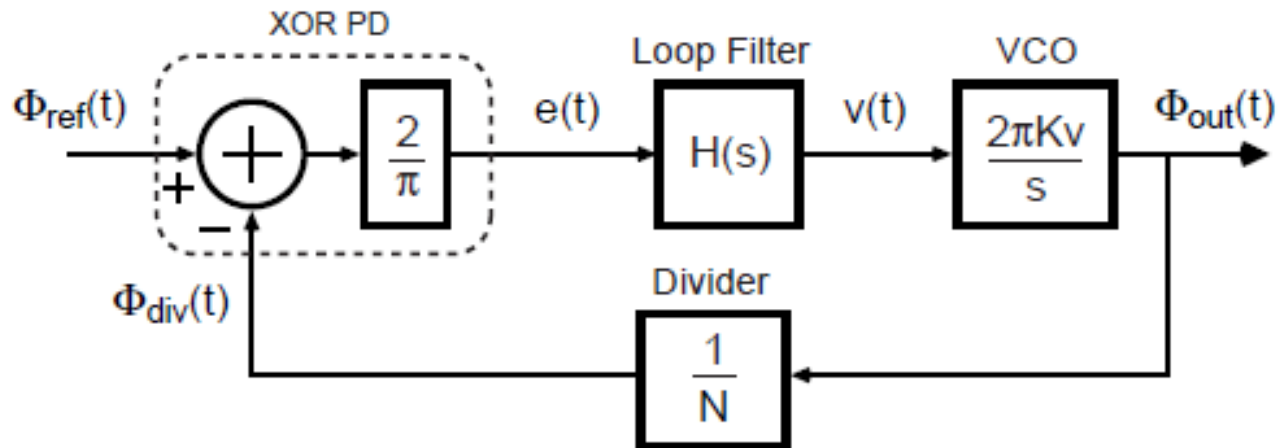


- 增大开环增益 K 可以降低相位误差，但是相位裕度降低，稳定性变差（印证了 ζ 减小）

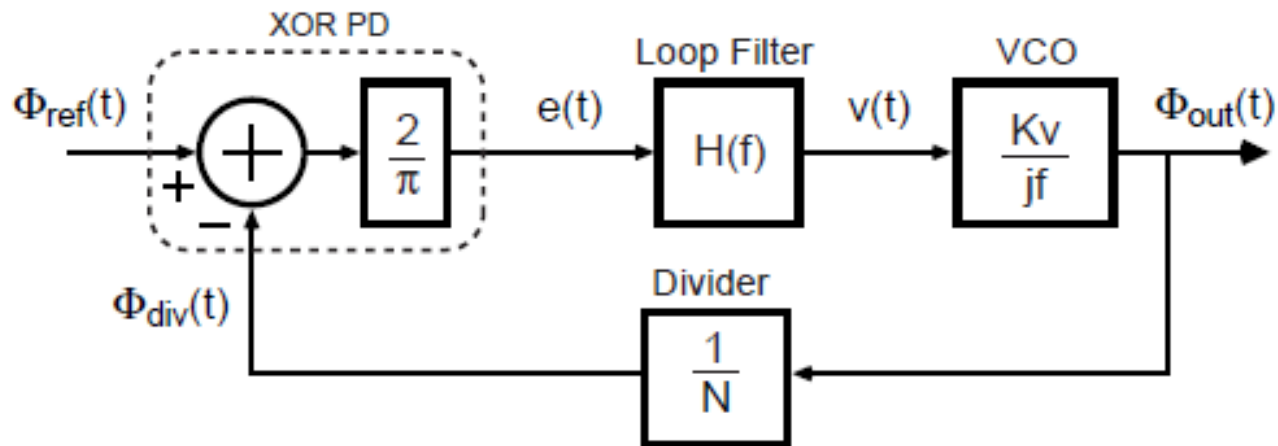


考虑分频比后的模型

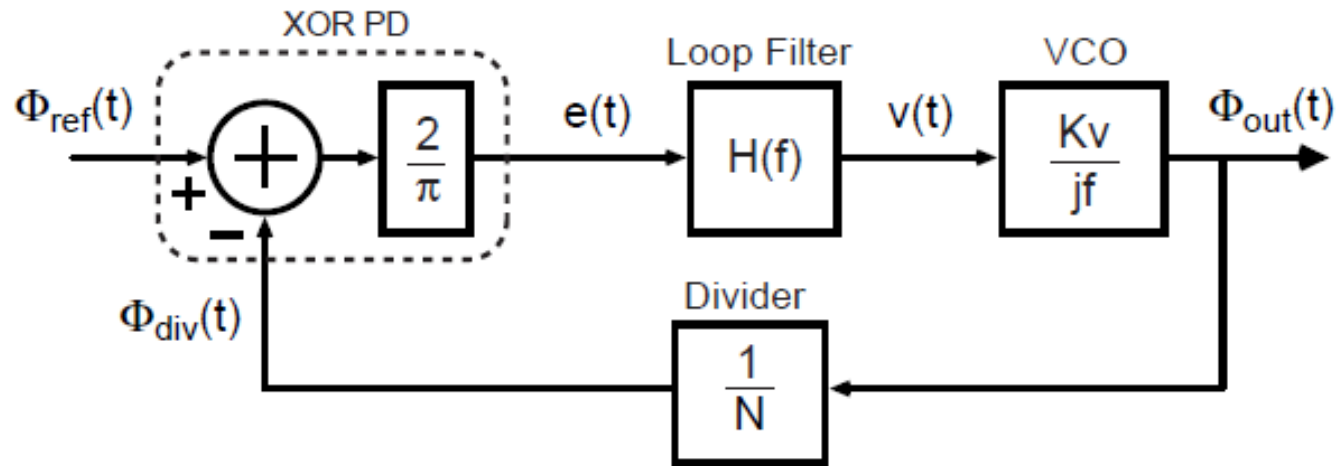
Laplace-Domain Model



Frequency-Domain Model



环路增益对闭环传输函数



- 环路增益

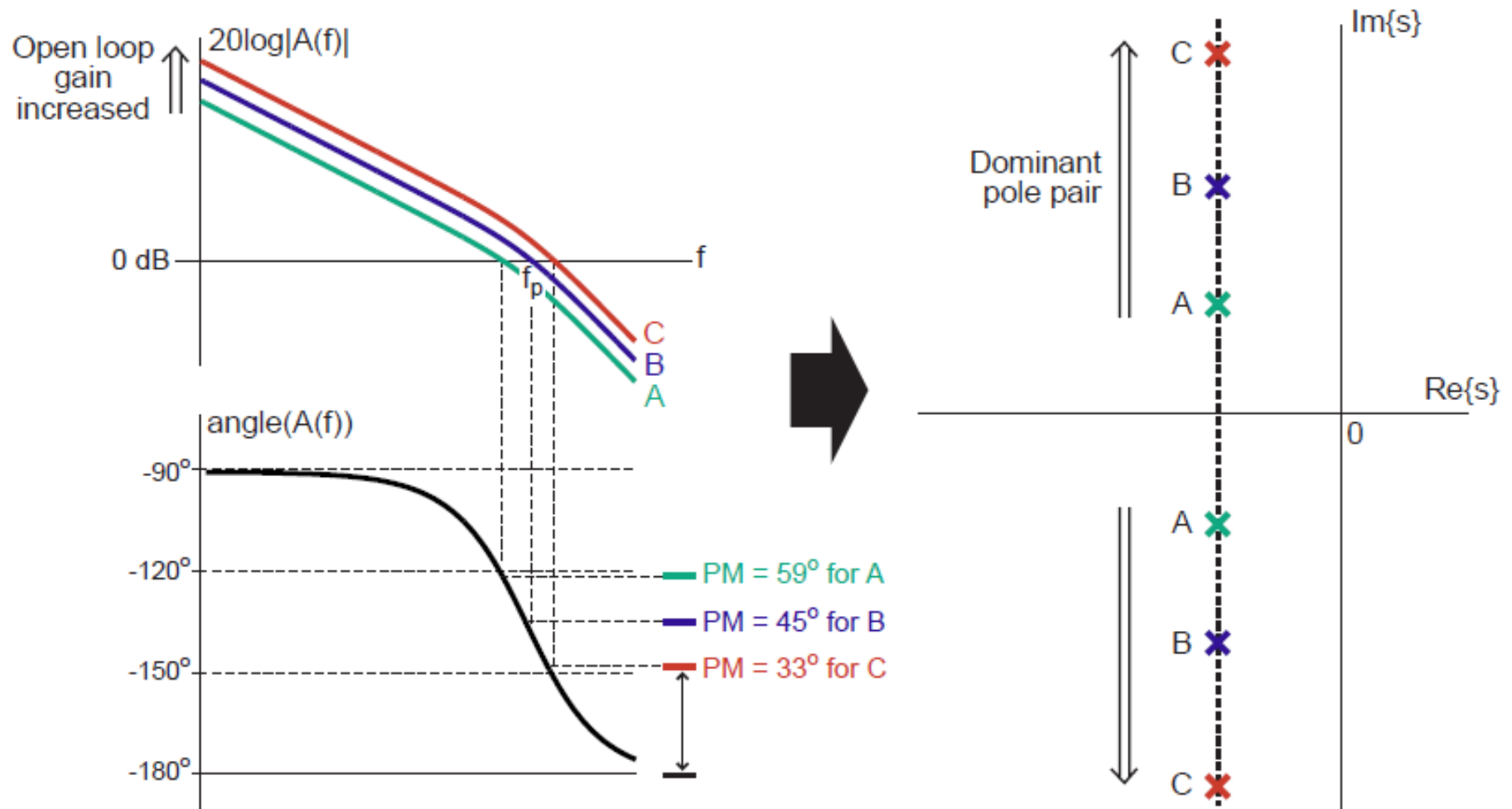
$$A(f) = \frac{2}{\pi} H(f) \left(\frac{K_v}{j f} \right) \frac{1}{N}$$

- 闭环传输函数

$$G(f) = \frac{A(f)}{1 + A(f)}$$

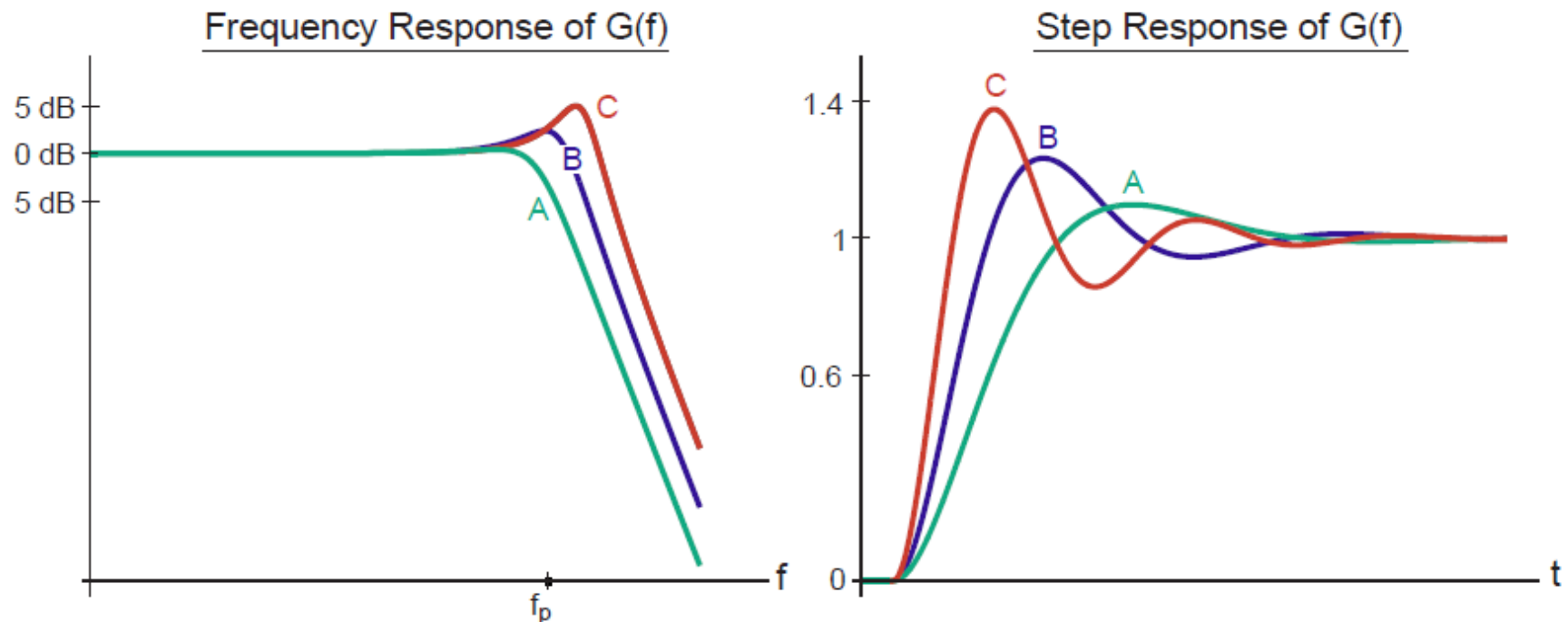
环路增益与闭环响应（根轨迹）

- 增益越小，相位裕度越大（分频比越大，越趋于稳定）



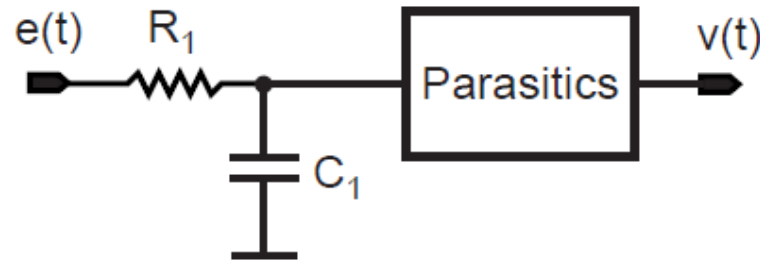
频域响应与时域响应

- 增益环路增益，会导致
 - 频域响应中出现峰值
 - 时域响应出现振铃



寄生极点的影响

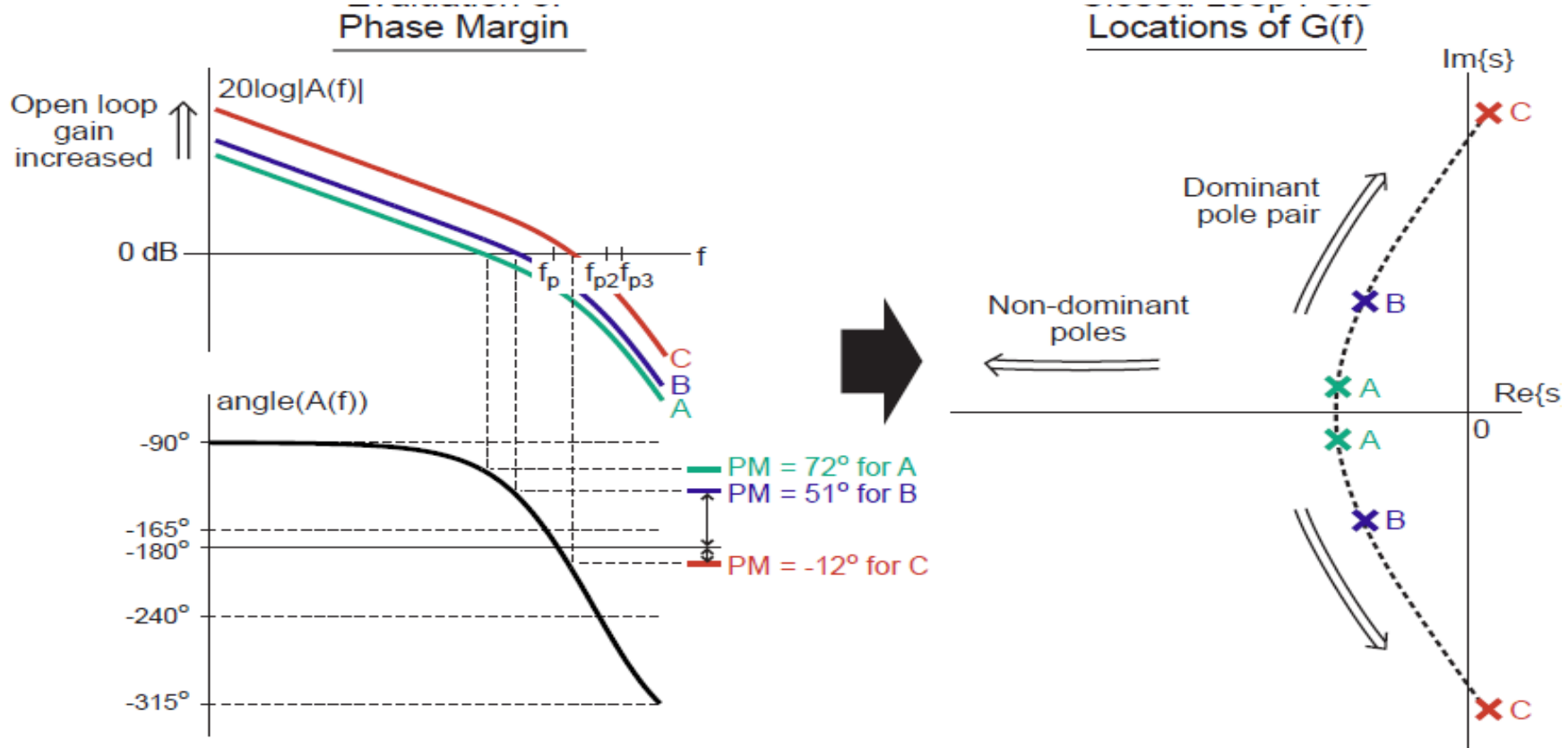
- VCO和滤波器会引入寄生极点
- 综合到环路滤波器中加以分析

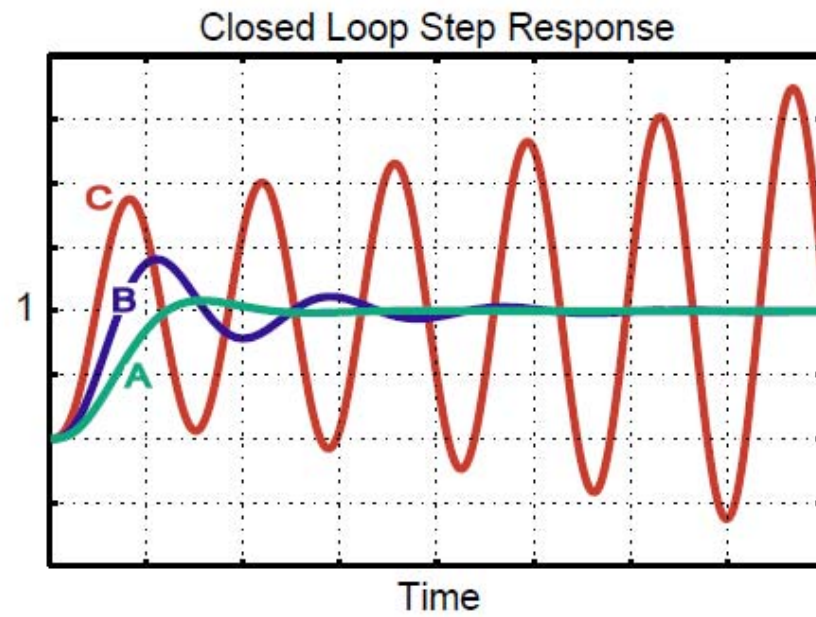
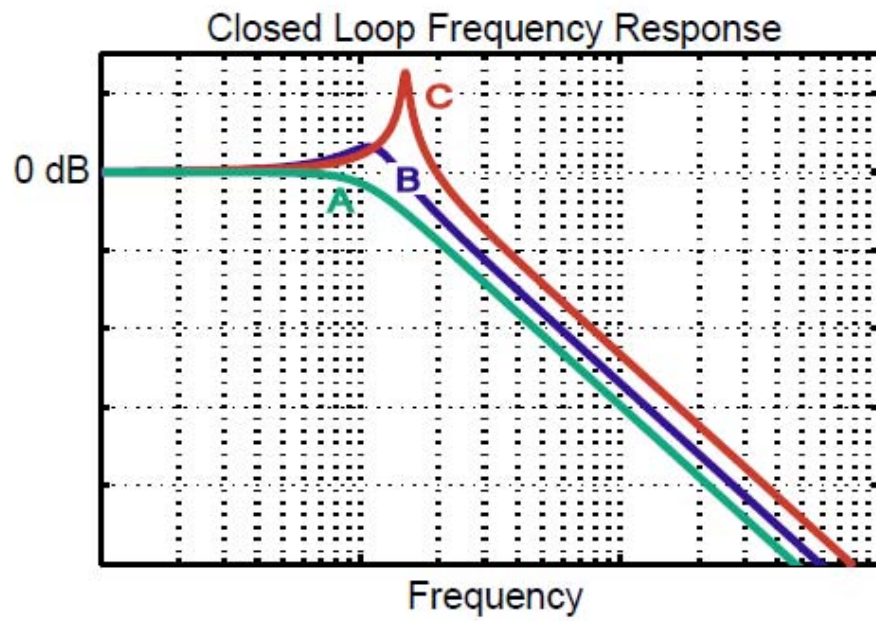


$$\Rightarrow H(f) = \left(\frac{1}{1 + jf/f_1} \right) \left(\frac{1}{1 + jf/f_2} \right) \left(\frac{1}{1 + jf/f_3} \right)$$

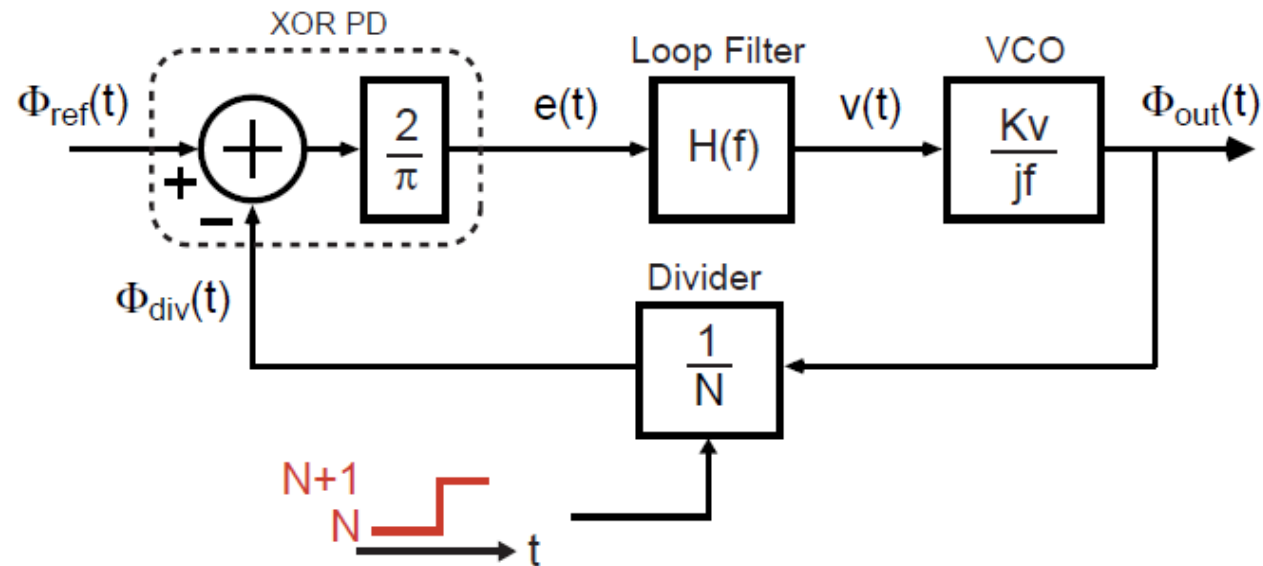
存在寄生极点时的根轨迹

- 系统在某个增益下不再稳定



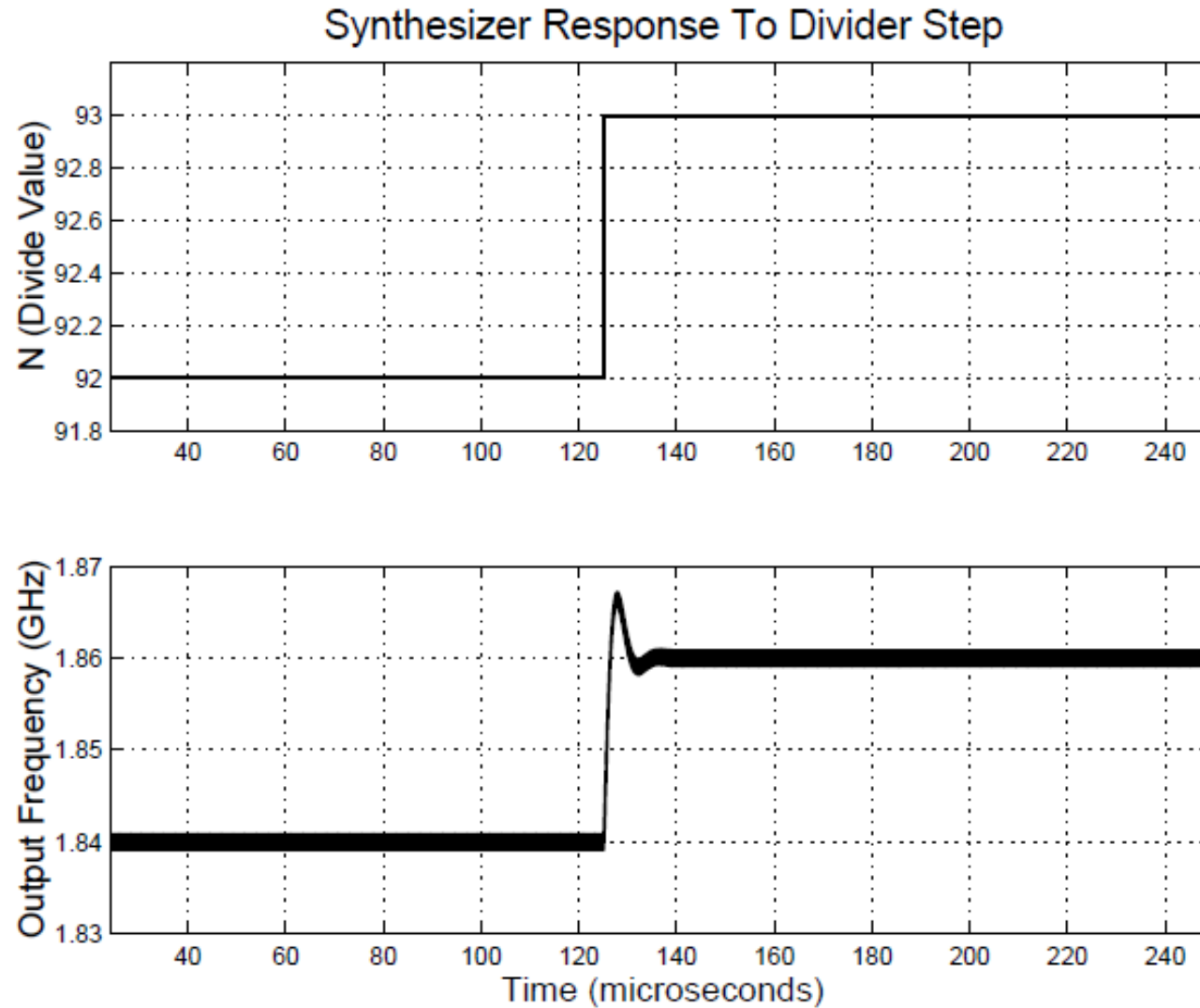


分频比变化时PLL的响应



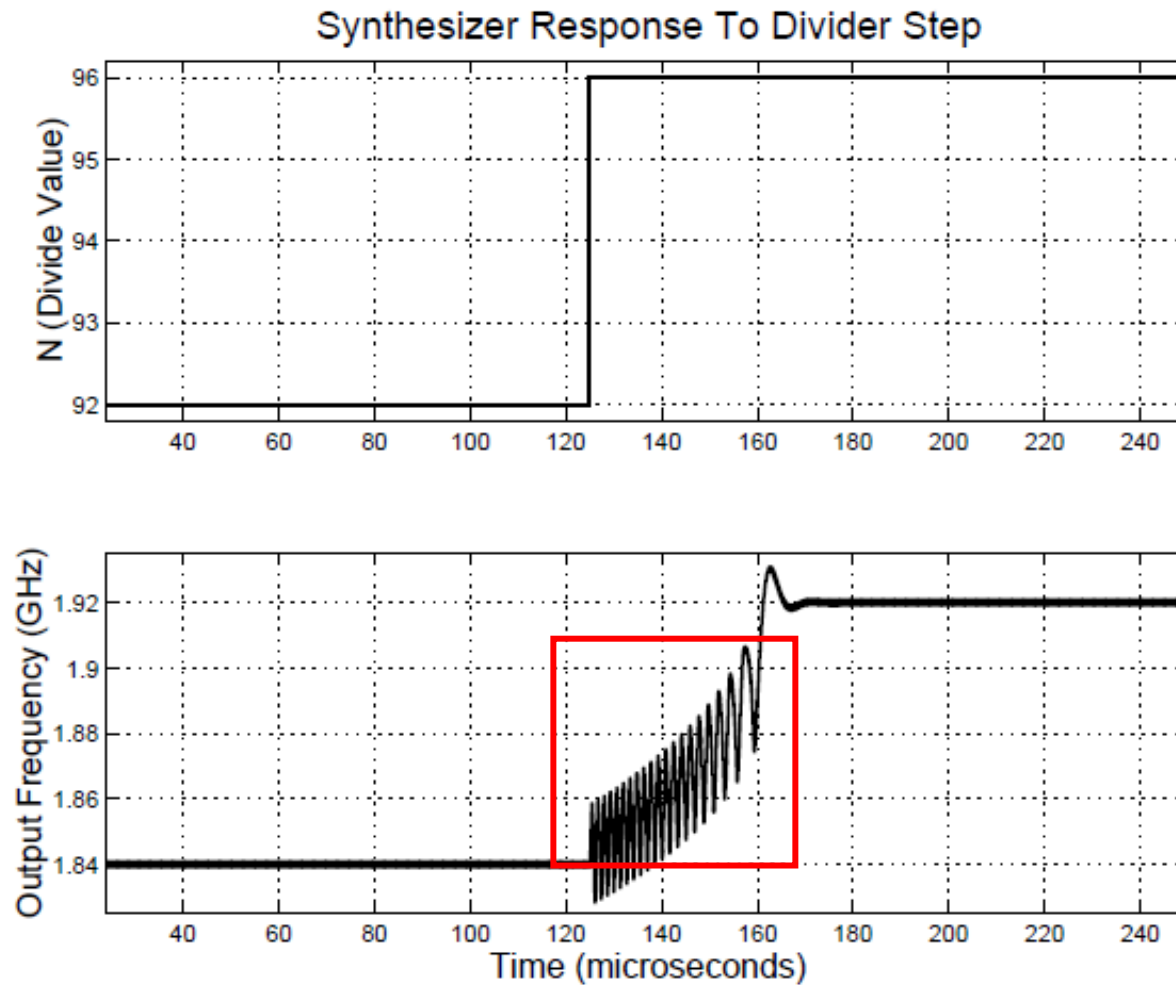
- 通过改变分频比来改变输出频率

分频比变化较小时



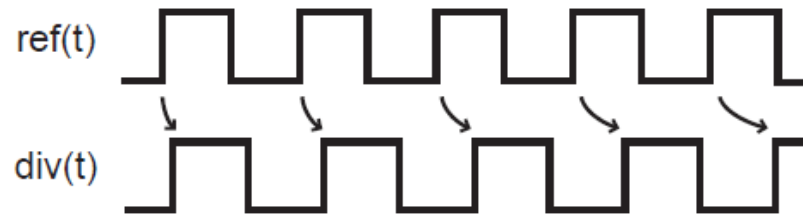
分频比变化较大时

- 出现了周期滑移(cycle slipping)

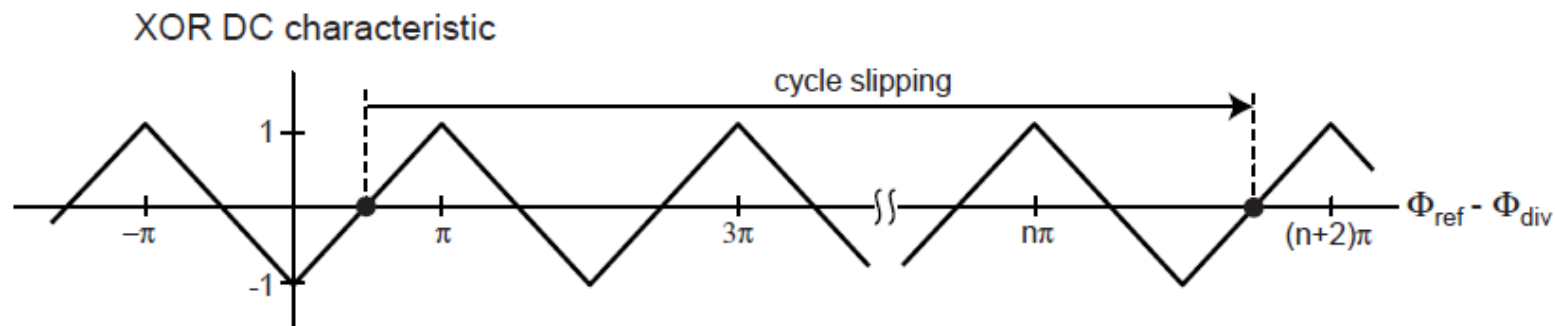


周期滑移的影响

- 输入信号与输出信号存在频率差
 - 相位误差积累

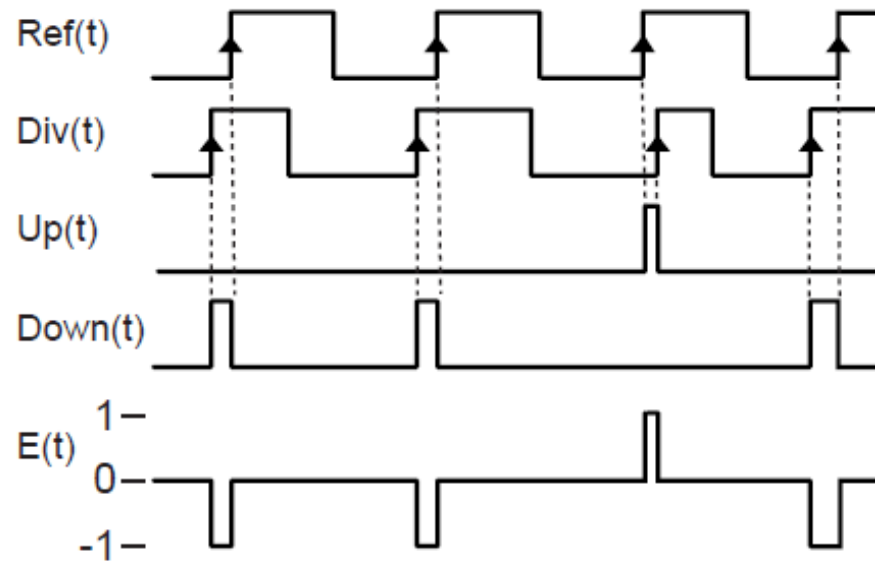
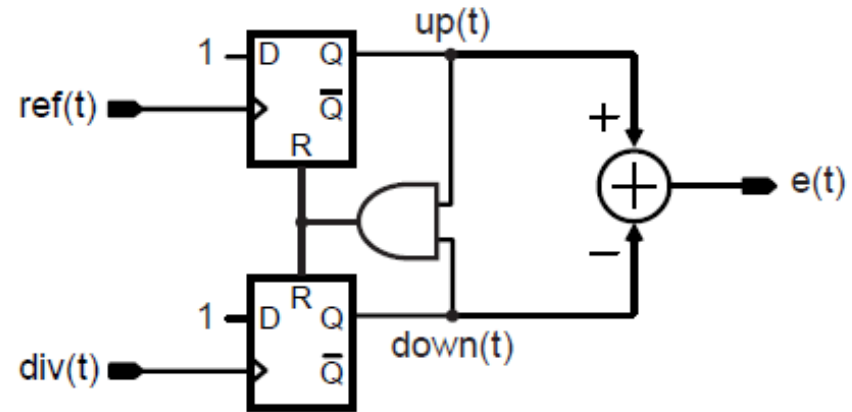


- 鉴相器输出信号所出区域不断切换
- 使VCO的频率出现振荡
- 结果：锁相环锁定范围很小，误差很大时失锁



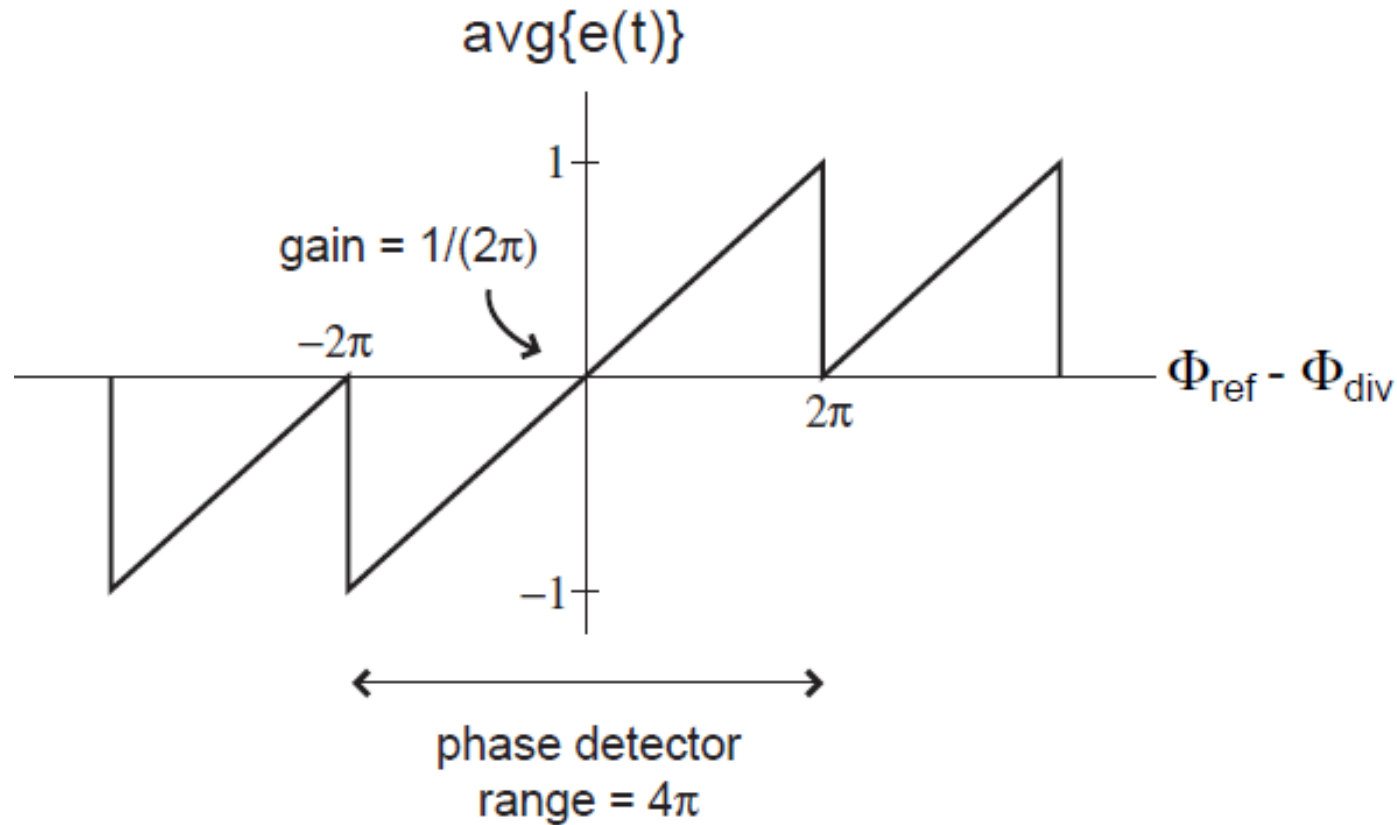
扩大鉴相范围的措施

■ 三态 鉴频鉴相器

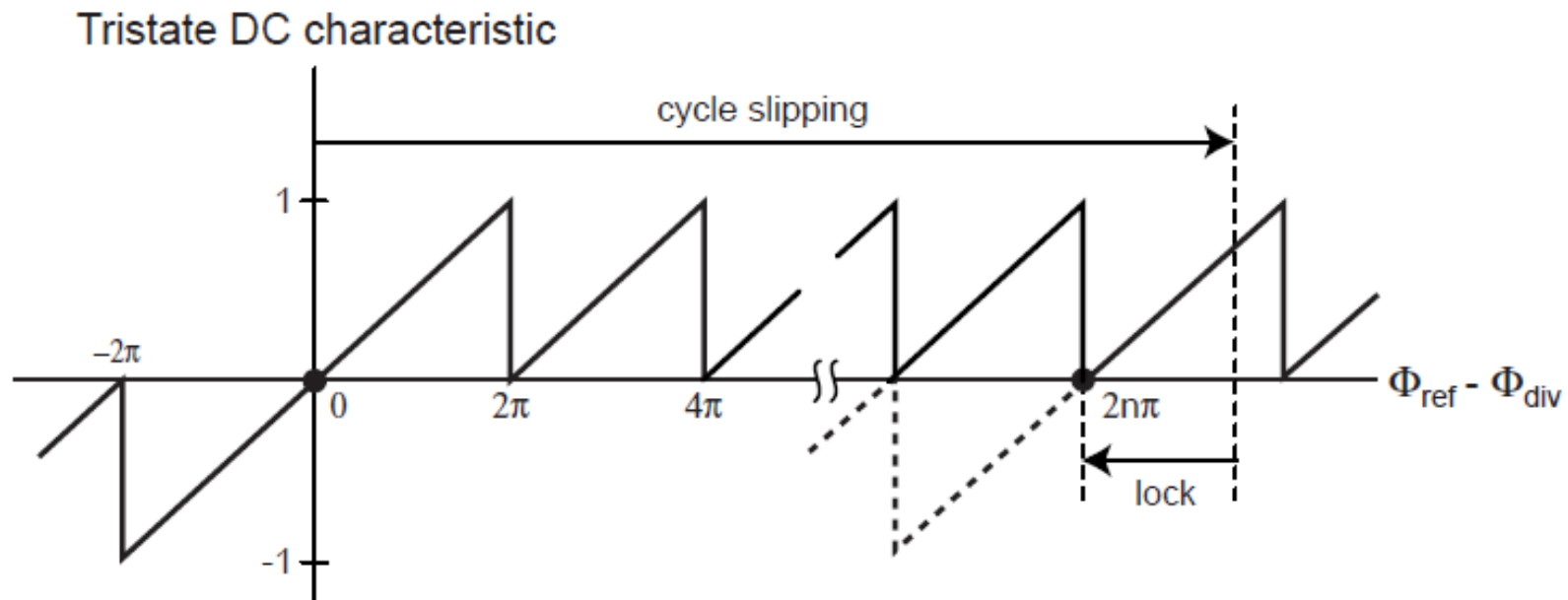


三态PFD的特性

- 相位误差特性关于零点奇对称
 - 提供了鉴频能力

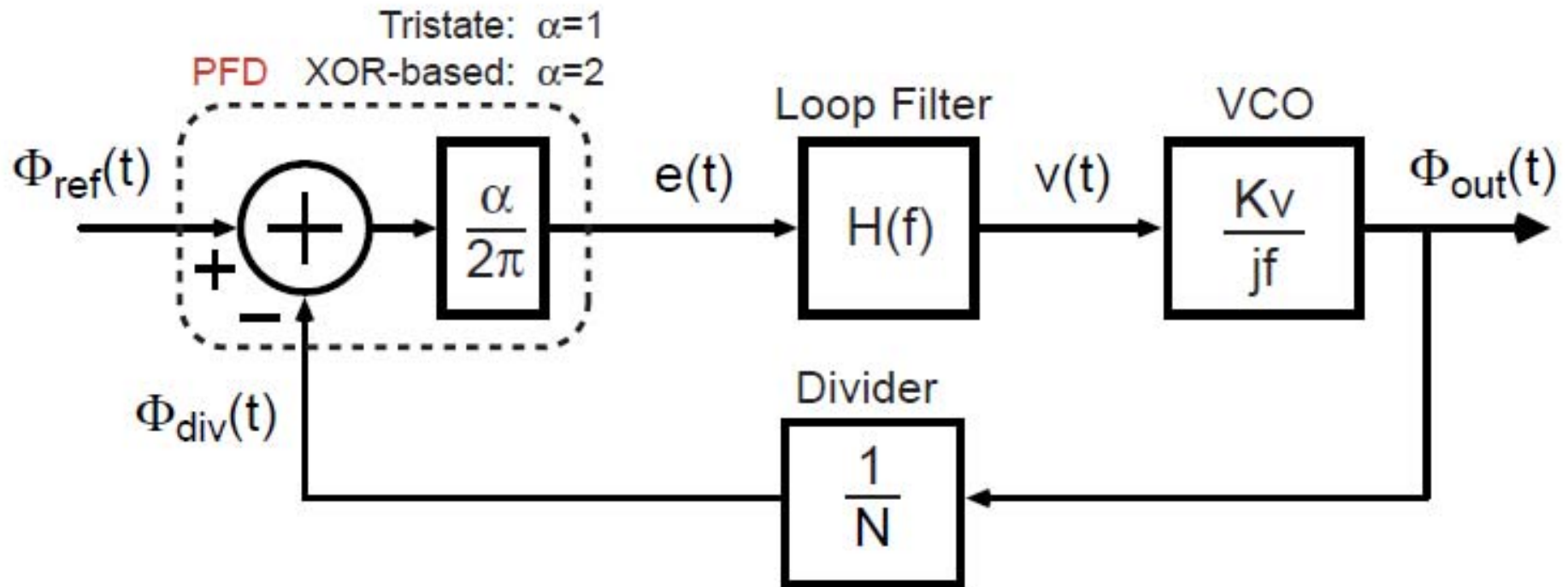


- 非对称特性可以识别正/负频率误差
 - 均值可为正、负
 - PLL始终可以锁定



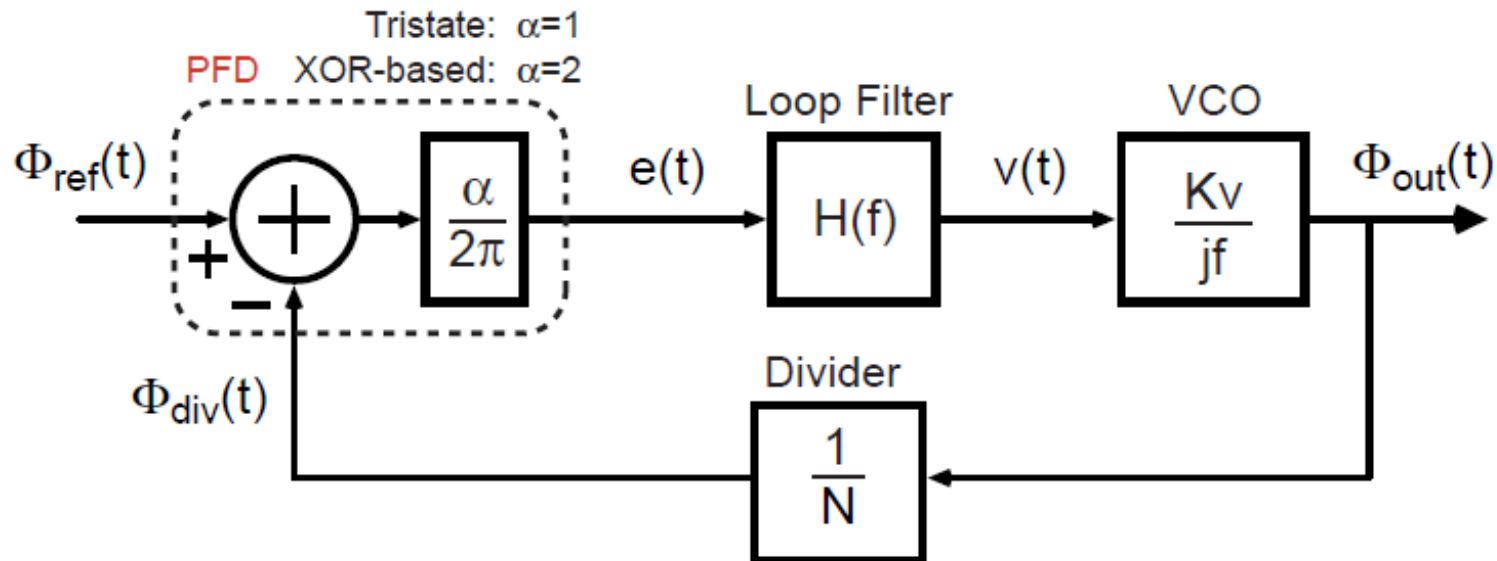
采用PFD后的PLL模型

- 鉴相器结构不同使得增益不同



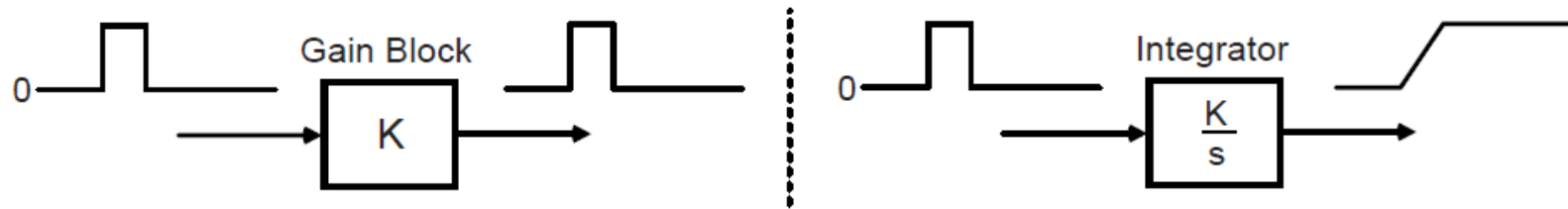
I型锁相环与II型锁相环的

- I型：环路增益中只有一个积分器
 - VCO贡献一个积分器
 - 环路滤波器无积分器
- II型：环路增益中有两个积分器
 - 环路滤波器贡献另一个积分器

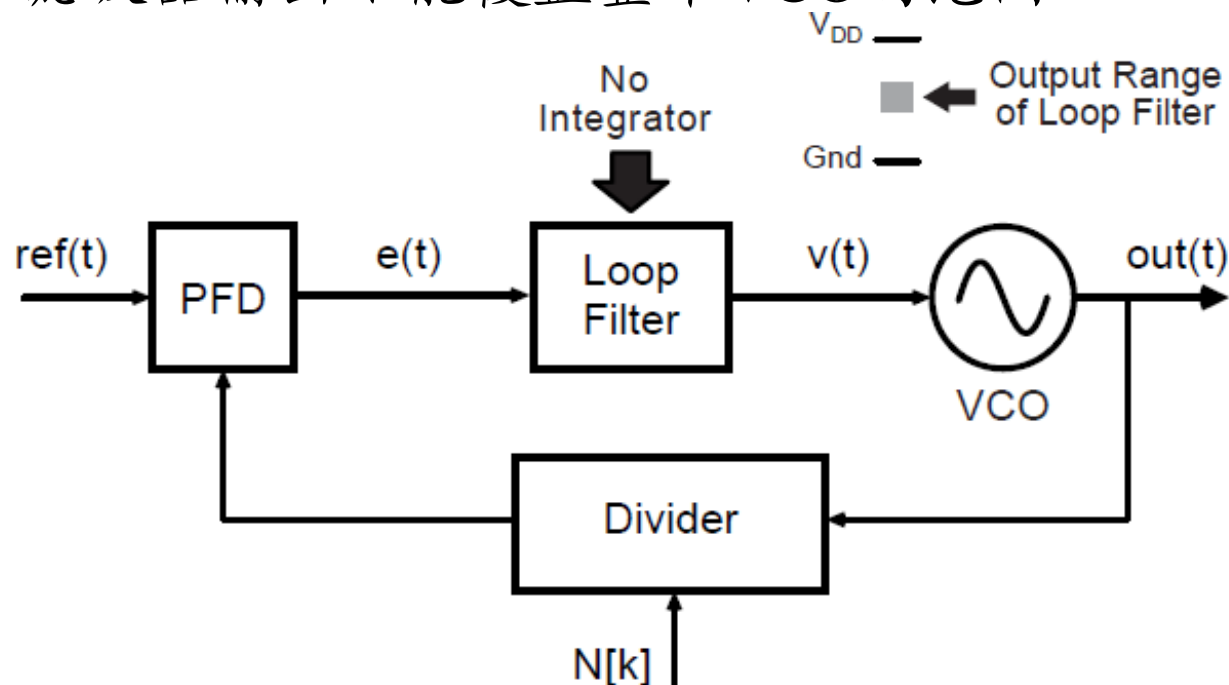


I型锁相环存在的问题

- 增益单元与积分器输出的直流范围对比



- 环路滤波器的增益通常很低，PFD的输出范围很有限
 - 滤波器输出不能覆盖整个VCO的范围



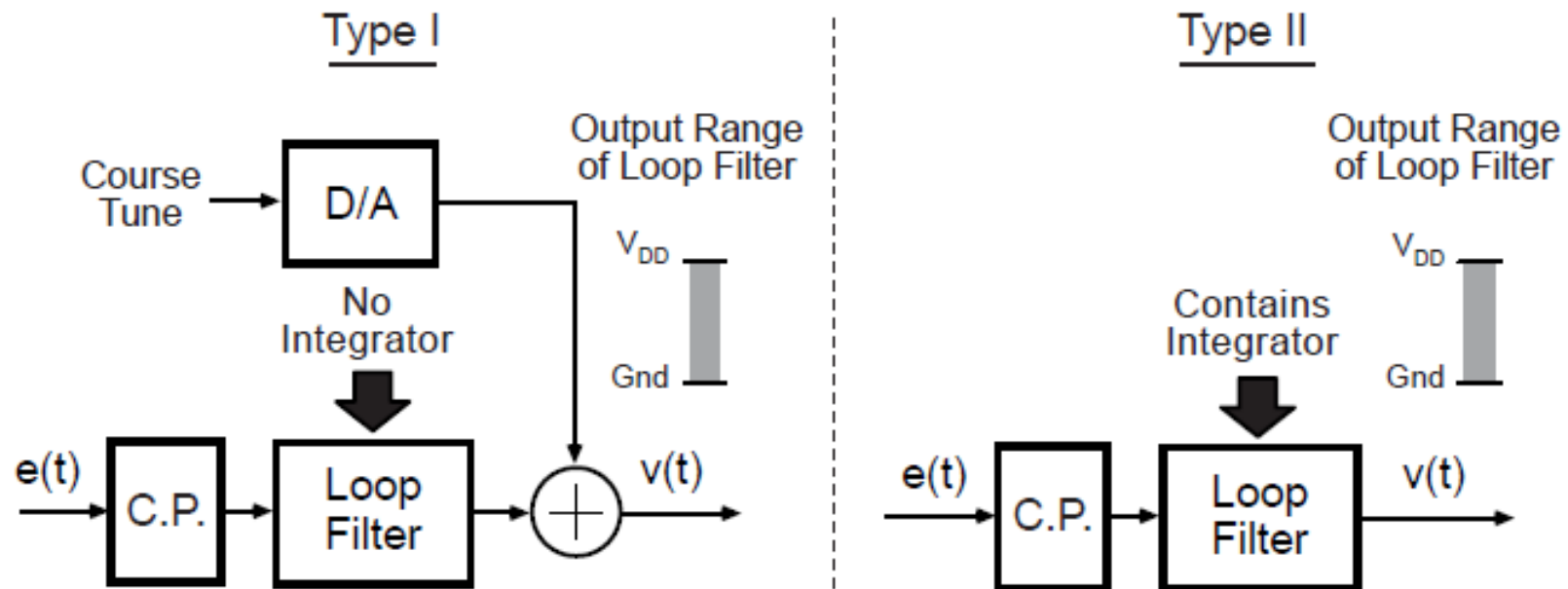
扩大输出范围的措施

■ I型

- 增加DA进行粗调：功耗大，稳态相位误差不固定

■ II型

- 使用积分器自动实现直流偏移：功耗低，实现简单
- 稳态相位误差为0

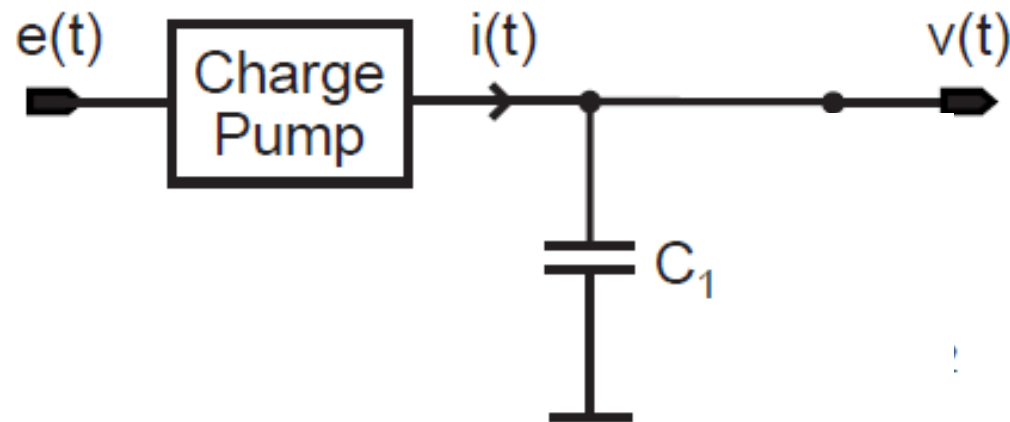


主要内容

- PLL概述
- PLL的数学模型和性能分析
 - I型PLL环定性分析
 - I型PLL动态特性分析
 - II型PLL设计
 - PLL的相噪声分析
- PLL模块电路设计
- 频率合成技术

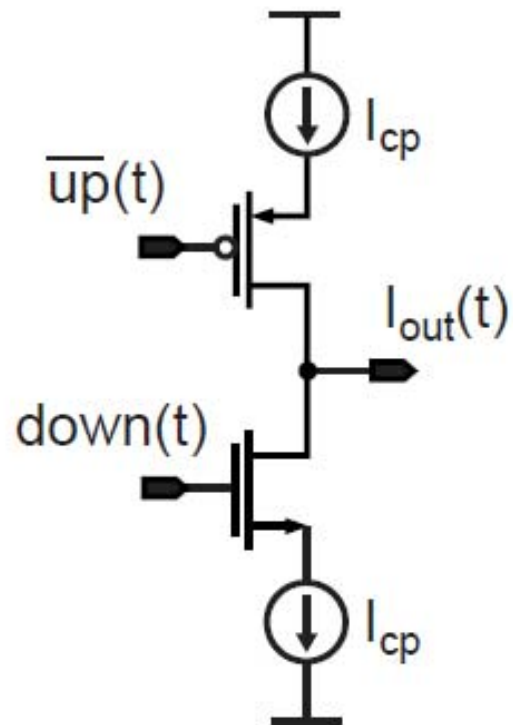
II型锁相环滤波器的实现

- 采用电荷泵来实现另一个积分器
 - 通过调节电流来调整增益

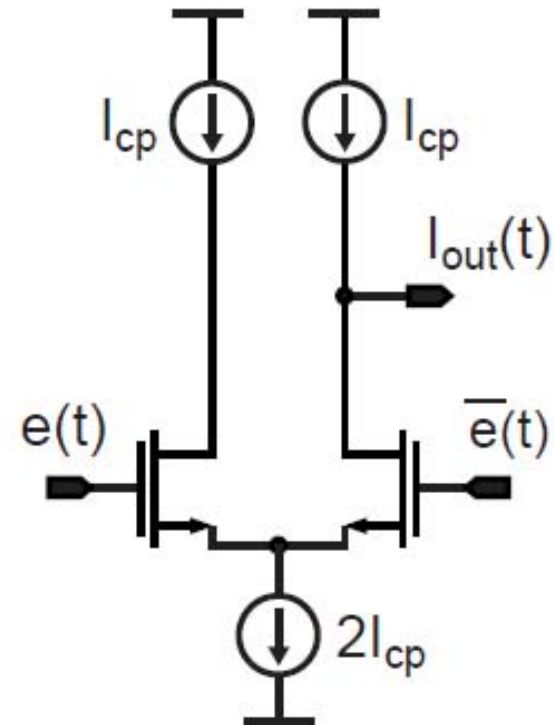


电荷泵的实现

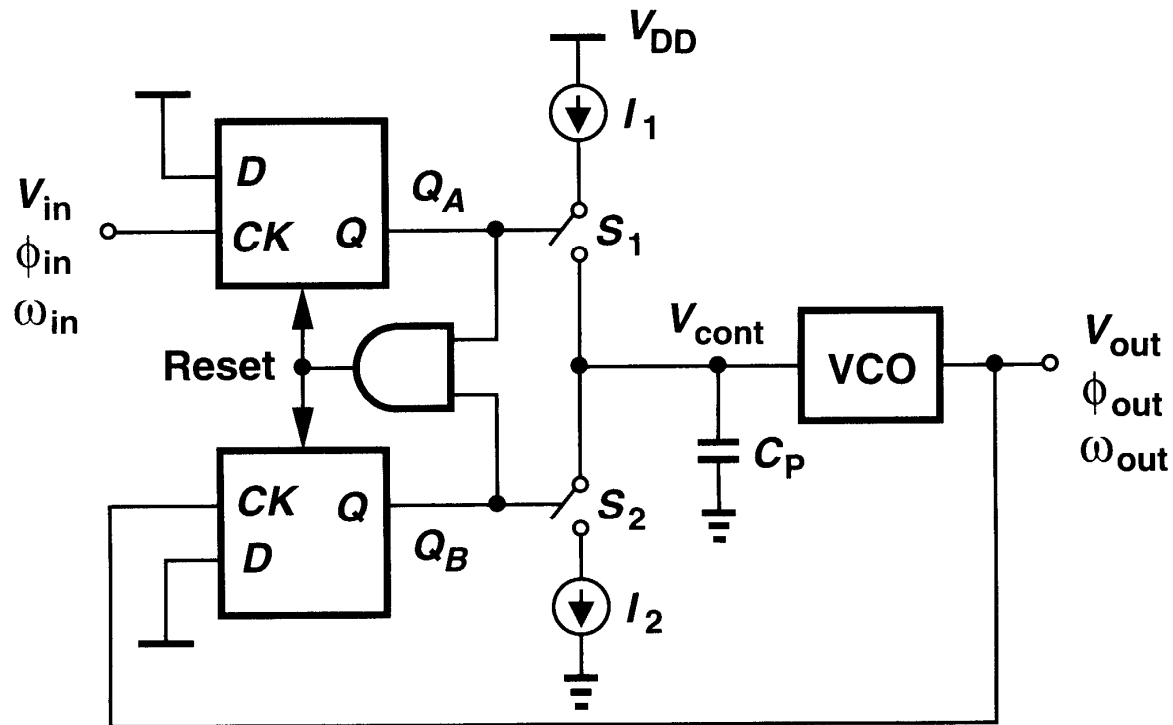
Single-Ended



Differential



基本的电荷泵PLL



只要有相位差， V_{cont} 就会不断增加，所以锁定时相位差必须为0，区别于I型锁相环

电荷泵PLL的动态分析

■ CP+PFD的传输函数

- 电荷泵的充放电电流为 I_P ，在锁定情况下，输入信号产生一个相位阶跃 ϕ_0 ，也就是 $\Delta\phi = \phi_0 u(t)$,

$$V_{out}(t) = \frac{I_P}{2\pi C_P} t \phi_0 u(t)$$

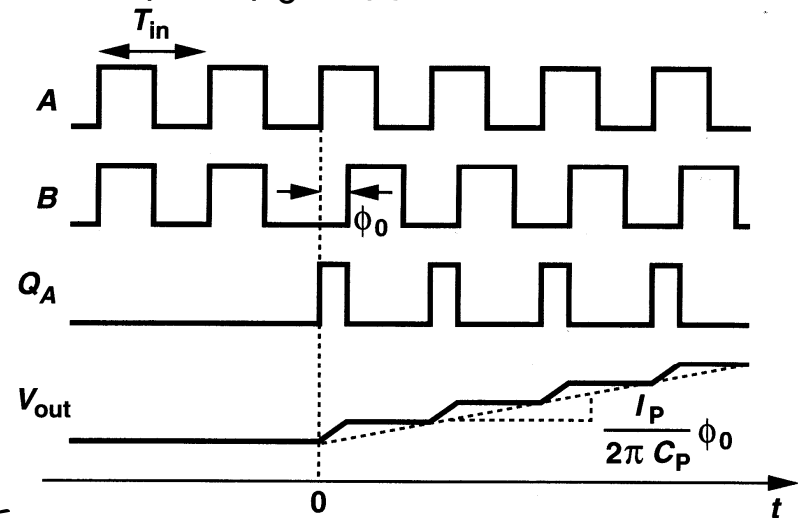
- 冲激响应(阶跃响应的微分)

$$h(t) = \frac{I_P}{2\pi C_P} \phi_0 u(t)$$

- 拉普拉斯变换得到传输函数

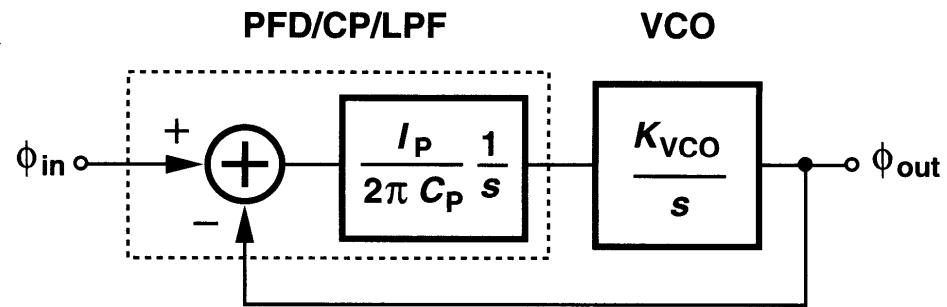
$$H(s) = \frac{I_P}{2\pi C_P} \frac{1}{s}$$

类似于一个积分器



电荷泵PLL的动态分析

■ CP PLL的线性模型



■ 系统的开环传输函数

$$H(s)|_{\text{open}} = \frac{I_P}{2\pi C_P} \frac{K_{VCO}}{s^2}$$

零频处有两个极点，称为II型PLL

■ 闭环传输函数

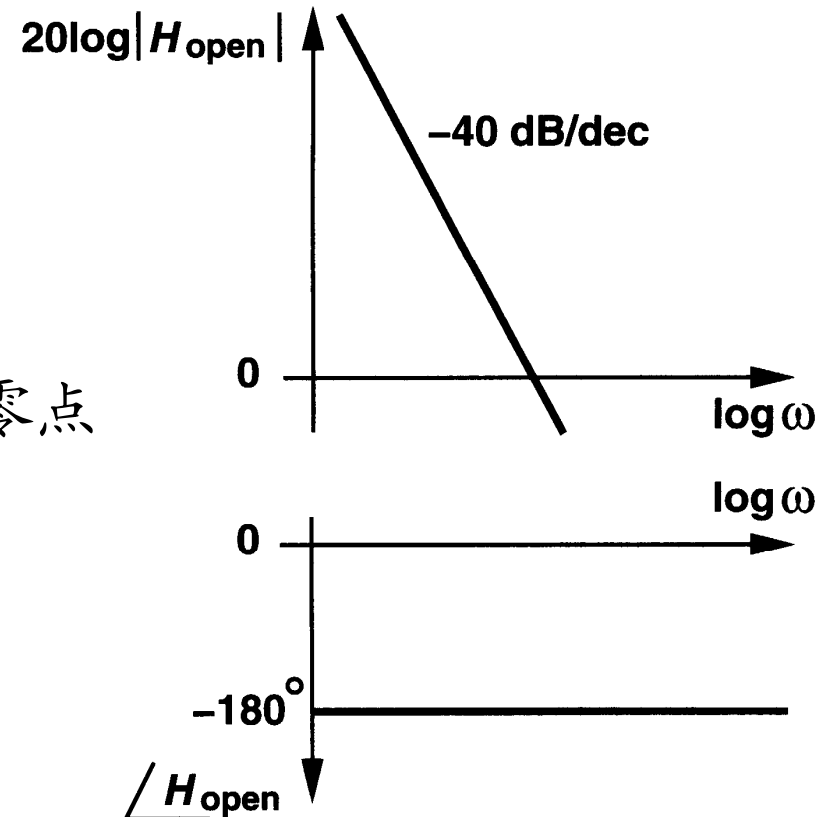
$$H(s)|_{\text{close}} = \frac{\frac{K_{VCO} I_P}{2\pi C_P}}{s^2 + \frac{K_{VCO} I_P}{2\pi C_P}}$$

存在两个虚数极点，系统不稳定

- 用开环传输函数的波特图分析稳定性

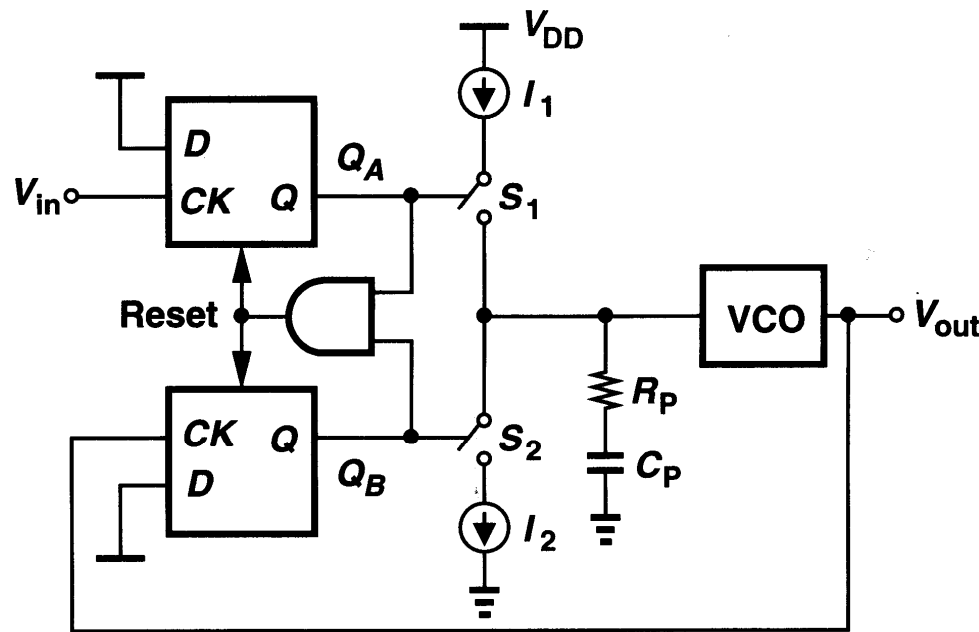
$$H(s)|_{\text{open}} = \frac{I_P}{2\pi C_P} \frac{K_{VCO}}{s^2}$$

- 相位裕度为0，系统不稳定
- 解决办法：
 - 在开环传输函数中加入零点

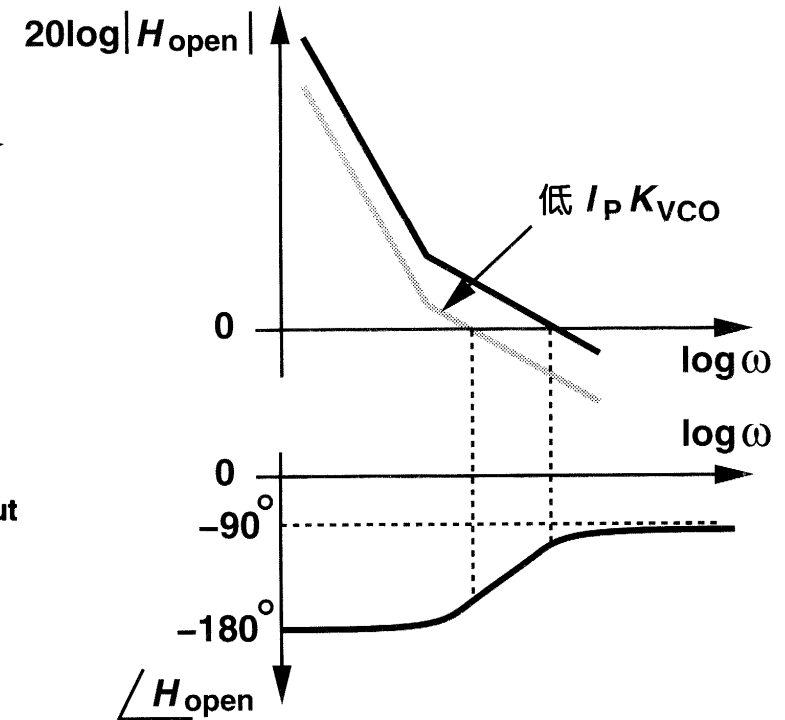


■ 改进的CP PLL

- 串联电阻，产生零点使环路稳定



$$H(s)\Big|_{\text{open}} = \frac{I_P}{2\pi} \left(R_P + \frac{1}{sC_P} \right) \frac{K_{VCO}}{s^2}$$



$I_P K_{VCO}$ 增大，相位裕度增加，更加稳定，与I型PLL截然相反

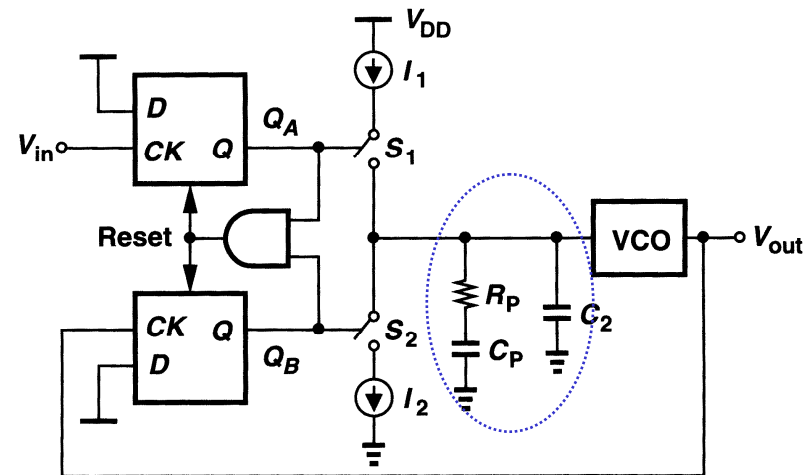
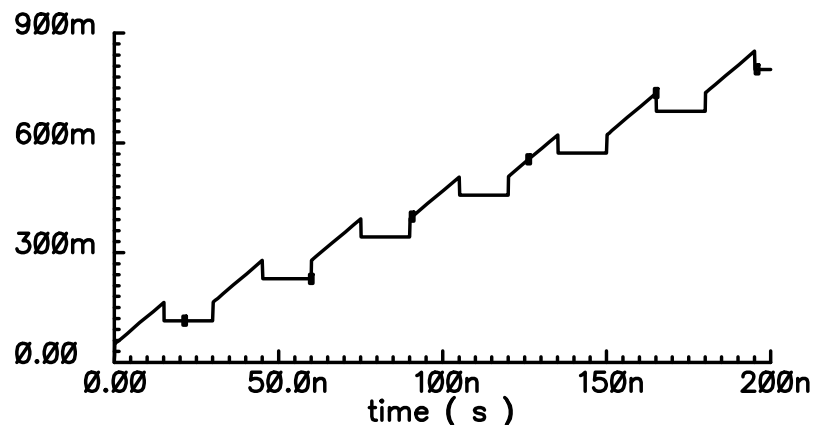
改进后的闭环传输函数

$$H(s) = \frac{\frac{I_P K_{VCO}}{2\pi C_P} (sR_P C_P + 1)}{s^2 + s \frac{I_P K_{VCO}}{2\pi} R_P + \frac{I_P K_{VCO}}{2\pi C_P}} = \frac{\omega_n^2 (1 + s/\omega_z)}{s^2 + 2\omega_n \xi s + \omega_n^2}$$

$$\omega_n = \sqrt{\frac{I_P}{2\pi C_P} K_{VCO}} \quad \xi = \frac{R_P}{2} \sqrt{\frac{I_P C_P}{2\pi} K_{VCO}} \quad \omega_z = 1/(R_P C_P)$$

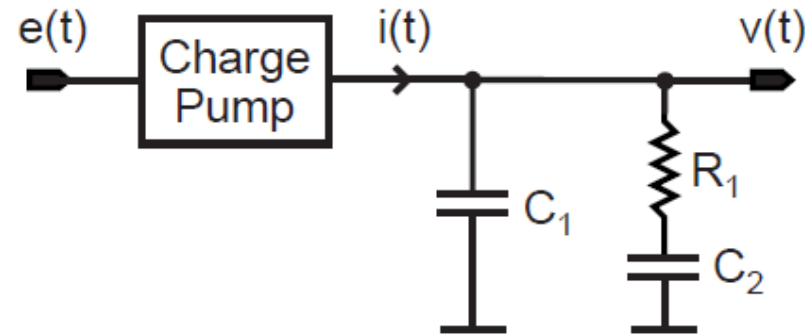
ω_n 增加，有利于加快PLL的锁定速度，但是过大的 ω_n 将使环路不稳定。通常使 ω_n 小于参考信号频率的1/10，也就是 $(\omega_n / 2\pi) < (f_{ref} / 10)$

- 加入电阻使系统更加稳定，但是每次开关充放电时，控制电压上将会有很大的跳动，还要加入一个附加的电容，滤除波动



- 加入并联电容 C_2 后，环路变成3阶系统，稳定性降低。但是只要保证 C_P 是 C_2 的5倍到10倍，闭环系统的时间和频率响应就相对保持不变

增加电阻后的稳定性分析

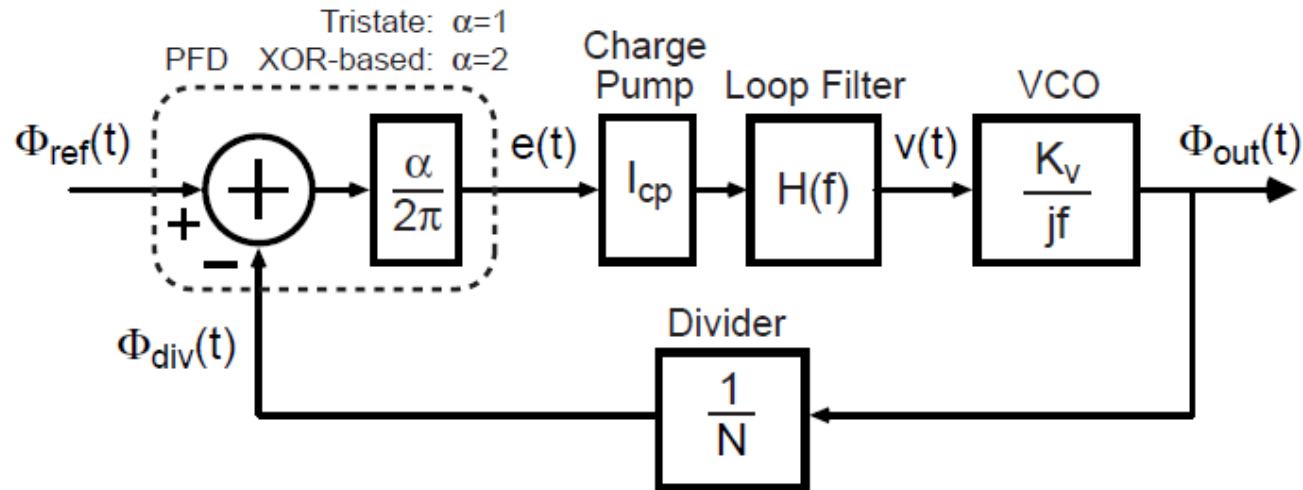


同时考虑零、极点

$$H(f) = \left(\frac{1}{sC_{sum}} \right) \frac{1 + jf/f_z}{1 + jf/f_p}$$

$$C_{sum} = C_1 + C_2, \quad f_z = \frac{1}{2\pi R_1 C_2}, \quad f_p = \frac{C_1 + C_2}{2\pi R_1 C_1 C_2}$$

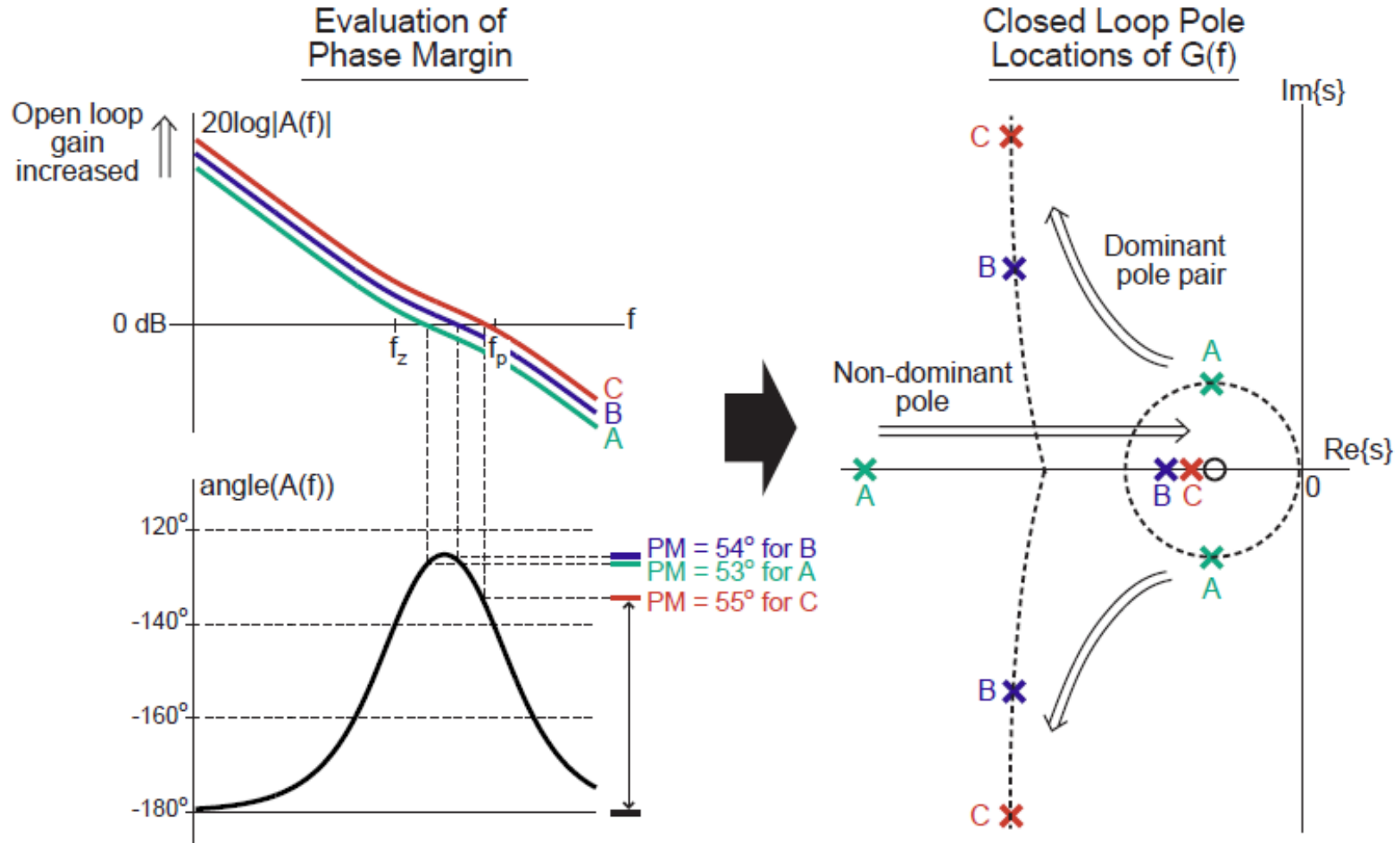
II型锁相环的完整模型



■ 滤波器

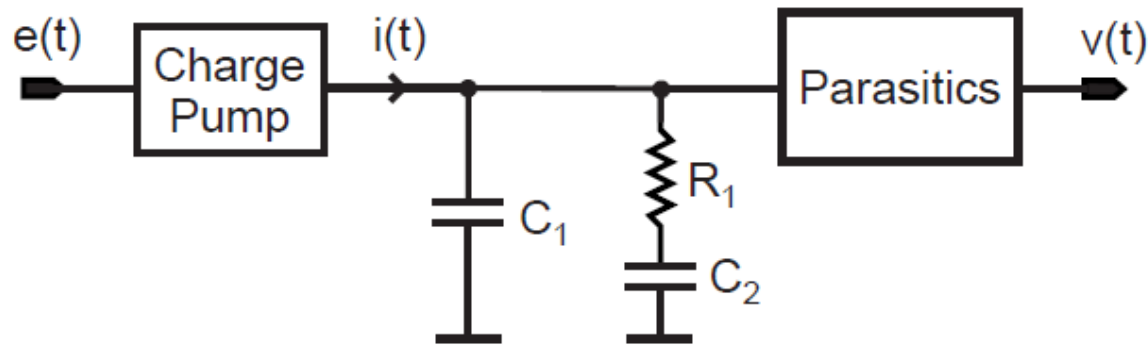
$$H(f) = \left(\frac{1}{sC_{sum}} \right) \frac{1 + jf/f_z}{1 + jf/f_p}$$

闭环与开环分析



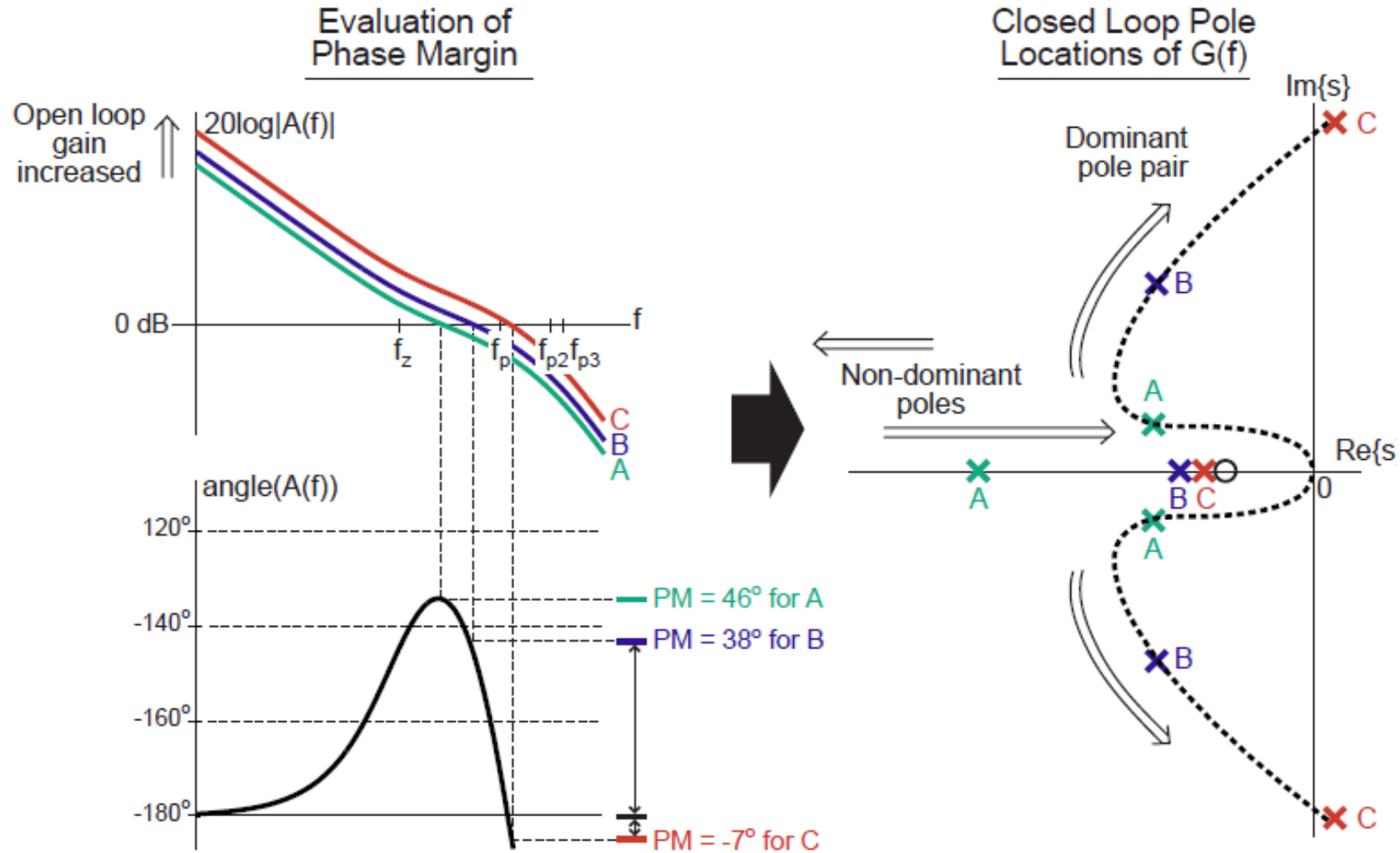
- 为了获得足够的相位裕度增益不能过大也不能过小

考虑寄生极点



$$H(f) = \left(\frac{1}{sC_{sum}} \right) \frac{1 + jf/f_z}{1 + jf/f_p} \left(\frac{1}{1 + jf/f_{p2}} \right) \left(\frac{1}{1 + jf/f_{p3}} \right)$$

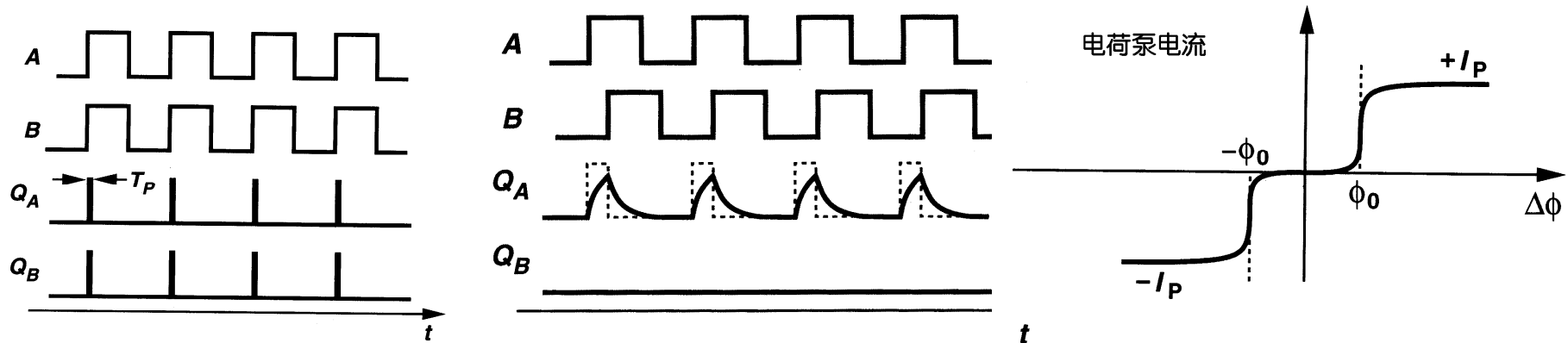
增益过大将使环路不稳定



CP PLL 的非理想因素

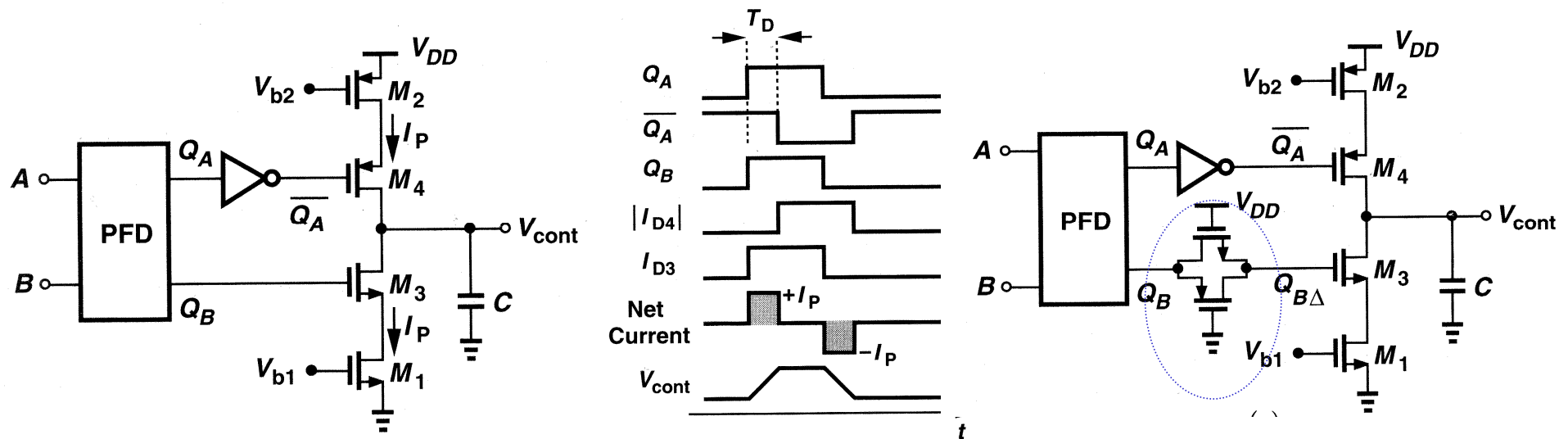
■ “死区”问题

- PFD中门电路的延时使得即使相位差为0， Q_A 和 Q_B 也会出现短的重合脉冲。但是如果重合脉冲过短，寄生电容将会使得 Q_A ， Q_B 达不到高电平而无法开启电流源，出现死区



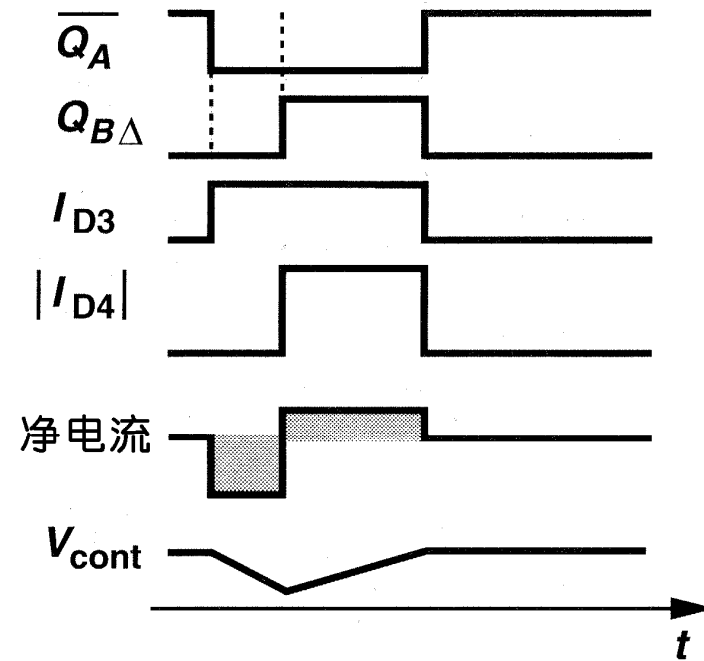
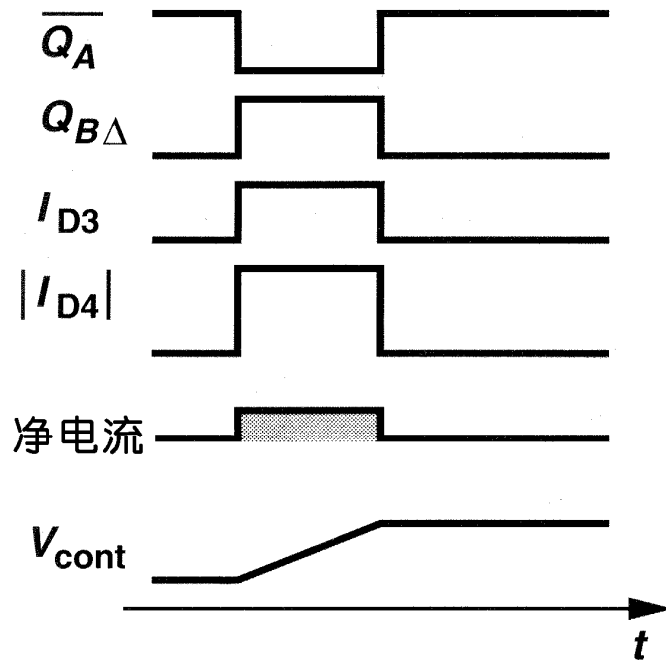
- 死区的存在，使锁相环对相位变化不敏感，相噪声加大
- 增加重合脉冲的宽度，有助于消除“死区”

- Q_A 、 Q_B 输出到CP的延时不等，致使重合脉冲产生净电流，干扰PLL的信号周期，



- 插入常通传输门进行修正

- 上下电流源失配也会产生净误差电流，使控制电压波动，出现频率错误或相位抖动

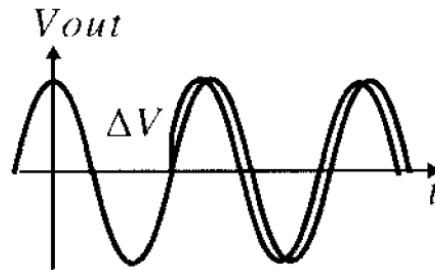


主要内容

- PLL概述
- PLL的数学模型和性能分析
 - I型PLL环定性分析
 - I型PLL动态特性分析
 - II型PLL设计
 - PLL的相噪声分析
- PLL模块电路设计
- 频率合成技术

相噪声 (Phase Noise)

- 噪声会影响振荡信号的幅度和频率，由于振荡的振幅很大，而且有限幅机制，所以幅度噪声可以忽略，重要的是噪声对频率的影响
- 频率的影响也可以表示为信号周期的随机波动，也就是信号的时域波形中过零点相对于理想位置的波动，称这种噪声为相位噪声（在数字电路中称其为Jitter，抖动）



- 相噪声会影响信号的频谱：假设振荡器产生的振荡信号为正弦信号

$$x(t) = A \cos[\omega_c t + \phi_n(t)]$$

其中， $\phi_n(t)$ 就是相位噪声，信号频率为 ω_c

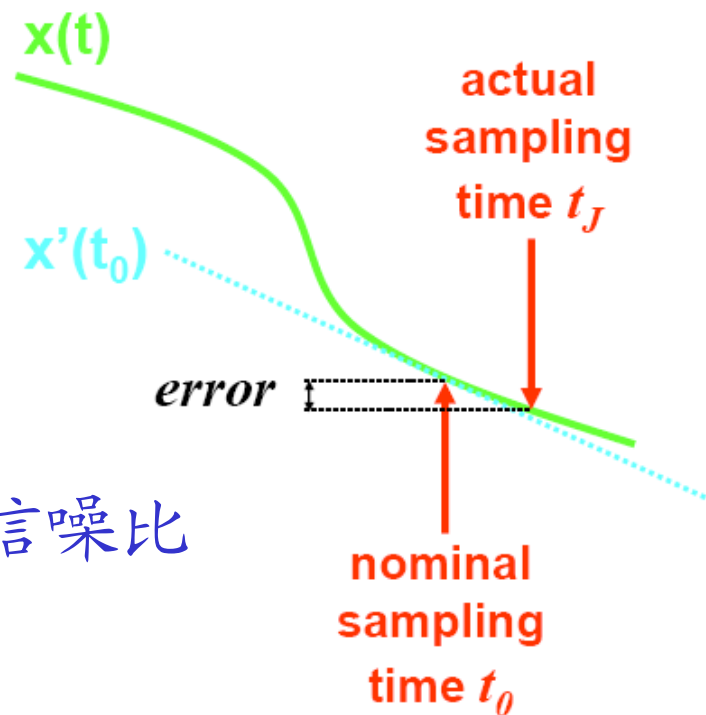
抖动的影响举例

■ ADC采样时钟的抖动

Clock Jitter

- The error voltage is

$$e = x'(t_0)(t_J - t_0)$$



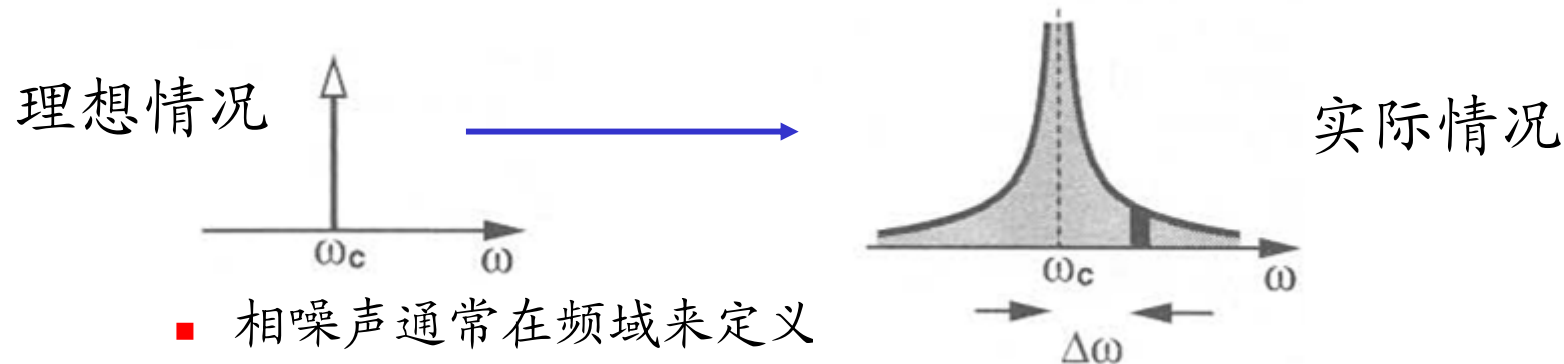
时钟抖动降低了ADC的信噪比

相噪声的频谱分析

当 $|\phi_n(t)|$ 远小于1 rad时, 可以把上式展开为:

$$x(t) = A \cos[\omega_c t + \phi_n(t)] \longrightarrow x(t) \approx A \cos(\omega_c t) - A \phi_n(t) \sin(\omega_c t)$$

- 因此, 相位噪声谱被调制或搬移到了载波 ω_c 处

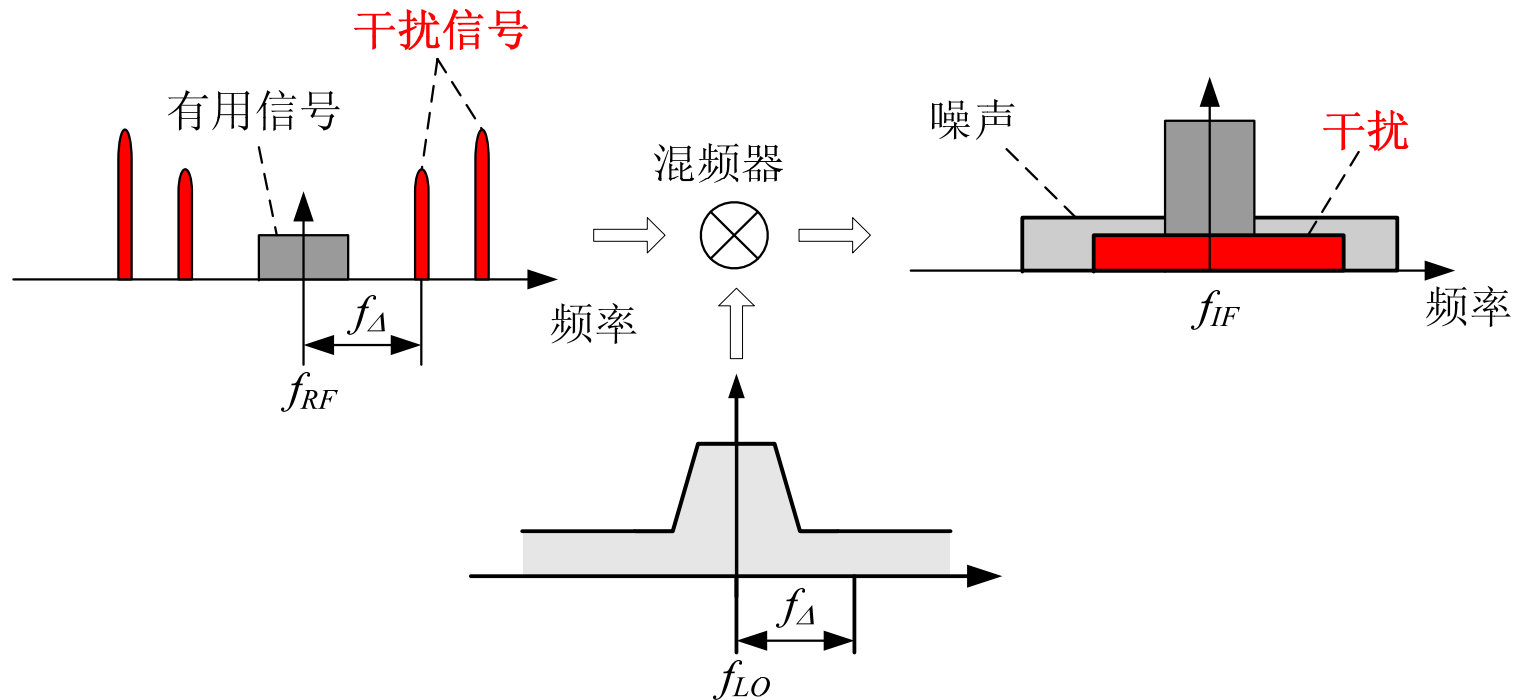


$$L(\Delta\omega) = 10 \cdot \log \frac{\omega_0 + \Delta\omega \text{处, 1Hz带宽内的噪声功率}}{\text{载波功率}}$$

单位为 **dBc/Hz**

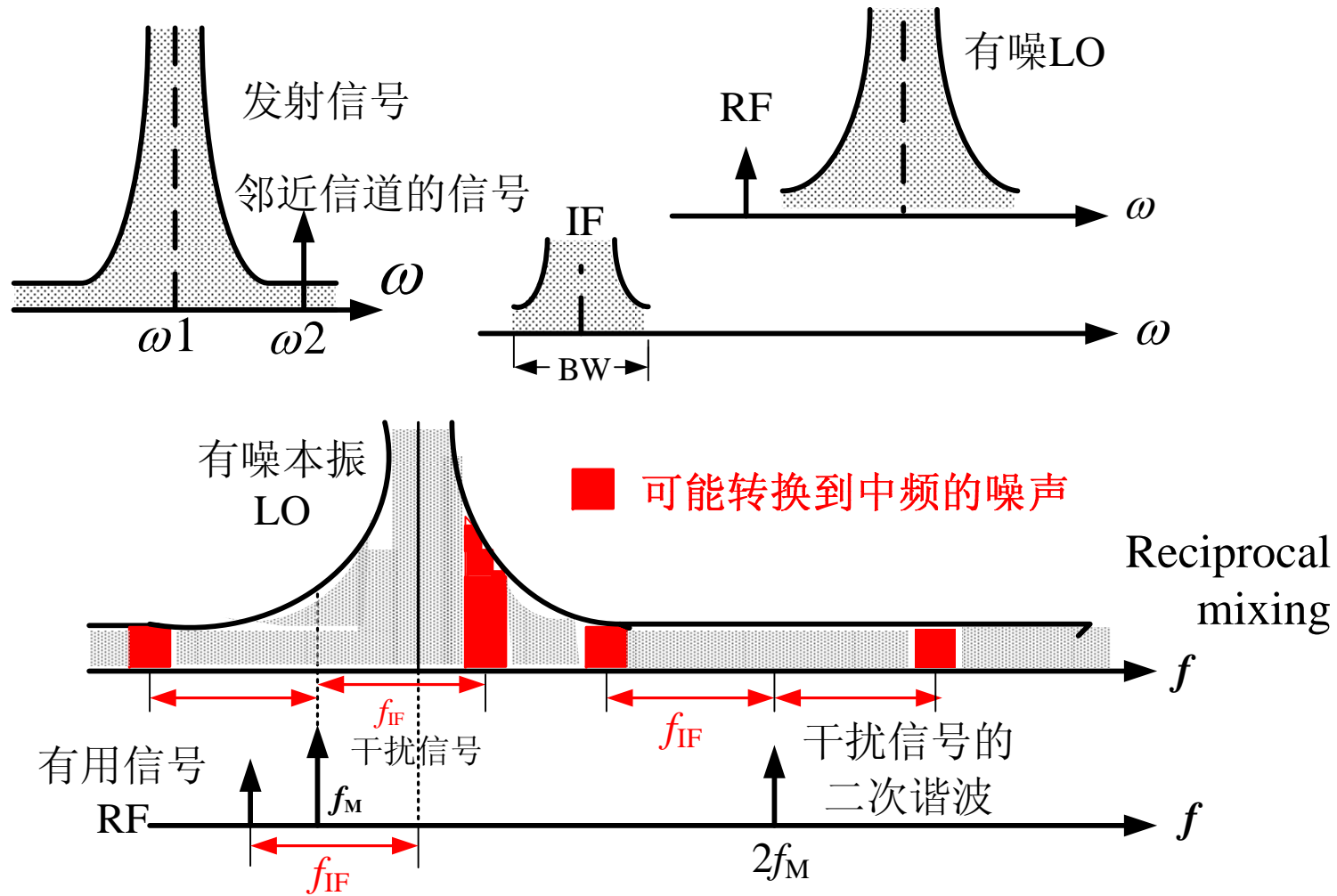
例如: 载波功率为-2dBm, 在载波附近1MHz处1KHz带宽内测得的噪声功率为-70dBm, 则相噪声为-70dBm+2dBm-30dB=-98dBc/Hz@1MHz

本振中相噪声的影响

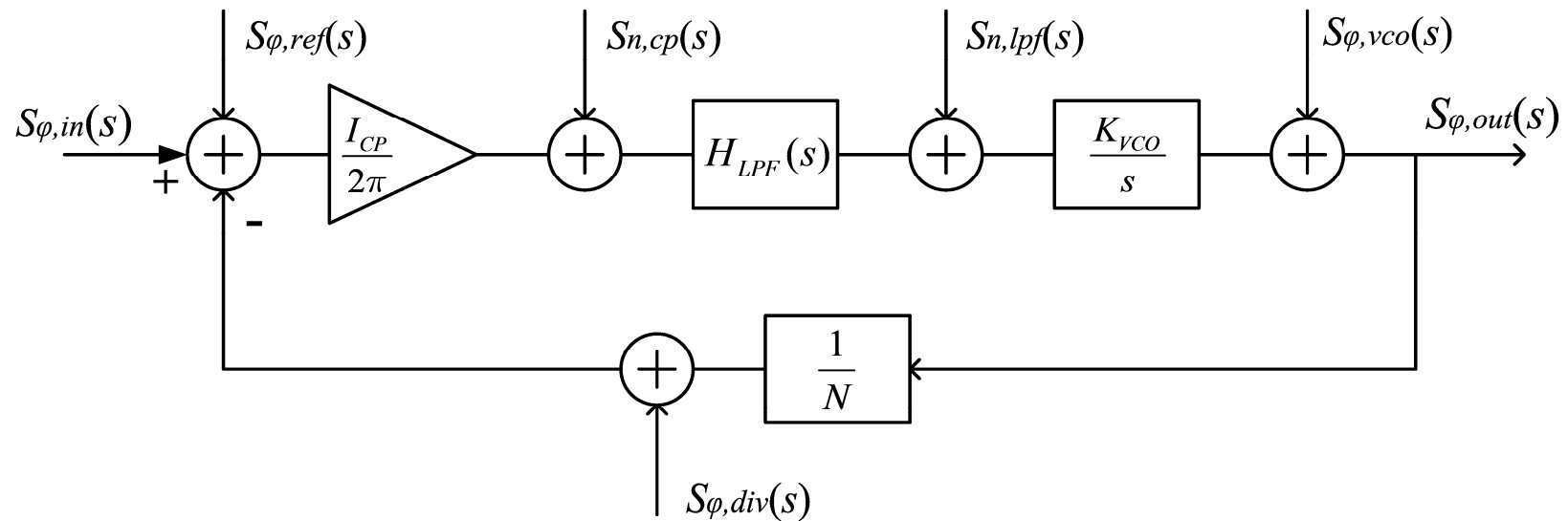


相位噪声是衡量噪声对相位的扰动性能和信号频谱纯度的重要指标，它对无线通信的性能具有重要影响。

载波和本振中相噪声的影响



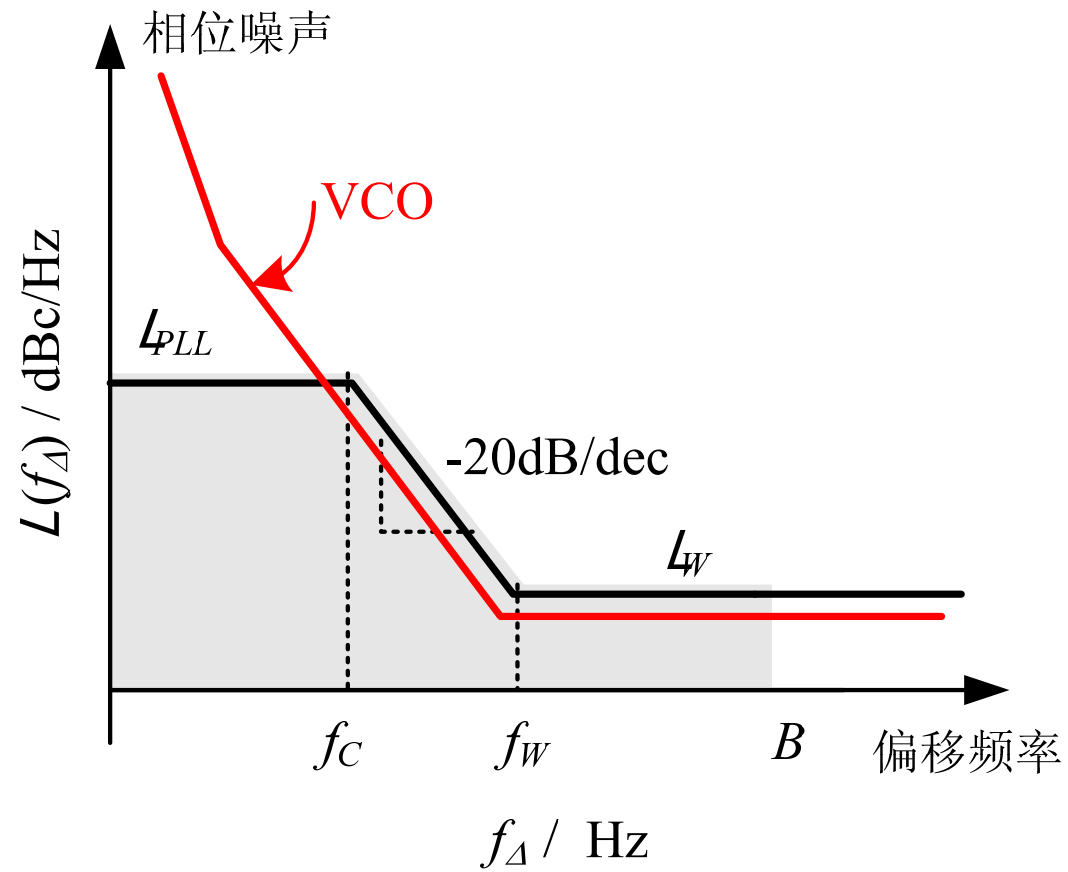
电荷泵锁相环相位噪声模型



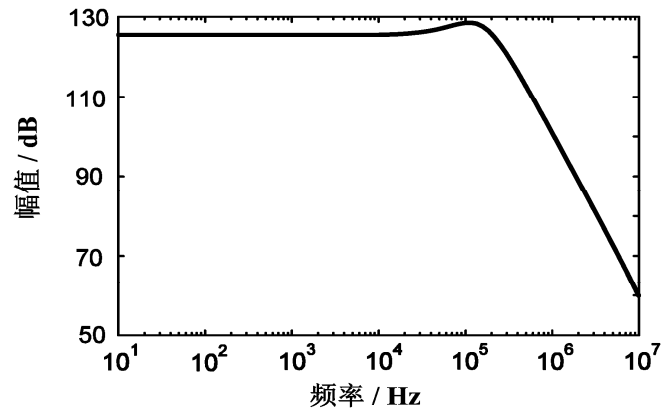
电荷泵锁相环各模块噪声及其传输函数

噪声		噪声传输函数特性	特性
$S_{\varphi,ref}$	参考信号的相位噪声	$G_{ref}(s) = \frac{S_{\varphi,out}}{S_{\varphi,ref}} = N \frac{H_{OL}(s)}{1 + H_{OL}(s)}$	低通
$S_{n,cp}$	PFD和CP的输出等效电流噪声	$G_{cp}(s) = \frac{S_{\varphi,out}}{S_{\varphi,cp}} = \frac{H_{OL}(s)}{1 + H_{OL}(s)} \frac{2\pi N}{I_{CP}}$	低通
$S_{n,lpf}$	环路滤波器的输出等效噪声电压	$G_{lpf}(s) = \frac{S_{\varphi,out}}{S_{\varphi,lpf}} = \frac{1}{1 + H_{OL}(s)} \frac{K_{VCO}}{s}$	带通
$S_{\varphi,vco}$	VCO的输出相位噪声	$G_{vco}(s) = \frac{S_{\varphi,out}}{S_{\varphi,vco}} = \frac{1}{1 + H_{OL}(s)}$	高通
$S_{\varphi,div}$	分频器的输出等效相位噪声	$G_{div}(s) = \frac{S_{\varphi,out}}{S_{\varphi,div}} = N \frac{H_{OL}(s)}{1 + H_{OL}(s)}$	低通

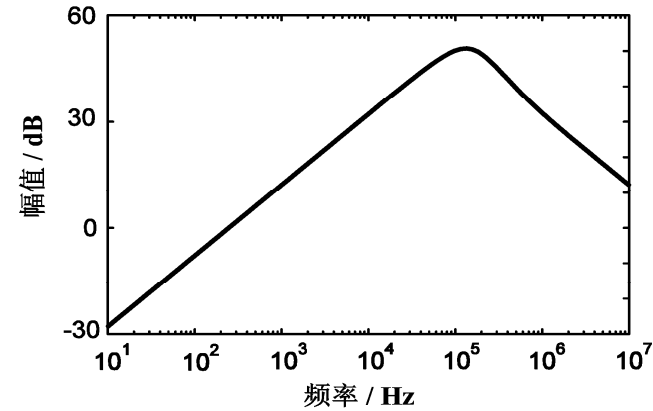
PLL的相位噪声



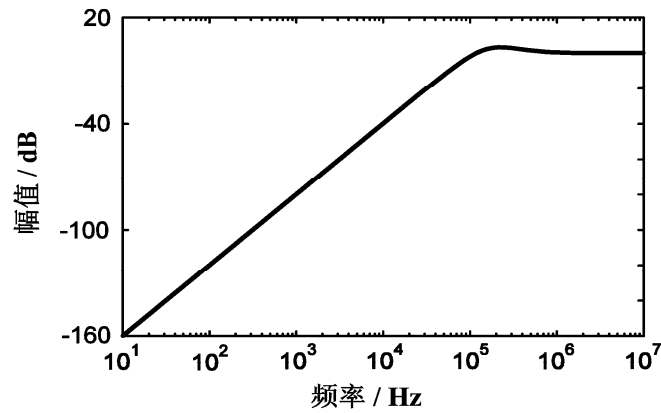
各模块噪声传输函数幅频响应



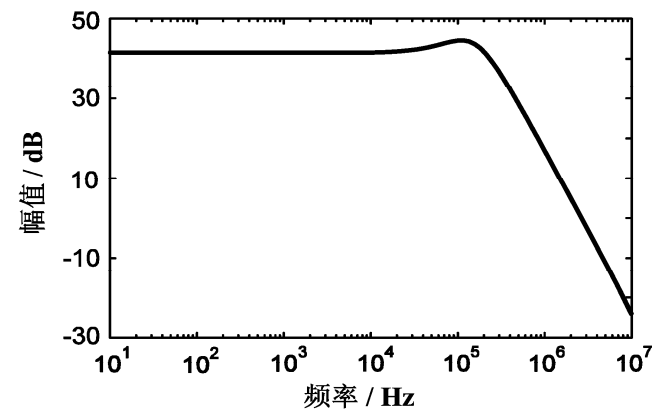
(a)



(b)



(c)

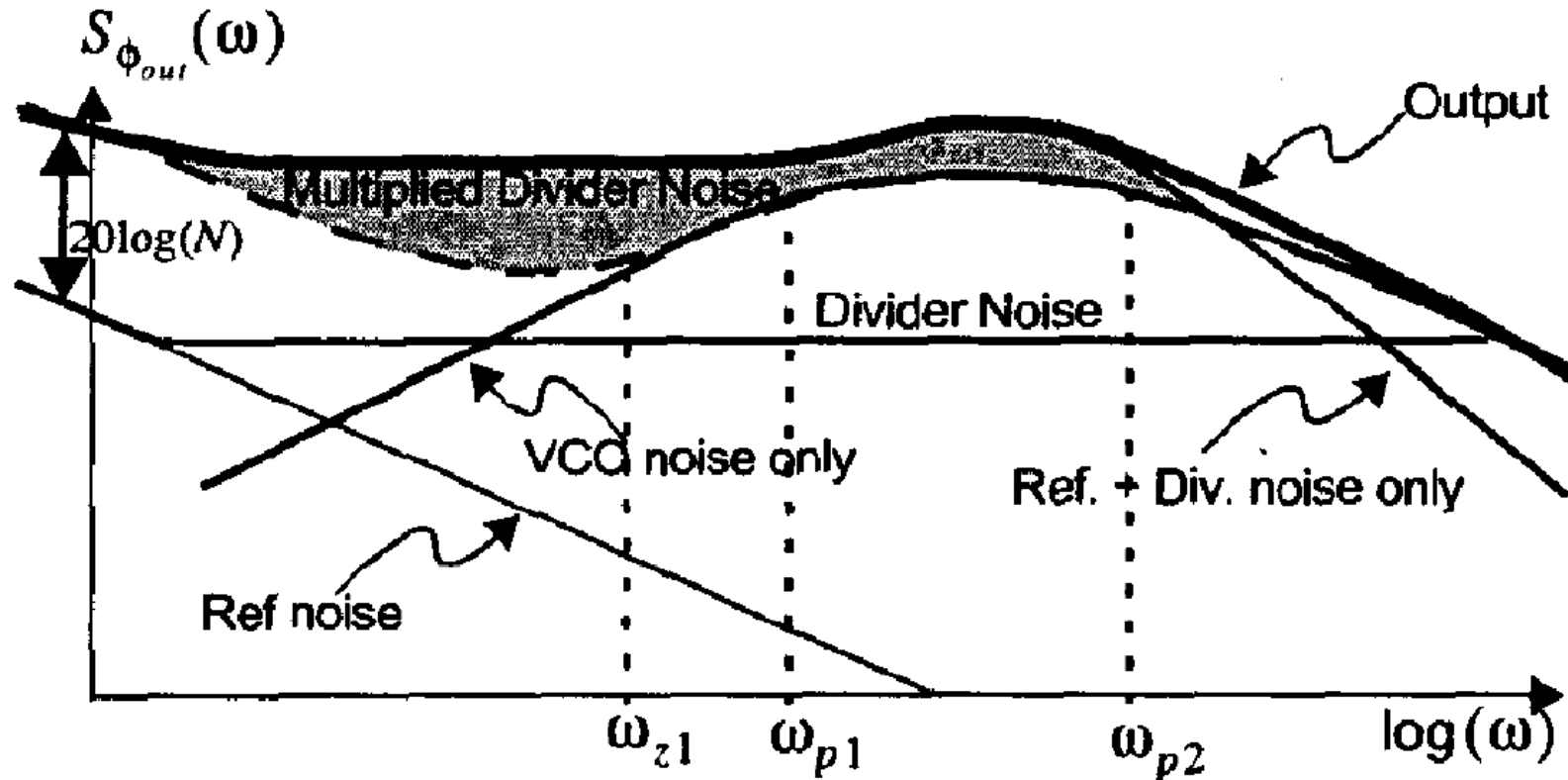


(d)

(a)CP; (b)LPF; (c)VCO; (d)REF和DIV

典型PLL的相噪声曲线

- 低频处由参考时钟以及分频器决定，而高频由VCO决定



- PLL结构有效地抑制了VCO的近频相噪声，有噪声整形作用

主要内容

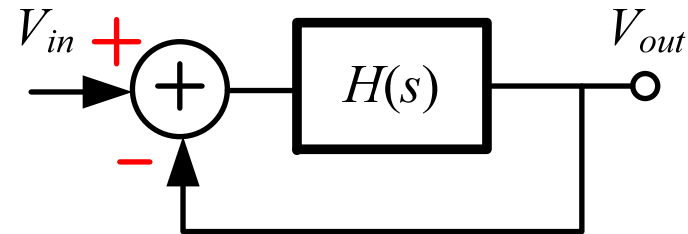
- PLL概述
- PLL的数学模型和性能分析
- PLL模块电路设计
 - 压控振荡器
 - 正交信号生成器
- 频率合成技术

振荡的条件

- 振荡器是一个自激系统，没有输入信号的情况下，输出周期性的电压波形
- 反馈引起振荡

- 系统的闭环传递函数

$$G(s) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{H(s)}{1+H(s)}$$



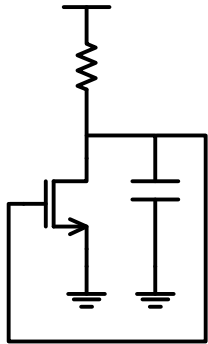
- 高频下输出信号的相移大到一定程度，使得负反馈变为正反馈，就可能发生振荡
- 振荡的必要条件

$$1 + H(s) = 0 \Rightarrow H(j\omega_0) = -1 \Rightarrow$$

$ H(j\omega_0) = 1$	Barkhausen
$\angle H(j\omega_0) = 180^\circ$	准则

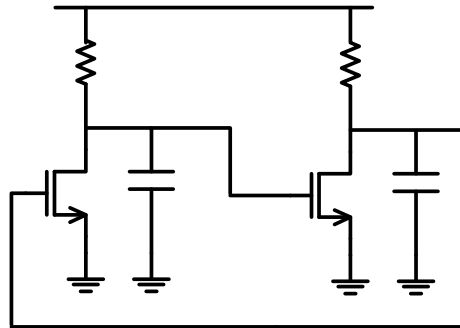
- 起振的频率处环路增益等于1，总相移为 360°
- 起振时增益总是大于1的，振荡稳定后回到1
- 巴克豪森准则是必要条件，而非充分条件

环形振荡器分析



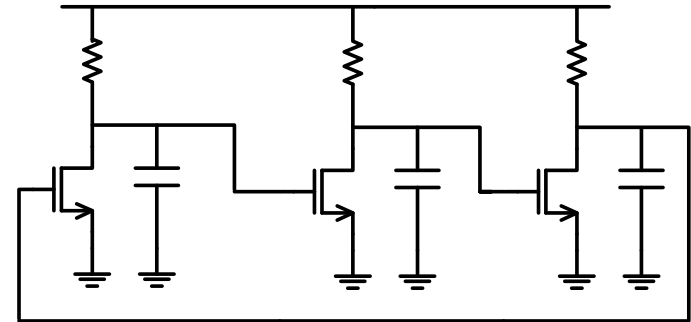
$$H(s) = \frac{-A_0}{1 + s/\omega_0}$$

- 单极点系统
- 初始相移-180°
- 最大相移-270°
- 不满足条件



$$H(s) = \frac{A_0^2}{(1 + s/\omega_0)^2}$$

- 两极点系统
- 初始相移360°
- 增益>1
- 满足条件
- 但直流处就已将电路锁定，成为latch，无法起振



$$H(s) = \frac{-A_0^3}{(1 + s/\omega_0)^3}$$

- 三极点系统
- 初始相移-180°
- 最大相移-180-270°
- 存在某个频率使总相移为-360°，且在该频率下增益>1;
- 起振

- 小信号详细分析:

- 三级单极点系统级联，三个极点频率相等

$$H(s) = \frac{-A_0^3}{(1+s/\omega_0)^3}$$

- 起振时的与频率相关的总相移为 180° ，每级为 60°

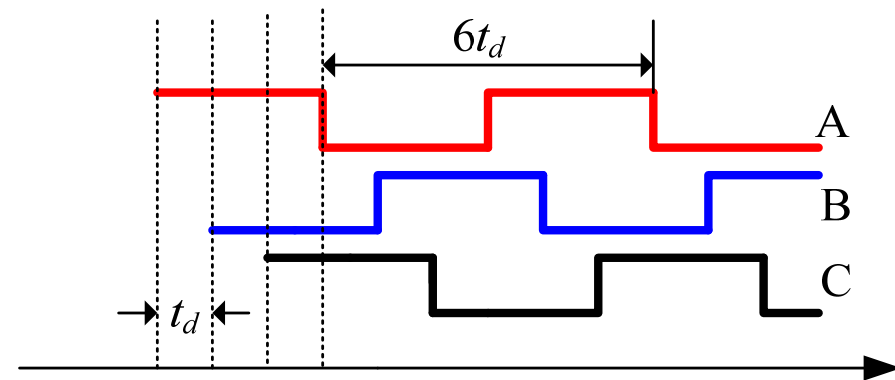
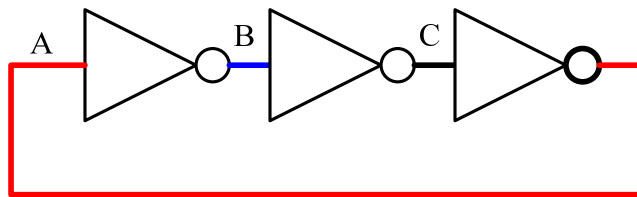
$$\arctan\left(\frac{\omega_{osc}}{\omega_0}\right) = 60^\circ \longrightarrow \omega_{osc} = \sqrt{3}\omega_0$$

$$|H(j\omega_{osc})| = 1 \longrightarrow \frac{A_0^3}{\left|\sqrt{1+(\omega_{osc}/\omega_0)^2}\right|^3} = 1 \longrightarrow A_0 = 2$$

- 三级反相放大器级联，只要直流增益大于2，就可起振

■ 大信号分析

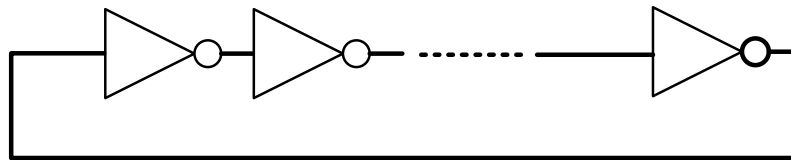
- 理想情况下，正反馈将使得振荡幅度趋于无穷。
- 实际上，振荡幅度最终将受到电源电压的限制，电路也因非线性偏离小信号模型
- 大信号情况下，用延时来分析级联反相器更方便



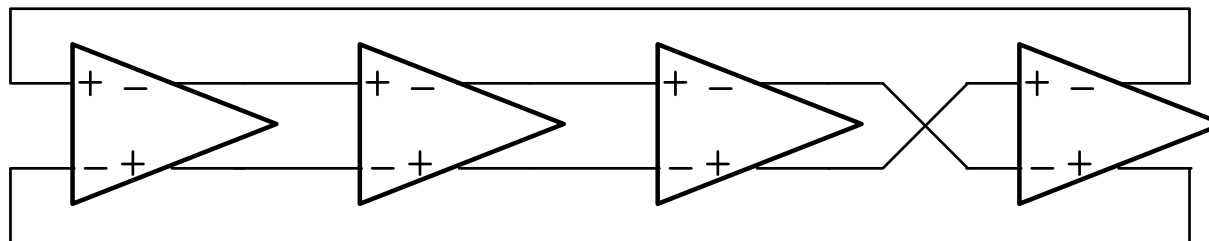
$$f_{osc} = \frac{1}{2Nt_d}$$

大信号与小信号分析的振荡频率不等
小信号频率由小信号输出电阻和电容决定
大信号频率由延时决定!

- 反相器级联是最简单的环形振荡器
 - $N \geq 3$, 且为奇数



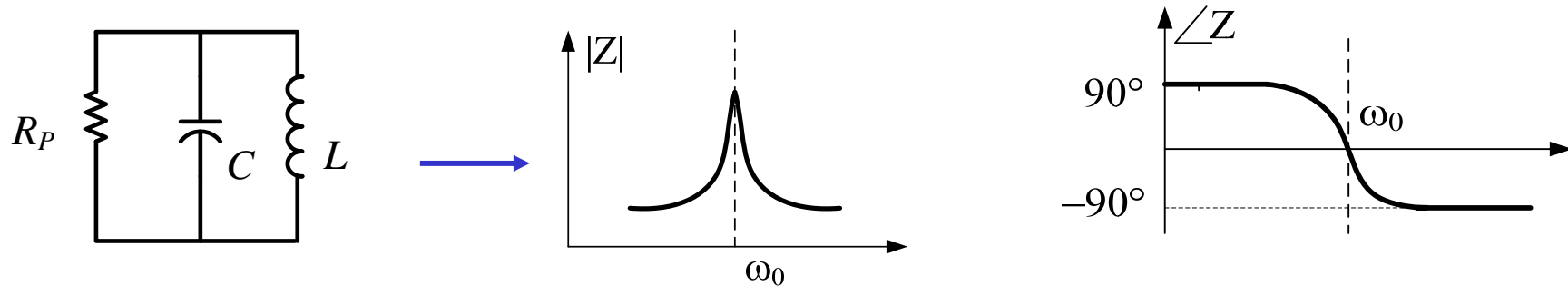
- 如果反相器为差动结构, N 可以为偶数
- 将其中一级接成不反相即可



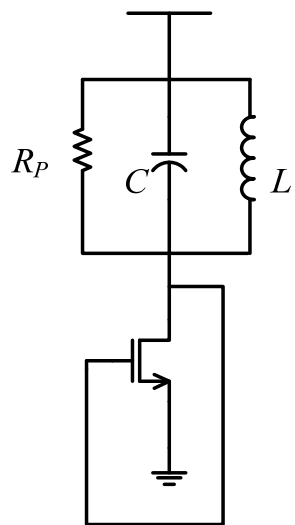
用差动放大器做延时单元的压控振荡器经常用在数据恢复电路中, N 级可以提供 $2N$ 个相位的波形, 使用非常方便

LC振荡器分析

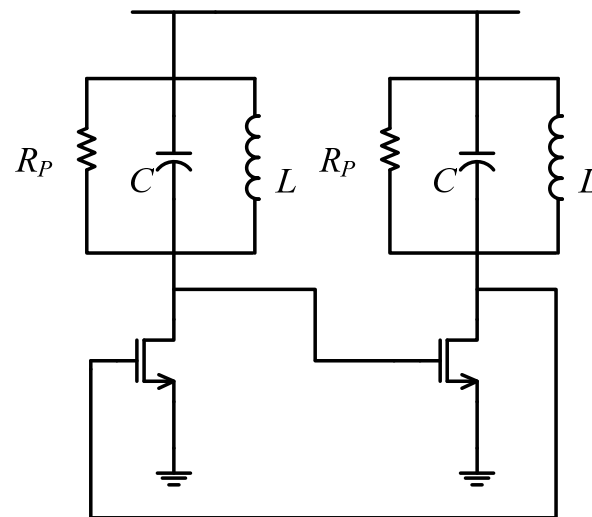
■ 并联RLC网络的阻抗特性



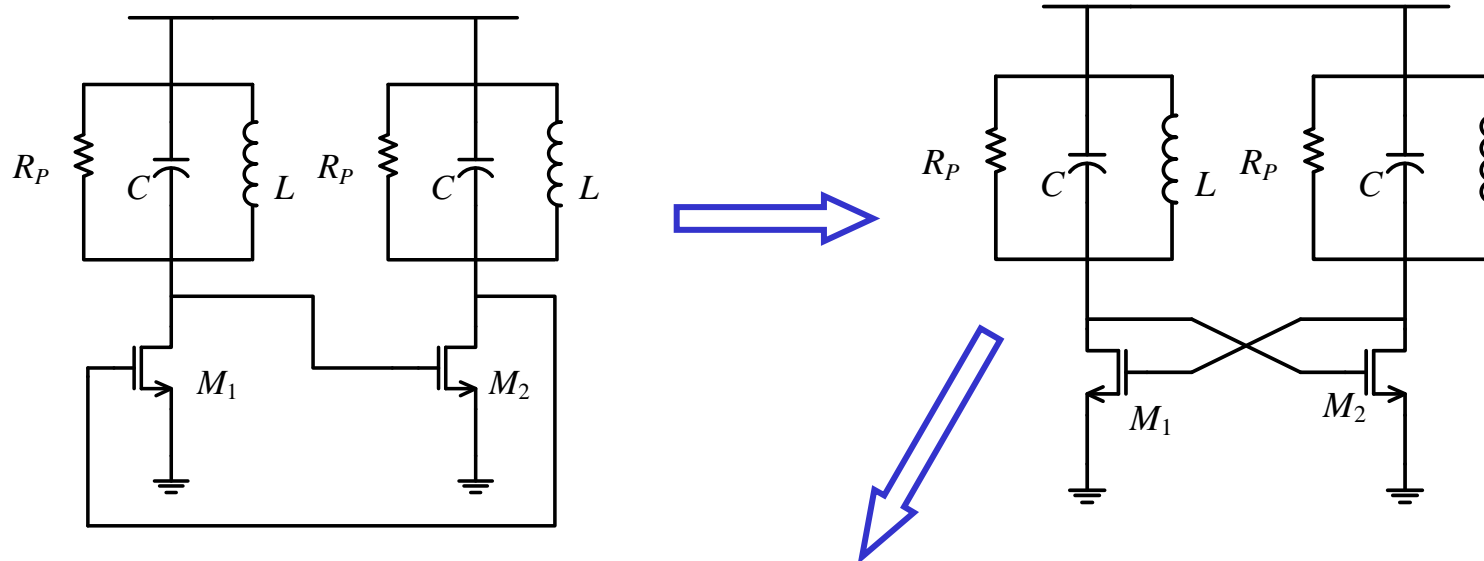
■ 谐振频率以下为容性，以上为感性。谐振处相移为0



总相移永远达不到 360° ，不会起振



两级，直流增益太低，不会锁定。谐振处总相移 360° ，起振

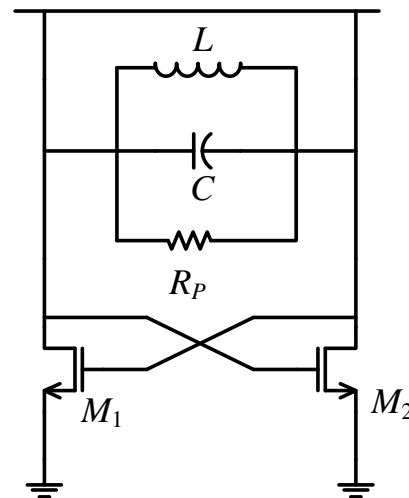


交叉耦合结构

IC中最常见的振荡器形式，
提供差动输出信号

起振条件:

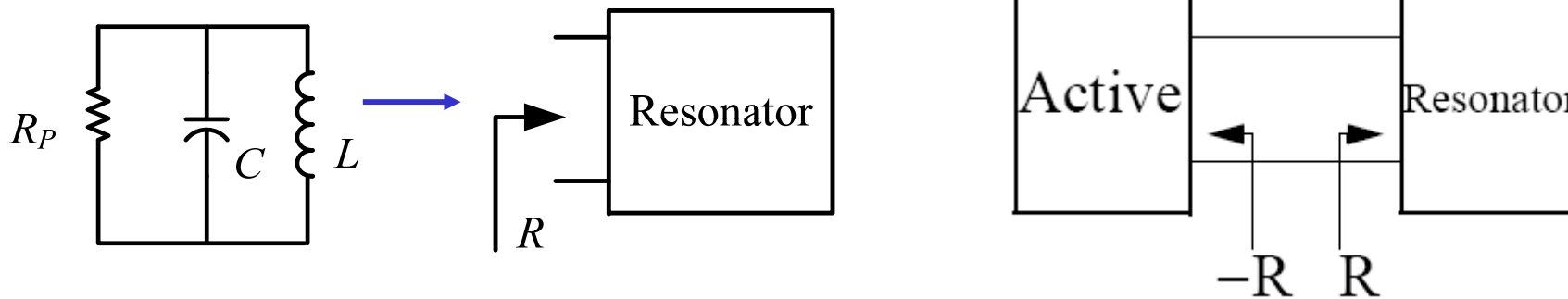
$$\left(g_{m1,2} \frac{R_P}{2} \right)^2 > 1$$



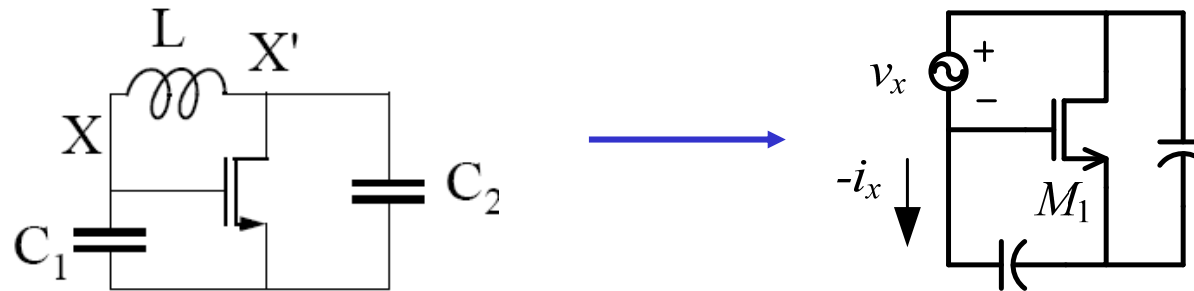
LC振荡器的单端口模型分析法

■ 单端口负阻模型

- 除了反馈分析法外，单端口模型分析LC振荡器更方便
- 如果并联LC网络没有寄生电阻，则只要加一个电压或电流冲激，振荡就会持续下去
- 寄生电阻的存在使得振荡被衰减
- 将RLC网络等效为一个带电阻的谐振腔，再用有源电路产生一个负阻抵消正电阻，使振荡得以维持



■ 三电抗式振荡器



如果将XX'处开路，则此端口的等效阻抗为

$$v_x = \left(i_x - \frac{-i_x}{sC_1} g_m \right) \frac{1}{sC_2} + \frac{i_x}{sC_1} \quad \rightarrow \quad Z_x = \frac{g_m}{s^2 C_1 C_2} + \frac{1}{sC_1} + \frac{1}{sC_2}$$

稳态情况下其中包含了一个负电阻和一个等效电容，

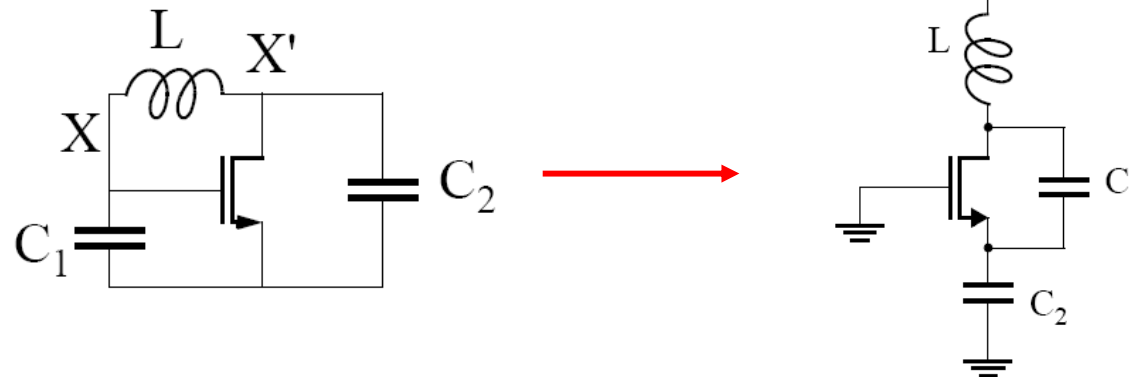
$$-\frac{g_m}{\omega^2 C_1 C_2} \quad C_{eq} = \frac{C_1 C_2}{C_1 + C_2}$$

接上电感L后电路振荡在

$$\omega_0 = 1 / \sqrt{LC_{eq}}$$

■ 科尔皮兹振荡器 (Colpitts Oscillator)

- 把前面的单管负阻模型稍加改动，选择合适的交流地就得到科尔皮兹振荡器



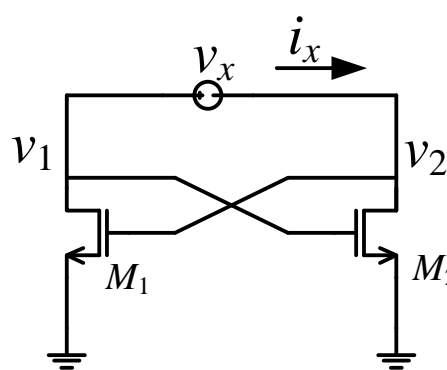
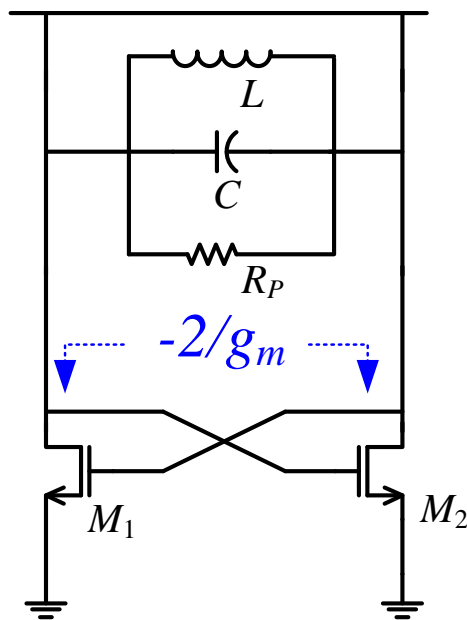
- 只要管子的 g_m 足够大，电路可以轻易起振，振荡频率为

$$\omega_0 = \frac{1}{\sqrt{L \frac{C_1 C_2}{C_1 + C_2}}}$$

- 一个晶体管，噪声性能非常好（常见的分立振荡器形式）
- 缺点是只是单端输出，只得到一个相位的信号

■ 交叉耦合LC振荡器的负阻分析

- 这是IC中常见的形式，也是一种负阻振荡器



$$i_x = g_{m2}v_1 = -g_{m1}v_2$$

$$v_x = v_1 - v_2$$

$$= -i_x (1/g_{m1} + 1/g_{m2})$$

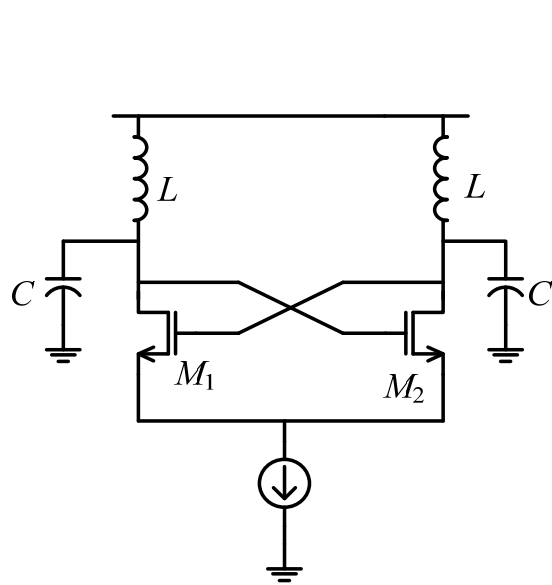
$$\longrightarrow r_x = \frac{v_x}{i_x} = -2/g_m$$

起振条件: $R_P > 2/g_m$

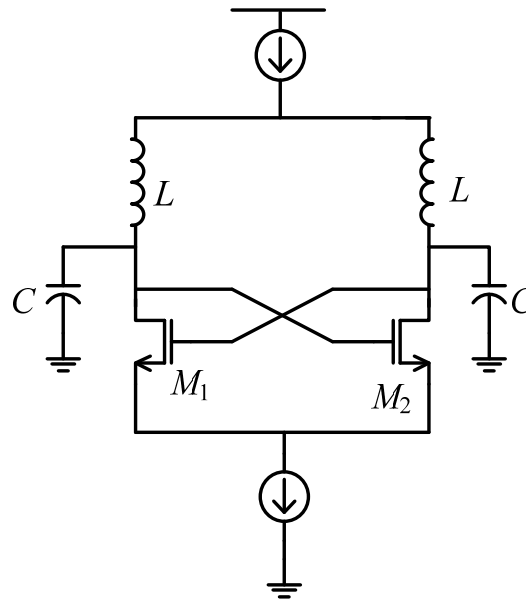
与反馈分析法得出的起振条件一致

- 谐振腔的寄生电阻被交叉耦合的晶体管提供的负阻所抵消，所以，电路以并联谐振回路的谐振频率保持振荡
- 电感 Q 值越高，所需的 g_m 越小，功耗越小

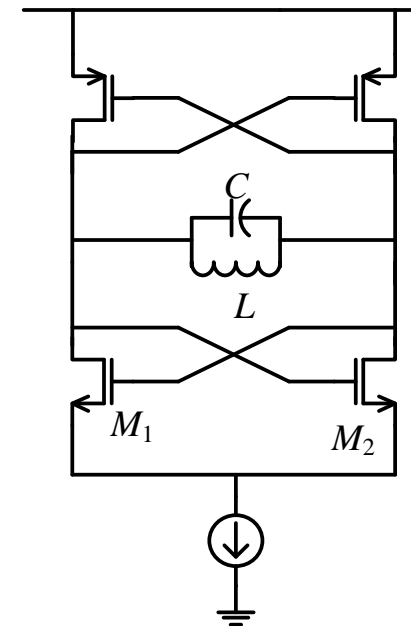
■ 交叉耦合LC振荡器的电路形式



**NMOS对管提供
负阻，振荡的直
流电平为VDD**



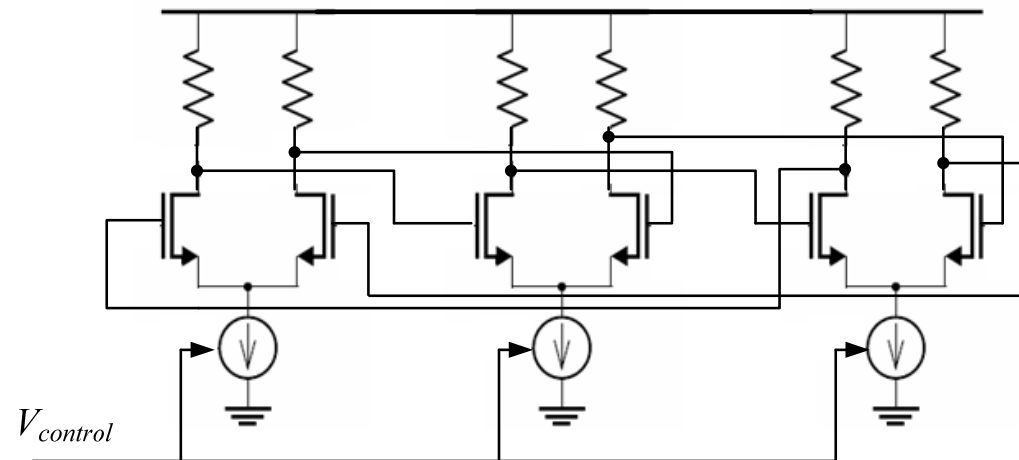
**振荡的直流
电平可以调
到VDD/2**



**CMOS结构：负
阻由PMOS和
NMOS对管共同
提供，降低功耗**

压控振荡器 (VCO)

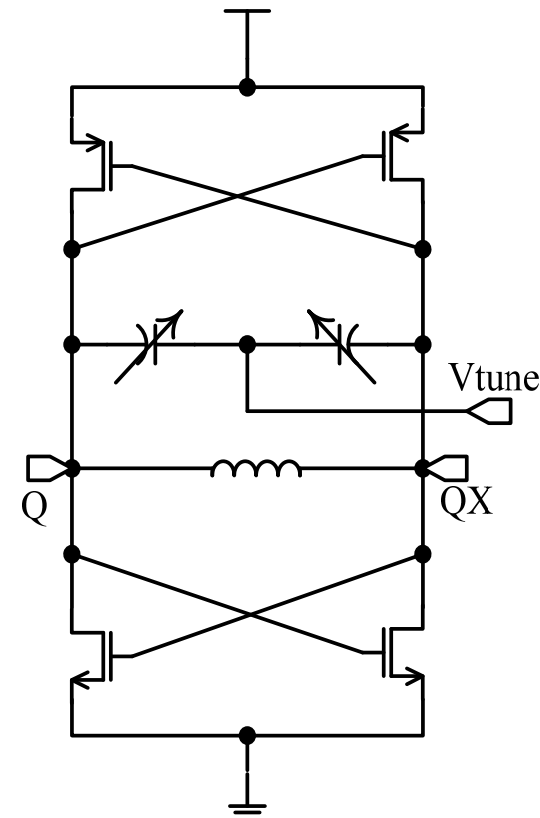
- Voltage-Controlled Oscillator: 应用于RF的振荡器的频率必须可以调节，一般可以通过电流和电压来调节频率，实际中用电压较多，容易实现。
 - 环形振荡器一般通过改变延迟单元中电流源尾管的栅电压来调节延迟单元的延时，从而控制振荡频率



- 通过控制尾电流的大小，以控制每级的充放电的延时时间改变频率，可以获得很大调节范围和较高的调节线性度

LC压控振荡器

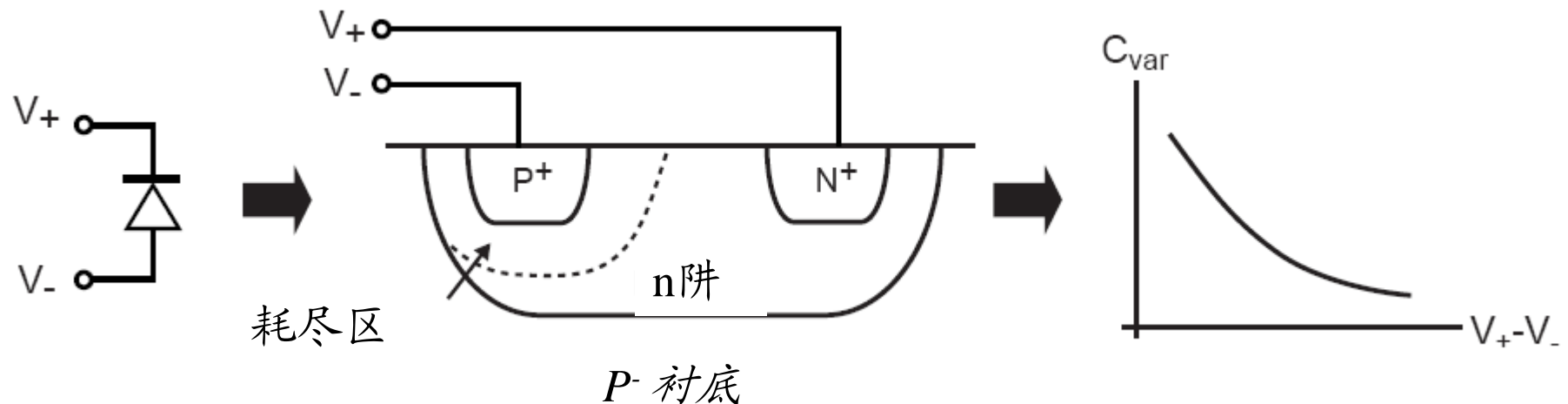
- LC振荡器使用变容管来调节频率，变容管的等效电容受外加直流电压的控制
- Varactor的实现方式有多种
 - P+Nwell
 - 线性度高调节范围小
 - MOS Varactor
 - 调节范围大，线性度低
- LC-VCO的结构有多种
 - PMOSonly
 - NMOS only
 - CMOS



CMOS结构无电流源的LC-VCO

变容管的实现——二极管形式

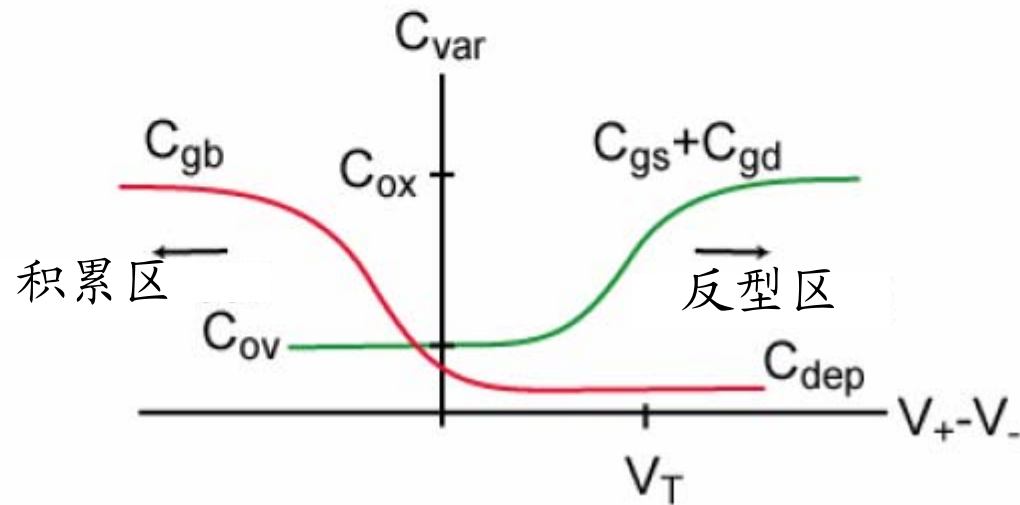
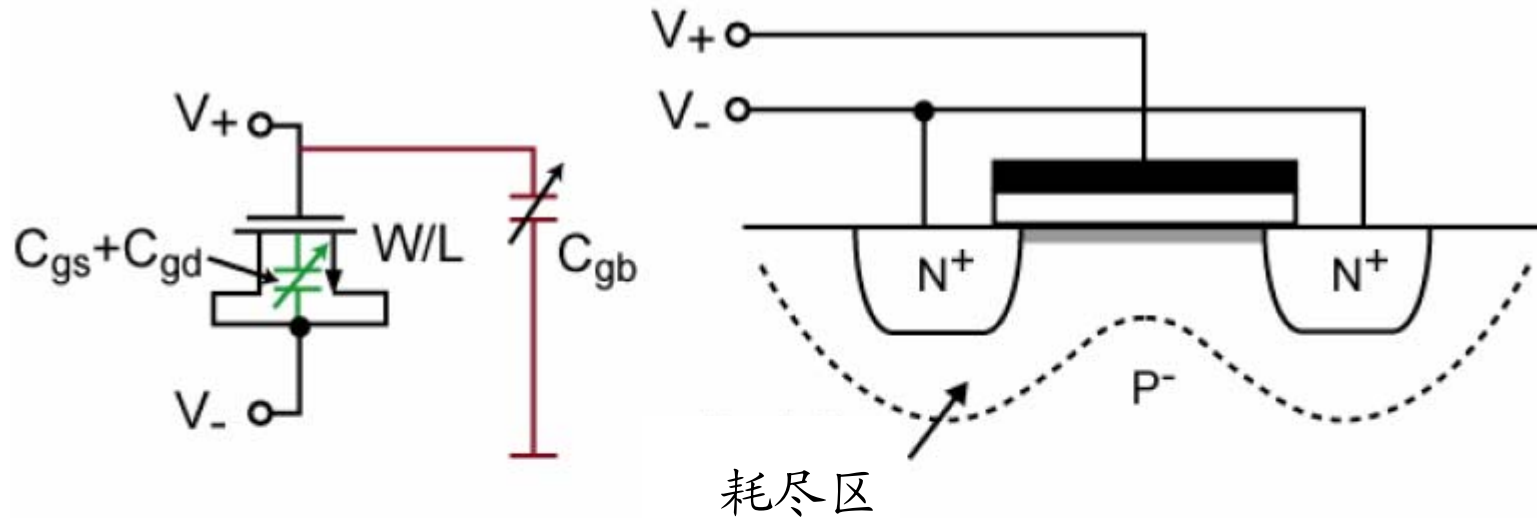
- 由反偏结二极管构成
 - 由耗尽区电容形成可变电容
 - 电容大致随偏置电压的平方根增加而降低
- 优点：可在CMOS中全集成
- 缺点：Q值低（通常 <20 ），并且调节范围低（ $\pm 20\%$ ）



MOS变容管

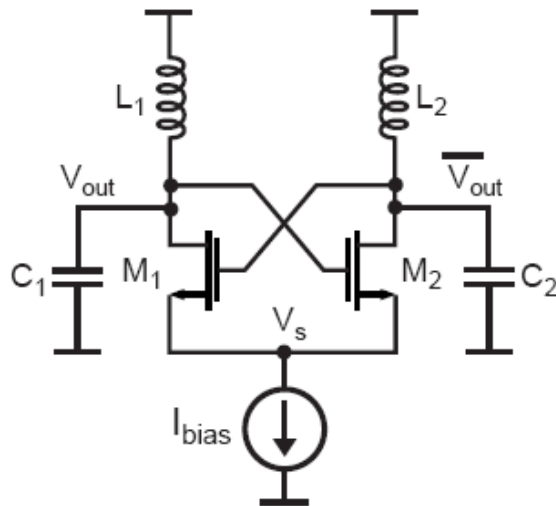
- 由一个漏和源连在一起的MOS晶体管构成(NMOS或PMOS)
 - 形成反型层时, 电容值会发生突变
- 优点—易于CMOS集成
- 缺点—过渡区的Q值相对较低
 - 注意: 变容管上施加的是大信号—每个VCO周期都会经历一次过渡区
- 要小心栅到衬底的电容

近期常用的方法—MOS变容管

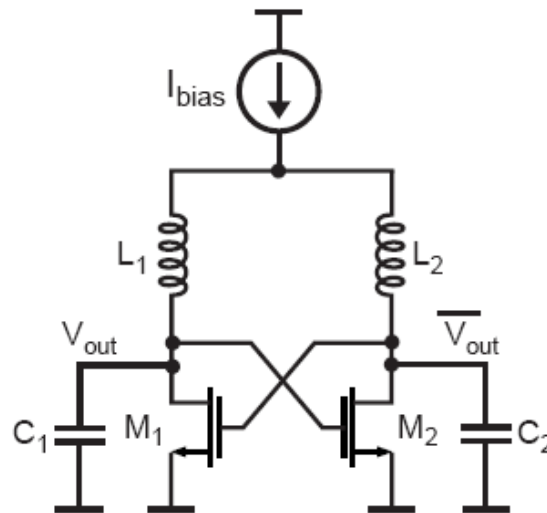


VCO的结构变化

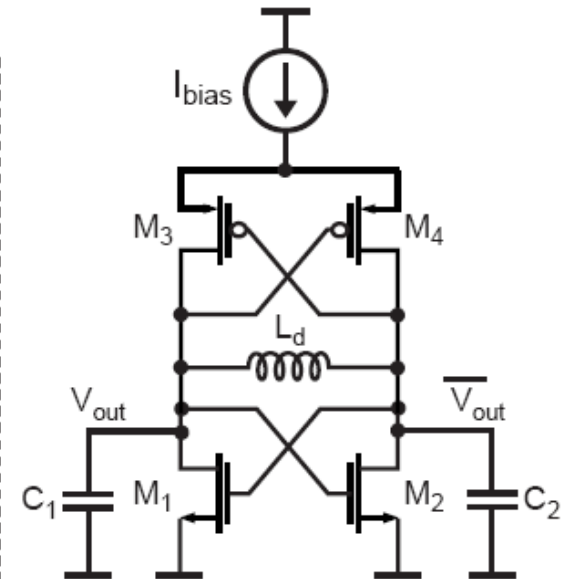
底部偏置的NMOS



顶部偏置的NMOS



顶部偏置的NMOS和PMOS



- 偏置可选在顶部或底部
- 可用NMOS、PMOS或同时使用两者来实现跨导
 - 在给定功耗情况下，同时使用NMOS和PMOS交叉耦合对可获得更低的相噪声

参考文献Hajimiriet. al, "Design Issues in CMOS Differential LC Oscillators", JSSC, May 1999 and Feb, 2000 (pp 286-287)

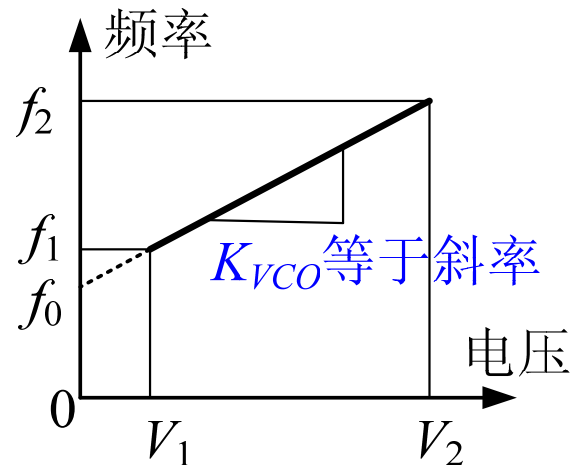
VCO的性能指标

■ 调节增益

- VCO的模型一般都假定VCO是线性控制的, 即:

$$f_{out} = f_0 + K_{VCO} V_{cont}$$

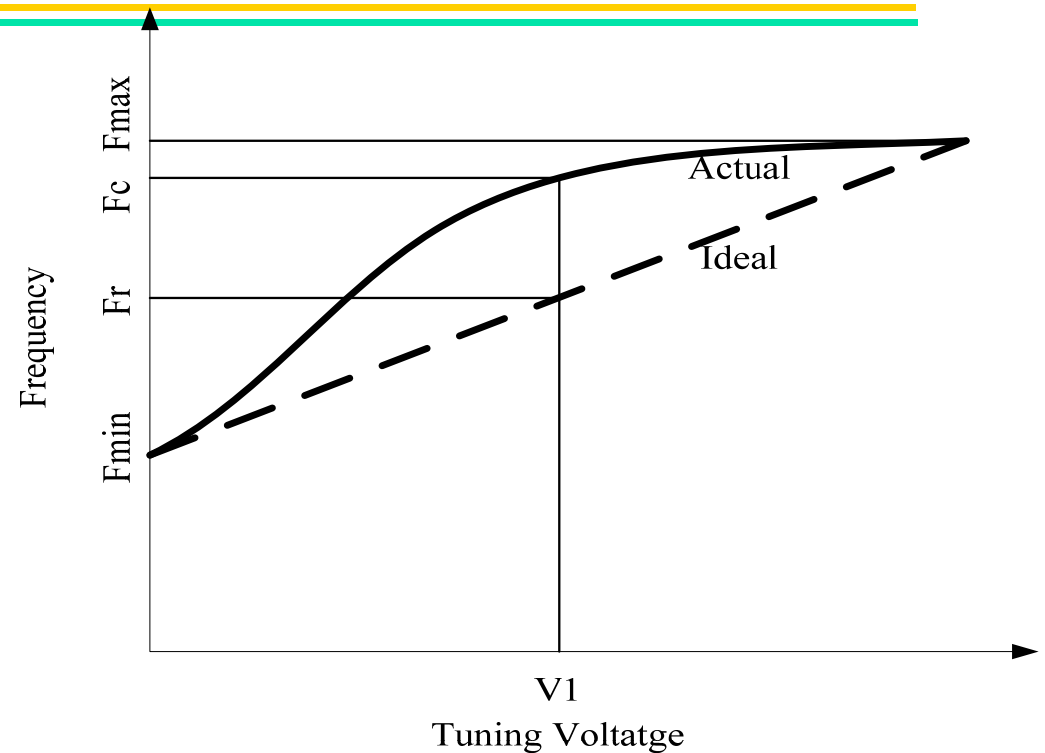
其中 K_{VCO} 称为VCO的增益, 单位为Hz/V



- 环形压振荡器的调节增益由尾电流源的跨导确定
- LC压控振荡器的增益由变容管的C-V特性决定

■ 线性度和调节范围

- VCO的数学模型假定
VCO的调节曲线是线性的，实际的调节曲线往往不是直线
- 非线性调节会使得PLL的锁定时间边长，并且会引起抖动或不稳定
- 调节线性度可以通过改变变容管的C-V特性来提高；也可以通过改进谐振腔的电路结构来改进



$$TuneRange = F_{\max} - F_{\min}$$

$$Nonlinearity = \frac{F_c - F_r}{F_r} \times 100\%$$

■ VCO的相噪声公式

■ Leeson模型

把振荡器简化RLC并联结构，由无噪声网络提供一个负阻来抵消谐振腔的电阻R。R产生的噪声电流谱密度为

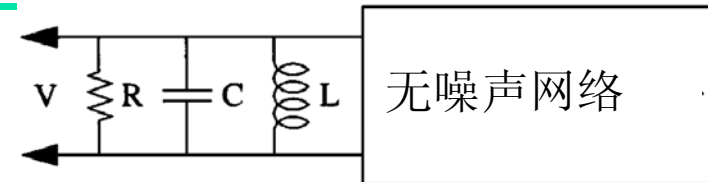
$$\frac{\overline{i_n^2}}{\Delta f} = 4kTG$$

噪声电流源的负载为一个并联LC的阻抗，在 $\omega_0 + \Delta\omega$ 处 ($\Delta\omega$ 很小):

$$Z(\omega_0 + \Delta\omega) \approx j \cdot \frac{\omega_0 L}{2 \frac{\Delta\omega}{\omega_0}}$$

利用 $Q = \frac{R}{\omega_0 L} = \frac{1}{\omega_0 G L}$ ，可得

$$|Z(\omega_0 + \Delta\omega)| = \frac{1}{G} \cdot \frac{\omega_0}{2Q\Delta\omega}$$



噪声电压为:
$$\frac{\overline{v_n^2}}{\Delta f} = \frac{\overline{i_n^2}}{\Delta f} \cdot |Z|^2 = 4kTR \left(\frac{\omega_0}{2Q\Delta\omega} \right)^2$$

相噪声就可以表示为

噪声功率的一半转
化为相位噪声

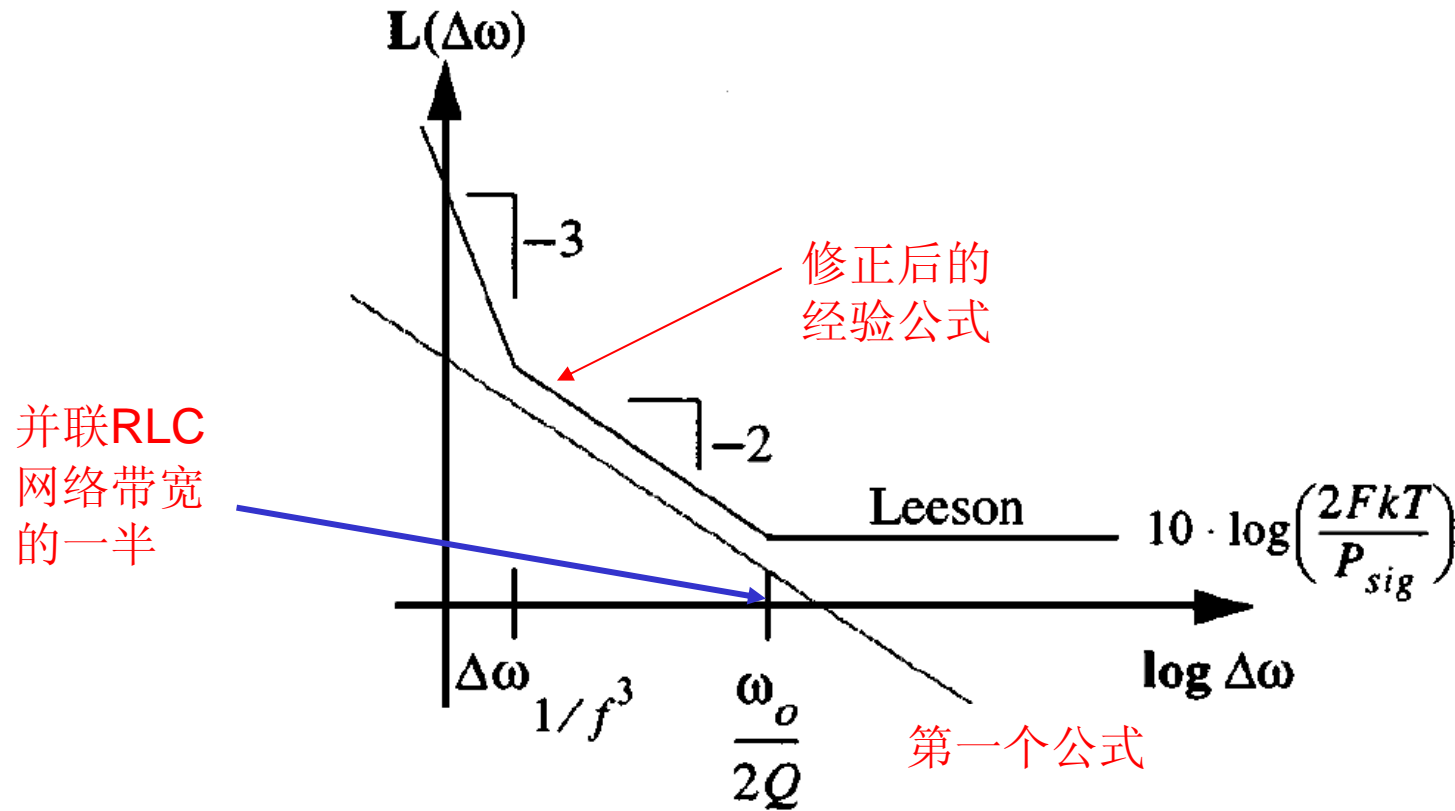
$$L\{\Delta\omega\} = 10 \log \left[\frac{2kT}{P_{sig}} \cdot \left(\frac{\omega_0}{2Q\Delta\omega} \right)^2 \right]$$

- 在给定的频偏处，相噪声随载波功率和振荡器Q值增加而降低：
 - 振荡器的幅值与偏置电流有关，当电流较小时，幅值随电流增加而增大，称为**电流限制区**；增加到一定程度后，幅值受到电源电压的限制不再增加，称为**电压限制区**。偏置电流应选在电压限制区与电流限制区的临界处
 - LC谐振电路的Q值越大，相噪声越低

- 实测的相噪声和公式表明规律只在一个频率段内相吻合，而且实测的噪声要比公式预测的大。主要是有源器件噪声的影响，在低频偏处会有一项与 $(\Delta\omega)^3$ 成反比，而在高频偏处相噪声趋于一个固定值，所以leeson对公式做了一个经验性的修正

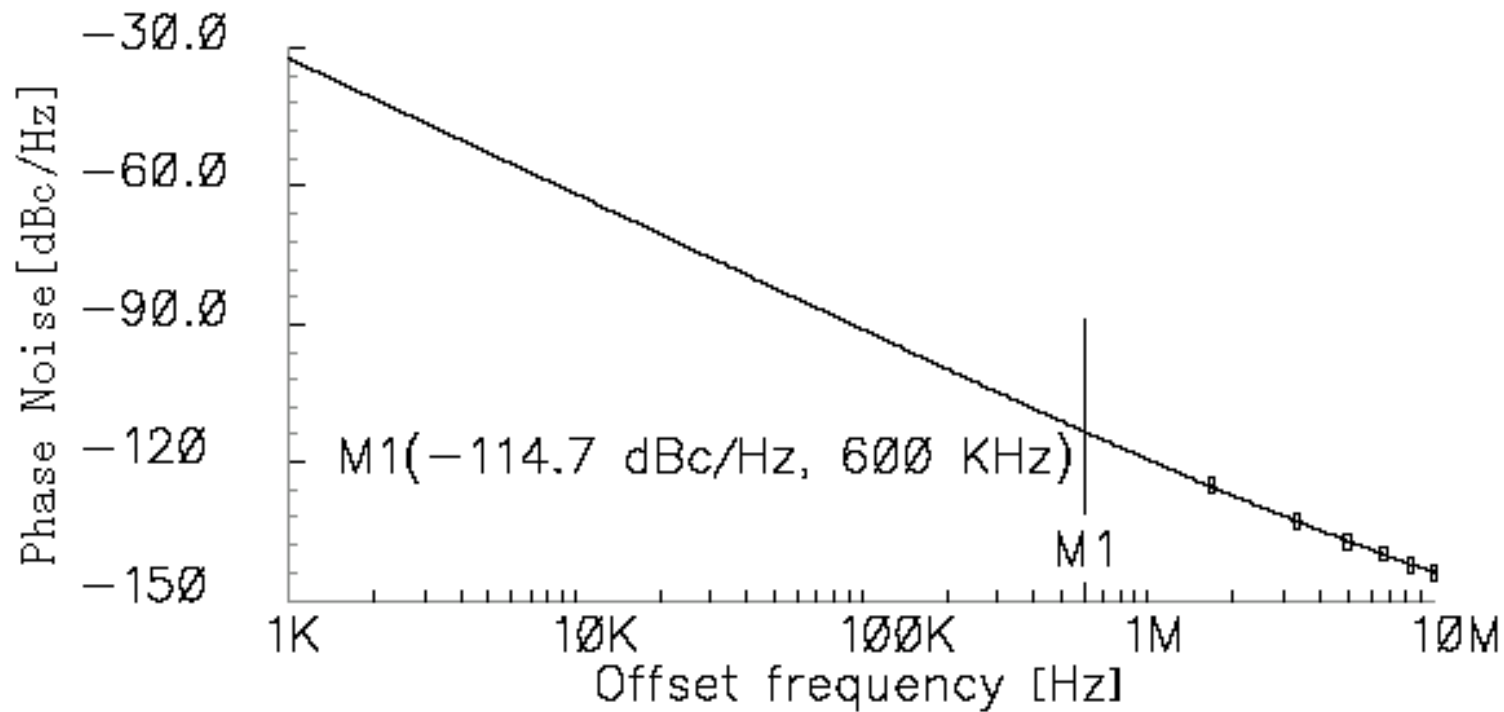
$$L(\Delta\omega) = 10\log\left(\frac{\overline{v_n^2}/\Delta f}{v_{sig}^2}\right) = 10\log\left\{\frac{2FkT}{P_{sig}} \cdot \left[1 + \left(\frac{\omega_0}{2Q\Delta\omega}\right)^2\right] \cdot \left(1 + \frac{\Delta\omega}{|f^3|}\right)\right\}$$

其中F是一个经验数值，不同的振荡器相差很大
公式包含三项，分别在不同频率处起主导作用



从图中可看出，随着频偏增大，经验公式中各项轮流占主导地位，所以相噪声曲线是3段， $\Delta\omega_{1/f^3}$ 接近器件 $1/f$ 噪声的拐点。

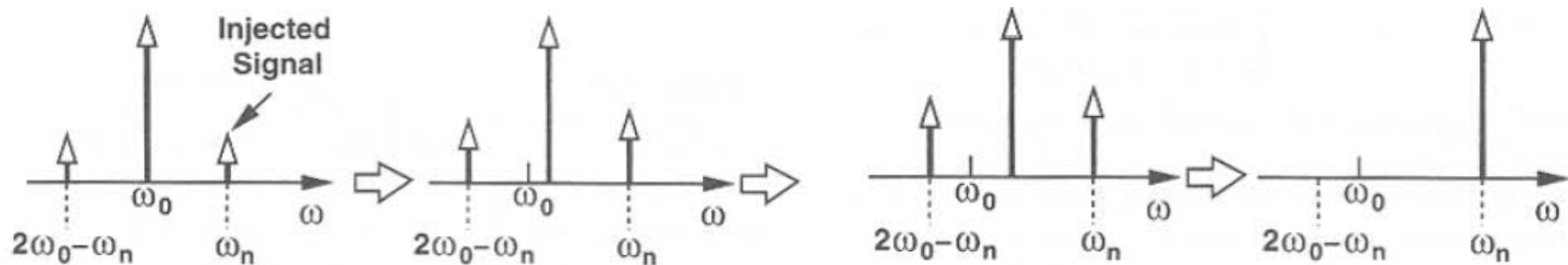
■ VCO相噪声的仿真曲线



■ Pulling and Supply Pushing

■ 注入锁定 (Injection Pulling)

随着当干扰的幅度增大，VCO的振荡频率逐渐改变成为干扰信号的频率，称为注入锁定



- load Pulling: VCO的负载发生变化时，振荡器的频率也发生改变。
- 给VCO增加buffer是解决Pulling问题最有效的方式。反向抑制比高的buffer可以同时解决两种Pulling带来的问题。

■ Supply Pushing

- 是指当电源电压变化时，VCO的输出频率会改变。LC-VCO中,电源电压变化会影响变容管上的直流电压，从而影响输出频率，所以LC-VCO的电源抑制比很差。使用高质量的电源可以改善这个问题

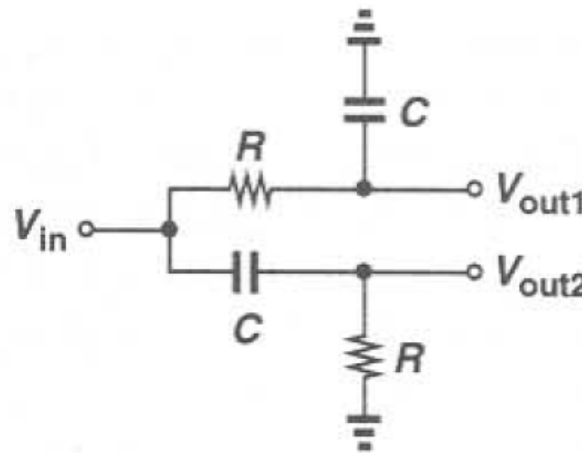
主要内容

- PLL概述
- PLL的数学模型和性能分析
- PLL模块电路设计
 - 压控振荡器
 - 正交信号生成器
- 频率合成技术

正交信号的产生

RF的Tranceiver中经常要求VCO能够产生相互正交的两个振荡信号（I/Q, In phase/Quadrature），对于环形振荡器，实现正交信号很容易。而差分的LC-VCO只能提供相差180度的信号，所以必须要增加一个电路来产生正交信号

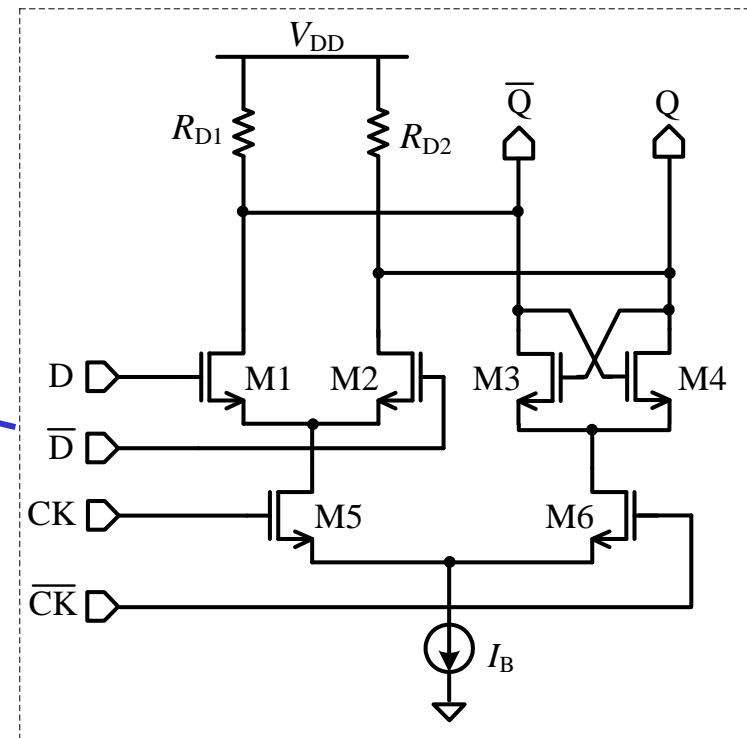
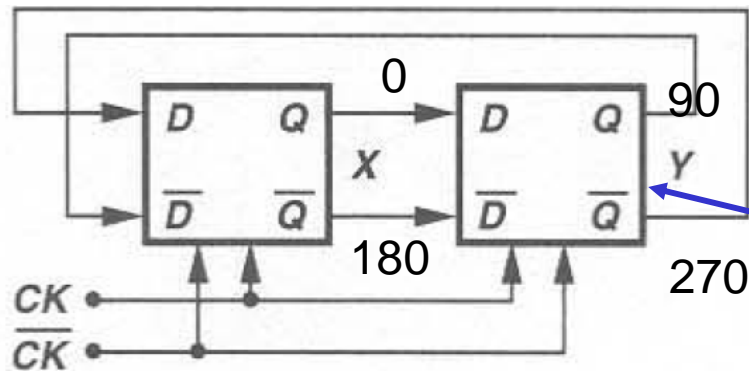
■ RC-CR移相



只要两路信号中的R和C相等则 V_{out1} 和 V_{out2} 相差90度。缺点是只在 $\omega = 1/(RC)$ 时两路信号的幅值相等，所以必须对两路信号放大再加限幅使幅值相等

■ 分频

用一个主从触发器对输入信号进行二分频得到正交信号，

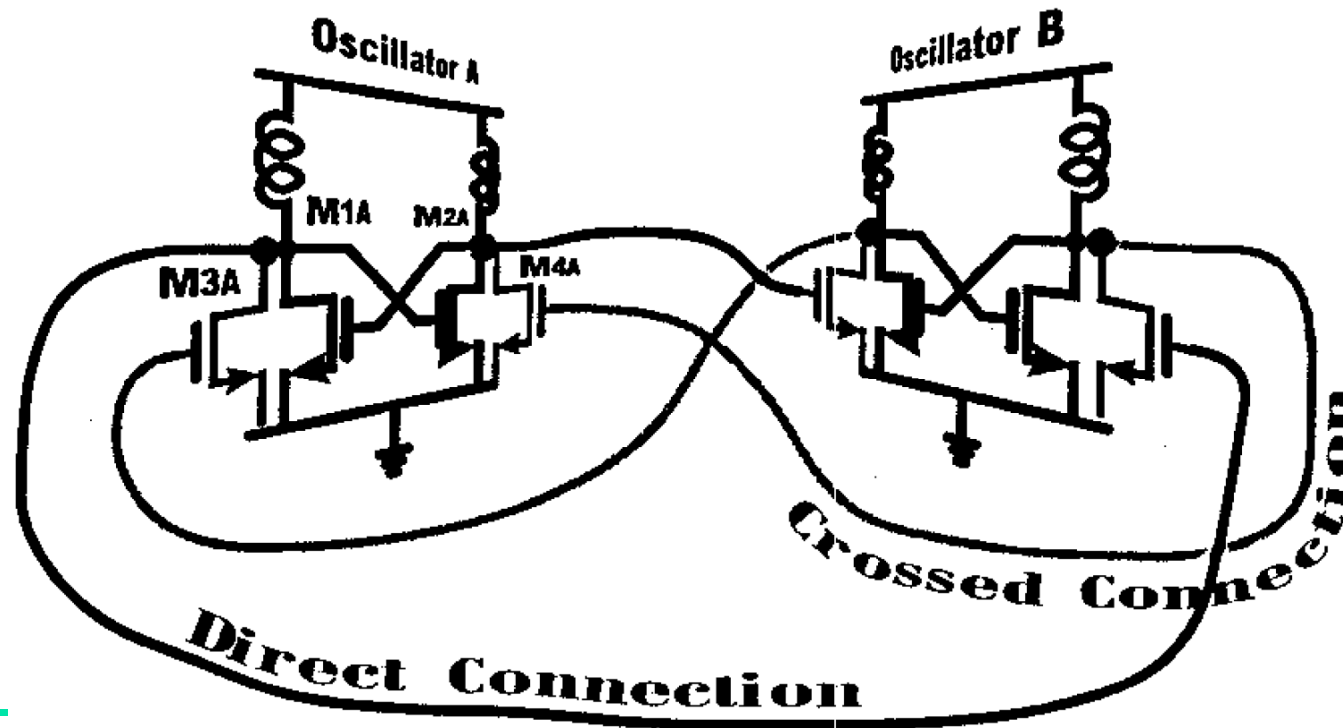
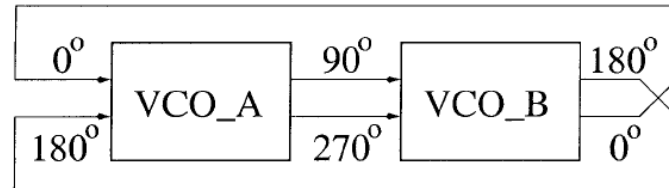


用电流模的锁存器实现高速分频器

缺点是要使VCO产生工作频率2倍的振荡信号

■ 交叉耦合振荡器

两个差分VCO互相耦合，产生正交信号，高频时有优势。但由于有两个VCO所以相噪声比较严重



主要内容

- PLL概述
- PLL的数学模型和性能分析
- PLL模块电路设计
- 频率合成
 - 整数N型频率合成器
 - 分数N型频率合成器

频率合成简述

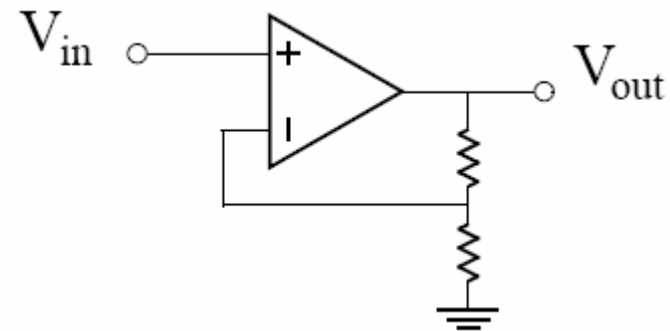
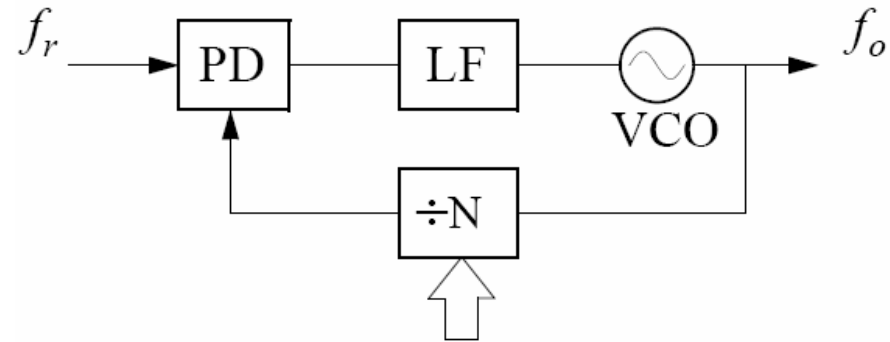
■ 分频的作用

- 输出信号经分频以后与输入参考信号进行鉴相，锁定时有

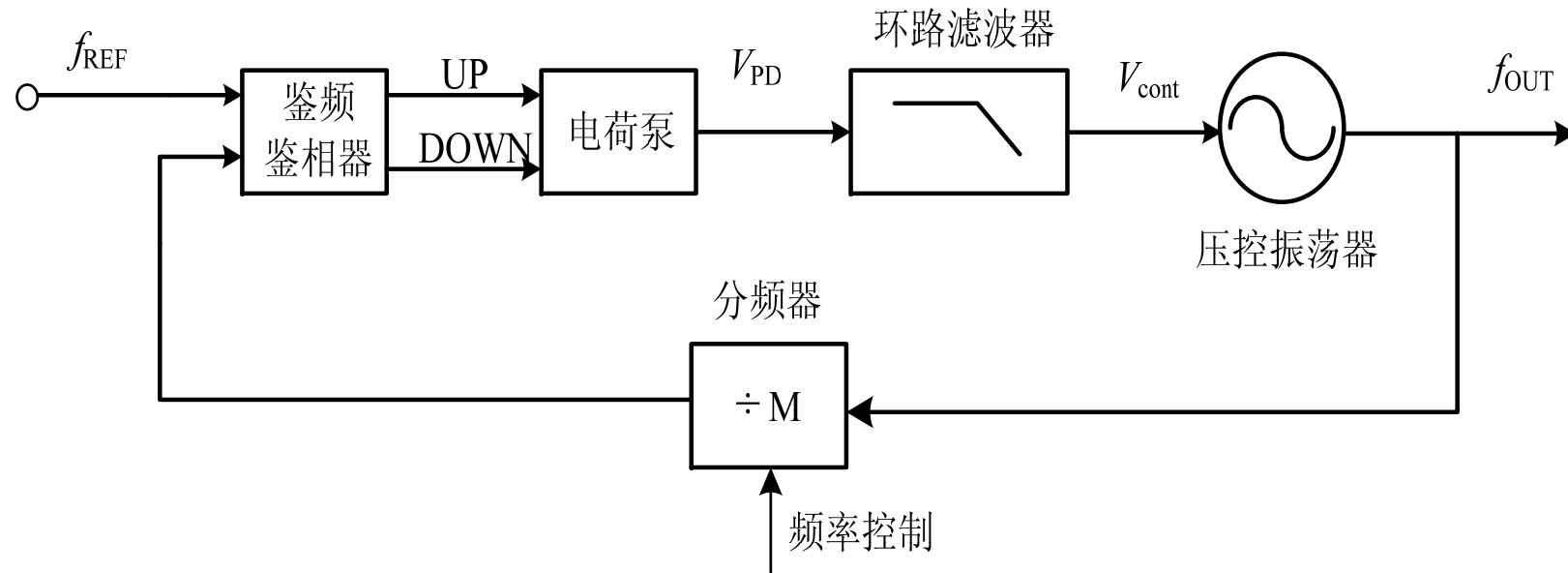
$$f_r = f_o / N$$

因此 $f_o = Nf_r$

改变分频比N即可获得不同的输出频率，这与正相运放反馈放大器的原理相同

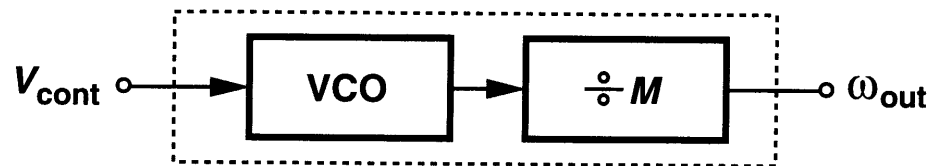


基于PLL的频率综合器结构



分频器对传输函数的影响

$$H(s) = \frac{\frac{I_P}{2\pi} \left(R_P + \frac{1}{C_P s} \right) \frac{K_{VCO}}{s}}{1 + \frac{1}{M} \frac{I_P}{2\pi} \left(R_P + \frac{1}{C_P s} \right) \frac{K_{VCO}}{s}} = \frac{\frac{I_P K_{VCO}}{2\pi C_P} (R_P C_P s + 1)}{s^2 + \frac{I_P K_{VCO}}{2\pi M} R_P s + \frac{I_P K_{VCO}}{2\pi C_P M}}$$



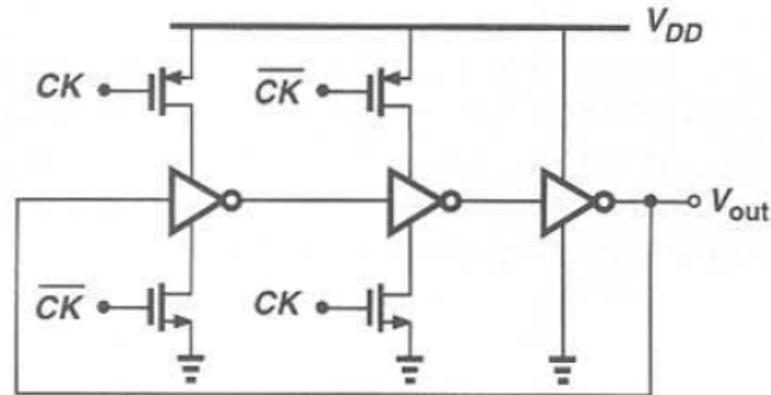
$$\omega_{out} = \frac{\omega_0 + K_{VCO} V_{cont}}{M} = \frac{\omega_0}{M} + \frac{K_{VCO}}{M} V_{cont}$$

$$\omega_n = \sqrt{\frac{I_P K_{VCO}}{2\pi C_P M}} \quad \zeta = \frac{R_P}{2} \sqrt{\frac{I_P C_P K_{VCO}}{2\pi M}} \quad (\zeta \omega_n)^{-1} = 4\pi M / (R_P I_P K_{VCO})$$

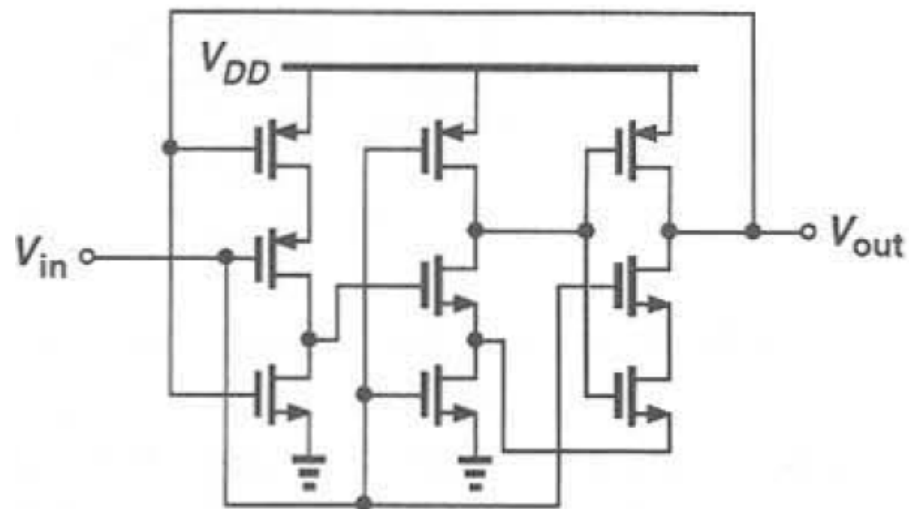
在II型环路中插入一个除法器降低了稳定性和稳定速度，因此需要按比例地加大电荷泵电流

高速应用中的分频器

- 动态锁存器二分频



- TSPC (True Single phase clock)

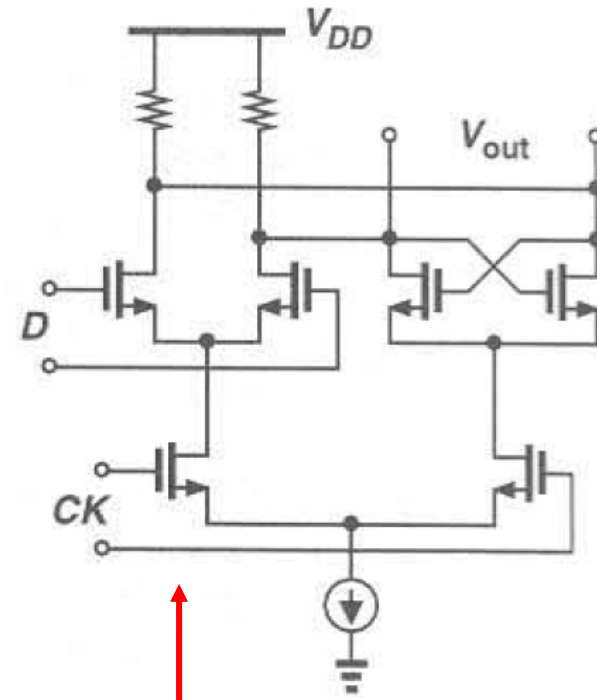
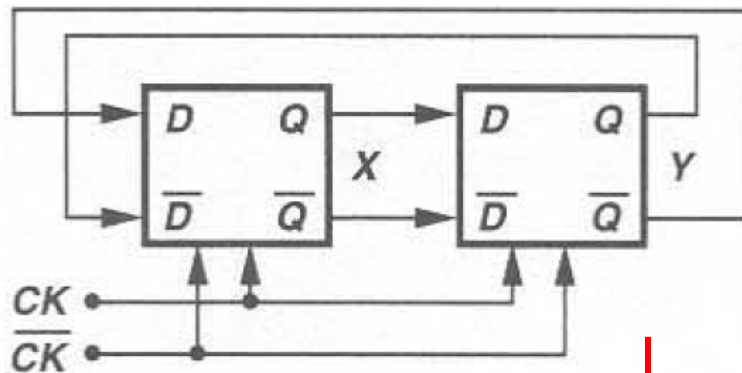
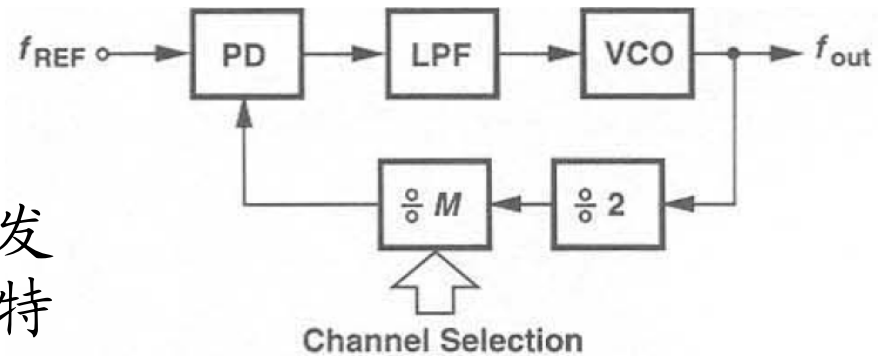


以上两种高速二分频电路的缺点是不能提供正交信号

■ 正交二分频电路

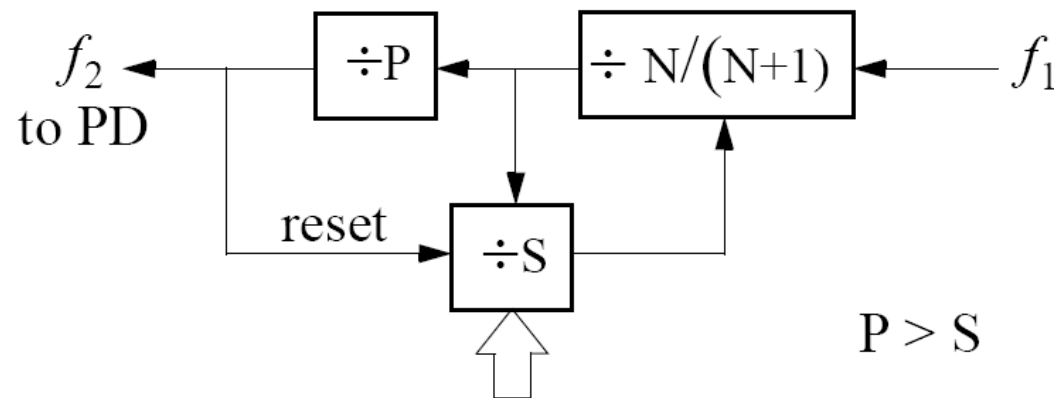
- 靠近VCO输出端的分频器要求速度要非常快，一般的触发器难以达到要求。需要一些特殊的二分频电路

- 电流模主从触发器
- 这种结构还可以提供正交信号



间隔为1的整数分频结构

■ 整数分频(Integer-N) 频率合成器



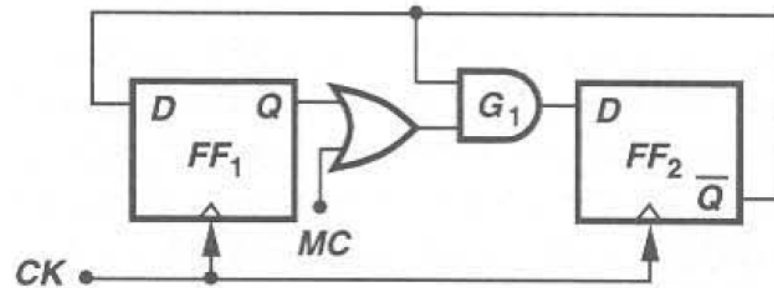
■ 总分频比

$$M = S(N+1) + (P-S)N = PN + S$$

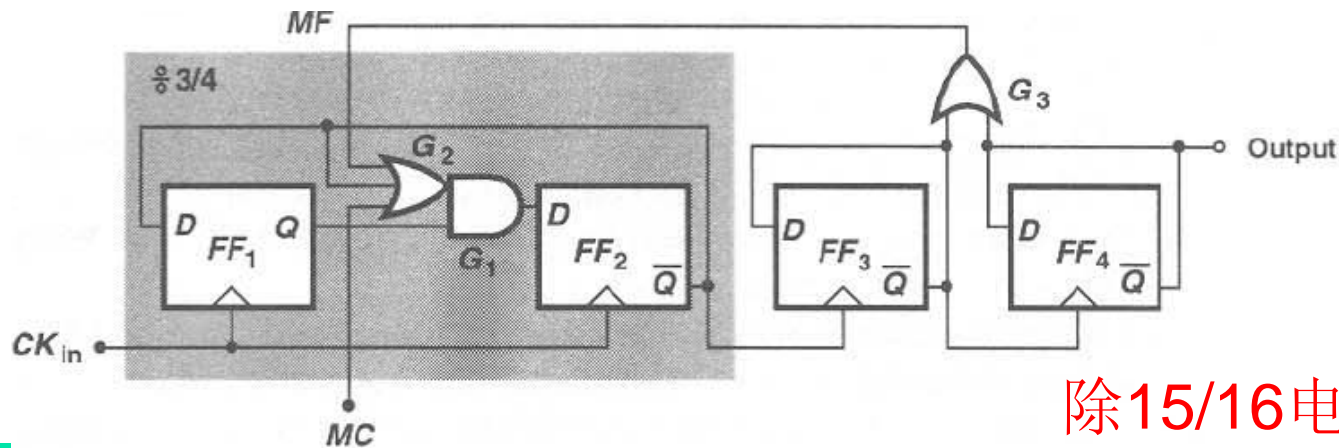
- 可以实现参考频率的整数倍倍频
- 要求参考频率等于信道间隔
- 使PLL的带宽受到信道间隔的限制，不能任意增大。环路带宽过小，锁定时间过长，且不利于抑制VCO的噪声

双模预分频器 (Dual-Modulus Prescaler)

- 整数分频和小数分频频率合成器都要用到双模分频器，其中的D触发器用前面的高速二分频电路来实现

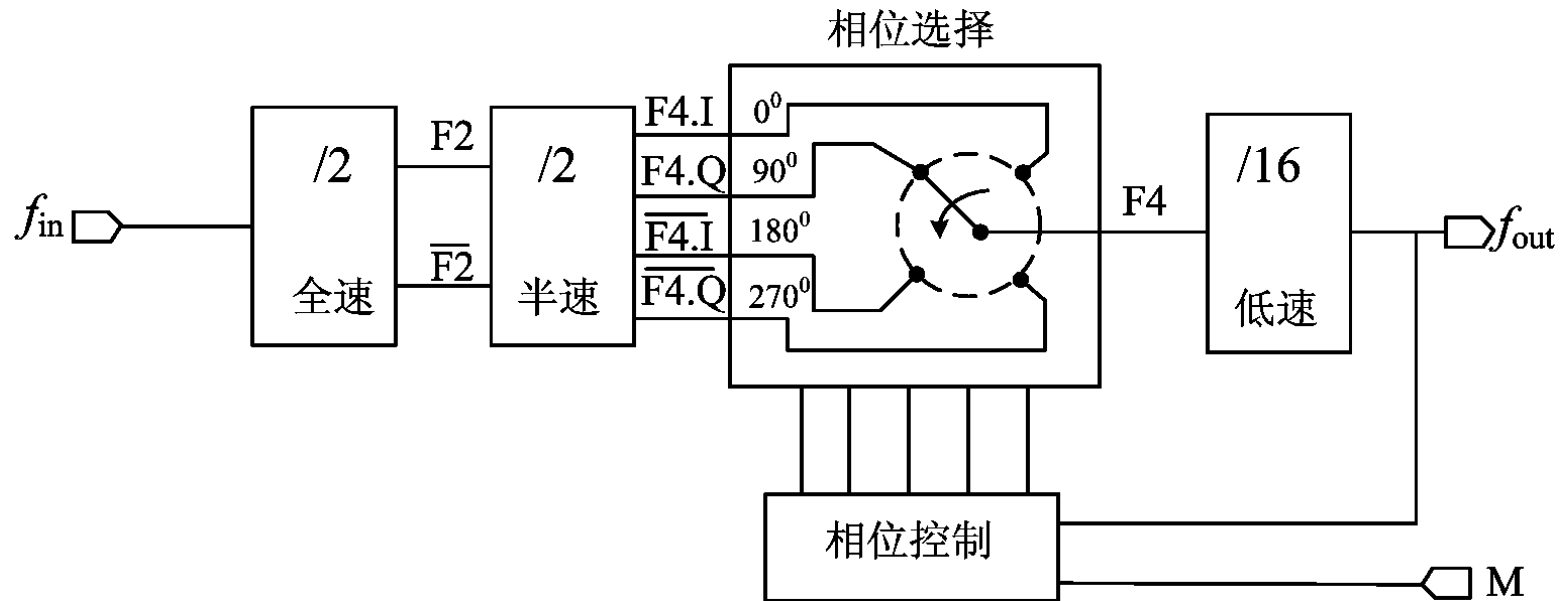


除3/4电路



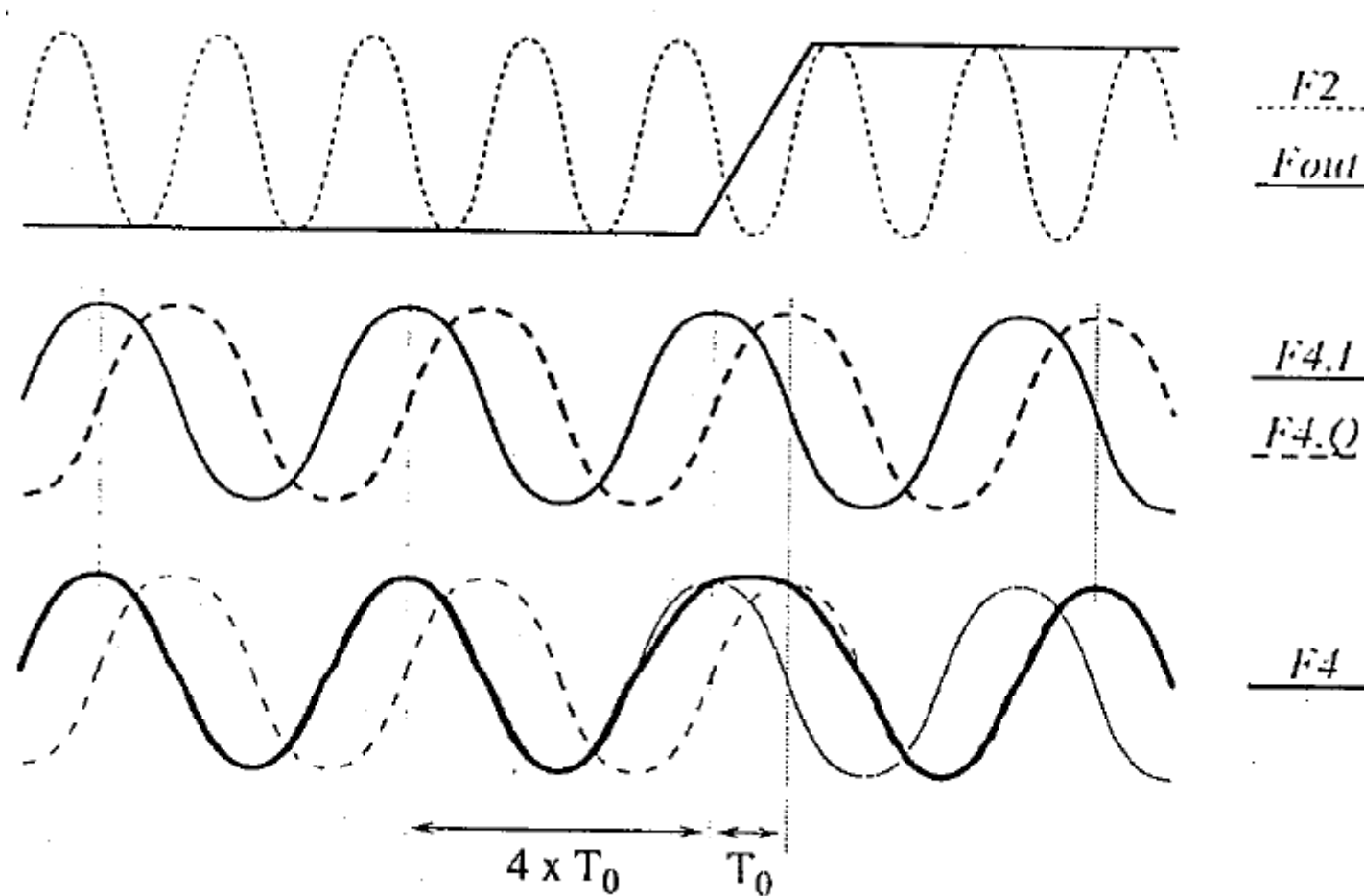
除15/16电路

相位选择型双模分频器 (64/65)



分频比为64/65。优点：电路全部由 2 分频器组成，且工作在异步方式，高速路径中也不包含组合逻辑电路。因此，工作频率高、功耗较小、较容易实现。

相位选择型双模预分频的工作原理



整数N型频率综合器小结

- 优点：分频方案简单，相噪声性能较好
- 缺点：输出频率精度与锁定时间相互限制
 - 输出频率间隔= f_{ref}
 - PLL带宽小于 $f_{\text{ref}}/10$
 - 参考频率越小，PLL的带宽越小，锁定时间越长
- 解决措施：分数N型频率综合器

主要内容

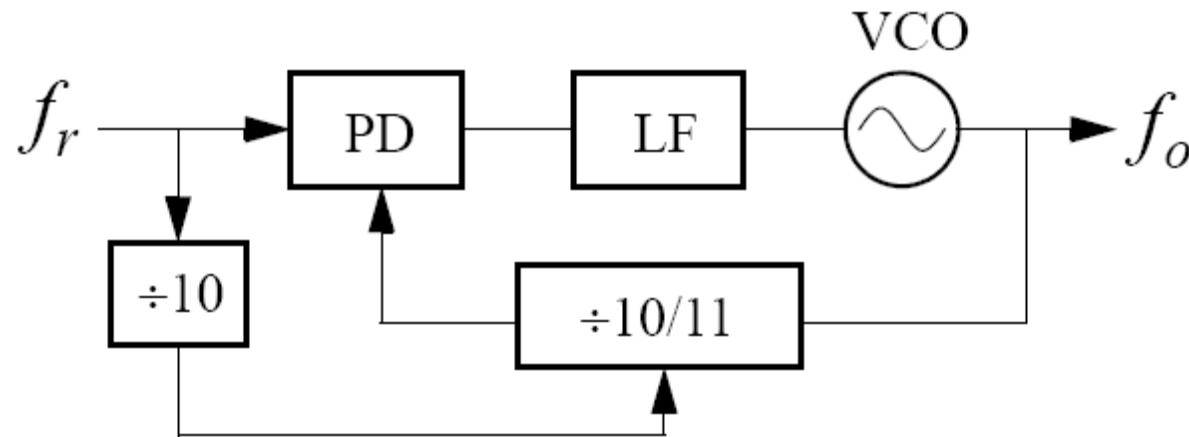
- PLL概述
- PLL的数学模型和性能分析
- PLL模块电路设计
- 频率综合器
 - 整数N型频率合成器
 - 分数N型频率合成器

分数N频率综合器的直观理解

■ 分数分频(Fractional-N) 频率合成器

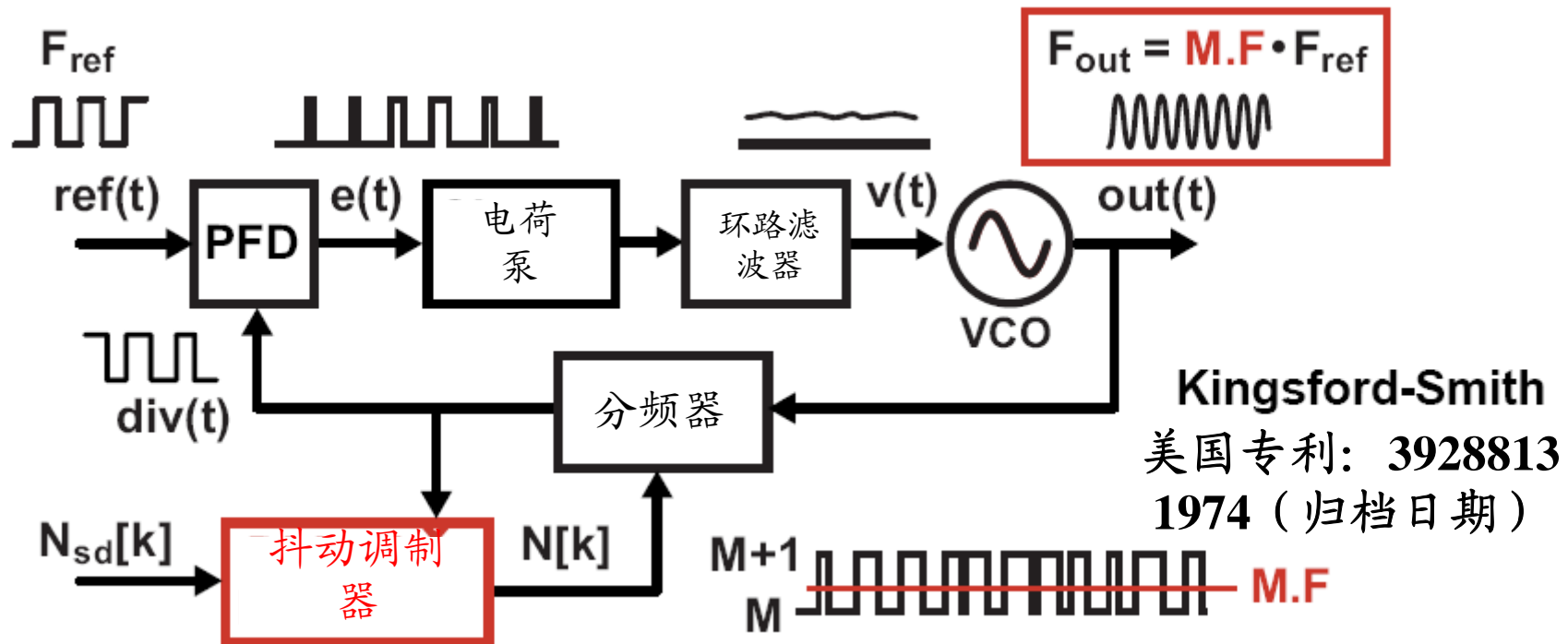
解决整数N型结构带宽受限的问题

用平均频率实现小数分频



- 如果输出信号频率在前9个参考信号周期中被10分频，在第10个周期中被11分频，那么10个参考信号周期中 f_o 共变化了 $9 \times 10 + 1 \times 11 = 101$ 个周期，即平均分频比为10.1。如果 $f_r = 1\text{MHz}$ ，那么 $f_o = 10.1\text{MHz}$

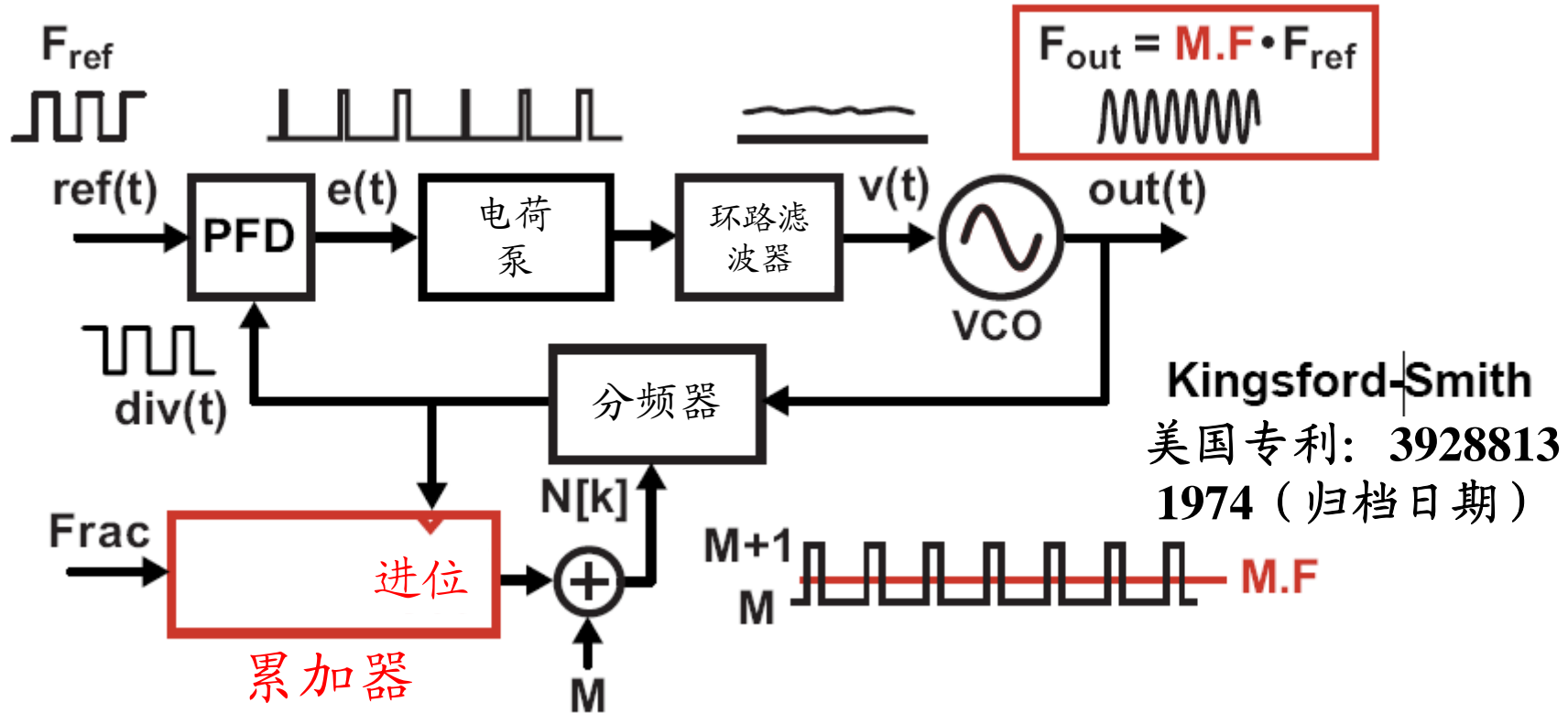
分数N型频率综合



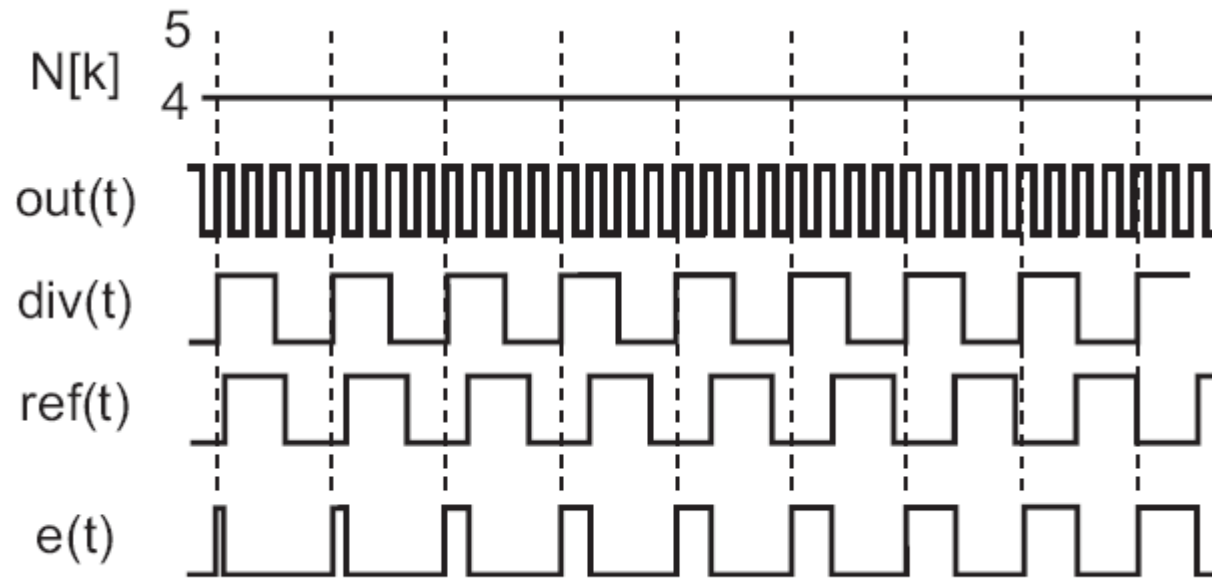
- 分频值在整数值间抖动 (dither)
- 可以实现分数分频比

非常高的频率精度

经典的分数N-型分频器结构

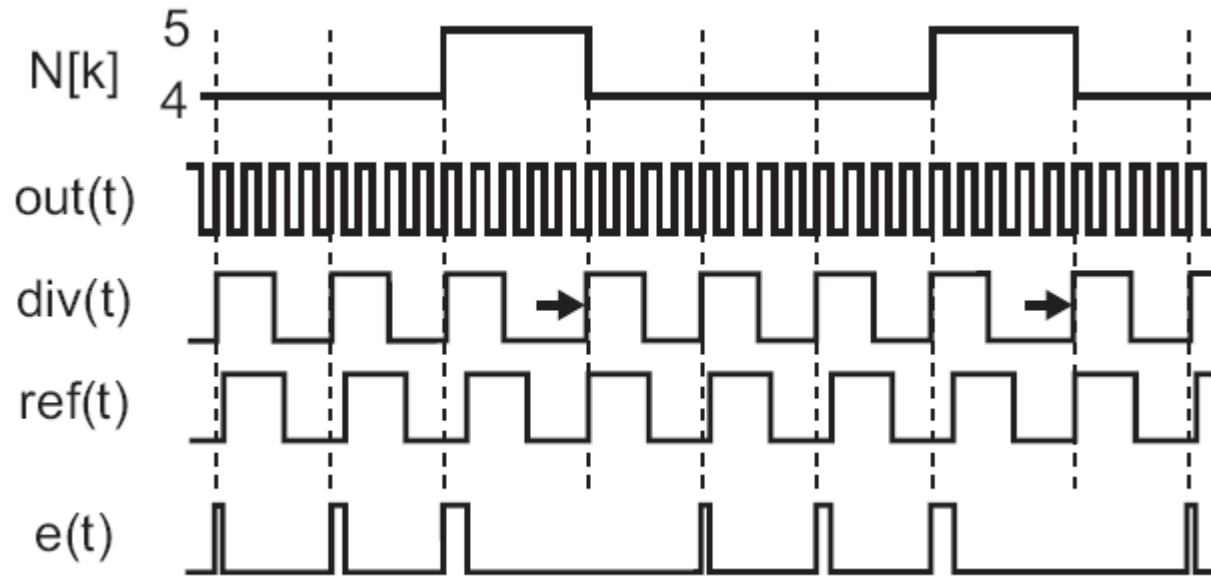


用累加器来实现抖动调制：累加器统计分频比的输出，每溢出一次改变一次分频比，实现抖动

当 $F_{\text{out}}=4.25F_{\text{ref}}$ 时，整数N综合器的信号

- 常数分频比 $N=4$ 导致频率误差
 - 当相位误差积累时，误差脉冲的宽度增加
 - 迫使VCO的频率 $F_{\text{out}}=4F_{\text{ref}}$

当 $F_{\text{out}}=4.25F_{\text{ref}}$ 时，分数N综合器的信号



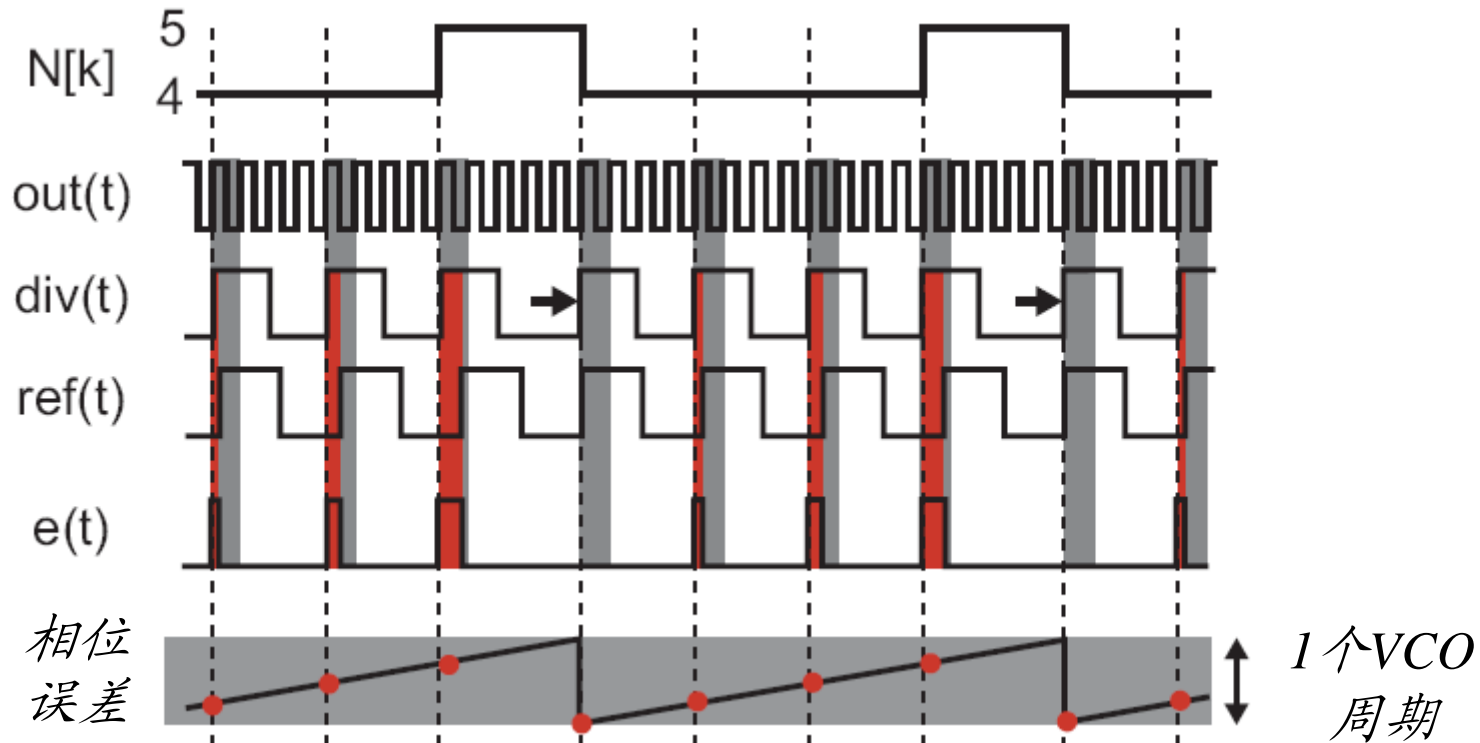
$$F_{\text{out}} = [(3/4) \cdot 4 + (1/4) \cdot 5] = 4.25F_{\text{ref}}$$

通过控制累加器的初值可以实现4~5之间的任意分频比；

分数分频带来的问题

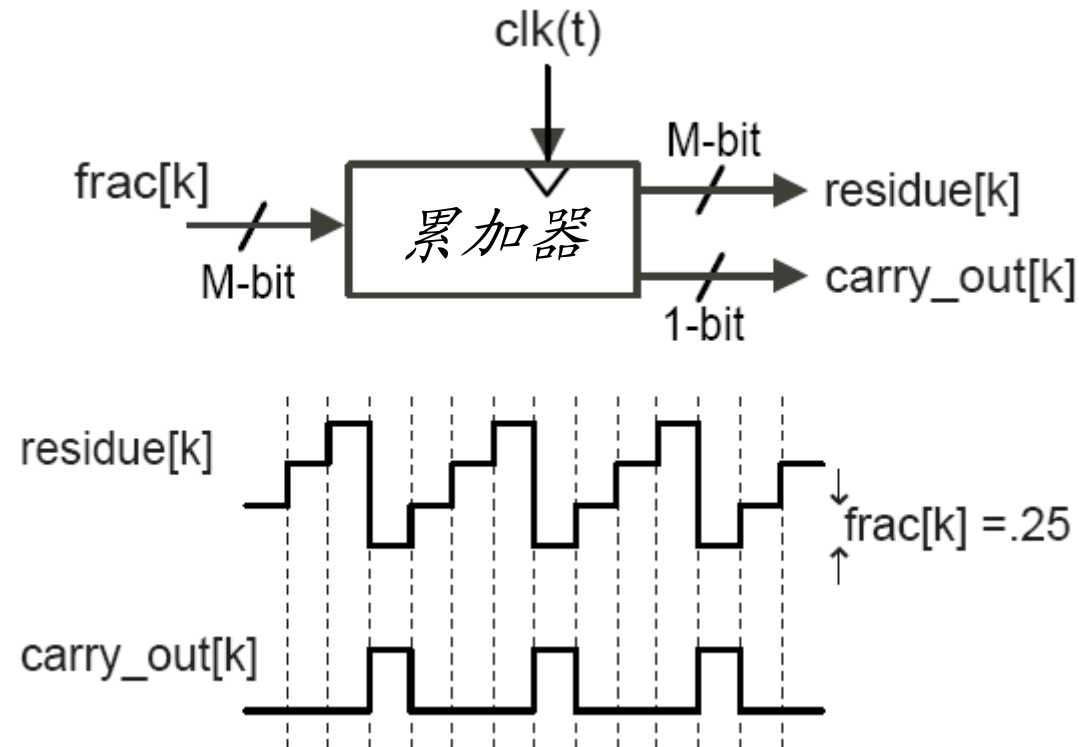
- 分数-N分频器的优缺点
 - 优点：参考频率可以很大，以增大PLL的带宽
 - 缺点：分频不连续，在两个整数分频比之间抖动
 - 输出频谱中出现分数杂散频率

经典分数N抖动的关键观察



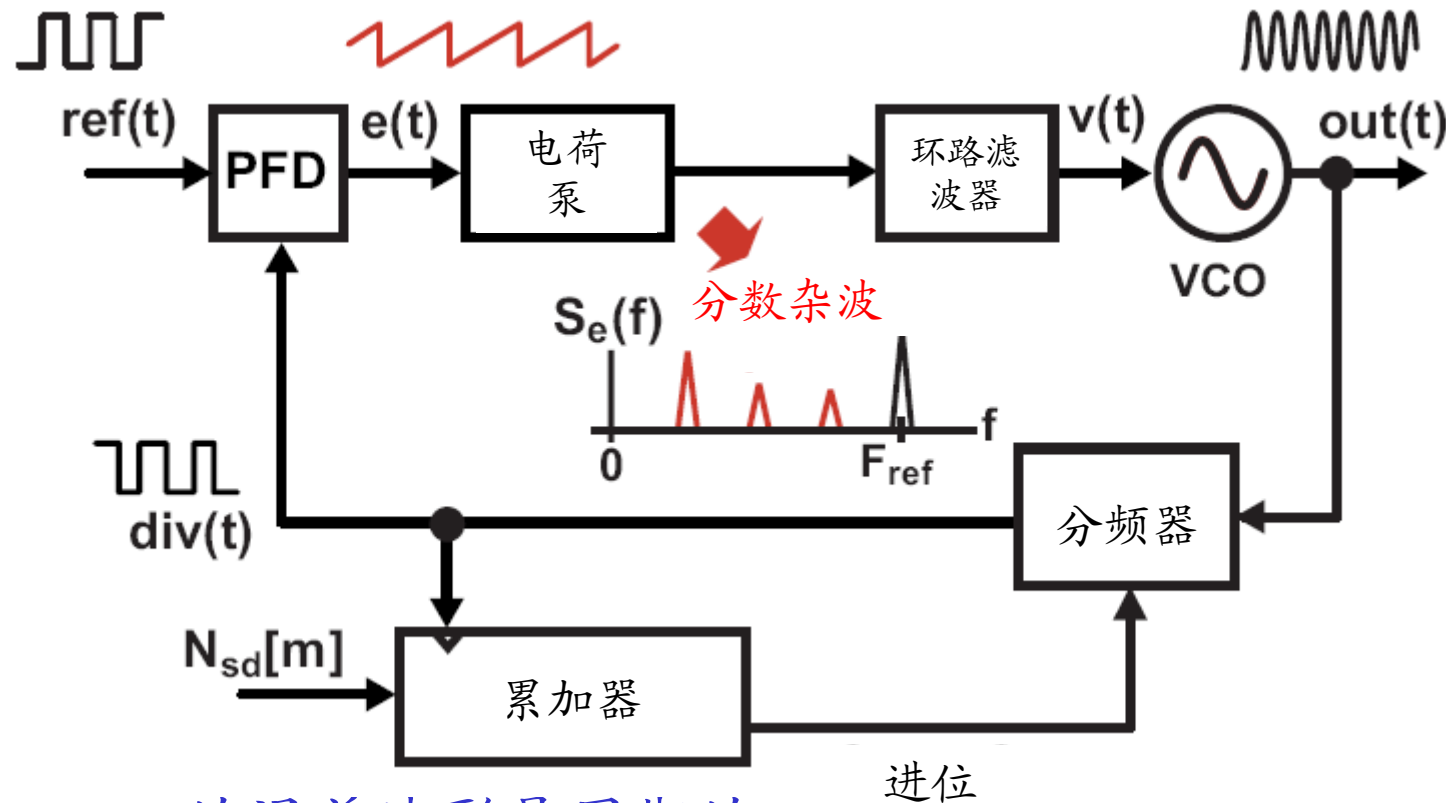
- 瞬时相位误差总是小于一个VCO周期
- 我们可以直接将相位误差与提供抖动的累加器的剩余值关联起来

累加器的工作过程



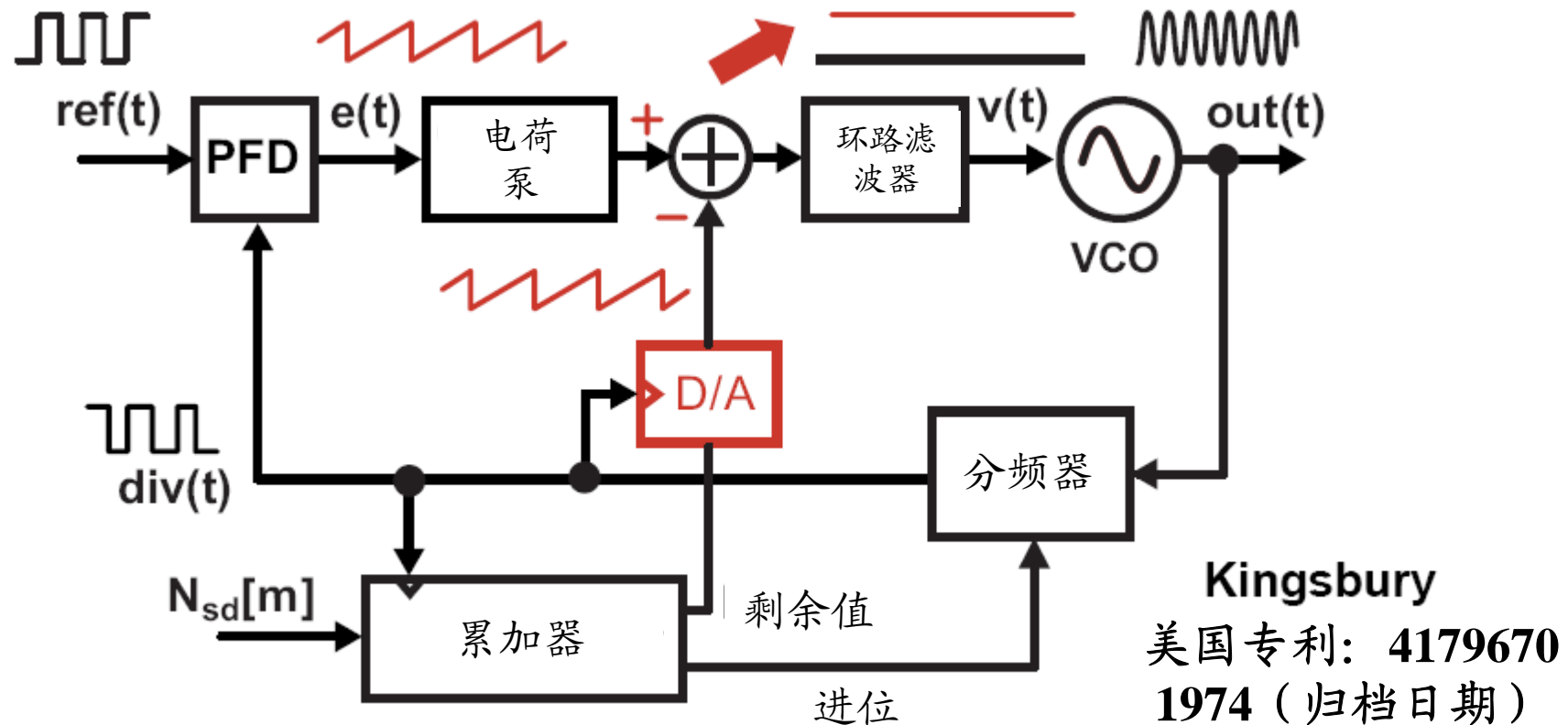
- 当累加器的剩余值达到或超过其满量程值时，进位位产生输出
- 累加器的剩余值对应于瞬时相位误差
 - 以输入到累加器的分数值为增量变化

杂波的问题



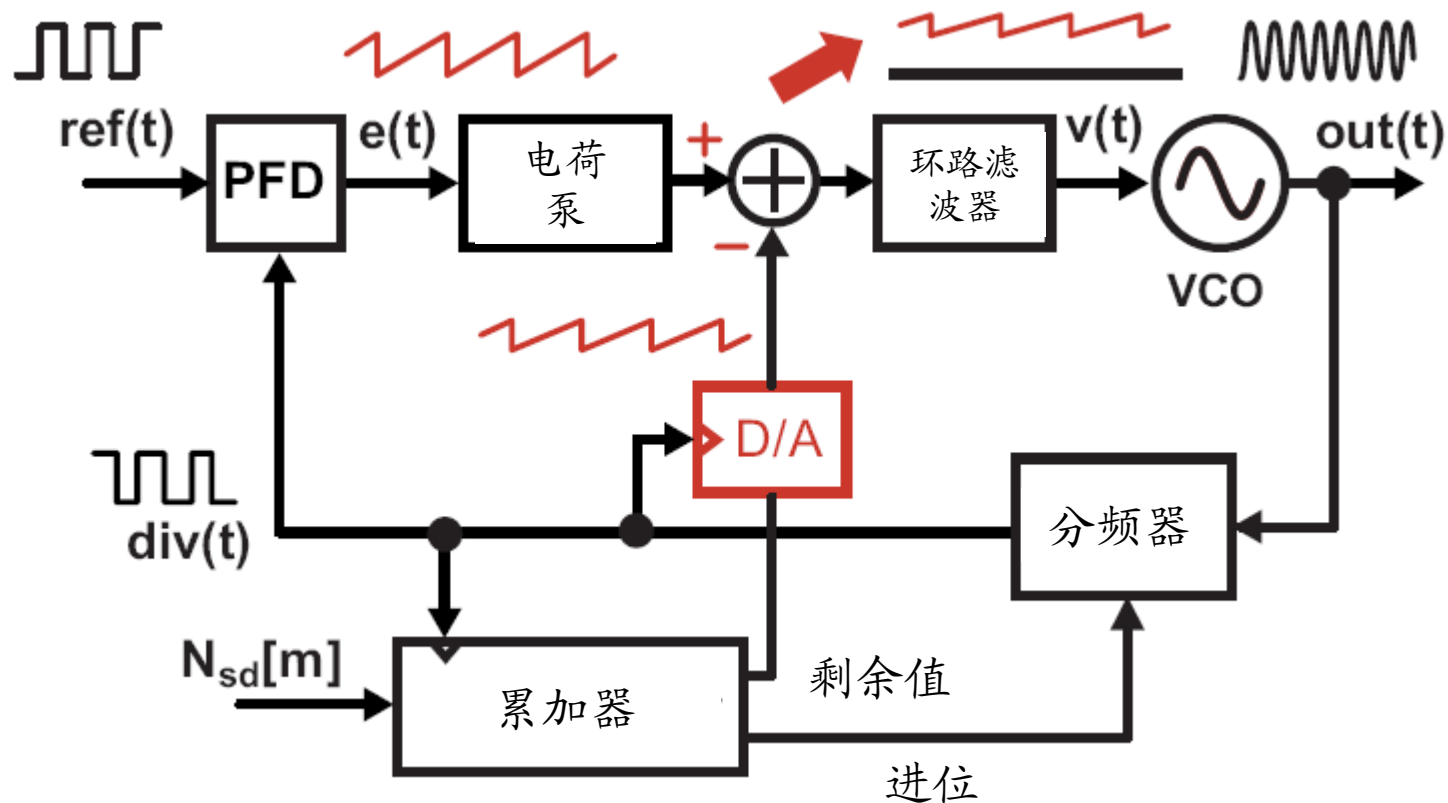
- PFD的误差波形是周期的
 - 在综合器输出端产生比参考频率低的杂波分量
 - 破坏了综合器的噪声性能

相位插补技术



- 利用分数技术产生的相位误差可根据累加器瞬时剩余值来预测的事实
 - 根据累加器剩余值抵消相位误差

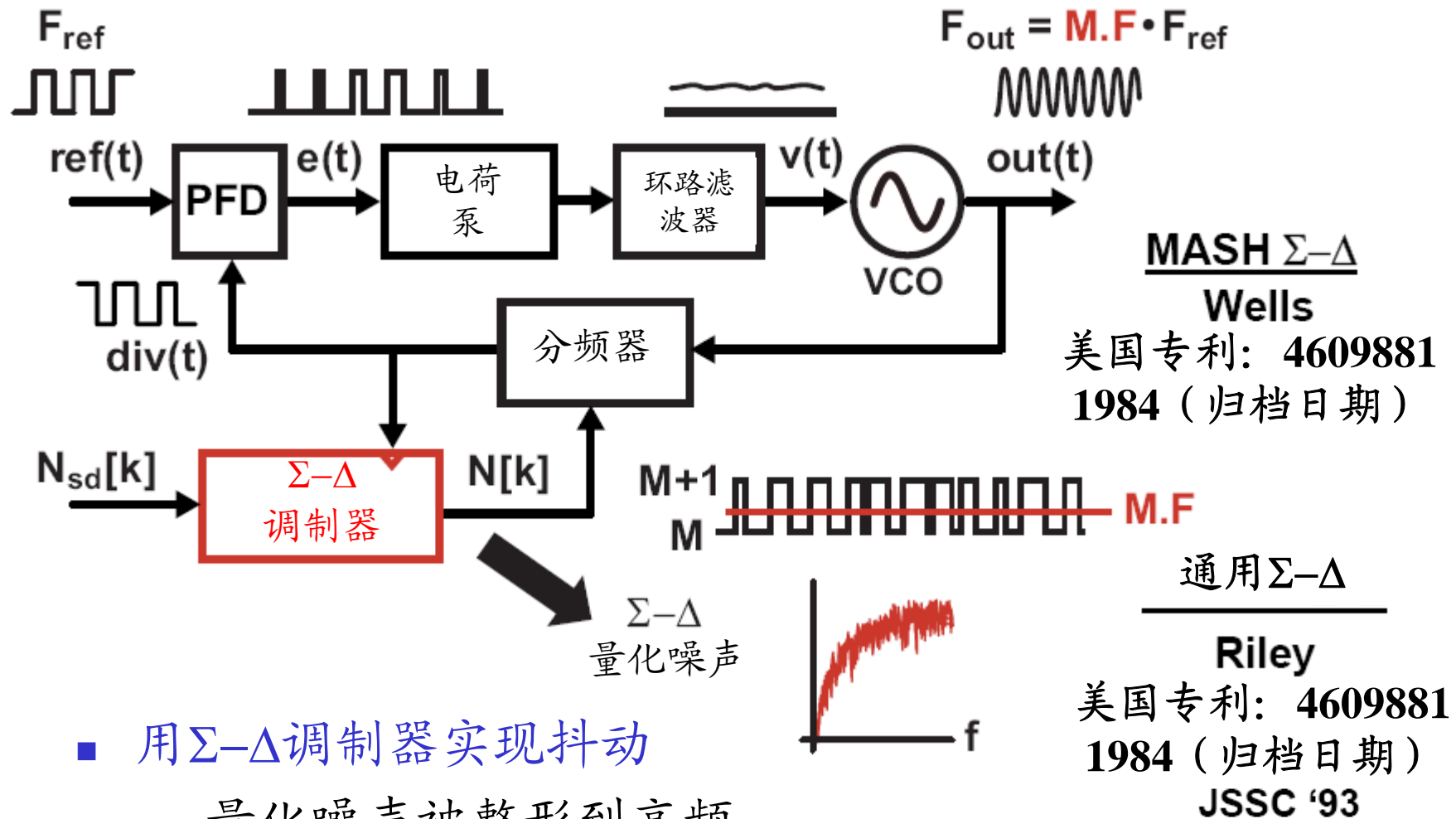
相位插补的问题



- PFD误差与D/A输出之间的增益匹配必须非常精确
- 任何失配导致PLL输出的杂波

匹配问题阻碍了这种技术的继续发展

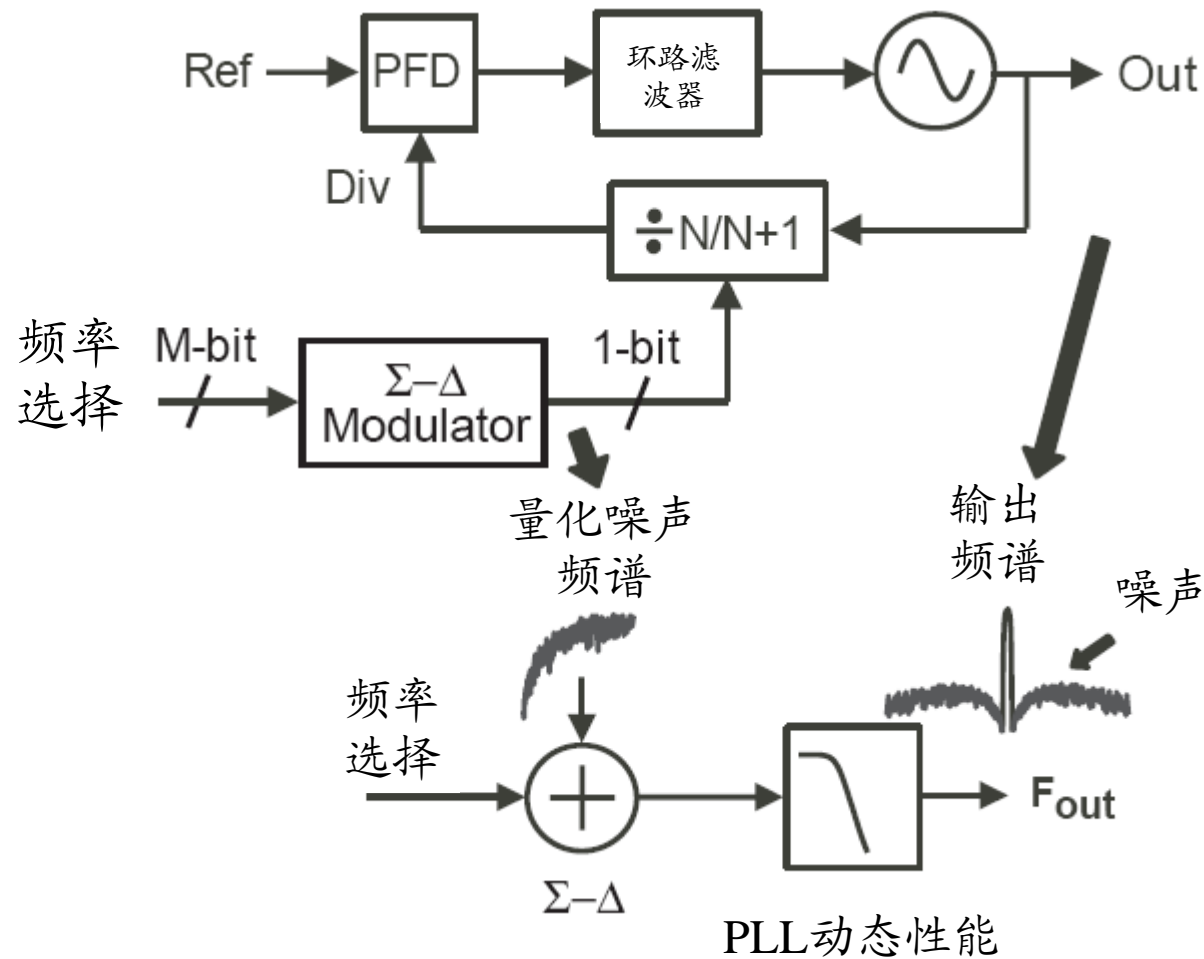
Σ - Δ 分数N频率综合器



- 用 Σ - Δ 调制器实现抖动

- 量化噪声被整形到高频
- 量化噪声引起的杂波分量可以被减小到可忽略的值

Σ - Δ 量化噪声对综合器输出的影响



- PLL动态特性的低通作用抑制了整形后的 Σ - Δ 量化噪声