

一种新型的无电阻实现的带隙电压基准源

赵玉姣, 岳素格, 边 强

(北京微电子技术研究所, 北京 100076)

摘要: 设计了一种新的采用 $0.35\mu\text{m}$ 全数字工艺实现的无电阻的带隙基准电压源. 该电路结构引入了差分放大器, 以此来产生正比于温度的电压量, 同时放大器减小了电路中由电源电压及温度变化所产生的镜像电流的误差, 进一步提高了电路电源抑制比, 降低了无电阻基准电压源的温度系数. Spice 仿真结果表明, 该电路结构具有较高的电源抑制比和低的温度系数: 在电源电压从 2.4V 变化到 5.0V 时, 输出电压波动小于 9mV ; 在 $-25^\circ\text{C} \sim 125^\circ\text{C}$ 温度变化范围内, 电压输出的最大变化量为 $\pm 5.5\text{mV}$.

关键词: 无电阻带隙基准源; 差分放大器; 全数字工艺; 自偏置电路; PTAT 电压

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2008)08-0180-04

A Novel Low Temperature Coefficient Bandgap Reference without Resistors

ZHAO Yu-jiao, YUE Su-ge, BIAN Qiang

(Beijing Microelectronics Technology Institute, Beijing 100076, China)

Abstract: This paper describes a new band-gap reference (BGR) without resistors that can be fabricated in a $0.35\mu\text{m}$ digital CMOS technology. The proposed circuit uses differential amplifier to reduce the current mirror errors dependent on the supply voltage and temperature, so as to produce a temperature insensitive gain applied to the proportional to absolute temperature (PTAT) term in the reference. The simulation results with Spice indicate that the proposed BGR circuit has a higher power supply rejection ratio (PSRR) and low temperature coefficient (TC). The fluctuation of the output reference voltage is less than 9mV when the power voltage changes from 2.4V to 5.0V and the output voltage of the new circuit has a maximum variation of $\pm 5.5\text{mV}$ in larger range from -25°C to 125°C .

Key words: BGR without resistors; differential amplifier; digital process; self-biased circuit; PTAT voltage

1 引言

带隙基准可以在温度及电源电压变化环境中提供稳定的参考电压^[1], 因此广泛应用于模拟及数字集成电路中, 如 A/D 和 D/A 转换器、电压调整器以及存储器电路。

基于文献[2]中所提出的无电阻电路结构, 针对其存在的问题, 文中提出了一种新的电路结构: 使用差分放大器减小了由于电源电压和工作温度变化所引起的电路偏置电流变化, 从而提高了电路电源抑制比, 降低了电路的温度系数. 新的 BGR 电路中, MOS 晶体管均工作在饱和区或截止区, 可以利用准

确的器件模型参数, 大大简化了设计及工艺实现。

2 无电阻的电压基准源实现原理

无电阻的带隙基准电压源的核心电路如图 1 所示^[3].

$$V_{\text{ref}} = V_{\text{BE}} + k\Delta V_{\text{BE}} \quad (1)$$

V_{ref} 为基准电路输出电压. 传统的 BGR 电路中, 输出基准电压为二级管内建电势差与热电势以一定的权重相加的结果. 图 1 所示的电路中, 没有使用电阻, 权重系数通过调整电路中对对应晶体管的宽长比的比例获得。

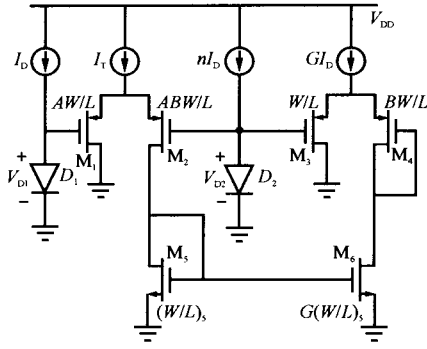


图 1 无电阻带隙基准电路核心电路原理图

PTAT 电压 $\Delta V_D = V_{D2} - V_{D1}$ 通过晶体管 $M_1 \sim M_2$ 的差分对得到,通过电流镜 $M_3 \sim M_6$ 将电流 G 倍镜相传递给差分对 $M_3 \sim M_4$. 晶体管 $M_1 \sim M_4$ 均工作于饱和区,忽略沟道调制效应与体效应,则可以使用 MOS 管的平方律模型进行分析,得到下式:

$$V_{GS2} - V_{GS1} = \sqrt{\frac{2I_{DS2}}{k_p(W/L)_2}} - \sqrt{\frac{2I_{DS1}}{k_p(W/L)_1}} \quad (2)$$

$$V_{GS4} - V_{GS3} = \sqrt{\frac{2I_{DS4}}{k_p(W/L)_4}} - \sqrt{\frac{2I_{DS3}}{k_p(W/L)_3}} \quad (3)$$

式中 $k_p = \mu_p C_{ox}$, μ_p 载流子迁移率, C_{ox} 是单位面积栅氧化层电容.

在电路中, $(W/L)_6 = G(W/L)_5$,

因此 $I_{DS4} = GI_{DS2}$,

又因 $I_{DS2} + I_{DS1} = I_T$,

$I_{DS4} + I_{DS3} = GI_T$,

$I_{DS3} = GI_T - I_{DS4} = GI_T - GI_{DS2} = GI_{DS1}$

所以由式(2)、(3)可以得到

$$V_{GS2} - V_{GS1} = \sqrt{\frac{2I_{DS2}}{k_p AB(W/L)}} - \sqrt{\frac{2I_{DS1}}{k_p A(W/L)}} \quad (4)$$

$$V_{GS4} - V_{GS3} = \sqrt{\frac{2I_{DS4}}{k_p B(W/L)}} - \sqrt{\frac{2I_{DS1}}{k_p(W/L)}} = \sqrt{AG(V_{GS2} - V_{GS1})} \quad (5)$$

如图 1 所示, M_1 和 M_2 , M_3 和 M_4 的源极相联,由上式和图中的连接关系可以得到 PTAT 电压

$$V_{GS2} - V_{GS1} = \Delta V_D,$$

$$\Delta V_D = V_{D2} - V_{D1} = V_T \ln \frac{I_{D2}}{I_{D1}},$$

V_T 是热电势,有正温度系数.

由于 V_{D2} 有负的温度系数,则可以得到

$$V_{out} = V_{D2} + \sqrt{AG} \Delta V_D \quad (6)$$

可以通过调整 A, G 和 n 的值,使得输出电压在室温时具有零温度系数.

上面分析了文献[2]中提出的无电阻的带隙电压源的实现电路.可以看出电路偏置电流对整个电路性能存在至关重要的影响.该电路电流源采用了自举偏置技术,这种结构显著降低电源电压的灵敏度,但工艺及温度对偏置电流的影响较大.同时,为了减小电路的沟道调制效应,电路中的晶体管均使用相对较大尺寸的器件,大大增加了电路的实现面积以及晶体管栅-源(漏)的电容.

3 改进的电压基准源电路

为了进一步提高输出电压的电源抑制比及温度系数,文中提出了一种新型的基准电路结构.在稳定性好、具有中等开环增益误差运放放大器的基础上,构成反馈回路,为放大器提供自偏置的尾电流源,从而为整个电路提供准确的偏置电流.提高基准电压源的电路性能,如 TC, PSRR.

(1) 引入差分放大器的 PTAT 电压产生电路

首先,分析 PTAT 电压的产生电路,如图 2 所示.使用放大器的自偏置电路为三极管 Q_1, Q_2 提供稳定的偏置电流.

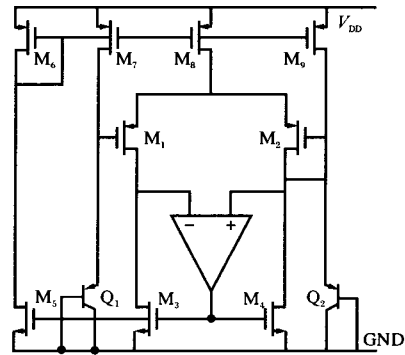


图 2 PTAT 电压产生电路

Q_1 发射极面积是 Q_2 发射极面积的 $n(n > 1)$ 倍, M_2 的 W 值为 M_1 的 $m(m > 1)$ 倍,但两管的沟道长度相等. $M_3 \sim M_5$ 及 M_6, M_7, M_8 分别具有相同的宽长比. M_8 为 M_6 的 2 倍.通过使用差分放大器, M_1 和 M_2 有相同的阈值电压,使对应晶体管的源-漏电压相等,减小电路的不对称性. Q_1, Q_2, M_1 和 M_2 流过电流相同.明显,差分放大器的使用减小了电路 MOS 器件的沟道调制效应及体效应,通过反馈环路为电压基准源电路提供较为稳定的偏置电流 I .

由第 2 节的分析,可得 PTAT 电压为

$$V_{GS2} - V_{GS1} = \Delta V_D = \ln(n) \frac{kT}{q} \quad (7)$$

图 2 中使用的差分放大器的电路实现结构如图 3 所示。

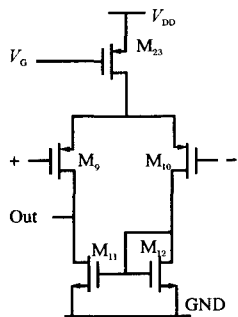


图 3 差分放大器实现电路

(2) 改进的 BGR 电路

改进的 BGR 电路中引入了差分放大器(由晶体管 $M_9 \sim M_{12}$ 构成, 结构如图 3 所示)构成反馈电路, 使得 M_5 和 M_6 管的源、漏端电压 V_{DS} 相等。由前面的分析可知, 差分放大器的反馈环路使得当温度变

化时, M_9 栅压等于 V_{BE2} 随温度变化情况相同。放大器输出端电压随 V_{BE2} 变化, 从而使得电路的偏置电流相反方向变化, 进而减小了温度对三极管基极-发射极的偏置电压, 最终的输出电压随温度仅有很小的变化。由式(7), 复制同样的结构在 M_2 的栅端, 即可得到基准电压输出, 完整电路结构如图 4 所示。同时为了进一步提高电路的电源抑制比, 电流偏置电路采用了共源共栅结构的电流镜。 Q_1 的发射极面积是 Q_2 的 32 倍; M_2 的宽长比是 M_1 的 2 倍; M_3 、 M_4 与 M_1 、 M_2 尺寸相等, 但 M_{18} 、 M_{24} 的宽长比为 M_{16} 、 M_{21} 的 15 倍, 所以流过 M_3 、 M_4 的电流增大为 15 倍。放大器减小了电路的沟道调制效应和体效应, 所以电路中的所有 NMOS 管均采用最小沟道长度, 大大减小了电路实现面积。该电路, 两个分别具有正温度系数和负温度系数的电压相加产生具有零温度系数的电压输出 V_{ref} (文中设计电路, 零温度系数工作温度点为 75°C)。

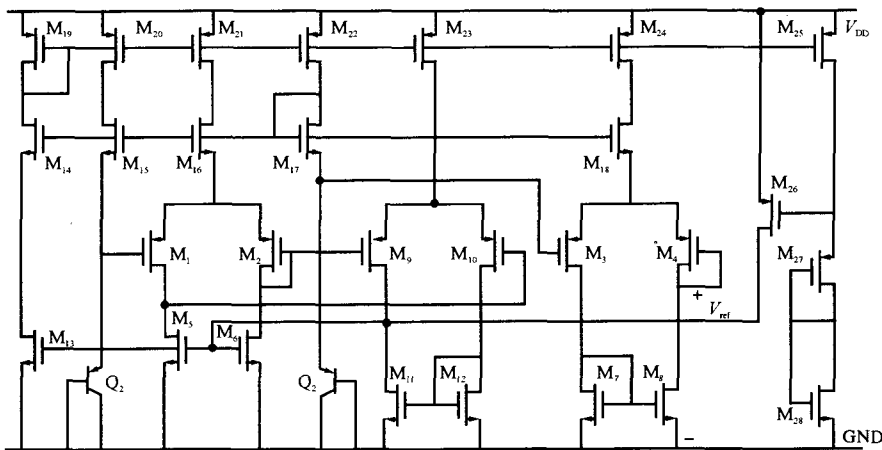


图 4 改进的 BGR 电路结构

(3) 启动电路

如果当电源上电时, 所有晶体管均传输零电流, 则核心电路就会无限期地保持关断。为了保证电路正常工作, 必须加上启动电路部分^[4]。启动电路由晶体管 $M_{25} \sim M_{28}$ 构成(如图 4 所示)。上电时, PMOS 管栅电压为低电位, 则 M_{26} 处于导通状态。NMOS 管 M_{13} 栅位抬升到电源电平为高电位, M_{13} 导通, 同时使二级管连接的 M_{19} 导通, 通过电流镜像, 使得 $M_{14} \sim M_{25}$ 所有晶体管导通为放大器和核心电路提供偏置电流。由于 M_{25} 导通, M_{26} 的栅端偏置电压为高电平, M_{26} 截止。启动电路关断, 电路进入正常的工作状态^[5]。

4 仿真结果分析

基于 $0.35\mu\text{m}$ 标准 CMOS 数字工艺模型, 通过

Spice, 对设计的电路进行仿真验证。分别获得了基准电压源的温度特性曲线和电源电压曲线, 并对电路的电源抑制能力进行了分析和模拟^[6-7]。

在 3.3V 电源电压下对电路进行温度扫描, 温度从 -25°C 变化至 125°C , 输出电压随温度变化曲线如图 5 所示。在整个工作温度范围内, 基准电压值为 1.124V , 随温度变化的最大值仅为 $\pm 5.5\text{mV}$, 温度系数为

$$TC = \frac{1}{V_{\text{out}}} \left[\frac{V_{\text{max}} - V_{\text{min}}}{T_H - T_L} \right]$$

V_{max} , V_{min} 为所观察温度范围内的最大和最小电压; T_H , T_L 为工作温度范围, 可计算该带隙基准电压源的有效温度系数为 65ppm 。

常温下, 输出基准电压随电源电压变化的曲线如图 6 所示。所设计的带隙电压源可以在不低于 2.4V

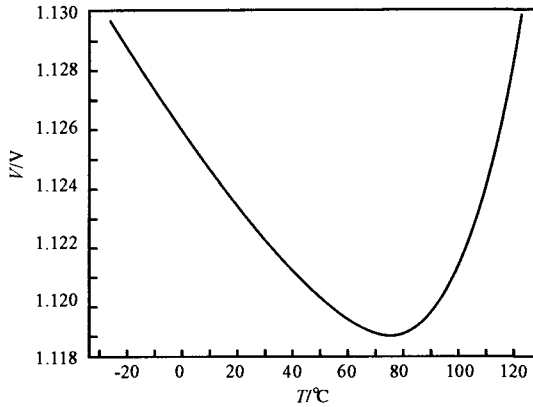


图 5 3.3V 电压时带隙基准源输出电压随温度变化曲线的电源电压下稳定的工作,并且启动很平稳.电源电压从 2.4V 变化至 5V,输出电压波动小于 9mV.

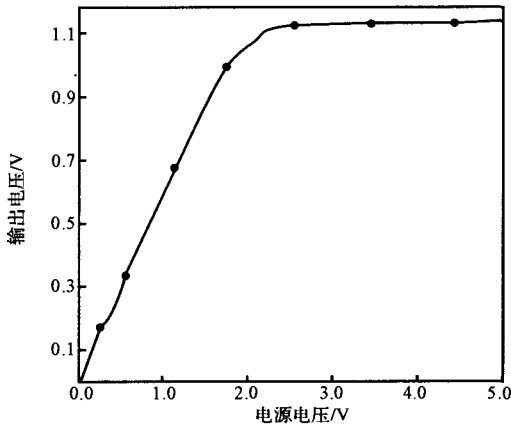


图 6 室温时带隙基准源输出随电源电压变化曲线
基准参考源不仅需要具有很低的温度系数,电路的电源抑制比也是电路性能的一个重要参数.文中所设计电路的电源抑制比如图 7 所示.

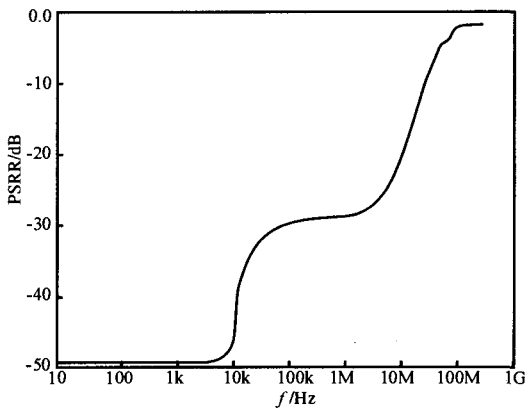


图 7 带隙基准源 PSRR 曲线

由图 7 可知,在 1kHz 频率以下时,PSRR 为 -49.2dB,当频率增至 1MHz 时,电路的电源抑制能力有所下降,PSRR 值降为 -28dB.

表 1 对不同电路结构不同工艺实现的无电阻电

压基准电路的性能进行了比较.结果表明,文中提出的新的电路实现结构能够在更宽的工作温度范围内具有较低的温度系数,并有更好的线性度.

表 1 无电阻电压基准源的参数比较

生产工艺	文献[2] 0.5CMOS	文献[5] 0.25CMOS	文献[6] 0.35CMOS	文献[7] 0.13CMOS	[本文] 0.35CMOS
最低工作电源电压	3.7	2.2	2.5	0.8	2.4
温度系数(ppm/°C)	120	179	39	180	65
PSRR(dB)	-45.1	—	—	-52	-49.2
工作温度范围(°C)	0~70	-10~80	10~125	-10~80	-25~125

5 结束语

文中提出了一种新的无电阻的带隙基准源的实现结构并使用 0.35 μm 数字 CMOS 工艺模型对其进行了仿真.仿真结果表明,利用差分放大器的反馈回路构成自偏置电路可以为整个电路提供更为准确的偏置电流.有效提高了电源抑制比,降低了基准源的温度系数.另外,新的结构中,由于放大器减小了沟道调制效应的影响,电路中的 NMOS 管可以采用最小沟道长度,大大减小了电路版图面积.

参考文献:

- [1] Razavi B, McGraw - Hill. Design of analog CMOS integrated circuits[M]. 陈贵灿,译. 西安:西安交通大学出版社,2001:377 - 392.
- [2] Buck A, Mc Donald C, Lewis S, et al. A CMOS bandgap reference without resistors[J]. Journal of Solid State Circuits, 2002,37(1):81 - 83.
- [3] Buck A, McDonald C, Lewis S, et al. A CMOS bandgap reference without resistors[J]. IEEE Int. Solid - State Circuits Conf. Dig. Tech, 2000(14):442 - 443.
- [4] Ka Nang Leung, Philip K T Mok. A CMOS voltage reference based on weighted difference of gate - source voltages between PMOS and NMOS transistors for low dropout regulators[J]. Solid - State Circuits Conference, 2001, 22 (4):88 - 91.
- [5] Cheng Jianping, Zhu Zhuoya, Wei Tongli. A resistorless CMOS bandgap reference with below 1V output[J]. Journal of Southeast University, 2003,19(4):11 - 15.
- [6] Ahmet Tekin, Ertan Zencir, Huang E, et al. A bias circuit based on resistorless bandgap reference in 0.35 - μm SOI CMOS[J]. IEEE, 2003(1):149 - 152.
- [7] Christian Falconi, Giuseppe Scotti. Low voltage CMOS current and voltage references without resistors[C]// Circuits and Systems 2007. New Orleans: University di Roma, IEEE, 2007:1907 - 1910. (下转第 187 页)

其时间复杂度为 $O(n \times s)$, 可见队列的大小对运行时间也有影响。

表 1 不同权重下的检测结果比较

	δ_1	δ_2	R	P
指定权重	0.5	0.5	95.1	96.3
	0.6	0.6	95.7	97.1
	0.7	0.7	96.3	98.1
不指定权重	0.5	0.5	92.4	92.3
	0.6	0.6	93.1	93.7
	0.7	0.7	93.8	94.2

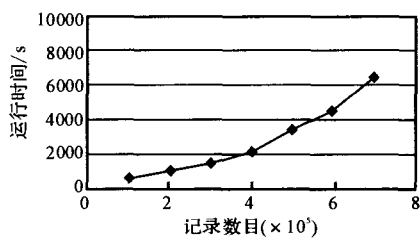


图 1 数据量对运行时间的影响

由实验结果可以看出, 队列越大, 检测精度越高但运行时间也越长. 这是因为优先队列越大记录聚类的范围越广, 检测精度也随之提高. 但是每一条待检测记录都与优先队列中的代表记录进行比较, 大优先队列导致比较次数增加, 进而导致运行时间增长, 队列长度与算法运行时间呈线性关系。

5 结束语

文中提出了一种基于 VSM 的检测相似重复记录的综合方法. 通过理论分析和实验可以得出结论, 文中所提出的相似重复记录检测方法是有效的. 它具有以下几方面的优点: (1) 在字段间进行比较时,

根据不同情况逐字符进行比较, 使得算法能够适应语言环境的变化, 具有较好的通用性. (2) 在记录间进行比较时, 引入了有效权值的概念, 为不同的字段赋予不同的权重, 提高了相似重复记录检测的精度. (3) 在聚类的过程中采用优先队列策略, 减少了记录间比较的次数, 提高了检测的效率。

参考文献:

- [1] Rahm E, Hong H D. Data cleaning: problems and current approaches[J]. IEEE Data Engineering Bulletin, 2000, 23(4):3-13.
- [2] Elmagarmid, Ahmed K Ipeirotis, Panagiotis G Verykios, et al. Duplicate record detection: a survey[J]. IEEE Transactions on Knowledge & Data Engineering, 2007, 19(1):1-16.
- [3] 郭志懋, 周傲英. 数据质量和数据清洗研究综述[J]. 软件学报, 2002, 13(11):2077-2082.
- [4] Monge A E, Elkan C P. An efficient domain-independent algorithm for detecting approximately duplicate database records[C]// Proc DM KD'97. [S. L.]: Tucson Arizona. 1997.
- [5] 程国达, 苏杭丽. 一种检测汉语相似重复记录的有效方法[J]. 计算机应用, 2005, 25(6):1362-1365.
- [6] 俞荣华, 田增平, 周傲英. 一种检测多语言文本相似重复记录的综合方法[J]. 计算机科学, 2002, 29(1):118-121.
- [7] Monge A E. Matching algorithm within a duplicate detection system[J]. IEEE Data Engineering Bulletin, 2000, 23(4):14-20.
- [8] 邱越峰, 田增平, 季文寰, 等. 一种高效的检测相似重复记录的方法[J]. 计算机学报, 2001, 24(1):69-77.

作者简介:

张昌年 男, (1955-), 副教授. 研究方向为数据挖掘、数据仓库、人工智能。

(上接第 183 页)

作者简介:

赵玉姣 女, (1981-), 硕士研究生. 研究方向抗辐射加固的

LVDS 接口电路设计。

岳素格 女, 研究员, 硕士生导师. 研究方向为超大规模集成电路设计与抗辐射加固电路设计。