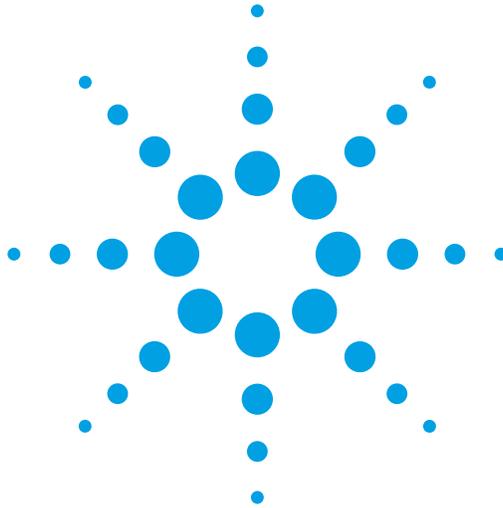


# BSIM3v3 模型介紹與萃取方法

作者：安捷倫科技股份有限公司

EEsof EDA 應用工程師 Jackson Hsu 許仲延

Email: jackson\_hsu@agilent.com



## 目錄

### 一、簡介

### 二、BSIM3 模型包含的物理效應

- (1) 臨界電壓 (Threshold Voltage)
  - 垂直與橫向非均勻載子濃度
  - 短通道效應
  - 窄通道效應
- (2) 載子遷移率 (Mobility)
  - 垂直電場效應
- (3) 汲極電流 (Drain Current)
  - 載子速度飽合效應 (Carrier Velocity Saturation)
  - 基板電荷效應 (Bulk charge effect)
  - 次臨界傳導 (Sub-threshold Conduction)
  - 源極/汲極的寄生電阻 (Source/Drain Parasitic Resistance)
- (4) 基板電流 (Bulk Current)
- (5) 輸出電阻 (Output Resistance)
  - Early Voltage
  - Channel Length Modulation (CLM)
  - Drain-Induced Barrier Lowering (DIBL)
  - Substrate Current Induced Body Effect (SCBE)

### (6) 短通道電容模型 (Short channel capacitance model)

- Junction Capacitance
- Extrinsic Capacitance

### (7) 溫度與元件特性的相依性 (Temperature dependence of the behavior)

- Threshold Voltage
- Carrier Mobility
- Carrier Velocity Saturation
- Saturation Current of Drain/Source-Bulk Diode

### 三、利用 IC-CAP 萃取 BSIM3 模型的物理參數

### 四、結論

### Appendix

- (1) 臨界電壓
- (2) 直流工作方程式



# 一、簡介

BSIM3(Berkeley Short channel Insulated gate field effect transistor Model)模型是由加州柏克萊分校 (UC Berkeley) 在 1993 年發表的重要技術，而此元件模型可用來模擬包含  $0.18\ \mu\text{m}$  ( $0.1 \times 10^{-6}\text{ m}$ ) MOS 元件的類比電路與數位電路。由於更先進的製程技術會被開發出來以利于類比/數位電路的設計，並且隨著元件小尺寸的發展，模型必須要有一套提供可等比例縮放 (Scalable) 的參數，例如通道長度與寬度，因此元件模型亦需要有更新或更完整的版本來搭配。而 BSIM3 最後的版本為 BSIM3v3，並於 1996 年獲得業界接受成為第一個標準的模型。由於 BSIM 模型是描述 MOS 元件的直流特性，因此無法直接預測高頻特性，因此一般會外掛寄生電阻/電感/電容 (RLC) 於 BSIM 模型來匹配高頻模型，例如安捷倫 IC-CAP 所提供的 Netlist (如圖 1)。BSIM3v3 是一種以物理分析模擬結果為基礎所建立的數學參數，其可以依照元件尺寸的縮放等比率的描述特性。由於台灣的 CMOS 數位電路相當發達，因此目前大部份的半導體晶圓廠和 IC 設計公司在元件模型開發與電路模擬上，都採用了 BSIM3v3 的模型。BSIM3v3 主要包含了 7 個電氣特性，本篇文章將會敘述 BSIM3v3 模型的前 3 個電氣特性 (臨界電壓、載子遷移率與汲極電流)，並將於下一期的文章中繼續討論 BSIM3v3 模型的後 4 個電氣特性 (基板電流、輸出電阻、短通道電容模型以及溫度與元件特性的相依性)。

由於積體電路技術不斷地提升，因此元件模型的準確度與產出速度面臨著嚴峻的挑戰，當元件尺寸縮小時會發生許多複雜的物理效應，因而造成以往模型常用的數學方程式無法符合實際的物理機制，故需要多增加一些修正的數學式子以期有效的描述量測結果。在上一期的文章裡我們已經將適用於 CMOS 元件的 BSIM3v3 模型做了部分的說明，其中包含了幾個重要的模型參數與其相對應的物理機制，例如臨界電壓、載子遷移率、載子速度飽和效應與汲極電流。接著在本期的文章中將會延續上篇的內容繼續提出其他的物理機制，例如基板電流、輸出電阻、短通道電容模型與溫度對元件特性的相依性。由於 BSIM3v3 模型相當地複雜，因此在此我們僅能針對 BSIM3v3 模型的物理機制作一說明，並提出幾個較為重要的模型參數。最後並期望讀者在閱讀完這兩篇文章後能對 BSIM3v3 模型有初步的了解，並且有能力可以開始萃取 BSIM3v3 模型參數。

```
----- BSIM3 model card -----
#echo MODEL BSIM3_HF NMOS
#echo + LEVEL = $mpar(LEVEL=8)          VERSION = 3.2.4
#echo + MOBMOD = $mpar(MOBMOD=1)        CAPMOD = $mpar(CAPHOD=3)
#echo +
#echo + DELTA = $mpar(DELTA=0.01)       TNOM = $mpar(TNOM=27)
#echo + NCH = $mpar(NCH=1.7e17)        XJ = $mpar(XJ=1.5E-7)
#echo +
#echo + VTH0 = $mpar(VTH0=0.7)         K1 = $mpar(K1=0.53)
#
#----- Gate network -----
#echo LGATE 2 20 $dpar(CALC_LGATE=0.1p)
#echo RGATE 20 21 $dpar(CALC_RGATE=10)
#echo CGDEXT 20 10 $dpar(CALC_CGDEXT=0.1f)
#echo CGSEXT 20 30 $dpar(CALC_CGSEXT=0.1f)
#----- Drain network -----
#echo LDRAIN 1 10 $dpar(CALC_LDRAIN=0.1p)
#echo CDSEXT 10 30 $dpar(CALC_CDSEXT=0.1f)
#----- Source network -----
#echo LSOURCE 3 30 $dpar(CALC_LSOURCE=0.1p)
#
#----- Substrate network -----
#echo Djdb_area 12 10 bsia_diode_area AREA=$dpar(x_rf_transistor AD=
#echo Djdb_peria 12 10 bsia_diode_peria AREA=$dpar(x_rf_transistor PD=
#
#echo LBULK 4 40 $dpar(CALC_LBULK=0.1p)
#----- call single MOSFET -----
#echo MAIN 10 21 30 41 BSIM3_HF
#echo + L=$dpar(x_rf_transistor L=1u) W=$dpar(x_rf_transistor W=10e-6)
#echo + NRS=$dpar(x_rf_transistor NRS=0) NRD=$dpar(x_rf_transistor NRD
#echo + NQSMOD=$mpar(NQSMOD=0)
#ends
```

圖 1 安捷倫 IC-CAP 可外掛 RLC 於 BSIM 模型

## 二、BSIM3v3 模型包含的物理效應

半導體元件工作的機制包括了許多的物理現象，這些現象必須經由模擬以及定義數學方程式才能描繪出來。下列為現在深次微米元件 (Deep Submicron Device) 的物理效應，BSIM3v3 所建立的模型可以準確的描繪這些特性。

- (1) 臨界電壓 (Threshold Voltage)
- (2) 載子遷移率 (Carrier Mobility)
- (3) 汲極電流 (Drain Current)
- (4) 基板電流 (Bulk Current)
- (5) 輸出電阻 (Output Resistance)
  - Early Voltage
  - Channel Length Modulation (CLM)
  - Drain-Induced Barrier Lowering (DIBL)
  - Substrate Current Induced Body Effect (SCBE)
- (6) 短通道電容模型 (Short channel capacitance model)
  - Junction Capacitance
  - Extrinsic Capacitance
- (7) 溫度與元件特性的相依性 (Temperature dependence of the behavior)
  - Threshold Voltage
  - Carrier Mobility
  - Carrier Velocity Saturation
  - Saturation Current of Drain/Source-Bulk Diode

接下來將解釋這些物理現象如何產生，並以定量的數學式子表示這些物理現象。並利用 IC-CAP 提供的例子說明元件特性如何受到這些現象的影響，進一步建立元件準確的直流BSIM3v3模型。

### (1) 臨界電壓

對一個深次微米元件而言，臨界電壓是一個相當重要的參數。尤其是當元件已經縮小到小於  $0.1 \mu\text{m}$  ( $0.1 \times 10^{-6} \text{m}$ ) 的程度時更加需要準確的描繪出臨界電壓。而會影響臨界電壓有許多個原因，最主要有以下三種：

- 垂直與橫向不均勻濃度摻雜 (Vertical and lateral non-uniform doping)
- 短通道效應 (Short channel effect)
- 窄通道效應 (Narrow channel effect)

一個理想的臨界電壓方程式表示如下：

$$V_{Tideal} = V_{th0} = V_{FB} + \phi_s + K_1 \sqrt{\phi_s} \quad (1)$$

$V_{Tideal}$ ：理想的臨界電壓

$V_{FB}$ ：平坦頻帶電壓

$\phi_s$ ：表面電位

$K_1$ ：基板效應的第一階修正係數

若要使用上面的公式來模擬元件的臨界電壓，則必須假設元件的通道長度必須夠長 (或無限長)、通道寬度要夠寬 (或無限寬) 以及基板濃度的分布呈現均勻。對於實際元件而言，是無法完全符合這些前提假設，不過這個理想的臨界電壓方程式卻可以視為是一個非常接近實際的臨界電壓模型，因此只要再加入一些修正項就可以成為描述實際臨界電壓的方程式 [Appendix]。圖 2 所示為通道的垂直摻雜濃度示意圖，一般位於矽以及矽氧化層的表面所摻雜的濃度會大於底下基板的摻雜濃度，因此造成垂直方向濃度的不均勻。一般而言通道濃度的摻雜可以用來控制一個元件的臨界電壓，所以不均勻的垂直方向參摻濃度會照成臨界電壓的改變。

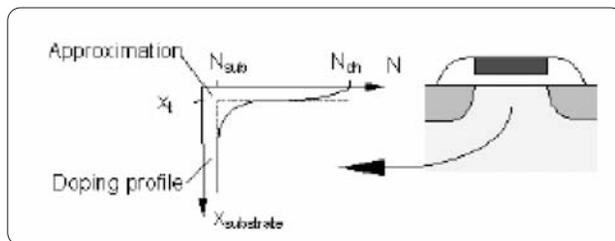


圖 2 通道垂直摻雜濃度

當基板 (Bulk) 與源極 (Source) 產生電位差  $V_{BS}$  時會改變實際的臨界電壓，如圖 3 所示。安捷倫 IC-CAP 有提供 BSIM3 選項的套裝軟體，此套裝軟體乃是依據 UC Berkeley 所提出的 BSIM3 模型之方程式來做參數萃取，例如可以使用數學方程式來加以描述  $V_{BS}$  的改變對臨界電壓所造成的影響。隨著  $V_{BS}$  增加臨界電壓會變小，因此在建立 BSIM3v3 直流模型時這項參數也要列入考量 [Appendix]。

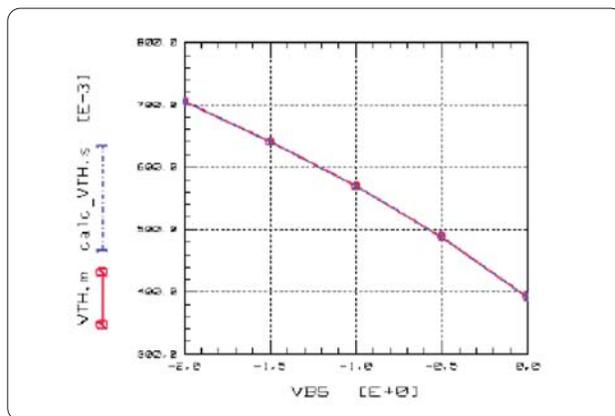


圖 3 臨界電壓  $V_{th}$  與基板電壓  $V_{BS}$  關係圖

另一橫向摻雜濃度的不均勻也會改變臨界電壓，一般而言高濃度會位於汲極以及源極附近，而通道中間的區域其濃度比較低，如圖 4 所示。當元件尺寸縮小時通道長度變短，整個通道平均的濃度會增加，因此臨界電壓迅速的增加 [Appendix]。

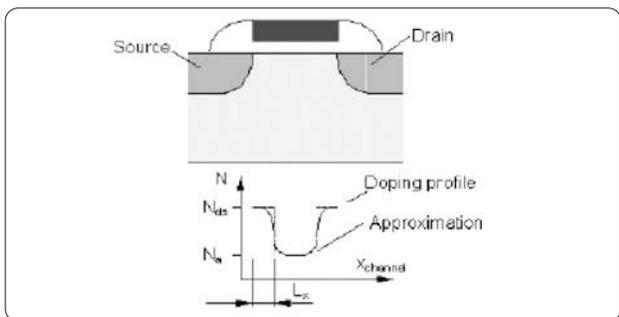


圖 4 通道橫向摻雜濃度變化圖

由於通道長度越短會導致靠近通道的摻雜濃度提昇，故臨界電壓會隨著通道長度的縮小而變大，但是隨著通道長度縮小的同時，其短通道效應亦會更加地明顯，短通道效應會造成臨界電壓的降低，因此臨界電壓會隨著通道長度縮小而提昇，但是當通道長度縮小至某一程度時便又會降低，如圖 5 所示。

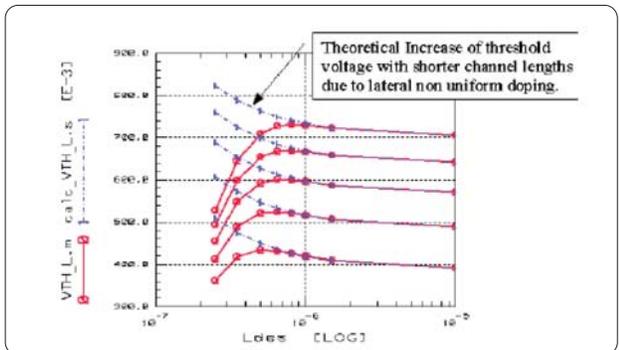


圖 5 元件長度與門檻電壓關係圖

由方程式 (1) 可以得知，元件通道長度對一個理想的臨界電壓而言不會造成改變。不過當元件尺寸縮小後，臨界電壓就會跟有效通道長度 ( $L_{eff}$ ) 與有效通道寬度 ( $W_{eff}$ ) 有關，這稱做短通道與窄通道效應。對長通道元件而言，源極 (Source) 與汲極 (Drain) 對閘極 (Gate) 下端的空乏區 (Depletion Region) 影響可被忽略，因此形狀為長方形；若通道長度縮小時，閘極下端的空乏區形狀會變成梯形，因此  $L_{eff}$  會變小進而導致臨界電壓降低 [Appendix]，如圖 6 所示。

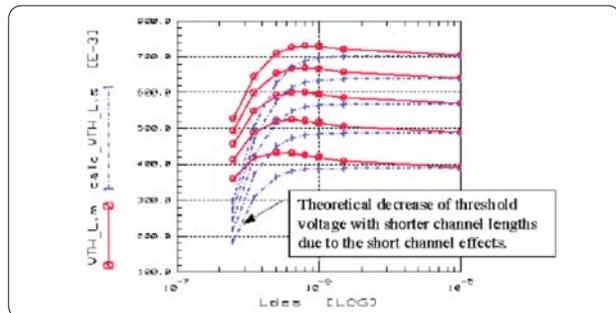


圖 6 短通道效應下的臨界電壓趨勢

另一方面當元件通道寬度很大 (或無限大) 的時候，邊緣電場 (Fringing Electric Field) 的效應是可以被忽略的，但閘極下端空乏區的形成主要是因為垂直方向的電場所造成的，故通道寬度變窄時，邊緣電場效應就無法被忽略，由於邊緣電場並非是垂直的方向，因此相對地，垂直方向的電場密度就會變弱，進而造成空乏區變小而臨界電壓升高，如圖 7 所示。

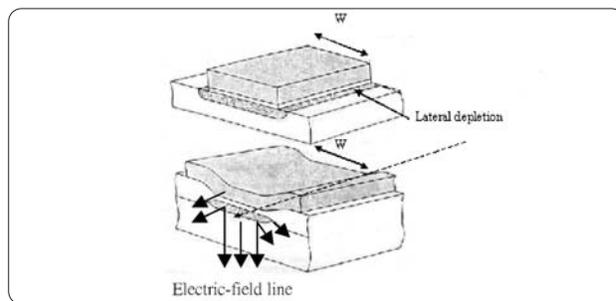


圖 7 窄通道效應電場線分佈線示意圖

圖 8 為臨界電壓對於不同通道寬度的變化。臨界電壓是一個非常重要的參數，因為該參數會決定偏壓所相對應的輸出電流。通常若電路中所使用元件的臨界電壓太高時，則必須提供夠大的偏壓來產生足夠的電流，但相對地會導致較高的漏電流 (Leakage)，而過高的漏電流將會使得元件發熱並且改變電氣特性。

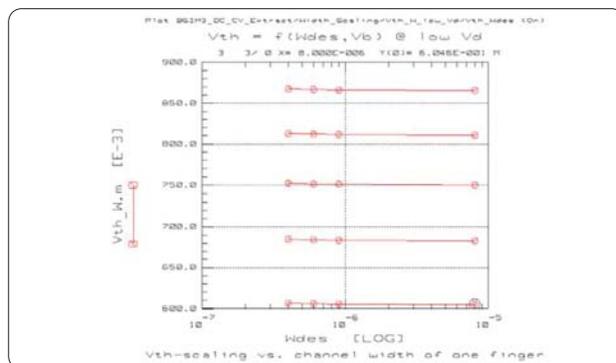


圖 8 窄通道效應下的臨界電壓趨勢圖

## (2) 載子遷移率

載子遷移率的定義為載子速度除以電場，因此載子遷移率越高則其載子速度就越大。一般而言，元件的工作機制主要是靠著載子在通道裡的傳輸產生電流，因此建立直流模型就必須要能精確的描述載子運動方式，並以定性的數學方程式說明影響載子運動可能的因素。MOBMOD 是元件模型的參數之一，在 BSIM3v3 裡分別提供了三種不同 MOBMOD 參數值所對應的數學方程式，如 (2)~(4) 的方程式，而這三個方程式可以說明基板偏壓、閘極偏壓、氧化層厚度與臨界電壓對等效載子遷移率 (Effective Mobility;  $\mu_{eff}$ ) 的影響，在圖 9 可以更清楚地看出閘極偏壓與等效載子遷移率的關係。

$$\begin{aligned} \text{MOBMOD} = 1 \\ \mu_{eff} &= \frac{\mu_0}{1 + (U_a + U_c - V_{bseff})((V_{gsteff} + 2V_{th})/T_{ox}) + U_b((V_{gsteff} + 2V_{th})/T_{ox})^2} \quad (2) \\ \text{MOBMOD} = 2 \\ \mu_{eff} &= \frac{\mu_0}{1 + (U_a + U_c - V_{bseff})(V_{gsteff}/T_{ox}) + U_b(V_{gsteff}/T_{ox})^2} \quad (3) \\ \text{MOBMOD} = 3 \\ \mu_{eff} &= \frac{\mu_0}{1 + [U_a(V_{gsteff} + 2V_{th})/T_{ox} + U_b((V_{gsteff} + 2V_{th})/T_{ox})^2](1 + U_c - V_{bseff})} \quad (4) \end{aligned}$$

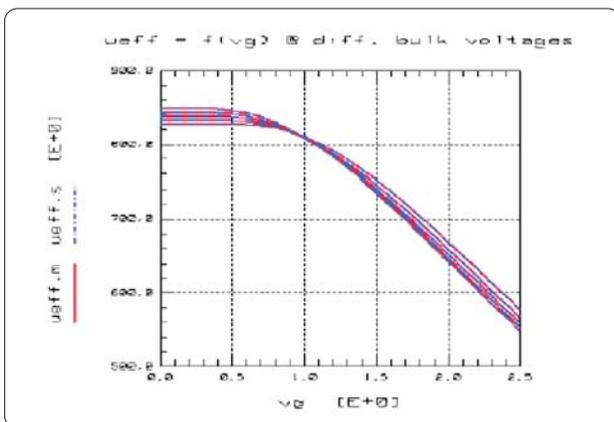


圖 9 有效載子速度與閘極電壓關係圖

由於等效載子遷移率會隨著閘極偏壓的增加而降低 (如圖 9)，因而造成汲極電流隨著閘極偏壓的增加而呈現電流飽和 (Saturation) 的現象 (如圖 10)。若方程式 (2)~(4) 裡的  $U_a=U_b=U_c=0$ ，則可以準確的描述汲極電流於低閘極偏壓下未呈現飽和的特性，但卻不足以描述高閘極偏壓下的汲極電流特性，為了準確的描述汲極電流於高低閘極偏壓下的電流特性，該元件模型必須加入修正參數  $U_a$ 、 $U_b$  與  $U_c$  方能描述出具有意義物理現象。另一方面，當載子移動通道的水平電場持續加大時，等效載子遷移率亦會出現飽和的現象，進而導致載子移動的速度呈現飽和，我們將於下一個段落來描述載子速度飽和效應的物理意義。

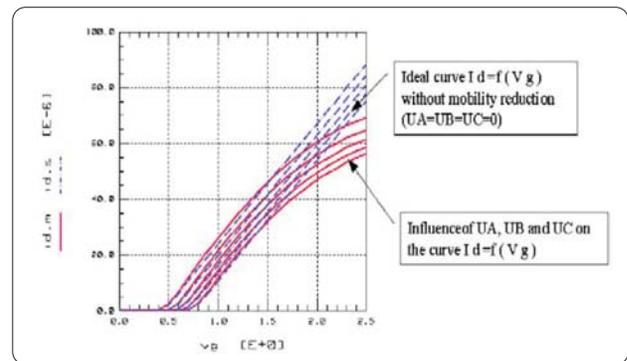


圖 10 閘極電壓與汲極電流關係圖

### (3) 汲極電流

一般直流曲線的作圖都是以汲極電流 (IDS) 對汲極電壓 (VD) 的形式說明，而在 BSIM3v3 模型裡也提出了幾個重要的物理參數用來解釋對汲極電流的影響，主要有下列幾項：

- 載子速度飽合效應 (Carrier Velocity Saturation)
- 基板電荷效應 (Body charge effect)
- 源極/汲極寄生電阻 (Source/Drain Parasitic Resistance)

一般而言，若電晶體元件操作在水平電場很大的時候會發生速度飽和效應，如圖 11 所示當電場大於飽和電場 ( $E_{sat}$ )  $1.5V/\mu m$  時載子速度  $v_n$  會達到飽和而不再隨著水平電場的增加而增快速度，這就稱為速度飽和效應。

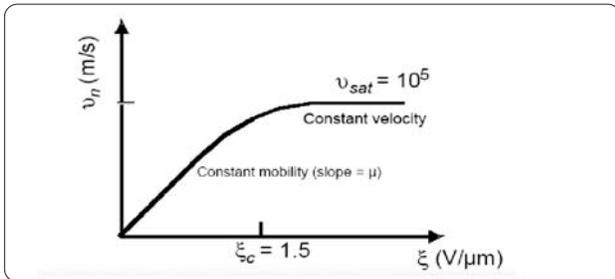


圖 11 載子速度飽和效應

由於電流大小與載子移動速度成正比，因此若元件直流模型未將此效應納入，則汲極電流 (IDS) 將會隨著電壓的增大而不斷的增加，那麼所建立的元件模型將會不準確。在相同的汲極偏壓 (VD) 下，短通道的水平電場會比長通道大，因此短通道元件必須考慮速度飽和效應。當 VDS 導致水平電場增高至載子速度飽和時，汲極電流便不再繼續增加而呈現飽和 (如圖12)，對於深次微米 (Deep Submicron) 元件而言，速度飽和效應所造成的影響會更加明顯。

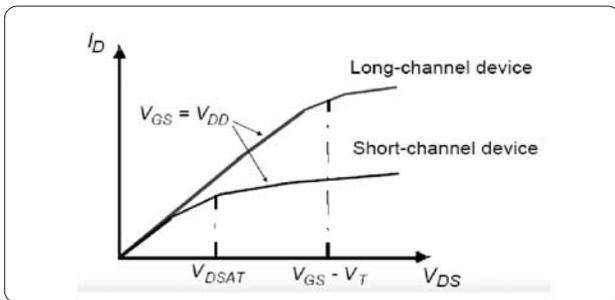


圖 12 載子速度飽和效應對直流曲線的影響

BSIM3v3 模型用單一方程式描述元件操作在次臨界區 (Subthreshold Region)、線性區 (Linear Region) 以及飽和區 (Saturation Region) 的汲極電流特性。方程式表示如下：

$$I_{ds0} = \mu_{eff} C_{ox} \frac{W}{L} \frac{V_{gsteff} \left( 1 - A_{bulk} \frac{V_{dseff}}{2(V_{gsteff} + 2V_{tm})} \right) V_{dseff}}{1 + \frac{V_{dseff}}{E_{sat} L}} \quad (5)$$

此方程式裡用了三個變數  $V_{gsteff}$ 、 $V_{dseff}$  以及  $A_{bulk}$  來簡化方程式，而這三個變數又可以分別是獨立的方程式，其中  $V_{gsteff}$  是代表等效 ( $V_{gs}-V_{th}$ ) 而  $V_{dseff}$  是代表等效  $V_{ds}$ 。首先說明基板電荷效應，當汲極工作在高偏壓時會造成通道空乏區深度不均勻 (如圖 13)，而空乏區深度的不均勻會造成臨界電壓沿著通道方向改變，當臨界電壓改變時，相對於汲極電流亦會跟著改變。

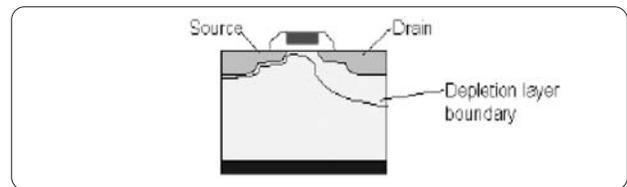


圖 13 空乏區深度改變示意圖

$A_{bulk}$  可以用來說明基板電荷效應對於汲極電流的影響，方程式如下

$$A_{bulk} = \left[ 1 + \frac{K_1 \frac{T_{ox}}{T_{oxm}}}{2 \sqrt{\Phi_s - V_{bseff}}} \left[ \frac{B_0}{W_{eff} + B_1} + \frac{A_0 L_{eff}}{L_{eff} + 2 \sqrt{X_J X_{dep}}} \right] \right] \frac{1}{1 + K_{eta} V_{bs}} \quad (6)$$

該方程式內有許多在 BSIM3v3 模型裡被定義的模型參數，例如  $A_0$ 、 $B_0$ 、 $B_1$ 、 $AGS$  以及  $K_{eta}$  等。建立元件模型時可以利用這個方程式來考量基板電荷效應以修正模擬結果至真正的量測值，如圖 14 所示，不同的參數值  $A_0$  與  $K_{eta}$  會造成不同的汲極電流。

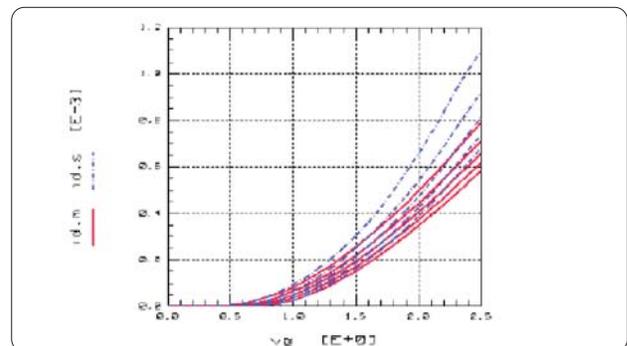


圖 14 閘極電壓與汲極電流關係圖

電晶體元件的寄生電阻可以用圖 15 說明，有四個主要的來源：R<sub>contact</sub> 是來自於上層金屬與源極/汲極之間的接觸；R<sub>sheet</sub> 是來自於源極/汲極水平面積的載子擴散；R<sub>spread</sub> 則是因為通道電流擴散至基板所產生；而 R<sub>accum</sub> 主要是累積層所造成。在 BSIM3v3 模型裡將這些寄生電阻統稱為 R<sub>ds</sub>。

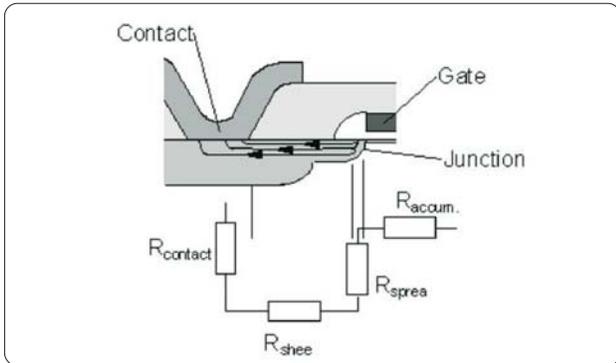


圖 15 元件寄生電阻來源示意

閘極與基板的偏壓會造成 R<sub>ds</sub> 的改變，PRWG 與 PRWB 這兩個元件模型參數便是修正閘極與基板偏壓對於 R<sub>ds</sub> 的影響。而描述寄生電阻 R<sub>ds</sub> 的方程式如下：

$$R_{ds} = \frac{R_{dsw} [1 + P_{rwg} V_{gsteff} + P_{rwb} (\sqrt{\Phi_s - V_{bseff}} - \sqrt{\Phi_s})]}{(10^6 W_{eff}) W_r} \quad (7)$$

若將閘極偏壓的變化與其相對應的寄生電阻作圖，更可以清楚地觀察到：當閘極偏壓升高時，其寄生電阻便會有明顯的下降趨勢，如圖 16 所示。

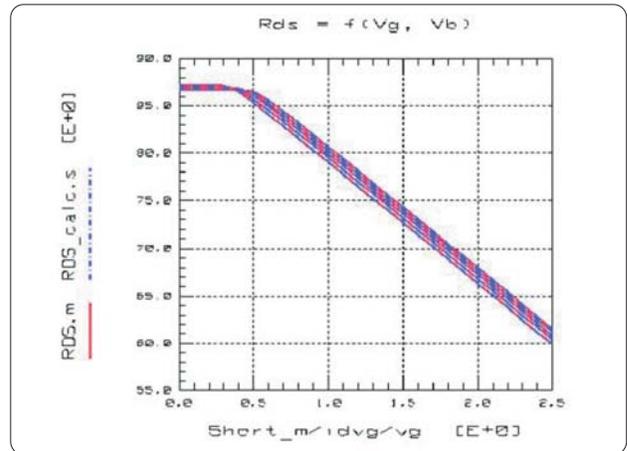


圖 16 閘極電壓與寄生電阻關係圖

上述的寄生電阻變化效應在短通道元件 (Short Device) 以及小尺寸元件 (Small Device) 的影響是非常顯著的，如圖 17 所示。

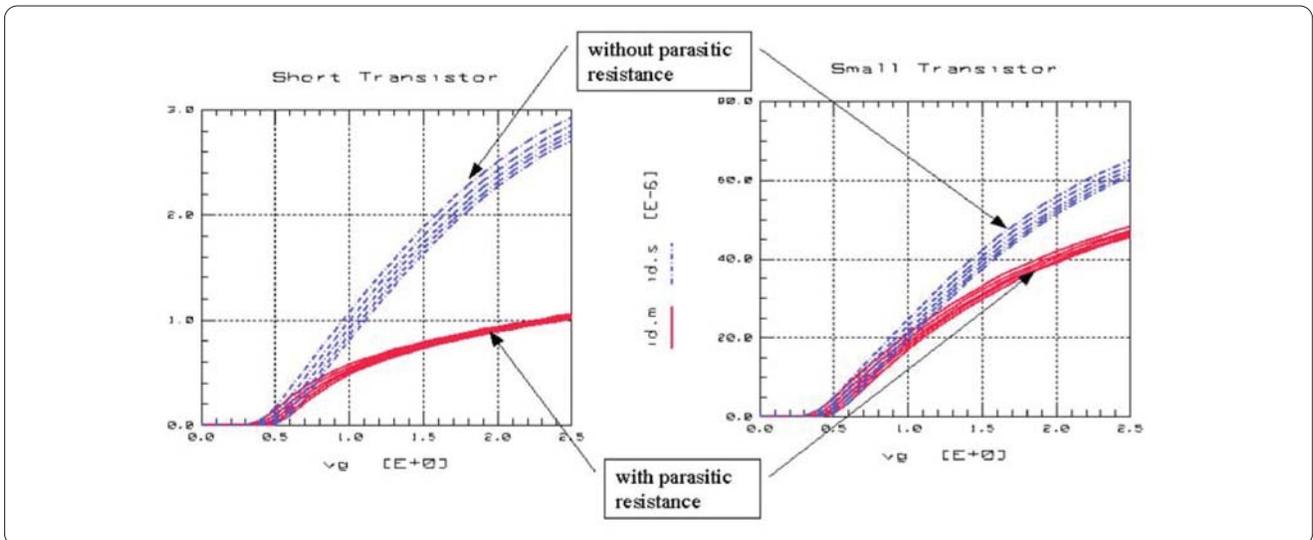


圖 17 寄生電阻對汲極電流的影響

#### (4) 基板電流

以一個 N-Type 電晶體元件為例，工作時汲極端的電場通常相當的大，此時獲得足夠能量的電子會產生撞擊離子化 (Impact Ionization) 的現象，因此會產生可游離的電子與電洞，而這些多餘出來的電子與電洞又會不斷地碰撞矽基板的晶格，並造成崩潰 (Breakdown) 的現象發生。而這些高能量的電子通常被稱作熱電子 (Hot Electrons)。這些電子會被吸引到元件的汲極增加電流，而電洞則是往基板的方向移動並且造成基板電流 (Substrate Current)，如右圖 21 所示：

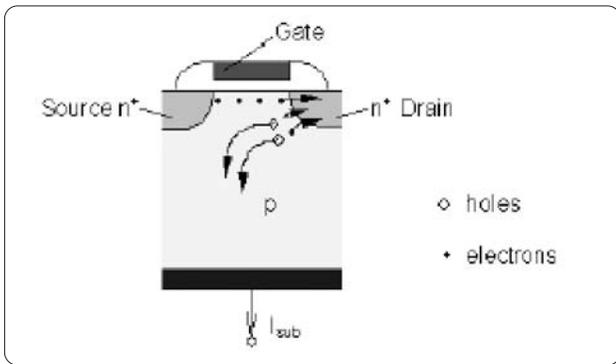


圖 21 N 型通道基板電流產生

基板電流可以用公式 (8) 來描述，其中  $\alpha_0/\beta_0$  分別為離子化現象的一階/二階修正項係數，而  $\alpha_1$  是調整尺寸大小 (Scalable) 的參數，從圖 22 中我們可以很清楚地觀察到汲極電壓升高時所產生的基板電流。

$$I_{sub} = \frac{\alpha_0 + \alpha_1 L_{eff}}{L_{eff}} (V_{ds} - V_{dseff}) \exp\left(\frac{\beta_0}{V_{ds} - V_{dseff}}\right) I_{ds} \left(1 + \frac{V_{ds} - V_{dseff}}{V_A}\right) \quad (8)$$

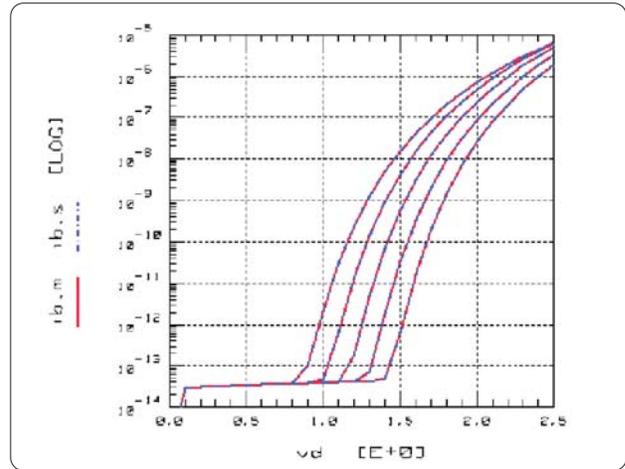


圖 22

## (5) 輸出電阻

次微米 (Submicron) 元件工作於汲極電流飽和區時，主要會受到下列三個效應的影響：這些效應可以利用輸出電阻的變化來說明解釋，其定義如公式 (9)。

- Channel Length Modulation (CLM)
- Drain-Induced Barrier Lowering (DIBL)
- Substrate Current Induced Body Effect (SCBE)

$$R_{out} = \frac{\delta V_{ds}}{\delta I_{ds}} \quad (9)$$

圖 23 是  $0.5 \mu\text{m}$  通道長度 N 型電晶體的 ID-VD 量測值，並根據公式 (9) 將輸出電阻計算出來並與汲極電流放在同一張圖形上。由圖 23 可以看出在不同的 VDS 下有不同的輸出電阻，圖 23 的左邊為線性操作區 (Linear Region)，載子速度還未達到飽和狀態，此時的輸出電阻相當的小，因為在這個區域汲極電壓對汲極電流有著很直接的影響；而在圖 23 的右邊則為飽和操作區 (Saturation Region)，飽和操作區可以分成三個小區域，在這三個小區域裡的輸出電阻又可以分別以 CLM、DIBL 以及 SCBE 的物理機制做說明，如圖 23 所示。

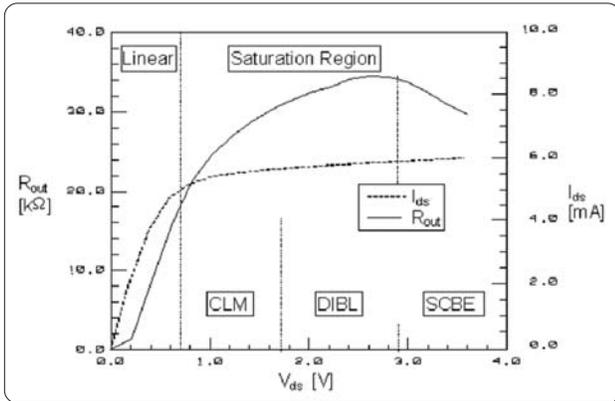


圖 23 汲極電流與輸出電阻相關

由於輸出電阻在不同的區域內會有相當大的差異，因此為了建立一套標準的方程式來描述各個區域內的輸出電阻，故必須要在 ID 的原方程內加入修正項，如公式 (10)，以確保 ID 的計算值可以符合實際的 ID 量測值。而公式(10)內的 VA 便是 Early Voltage，其表示如公式 (11)，對於調整適當的 VA 值而言，Pvag 是一個相當重要的參數；公式 (10)(11) 內的 VACL M、VADIBL 與 VASCBE 分別已將 CLM、DIBL 以及 SCBE 的物理效應考慮進去，我們將會於下文中陸續探討這三大影響輸出電阻的物理機制。

$$I_{ds} = \frac{I_{ds0}}{1 + R_{ds} I_{ds0} / V_{dseff}} \left( 1 + \frac{V_{ds} - V_{dseff}}{V_A} \right) \left( 1 + \frac{V_{ds} - V_{dseff}}{V_{ASCBE}} \right) \quad (10)$$

$$V_A = V_{Asat} + \left( 1 + \frac{P_{vag} V_{gsteff}}{E_{sat} L_{eff}} \right) \left( \frac{1}{V_{ACL M}} + \frac{1}{V_{ADIBL C}} \right)^{-1} \quad (11)$$

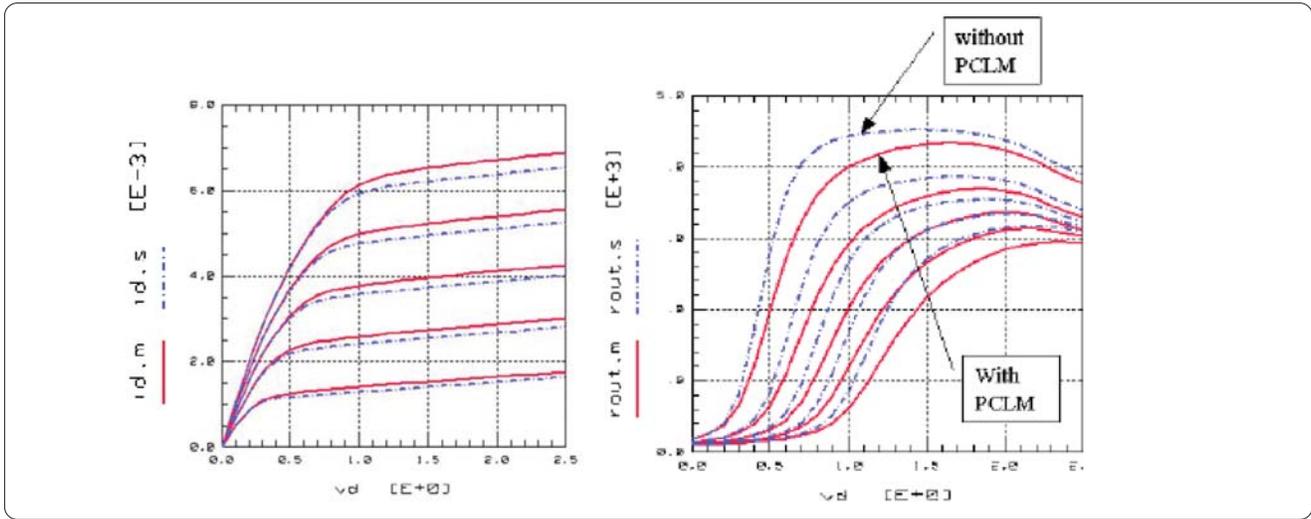


圖 24 有效通道長度調變效應

### Channel Length Modulation (CLM)

元件工作於線性區的情形之下，其有效的通道長度將會固定不變。然而當汲極偏壓提升至飽和區時，靠近汲極的閘極下方區域不再是寬廣的空乏區 (Depletion Region)，同時將會使得載子速度達到飽和狀態，因此有效通道長度在高電場的狀態下會減短，這個效應稱作通道長度調變效應。這個效應並不是特別的短通道效應，無論通道長短都有可能發生，然而這個效應對短通道元件的影響將會更大。我們可以用圖 24 做說明：輸出電阻會因 CLM 效應而造成改變，所以 BSIM3v3 模型將此效應考量進去以建立準確的直流模型。

公式 (11) 內的  $V_{ACLM}$  包含了 CLM 效應相關的參數 PCLM，因此  $V_{ACLM}$  已將 CLM 效應考慮進去，如公式 (12)。

$$V_{ACLM} = \frac{1}{PCLM} \frac{A_{bulk} E_{sat} L + V_{gsteff}}{A_{bulk} E_{sat} l} (V_{ds} - V_{dseff}) \quad (12)$$

## Drain Induced Barrier Lowering (DIBL)

長通道元件閘極下方的空乏區電荷沿著源極到汲極呈現常數值的狀態分佈，當汲極電壓增時並不會影響其能帶的分佈狀態。不過當元件為小尺寸的時候，其短通道效應就會很明顯，如圖 25 所示當汲極電壓增加時會造成靠近汲極端的載子能帶下降，使得靠近汲極的 Si-SiO<sub>2</sub> 介面處之表面電位增加造成元件的臨界電壓降低，並影響其直流特性曲線，這個效應稱作 DIBL。我們可以用圖 26 來說明 DIBL 效應對元件輸出電阻的影響，可以看出考慮此效應時對輸出電阻的實際值有很大的改變。

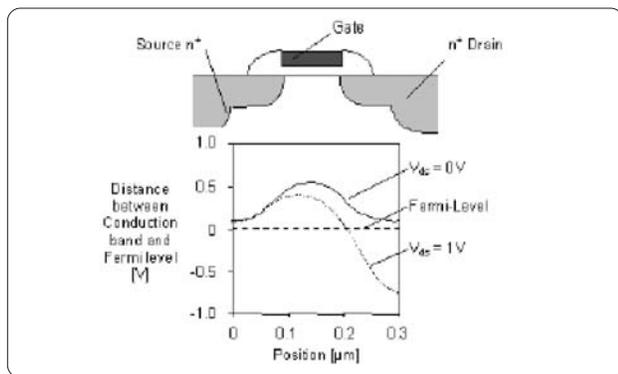


圖 25 Si-SiO<sub>2</sub> 介面能帶圖

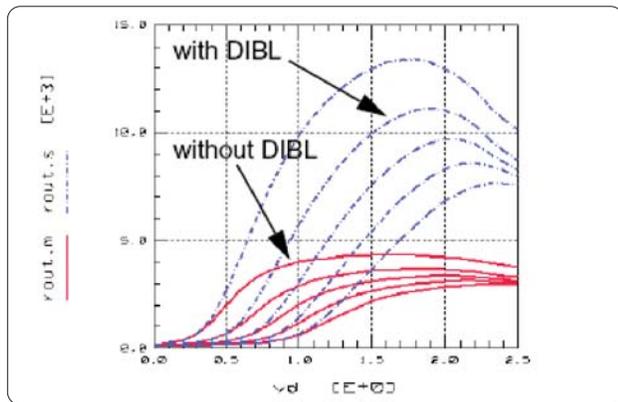


圖 26 DIBL 效應對輸出電阻的影響

在BSIM3v3裡DIBL效應的模型是利用公式(13)(14)來描述直流方程式的公式(10)(11)，其中包含了DIBL效應相關的參數 PDIBLC1、PDIBLC2與PDIBLCB。

$$V_{ADIBLC} = \frac{(V_{gsteff} + 2V_{tm})}{\Theta_{rout}(1 + P_{DIBLC} V_{bseff})} \left[ 1 - \left( \frac{A_{bulk} V_{dsat}}{A_{bulk} V_{dsat} + V_{gsteff} + 2V_{tm}} \right) \right] \quad (13)$$

$$\Theta_{rout}(L) = P_{DIBLC1} \left[ \exp\left(-\frac{D_{rout} L_{eff}}{2l_{t0}}\right) + 2 \exp\left(-\frac{D_{rout} L_{eff}}{l_{t0}}\right) \right] + P_{DIBLC2} \quad (14)$$

## Substrate Current Induced Body Effect (SCBE)

基板電流會因熱電子引發的撞擊離子化現象而驟增，若以N型電晶體為例，因撞擊離子化現象而產生的電子會往汲極移動，而電洞會往基板移動，此時汲極電流會等於源極電流加基板電流，如公式 (15) 所示：

$$I_{ds} = I_{source} + I_{bulk} \quad (15)$$

因此當基板電流變大時，汲極電流便會跟著變大，而這些額外增加的汲極電流便會使得元件的輸出電阻降低，而基板電流的變大更導致了基板效應 (Body Effect) 的發生，這個現象稱作 SCBE。如圖 27 所示：當汲極電壓增加很大時會使得輸出電阻迅速的減低。

在 BSIM3v3 裡 SCBE 效應的模型是利用公式 (16) 來描述直流方程式的公式 (10)(11)，其中包含了 SCBE 效應相關的參數 PSCBE1 與 PSCBE2。

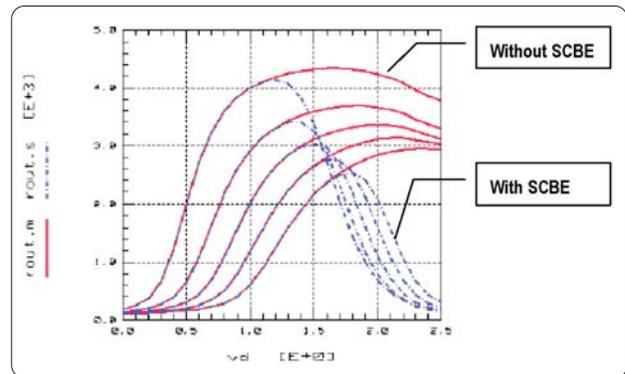


圖 27 基板電流效應

$$V_{ASCBE} = \left[ \frac{P_{SCBE2}}{L} \exp\left(-\frac{P_{SCBE1} l}{(V_{ds} - V_{dsat})}\right) \right]^{-1} \quad (16)$$

## (6) 電容模型

接下來將以 BSIM3v3 模型為例介紹 MOS 電晶體裡的電容，如圖 28 所示包含了四種不同種類的電容：CF 表示多晶矽閘極與源/汲極產生的外部邊緣電容，CGDO 表示閘極與濃度高的源/汲極重疊部份產生的電容，CGDL 則表示閘極與低濃度的源/汲極重疊部份產生的電容，CJunc 則表示源/汲極與基板所產生的接面電容。接著會針對這四種電容產生的機制以及其在 BSIM3v3 裡的描述方程式做說明。

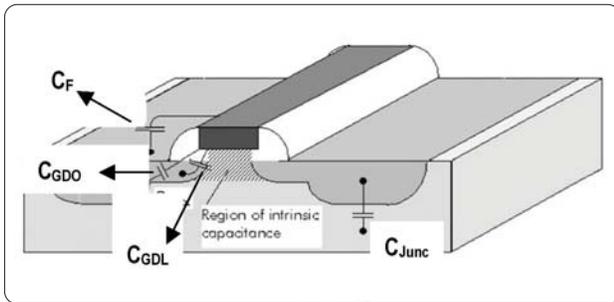


圖 28 不同種類電容示意圖

### Junction Capacitance

基板與源/汲極接面電容的產生以圖 29 說明，而整個接面電容值在 BSIM3v3 裡以公式 (17) 來計算。其中  $C_{AREA}$  表示底部的面積、 $C_{SW}$  則代表邊緣沿著場效氧化層的接面電容、而  $C_{SWG}$  表示沿著閘極氧化層的邊緣電容。這三種電容相加起來就可以得到源/汲極與基板的接面電容值。

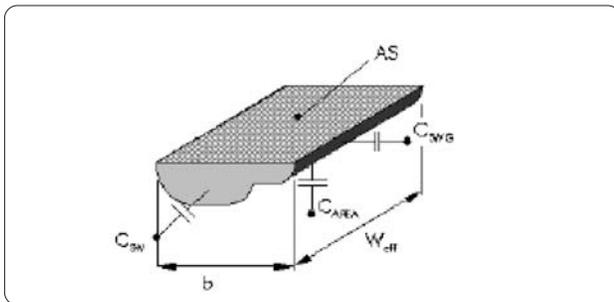


圖 29 源/汲極區域大小電容圖

$$C_{jds} = \begin{cases} C_{AREA} + C_{SW} + C_{SWG} & \text{if } PS > W_{eff} \\ C_{AREA} + C_{SW} & \text{if } PS < W_{eff} \end{cases} \quad (17)$$

這三個接面電容會隨著外加的基極偏壓而改變，如圖 30 所示： $C_{jbs}$  會隨著  $V_b$  的增加而增加電容值。因此在建立電晶體接面電容模型時 BSIM3v3 裡利用公式 (18)(19) 來描述這個現象。

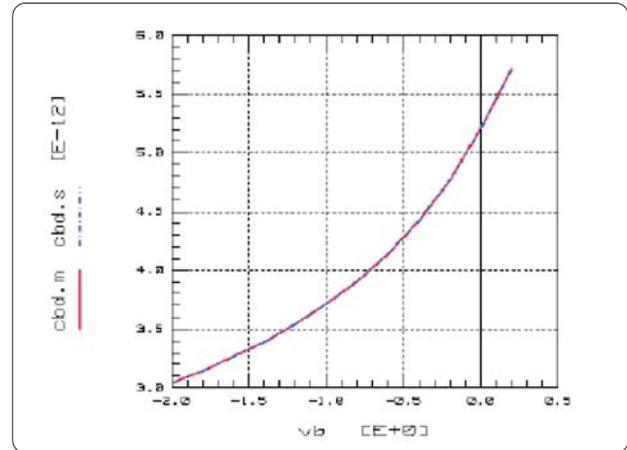


圖 30  $C_{bd}$  隨著  $V_b$  變化圖

$$\text{For } V_{bs} < 0: \quad C_{jbs} = C_j \left( 1 - \frac{V_{bs}}{P_b} \right)^{-M_j} \quad (18)$$

$$\text{For } V_{bs} \geq 0: \quad C_{jbs} = C_j \left( 1 + M_j \frac{V_{bs}}{P_b} \right) \quad (19)$$

### Extrinsic Capacitor

另外三個電容  $C_F$ 、 $C_{GDO}$  以及  $C_{GDL}$  則表示電晶體的外部電容 (Extrinsic Capacitor)。 $C_F$  邊緣電容有兩種形式：一種與偏壓有關，另一個則是常數值。而常數值的邊緣電容可以用公式 (20) 來表示。 $T_{OX}$  代表氧化層的厚度， $\epsilon_{SiO_2}$  則表示氧化層的介電常數。

$$C_F = \frac{2\epsilon_{SiO_2}}{\pi} \ln \left( 1 + \frac{4 \times 10^7}{T_{OX}} \right) \quad (20)$$

在過往的模型裡，源/汲極與閘極重疊的電容  $C_{GDO}$  以及  $C_{GDL}$  是假設與閘極的偏壓無關，不過這個假設與實際量測的結果不同。因此在 BSIM3v3 模型裡將這兩個電容描述成閘極偏壓相關的函數以符合實際的物理結果，如圖 31 所示：電容值會隨著閘極電壓  $V_G$  改變而改變。這是因為當閘極偏壓改變時會影響表面的空乏區範圍造成重疊部份的面積變化改變電容值。

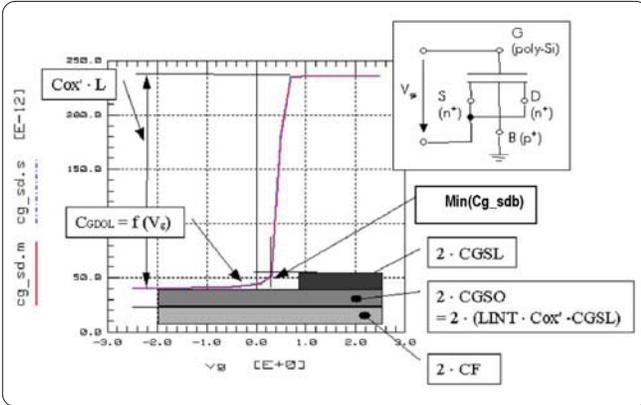


圖 31 外在電容示意圖

而 BSIM3v3 模型則是利用公式 (21)(22) 來描述這個物理現象，其中多增加了修正項  $V_{gd,overlap}$  以符合實際量測結果。

$$\frac{Q_{overlap}}{W_{eff}} = CGDOV_{gs} + CGDL \left\{ V_{gd} - V_{gd,overlap} - \frac{CKAPPA}{2} \left( -1 + \sqrt{1 - \frac{4V_{gd,overlap}}{CKAPPA}} \right) \right\}$$

where:

$$CKAPPA = \frac{2\epsilon_{si}qN_{LDO}}{C_{ox}^2} \quad (21)$$

with the smoothing parameter:

$$V_{gd,overlap} = \frac{1}{2} \left( (V_{gd} + \delta_2) - \sqrt{(V_{gd} + \delta_2)^2 + 4\delta_2} \right) \quad (22)$$

$$\delta_2 = 2/100$$

## (7) 溫度與元件特性的相依性

前文所描述的一些物理現象都是基於常溫的狀態下沒有考慮到溫度的變化，不過元件應用於電路設計時必須要具有對抗環境溫度變化的能力。因此元件模型的建立也就必須要考量環境的溫度變化對直流特性曲線的改變。在 BSIM3v3 裡也考慮了溫度變化對直流參數的影響。包含了臨界電壓 (Threshold Voltage)、載子遷移率 (Carrier Mobility)、載子速度的飽和 (Saturation of Carrier Velocity) 以及源/汲極與基板二極體的飽和電流 (Saturation Current of Drain/Source Bulk Diodes)。這些效應在不同溫度下會發生變化並對直流特性造成影響。接下來將會說明在 BSIM3v3 模型裡如何考量溫度的變化，並利用數學方程式的方法描述因溫度變化造成的物理現象。

### Threshold Voltage

在 BIM3v3 裡的臨界電壓加入了溫度的變化因素，如公式 (23) 所示，並且可以很明顯的觀察到當溫度增高時臨界電壓會下降，如圖 32 所示。這是因為載子在高溫時能量獲得提升，只需要較低的外壓偏壓即可達到臨界電壓，而在小尺寸元件時臨界電壓受到溫度變化的影響會更加明顯，所以模型更應該將溫度的變異考量進去。

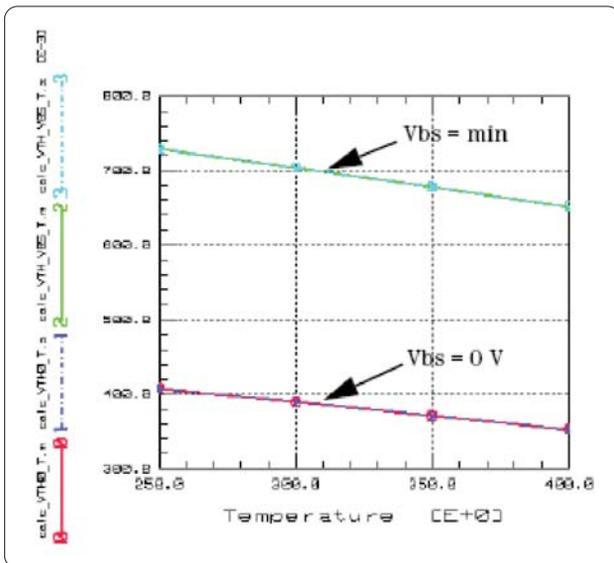


圖 32 門檻電壓與溫度變化圖

$$V_{th}(T) = V_{th}(T_{nom}) + \left( KT_1 + \frac{KT_1 L}{L_{eff}} + KT_2 V_{bseff} \right) \left( \frac{T}{T_{nom}} - 1 \right) \quad (23)$$

### Carrier Mobility

一般而言載子遷移率會隨著溫度的升高而下降，這是因為當高溫時載子能量較大增加彼此隨機碰撞的機會並造成遷移率的降低。而在 BSIM3v3 裡則使用公式 (24)~(27) 四個方程式當作模型的基礎來加以描述遷移率隨著溫度的變化而有不同的結果。

$$\mu_0(T) = U_0 \cdot \left( \frac{T}{T_{nom}} \right)^{UTE} \quad (24)$$

$$U_A(T) = UA + UA1 \left( \frac{T}{T_{nom}} - 1 \right) \quad (25)$$

$$U_B(T) = UB + UB1 \left( \frac{T}{T_{nom}} - 1 \right) \quad (26)$$

$$U_C(T) = UC + UC1 \left( \frac{T}{T_{nom}} - 1 \right) \quad (27)$$

如圖 33 所示，當  $UTE = 0$  時則表示不考慮溫度的因素： $U_0$  呈現常數的狀態，而  $UTE = -1.5$  時則是考量了溫度的變異，此時遷移率會隨著溫度的提升而降低。這個物理現象反應在元件的直流曲線可以得到如圖 34 所示，溫度越高直流曲線下降。

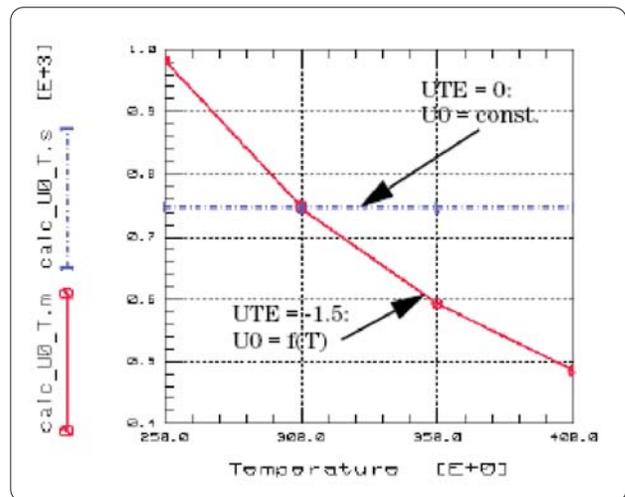


圖 33 載子遷移率隨溫度變化圖

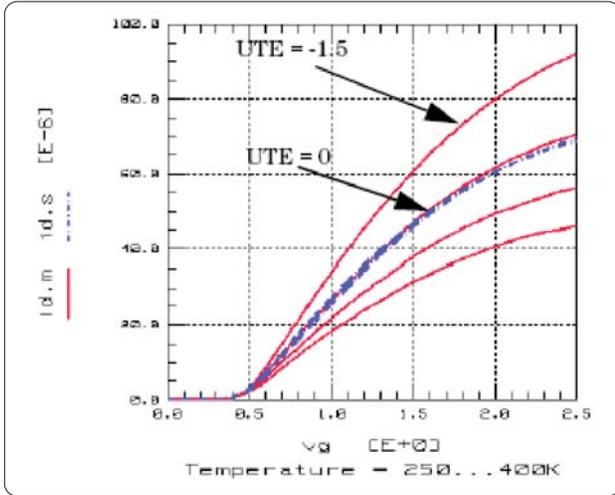


圖 34 汲極電流與溫度變化圖

### Saturation of Carrier Velocity

載子的飽和速度會隨著溫度的增加而下降，BSIM3v3 模型以公式 (28) 來描述這個狀態。圖 35 為不同 AT 值對應的載子飽和速度；當 AT = 0 時，表示不考慮溫度因素，因此任何溫度下的飽和速度皆為常數；而當 AT = 33000 時，則可以很明顯的看出在高溫狀態 400 K 時的飽和速度下降了许多。

$$V_{SAT}(T) = VSAT - AT \left( \frac{T}{T_{nom}} - 1 \right) \quad (28)$$

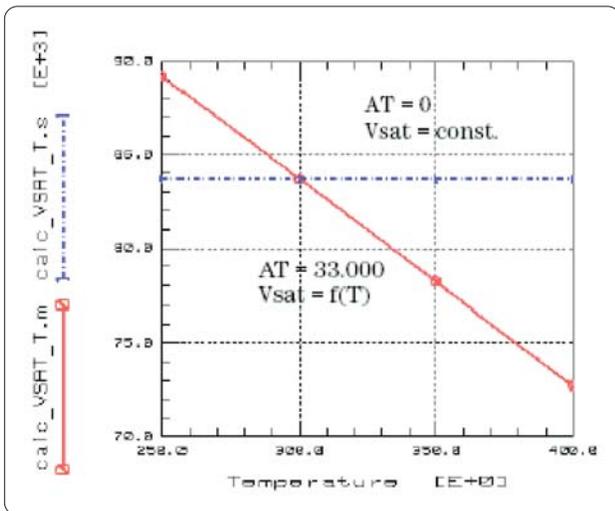


圖 35 載子飽和速度與溫度變

### Saturation Current of Drain/Source Bulk Diodes

以一個 N-Type 的電晶體為例，由於源/汲極與基板的參雜物質相反：源/汲極參雜  $N^+$ ，基板參雜  $P^+$ 。於是源/汲極與基板的接面便形成一個標準的接面二極體 (PN Junction Diode)。而這兩組接面二極體的飽和電流密度會隨著不同的溫度而改變，BSIM3v3 利用公式 (29) 來描述這個現象，並且可以模擬在不同溫度下發生的變化，如圖 36 所示：二極體的飽和電流密度會隨著溫度的增加而增加。以上這四個物理參數(臨界電壓、載子移動率、載子飽和速度以及 PN 接面電流密度)都與直流曲線有著很大的關係，因此 BSIM3v3 模型裡也很詳細的包含了這些參數與溫度的變化關係。

$$J_S(T) = JS \cdot e^{\left( \frac{E_{g0} - E_g}{V_{tm0} - V_{tm}} + XT \ln\left(\frac{T}{T_{nom}}\right) \right) / N_J} \quad (29)$$

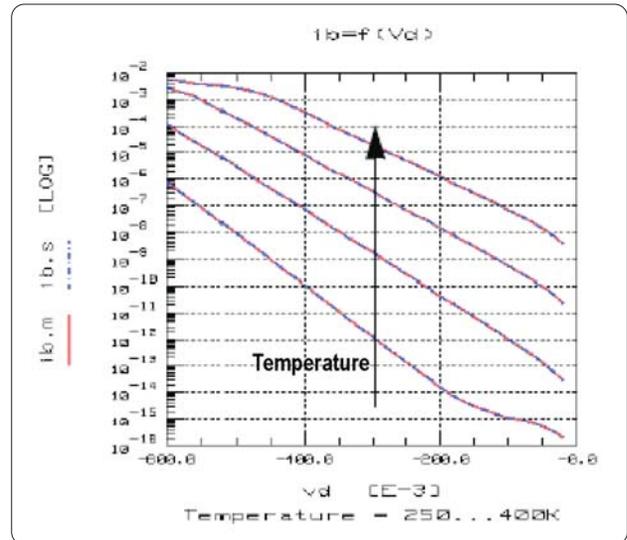


圖 36 飽和電流隨溫度變化圖

### 三、利用 IC-CAP 萃取 BSIM3v3 模型的物理參數

在開始萃取 BSIM3v3 的模型參數之前，必須先要有元件的量測資料以作為曲線 Fitting 的目標值，然後再建立元件的參數表 (Netlist) 並作適當的參數設定與參數值的調整，最後並將這些參數值輸入至模擬器執行電氣特性的模擬。安捷倫的 IC-CAP 提供了套件軟體：分別提供量測與參數萃取，如圖 18。

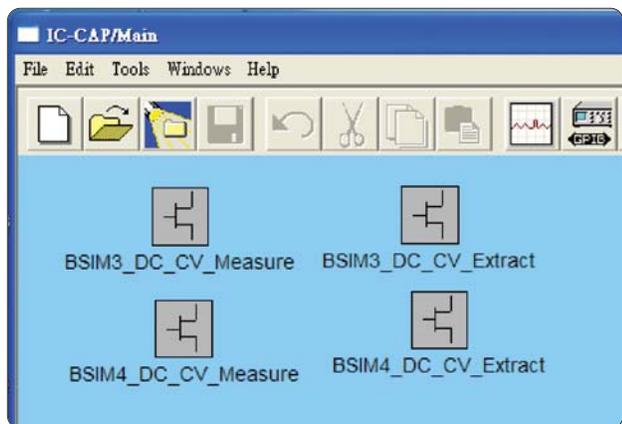


圖 18 IC-CAP 提供的 BSIM 模型套裝軟體

首先點選參數萃取套件軟體 BSIM3\_DC\_CV\_Extract 並開啟先前的量測資料，再開始參數萃取之前，必須先設定參數的邊界條件，邊界條件值設定的好壞將會直接影響參數萃取的收斂速度或正確與否，如圖 19 所示。

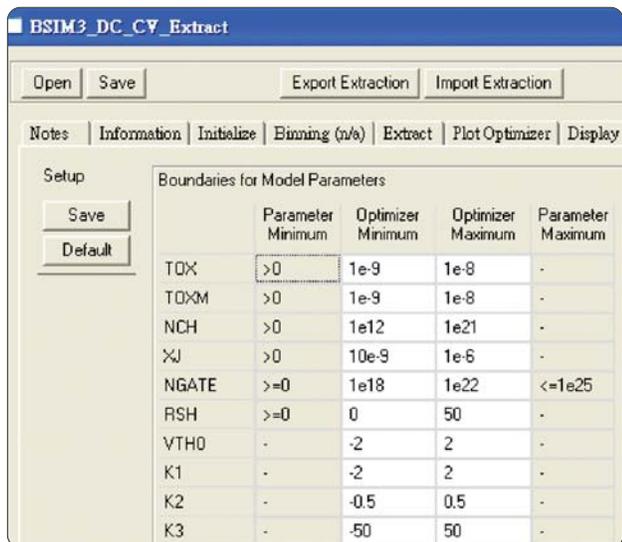


圖 19 參數萃取的邊界條件設定

當設定好參數邊界條件之後，便可以開始萃取參數。例如本文章所提的臨界電壓、載子遷移率、寄生電阻與基板電荷效應等。安捷倫 IC-CAP 的套裝軟體有內建一個完整的參數萃取流程，並可允許客製化參數萃取流程順序或是新增子程式 (Sub-routine)來微調參數值，子程式提供三種方法：公式萃取 (E)、手動調整 (T) 與自動最佳化 (O)，如圖 20 示。一般而言，執行公式萃取可以取得合理的初始值 (Initial Value)，然後再使用手動調整或自動最佳化來取得最佳的參數值。

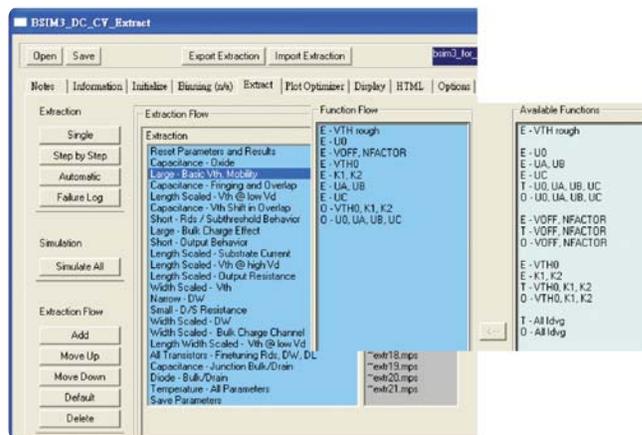


圖 20 BSIM 模型萃取流程設定與子程式的定義

## 四、結論

對於半導體元件而言，直流電氣特性是最基本的，亦是最重要的，因為它可以直接反應出元件的好壞。而臨界電壓是影響直流電氣特性最重要的參數之一，在本文一開始就針對臨界電壓提出 BSIM3v3 模型中的物理意義描述，例如載子濃度分布均勻與否以及元件尺寸大小對於臨界電壓的影響等。接著便解釋閘極電壓或載子遷移通道垂直電場相對於載子遷移率的影響。最後再提出影響汲極電流的相關物理機制，例如載子速度飽和、基板電荷效應與源極/汲極的寄生電阻。除了物理意義的描述之外，本文亦有提出一些具有代表性的數學方程式，由這些數學方程式可以得知相關參數對於電氣特性是屬於正相關或是負相關，藉此可以快速的調整出趨近正確的參數值。因此在建立模型時，若能充分了解元件的電氣特性與物理機制，則必可提升參數建立的速度。

本文針對 BSIM3v3 模型的部分重要參數與物理機制 (臨界電壓、載子移動率、載子速度飽合效應與汲極電流) 做了介紹，同時針對 BSIM3v3 的基板電流、輸出電阻、電容模型、以及溫度對元件電氣特性的影響做說明。當中可以發現電晶體的汲極偏壓不同時就會產生不同的物理機制，例如 CLM、DIBL 與 SCBE 等，其中基板電流增大時所造成的基板效應更是不可忽略；而元件設計的幾何形狀 (Geometry) 與閘極偏壓會直接影響電容值的大小；最後，電流電壓產生的熱能會造成元件溫度的變化，而溫度的變化亦會造成電氣特性的改變。若能在元件模型中加入這些參數以修正模擬結果，並使之更趨近於實際量測值，則該元件模型對電路設計者而言更具價值。

BSIM3v3 模型對 CMOS 模型的建立很重要，然而要建立準確的 BSIM3v3 模型卻著實不易，唯有在充分了解模型參數背後所代表的物理意義之後，方可快速地完成模型參數萃取並做模型偵錯。希望讀者在閱讀完本篇文章後，能對 BSIM3v3 模型有初步的了解。(註：此處是以安捷倫 IC-CAP 的 BSIM3v3 參數萃取套裝軟體做說明。)

# [Appendix]

## (1) 臨界電壓

$$\begin{aligned}
 V_{th} = & V_{th0} - K_1 \sqrt{\Phi_s} \\
 & + K_1 \frac{T_{ox}}{T_{oxm}} \sqrt{\Phi_s - V_{bseff}} - K_2 \left( \frac{T_{ox}}{T_{oxm}} V_{bseff} \right) \\
 & + K_1 \frac{T_{ox}}{T_{oxm}} \left( \sqrt{\left(1 + \frac{Nlx}{L_{eff}}\right)} - 1 \right) \sqrt{\Phi_s} \\
 & - D_{VT0} \left[ e \left( -D_{VT1} \frac{L_{eff}}{2l_t} \right) + 2e \left( -D_{VT1} \frac{L_{eff}}{l_t} \right) \right] (V_{bi} - \Phi_s) \\
 & - D_{VT0w} \left[ e \left( -D_{VT1w} \frac{W_{eff} L_{eff}}{2l_{tw}} \right) + 2e \left( -D_{VT1w} \frac{W_{eff} L_{eff}}{l_{tw}} \right) \right] (V_{bi} - \Phi_s) \\
 & + (K_3 + K_{3b} V_{bseff}) \frac{T_{ox}}{(W_{eff} + W_0)} \Phi_s \\
 & - \left[ e \left( -D_{sub} \frac{L_{eff}}{2l_{t0}} \right) + 2e \left( -D_{sub} \frac{L_{eff}}{l_{t0}} \right) \right] (E_{ta0} + E_{tab} V_{bseff}) V_{ds}
 \end{aligned}$$

## (2) 直流工作方程式

Linear region $V_g > V_{th}$ ; $V_{ds} < V_{gs} - V_{th}$	$I_d = \mu_o C_{ox} (W/L) / 2 * [2(V_{gs} - V_{th})V_{ds} - V_{ds}^2]$
Saturation region $V_g > V_{th}$ ; $V_{ds} \geq V_{gs} - V_{th}$	$I_d = \mu_o C_{ox} (W/L) / 2 * (V_{gs} - V_{th})^2$

$\mu_o$  載子移動率 (mobility)

$C_{ox}$  氧化層電容

$W/L$  通道寬度長/度

$V_{th}$  臨界電壓 (Threshold Voltage)

$V_{gs}/V_{ds}$  (閘極/汲極) 相對源極的電壓

[www.agilent.com.tw](http://www.agilent.com.tw)

### 安捷倫科技電子量測儀器提供的支援、服務及協助

安捷倫科技最大的目標是讓您深感物超所值，同時將您的風險和問題減到最小。我們全力以赴，以確保您花下的每一分錢能得到實質的量測能力和所需的支援。我們豐沛的支援資源和服務能協助您選出最符合您應用需求的產品，並且進行成功的運用。我們出售的每一部儀器和系統均享有全球保固，安捷倫科技整體的支援政策有兩大主軸：「我們的承諾」及「您的優勢」。

### 我們的承諾

我們承諾安捷倫量測設備的實際性能及功能與廣告所言相符。當您選購新設備時，我們會提供您詳實的產品資訊，包括實際的性能規格和來自經驗的測試工程師的優質推薦。當您收到新的安捷倫設備時，我們會協助您確認產品能正常運作，並提供一開始操作上的協助。

### 您的優勢

您的優勢指的是安捷倫科技會提供各種附加的專業測試及量測服務，讓您自行依據技術和業務上的需要加以採購。與我們簽訂檢驗、加價升級、保固期後維修、到場教育訓練、以及設計、系統整合、專案管理及其它專業工程服務合約，即可有效率地解決您的問題和提高競爭優勢。安捷倫科技遍佈全球、經驗豐富的工程師和技術人員能協助您提高生產力、提升儀器和系統的投資回收率、以及在產品使用期限內維持可靠的量測準確度。



**Agilent Open**

[www.agilent.com.tw/find/Open](http://www.agilent.com.tw/find/Open)

Agilent Open 可簡化測試系統連接與程式設計的過程，以協助工程師設計、驗證及生產電子產品。安捷倫科技針對各種系統相容 (system-ready) 的儀器提供了開放式的連接方案、開放式的工業軟體、PC 標準的 I/O、以及全球化的支援，這一切都是為了協助您更輕鬆地整合測試系統的開發工作。



**Agilent Email Updates**

[www.agilent.com.tw/find/emailupdates](http://www.agilent.com.tw/find/emailupdates)

訂 閱 全 球 電 子 報



**Agilent Direct**

[www.agilent.com.tw/find/agilentdirect](http://www.agilent.com.tw/find/agilentdirect)

協助您快速地選出最符合您需求的測試設備方案

有關安捷倫科技電子量測產品、應用及服務的詳細資訊，可查詢我們的網站或來電洽詢。

聯絡窗口查詢：

[www.agilent.com.tw/find/contactus](http://www.agilent.com.tw/find/contactus)

台灣網站：

[www.agilent.com.tw](http://www.agilent.com.tw)

**台灣安捷倫科技股份有限公司**

台北市 104 復興南路一段 2 號 8 樓

電話：(02) 8772-5888

桃園縣平鎮市 324 高雙路 20 號

電話：(03) 492-9666

台中市 408 文心路一段 552 號 12 樓 C 室

電話：(04) 2310-6914

高雄市 802 四維三路 6 號 25 樓之 1

電話：(07) 535-5035

本文件中的產品規格及說明如有修改，恕不另行通知

© 2006 台灣安捷倫科技股份有限公司

Printed in Taiwan 06/2006

中文版：5989-5254ZHA



**Agilent Technologies**