

EEPROM 单元的电荷保持特性*

成 伟[†] 郝 跃 马晓华 刘红侠

(西安电子科技大学微电子学院 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

摘要: 利用理论推导和实验方法对电可擦除可编程只读存储器 EEPROM 单元在给定电压下的电荷保持特性进行了分析和研究, 得出了 EEPROM 单元电荷保持能力的理论公式, 得到了单元保持状态下的电特性曲线, 发现在双对数坐标下, 阈值电压的退化率与时间成线性关系. 在假定电荷流失机制为 Fowler-Nordheim 隧穿效应的情况下, 推出了 EEPROM 单元在给定外加电压下的电荷保持时间, 并通过实验得出了简化的 EEPROM 单元寿命公式.

关键词: 电可擦除可编程只读存储器; 电荷保持; 阈值电压; Fowler-Nordheim 隧穿效应

PACC: 7340Q; 7300; 7220J

中图分类号: TN406

文献标识码: A

文章编号: 0253-4177(2006)07-1290-04

1 引言

近年来, EEPROM 存储器由于其擦/写方便、电路结构简单等显著的优点而得到了广泛的应用^[1]. 但是在使用过程中, EEPROM 存储器的可靠性是一个非常重要的问题. EEPROM 单元的可靠性指标主要有耐久性和保持性^[2,3]两项. 耐久性是指 EEPROM 单元可反复擦/写的能力, 通常用 EEPROM 的擦/写阈值电压随擦/写周期的变化来表示. 保持特性是指存储在 EEPROM 单元中的信息是否能长期保存的能力, 通常用阈值电压的变化来显示单元存储电荷的泄漏量.

对于写入数据的单元, 由于浮栅上的电荷会通过氧化层窗口和控制栅与浮栅之间的氧-氮-氧隔离层缓慢的泄漏, 所以数据不可能永远保持. 通常认为写入阈值电压退化 10% 则器件失效^[3]. 过去对于 EEPROM 的电荷保持特性研究, 一般用高温实验的方法. 其机理是基于化学反应速率与温度之间的关系, 由 Arrhenius 总结的经验公式得到结论: 器件达到累积失效概率时间 t 的对数与绝对温度的倒数成线性关系^[4], 也有国外论文认为时间的对数直接与绝对温度成线性关系^[5]. 国外曾经有人作过在外加电压下加速电荷保持时间的理论分析^[6,7], 但是有关具体实验及寿命的外推公式未见提及.

本文在假定 Fowler-Nordheim 隧穿为电荷泄漏的主要机制下^[6], 建立了电荷保持特性方程. 此方程可以对不同的 EEPROM 单元在外加不同电压情

况下得到其保持特性. 通过实验得到了单元的电特性曲线以及保持特性的简化公式, 此公式可以外推得到不同外加电压下的单元寿命.

2 理论推导

EEPROM 的保持特性是指存储在浮栅上电荷能否长期保存的能力. 通常用阈值电压随时间的变化来表征 EEPROM 的保持特性. 有关存储在浮栅上电荷的泄漏机理目前还没有统一的认识. 有人假定 Fowler-Nordheim 隧道效应是浮栅上电荷的主要泄漏机理^[6], 这样可以研究加速实验的情况, 外推其保持特性.

图 1 即为 EEPROM 单元的结构剖面图. 在控制栅悬空且漏端正偏的情况下, 电路可以简化为 2 个并联的电容, 如图 2 所示. 其中 $C_1 = C_S + C_B$, $C_1 + C_{FD} = C_T$. 式中 C_{FD} , C_S , C_B 分别为浮栅到漏端

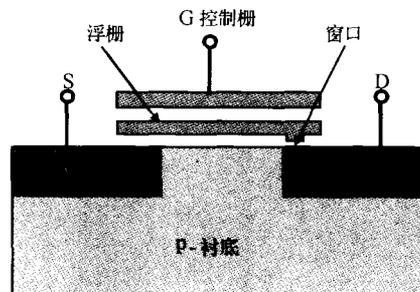


图 1 EEPROM 结构剖面图
Fig. 1 Section of EEPROM

* 国家自然科学基金(批准号: 60206006), 国家高技术研究发展计划(批准号: 2004AA1Z1070)和教育部重点科技研究计划(批准号: 104172)资助项目

[†] 通信作者. Email: szray@21cn.com
2005-11-18 收到, 2006-01-24 定稿

电容,浮栅到源端电容以及浮栅到衬底电容.在保持状态中,浮栅中的电荷产生了一个内部电场,经过长时间作用,加在浮栅上的电荷通过隧道氧化层产生 Fowler-Nordheim 隧穿,使得浮栅上的电荷发生缓慢泄漏,导致单元的阈值电压发生变化.由于在保持状态下,通过薄氧化层的 Fowler-Nordheim 隧穿电流是很小的,因此其阈值电压的退化非常缓慢.在本试验中,采用了电应力加速寿命试验来研究 EEPROM 的保持特性.

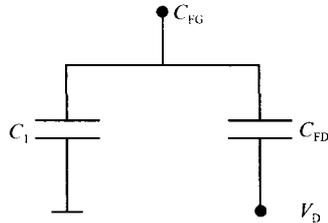


图 2 外接 V_D 加速电压后的等效电路图
Fig.2 Equivalent circuit with V_D added

F-N 隧穿产生的泄漏电流密度 J 与穿过氧化层窗口的电场强度 E 之间的关系为^[4]:

$$J = AE^2 \exp(-B/E) \quad (1)$$

$$E = \frac{V_D - V_F}{X_0} \quad (2)$$

其中 A 和 B 是常数; V_D 和 V_F 分别为漏端和浮栅上的电势; X_0 是氧化层窗口厚度.由图 2 可得: V_D 和 V_F 与浮栅上的电荷量的关系为:

$$V_F = \frac{C_{FD} V_D - Q(t)}{C_T} \quad (3)$$

$$Q(t) = Q(0) - P \int_0^t J(t) dt \quad (4)$$

其中 C_{FD} 是漏与浮栅之间电容; C_T 是浮栅上的总电容; P 是漏和浮栅之间薄氧化层窗口的面积.

对(4)式求导有:

$$\frac{dQ}{dt} = -PJ(T) \quad (5)$$

将(1)式代入(5)式,得

$$\frac{dQ}{dt} = -PAE^2 \exp(-B/E) \quad (6)$$

对(3)式两边求导并代入(6)式得

$$\frac{dV_F}{dt} = \frac{P}{C_T} AE^2 \exp(-B/E) \quad (7)$$

对(2)式两边求导整理后得:

$$\frac{dV_F}{dt} = -X_0 \frac{dE}{dt} \quad (8)$$

联立(7),(8)两式,消去 $\frac{dV_F}{dt}$,得到:

$$\frac{dE}{dt} = ME^2 \exp(-B/E) \quad (9)$$

其中 $M = -\frac{PA}{X_0 C_T}$.

(9)式为一个标准的微分方程,利用数学软件 MATLAB,得到其解并代入公式(1)~(4),最终解得:

$$V_T(t) = V_{T0} - (1 - \frac{C_{FD}}{C_T}) V_D + \frac{C_T}{C_{FG}} \times \frac{BX_0}{\ln[\frac{PABt}{C_T X_0} + \exp(H)]} \quad (10)$$

(10)式即为阈值电压与时间和漏端所加电压的解析关系式.

其中

$$H = \frac{BX_0}{[V_D(1 - \frac{C_{FD}}{C_T}) + (V_T(0) - V_{T0})] \frac{C_{FG}}{C_T}}$$

3 实验及结果分析

由于电路分析得到的公式比较复杂,而且不是线性解,在实际应用外推时比较困难,因此本文同时采用实验的方法来得到简化公式,试图通过得到的简单公式来阐述退化机理,外推保持寿命公式.

本次实验采用信息产业部 58 所 EEPROM 单元,剖面如图 1 所示,隧道孔面积为 $1.4\mu\text{m} \times 1.4\mu\text{m}$,沟道宽度 $W = 3.8\mu\text{m}$,沟道长度 $L = 5\mu\text{m}$,控制栅面积为 $7.4\mu\text{m} \times 11\mu\text{m}$,浮栅面积与隧道孔面积相同,控制栅与浮栅之间的氧-氮-氧层厚度为 18.5nm ;氧化层窗口厚度为 $8 \pm 0.5\text{nm}$.

电加速保持特性测试实验方案为首先给单元浮栅充电,之后在漏端加不同电压,记录阈值电压随时间的变化关系,得到一组曲线.设定阈值电压退化 10%即为单元失效,通过直接读取或者外推法得到单元电荷保持时间.

本文的实验采用图 3 所示的固定电流法得到器件的阈值电压,同时记录了单元写入后外加电压下输出特性和跨导的变化,如图 4,图 5 所示.

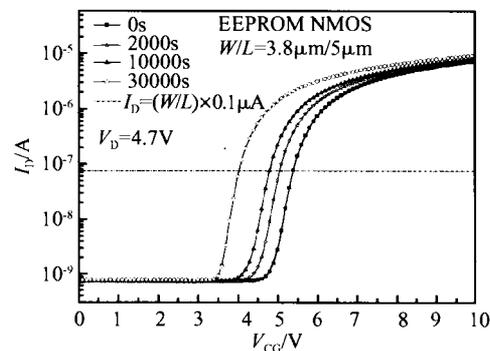


图 3 I_D-V_{CG} 随应力时间的变化

Fig.3 I_D-V_{CG} diversification with stress time

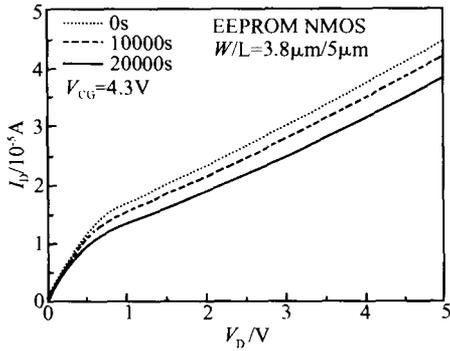


图 4 I_D - V_D 随应力时间的变化

Fig. 4 I_D - V_D diversification with stress time

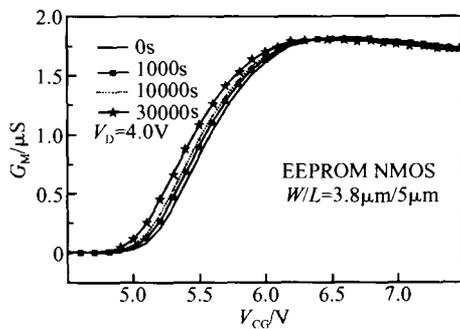


图 5 跨导随应力时间的变化

Fig. 5 G_M diversification with stress time

由图 3 可看到,随着应力时间的增加,阈值电压逐渐减小.这是由于电荷从浮栅上泄漏,其形成的自建电场减小,而这个电场在单元开启过程中起阻碍作用.因此形成固定电流 $I_D = (W/L) \times 0.1 \mu A$ 所需要的控制栅电压也相应减小.

由图 4 可以看到,随着应力时间的增加,输出特性曲线向上抬升.其机理同样可以用浮栅电荷的泄漏来解释.在初始状态,浮栅上电荷量最大,所形成的电场与 V_{CG} 上外加电压形成的电场抵消后,实际加在沟道上的电场最小;随着应力时间增加,浮栅上电荷泄漏,所形成的电场与 V_{CG} 抵消后加在沟道上的电场增大,因而曲线上抬.

由图 5 可以看到,随着应力时间的增加, G_M 最大值并没有变化,而是向左漂移.这说明随着应力时间的增加,浮栅上电荷逐渐泄漏,同等 V_{CG} 下形成的 I_D 电流增大,即 V_{CG} 对器件的控制能力增强.

实验得出,在外加 5V 的电压下,阈值电压退化比较迅速,近似为一条直线,如图 6 所示.由该图可以直接得到,在 575s 左右时,器件已经失效.而在外加 4.7~3.5V 电压时,阈值电压开始时迅速衰退,在 1000s 之后衰退减慢,采用双对数坐标,可以得到一条直线,标志着其阈值电压退化量随着外加电压的增加呈线性增大趋势,如图 7 所示.

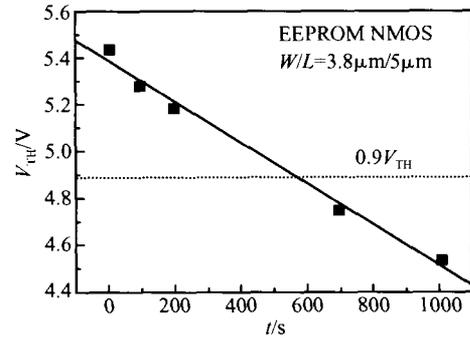


图 6 漏端加 5V 电压下的退化曲线

Fig. 6 V_{TH} degradation with $V_D = 5V$

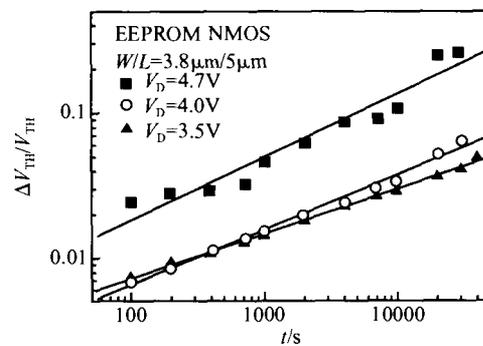


图 7 不同 V_D 下阈值电压退化曲线

Fig. 7 V_{TH} degradation with various V_D

由图 7 可以得到,阈值电压退化量与时间的关系满足公式:

$$\frac{\Delta V_{TH}}{V_{TH}} = At^n \quad (11)$$

由实验结果可以得到,阈值电压的退化曲线随着时间增加由陡峭转为平滑;对器件的保持特性影响最大的为外加电压,这与理论分析一致.在初始状态,浮栅上电荷量最大,其产生的电场与外加电压产生的电场相叠加,此时通过隧道氧化层泄漏的电流最大,阈值电压退化曲线较为陡峭.随着时间的增加,浮栅上电荷量逐渐减少,叠加电场随之减小,泄漏电流逐渐变小,阈值电压退化曲线转为平缓.

设阈值电压退化 10% 即为器件失效,则由实验结果以及公式 (11) 可以得到失效时间与外加漏端电压的关系,见表 1.

表 1 不同 V_D 下的失效时间

Table 1 Invalidation time with different V_D

V_D/V	失效时间/s
5.0	570
4.7	1226
4.5	4906
4.3	7189
4.0	74275
3.5	332720

将表 1 所示外加电压与器件失效时间代入单对数坐标系中,可以得到图 8 所示曲线.将其拟合后经计算得出,外加电压 V_D 小于 1.4V 时,器件数据即可保持 10 年.在理想状态下($V_D = 0V$),即使在最坏条件下(退化率设为最大),器件寿命也远大于 10 年,完全满足工作需要.

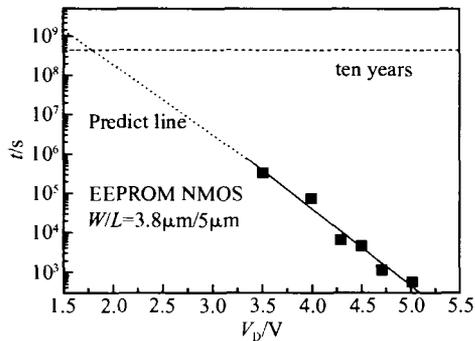


图 8 外加电压 V_D 与寿命关系

Fig. 8 Relationship between V_D and life time

4 结论

本文通过电路分析,得到 EEPROM 单元电荷保持特性方程,并通过实验得到单元的电学特性.可以看到,由于浮栅上电荷的泄漏,器件的输出特性、

转移特性以及跨导都会有相应的漂移,在双对数坐标下,阈值电压的退化率与时间成线性关系.通过实验曲线外推得出简化了的电荷保持公式,并可由此预测理想状态下 EEPROM 单元的保持特性.

参考文献

- [1] Nkansah F D. Technology and reliability of sub-micron 1T-flash EEPROM. UMI Number: 9995534. Bell&Howell Information and Learning Company, 2001; 2
- [2] Modelli A. Reliability of thin dielectric for non-volatile applications. Microelectron Eng, 1999, 48: 403
- [3] Sweetman D. Reliability of reprogrammable nonvolatile memories. Int'l NonVolatile Memory Technology Conference, 1998; 102
- [4] Yu Zongguang, Hao Yue. Electrically re-programmable nonvolatile memory. Beijing: National Defence Industry Publishing Company, 2002; 158 (in Chinese) [于宗光,郝跃.电可改写非挥发存储器.北京:国防工业出版社, 2002; 158]
- [5] De Salvo B, Ghibaudo G, Pananakakis G, et al. Experimental and theoretical investigation of nonvolatile memory data-retention. IEEE Trans Electron Devices, 1999, 46(7): 1518
- [6] Wang S T. Charge retention of floating-gate transistors under applied bias conditions. IEEE Trans Electron Devices, 1980, 27(1): 297
- [7] Janai M, Eitan B, Shappir A, et al. Data retention reliability model of NROM nonvolatile memory products. IEEE Trans Device Mater Reliab, 2004, 4(3): 404

Data Retention in EEPROM Cells*

Cheng Wei[†], Hao Yue, Ma Xiaohua, and Liu Hongxia

(Key Laboratory of the Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices, Microelectronics Institute, Xidian University, Xi'an 710071, China)

Abstract: We present a theoretical and experimental investigation of the data retention ability of EEPROM cells at a given voltage. An expression for EEPROM data retention is derived. The electrical characteristics are presented. The result shows that the data retention time varies linearly with the applied voltage in a log-log plot. Under the assumption that the charge loss mechanism is Fowler-Nordheim tunneling through the thin oxide, the data retention time of EEPROM cells is derived, and the experience formula is checked by experiment.

Key words: EEPROM; charge retention; threshold voltage; Fowler-Nordheim

PACC: 7340Q; 7300; 7220J

Article ID: 0253-4177(2006)07-1290-04

* Project supported by the National Natural Science Foundation of China (No. 60206006), the National High Technology Research and Development Program of China (No. 2004AA1Z1070), and the Key Technology Research Program of the Chinese Ministry of Education (No. 104172)

[†] Corresponding author. Email: szray@21cn.com

Received 18 November 2005, revised manuscript received 24 January 2006

©2006 Chinese Institute of Electronics