



合肥工业大学  
Hefei University of Technology

# 集成电路版图设计 IC layout design

[www.docin.com](http://www.docin.com)

## 第六章 寄生参数

---

- 寄生电容

- 寄生电阻

- 寄生电感

- 器件的寄生参数

www.docin.com

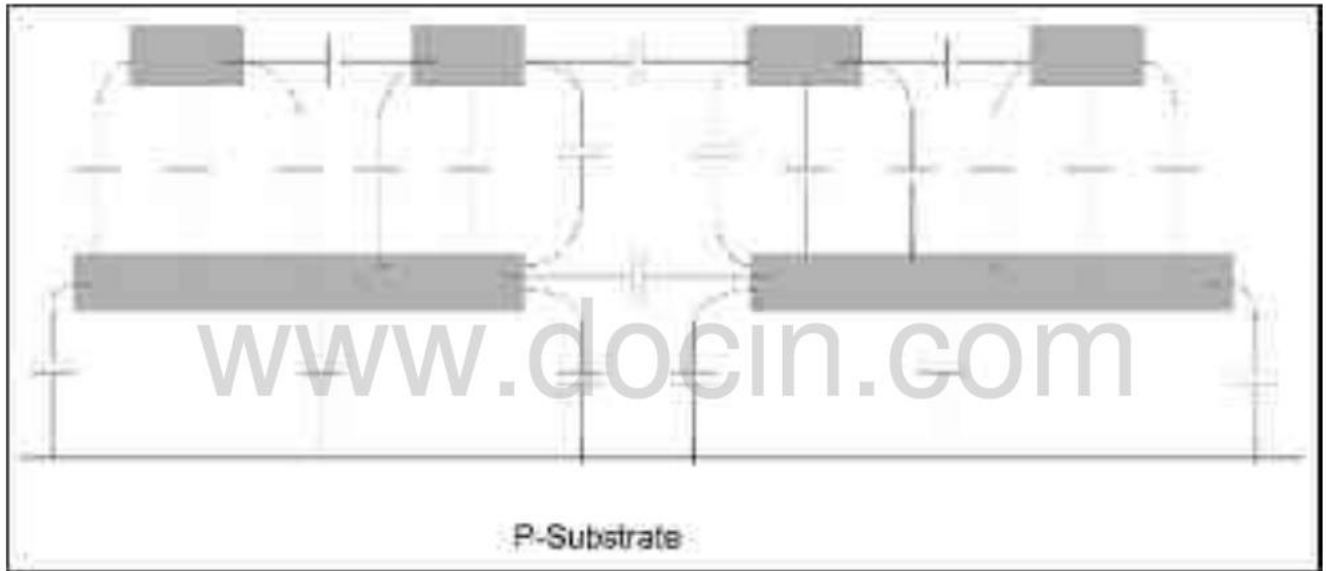
## 寄生电容

---

- 三种主要的寄生参数：
  - 寄生电容
  - 寄生电阻
  - 寄生电感
- **parameter scaling:**
  - **conductances and capacitances scale linearly with width** (“widening a wire leads to *less than a proportional increase in capacitance*, but *a proportional reduce in resistance*, so the *RC delay product improves.*” “P219, CMOS VLSI”)
  - **resistances scale inversely with width**
  - **interconnects introduce extra resistance, capacitance, and delay, degrade of large device performance!**

## 寄生电容

- 导线之间（同层/不同层）、导线与衬底之间都存在平面电容；上层导线到下层导线、下层导线到衬底之间存在边缘电容。



**Capacitance is everywhere.**

## 寄生电容

---

- 由于尺寸很小，因此这些寄生参数的值也很小。  
对于对电容不敏感的电路，不必担心；  
不管是**CMOS**还是双极型，只要涉及高频，寄生会成为问题。
- *忽略寄生参数会毁掉你的芯片。*
- 减少寄生电容的方法：  
导线尽可能短  
采用电容最低的金属层  
绕过电路走线

## 寄生电容

- 减少寄生电容的方法 - 选择金属层
- 起主要作用的电容通常是导线与衬底间的电容。
- 如下图，寄生参数可以把电路**1**的噪声通过衬底耦合到电路**2**，所以要设法使所有的噪声都远离衬底。



## 寄生电容

### ■ 减少寄生电容的方法 - 选择金属层

- 可以通过改变金属层来获得较小的至衬底的电容，通常最高金属层所形成的电容总是最小的。
- 另外值得注意的是并不是所有工艺的最高层金属与衬底产生的寄生电容都最小，它还与金属层的宽度等其它因素有关。有些工艺中或许是 **M2**对地的电容要比 **M4**的对地电容大，所以我们不能只凭直觉来判断，一定要通过具体的计算来确认。

<b>Metal</b>	<b>M1</b>	<b>M2</b>	<b>M3</b>	<b>M4</b>
<b>Min. Width</b>	<b>0.8</b>	<b>0.8</b>	<b>2.4</b>	<b>6.5</b>
<b>Cap/Unit Area</b> <b>(fF/um<sup>2</sup>)</b>	<b>5</b>	<b>3</b>	<b>2.5</b>	<b>1.5</b>
<b>Cap 10um wire</b>	<b>40</b>	<b>24</b>	<b>66</b>	<b>97.5</b>



## 寄生电容

---

- **减少寄生电容的方法 - 选择金属层**
- **Modern processes have six or more metal layers.**
- **The lower layers are thin and optimized for a tight routing pitch.**

**Middle layers are often slightly thicker for lower resistance and better current-handling capability.**

**Upper layers may be even thicker to provide a low-resistance power grid and fast global interconnect.**

Layer	Purpose
<b>Metal 1</b>	<b>Interconnect within cells</b>
<b>Metal 2/3</b>	<b>Interconnect between cells within units</b>
<b>Metal 4/5</b>	<b>Interconnect between units, critical signals</b>
<b>Metal 6</b>	<b>I/O pads, clock, power, ground</b>



## 寄生电容

---

- 减少寄生电容的方法 - 选择金属层
- widening a wire leads to less than a proportional increase in capacitance, but a proportional reduce in resistance, so the RC delay product improves.
- Widening wires also increase the fraction of capacitance of the top and bottom plates, which somewhat reduces coupling noise from adjacent wires.
- Increasing spacing between wires reduces capacitance to the adjacent wires and leaves resistance unchanged. This improve the RC delay to some extent and significantly reduces coupling noise.

# 寄生电容

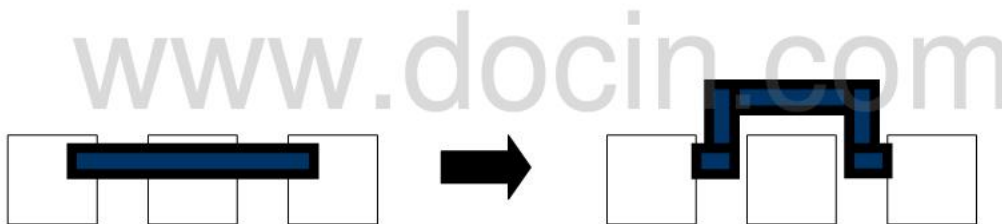
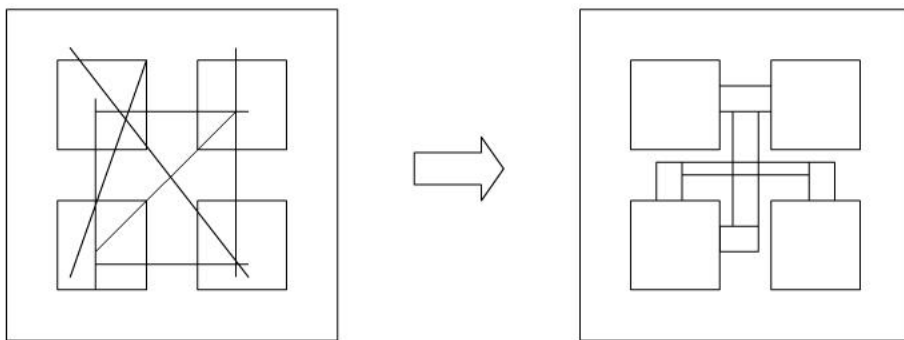
---

## ■ 减少寄生电容的方法 - 绕过电路走线

- 在某些电路的上面布金属线,这是在数字自动布局布线中经常会遇到的情况。各层金属相互交叠,所以在反相器、触发器等都存在寄生电容。如果不加以干预的话,只是由布线器来操作,那么就有可能毁了你的芯片。
- 在模拟电路版图设计中,我们经常会人为的将敏感信号隔离开来,尽量避免在敏感电路上面走线,而只是将金属线走在电路之间,这样寄生的参数就小一些且相对容易控制。
- 在数字版图中, **90%**的导线一起布置,不必关心它们的功能;
- 而在模拟版图中,对于某些功能可以不在乎寄生电容,而另一些必须注意。

# 寄生电容

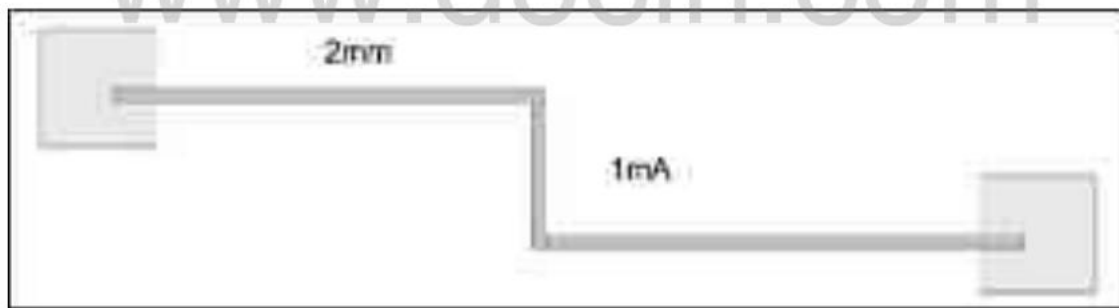
## ■ 减少寄生电容的方法 - 绕过电路走线



www.docin.com

## 寄生电阻

- 通过电流密度可以选择导线宽度，电流大小影响单元间的布线方案。
- 翻开工艺手册，我们经常能看到每层金属线能够承载的电流。通过这个参数我们可以计算所需要的金属层宽度。例如，有一根信号线需要承载 **1毫安** 的电流，而工艺手册注明每微米可以走 **0.5毫安** 的电流，那么这根金属层的宽度至少要**2微米**。



## 寄生电阻

---

- **IR压降:**
- 假设导线的方块电阻 **$R_{sq}$** 是 **$0.05\Omega$** , 则

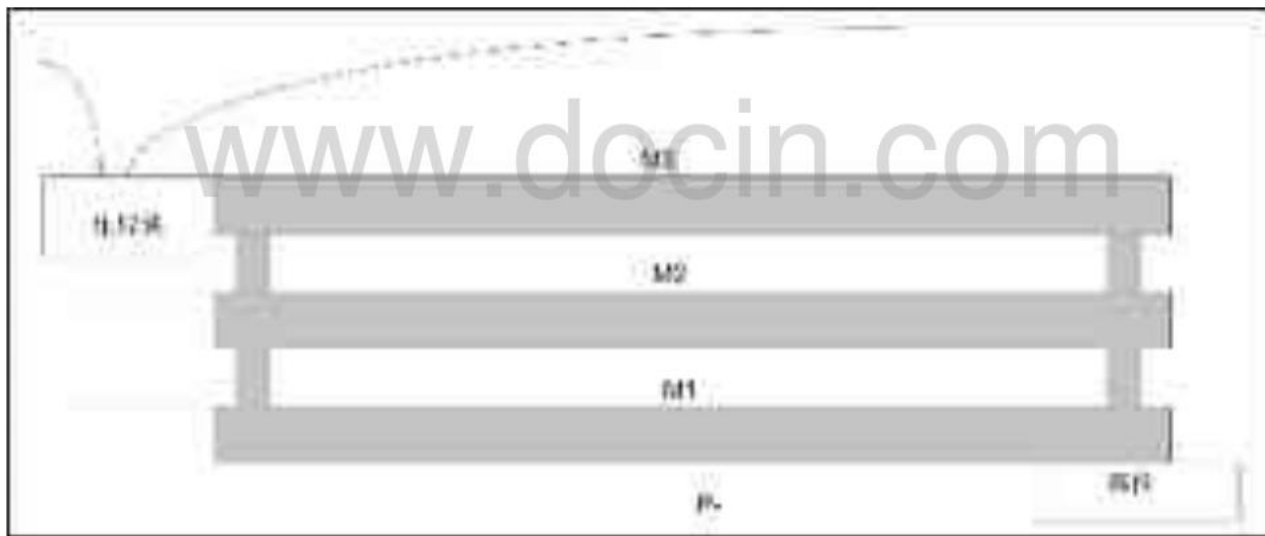
$$\begin{aligned}R &= R_{sq} * L / W \\ &= 0.05\Omega * (2\text{mm} / 2\mu\text{m}) \\ &= 50 \Omega\end{aligned}$$

$$V = IR = 50\Omega * 1\text{mA} = 50 \text{ mV}$$

所以计算得知电压为**50**毫伏。它对于一个电压非常敏感的电路来讲就会有有很大的影响。如果这条导线的压降不能超过**10**毫伏, 显然这个设计就是失败的。所以这就意味着我们必须增加导线宽度才能满足这一要求。

## 寄生电阻

- 为了降低寄生电阻，就需要确保使用最厚的金属层。正如我们了解的，一般情况下，最厚的金属线具有最低的方块电阻。如果遇到相同的金属层厚度，也可以将这几条金属重叠形成并联结构，大大降低了电阻。因此，并联布线是降低大电流路径电阻的有效方法，而且还能节省一定的面积。





## 寄生电感

---

- 当电路是在一个真正的高频的情况下工作时，导线也开始存在了电感效应。解决寄生电感的方法就是试着去模拟它，把它当成电路中的一部分。
- 首先需要尽早的完成布局，好让电路设计者较早的看到导线究竟能有多长，然后估计出可能引起的电感。版图设计过程中尤其注意不要因为电感耦合而影响其它部分。

### 能否利用寄生参数？

- 从整体来说，不可以利用寄生参数得到好处。  
因为寄生参数可以正负相差**50%**，无法很好地控制。  
然而，可以利用寄生参数得到一点小外快。如把电源线和地线互相层叠起来就可以得到免费的电源去耦电容。



# 器件的寄生参数

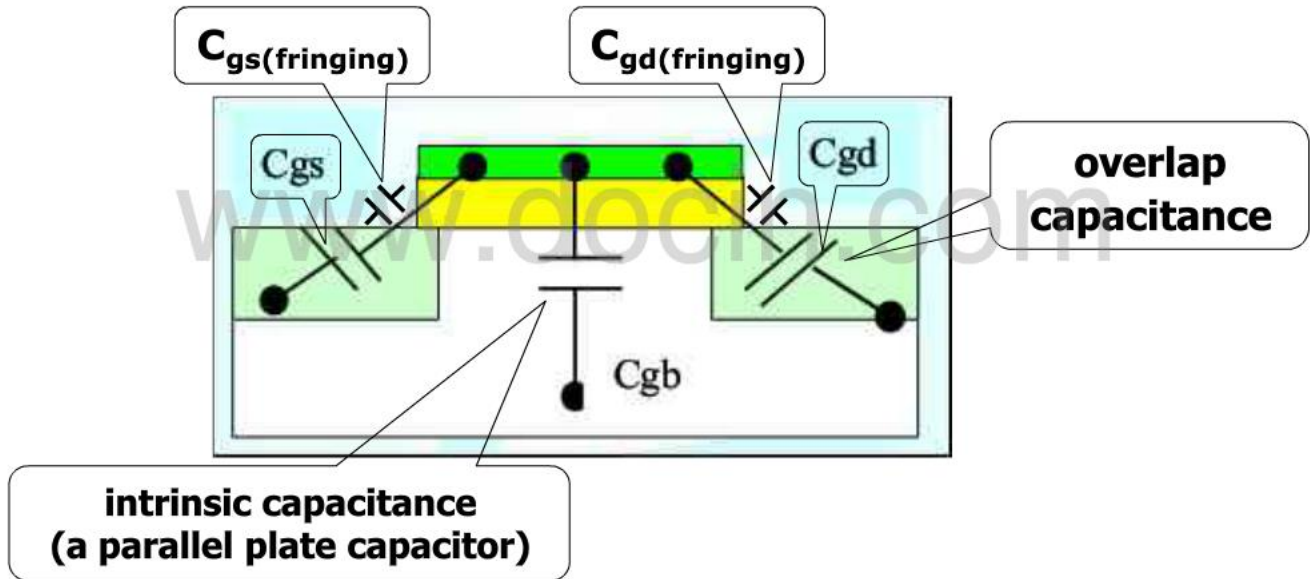
## ■ CMOS晶体管

- **MOS**器件本身存在两种电容：栅电容和扩散电容。

**栅电容：** 平行板电容： $C_{gb} = C_{unit/area} \times A$

源漏交叠电容： $C_{gs}$ 、 $C_{gd}$

总的栅电容： $C_g = C_{gb} + C_{gs} + C_{gd}$



## 器件的寄生参数

- CMOS晶体管 - 栅电容:
- $C_{gb}$  is necessary to attract charge to invert the channel, so high gate capacitance is required to obtain high  $I_{ds}$ .

$$C_{gb} = C_{ox} * WL = C_{permicron} * W$$

$$C_{permicron} = C_{ox} * L = (\epsilon_d / t_{ox}) * L$$

(  $C_{permicron}$  has a value of about 1.5~2fF/ $\mu$ m of gate width )

parameter	cutoff	linear	saturation
$C_{gb}$	$C_0 = C_{ox} * WL$	0	0
$C_{gs}$	0	$C_0/2$	$2C_0/3$
$C_{gd}$	0	$C_0/2$	0
$C_g = C_{gb} + C_{gs} + C_{gd}$	$C_0$	$C_0$	$2C_0/3$

## 器件的寄生参数

---

- CMOS晶体管 - 栅电容: 边缘交叠电容
- The gate also has *fringing fields* terminating on the source and drain, this leads to *addition overlap capacitance*, called " *$C_{gs}(\text{fringing})$  /  $C_{gd}(\text{fringing})$* ".

$$\begin{cases} C_{gs}(\text{fringing}) = C_{gsfr} * W \\ C_{gd}(\text{fringing}) = C_{gdfr} * W \end{cases}$$

- Comparing to a *long channel* nMOS transistor, we can find that  *$C_{gd}$  does not go to 0* in saturation of a *shorter channel* transistor, because the fringing overlap component  *$C_{gd}(\text{fringing})$  is significant*. The fringing overlap capacitance becomes relatively more important for shorter channel transistors because it is a large fraction of the total.

## 器件的寄生参数

---

- **CMOS**晶体管

- **MOS**器件本身存在两种电容：栅电容和扩散电容。

**扩散电容**：扩散电容主要是由源、漏扩散区与衬底或阱之间形成的**PN**结电容。由两部分组成：扩散区底面结电容和边缘电容。

$$C_{db} = C_{jbs} * (ab) + C_{jbsw} * (2a+2b)$$

其中， **C<sub>jbs</sub>**：每平方um的结电容

**C<sub>jbsw</sub>**：每um的边缘电容

**a、b**：扩散区的宽度和长度

## 器件的寄生参数

- **CMOS晶体管 - 扩散电容:**
- **Because the depletion region thickness depends on the reverse bias, these parasitics are nonlinear, The area junction capacitance term is:**

$$C_{jbs} = C_j(1 + V_{sb}/\Phi_0)^{-M_j}$$

**M<sub>j</sub>: junction grading coefficient, 0.33~0.5** (梯度因子)

**C<sub>j</sub>: the junction capacitance at 0 bias**

**Φ<sub>0</sub>: built-in potential, equals to  $(kT/q)\ln(N_A N_D/n_i^2)$**   
(PN结内建势垒)

**n<sub>i</sub>: intrinsic carrier concentration** (发射系数)

- **and the sidewall capacitance term is of a similar form:**

$$C_{jbssw} = C_{jsw}(1 + V_{sb}/\Phi_0)^{-M_{jsw}}$$



## 器件的寄生参数

---

- CMOS晶体管 - 扩散电容:

- ***Cdb* and *Csb* are not fundamental to operation of the devices, but do impact circuit performance and hence are called parasitic capacitors, also called diffusion capacitors.**

***The size of the two junctions depends on the area and perimeter of the diffusion, the doping levels, the depth of the diffusion, and the voltage.***

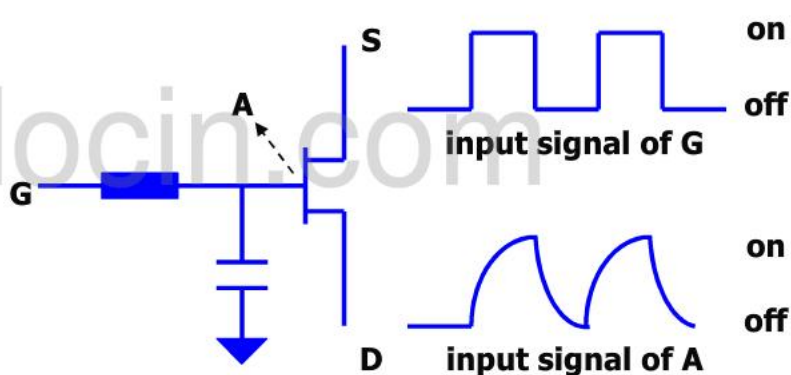
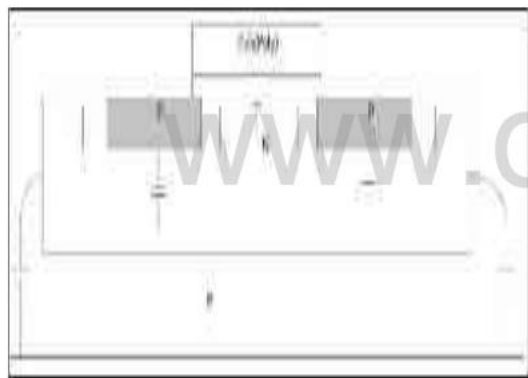
**As diffusion has both high capacitance and high resistance, it is generally made as small as possible in the layout.**

- **For the purpose of hand estimation, you can observe that the diffusion capacitance *Cdb*, *Csb* of source and drain regions is comparable to the gate capacitance *Cg*, e.g.,  $Cg = Cdb = Csb = 1.5 \sim 2 \text{ fF}/\mu\text{m}$  of gate width.**

# 器件的寄生参数

## ■ CMOS晶体管

- 对于处于N阱中的**PMOS**晶体管，当源或漏上的电压发生变化时，阱电容会使这一变化变慢。当有一个电压加到栅上时，栅电容会使它变慢。多晶硅栅的串联电阻与栅电容一起形成了一个 **RC** 时间常数，它使器件进一步变慢。几乎器件的每一个部分都有某种电容以某种方式使器件的操作变慢。

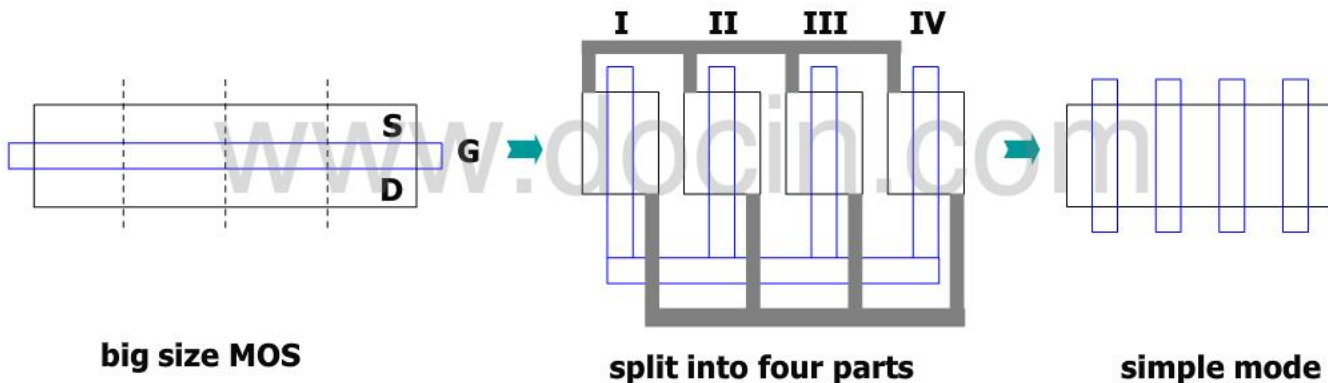




# 器件的寄生参数

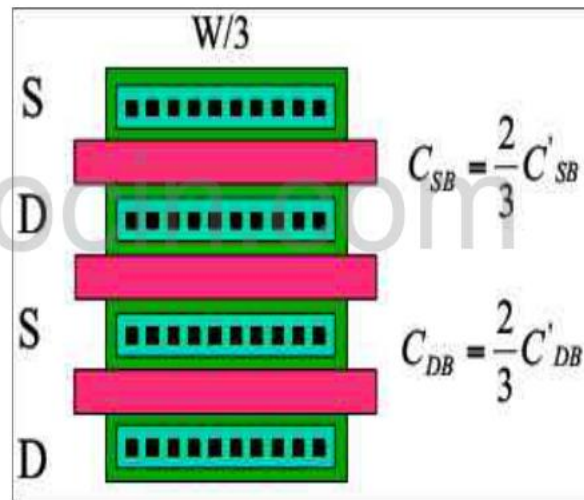
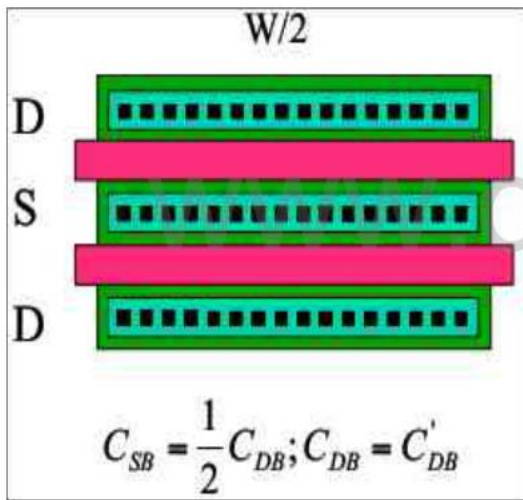
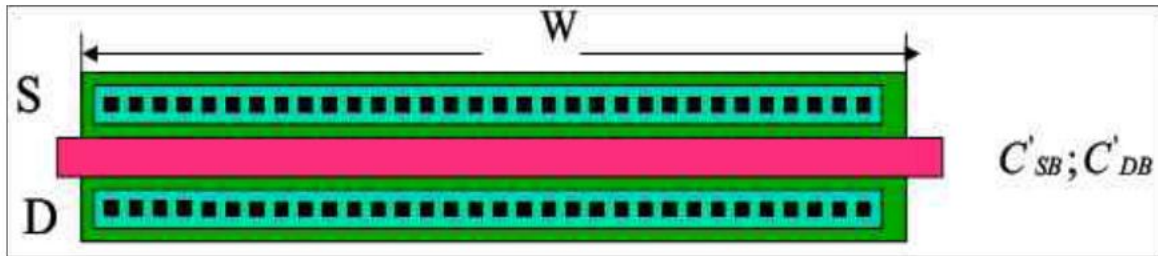
## ■ CMOS晶体管

- 减少 **CMOS** 器件寄生参数的技术就是减少栅的串联电阻。任何其它在内的寄生参数是没有办法改变的。如果我们降低了多晶硅栅的串联电阻,就降低了 **RC** 时间常数,从而改善了器件的速度。我们可以通过把多晶硅栅分成多个“指状”结构,然后用导线将它们并联起来以降低电阻。



# 器件的寄生参数

- CMOS晶体管 – use of multiple fingers



## 器件的寄生参数

---

### CMOS闩锁效应及其预防

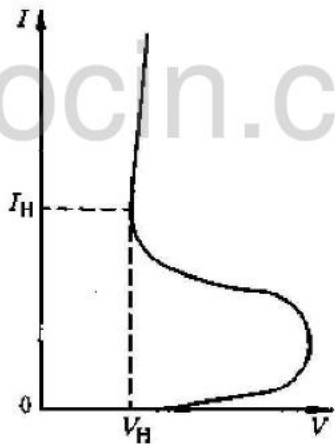
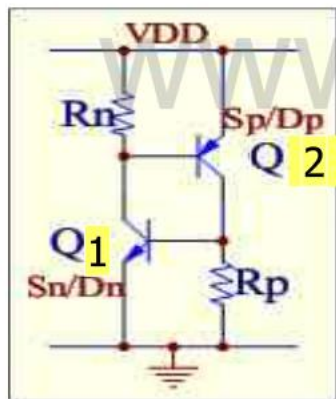
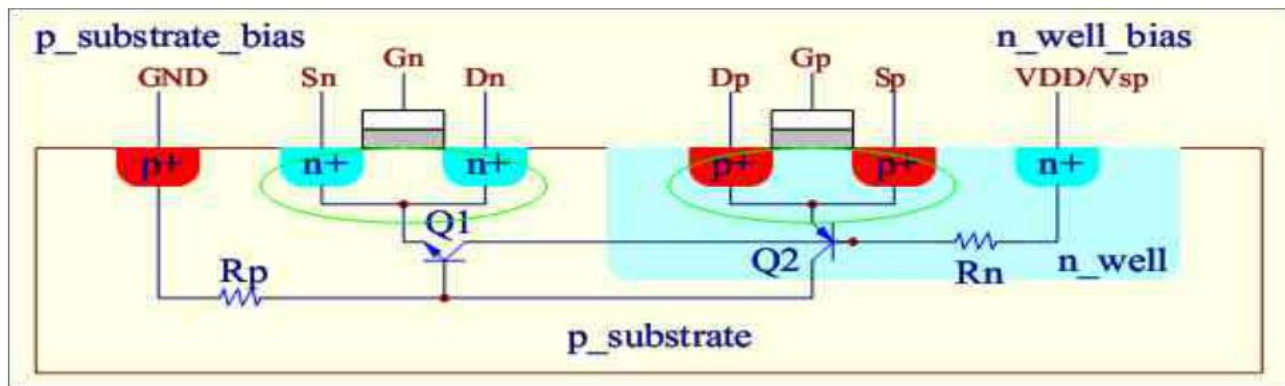
- 在 **CMOS** 电路中 **PMOS** 和 **NMOS** 经常作互补晶体管使用，它们相距很近，可以形成寄生可控硅结构，一旦满足触发条件，将使电路进入**低压大电流**的状态，这就是闩锁效应。  
造成电路功能的混乱，使电路损坏。

### 产生闩锁效应的条件

- 1. 环路电流增益大于 **1**，即  $\beta_{npn} * \beta_{pnp} \geq 1$ ；
- 2. 两个 **BJT** 发射结均处于正偏；
- 3. 电源提供的最大电流大于 **PNPN** 器件导通所需维持电流  $I_H$ 。

# 器件的寄生参数 - CMOS闩锁效应及其预防

## N阱CMOS工艺中的典型PNPN可控硅结构及其等效电路



## 器件的寄生参数 - CMOS闩锁效应及其预防

- 潜在的发射极(结):
- 绿色标出区域是潜在的发射极(结)，当这些MOSFET作为I/O器件时，由于信号的大于VDD的overshoot，可能使PMOS的源/衬结、漏/衬结和沟道中感应的纵向PN结(这些都是纵向寄生PNP BJT的发射结)正偏而发射空穴到N阱中，接着在N阱和衬底的PN结内建电场的驱动下，漂移进入P衬底，最终可能被横向寄生NPN BJT吸收而形成强耦合进入latch状态；同理，由于信号的小于GND的undershoot，可能使NMOS的源/衬结、漏/衬结和沟道中感应的纵向PN结(这些都是横向寄生NPN BJT的发射结)正偏而发射电子到P衬底中，接着在N阱和衬底的PN结内建电场的驱动下，漂移进入N阱，最终可能被纵向寄生PNP BJT吸收而形成强耦合进入latch状态。
- 另外还有两种情形可能向衬底或N阱注入少数载流子，一，热载流子效应；二，ESD保护，前者可采用加大沟道长度的方法解决，后者可采用在版图追加少数载流子保护环的方法来解决。



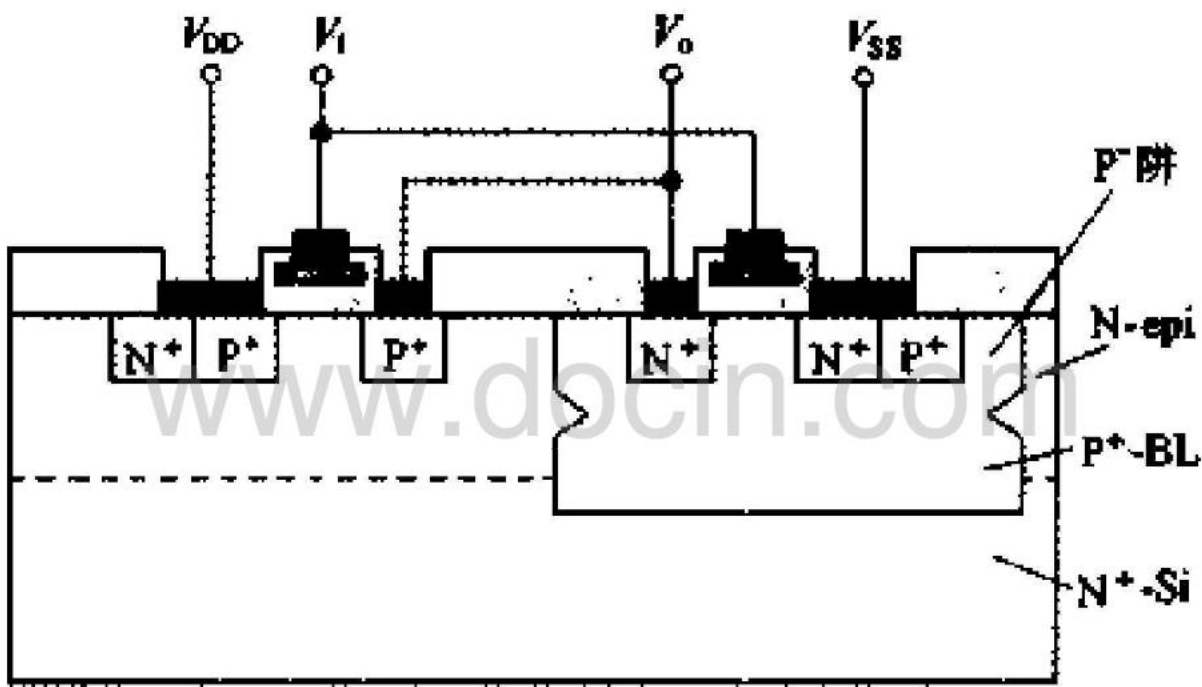
# 器件的寄生参数 - CMOS闩锁效应及其预防

## 预防措施 - 一、工艺技术预防措施

- 为了有效地降低 $\beta_{nnp}$ 和 $\beta_{pnp}$ ，提高抗自锁的能力，要注意扩散浓度的控制。对于横向寄生PNP管，保护环是其基区的一部分，施以重掺杂可降低其 $\beta_{pnp}$ ；对于纵向寄生NPN管，工艺上降低其 $\beta_{nnp}$ 有效的办法是采用深阱扩散，来增加基区宽度。
- 为了降低 $R_n$ ，可采用倒转阱结构，即阱的纵向杂质分布与一般扩散法相反，高浓度区在阱底；
- 为了降低 $R_p$ ，可采用N<sup>+</sup>\_si上外延N<sup>-</sup>作为衬底，实验证明用此衬底制作的CMOS电路具有很高的抗自锁能力。
- 如果采用下图所示的外延埋层CMOS电路(EBL CMOS IC)，由于衬底材料浓度很高，使寄生PNP管的横向电阻 $R_s$ 下降；又因为阱下加入P<sup>+</sup>埋层，使阱的横向电阻 $R_w$ 和 $\beta_{nnp}$ 大大下降，从而大大提高电路的抗自锁能力。

# 器件的寄生参数 - CMOS闩锁效应及其预防

## 预防措施 - 一、工艺技术预防措施





# 器件的寄生参数 - CMOS闩锁效应及其预防

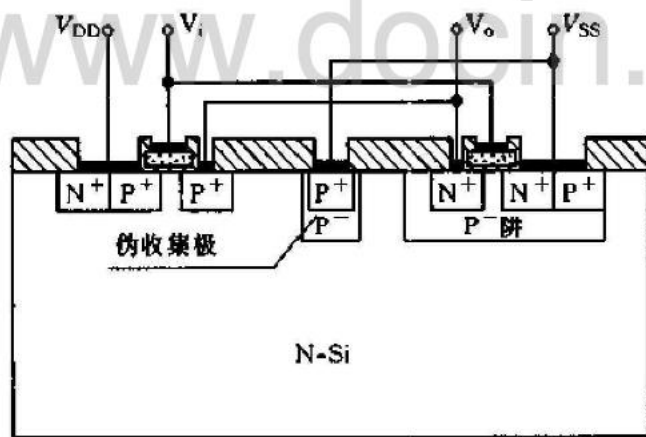
## 预防措施 - 二、版图布局设计预防措施

1. 吸收载流子，进行电流分流，避免寄生双极晶体管的发射结被正偏。

### 1.1 “少数载流子保护环”：

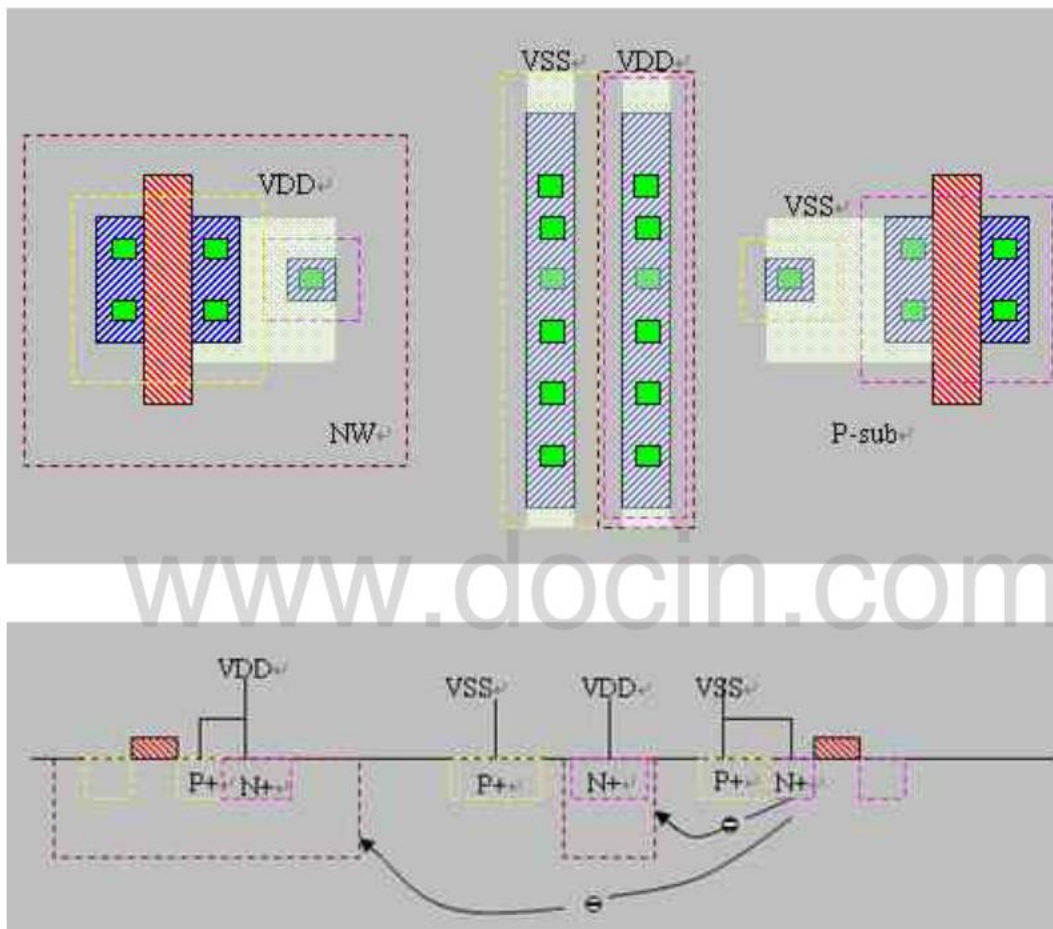
即伪收集极，收集发射极注入衬底的少数载流子。形式有：

- a. 位于P衬底上围绕NMOS的被接到VDD的N+环形扩散区；
- b. 或位于P衬底上围绕NMOS的被接到VDD的环形N阱。



采用伪收集极的反相器剖面图

# 器件的寄生参数 - CMOS 闩锁效应及其预防



# 器件的寄生参数 - CMOS闩锁效应及其预防

## 预防措施 - 二、版图布局设计预防措施

1. 吸收载流子，进行电流分流，避免寄生双极晶体管的发射结被正偏。

### 1.2 “衬底接触环”：

#### 形式：

若采用普通 **CMOS** 工艺，它是位于芯片或某个模块四周的被接到地电平的 **P+** 环形扩散区；

若采用外延 **COMS** 工艺，除了以上说明的以外，还包括晶圆背面被接到地电平的 **P+** 扩散区。

#### 作用：

收集 **P** 衬底中的空穴，进行电流分流，减小 **P** 衬底中潜在的横向寄生 **NPN BJT** 发射结被正偏的几率。

# 器件的寄生参数 - CMOS闩锁效应及其预防

## 预防措施 - 二、版图布局设计预防措施

2. 减小局部 **P**衬底（或**N**阱衬底）的电阻**R<sub>n</sub>**和**R<sub>p</sub>**，使**R<sub>n</sub>**和**R<sub>p</sub>**上的电压降减小，避免寄生双极晶体管的发射结被正偏。

### 2.1 “多数载流子保护环”：

**形式：**

位于**P**衬底上围绕**NMOS**最外围被接到地的**P+**环形扩散区；  
位于**N**阱中围绕**PMOS**最外围的被接到 $V_{DD}$ 的**N+**环形扩散区。

**【注：为节省面积，多数载流子保护环常合并到衬底偏置环】**

**作用：**

**P**衬底上围绕**NMOS**最外围的**P+**多数载流子保护环用来吸收

外来的（比如来自 **N** 阱内的潜在发射结）空穴；

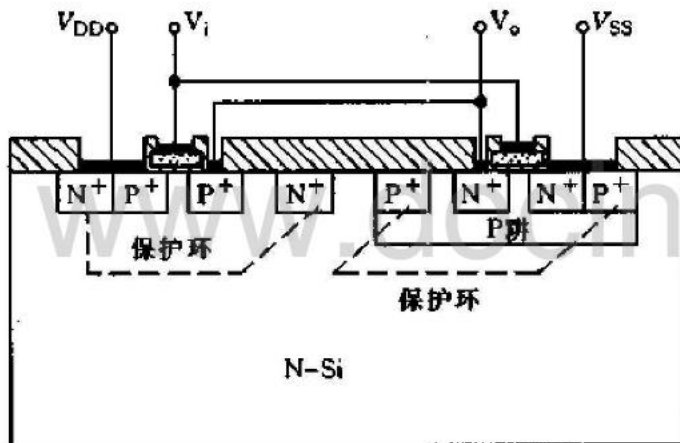
**N** 阱中围绕**PMOS** 最外围的**N+**多数载流子保护环用来吸收外来的（比如来自**N**阱外的潜在发射结）电子。

# 器件的寄生参数 - CMOS闩锁效应及其预防

## 预防措施 - 二、版图布局设计预防措施

2. 减小局部 **P**衬底（或**N**阱衬底）的电阻 $R_n$ 和 $R_p$ ，使 $R_n$ 和 $R_p$ 上的电压降减小，避免寄生双极晶体管的发射结被正偏。

### 2.1 “多数载流子保护环”：





# 器件的寄生参数 - CMOS闩锁效应及其预防

## 预防措施 - 二、版图布局设计预防措施

2. 减小局部 **P**衬底（或**N**阱衬底）的电阻**R<sub>n</sub>**和**R<sub>p</sub>**，使**R<sub>n</sub>**和**R<sub>p</sub>**上的电压降减小，避免寄生双极晶体管的发射结被正偏。

### 2.2 “多条阱接触”：

#### 形式：

一般用 **N** 阱内多数载流子保护环代替，而为了节省面积，多数载流子保护环又常常合并到衬底偏置环，所以多条阱接触实际上常常由衬底偏置环来代替。

#### 作用：

减小**N**阱内不同位置之间的电压降，减小**N**阱内潜在的纵向寄

生**PNP BJT**发射结被正偏的几率。

- 2.3 增加与电源线和地线的接触孔，加宽电源线和地线，以减小电压降。



# 器件的寄生参数 - CMOS闩锁效应及其预防

---

## 预防措施 - 二、版图布局设计预防措施

### 3. 提高 **PNPN** 可控硅结构的维持电流。

“紧邻源极接触”：

**形式：**（假定 **MOSFET** 源衬相连）

用金属层把 **NMOS** 的源极和紧邻的 **P** 衬底偏置环相连；

用金属层把 **PMOS** 的源极和紧邻的 **N** 阱衬底偏置环相连。

**作用：**

提高 **PNPN** 可控硅结构的维持电流和维持电压，减小 **PNPN** 可控硅结构被触发的几率。

# 器件的寄生参数 - CMOS闩锁效应及其预防

## 预防措施 - 二、版图布局设计预防措施

### 4. 减小横向寄生双极管的电流增益。

增大 **NMOSFET** 的源、漏极与含有纵向寄生 **PNP BJT** 的 **N**阱之间的距离，加大横向寄生 **NPN BJT** 的基区宽度，从而减小  $\beta_{npn}$ 。该措施的缺点是要增大版图面积。

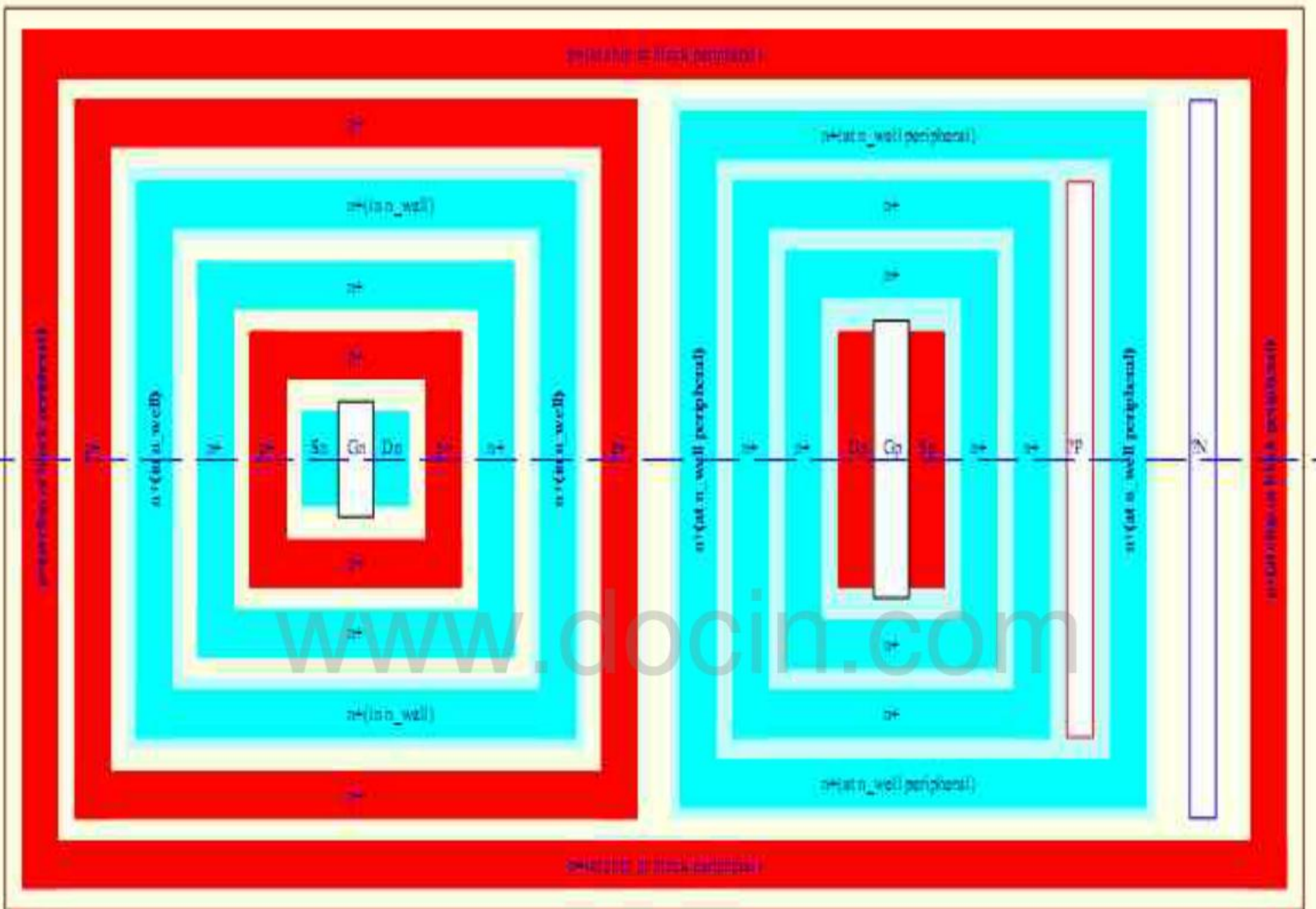
### 5. 任何潜在发射极（结）的边缘都需要追加少数载流子保护环，以提前吸收注入衬底的少数载流子。

比如：**ESD**保护二极管和**I/O**器件的周围都需要布局少数载流子保护环。

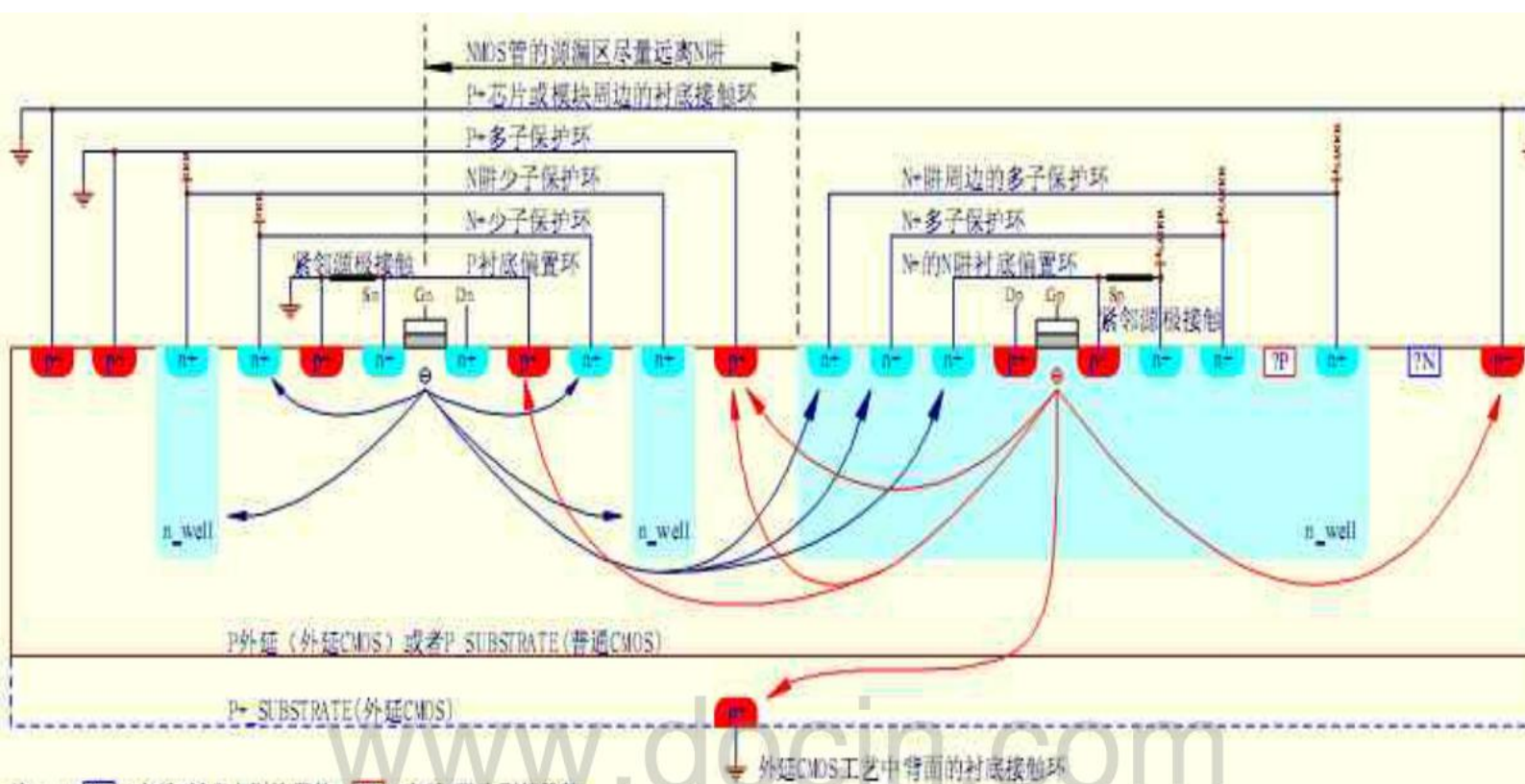
在某些场合，为避免电磁干扰（尤其是变化磁场的干扰），这些保护环需要留有必要的开口，不可闭合。

为了节省面积，这些保护环不一定要闭合，只要达到有效吸收相关载流子的目的即可。

### 6. 根据实际需要，这些措施可以有选择地使用。



N阱CMOS工艺闩锁效应版图布局设计预防措施俯视示意图



注：1.  $\boxed{?N}$  :表示P衬底上别的器件； $\boxed{?P}$  :表示N阱内别的器件。

2. 为节省面积，可以把NMOS最外围的P+多子保护环和P+的P衬底偏置环合并，省去最外围的P+多子保护环。
3. 为节省面积，可以在NMOS周围的N+少子保护环和N阱少子保护环中选其一。
4. 由于N阱较深，所以N阱少子保护环的保护效果较好，但面积较N+少子保护环稍大。
5. 为节省面积，可以把PMOS周围的N+多子保护环和N+的N阱衬底偏置环合并。
6. 在某些场合，为预防电磁感应造成的干扰，图中的保护环应该预留开口。

**N阱CMOS工艺闩锁效应版图布局设计预防措施剖面示意图**

## 器件的寄生参数 - CMOS闩锁效应及其预防

**pn结收集电子/空穴的能力（如BJT的集电极）：**

与**pn结**接触所形成的耗尽区电场分布有关。

内建电势  $V_{bi} = (kT/q) \ln(N_A N_D / n_i^2)$

耗尽区宽度  $W = (2\epsilon_s V_{bi} / q N_D)^{1/2} (N_A \gg N_D)$

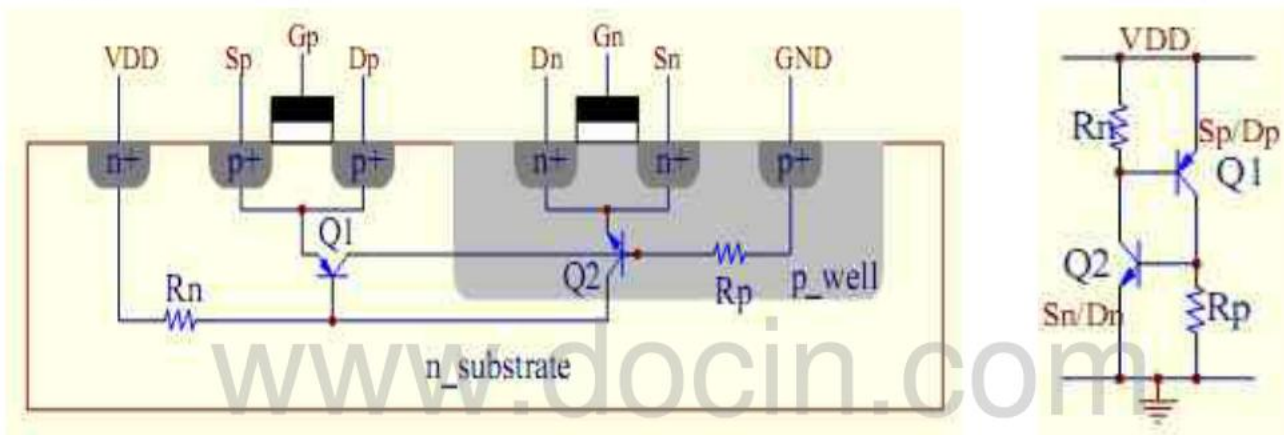
最大电场  $E_m = q N_D W / \epsilon_s (N_D \text{是轻参杂的浓度})$



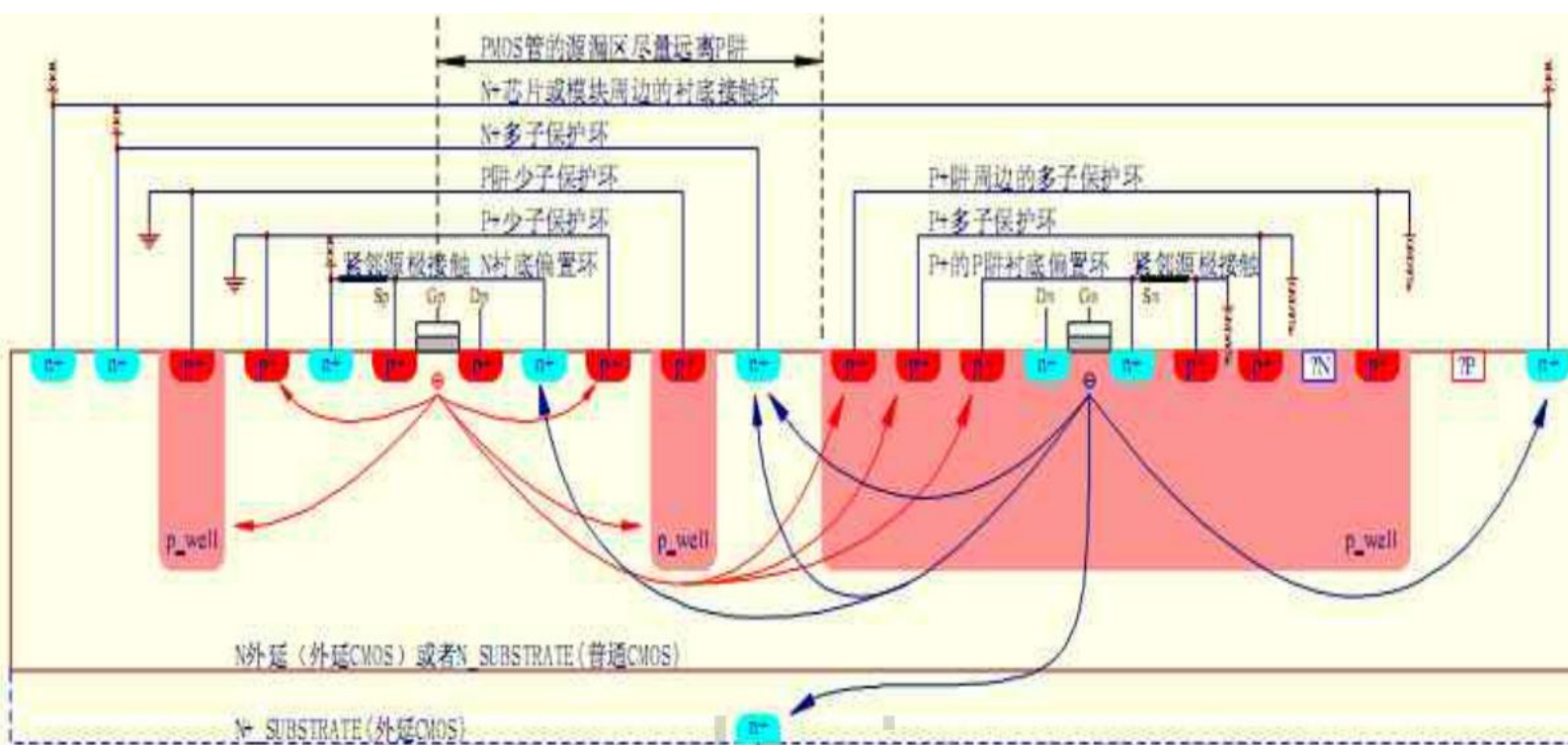


# 器件的寄生参数 - CMOS闩锁效应及其预防

## P阱CMOS工艺中的典型PNPN可控硅结构及其等效电路







注：1. [?N] :表示P阱内别的器件； [?P] :表示N衬底上别的器件。

2. 为节省面积，可以把PMOS最外围的N+多子保护环和N+的N衬底偏置环合并，省去最外围的N+多子保护环。
3. 为节省面积，可以在PMOS周围的P+少子保护环和P阱少子保护环中选其一。
4. 由于P阱较深，所以P阱少子保护环的保护效果较好，但面积较P+少子保护环稍大。
5. 为节省面积，可以把NMOS周围的P+多子保护环和P+的P阱衬底偏置环合并。
6. 在某些场合，为预防电磁感应造成的干扰，图中的保护环应该预留开口

**P阱CMOS工艺闩锁效应版图布局设计预防措施剖面示意图**

# 器件的寄生参数 - CMOS闩锁效应及其预防

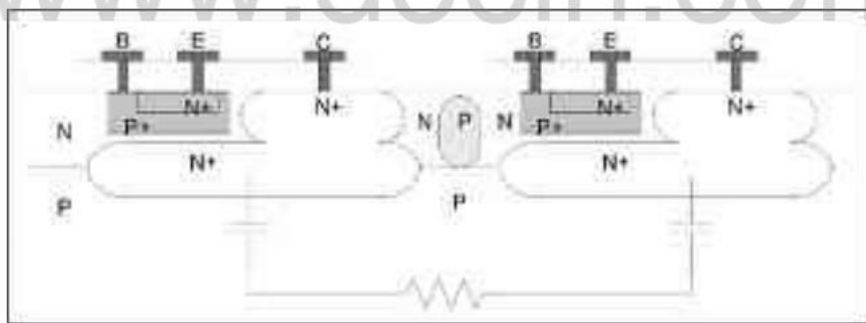
## 预防措施 - 三、其他措施

- ①要特别注意电源跳动，防止电感元件的反向电动势或电网噪声窜入**CMOS**电路的电源，引起**CMOS**电路瞬时击穿而触发自锁效应。因此在电源线较长的地方，要注意电源退耦，此外还要注意对电火花嵌位。
- ②防止寄生三极管的**EB**结正偏。输入信号不得超过电源电压 ( $V_{dd} > V_i > V_{ss}$ )，如果超出这个范围，应加限流电阻。因为输入信号一旦超过电源电压，就可能使寄生晶体管的**EB**结正偏，从而使寄生可控硅触发导致自锁。  
此外，输出端不宜接大电容，一般应小于**0.01uF**。
- ③电源限流。**CMOS**电路的功耗很低，所以在设计**CMOS**系统的电源时，系统实际需要多少电流，就供给它多少电流。电源的输出电流能力不要太大。由寄生可控硅的击穿特性中看出，如果电源电流小于可控硅的维持电流 **$I_H$** ，那么即使寄生可控硅有触发的机会，也不能维持自锁。

# 器件的寄生参数

## ■ 双极型晶体管

- 双极晶体管中, 集电极从注入的 **N**区直接向下到衬底也存在寄生电容。对于双极晶体管器件来说, 我们几乎没有什么手段加以改进。不过, 由于事先我们已经对器件进行了精确的测量并建立了模型, 所以当电路设计者在进行设计的时候已经把这些因素都考虑进去了。
- 需要了解的是两个晶体管相互靠近时会对电路不利。如下图所示, 两个双极器件的集电极靠近放置, 集电极和衬底之间不可避免地存在着寄生电容, 而衬底本身也存在着寄生电阻将两个双极器件连接起来。



# 器件的寄生参数

---

## ■ 双极型晶体管

- 采用全定制技术可以把器件做得小一些。通常是把一些较小的器件做成一个大的器件,将它们放在同一个阱里面,使N阱总面积最小,从而减少对衬底的寄生电容。
- 假如有许多并联的双极型晶体管而不是许多单个的晶体管需要布线,可以考虑把它们的集电极合成一个,即把它折叠起来然后合并集电极使器件更紧凑地靠在一起。

www.docin.com

[www.docin.com](http://www.docin.com)