

# 數位類比轉換器設計與測試之研究

研究生：蘇育民

指導教授：盧志文 博士

## 中文摘要

本論文中，我們提出一個數位類比轉換器測試演算法和一個 12 位元自我校準數位類比轉換器電路，我們所提出數位類比轉換器測試演算法，可以使用較少的測試圖樣來獲得待測電路的微分非線性誤差與積分非線性誤差，為了驗證所提的測試演算法，我們使用 TSMC 0.35 $\mu$ m 2P4M CMOS 實作一個八位元雙電阻串階梯數位類比轉換器，由實驗證實使用一般測試方法的最大 DNL 與 INL 分別為 0.07LSB 和 0.48LSB，而使用所提出測試方法的 DNL 及 INL 分別為 0.06LSB 及 0.46LSB。而在自我校準電路上，校準的動作是在一般數位類比轉換器轉換開始之前完成，因此不會影響到其操作速度，由模擬結果顯示出 12 位元數位類比轉換器操作速度為 50MHz。

關鍵字：數位類比轉換器、測試演算法、自我校準

Study on Digital to Analog Converter Design and Testing

Student: Yu-Min Su

Advisor: Chih-Wen Lu

## ABSTRACT

In this thesis, a DAC testing scheme and a 12-bit calibrated DAC are proposed. The DNL and INL of the CUT (Circuit under Test) can be obtained by fewer test patterns in the proposed DAC testing scheme. An experimental 8-bit Dual resistor ladder DAC implemented in a 0.35- $\mu\text{m}$  CMOS technology demonstrates that the maximum DNL and INL are 0.07LSB and 0.48LSB, respectively, for whole test patterns, and are 0.07LSB and 0.46LSB, respectively, for 31 test patterns. The experimental results verify the proposed scheme. The proposed 12-bit DAC is not calibrated every cycle as the conventional circuits but calibrated before the normal operation. This will improve the operation speed. The simulated results show that the proposed 12-bit DAC can operate under 50MHz.

Keywords : Digital-to-Analog Converter, test algorithm, Self-Calibration.

## 誌謝

首先，要感謝我的指導教授盧志文博士，在碩士班這兩年來課業與研究上的指導，還有日常生活上的關心與照顧。每當學生在研究或者生活上遇到任何困難時，老師總會適時給予我意見與鼓勵，在此謹向老師致上最高的謝意。還要特別感謝交大電子李崇仁教授、工研院張永嘉經理、本校許孟烈教授撥空擔任口試委員，並提供我不少寶貴意見。

另外，要感謝實驗室學長彥中、世法，在研究上專業知識的經驗傳承。還有陪伴我兩年的同學郭任、敬民、世存，與學弟忠賢、文輝、學志、龍城、智瑜，讓我的研究生生活充滿歡樂。

最後，要感謝是我的家人，對我的研究萬分支持與生活上的關心，謹將此論文獻給我最敬愛的家人。

# 目 錄

中文摘要.....	I
英文摘要.....	II
誌謝.....	III
目錄.....	IV
圖目錄.....	VI
表目錄.....	VIII
第一章 緒論.....	1
1.1 研究動機.....	1
1.2 論文架構.....	2
第二章 數位類比轉換器之基本原理.....	3
2.1 簡介與應用.....	3
2.2 數位類比轉換器之規格.....	5
2.2.1 偏移誤差.....	5
2.2.2 增益誤差.....	6
2.2.3 微分非線性誤差.....	6
2.2.4 積分非線性誤差.....	7
2.2.5 單調.....	8
2.2.6 設定時間.....	9
2.2.7 突波.....	10
2.3 數位類比轉換器之架構.....	12
2.3.1 電阻串數位類比轉換器.....	12
2.3.2 摺疊電阻串數位類比轉換器.....	13
2.3.3 二進制加權電流源數位類比轉換器.....	14
2.3.4 等電流源數位類比轉換器.....	16
2.3.5 區段式數位類比轉換器.....	18

2.4 數位類比轉換器之測試方法.....	19
2.4.1 測試之架構簡介.....	20
2.4.2 測試程序.....	21
2.4.3 測試時序及精確度.....	22
第三章 測試演算法與電路設計.....	24
3.1 測試演算法.....	24
3.2 電路設計.....	26
3.2.1 架構簡介.....	26
3.2.2 模擬結果.....	29
3.2.3 量測結果.....	37
第四章 自我校準演算法與電路設計.....	40
4.1 自我校準演算法.....	40
4.2 電路設計.....	41
4.2.1 架構簡介.....	41
4.2.2 模擬結果.....	47
第五章 結論與未來工作.....	48
5.1 結論.....	48
5.2 未來工作.....	49
參考文獻 .....	50

# 圖 目 錄

圖 2-1	數位類比轉換器的基本方塊圖.....	3
圖 2-2	取樣頻率對解析度關係圖.....	4
圖 2-3	偏移誤差圖.....	5
圖 2-4	增益誤差圖.....	6
圖 2-5	微分非線性誤差圖.....	7
圖 2-6	積分非線性誤差圖.....	8
圖 2-7	單調圖.....	9
圖 2-8	設定時間圖.....	10
圖 2-9	四位元中間碼轉換的突波.....	11
圖 2-10	三位元電阻串數位類比轉換器圖.....	12
圖 2-11	二元陣列形式電阻串數位類比轉換器圖.....	13
圖 2-12	摺疊電阻串數位類比轉換器圖.....	14
圖 2-13	二進制加權電流源式數位類比轉換器圖.....	16
圖 2-14	等電流源數位類比轉換器圖.....	17
圖 2-15	區段式數位類比轉換器.....	19
圖 2-16	內建自我測試於數位類比轉換器測試架構圖.....	20
圖 2-17	測試時序圖.....	21
圖 3-1	8-bit 數位類比轉換器架構圖.....	26
圖 3-2	4 到 16 解碼電路圖.....	27
圖 3-3	運算放大器圖.....	28
圖 3-4	解碼器模擬波形圖.....	29
圖 3-5	輸入 0.1V-3.2V 之 step function 五個 corners 的響應圖.....	30
圖 3-6	輸入 2.3V-2.7V 之 step function 五個 corners 的響應圖.....	31
圖 3-7	運算放大器差模增益及相位響應波形圖.....	31
圖 3-8	粗調運算放大器輸出電壓波形圖.....	32
圖 3-9	八位元數位類比轉換器輸出電壓波形.....	33

圖 3-10	數位類比轉換器 DNL 模擬圖.....	34
圖 3-11	測試演算法 DNL 模擬圖.....	34
圖 3-12	數位類比轉換器 INL 模擬圖.....	35
圖 3-13	測試演算法 INL 模擬圖.....	35
圖 3-14	八位元數位類比轉換器晶片照相圖.....	36
圖 3-15	量測所有電壓值 DNL 圖.....	37
圖 3-16	測試演算法 DNL 量測圖.....	38
圖 3-17	量測所有電壓值 INL 圖.....	38
圖 3-18	測試演算法 INL 量測圖.....	39
圖 4-1	自我校準演算法架構圖.....	40
圖 4-2	十二位元電流模式數位類比轉換器架構圖.....	42
圖 4-3	四位元溫度計碼電路圖.....	43
圖 4-4	D 型正反器.....	44
圖 4-5	基本電流開關.....	45
圖 4-6	電流源開關波形圖.....	45
圖 4-7	驅動電流源開關電路.....	45
圖 4-8	單位電流源.....	46
圖 4-9	數位類比轉換器輸出波形圖.....	47

# 表 目 錄

表 3-1	運算放大器模擬結果.....	32
表 3-2	數位類比轉換器模擬結果.....	36
表 4-1	三位元溫度計碼真值表(Truth Table).....	43
表 4-2	十二位元數位類比轉換器模擬規格.....	47



# 第一章 緒論

## 1.1 研究動機

數位類比轉換器(Digital-to-Analog Converter, 簡稱 DAC), 則是將數位電路處理完後的數位資料轉換為類比訊號傳送至外界。數位類比轉換器的應用非常廣泛, 例如: 高畫質電視(high definition TV)、電腦系統(computer systems)、音響(audio)等。這些系統都需要使用到高速、高解析度, 以及低消耗功率的訊號轉換器。實現數位類比轉換器的方法非常多, 包含了主動元件和被動元件的方式, 例如: 電阻式、切換電容式、電流源式等。

隨著數位類比轉換器朝向高位元發展, 晶片在測試方面與為了達到系統所要求規格上, 都有其相對解決的方法, 首先為了減少測試的困難度與時間, 目前的相關研究皆以內建自我測試為主(Built-in Self-Test, BIST) [3]- [5], 其中由[3]所提出的方法是將數位類比轉換器的輸出電壓利用電壓控制震盪器(Voltage Controlled Oscillator, VCO)將類比電壓轉換成頻率, 再由轉換後頻率經由計數器與數位訊號處理器(Digital Signal Processors, DSP)計算出所需的規格, 本論文提出一個不需要增加額外電路並且可減少測試圖樣的演算法。而在為了達到系統所要求規格上, 通常晶片完成後都會做額外處理, 例如: 雷射整修(laser trimming) [6]與浮接閘極(float gate) [7]。本論文提出十二位元

電流模式自我校準(calibrate)的數位類比轉換器。

## 1.2 論文架構

本論文共分為四章，第一章介紹相關發展與論文的研究動機，第二章將詳細介紹數位類比轉換器的規格與架構和目前內建自我測試應用於數位類比轉換器的研究，第三章則是所提出的測試演算法，第四章則為所提出的十二位元電流模式自我校準數位類比轉換器，第五章則為結論與未來工作方向。

## 第二章 數位類比轉換器之基本原理

### 2.1 簡介與應用

自然界所產生、人類所看所聽的都是連續時間(continuous time)的類比訊號，然而數位電路所能處理的卻是離散時間(discrete time)的數位訊號，這之間就需要有轉換器，數位類比轉換器(Digital to Analog Converter, DAC)便是扮演著這樣的角色，數位類比轉換器的方塊圖如圖 2-1 所示，其主要的功能是将輸入的數位資料轉換成類比電壓輸出，而通常輸入訊號為一參考電壓  $V_{ref}$  或者是電流  $I_{ref}$  和 N 位元數位資料，其輸出的類比電壓與輸入訊號呈現如(2.1)式的關係式：

$$v_{out} = (b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-N}) V_{ref} \quad (2.1)$$

N 為輸入數位資料的位元數。作為一個 N 位元的數位類比轉換器其解析度為  $2^N$ ，其最小輸出電壓位階稱為一個 LSB(least significant bit)如(2.2)所示

$$V_{LSB} = V_{ref} 2^{-N} \quad (2.2)$$

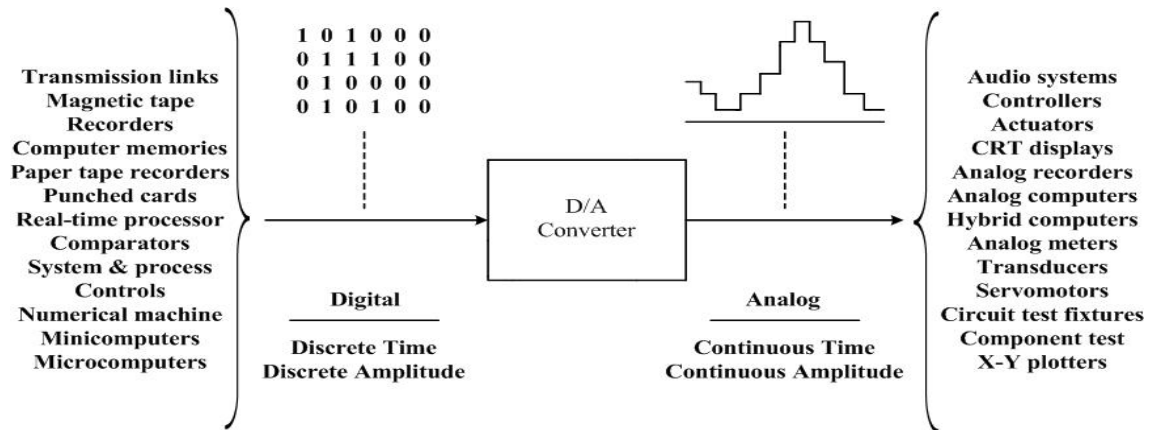


圖 2-1 數位類比轉換器的基本方塊圖

數位類比轉換器廣泛應用在各種領域，根據所應用領域大概可分成：聲音 (audio)、影像 (video)、感測器 (sensor)、測試設備 (instrumentation)和通訊 (communication)等。如圖 2-2 所示，為應用領域的取樣頻率對解析度關係圖。

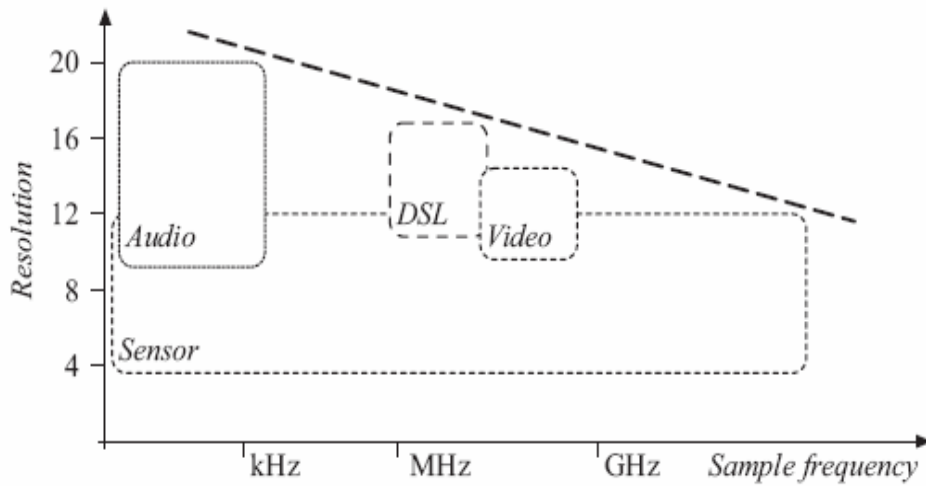


圖 2-2 取樣頻率對解析度關係圖

## 2.2 數位類比轉換器之規格

數位類比轉換器可以使用幾種不同技術來實現，每一種技術各自有其優點與缺點，評定的標準主要是由數種不同規格：偏移誤差(Offset error)、增益誤差(Gain error)、微分非線性誤差(Differential nonlinearity error)、積分非線性誤差(Integral nonlinearity error)、單調(Monotonicity)、設定時間(Settling time)、突波(Glitches)。這一節將會詳細的介紹各項規格。

### 2.2.1 偏移誤差(Offset error)

如圖 2-3 所示，理想的數位類比轉換器當數位輸入碼為 0 時，其相對應的類比電壓為 0 伏特。但是實際上的數位類比轉換器，當數位輸入碼為 0 時，其對應的電壓卻不是 0 伏特。其之間的誤差稱為偏移誤差(offset error)。通常能夠藉由一個修整過程(trimming process)獲得補償。

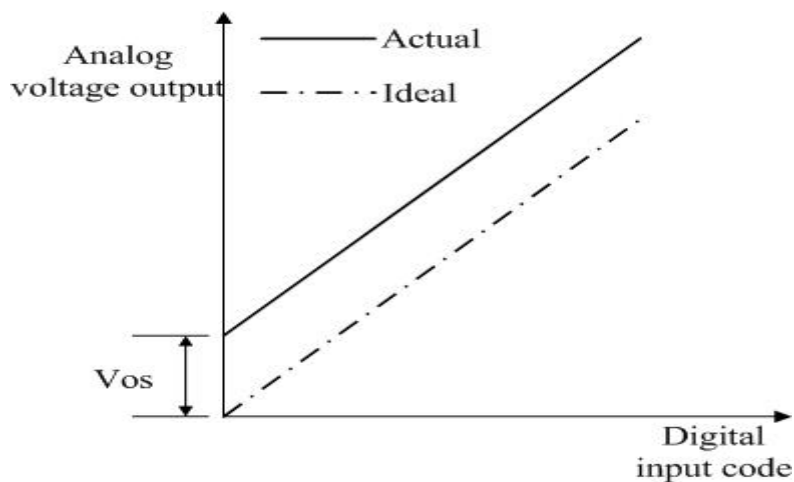


圖 2-3 偏移誤差(Offset error)

## 2.2.2 增益誤差(gain error)

如圖 2-4 所示，增益誤差之定義為當偏移誤差被修正為零以後，理想的數位類比轉換器其斜率與實際上的數位類比轉換器斜率不同，之間的斜率差稱為增益誤差(gain error)，如式(2.3)所式。產生的原因主要是參考電壓(reference voltage)或者是階梯係數(scale factor)的不精確有關。通常這個誤差能藉由修整調整至零。

$$GainError = \frac{V_{o\max} - V_{FS}}{(2^n - 1) \times LSB} = \frac{V_{o\max} - V_{FS}}{V_{FS}} \quad (2.3)$$

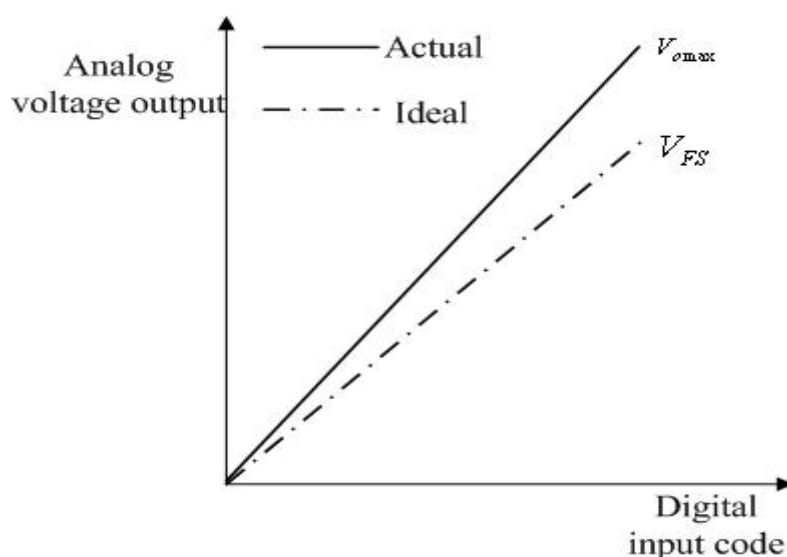


圖 2-4 增益誤差(gain error)

## 2.2.3 微分非線性誤差(differential nonlinearity error)

如圖 2-5 所示，對數位類比轉換器而言，它是指一個實際的階梯高度和理想的 1LSB 階梯高度之間的差，如式(2.4)所式。因此，若階梯寬度或高度正好是 1LSB，則微分非線性誤差就等於零，倘若 DNL

大於 1LSB，則轉換器有可能成為非單調(nonmonotonic)函數。這表示當輸入的振幅增加時，輸出的振幅會變小。

$$DNL = \left[ \left( V_i - V_{i-1} / LSB \mid i = 0..2^n - 1 \right) \right] - 1 \quad (2.4)$$

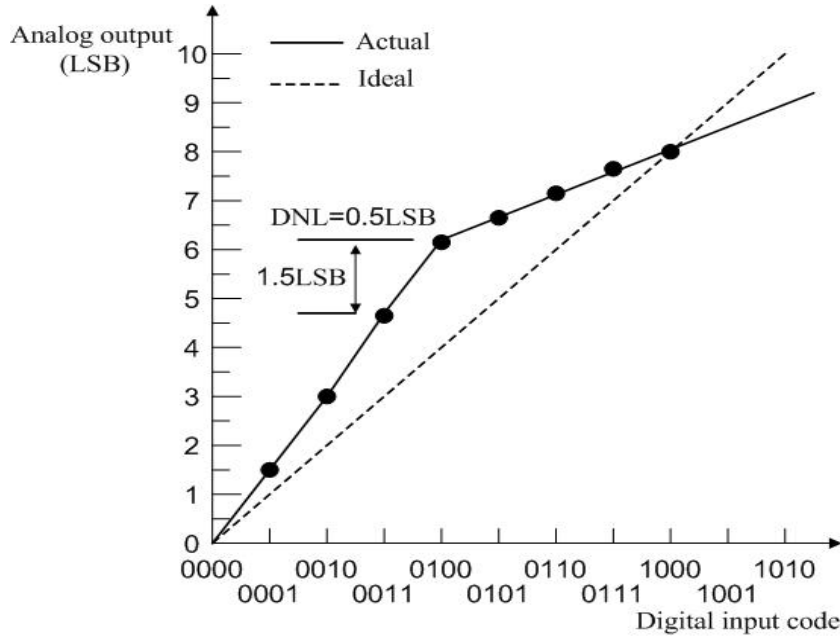


圖 2-5 微分非線性誤差(differential nonlinearity error)

#### 2.2.4 積分非線性誤差(integral nonlinearity error)

如圖 2-6 所示，積分非線性誤差(integral nonlinearity error)是實際的轉換函數與理想直線之間的偏差值，如(2.5)所式，這條直線也許是能夠降低這些偏差值的最佳直線；或者是連接轉換函數首尾兩端點的直線，當增益誤差和偏移誤差被消除時。第二個方法稱之為端點線性(end-point linearity)，是經常被採用的定義，因為它可以更直接地被驗證。

$$INL = \left[ (V_i) / LSB \right] - i \quad | \quad i = 0..2^n - 1 \quad (2.5)$$

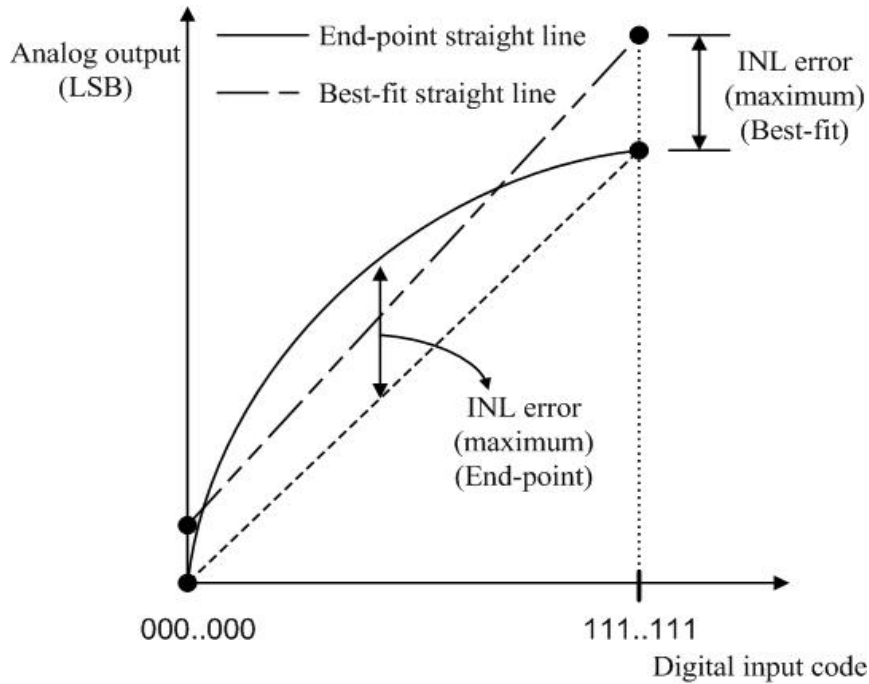


圖 2-6 積分非線性誤差(integral nonlinearity error)

### 2.2.5 單調(monotonic)

如圖 2-7 所示，當數位輸入碼增加時，其對應的輸出電壓也是增加的，稱此數位類比轉換器為單調(monotonic)。通常數位類比轉換器其最大的 DNL 小於一個 LSB 的話，其保證為單調。相反的，當數位輸入碼增加時，其對應的輸出電壓卻是下降的，稱為非單調(nonmonotonic)。



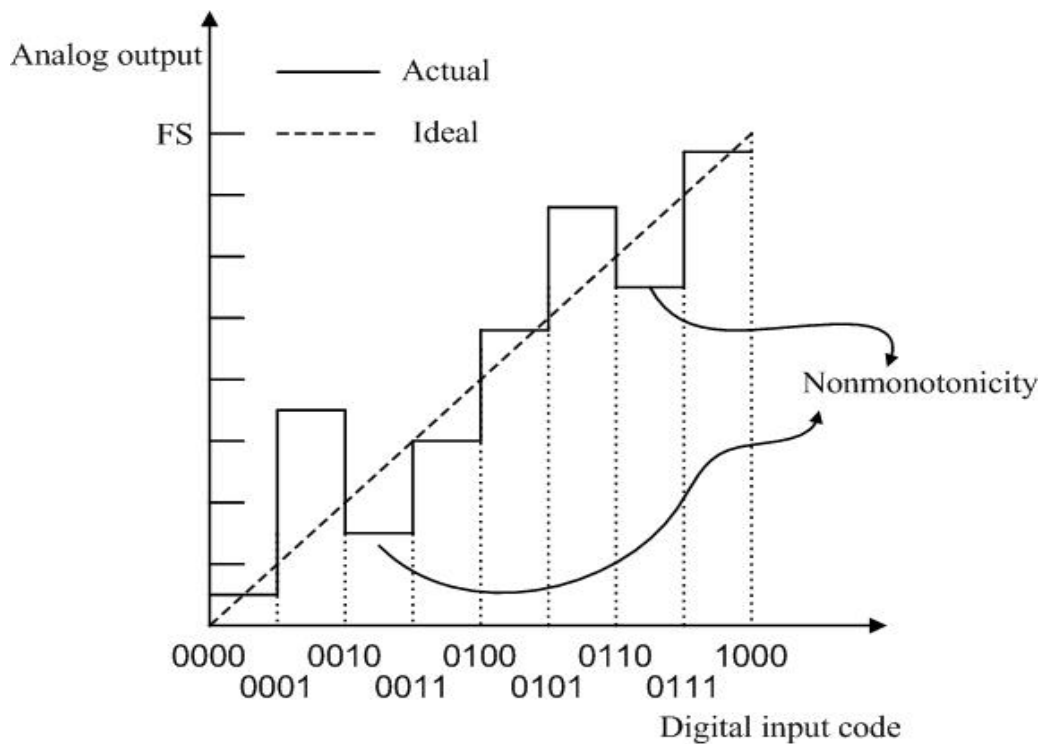


圖 2-7 單調(monotonic)圖

### 2.2.6 設定時間(Settling time)

如圖 2-8 所示，數位輸入訊號為 000 時，由於數位類比轉換器存在著偏移誤差(Offset error)，所以其輸出電壓不是 0 伏特，當數位輸入訊號由 000 轉態到 111 時，一開始因為數位訊號不同步的關係，因此會造成輸出電壓振盪的情形，等到所有輸入位元皆轉態為 111，且其輸出電壓到達目標電壓容許範圍內，這段時間定義為設定時間(Settling time)。而設定時間的倒數稱為數位類比轉換器的最大轉換率(Maximum conversion rate)。

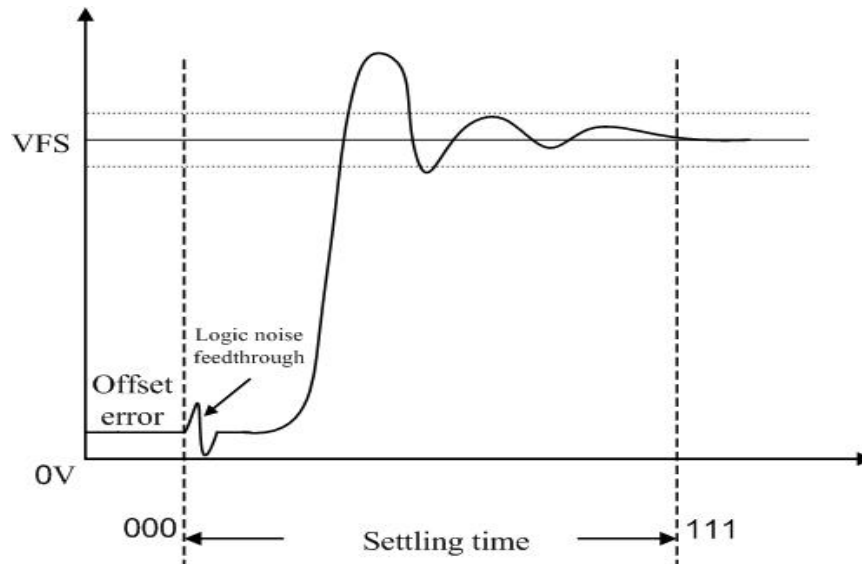


圖 2-8 設定時間(Settling time)

### 2.2.7 突波(Glitches)

突波在數位類比轉換器是一項非常重要的規格，其會影響數位類比轉換器的穩定時間，進一步影響到數位類比轉換器的操作速度。突波的最大值通常發生在中間碼轉換時，如圖 2-9 所示為四位元數位類比轉換器中間碼轉換時的突波，產生突波的原因非常多將歸納成以下幾點：

- 輸入訊號之間的不同步，而造成突波現象。
- 接地線的電壓變動，而造成突波現象。
- 輸入訊號在轉換時，電流源的寄生電容被充放電，而造成突波現

象。

- 數位輸入訊號耦合到電流源輸出，而造成突波現象。
- 電流源上的開關同時在關閉狀態，而造成突波現象。

上述的原因中，第一項產生的原因是，如果輸入到電流源開關的訊號不同步，則會造成輸出電流訊號的不同步，而產生突波現象。第二項產生的原因是，由於地線的佈局過細，使得地線上呈現較大的電阻與電感效應，而產生突波現象。第三項產生的原因是，因為電流源輸出阻抗不夠高所引起的突波現象。第四項產生的原因是，電流源上的開關電晶體會有關汲極寄生電容，而驅動開關電晶體導通與關閉的訊號會經由寄生電容耦合到輸出端。第五項產生的原因是，當電流源上的開關同時關閉，電流源之輸出點將被迅速地放電，然後電流源便會關閉，若要再打開電流源，需要有一段恢復期，如此不但降低電路操作速度，也會使得輸出端產生突波。

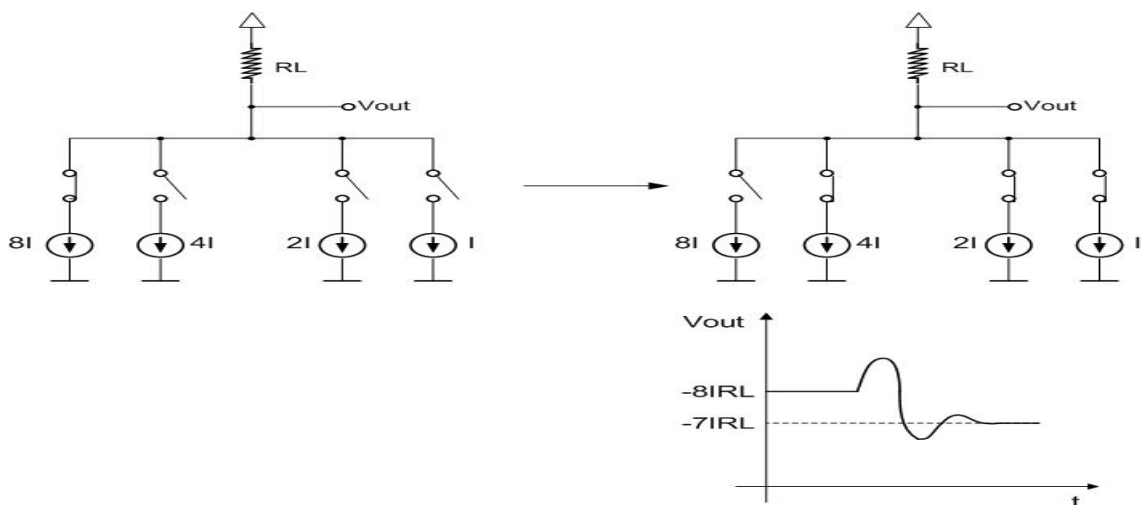


圖 2-9 四位元中間碼轉換時的突波

## 2.3 數位類比轉換器之架構

### 2.3.1 電阻串(Resistor string)

如圖 2-10 所示為三位元電阻串數位類比轉換器電路圖[8]，電路是由  $2^N$  個電阻(resistor)與開關(switches)和輸出緩衝器(output buffer)所組成。為了要控制  $2^N$  個開關，所以需要一個  $N:2^N$  的解碼器，此種架構的數位類比轉換器是利用電阻串分壓，然後經由開關將類比電壓輸出，因此會產生很好準確度，並且保證輸出類比訊號具有單調性。

雖然此種架構保證輸出類比訊號具有單調性的優點，但其  $2^N$  個開關是相接的，因此會造成非常大的寄生電容，進一步使得轉換速度下降。為了解決此問題，如圖 2-11 所示，其開關的配置改為二元陣列(binary array)的形式，可減少開關串的寄生電容，由於其開關改為二元陣列的形成，所以不需要  $N:2^N$  的解碼器。

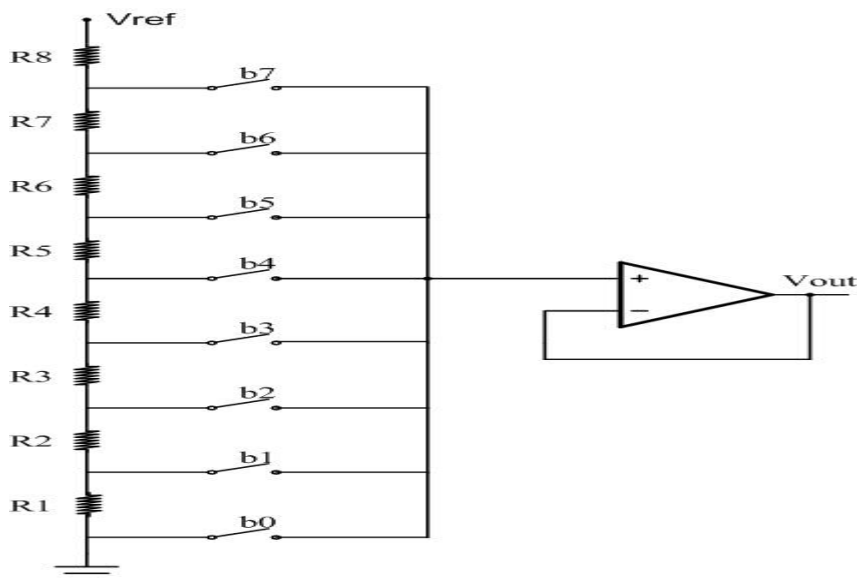


圖 2-10 三位元電阻串數位類比轉換器

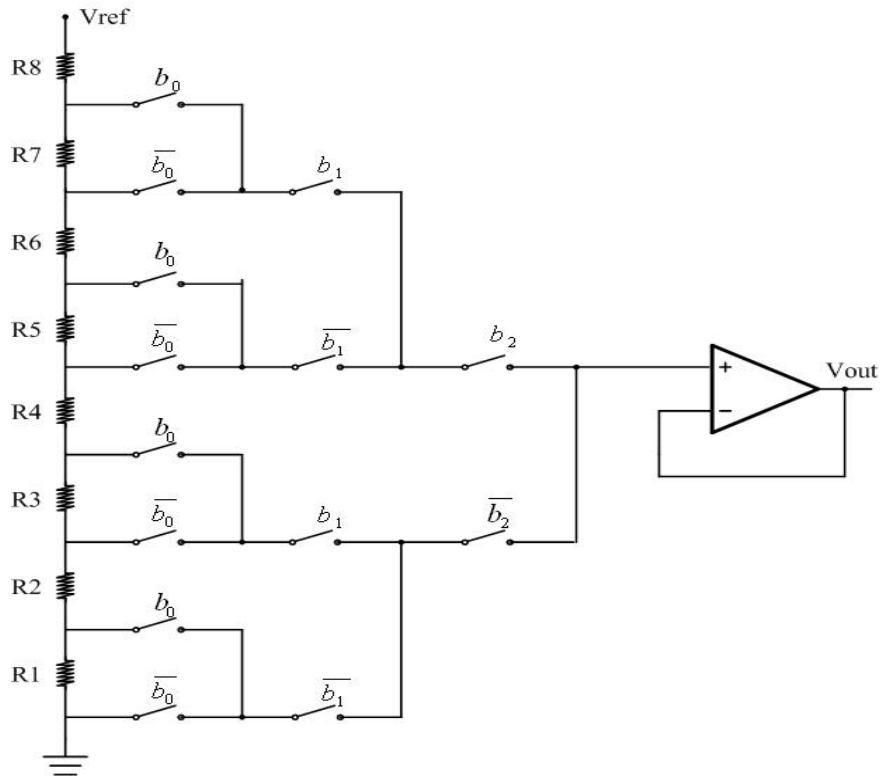


圖 2-11 二元陣列形式電阻串數位類比轉換器

### 2.3.2 摺疊電阻串 (Folded resistor string)

為了減少數位解碼器佈局面積與大電容負載，摺疊電阻串數位類比轉換器被提出[9]，如圖 2-12 所示，電路架構類似為矩陣的控制方式，將解碼器分成行與列的解碼，可使數位電路的複雜度大大降低，進一步減少佈局面積增加數位類比轉換器操作速度。

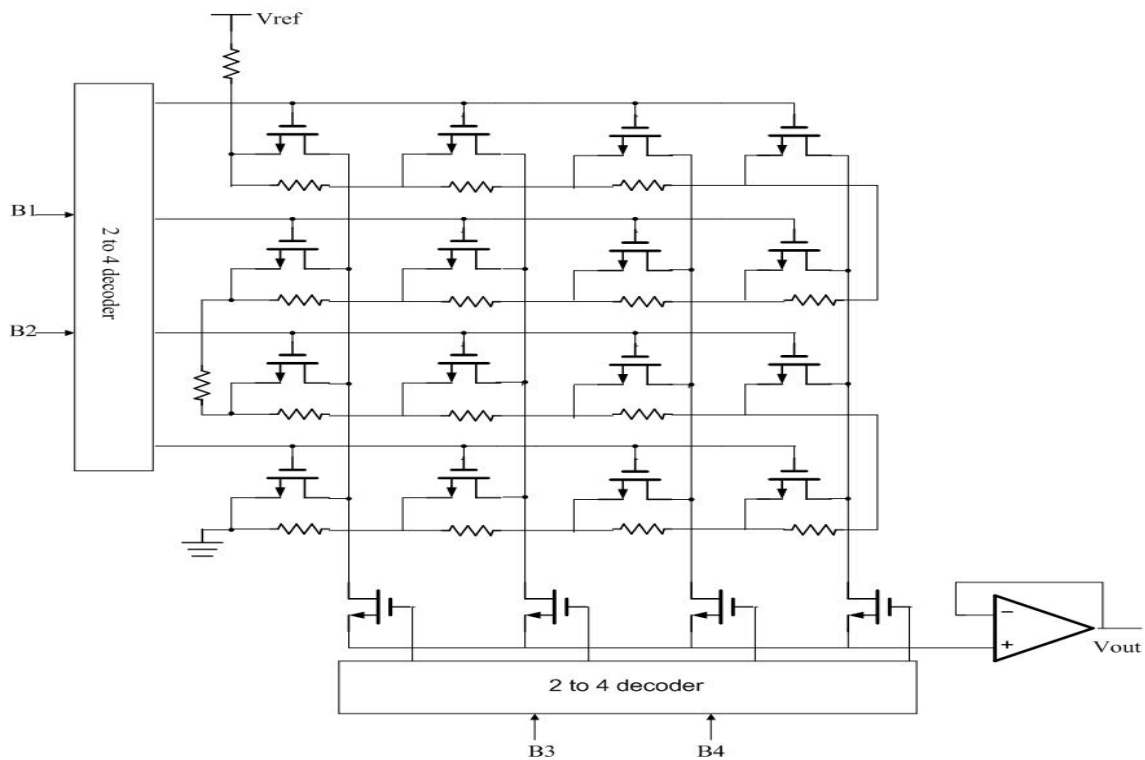


圖 2-12 摺疊電阻串數位類比轉換器

### 2.3.3 二進制加權電流源式(Binary-weighted current)

二進制加權電流源數位類比轉換器[10]如圖 2-13 所示，是直接以二進位輸入碼控制電流源開關，來決定電流源導通與否，而不需要額外的解碼電路，這樣的特性使得數位電路的複雜度大大減低，並進一步使數位類比轉換的佈局面積減少許多，且提升了數位類比轉換器的操作速度，但是這樣的架構會有數個缺點，以下將詳細說明。

二進制加權電流源數位類比轉換器在中間碼(Middle Code)轉換時，以 8 位元為例(01111111->10000000)會產生最大的微分非線性誤

差(Differential nonlinearity error)與最大的突波現象，這是因為輸入二進位碼不同步，而造成電流源切換的不同時，且開關導通或關閉的瞬間，會產生電荷注入(charge-injection)與時脈饋入(clock-feedthrough)的情況，進一步影響到輸出信號，同時也是最差的微分非線性誤差發生之所在。此外，此種架構的數位類比轉換器無法保證輸出的類比訊號具有單調性(Monotonicity)，因各個電流之間難以匹配，且 MSB 位元的電流源值必需不超過其他位元電流源值相加的  $0.5\text{LSB}$ ，這是比較困難達到的，因此，在數位輸入碼為遞增或遞減的狀態時，難以保證輸出訊號也是遞增或遞減的變化。

綜合以上所述，二進制加權電流源數位類比轉換器在電路的複雜度與操作速度，有較佳的表現，但是在電路突波，微分非線性誤差，與輸出類比訊號的單調性上，則呈現較差的情況，因此，二進位加權電流源數位類比轉換器較難以達到高解析度上的應用。

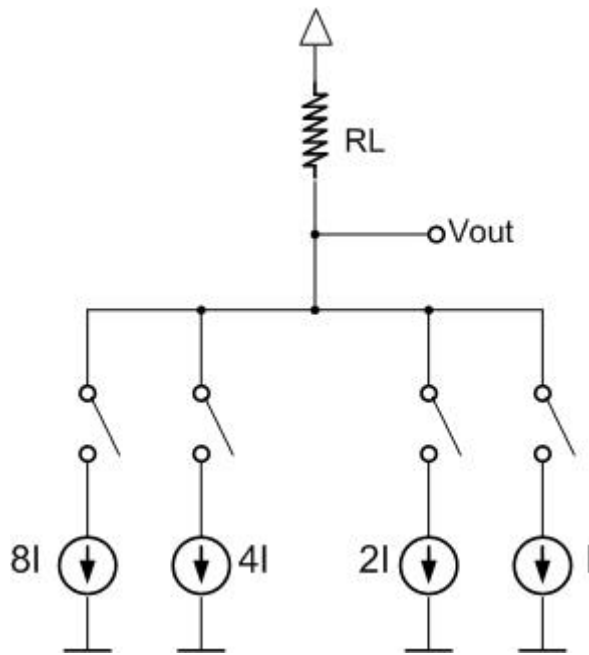


圖 2-13 二進制加權電流源式數位類比轉換器

### 2.3.4 等電流源式

等電流源數位類比轉換器[11]如圖 2-14 所示，其每一個電流源值相同皆為  $1\text{LSB}$ ，由於數位輸入碼為二進制，為了能夠控制全部電流源的開關導通或關閉，因此，必須先將二進位碼進行解碼，此解碼器是採用溫度計碼(Thermometer Code Decoder)解碼器，這樣的編碼方式，可以使得輸出的類比訊號具有單調性。由於數位解碼器電路的複雜度隨著數位輸入碼的位元數的增加而增加，所以，等電流源數位類比轉換器相較於二進位制權重數位類比轉換器，在電路佈局面積上會大上許多，相對整體功率消耗也會上升，並且也會使得轉換速度降低，同時，過多的數位電路會產生過多的雜訊干擾，進而影響到類比電路的



操作。

雖然等電流源數位類比轉換器有數位電路過於複雜的缺點，但是，它卻還有許多優點。首先，由於等電流源數位類比轉換器的電流源是採用依序漸近方式，每當數位輸入碼依序遞增或遞減時，等電流源數位類比轉換器的電流源也是依序導通與關閉一個電流源，將不會造成電流源導通或截止不同步的情況。所以，等電流源數位類比轉換器相較與二進位制權重數位類比轉換器在突波與微分非線性誤差上有較佳的表現。另外，在輸出訊號的單調性方面，等電流源數位類比轉換器在上一個狀態導通的電流源與下一狀態導通的電流源有其相關性，在數位輸入碼為遞增或遞減的狀況時，可保證輸出訊號具有單調性。

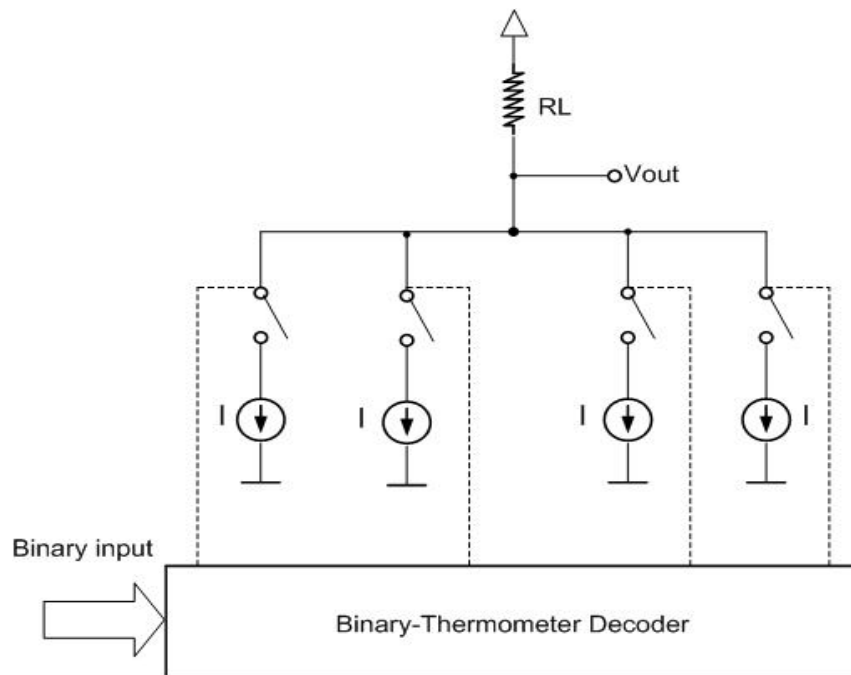


圖 2-14 等電流源數位類比轉換器

### 2.3.5 區段式數位類比轉換器

經由前述等電流源數位類比轉換器與二進位制權重數位類比轉換器的分析與討論之後，這兩種架構的數位類比轉換器各有其優點與缺點，而比較好的方式，應該能夠結合前述兩者的優點，並將兩者缺點降到最低。

基於這樣的想法，產生了區段式數位類比轉換器的電路架構 [12]，如圖 2-15 所示，區段式數位類比轉換器是結合等電流源數位類比轉換器與二進制權重數位類比轉換器的特性，將數位輸入碼，以分段的方式，分別以等電流源數位類比轉換器與二進制權重數位類比轉換器來實現。

將部份的數位輸入碼以等電流源數位類比轉換器來實現，可避免較大的突波與較差的微分非線性誤差，與輸出訊號的非單調問題。而另一部分的數位輸入碼以二進制權重數位類比轉換器來實現，是為了減少整體佈局面積，進一步提升數位類比轉換器操作速度。

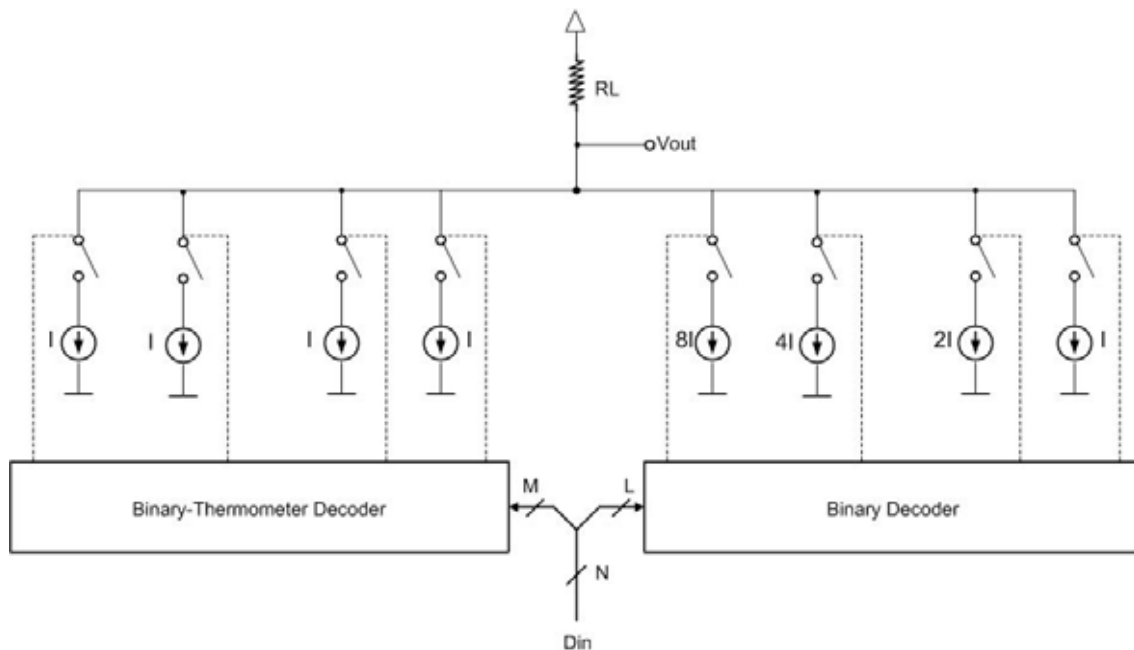


圖 2-15 區段式數位類比轉換器

## 2.4 數位類比轉換器之測試方法

目前數位類比轉換器的測試方法主要卓重在內建自我測試 (Built-in Self-Test, BIST)。內建自我測試，其主要的概念就是電路除了原先所具備的功能外，還增加了一些能夠測試電路本身的規格或者是否能正常動作的額外電路，而不需要經由特殊測試儀器來對電路偵測，接下來將以先前學者所發表的內建自我測試電路文獻[3]加以說明，第三章將提出數位類比轉換器的測試演算法，進一步減少測試所需時間。

### 2.4.1 測試之架構簡介

如圖 2-16 所示，此數位類比轉換器內建自我測試電路主要由幾個部份所組成的，分別為：1.測試樣品產生器(TPG)類似於樣品計數器(pattern counter)；2.多工器，可用來選擇一般輸入碼或測試樣品；3.線性電壓控制振盪器(VCO)，可用來轉換數位類比轉換器的輸出電壓是否與差動輸入碼、差動振盪頻率相吻合；4.索引計數器(index counter)，主要用來將振盪頻率轉換成為數位碼；5.記憶體，用來儲存索引計數器的輸出碼；6.數位信號處理器(DSP)，可用來求得數位碼的差及比較先前定義的臨界偵測。

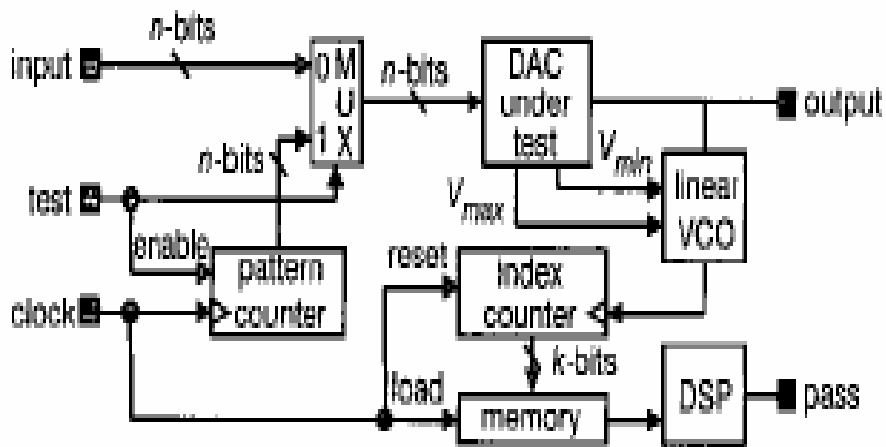


圖 2-16 內建自我測試於數位類比轉換器測試架構圖

## 2.4.2 測試程序

首先是將 DAC 的最小參考電壓  $V_{\min}$  及最大參考電壓  $V_{\max}$  供應給 VCO 及相對應的索引計數器，於其中分別被標示為  $D_{\min}$  及  $D_{\max}$ ，將於一單位週期的時間內被儲存到記憶體中。接下來測試會啟動樣品計數器以產生測試樣品，於圖 2-17 所示是為一典型的 DAC 測試時序圖，樣品計數器會在每一次時脈信號(clock)上升邊緣時累加 1。於第  $i$  個時脈週期，DAC 會接收來自於樣品計數器的  $C_i$  碼，並輸出  $V_i$  電壓，此電壓是轉換自於 VCO 的  $f_i$  振盪頻率。

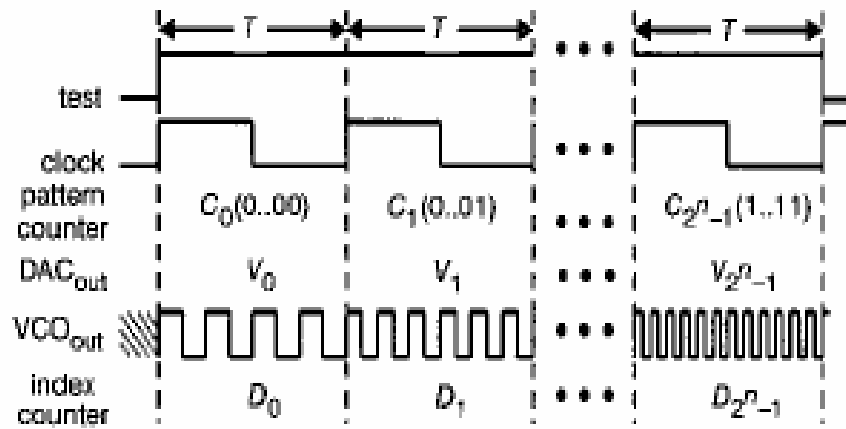


圖 2-17 測試時序圖

索引計數器是被振盪頻率所啟動，此一計數值會於時序結束時被儲存入記憶體中，而計數器中的計數值將會被重置為 0，此一頻率會被轉換成索引碼  $D_i$  以計數內部週期  $T_i$  的振盪數目。

線性 VCO 的輸出頻率的線性化與否是受所輸入的電壓來決定，之間的關係如下所式；

$$\Delta f = K_{VCO} \times \Delta V$$

其中  $K_{VCO}$  為 VCO 的增益值，計數值與計數器輸入頻率呈現出為線性化的週期常數關係，可表示為  $D_i = T \times f_i$ 。因此，輸入樣品數位碼及輸出索引碼將會反映到 DAC 的線性於測試之下，且它的線性錯誤，也可利用簡單的數位電路予以測試及量測到，不需要複雜的類比電路即可完成。

### 2.4.3 測試時序及精確度

最小的輸出改變是由數位類比轉換器的最小有效位元 (LSB 表示為  $V_{LSB}$ ) 的輸入所造成，若 VCO 的增益為  $K_{VCO}$ ，則最小輸出頻率變化 ( $f_{LSB}$ ) 被表示為：

$$f_{LSB} = K_{VCO} \times V_{LSB}$$

為了區別兩個存在的頻率具有最小的差別， $f_{LSB}$  及最小的測試週期 ( $T_{LSB}$ ) 的關係必須為：

$$T_{LSB} = 1/f_{LSB} \text{ 以產生兩個計數器的差只為 } 1。$$

事實上，測試的精確度會隨著測試週期的增加而提高，以一般電

壓為例，若數位類比轉換器的輸出電壓為  $0.1V_{LSB}$ ，可使電壓控制振盪器的輸出頻率產生  $0.1f_{LSB}$ ；於  $T = T_{LSB}$  時不可能有差別。無論如何，若我們將測試週期增加到  $T = 10T_{LSB}$ ，也就是說一般數位類比轉換器的輸出電壓差是為 10，則  $0.1f_{LSB}$  的產生是會造成計數值差 1。此一存在測試時序(T)及測試精確度(TP)的關係為：

$$T = TP \times T_{LSB} = TP / (K_{VCO} \times V_{LSB})$$

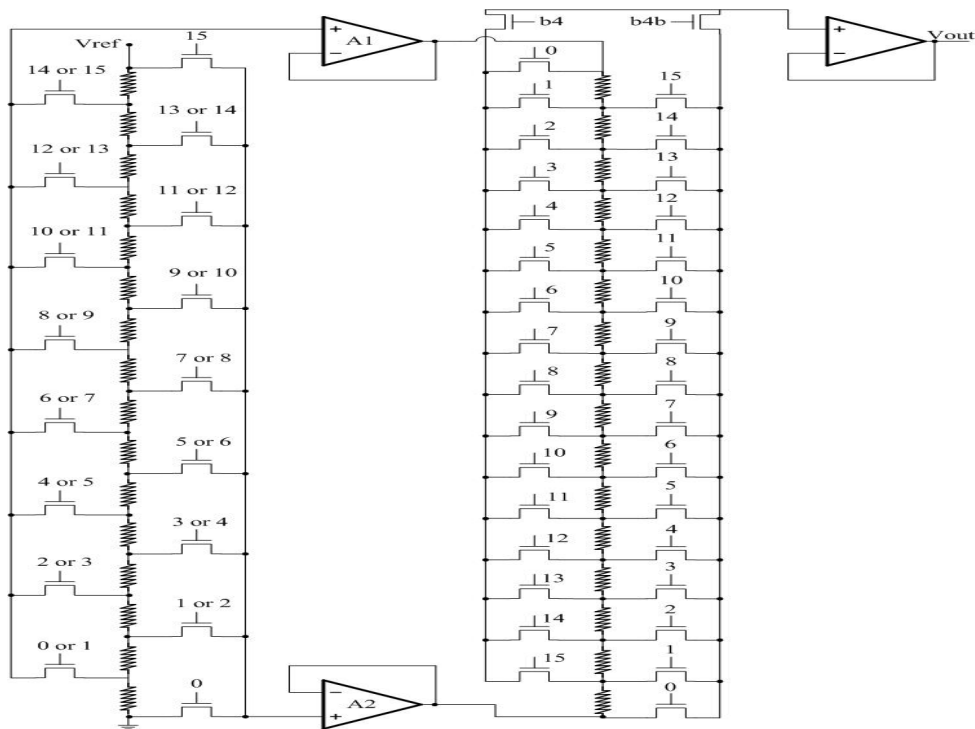
對一 n 位元數位類比轉換器所需的測試時間約為  $T \times 2^n$ ，其最大的振盪頻率為  $T/f_{Max}$ ，因此所需要的索引計數器的長度(K)為：

$$K = \log_2 (TP \times T_{LSB} / f_{Max})$$

# 第三章 測試演算法與電路設計

## 3.1 測試演算法

數位類比轉換器,目前的研究朝向高位元發展,晶片測試方面非常耗費時間與金錢,例如:8-bit 數位類比轉換器的測試需要測試 $2^8 = 256$ 個輸入圖樣,非常耗費時間。本論文主要是提出減少圖樣的方法,對於一個8-bit 數位類比轉換器只需測量 $2^4 - 1 + 2^4 = 31$ 個測試圖樣即可,如此可大幅減少測試時間。吾人已實作一個八位元電壓模式數位類比轉換器來驗證所提出的演算法,其電路架構如下圖所示。



其輸出電壓可表示為：

$$V_{out} = V_{ref} (b_7 2^{-1} + b_6 2^{-2} + b_5 2^{-3} + b_4 2^{-4}) + \frac{1}{2^4} V_{ref} (b_3 2^{-1} + b_2 2^{-2} + b_1 2^{-3} + b_0 2^{-4})$$



第一項為 MSB 粗調所分得的電壓  $2^4 - 1 = 15$  個資料，而第二項中可細調再得到  $2^4 = 16$  個資料，因為中間資料有的會重復使用到，所以可以由這  $2^4 - 1 + 2^4 = 31$  推導得到  $2^8 = 256$  資料。在測試時只需要先測量以下這 31 筆資料：

(0,1,2,3,4,5,6,7,8,9,10,11,12,13,14,15,16,32,48,64,80,96,112,128,144,160,176,192,208,224,240), 再由這些數值推導出其他資料。例如要算出 17(00010001)可由  $16(00010000)+1(00000001)$  得出。

## 3.2 電路設計

### 3.2.1 架構簡介

如圖 3-1 所示，為 8-bit 數位類比轉換器架構圖，包含兩個電阻串列分為粗調與細調，每個電阻串包含十六個電阻，粗調電阻串列連接到  $V_{ref}$  和  $ground$ ，細調電阻串連接到兩個運算放大器輸出，粗調電阻串構成粗劣階梯經由兩個電壓緩衝器以形成一些參考電壓，然後在這些粗劣的參考電壓經過另一串細調電阻分出一些精細電壓，再經過另一個電壓緩衝器將電壓輸出。

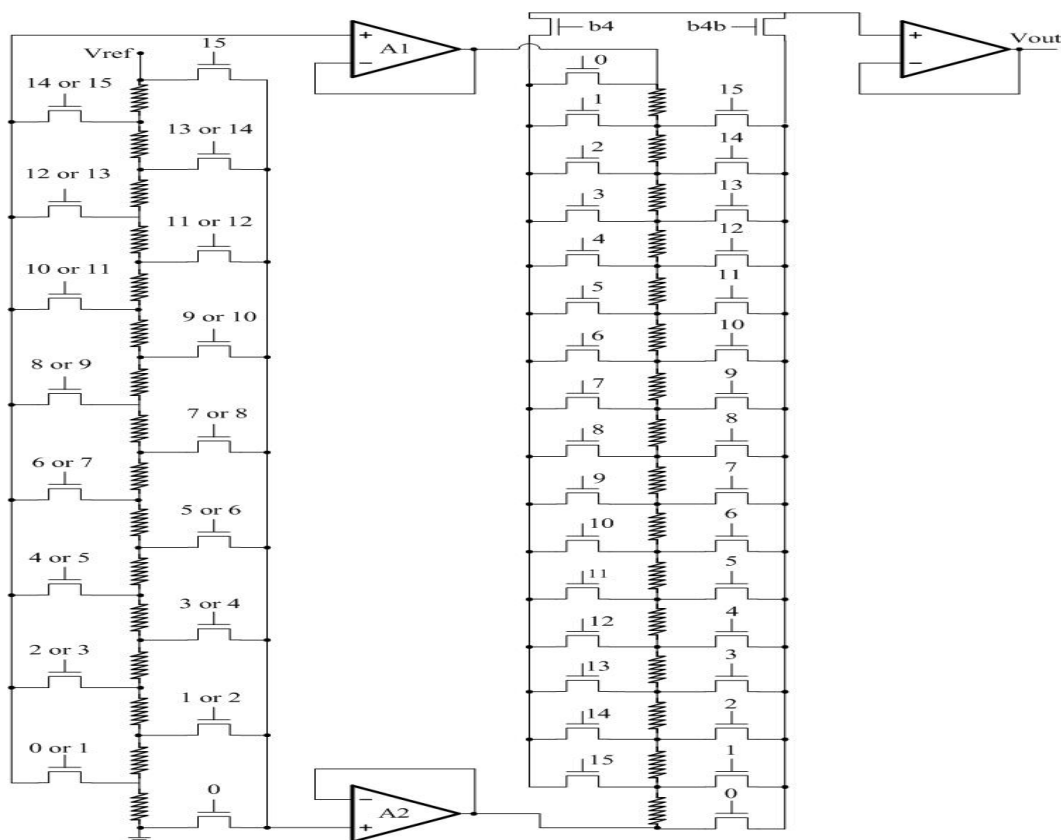


圖 3-1 8-bit 數位類比轉換器架構圖

### (A) 解碼器電路

由於數位類比轉換器分成兩階段 (stage) 將電壓輸出，每一階段皆由一串電阻與開關所構成，且開關是根據數位輸入訊號依序開啟，所以需要解碼電路，如圖 3-2 所示，為 4 到 16 解碼 (decoder) 電路圖，當輸入訊號由 0000 計數到 1111 時，每計數一次，輸出只有一個訊號為高電位。

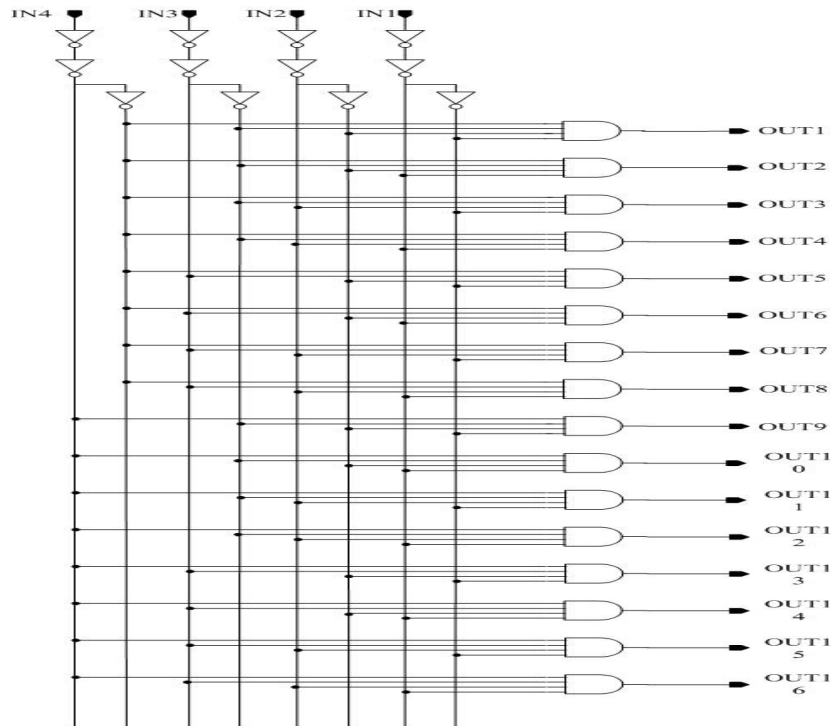


圖 3-2 4 到 16 解碼電路圖

### (B) 運算放大器電路

如圖 3-3 所示，為數位類比轉換器所使用的運算放大器，由於數位類比轉換器的轉換電壓接近 0 到 3.3 伏特，所以運算放大器的

操作電壓必須要能工作在此電壓範圍，因此放大器是利用 N 型差動對與 P 型差動對來使得操作電壓能夠比較寬，對於 N 型差動對，當輸入共模電壓太低會使得 MM2 與 MM3 進入到截止區，而 P 型差動對 MM6 與 MM7 相對的可操作在較低電壓，但如果輸入共模電壓太高會使得 P 型差動 MM6 及 MM7 進入到截止區，而 N 型差動對 MM2 與 MM3 相對的可操作在較高電壓，所以利用一個 N 型和一個 P 型差動做為互補作用，可得到全振幅的輸入電壓。MM15 為 source follower 主要是作為電壓位移，而 MM17 與 MM18 為輸出級。

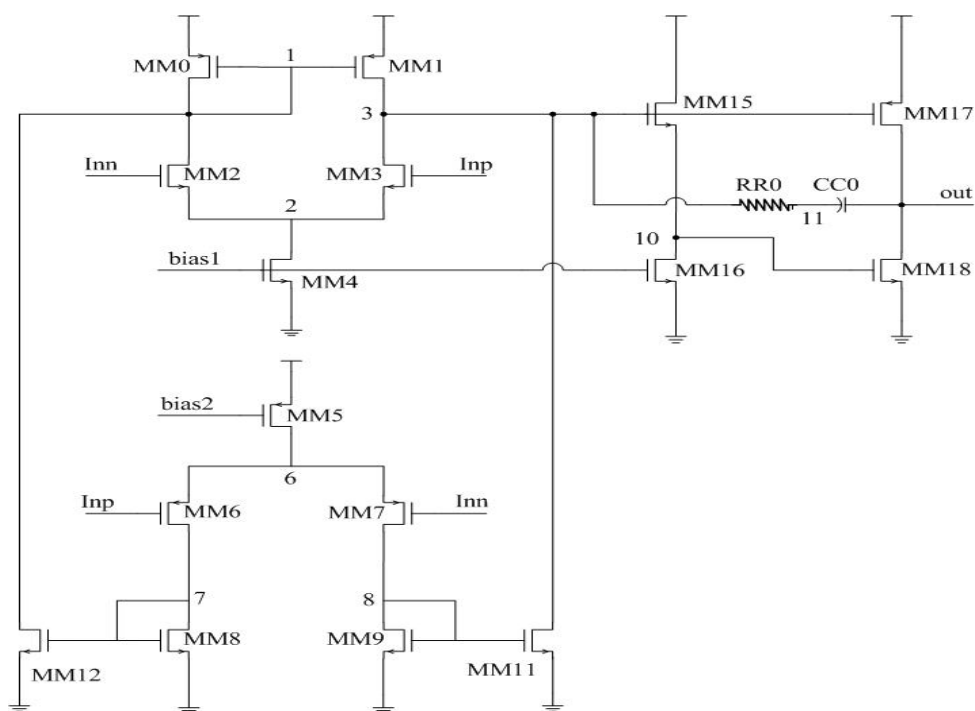


圖 3-3 運算放大器

### 3.2.2 模擬結果

#### (A) 解碼電路模擬結果

圖 3-4 為解碼器模擬波形圖，當輸入 b7-b0 由 00000000 計數到 11111111 時，每計數一次，解碼器輸出只有一個訊號為高電位。

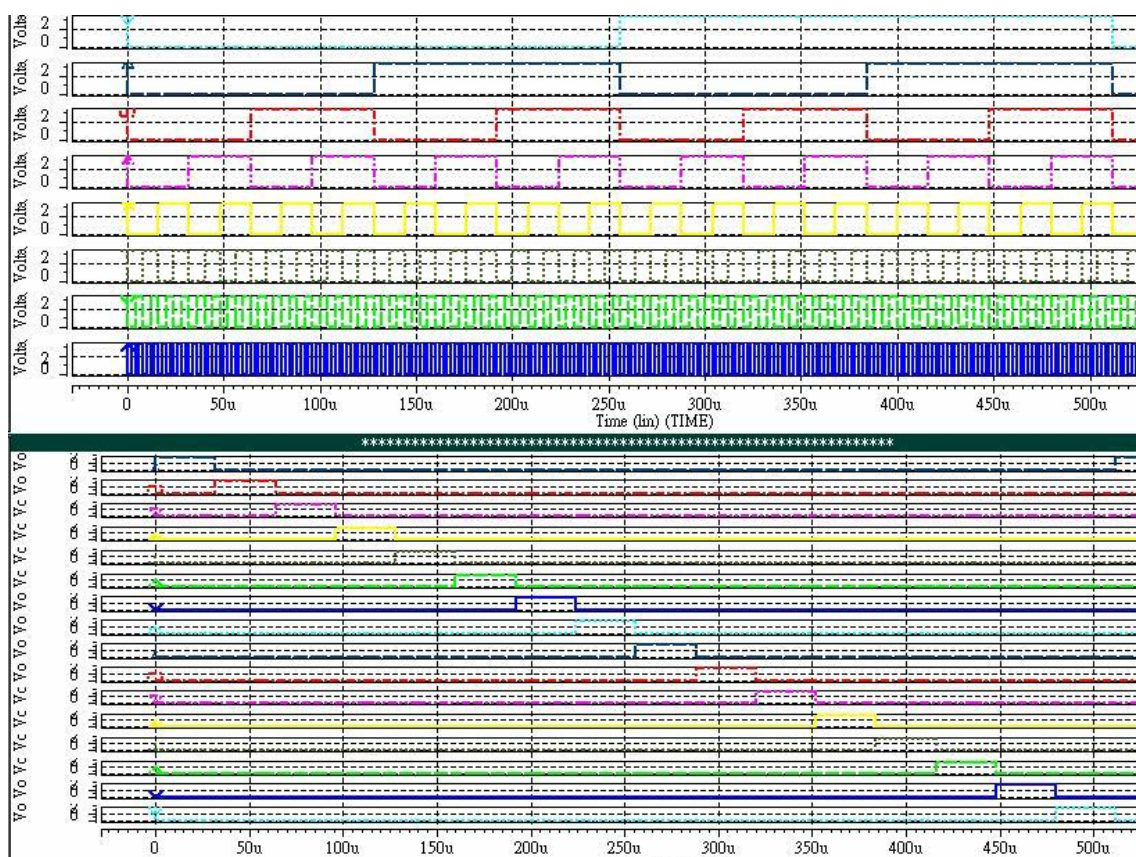


圖 3-4 解碼器模擬波形圖

#### (B) 運算放大器模擬結果

將圖 3-3 的運算放大器接成單增益緩衝器(unit gain buffer)，負載為 30pF 的電容， $V_{DD}$  為 3.3V 用 Hspice 模擬，圖 3-5 是輸入為 0.1V-3.2V 之

step function 五個corners的輸出響應圖，圖 3-6 是輸入為 2.3V-2.7V之小信號step function五個corners的輸出響應圖，由圖可見，輸出波形並沒有因為輸入振幅變得很小而變很差。圖 3-7 為運算放大器差模增益及相位響應波形圖，由圖中可看出開迴路增益為 78.8db，phase Margin 為 63 度。此運算放大器其他的模擬結果，我們將其一同列在表 3-1 中。

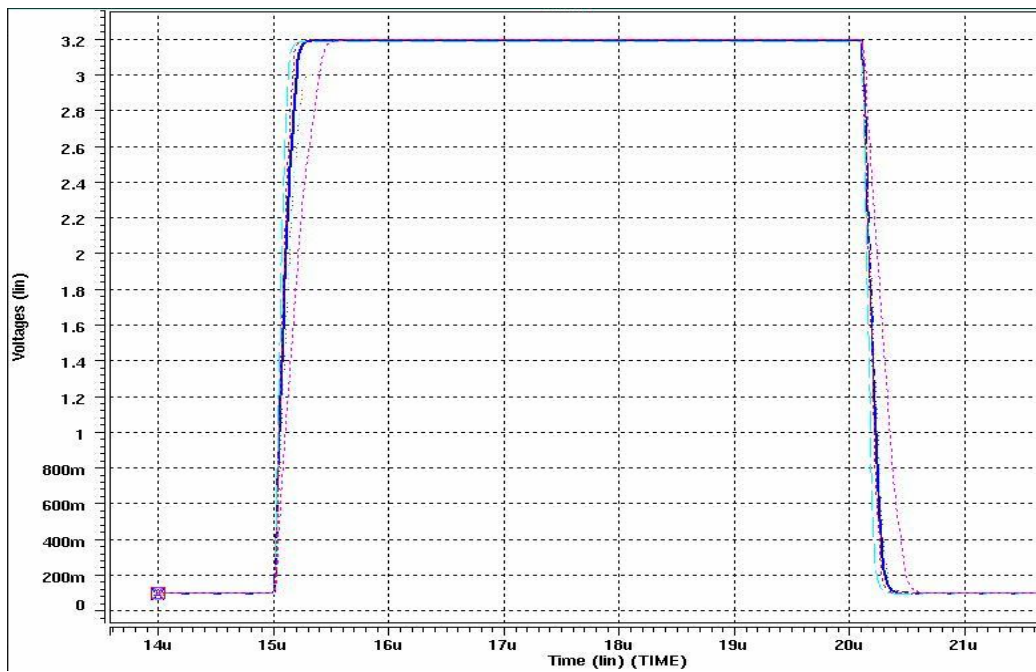


圖 3-5 輸入為 0.1V-3.2V 之 step function 五個 corners 的輸出響應

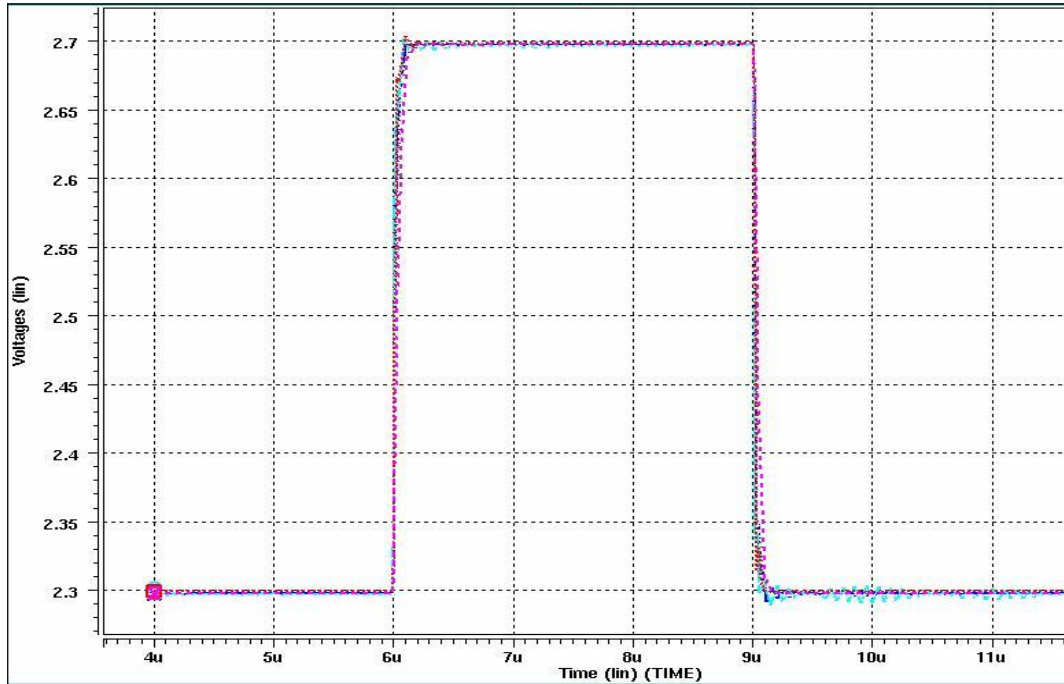


圖 3-6 輸入為 2.3V-2.7V 之 step function 五個 corners 的輸出響應

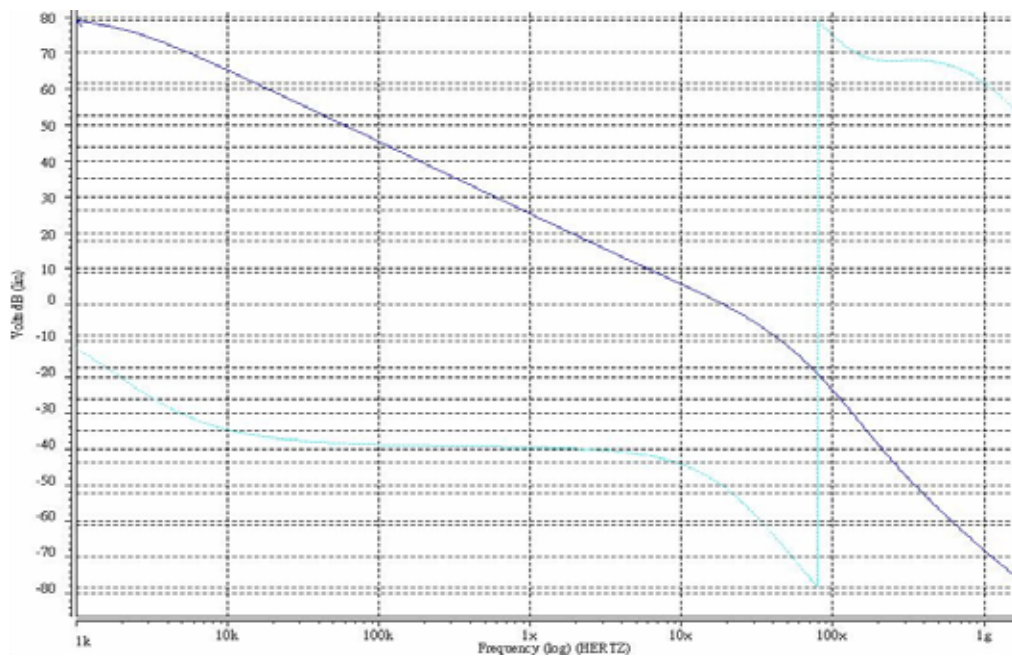


圖 3-7 運算放大器差模增益及相位響應波形



表 3-1 運算放大器模擬結果

規格	模擬結果
$V_{DD}$	3.3V
差動增益(Adm)	78.8dB
Phase Margin	63 度
共模增益(Acm)	-32.15dB
CMRR	110.95dB
Settling time (CL=30pF)	0.3 $\mu$ s

(C) 數位類比轉換器模擬結果

依序輸入八位元數位資料 00000000-11111111，如圖 3-8 為粗調運算放大器輸出電壓波形圖，而圖 3-9 為整個數位類比轉換器電壓位階波形圖。

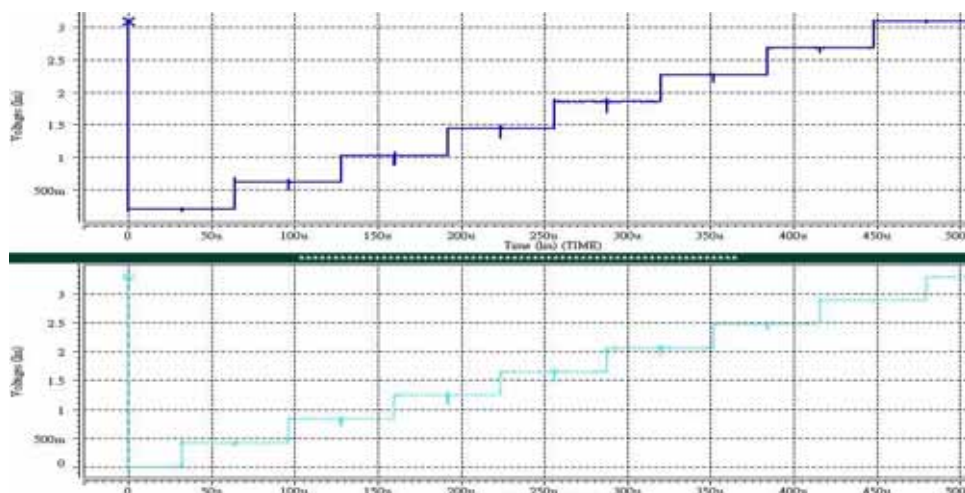


圖 3-8 粗調運算放大器輸出電壓波形



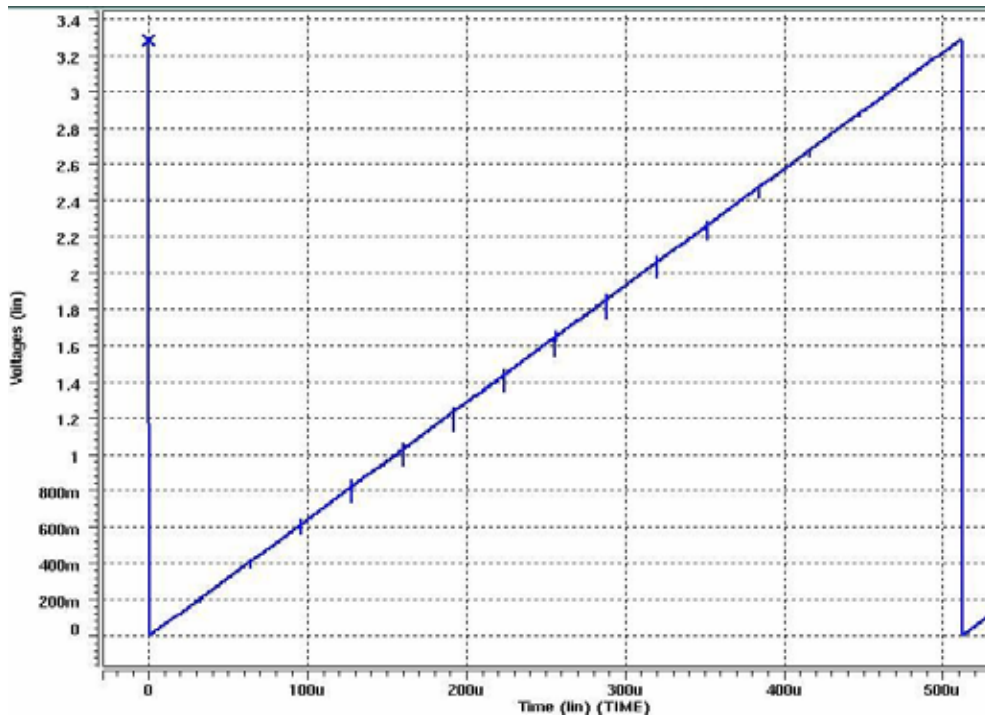


圖 3-9 八位元數位類比轉換器輸出電壓波形

DNL的模擬如圖 3-10 所示，其最大值為  $0.1\text{LSB}$ 。而圖 3-11 所示為使用本論文測試演算法的DNL圖，兩個圖相比較其最大誤差發生在低位元全為 1 高位元為 0 轉換到低位元為 0 高位元為 1 時，列如：00000111 轉換到 00001000 時，從圖中可以看出其DNL小於  $0.15\text{LSB}$ 。INL的模擬如圖 3-12 所示，其最大值小於  $0.5\text{LSB}$ ，而圖 3-13 所示為使用本論文測試演算法的INL圖，其最大值也是小於  $0.5\text{LSB}$ 。表 3-2 為八位元數位類比轉換器預計規格。圖 3-14 為八位元數位類比轉換器佈局平面圖，使用TSMC  $0.35\mu\text{m}$  2P4M CMOS製程製作完成，整個佈局面積為  $1.200 * 1.360 \text{ mm}^2$ 。

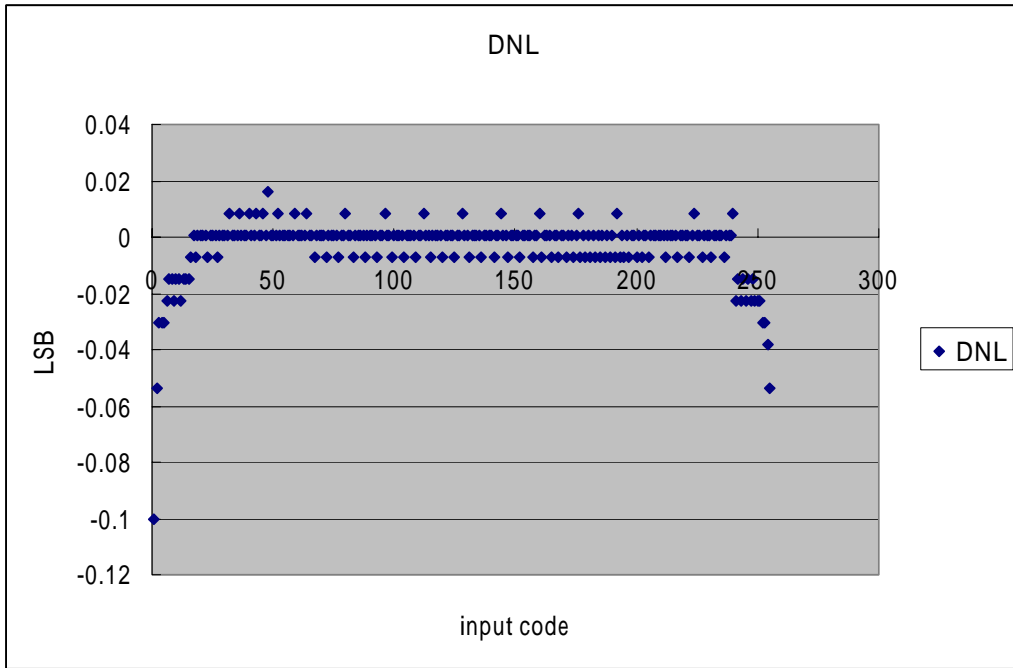


圖 3-10 數位類比轉換器 DNL 模擬圖

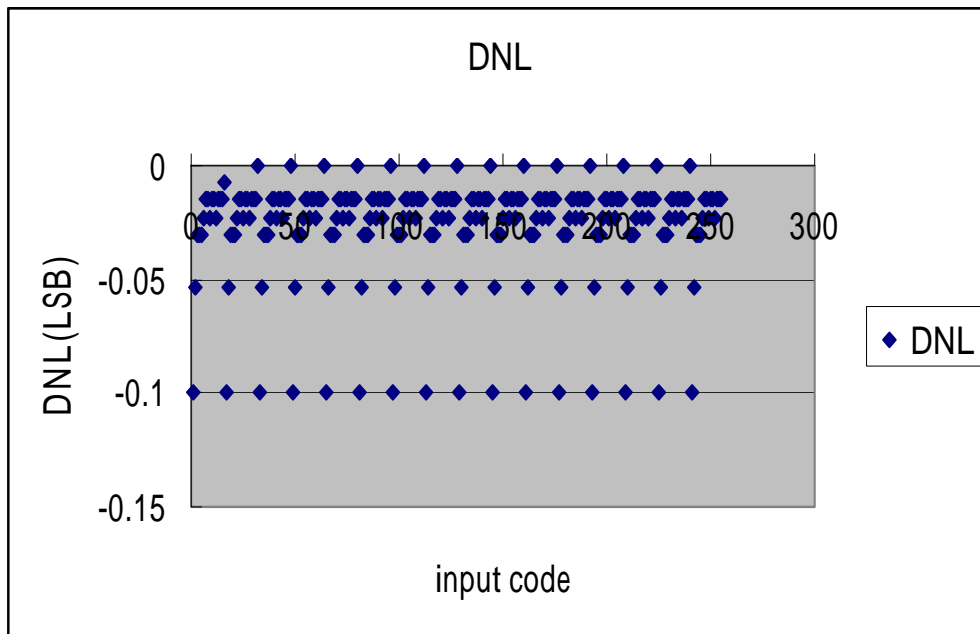


圖 3-11 測試演算法 DNL 模擬圖

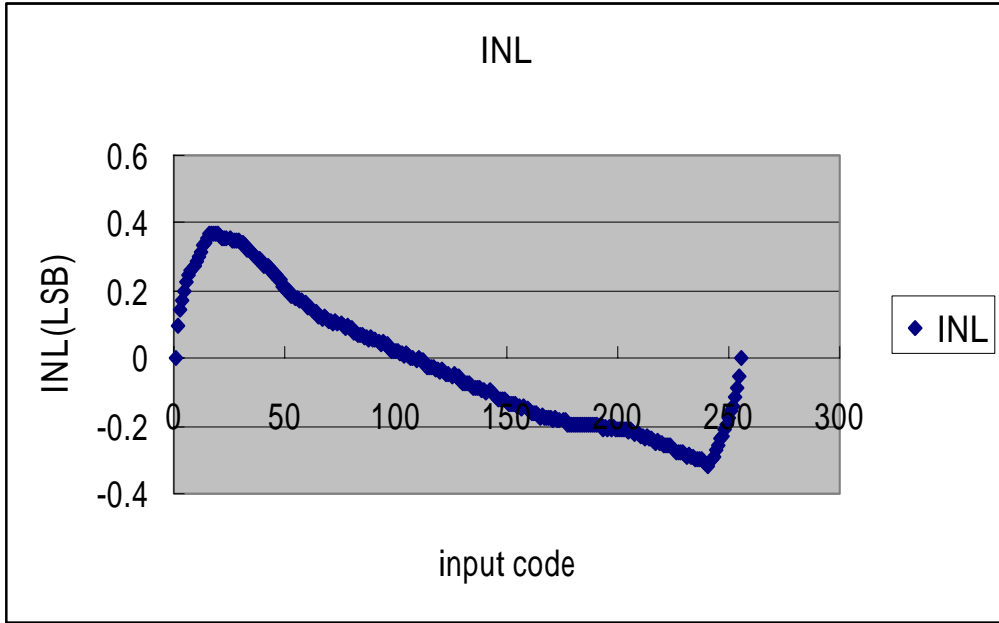


圖 3-12 數位類比轉換器 INL 模擬圖

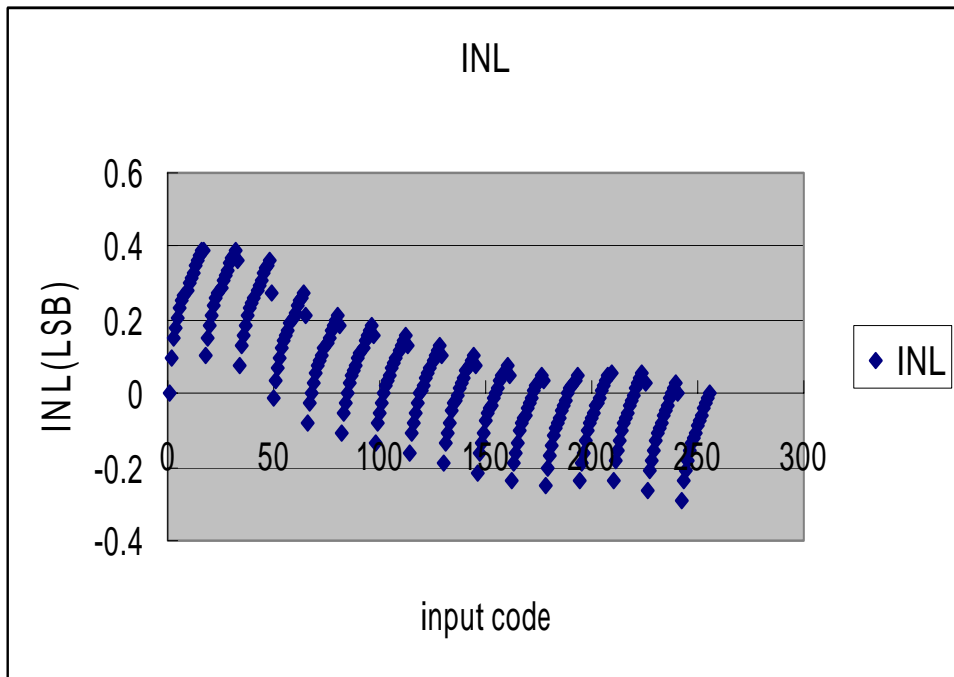


圖 3-13 測試演算法 INL 模擬圖

表 3-2 數位類比轉換器模擬結果

預計規格	模擬結果
$V_{DD}$	3.3V
DAC 解析度	8 位元
DAC 操作速度	1MHZ
Settling time	$0.3 \mu s$
Static power	5.3 mW
DNL	0.1LSB
INL	0.4LSB

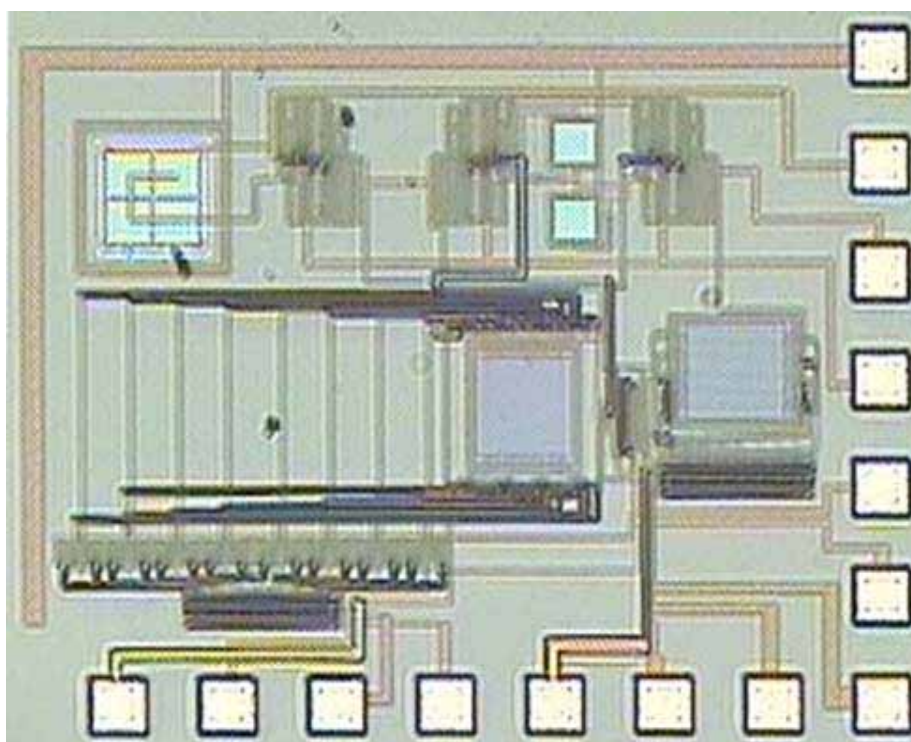


圖 3-14 八位元數位類比轉換器晶片照相圖

### 3.2.3 量測結果

如圖 3-15 所示，為一般量測所有電壓值的 DNL 圖，其 DNL 最大值為 0.07LSB，圖 3-16 所示，為使用本論文測試演算法量測的 DNL 圖，兩個圖相比較其最大誤差發生在低位元全為 1 高位元為 0 轉換到低位元為 0 高位元為 1 時，列如:00000111 轉換到 00001000 時，從圖中可以看出其 DNL 小於 0.1LSB。INL 的量測如圖 3-17 所示，其最大值小於 0.5LSB，而圖 3-18 所示為使用本論文測試演算法的 INL 圖，其最大值也是小於 0.5LSB。

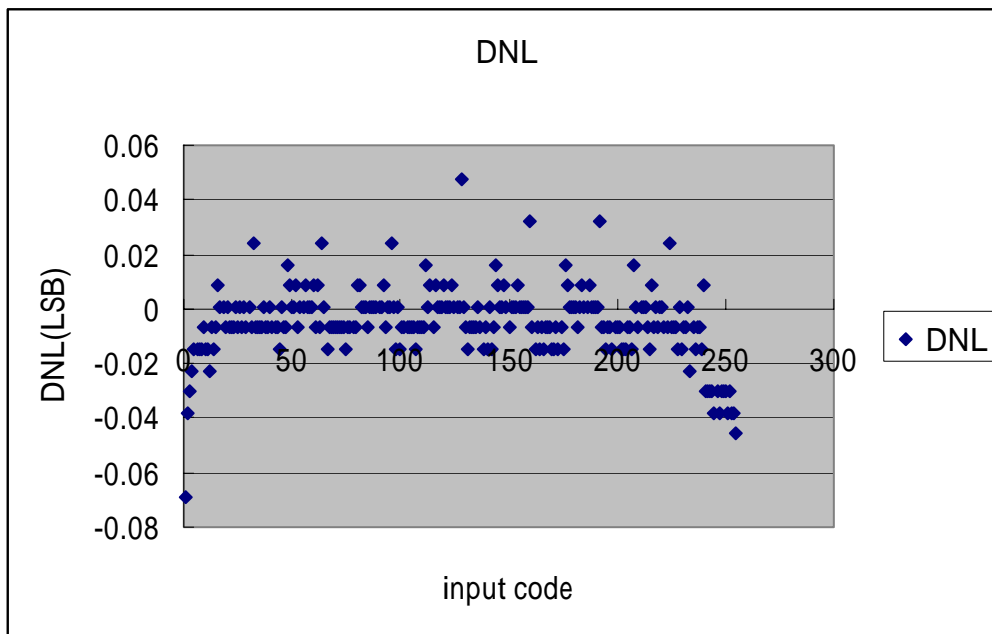


圖 3-15 量測所有電壓值 DNL 圖

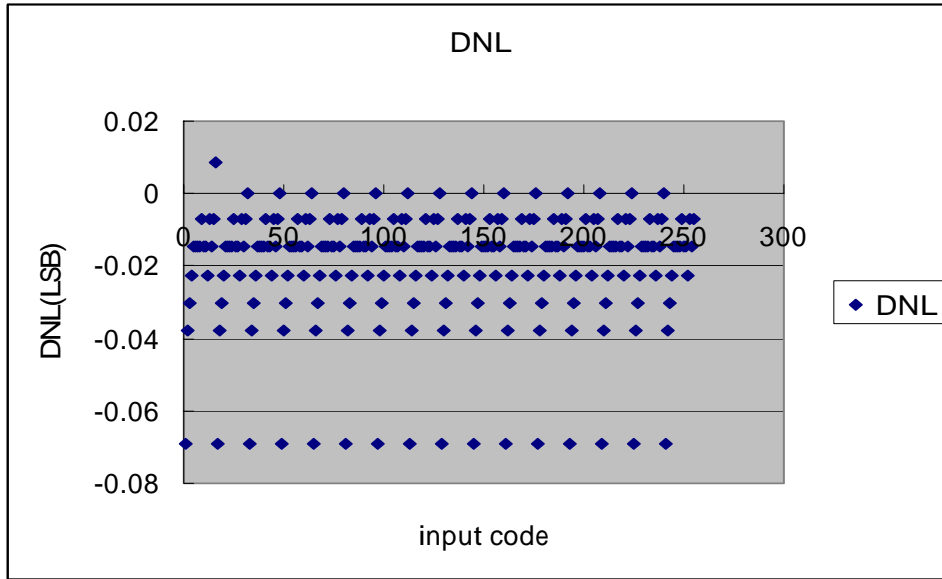


圖 3-16 測試演算法 DNL 量測圖

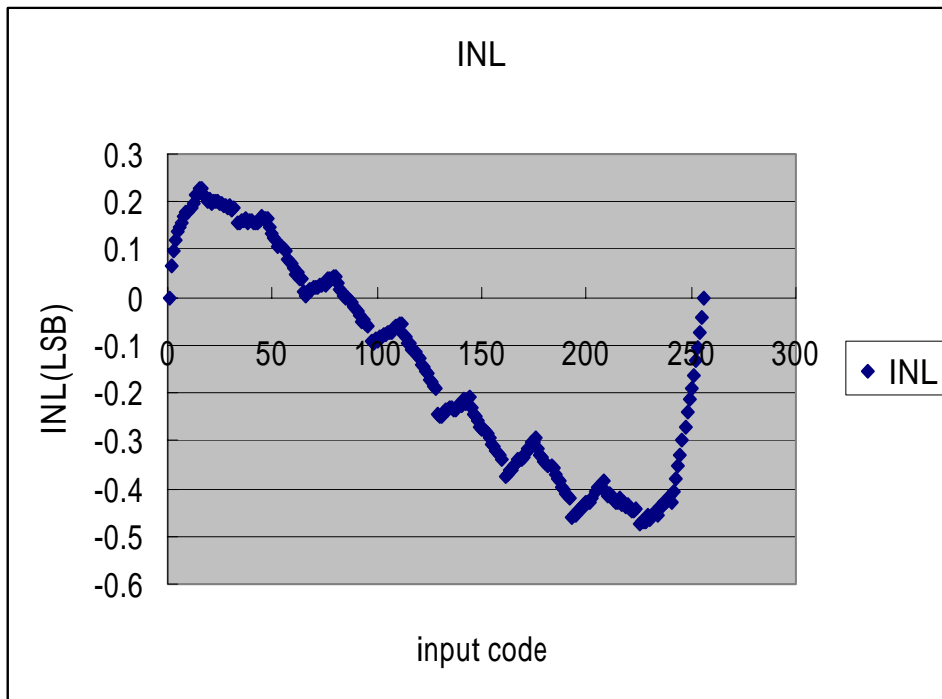


圖 3-17 量測所有電壓值 INL 圖

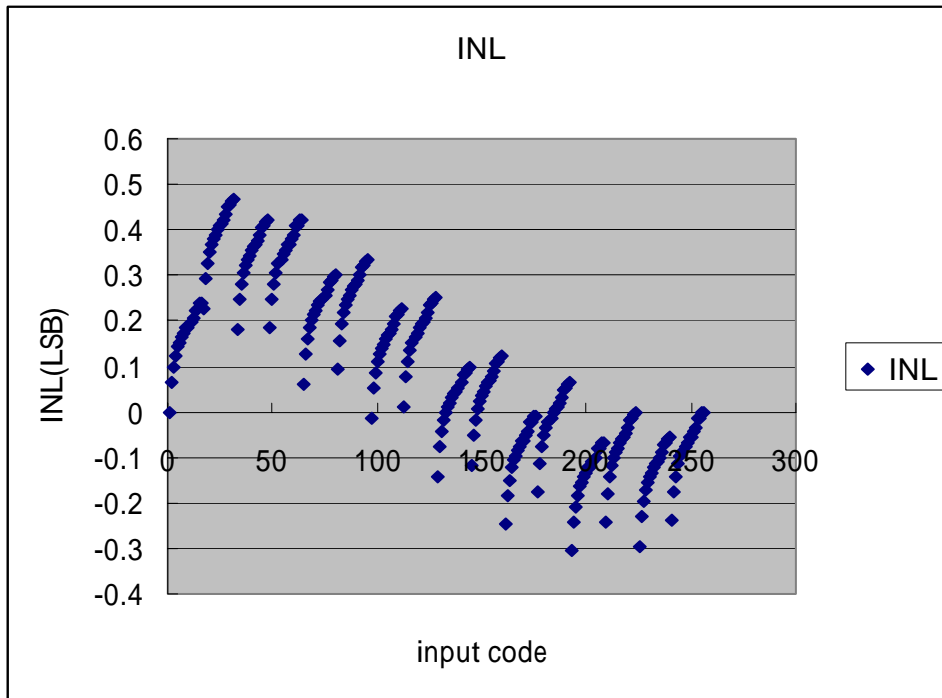


圖 3-18 測試演算法 INL 量測圖

# 第四章 自我校準演算法與電路設計

## 4.1 自我校準演算法

如圖 4-1 所示為自我校準演算法，整個電路架構包含十二位元電流模式數位類比轉換器、十二位元類比數位轉換器、減法電路、儲存校準位元碼表 (SRAM)、與四位元二進制權重校準數位類比轉換器。類比數位轉換器 (ADC) 其功能是将數位類比轉換器 (DAC) 的輸出電壓轉換成數位碼，此轉換出的數位碼與輸入到數位類比轉換器數位碼相比較，比較出的差值儲存到校準位元表內。在數位類比轉換器一般轉換期間，數位輸入訊號除了給數位類比轉換器之外，也會輸入到儲存位元碼表內，將量測的位元差值輸入到四位元校準數位類比轉換器，提供給數位類比轉換器所需的校準電流。本論文目前只完成圖中虛線所視的電路模擬，架構中的 12-bits ADC 是使用 HSPICE 所附的理想模型進行模擬，而其中的校準位元碼表還未完成。

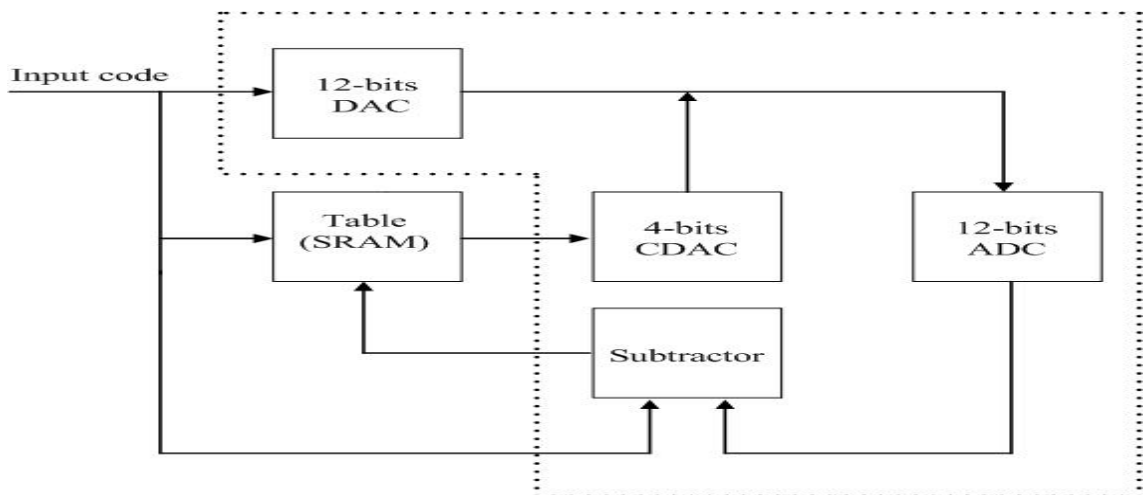


圖 4-1 自我校準演算法架構圖



## 4.2 電路設計

### 4.2.1 架構簡介

如圖 4-2 所示，此十二位元電流模式數位類比轉換器是採用部分區段架構來實現，其中八位元採用矩陣的方式設計，是為了降低數位類比轉換器的靜態與動態特性，同時又能補償製程漂移(Process Variation)。而四位元是使用二進制權重的方式，可減少數位電路複雜度。

輸入訊號最高位元 8bits，先經由行解碼(columns decoder)電路與列解碼(rows decoder)電路將二進位碼轉成溫度計碼，由於解碼出的訊號會有延遲，所以解碼器後使用 D 型正反器將訊號同步，進一步控制電流源矩陣。另外在矩陣中每個單元 (cell) 還需要一個解碼電路來決定電流源要導通或關閉，其中  $ci_0$  與  $ci_1$  為列解碼電路輸出， $cj$  為行解碼電路輸出，而最低位元 4bits 也是經由 D 型正反器將訊號同步，然後將訊號送到二進制加權電流源。隨著輸入訊號的切換，其與輸出電壓關係如所示：

$$I_{OUT} = I_{MSB}(2^7 b_{11} + 2^6 b_{10} + 2^5 b_9 + 2^4 b_8 + 2^3 b_7 + 2^2 b_6 + 2^1 b_5 + 2^0 b_4) \\ + I_{LSB}(2^3 b_3 + 2^2 b_2 + 2^1 b_1 + 2^0 b_0)$$

$$V_{OUT} = I_{OUT} \cdot R_{LOAD}$$

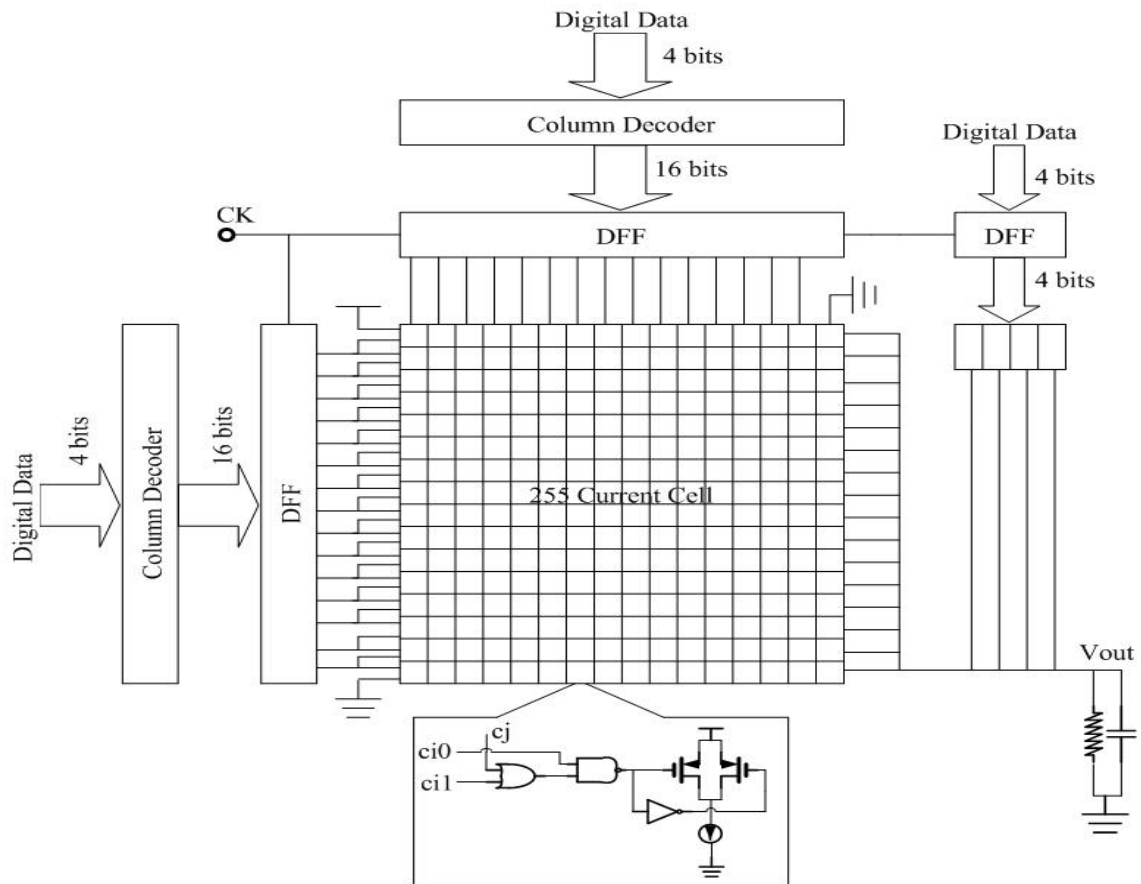


圖 4-2 十二位元電流模式數位類比轉換器

(A) 溫度計碼解碼電路

為了控制矩陣內 256 個單位電流源依序導通與關閉，所以需要溫度計碼這樣的編碼方式，如表 4-1 為三位元溫度計碼真值表 (Truth Table)，從表中可知其編碼方式，是將二進制等效的十進制數值轉換成 1 的個數，如圖 4-3 所示為本論文使用的四位元溫度計碼電路圖。

表 4-1 三位元溫度計碼真值表 (Truth Table)

十進位制	二進位制	溫度計碼
0	0 0 0	0 0 0 0 0 0 0
1	0 0 1	0 0 0 0 0 0 1
2	0 1 0	0 0 0 0 0 1 1
3	0 1 1	0 0 0 0 1 1 1
4	1 0 0	0 0 0 1 1 1 1
5	1 0 1	0 0 1 1 1 1 1
6	1 1 0	0 1 1 1 1 1 1
7	1 1 1	1 1 1 1 1 1 1

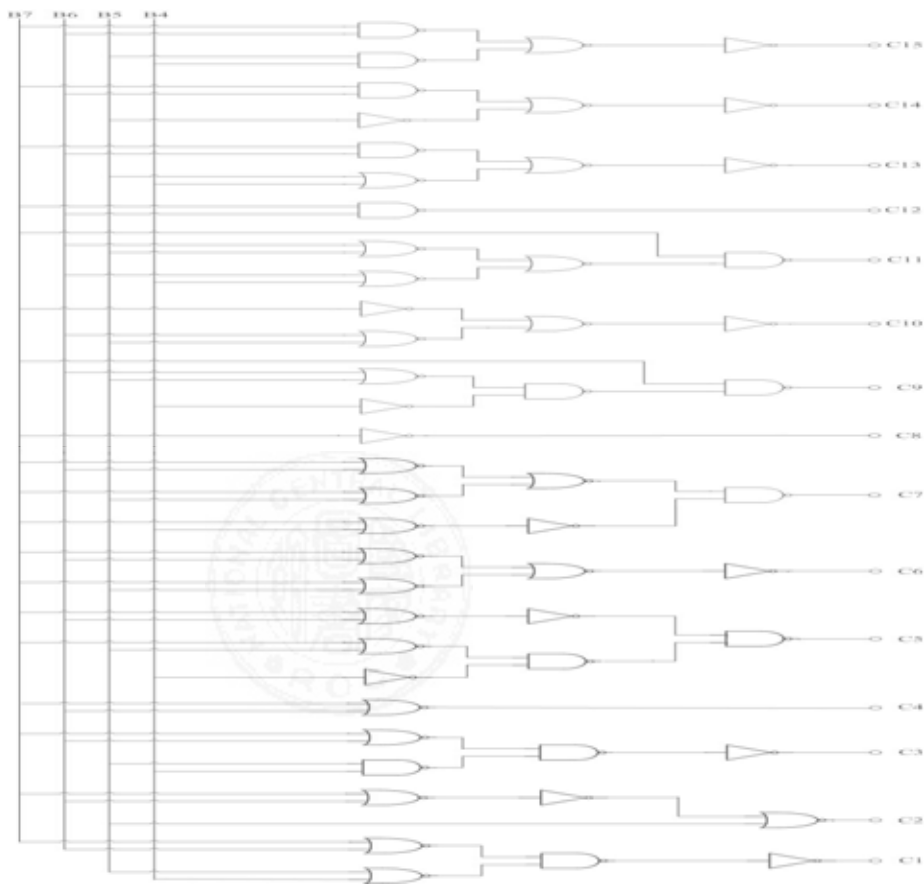


圖 4-3 四位元溫度計碼電路圖

### (B) D 型正反器

如圖 4-4 所示，D 型正反器是由一些傳輸閘與反相器所組成，當時脈訊號  $Q=0$  時，TG1 與 TG4 導通，TG2 與 TG3 關閉，輸入資料 D 先暫存在  $O_i$ ，當時脈訊號  $Q$  由 0 上升到 1 時，TG2 與 TG3 導通，TG1 與 TG4 關閉，剛才暫存在  $O_i$  資料到達輸出端  $O$ 。

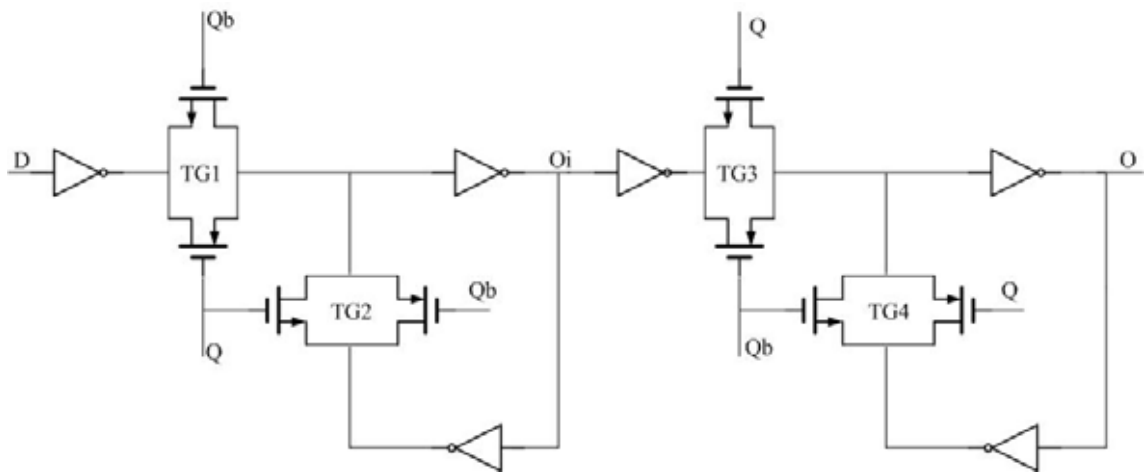


圖 4-4 D 型正反器

### (C) 控制電流源切換開關訊號電路

如圖 4-5 為一基本電流開關，其中  $sw$  與  $swb$  互為反向的訊號，根據輸入控制訊號  $sw$  與  $swb$ ，適當的將電流源的電流切換至  $out$  或  $outb$ 。在實際的電路中，為了避免電流源有關閉的狀態發生，所以  $sw$  與  $swb$  訊號的波形需特別的被設計成如圖 4-6 所示。因為當電流源關閉之後，再下一次導通時需要一段穩定時間，如此會造成轉換速度降低。如圖 4-7 為產生圖 4-6 波形電路圖，其中輸出兩個反向器是以充電慢放電快

的概念來設計。

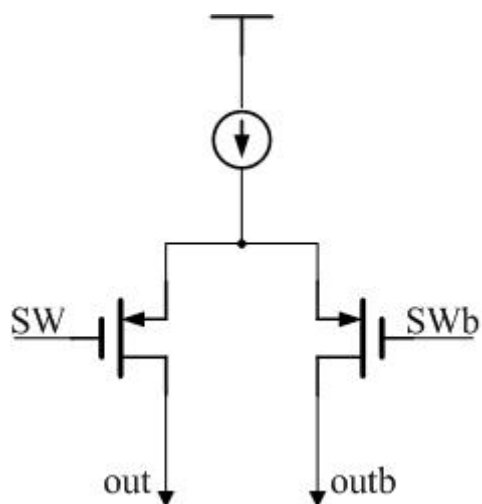


圖 4-5 基本電流開關

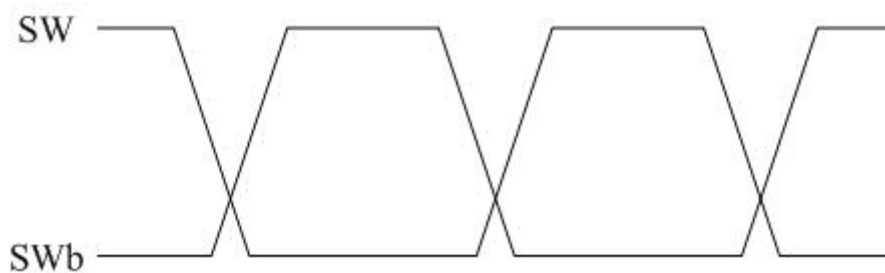


圖 4-6 電流源開關波形圖

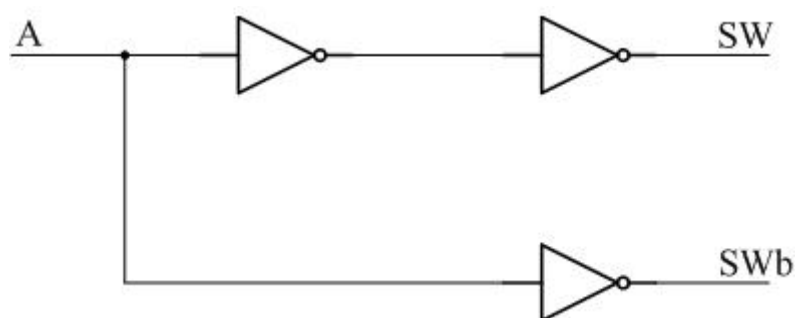


圖 4-7 驅動電流源開關電路

#### (D) 單位電流源

單位電流源如圖 4-8 所示，其由疊接電流源和疊接開關所構成，並且所有元件皆是使用 P 通道電晶體，因 P 通道電晶體在製程上比 N 通道電晶體有較小汲極(drain)電流不對稱，且 P 通道電晶體是做在 N 型井(N-well)內可防止基底的雜訊影響到輸出端。兩個額外疊接電晶體 MP5 與 MP6，是為了減少電荷注入(charge feedthrough)，由於 MP3 與 MP4 開關導通與關閉經由閘汲極(gate-drain)的寄生電容耦合到輸出端。

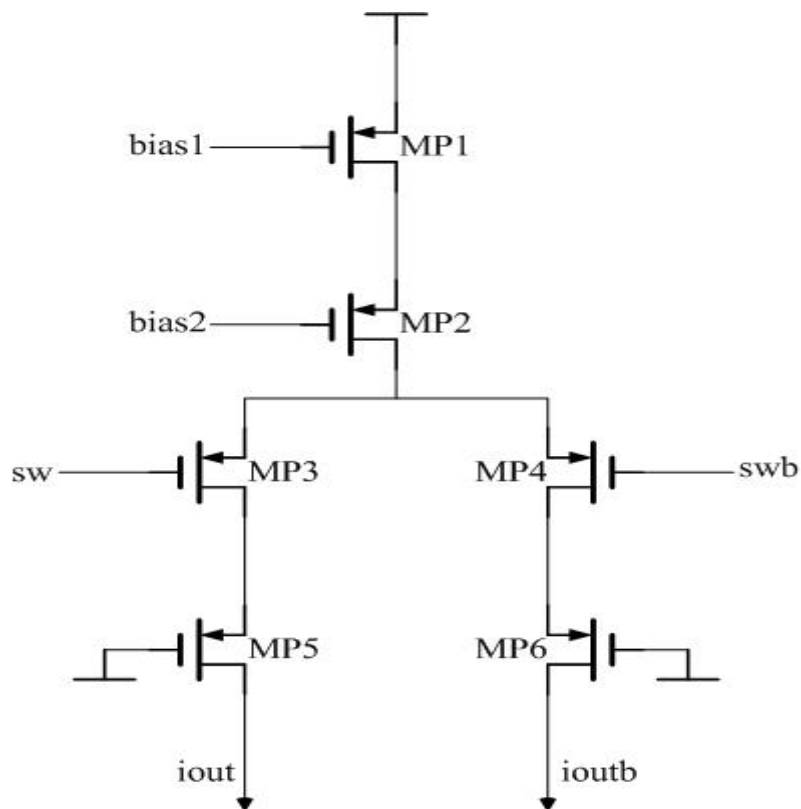


圖 4-8 單位電流源

## 4.2.2 模擬結果

如圖 4-9 所示，依序輸入 12 位元之數位訊號，其整體數位類比轉換器輸出波形圖。表 4-2 為數位類比轉換器的預計規格。

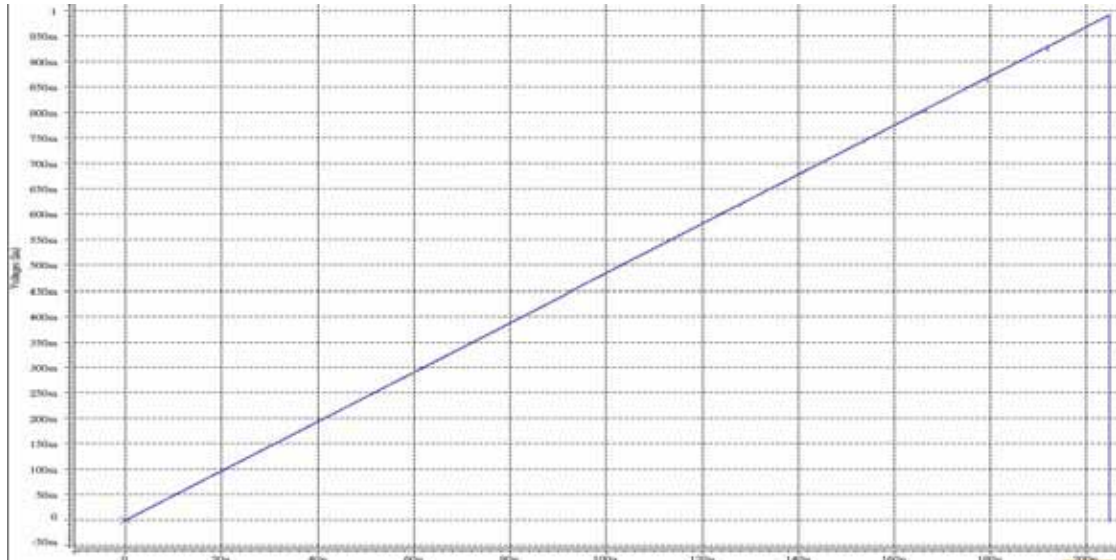


圖 4-9 數位類比轉換器輸出波形圖

表 4-2 十二位元數位類比轉換器模擬規格

預計規格	模擬結果
Resolution	12-bits
Update rate	100MS/s
Load	75Ω, 20 pf
Output swing	1V
Power consumption	62mW

## 第五章 結論與未來工作

### 5.1 結論

本論文中，我們提出了一個不需要增加額外電路並且可減少測試圖樣的演算法。並且為了驗證所提出的演算法，實作一個八位元電壓模式雙電阻串階梯數位類比轉換器，由模擬結果與一般測試方法相比較，其 DNL 大約為  $0.07\text{LSB}$ ，而 INL 方面可觀察出其最大值小於  $0.5\text{LSB}$ 。

由於目前數位類比轉換器朝向高位元發展，而在為了達到系統所要求規格上，本論文提出十二位元電流模式自我校準(calibrate)數位類比轉換器，整個系統電路架構模擬還未完成。十二位元數位類比轉換器是採用區段式架構，高八位元是使用矩陣式，而低四位元是使用二進制權重式，由模擬結果其操作速度為  $50\text{MHz}$ ，消耗功率為  $62\text{mW}$ 。



## 5.1 未來工作

數位類比轉換器的測試方向，未來工作會朝向內建自我測試 (Built-in Self-Test, BIST) 數位類比轉換器。由於本論文所提出自我校準數位類比轉換器，整體架構模擬還未十分完善，未來工作會持續將此架構模擬完成，且會經由晶片下線來進一步的驗證與測試。

## 參考文獻

- [1] 高學武, “CMOS A/D 及 D/A 轉換器的設計與測試,”經濟部工業技術人才培訓計畫講義, 1999.
- [2] R. Jacob Baker , Harry W. Li , David E. Boyce , “CMOS Circuit Design, Layout, & Simulation,” Wiley-IEEE Press, 1997.
- [3] Roubik Gregorian, “Introduction to CMOS OP-AMPS and Comparators,” Wiley-Interscience Publication, pp.304, 1999.
- [4] Chang, S.J.; Lee, C.L.; Chen, J.E.; “BIST scheme for DAC testing,” Electronics Letters, Vol. 38, pp. 776 – 777, 2002.
- [5] Yun-Che Wen; Kuen-Jong Lee; “BIST structure for DAC testing,” Electronics Letters, Vol. 34, pp. 1173 – 1174, 1998.
- [6] Jiun-Lang Huang; Chee-Kian Ong; Kwang-Ting Cheng; “A BIST scheme for on-chip ADC and DAC testing,” Design, Automation and Test in Europe Conference and Exhibition, pp. 216 – 220, 2000
- [7] Holloway, P.; Norton, M.; “A high yield, second generation 10-bit monolithic DAC,” Solid-State Circuits Conference. Digest of Technical Papers. ISSCC. pp. 106 – 107, 1976.
- [8] Hyde, J.; Humes, T.; Diorio, C.; Thomas, M.; Figueroa, M.; “A floating-gate trimmed, 14-bit, 250 Ms/s digital-to-analog converter in standard 0.25  $\mu\text{m}$  CMOS,” IEEE International Symposium on Circuits and Systems, pp. 328 - 331, 2002.
- [9] Oborn, P.K.; Comer, D.T.; “A new digital to analog converter resistor string architecture,” IEEE International ASIC Conference and Exhibit, pp. 304 - 307, 2002.
- [10] Pelgrom, M.J.M.; Duinmaijer, A.C.J.; Welbers, A.P.G.; “Matching

- properties of MOS transistors,” IEEE Journal of Solid-State Circuits, Vol.24, pp.1433 - 1439, 1989.
- [11] Abrial, A.; Bouvier, J.; Fournier, J.-M.; Senn, P.; Veillard, M.; “A 27-MHz digital-to-analog video processor,” IEEE Journal of Solid-State Circuits, pp. 1358 - 1369, 1988.
- [12] Cremonesi, A.; Maloberti, F.; Polito, G.; “A 100-MHz CMOS DAC for video-graphic systems,” IEEE Journal of Solid-State Circuits, Vol. 24, pp. 635 - 639, 1989.
- [13] Chi-Hung Lin; Bult, K.; “A 10-b, 500-MSample/s CMOS DAC in 0.6 mm<sup>2</sup>,” IEEE Journal of Solid-State Circuits, Vol.33, pp.1948 - 1958, 1998.
- [14] Nakamura, Y.; Miki, T.; Maeda, A.; Kondoh, H.; Yazawa, N.; “A 10-b 70-MS/s CMOS D/A converter,” IEEE Journal of Solid-State Circuits, Vol.26, pp.637 - 642, 1991.
- [15] Lin, C.-H.; Bult, K.; “A 10 b 250-Msample/s CMOS DAC in 1 mm<sup>2</sup>,” Solid-State Circuits Conference. Digest of Technical Papers. ISSCC. pp. 214 – 215, 1998.
- [16] Jin Park; Seung-Chul Lee; Jin-Sik Yoon; Seung-Hoon Lee; “A 3 V 10b 100MS/s digital-to-analog converter for cable modem applications,” IEEE Transactions on Consumer Electronics, Vol.46, pp.1043 - 1047, 2000.
- [17] Tien-Yu Wu; Ching-Tsing Jih; Jueh-Chi Chen; Chung-Yu Wu; “A low glitch 10-bit 75-MHz CMOS video D/A converter,” IEEE Journal of Solid-State Circuits, Vol.30, pp.68 - 72, 1995.
- [18] Letham, L.; Ahuja, B.K.; Quader, K.N.; Mayer, R.J.; Larsen, R.E.; Canepa, G.R.; “A low glitch 10-bit 75-MHz CMOS video D/A

- converter,” IEEE Journal of Solid-State Circuits, Vol.22, pp.1041 - 1047, 1987.
- [19] Tiilikainen, M.P.; “A 14-bit 1.8-V 20-mW 1-mm<sup>2</sup> CMOS DAC,” IEEE Journal of Solid-State Circuits, Vol.36, pp.1144 - 1147, 2001.
- [20] Greenley, B.R.; Veith, R.L.; Dong-Young Chang; Un-Ku Moon; “A 1.4V 10b CMOS DC DAC in 0.01mm/sup 2/,” IEEE InternationaSOC Conferencel, pp.237 - 238, 2003.
- [21] Schoeff, J.A.; “An inherently monotonic 12 bit DAC,” IEEE Journal of Solid-State Circuits, Vol.14, pp.904 - 911, 1979.
- [22] Bugeja, A.R.; Song, B.-S.; Rakers, P.L.; Gillig, S.F.; “A 14-b, 100-MS/s CMOS DAC designed for spectral performance,” IEEE Journal of Solid-State Circuits, Vol.34, pp.1719 - 1732, 1999.