

新型高速低功耗 CMOS 预放大锁存比较器

杨赞秀, 罗静芳, 宁 宁, 于 奇, 王向展, 刘 源, 吴霜毅, 杨漠华

(电子科技大学微电子与固体电子学院, 四川 成都 610054)

摘 要: 基于预放大锁存快速比较理论, 提出了一种新型高速低功耗 CMOS 比较器的电路拓扑。采用典型的 $0.35 \mu\text{m}/3.3 \text{ V}$ 硅 CMOS 工艺模型, 用 Cadence 软件进行模拟仿真, 比较器延迟时间为 231 ps, 比优化前降低了 235 ps; 其回馈噪声对输入信号和电阻串参考电压产生的毛刺峰值分别为 6.35 mV 和 1.57 mV; 电路功耗 118.6 μW 。运用该结构的比较器具有快速过驱动恢复能力, 大幅度提高了比较器的速度; 能有效抑制其回馈噪声, 功耗低, 可用于高速低功耗 A/D 转换器模块的设计。

关键词: 预放大锁存比较器; 低功耗; 延迟时间; 回馈噪声

中图分类号: TN432.1

文献标识码: A

文章编号: 1004-3365(2006)02-0213-04

A New High-Speed Low-Power CMOS Preamplifier-Latch Comparator

YANG Yun-xiu, LUO Jing-fang, NING Ning, YU Qi, WANG Xiang-zhan,

LIU Yuan, WU Shuang-yi, YANG Mo-hua

(School of Microelec. and Sol. Sta. Electronics, Univ. of Elec. Sci. and Technol. of China, Chengdu, Sichuan 610054, P. R. China)

Abstract: Based on the preamplifier-latch fast-compare theory, a novel topology of CMOS preamplifier latch comparator circuit is presented. Simulated using Cadence's EDA software with standard $0.35 \mu\text{m} / 3.3 \text{ V}$ Si CMOS model, the comparator has a transfer delay time of 231 ps after optimization, 235 ps less than it was before optimization. Glitches introduced to input signal and the reference voltage are generated by the kickback noises, which are only 6.35 mV and 1.57 mV, respectively. The circuit dissipates 118.6 μW of power. It has been shown that the comparator has a fast overdrive recovery speed, and it is capable of suppressing kickback noise efficiently. This cell is applicable to high-speed low-power ADC modules.

Key words: Preamplifier-latch comparator; Low power; Delay time; Kickback noise

EEACC: 1265H

1 引 言

视频信号处理及便携式通信技术的快速发展对片上系统中子模块的速度、功耗要求越来越高, 如何在保证高性能的前提下, 设计低功耗的子模块已成为集成电路设计的方向^[1]。比较器是所有 A/D 转换器的关键模块, 它的性能, 尤其是速度、功耗、噪声、失调, 对整个 A/D 转换器的速度、精度和功耗都有着至关重要的影响。适用于大规模集成的

CMOS 比较器, 已经成功地应用于视频。但是, 传统的比较器很难同时满足 A/D 转换器对速度和功耗的要求, 因此, 需要提出新的电路结构, 以满足应用要求。

过去的研究表明, 传统的预放大锁存比较器有较小的延迟时间和低失调、低回馈噪声, 但这些高指标是以高损耗和大的芯片面积为代价的^[2]; 动态比较器虽然具有速度快、功耗低的优点, 但是, 失调电压和回馈噪声都很大, 限制了在高精度 A/D 转换器中的应用; 静态比较器具有较小的回馈噪声, 但功耗

收稿日期: 2005-06-27; 定稿日期: 2005-09-03

基金项目: 国家自然科学基金资助项目(60072004); 模拟集成电路国家重点实验室基金资助项目(51439010303DZ0221)

大,比较速度慢,不适合高速 A/D 转换器。综合考虑以上情况,本文提出一种新型 CMOS 高速低功耗预放大锁存比较器结构,并对其进行了分析和优化。

2 比较器结构及其工作原理

图 1 给出了本文所设计的预放大锁存比较器的拓扑结构。其中, $M_1 \sim M_4$ 形成交叉耦合差分对,尾电流源 M_{16} 、 M_{17} 提供直流偏置,构成吉尔伯特结构。

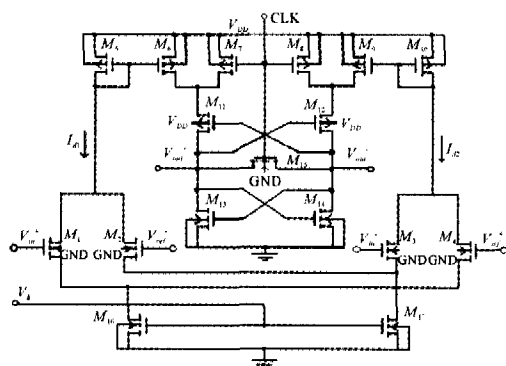


图 1 本文提出的预放大锁存比较器拓扑结构

差分电流通过 $M_5 \sim M_6$ 、 $M_9 \sim M_{10}$ 组成的电流镜,镜像到 $M_{11} \sim M_{14}$ 构成的锁存器输入端; M_7 、 M_8 只在反馈模式时为锁存器提供电流; M_{15} 是开关管,栅接时钟信号,控制锁存器工作状态。

该比较器只需要一个单相时钟,工作过程如下:当时钟为高电平时, M_7 、 M_8 截止,过管 M_{15} 导通,比较器的输出短接。但是,由于比较器处于复位模式,使两端输出电压略低于 NMOS 的阈值电压,极大地降低了动态失调;当时钟为低电平时,比较器处于锁存模式,过管 M_{15} 关断,比较器的两个输出端分离, $M_{11} \sim M_{14}$ 形成正反馈结构。差分电流对输出节点寄生电容充电,直到输出达到数字范围的满量程。

3 锁存器速度分析与优化

结合预放大器对输入信号的负指数响应和正反馈锁存器对输入信号的正指数响应的优点,采用预放大锁存结构,并根据限制比较器速度的各种因素,对比较器进行优化。其中,锁存器的响应速度是决定比较器速度的主要因素。本文主要讨论对锁存器的改进。

3.1 利用开关电流源提高比较器速度

考虑到锁存器的增益越大,驱动电流越大,则锁存器输出的建立时间越短。因此,在差分对与交叉耦

合锁存器之间,增加两个由时钟控制的电流源管 $M_7 \sim M_8$,控制锁存器驱动电流的大小。

没有开关管电流源和增加开关电流源管相应的预放大器增益,分别由公式(1)、(2)给出:

$$A_0 \approx g_{m1} / g_{m5} = g_{m3} / g_{m10} \quad (1)$$

$$A_0 \approx g_{m1} / g_{m5} = \sqrt{\frac{K'_n(W_1/L_1)}{K'_p(W_3/L_3)}} \cdot \sqrt{1 + \frac{I_{d1}}{I_{d1}}} \quad (2)$$

可见,由时钟控制的电流源 $M_7 \sim M_8$ 导通时,提高比较器的增益,增大了锁存器的差分电流。使得在锁存模式下,存在足够的大电流,驱动锁存器迅速建立,极大地减小了响应时间;而且,由于 $M_7 \sim M_8$ 在复位时关断,降低了比较器的功耗。

3.2 增加并优化复位管以提高比较器速度

根据快速过驱动恢复理论,在比较器输出端之间连接一个由时钟控制的开关管 M_{15} ,当开关导通时,输出通过放电路径复位,从而快速消除上一输出状态,获得更快的过驱动恢复,使比较器在反馈模式时能够更快地建立。复位时虽然存在静态功耗,但此时两个输出端电压位于 V_{gs} 附近,而不是比较器输出的高/低电平状态,因此,极大地降低了比较器的动态失调。当处于锁存模式时,比较器输出端的初始值是开关管 M_{15} 导通电阻的函数。优化 M_{15} 和锁存中 NMOS 管的宽长比,不仅可以用来克服在锁存模式时 M_{13} 和 M_{14} 引起的动态失调,还可以减小静态电流值和恢复时间,相应降低功耗,提高比较器的速度。

3.3 优化锁存器尺寸提高比较器速度

在锁存模式时,锁存的速度主要由比较器的正极点决定,其表达式为

$$\rho_{neg} = \frac{g_{m12} + g_{m14} - g_{o12} - g_{o14}}{C_{ds12} + C_{gs12} + C_{ds14} + C_{gs14}} \quad (3)$$

反馈回路中,该极点由 NMOS 和 PMOS 的跨导及寄生电容共同确定。与 NMOS 相比较,PMOS 在提供相同跨导的同时,也提供了更大的寄生电容。因此,为了提高反馈速度,选择增大反馈回路中 NMOS 的尺寸,反馈管 PMOS 与 NMOS 的尺寸之比应小于 NMOS 与 PMOS 载流子迁移率之比。

4 比较器的回馈噪声分析及抑制方法

在视频应用中,由高频时钟引起的回馈噪声对比较器精度的影响是一个严重的问题。每当构成正反馈结构的 MOS 管导通或截止,都会在反馈节点处产生瞬态充放电电流。该电流以显著的电流尖峰

形式回馈到比较器,通过输入差分对的寄生电容,转变为噪声形式,叠加在信号源上,产生回馈噪声。这种现象在流水线 A/D 转换器第一级中至关重要,会引入显著的动态失调。

传统的消除回馈噪声的方法在输入端加源随器,但是,源随器本身的失调又会引入新的误差;或者在比较器之前加一预放大级,但是,若无隔离电路,反馈节点的变动仍会直接耦合到输入端。

结合以上情况,考虑到本文提出的比较器传输函数中存在两个极点(分别位于耦合差分对的漏端和电压变动很大的反馈输出节点)。为了最小化差分对漏端电压变化,使用 M_6 和 M_9 隔离这两个极点,则反馈端的电压变动无法直接耦合到输入端,相应地降低了回馈噪声。

当该比较器应用于流水线 A/D 转换器时,根据回馈噪声对电阻串参考电压中间节点(最坏情况点)的表达式^[4]

$$\frac{V_{MID}}{V_{input}} \approx \frac{\pi}{4} \cdot 2^n \cdot f_{in} \cdot R_{out} \cdot C_{out} \quad (4)$$

可知,对于系统 A/D 转换器给定的参考电压最大允许波动,比较器本身引入的回馈噪声越小,则电阻串的阻值越大,相应产生的功耗越低,也就降低了 A/D 转换器系统的总功耗。

5 模拟仿真和结果分析

图 2 是采用典型的 $0.35 \mu\text{m}/3.3 \text{V}$ 硅 CMOS 工艺模型,输入 5 mV 阶跃信号的预放大锁存比较器模拟结果。从图中可见,优化后,比较器的延迟时间为 231 ps ,比优化前减少了 235 ps 。表明,在对电路结构优化后,预放大锁存比较器的传输延迟时间大幅度降低,速度进一步提高。

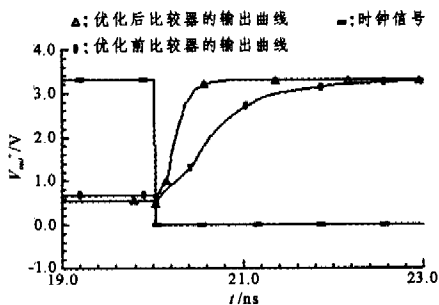


图 2 预放大锁存器的阶跃响应

图 3 为回馈噪声测试电路^[3],用来测试比较器输入端的回馈噪声,利用戴维宁原理等效比较器之前的电路, $R_{out} = 8 \text{ k}\Omega$ 是前级电路的等效输出电阻。

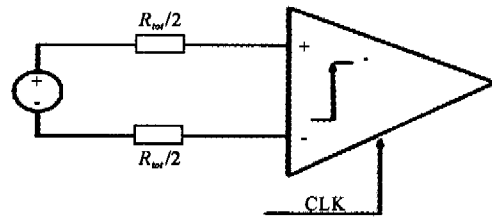


图 3 回馈噪声测试电路

根据测试电路进行仿真,结果如图 4 所示。从图 4 可以看出,当比较器控制时钟频率为 100 MHz ,输入 300 mV 的阶跃信号时,回馈噪声对预放大锁存器输入信号造成约 6.35 mV 的尖峰抖动。在相同情况下,采用中性技术^[4]的比较器,把回馈噪声尖峰降低为 4 mV 。可见,虽然中性技术比采用隔离技术更能有效降低比较器的回馈噪声,但是,隔离技术的结构更简单,节省了功耗和面积。

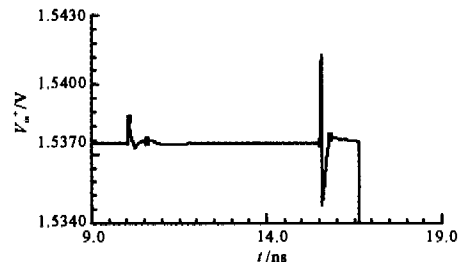


图 4 预放大锁存器回馈噪声对输入信号的影响

图 5 给出当基准电阻串总电阻为 $R_{out} = 1 \text{ k}\Omega$,两端电压差为 1 V 时,输入信号和电阻串中间节点电压受回馈噪声影响的最差情况。从模拟结果可以看出,当比较器控制时钟 100 MHz ,输入信号频率为 50 MHz 时,回馈噪声对预电阻串参考电压造成约 1.57 mV 的尖峰抖动。因此,回馈噪声得到有效的抑制,从而不会影响到预放大锁存比较器的比较结果和输入信号的稳定。

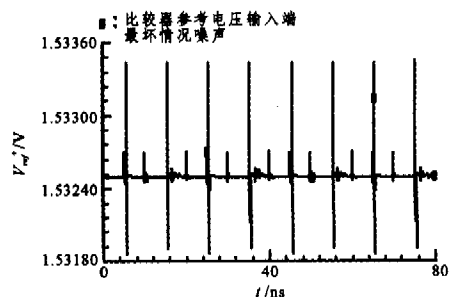


图 5 电阻串参考电压最差回馈噪声

表 1 列出动态锁存比较器^[5]、一级预放大^[6]和本文提出的预放大锁存比较器特征尺寸、延迟时间、功耗和回馈噪声几个指标的比较。本文提出的比较器与动态锁存比较器及传统预放大比较器相比,具有最短的延迟时间,同时功耗最小;产生的回馈噪声

介于传统的预放大比较器与动态锁存比较器之间, 减小了反馈噪声对比较器应用的限制。

表 1 三种不同结构比较器的性能对比

比较器类型	特征尺寸	延迟时间	回馈噪声	功耗
动态锁存比较器	0.5 μm	560 ps	差	138 μW
一级预放大锁存比较器	0.35 μm	380 ps	<210 mV @100 MS/s	612 μW
本文提出的比较器	0.35 μm	231 ps	<6.35 mV @100 MS/s	118.6 μW

6 结 论

基于对传输延迟时间和回馈噪声的理论分析, 获得一种新型高速低功耗预放大锁存比较器电路拓扑。应用典型的 0.35 μm /3.3 V 硅 CMOS 工艺模型, 采用 Cadence 模拟软件进行设计。模拟结果表明, 本文提出的预放大锁存比较器具有 231 ps 延迟时间, 回馈噪声小于 6.35 mV, 功耗 118.6 μW 的良好性能, 实现了高速、低功耗和较好的回馈噪声。该比较器可广泛应用于高速低功耗 A/D 转换器集成电路的设计。

(上接第 212 页)

5 结 论

本文比较完整地介绍了无线局域网射频前端电路设计。在考虑输入寄生电容的情况下, 对低噪声放大器输入匹配和噪声性能作出优化; 提出了一种适合低电源电压条件下工作的混频器结构, 具有比较好的线性度和噪声性能; 采用低通滤波器反馈, 实现接收机直流偏差抵消, 滤波电容适合片内实现。仿真结果显示, 整个接收机满足 802.11b 指标要求; 同时, 本文提出的射频接收机适合于单片集成低功耗的无线收发系统。

参 考 文 献:

- [1] Razavi B. A 2.4-GHz CMOS receiver for IEEE 802.11 wireless LAN's [J]. IEEE J Sol Sta Circ, 1999, 34(10): 1382-1385.
- [2] Razavi B. RF Microelectronics [M]. Pearson Education, Inc. 1998.
- [3] Shaeffer D K, Lee T H. A 1.5-V, 1.5-GHz CMOS low noise amplifier [J]. IEEE J Sol Sta Circ, 1997, 32

参 考 文 献:

- [1] Lotfi R, Taherzadeh-Sani M. A 1-V MOSFET-only fully-differential dynamic comparator for use in low-voltage pipelined A/D converters [A]. Int Symp Signals, Circuits and Systems [C]. 2003, Vol. 2: 377-380.
- [2] Sumanen L, Waltari M, Hakkarainen V. CMOS dynamic comparators for pipeline A/D converters [A]. IEEE Int Circ and Syst Symp [C]. 2002, Vol. 5: 157-160.
- [3] Figueiredo P M, Vital J C. Low kickback noise techniques for CMOS latched comparators [A]. IEEE Int Circ and Syst Symp [C]. Vancouver Canada. 2004. I-537-540.
- [4] Uyttenhove K, Steyaert M S J. A 1.8-V 6-bit 1.3-GHz flash ADC in 0.25- μm CMOS [J]. IEEE J Sol Sta Circ, 2003, 38(7): 1115.
- [5] Uthaichana P, Leelarasmee E. Low power CMOS dynamic latch comparators [A]. Conf Convergent Technologies for Asia-Pacific Region [C]. 2003. 605-608.
- [6] 宁宁, 于奇, 王向展, 等. 高速 CMOS 预放大-锁存比较器设计 [J]. 微电子学, 2005, 35(1): 56-58.

作者简介: 杨赞秀 (1978—), 女 (汉族), 甘肃人, 硕士研究生, 主要从事数模混合信号集成电路的研究。

- [3]: 745-759.
- [4] 崔福良. 蓝牙集成接收机中前端电路的设计 [J]. 系统工程与电子技术, 2004, 26(10): 1529-1533.
- [5] Cho T B. A 2.4-GHz dual-mode 0.18- μm CMOS transceiver for bluetooth and 802.11b [J]. IEEE J Sol Sta Circ, 2004, 39(11): 1916-1926.
- [6] Vavelidis K. A dual-band 5.15-5.35, 2.4-2.5-GHz 0.18- μm CMOS transceiver for 802.11a/b/g wireless LAN [J]. IEEE J Sol Sta Circ, 2004, 39(7): 1180-1184.
- [7] Klumperink E A M. A CMOS switched transconductor mixer [J]. IEEE J Sol Sta Circ, 2004, 39(8): 1231-1240.
- [8] Huang Q-T. The impact of scaling down to deep sub-micron on CMOS RF circuits [J]. IEEE J Sol Sta Circ, 1998, 33(7): 1023-1036.
- [9] Jung Y-J. A 2.4-GHz 0.25- μm CMOS dual-mode direct-conversion transceiver for bluetooth and 802.11b [J]. IEEE J Sol Sta Circ, 2004, 39(7): 1185-1190.

作者简介: 王静光 (1980—), 男 (汉族), 浙江舟山人, 硕士研究生, 主要研究方向为模拟集成电路和射频集成电路的设计与测试。