

OP AMP设计详细文档	4
1. 引言:	4
2. 电路功能描述:	5
2.1 运放的设计指标要求.....	5
2.2 要求输出的仿真结果.....	6
3. 电路整体结构.....	6
3.1 电路整体结构的选取.....	7
3.1.1 输入差分跨导级结构的选择.....	7
3.1.2 输出级结构的选择.....	7
3.1.3 补偿电路.....	7
3.1.4 偏置电路.....	8
3.2 电路符号图(Symbol)	8
4. 电路工作原理和子电路详细设计.....	9
4.1电路工作原理.....	9
4.1.1 单端输出的Folded cascode结构的输入级.....	9
4.1.2 共源放大结构的输出级.....	9
Fig 7 电流源负载共源输出级	10
4.1.3 电路的频率特性和补偿方案.....	10
4.1.3.1 负反馈电路稳定的条件.....	10
4.1.3.2 相位裕度和开环频率特性.....	10
4.1.3.3运放的零极点分布和Miller阻容补偿方法.....	10
4.1.4偏置电路.....	11
4.1.4.1电流偏置.....	11
4.1.4.2电压偏置.....	11
4.2子电路详细设计.....	12
5. 电路仿真.....	15
5.1电路仿真方案.....	15
5.1.1直流参数仿真.....	15
5.1.1.1输入失调电压 (V_{os}) 及其温度特性的仿真.....	15

5.1.1.2共模电压输入范围 (input commom-mode range)的仿真.....	16
5.1.1.3输出动态范围 (output swing) 的仿真.....	16
5.1.2交流参数仿真.....	17
5.1.2.1开环增益(open loop gain)、增益带宽积(GBW)、相位裕度(phase margin)、增益裕度(gain margin)的仿真.....	17
5.1.2.2闭环频率特性仿真.....	18
5.1.2.3共模抑制比 (CMRR) 的仿真.....	19
5.1.2.4电源电压抑制比 (PSRR) 的仿真.....	19
5.1.2.5输出阻抗分析.....	20
5.1.3瞬态参数仿真.....	21
5.1.3.1转换速率 (slew rate) 建立时间 (setup time) 的仿真.....	21
5.1.3.2总谐波失真(THD)分析.....	22
5.2仿真结果.....	23
5.2.1参数测试结果列表.....	23
5.2.2部分仿真曲线图.....	24
6. 开发环境 (工具及其版本、厂家、库等)	27
7. 参考资料.....	28

表目录：

- 表一：缩略语清单
- 表二：运放设计指标要求表
- 表三：运放设计仿真结果表
- 表四：不同闭环增益下的测试结果
- 表五：原理图中所有管子的宽长比

图目录：

Fig 1 Opamp整体结构

Fig 2 电路采用的cascode结构

Fig 3 电流源负载的共源级

Fig 4 偏置电路整体图

Fig 5 电路单元符号图

Fig 6 Opamp的整体原理图

Fig 7 电流源负载共源输出级

Fig 8 负反馈系统框图

Fig 9 自电压偏置电路

Fig 10 输入失调电压仿真原理图

Fig 11 共模电压输入范围仿真原理图

Fig 12 输出动态范围仿真原理图

Fig 13 开环参数仿真原理图

Fig 14 闭环特性仿真原理图

Fig 15 共模抑制比仿真原理图

Fig16 电源电压抑制比仿真原理图

Fig 17 输出阻抗仿真原理图

Fig 18 转换速率与建立时间仿真原理图

Fig 19 总谐波失真仿真原理图

Fig 20 系统输入失调电压VS温度特性曲线

Fig 21 平均温度系数的计算

Fig 22 闭环带宽幅频曲线图

Fig 23 运放开环的幅频、相频曲线

Fig 24 输出阻抗随频率变化的曲线图

Fig 25 共模抑制比的幅频曲线图

OP AMP设计详细文档

1. 引言:

运算放大器(简称运放)是许多模拟系统和混合系统中的一个非常重要的组成部分,已经成为模拟电路设计中的一种最通用和最重要的集成块。在经过前一段时间理论知识的学习后,进行OP AMP设计既是对自己学习成果的考察,也是锻炼我们对所学知识的运用能力的重要方式。

关键词:宽长比(W/L)、跨导(G_M)、开环增益(A_{ol})、增益带宽积(GBW)、幅频特性、相位裕度(PM)、共模抑制比($CMRR$)、电源电压抑制比($PSRR$)、转换速率(SR)、建立时间(ST)

摘要:本文详细介绍了OPA项目设计的指标要求以及根据指标选择电路结构的步骤,分析了电路各部分的工作原理,给出了根据SPEC计算电路各管子宽长比的计算方法,并总结了在实际调试中,为满足SPEC要求,对各管子参数进行修改的过程和效果,最后将电路的仿真结果和SPEC做了比较。

表一:缩略语清单

缩略语	英文全名	中文解释
CMRR	Common Mode Rejection Ratio	共模抑制比
PSRR	Power Supply Rejection Ratio	电源电压抑制比
SR	Slew Rate	转换速率
TS	Setup Time	建立时间
THD	Total Harmonic Distortion	总谐波失真
OPA	Operational Amplifier	运算放大器
CMIR	Common Mode Input Range	共模输入范围
PM	Phase Margin	相位裕度
VOS	Voltage offset	失调电压
UMC	United Microelectronics Company	台联电公司

2. 电路功能描述：

设计的放大器采用3.3V电源电压的0.35 μ m CMOS工艺， cascode结构的两级运算放大器，并用Miller方法进行补偿。

2.1 运放的设计指标要求

运放设计指标:

如不作特殊说明，以下指标的仿真条件为： $T_a=55$ ， $V_{dd}=3.3V \pm 5\%$ ， $R_L=10Kohm$ ， $C_L=3pf$ ， $Gain=1$ ，工作温度范围： $-10 \sim 85$ ，选用chrt0.35u、3.3V、CMOS工艺。

表二：运放设计指标要求表

参数名	符号	测试条件	规范值			单位
			最小	典型	最大	
直流开环增益	Aol			>90		dB
增益带宽积	GBW	small signal		>60		MHz
闭环带宽	BWcl	gain=-1,Rf=10Kohm peakshoot<0.5dB small signal		>55		MHz
共模输入范围	CMIR			0~2.4		V
共模抑制比	CMRR	$V_{cm}=1.65V$ ， $f=1kHz$		>90		dB
输出电压摆幅	SWING	$R_L=100Kohm$		0.3~3.0		V
转换速率	SR	gain=1,step=1.5V		>60		V/us
建立时间	TS	gain=1,step=1.5V		<120		Ns
电源电压抑制比	PSRR	$V_{dd}=3.3V$		>60		dB
系统输入失调电压	Vos			<1		mV
闭环输出电阻	Ro	gain=1,f=10KHz		<1		Ohm
电容负载驱动能力		$R_L=10Kohm$ gain=1 peak overshoot<3dB		>6		Pf
总谐波失真	THD	$R_L=10Kohm,C_L=3pf$ $V_o=1.65 \pm 1.2V_{pp}$ gain=1,f=100KHz		<-75		dB
电源电流	Iss			<700		uA

2.2 要求输出的仿真结果

- 1、给出系统输入失调电压的温度特性曲线，并求出平均温度系数；
- 2、给出闭环带宽的幅频曲线，测试0.1dB flatness带宽和-3dB带宽（增益分别取：-1，-2，-3，-4）；
- 3、给出开环的幅频、相频曲线；
- 4、给出输出阻抗随频率变化的曲线；
- 5、给出共模抑制比的幅频曲线；

3. 电路整体结构

Fig3.1的框图给出了运放的主要部分。CMOS运放的差分跨导级构成了运放的输入级，有时还起从双端差分输入到单端输出的变换作用。通常，整个电路的增益，一大部分是由输入差分级提供的，它还可改善噪声性能和降低输入失调。第二级一般采用反相器。当差分输入级没有完成差分-单端变换时，就由第二级反相器来完成。如果该运放需要驱动低阻负载，则在第二级后面再接一个缓冲级，以降低输出阻抗并增大输出信号摆幅。偏置电路是用来给晶体管建立适当的静态工作点。另外，要用补偿技术来稳定闭环特性。

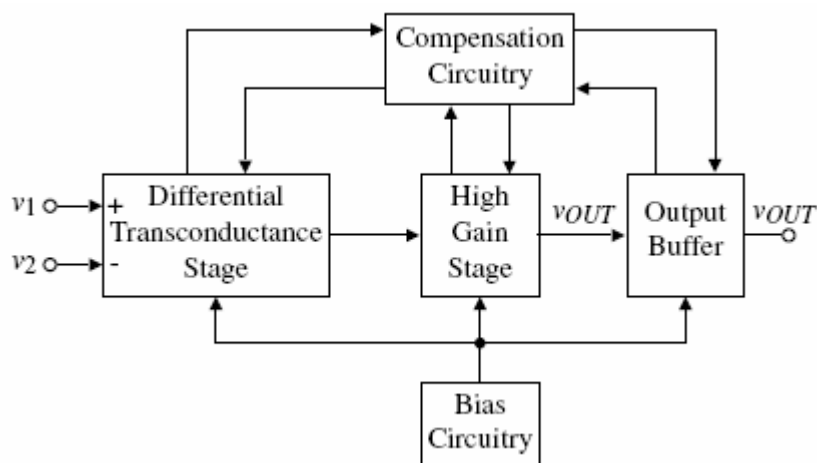


Fig 1 Opamp整体结构

3.1 电路整体结构的选取

3.1.1 输入差分跨导级结构的选择

首先，设计指标中要求共模输入电压范围是0-2.4V，而采用的电源电压为0—3.3V，因此要采用PMOS管输入的cascode结构。一级运放的直流开环增益很难超过80dB，因此规范中开环增益大于90dB决定了OPA需要采用二级增益结构；同时，3.3V的电源电压和输出摆幅决定的cascode结构的级数，这里采用二级cascode结构。

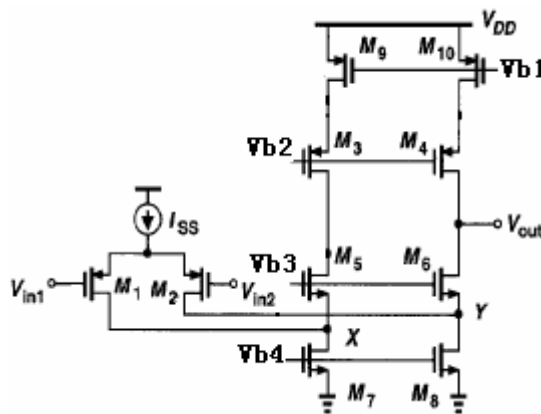


Fig 2 电路采用的cascode结构

3.1.2 输出级结构的选择

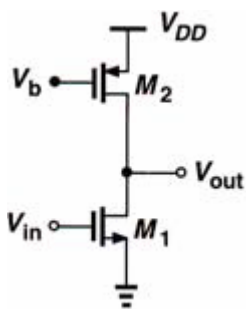


Fig 3 电流源负载的共源级

第二级一般采用反相器结构，考虑到输出摆幅要求在0.3-3V之间，输出可以采用电流源负载的共源级。这种电路结构的负载上的电压不是紧随其负载阻抗变化而变化，既可以在提高M2管输出电阻的情况下保持M2管的漏源电压不变，这样就可以提高输出摆幅并调节增益。

3.1.3 补偿电路

Miller补偿采用添加补偿电容的方法把主极点向低频移动，非主极点向高频移动来实现极点分离，从而改善运算放大器的频率特性，添加补偿电阻来减小右半平面的零点对

系统稳定性的影响。

3.1.4 偏置电路

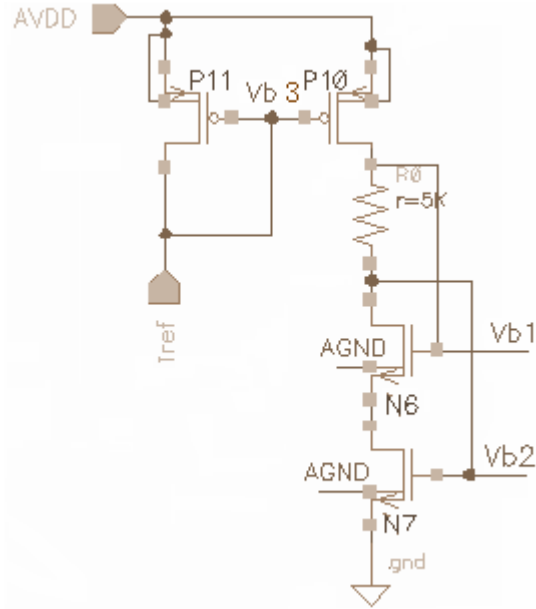


Fig 4 偏置电路整体图

偏置电路提供电路中所用的所有偏置电压，Vb3为P2管提供偏置电压，Vb1为N0、N1管提供偏置电压，Vb2为N2、N3管提供偏置电压。在实际电路中，为了满足匹配，偏置电路中管子的长度应该与运放中相应得管子的长度相等。

3.2 电路符号图(Symbol)

如图Fig4所示，Opamp以及测试电路中所用的各种单元的符号图都包含在内。

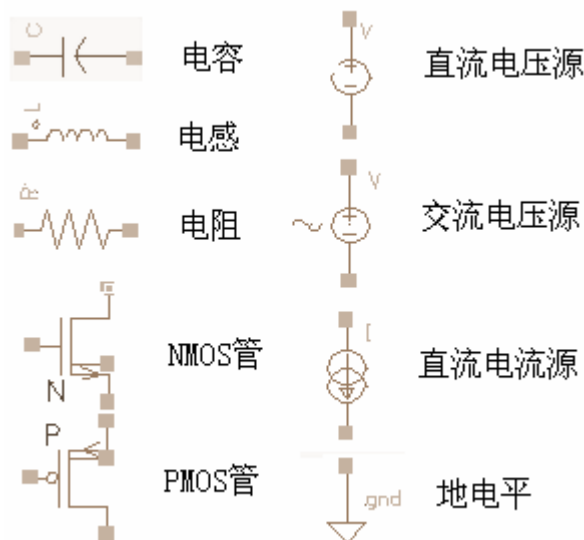


Fig 5 电路单元符号图

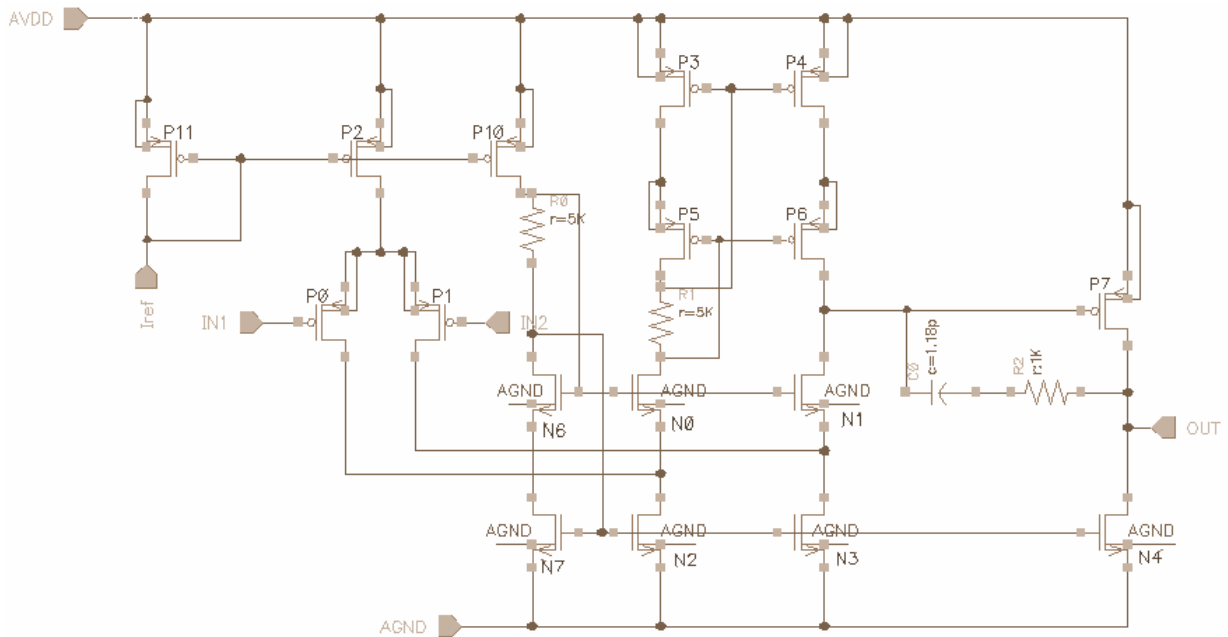


Fig 6 Opamp的整体原理图

4. 电路工作原理和子电路详细设计

4.1 电路工作原理

在实际中采用的运放结构中，输入信号通过第一级的差分跨导运算放大级，输入第二级高增益级，同时用Miller补偿电路来稳定闭环特性，偏置电路提供所有的偏置。

4.1.1 单端输出的 Folded cascode 结构的输入级

首先，由于输入共模电压范围是0-2.4V，采用的电源电压为0—3.3V，因此要采用PMOS管输入，同时在第一级电路中运用cascode结构能获得优良的噪声性能，通过增加cascode结构的输出电阻可以有效地增大整个运放的增益，同时cascode结构在共模输入、电源驱动、电源电压抑制比等性能上也有优于其它结构的方面。

4.1.2 共源放大结构的输出级

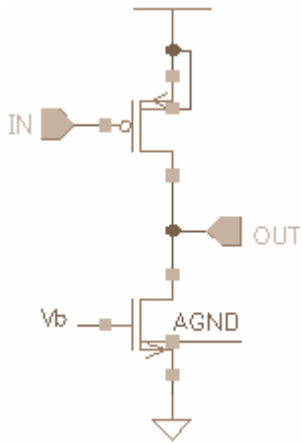
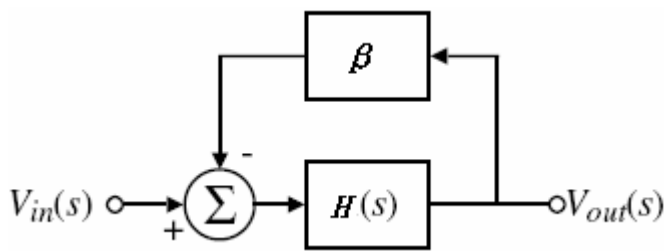


Fig 7 所示实际采用的PMOS管输入的电流源负载共源输出级。这种电路结构的负载上的电压不是紧随其负载阻抗变化而变化，能很好的满足输出摆幅的要求。

Fig 7 电流源负载共源输出级

4.1.3 电路的频率特性和补偿方案

4.1.3.1 负反馈电路稳定的条件



稳定系统中,增益相交必定发生在相位相交之前,即 $|\beta H|$ 必须在 $\angle \beta H$ 达到 -180° 之前下降至1。

Fig 8 负反馈系统框图

4.1.3.2 相位裕度和开环频率特性

相位裕度定义为 $PM = 180^\circ + \angle \beta H(\omega = \omega_1)$ ，当 $PH=60^\circ$ 时，反馈系统得阶跃响应出现小的减幅振荡现象，可提供快速稳定。对于更大相位裕度，虽然系统更加稳定，但时间响应减慢了，因此， $PH=60^\circ$ 通常是最合适的相位裕度。

常用的运放电路包含许多极点，运放必须通过补偿来修正开环传输函数，以使闭环电路稳定，并且时间响应性能良好。

4.1.3.3 运放的零极点分布和 Miller 阻容补偿方法

对于用Miller方法补偿的二级运算放大器来说，起主要作用的零极点如下：

$$p1 \approx \frac{-1}{g_{mII}R_I R_{II} C_c}$$

$$p2 \approx \frac{-g_{mII}}{C_{II}}$$

$$z1 = \frac{g_{mII}}{C_c}$$

P1是左半平面主极点，也称为Miller极点，用来实现所需要的补偿，从直观上看，它是由补偿电容产生的。P2是输出极点，它至少等于GBW，主要取决于Opamp输出处的负载电容。Z1是右半平面的零点，它在增加环路增益的同时增加了负相变，增大了系统的不稳定性，零点来源从输入到输出的两条不同的信号通路。通过上面的式子能得出单位增益带宽：

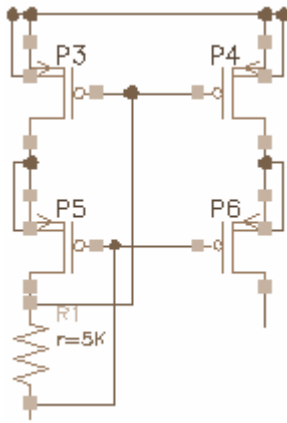
$$GB = A_{vd}(0) \cdot |p1| = (g_{mI} g_{mII} R_I R_{II}) \frac{1}{g_{mII} R_I R_{II} C_c} = \frac{g_{mI}}{C_c}$$

4.1.4 偏置电路

4.1.4.1 电流偏置

如Fig 4 所示，一个外部10 μ A的主电流参考源，通过电流镜镜像为电路提供各种各样的电流源偏置。Vb3为P2和P10管提供偏置电流。一个内部Cascode结构(N6、N7)为N0、N1、N2、N3提供偏置。

4.1.4.2 电压偏置



第一级中Cascode结构(P3、P4、P5、P6)的偏置是由电压自偏置来实现的。

Fig 9 自电压偏置电路

4.2子电路详细设计

4.2.1 选择最小器件长度

设计的运放采用3.3V电源电压的0.35 μ m CMOS工艺，由此，器件的最小长度是0.35 μ m。

4.2.2 选择补偿电容

对于一个两极点、一右半平面零点的系统，如果它的零点在10倍的单位增益带宽之外，那么要得到60°的相位裕度，第二个极点必须在2.2倍的单位增益带宽之外。即：

$$Z_1 = \frac{g_{mII}}{C_c} > 10GB = 10 \frac{g_{mI}}{C_c}$$

$$P_2 = \frac{g_{mII}}{C_{II}} > 2.2GB = 2.2 \frac{g_{mI}}{C_c}$$

$$\Rightarrow \frac{g_{mII}}{C_{II}} > 10 \frac{g_{mI}}{C_{II}} = 10 \frac{g_{mI}}{C_L} > 2.2 \frac{g_{mI}}{C_c}$$

$$\Rightarrow C_c > 0.22C_L = 0.22 \cdot 3pF = 0.66pF$$

取补偿电容为 $C_c = 1pF$

4.2.3 根据给定的电流值确定各支路的电流

1. PMOS输入管的电流源电流，即电流源P2管的电流：

$$P2管的电流取决于转换速率(SR) $I_{P2} = SR \cdot C_c = 60V/\mu s \cdot 1pF = 60\mu A$$$

2. 电流源N2、N3的电流：

为了保证在最坏的情况下有电流流经P3、P4管， $I_{N2} = I_{N3} = 1.2I_{P2} - 1.5I_{P2}$ ，实际取

$$I_{N2} = I_{N3} = 90\mu A$$

3. 输出级电流源N4电流：总电流要求小于 $700\mu A$ ，输出电流尽量大，取 $I_{N4} = 360\mu A$ 。

4.2.4 求满足 GBW 要求的输入管 P1、P2 的宽长比 SP1, 2

规范中要求GBW 60MHz，考虑到P0、P1、P2管的 V_{DS} 不能取太小，在计算中，取GBW为100MHz。

$$\Rightarrow g_{m1} = GBW \cdot C_c = 100M \cdot 1pF \cdot 2\pi = 628\mu s$$

$$\Rightarrow S_{P1} = S_{P0} = \frac{g_{m1}^2}{K_p \cdot I_{P2}} = \frac{(378\mu s)^2}{10 \cdot 60\mu A} = 658$$

4.2.5 确定输出管 P7 的宽长比 SP7

$$g_{mII} > 2.2g_{mI} \frac{C_L}{C_c} = 6.6 \cdot 200\pi\mu s = 4146\mu s$$

$$\Rightarrow I_{P7} = 360\mu A$$

$$\Rightarrow S_{P7} = \frac{g_{mII}^2}{2K_p I_{P7}} = \frac{4146\mu}{2 \cdot 10\mu \cdot 360\mu A} = 2388$$

4.2.6 选择补偿电阻

在两级运放中的右半平面的零点给系统造成了不稳定性，可以通过添加与补偿电容串联的补偿电阻来左移零点至左半平面，甚至可以消除一个非主极点。通过下面的公式来确定补偿电阻。

$$R_Z \approx \frac{C_L + C_c}{g_{mII} C_c} = \frac{3pF + 1pF}{4146\mu s \cdot 1pF} = 965 \approx 1K$$

4.2.7 确定 Cascode 结构的宽长比

考虑到极点的分布，取 $V_{DSP3} = V_{DSP4} = 0.5V$ ， $V_{DSP5} = V_{DSP6} = 0.3V$ ， $V_{DSN0} = V_{DSN1} = 0.3V$

$$S_{DSP3} = S_{DSP4} = \frac{2 \cdot I_{P3}}{K_P \cdot V_{DS}^2} = \frac{2 \cdot 90\mu A}{10 \cdot (0.5)^2} = 72$$

$$S_{DSP5} = S_{DSP6} = \frac{2 \cdot I_{P3}}{K_P \cdot V_{DS}^2} = \frac{2 \cdot 90\mu A}{10 \cdot (0.3)^2} = 200$$

$$S_{DSN0} = S_{DSN1} = \frac{2 \cdot I_{N0}}{K_N \cdot V_{DS}^2} = \frac{2 \cdot 90\mu A}{25 \cdot (0.3)^2} = 28.8$$

4.2.8 确定电流镜的宽长比

首先确定PMOS输入管的电流源P2管宽长比

$$V_{DSP2} = V_{DD} - V_{IN(MAX)} - V_{TP0} - \sqrt{\frac{I_{P2}}{K_P \cdot S_{P0}}} = 3.3 - 2.4 - 0.7 - \sqrt{\frac{60\mu A}{10 \cdot 658}} = 0.2 - 0.096 = 0.104V$$

$$S_{P2} = \frac{2 \cdot I_{P2}}{K_P \cdot V_{DSP2}^2} = \frac{2 \cdot 60}{10 \cdot (0.104)^2} = 1109$$

$$S_{P10} = \frac{I_{P10}}{I_{P2}} S_{P2} = \frac{90\mu A}{60\mu A} \cdot 1109 = 1663.5$$

$$S_{P11} = \frac{I_{P11}}{I_{P2}} S_{P2} = \frac{10\mu A}{60\mu A} \cdot 1109 = 184$$

4.2.9 计算电压偏置管 N6、N7 的宽长比

$$S_{N6} = S_{N0} = S_{N1}, S_{N7} = S_{N2} = S_{N3}$$

5. 电路仿真

5.1 电路仿真方案

5.1.1 直流参数仿真

5.1.1.1 输入失调电压 (Vos) 及其温度特性的仿真

定义：实际运放中，当输入信号为零时，由于输入级的差分对不匹配及电路本身的偏差，使得输出不为零，而为一较小值，该值为输出失调电压，折算到输入级即为输入失调电压 (VOS)。

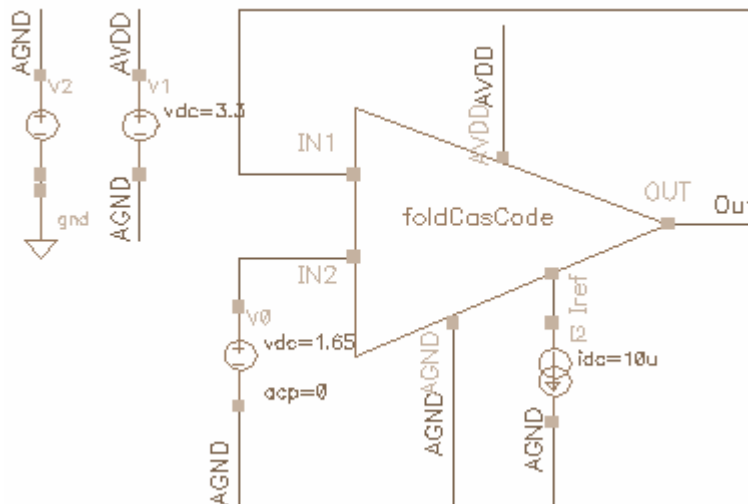


Fig 10 输入失调电压仿真原理图

5.1.1.2 共模电压输入范围 (input common-mode range)的仿真

定义：对理想运放，当输入共模电压时，输出应为零（即保持共模电压不变），而对实际运放，输入共模电压时，输出不为零，当共模电压超过一定值时，运放不能再对差模信号进行正常放大。在正向共模电压不断增大时，使得共模抑制比（CMRR）下降6dB时的共模电压为正向共模输入电压（ $V_{icm}(+)$ ），同理，CMRR下降6dB时的负向共模输入电压为 $V_{icm}(-)$ 。则共模输入范围为： $V_{icm}(-) \sim V_{icm}(+)$ 。

1. 测试 V_o 波形呈线性变化时对应 V_i 的范围；
2. 测试线性变化时的斜率，斜率的倒数即为CMRR；
3. CMRR向上下下降6dB和向下下降6dB时对应的 V_i 变化范围即为共模电压输入范围。

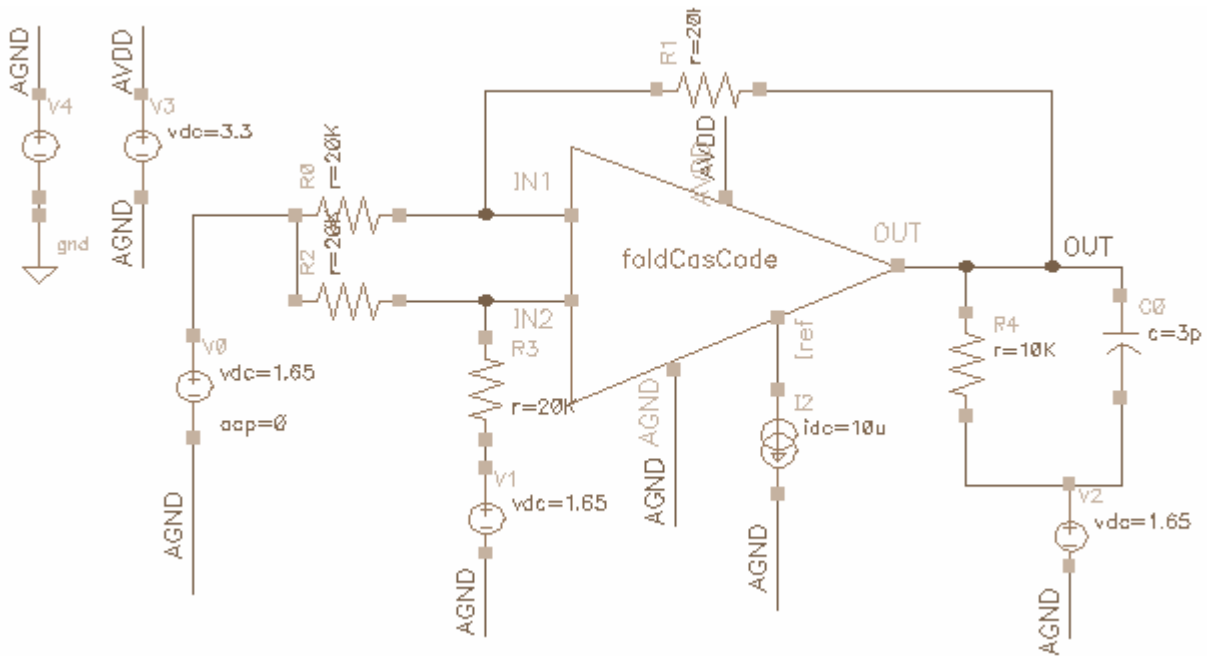


Fig 11 共模电压输入范围仿真原理图

5.1.1.3 输出动态范围 (output swing) 的仿真

定义：输出动态范围是在额定的电源电压和额定的负载情况下，运放可提供的没有明显失真的最大输出电压范围。

在0~Vdd范围内，对电路进行DC分析：观察 V_o 点波形，测试输出电压的线性跟踪范围，即为输出动态范围。为确信其间，做完DC分析之后，还应做TRAN分析加以验证：不断加大输入信号的幅度，直至输出信号有明显失真，此时的输出电压的幅度，即为输出动态范围。

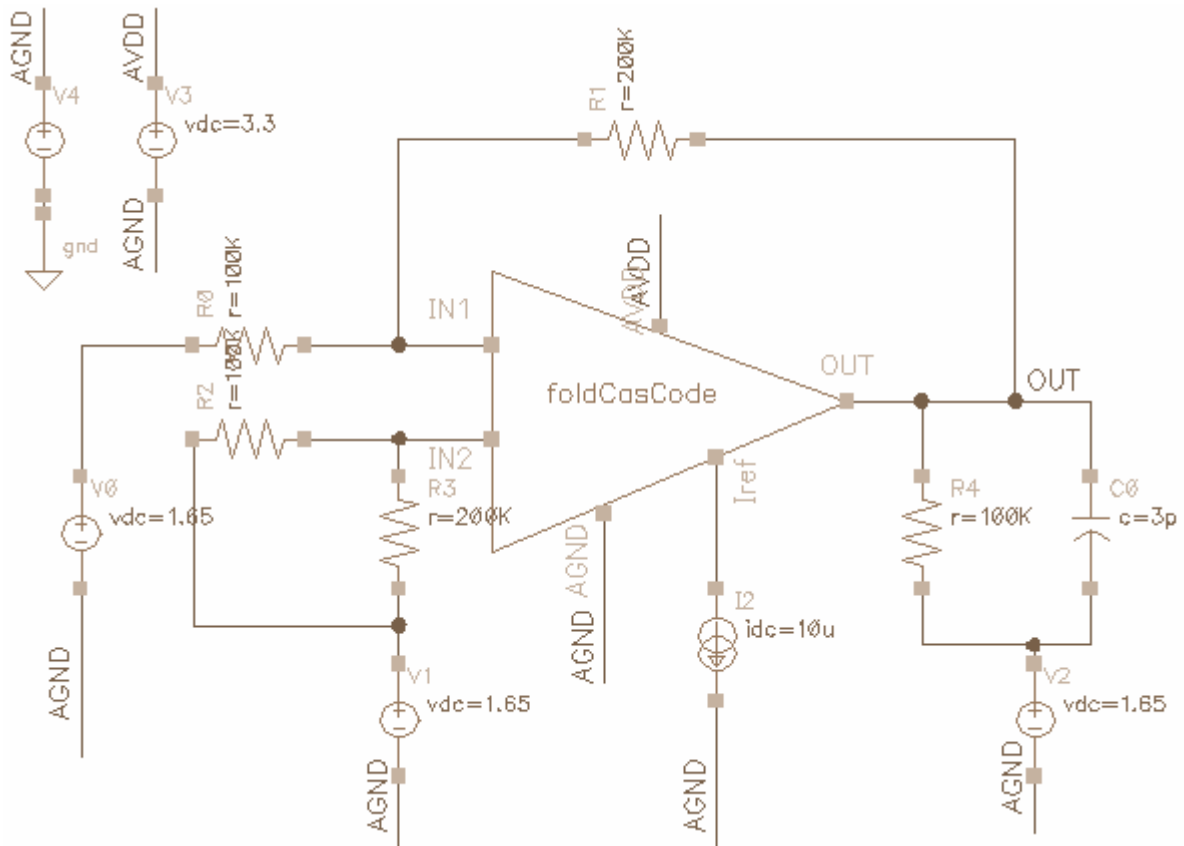


Fig 12 输出动态范围仿真原理图

5.1.2 交流参数仿真

5.1.2.1 开环增益(open loop gain)、增益带宽积(GBW)、相位裕度(phase margin)、增益裕度(gain margin)的仿真

定义：

开环增益：低频工作时(<200Hz)，运放开环放大倍数；

增益带宽积：随着频率的上升，A0会开始下降，A0下降至0dB 时的频率即为GBW；

相位裕度：为保证运放工作的稳定性，当增益下降到0dB时，相位的移动应小于180度，一般 取余量应大于60度，即相位的移动应小于120度；

增益裕度：为保证运放稳定性，除相位裕度外，还应保证：当相位移动达到180度时，增益要小于0dB，一般要有10dB裕量，即当相位移动达到180度时，增益要小于-10dB。

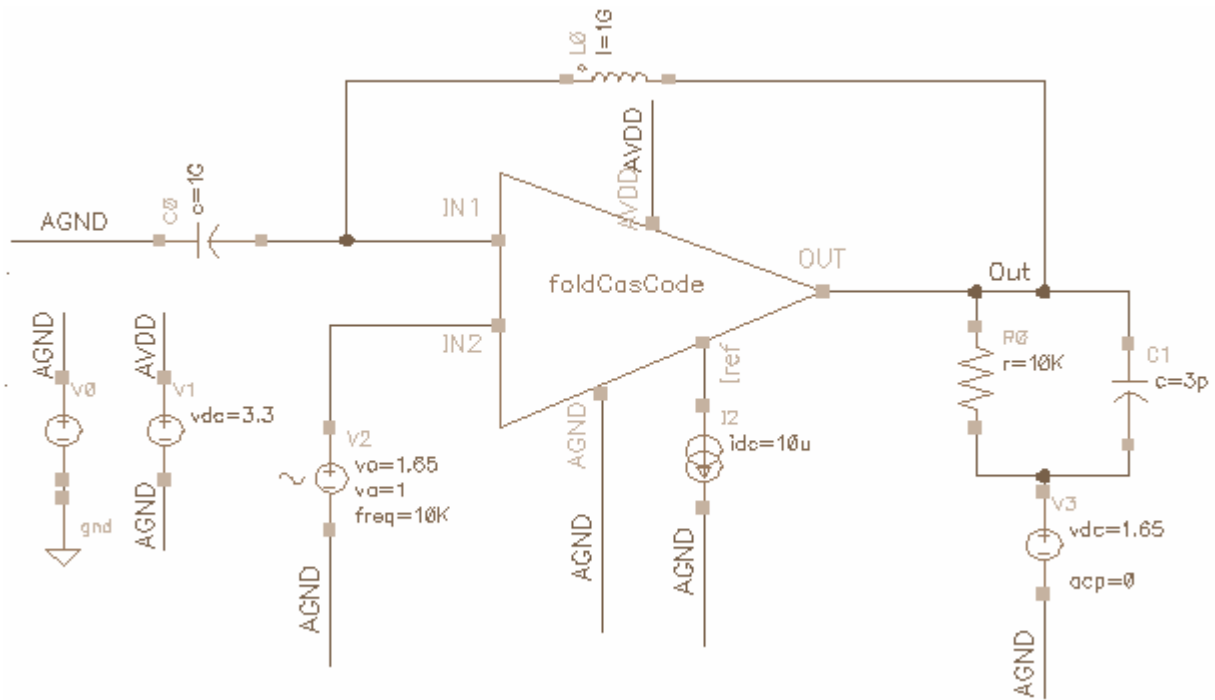


Fig 13 开环参数仿真原理图

5.1.2.2 闭环频率特性仿真

闭环频率特性是与开环频率特性相关的，它是开环频率特性的一种验证，如果开环时的相位裕度不够，在闭环曲线的转折频率处就会出现过冲，相位裕度越底，过冲越大，一般在相位裕度为70deg以上时，才没有过冲。由于过冲的存在，在仿真闭环频率特性时，以0.1dB平坦带宽为衡量标准，即增益随频率的变化小于0.1dB的带宽，很显然，在不同的应用场合，变化范围是可以不一样的。

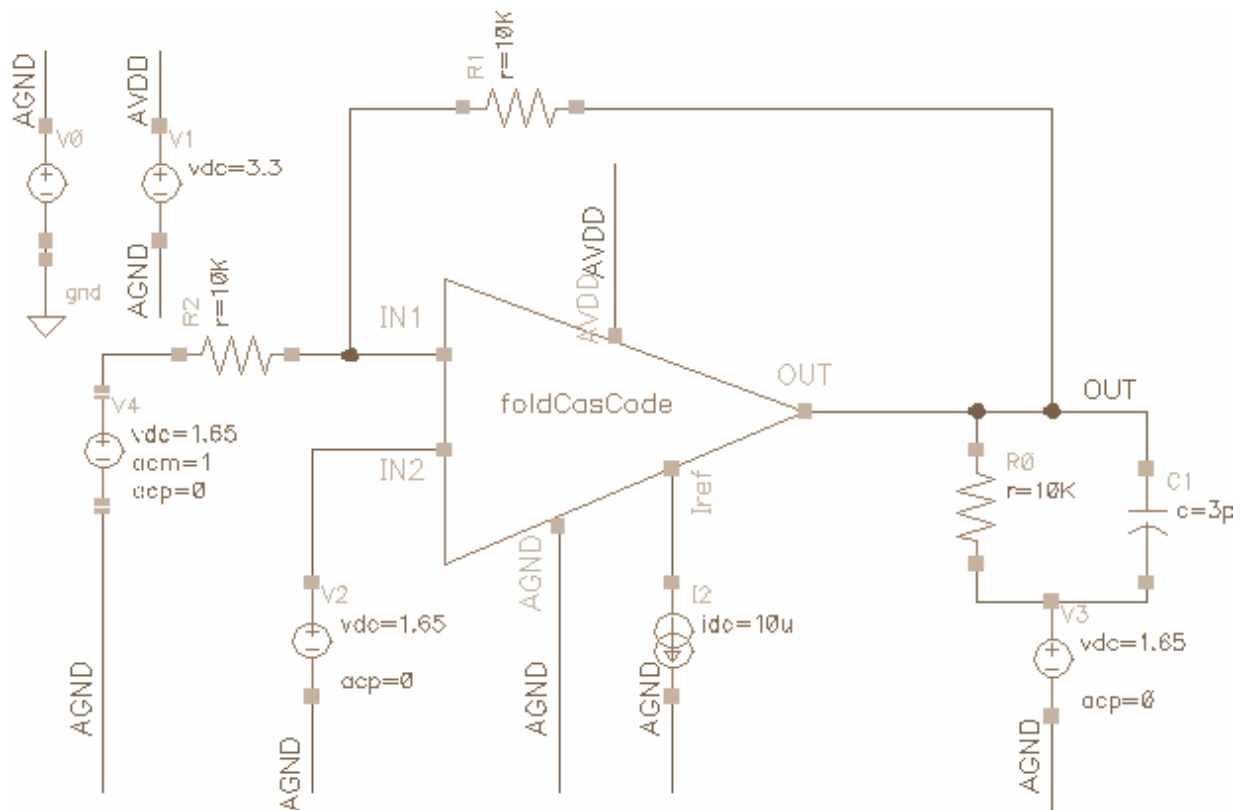


Fig 14 闭环特性仿真原理图

5.1.2.3 共模抑制比（CMRR）的仿真

定义：CMRR即为差模电压增益与共模电压增益之比，并用对数表示。

$$CMRR = 20\log(A_{id} / A_{cm})$$

CMRR越大，则运放的对称性越好。

5.1.2.4 电源电压抑制比（PSRR）的仿真

定义：PSRR可用下式表示：

$$PSRR = -20\log[(1/A_v) * (dV_o/dV_{dd})]$$

当双电源供电时，电路的参考点电位一般是零电位点（GND），此时应分别给出正、负电源V_{dd}和V_{ss}的PSRR；而对单电源供电情况，电路的参考点电位一般是GND，此时只要给出电源电压的PSRR即可。正电源电压用PSRR₊，负电源电压用PSRR₋表示。

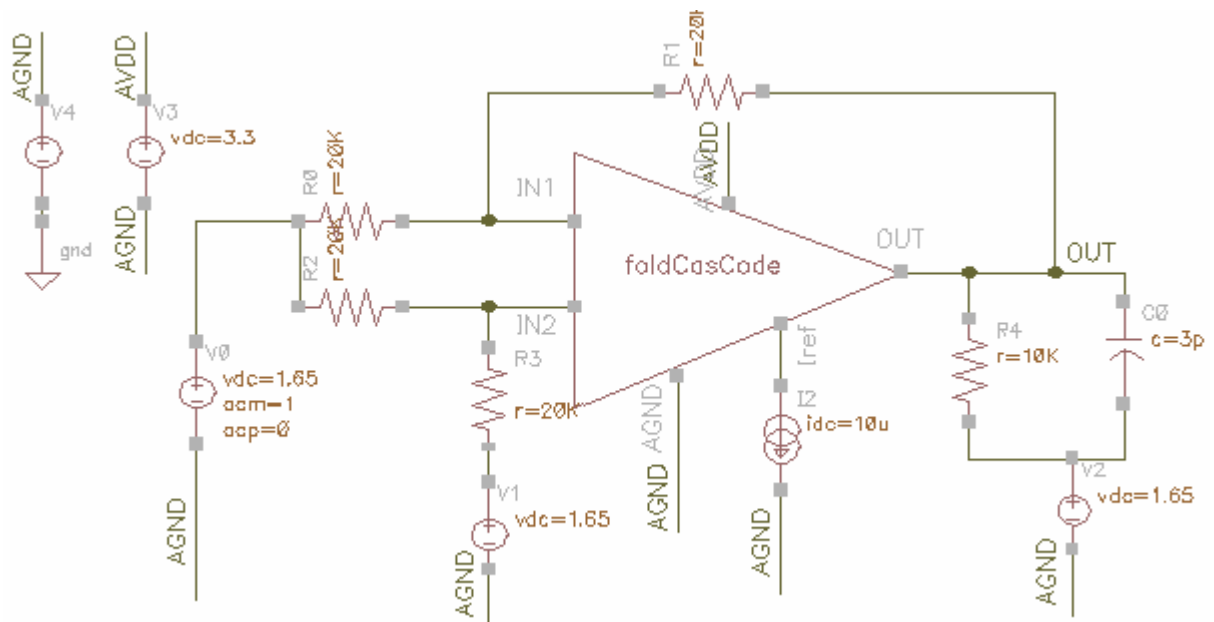


Fig 15 共模抑制比仿真原理图

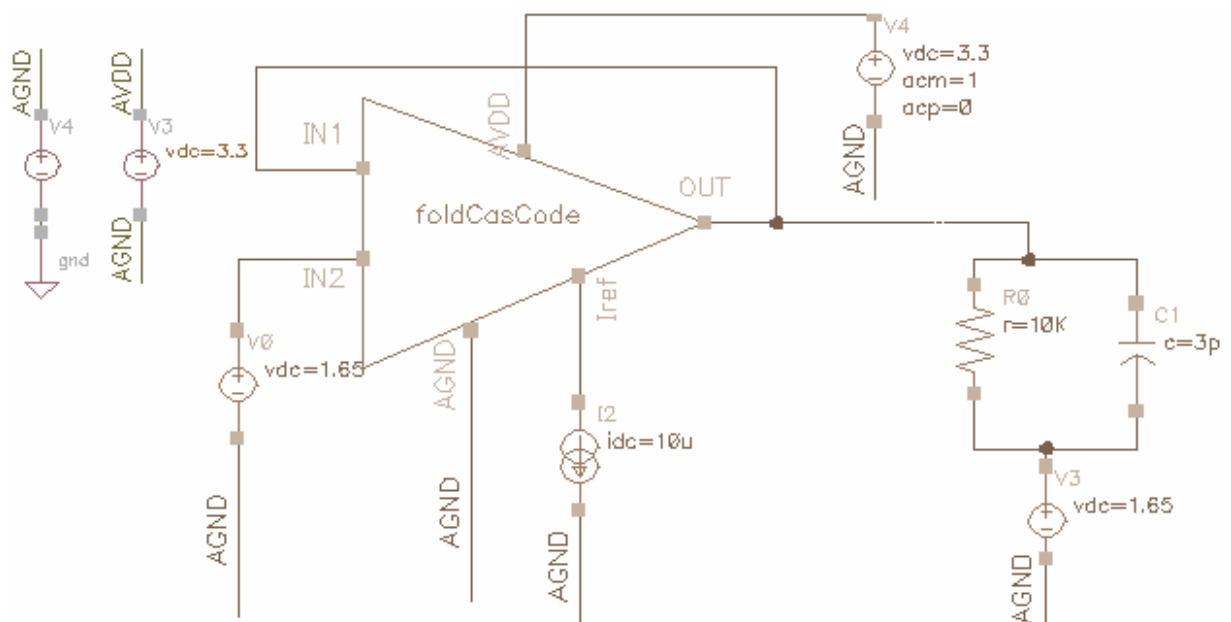


Fig16 电源电压抑制比仿真原理图

5.1.2.5 输出阻抗分析

定义：输出阻抗是指运放闭环应用时的输出阻抗，如果把闭环系统作为一个电压源来看，则输出阻抗即为该电压源的源电阻。仿真时，对输出电流源进行交流分析，（注意电流源的DC电流要与实际应用时的相等，因为在不同的负载电流条件下，输出阻抗不

相等)，测试输出电压的波形，即为输出阻抗的频率曲线，将dB值直接转换成绝对值即可。

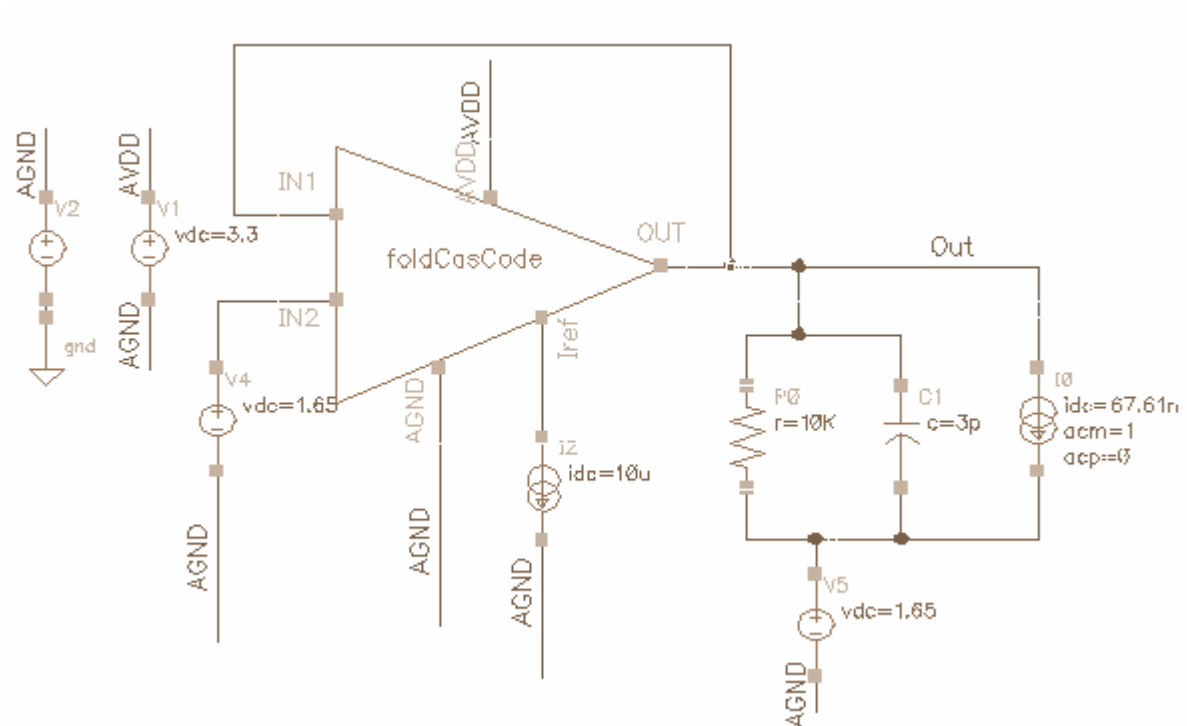


Fig 17 输出阻抗仿真原理图

5.1.3 瞬态参数仿真

5.1.3.1 转换速率 (slew rate)、建立时间 (setup time) 的仿真

定义：转换速率：运放输出电压对时间的变化率，在测试转换速率时，应取最大变化率。建立时间：表示大信号工作时运放性能的一个重要参数，是指运放接成跟随器（或增益为-1的反向放大器时，输入阶跃大信号（Vi），输出电压从开始响应到稳定值为止的时间。稳定值的误差范围一般为0.1%Vi。建立时间既表示了运放的转换速率，又表示了其阻尼特性（与Phase margin有关）。

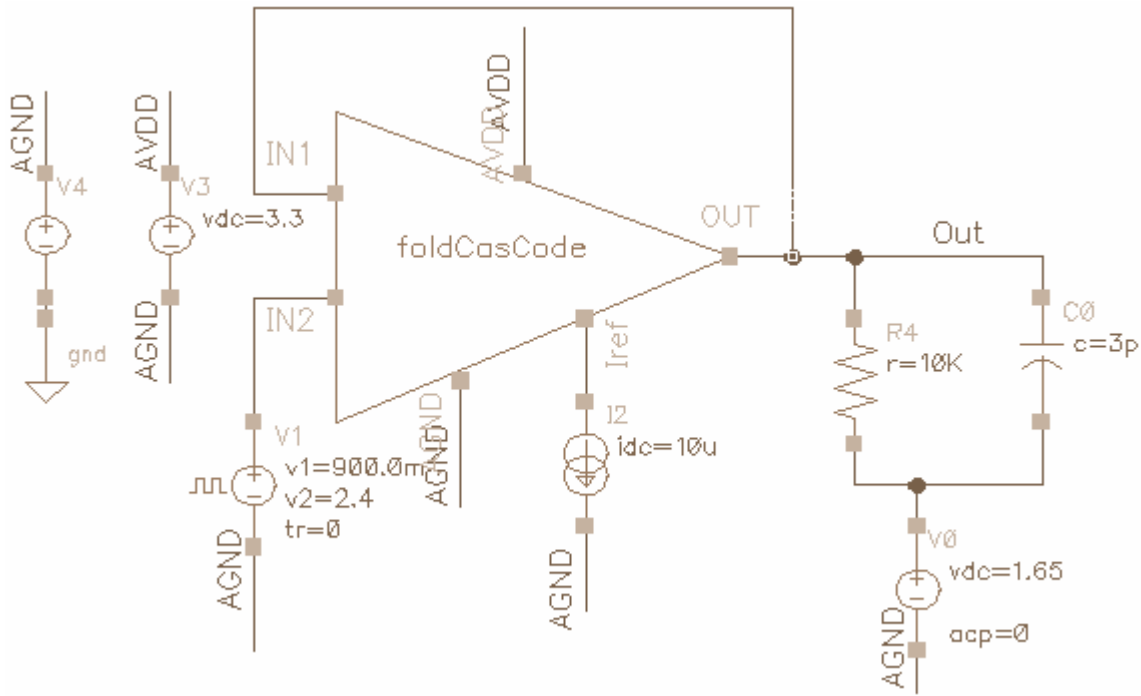


Fig 18 转换速率与建立时间仿真原理图

5.1.3.2 总谐波失真(THD)分析

定义：由于电路的弥散性，使得单频信号经过系统之后，不再是纯单频，而且包含了单频的各次谐波成分。

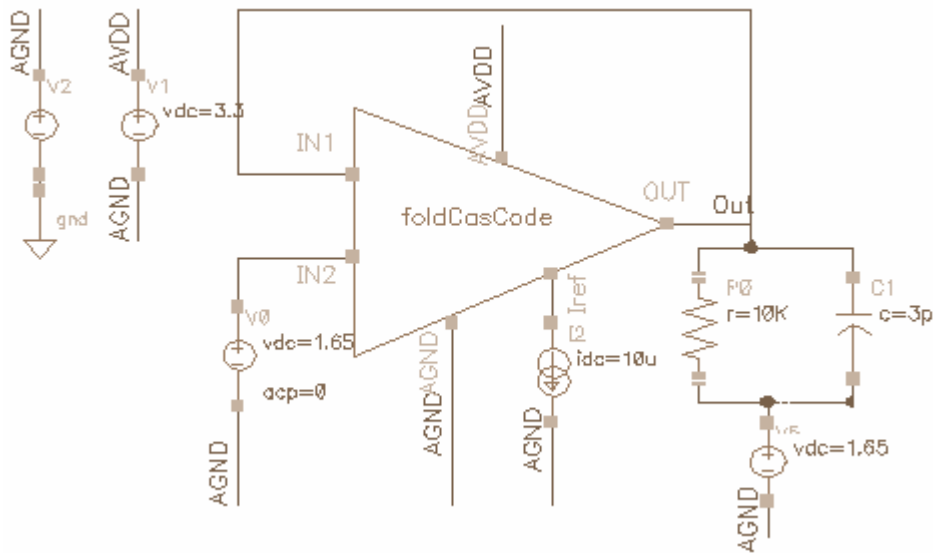


Fig 19 总谐波失真仿真原理图

5.2 仿真结果

5.2.1 参数测试结果列表

表三：运放设计仿真结果表

参数名	符号	测试条件	典型值	实测值	单位
直流开环增益	Aol		>90	92.51	dB
增益带宽积	GBW	small signal	>60	64.57	MHz
共模输入范围	CMIR		0~2.4	0~2.4	V
共模抑制比	CMRR	Vcm=1.65V , f=1kHz	>90	95.2	dB
输出电压摆幅	SWING	RL=100Kohm	0.3~3.0	0.3~3.0	V
转换速率	SR	gain=1,step=1.5V	>60	65.298	V/us
建立时间	TS	gain=1,step=1.5V	<120	118	ns
电源电压抑制比	PSRR	Vdd=3.3V	>60	78.91	dB
系统输入失调电压	Vos		<1	0.1745	mV
闭环输出电阻	Ro	gain=1,f=10KHz	<1	82.12m	Ohm
电容负载驱动能力		RL=10Kohm gain=1 peak overshoot<3dB	>6	6	Pf
总谐波失真	THD	RL=10Kohm,CL=3p fVo=1.65 ± 1.2Vpp gain=1,f=100KHz	<-75	-79.59	dB
电源电流	Iss		<700	720.82	uA

表四：不同闭环增益下的测试结果

增益	-1	-2	-3	-4
0.1dB flatness带宽 (MHz)	27.54	7.079	4.074	2.951
-3dB带宽 (MHz)	85.1138	85.1827	84.5737	84.1299

表五：原理图中所有管子的宽长比

管名	宽长比	管名	宽长比	管名	宽长比
P0	658	P6	200	N0	80
P1	658	P7	2388	N1	80
P2	1109	P10	1663.5	N2	28.8
P3	72	P11	184	N3	28.8
P4	72	N7	28.8	N4	115.2
P5	200			N6	80

5.2.2 部分仿真曲线图

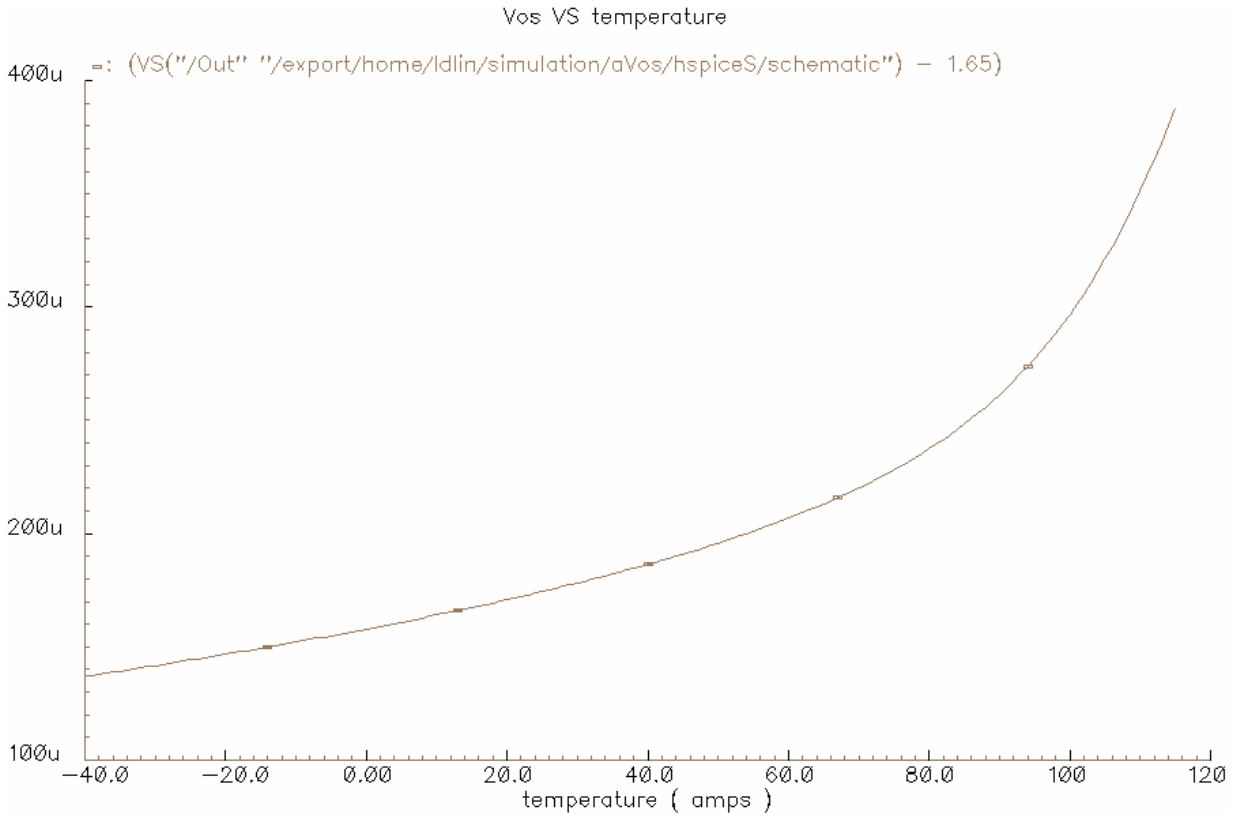


Fig 20 系统输入失调电压VS温度特性曲线

平均温度系数的计算：对Fig 20 输入失调电压VS温度特性曲线求导，再取平均数即可求得平均温度系数，具体的计算过程如Fig 21 所示：

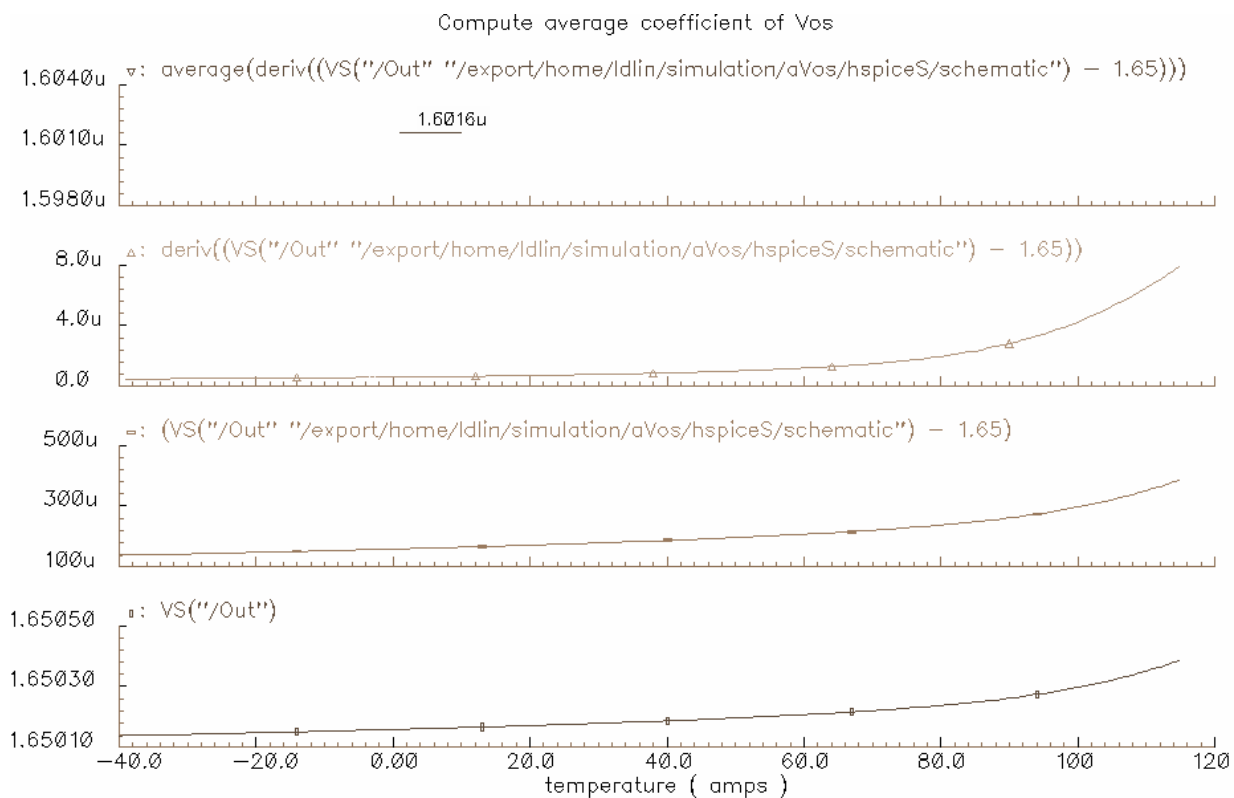


Fig 21 平均温度系数的计算

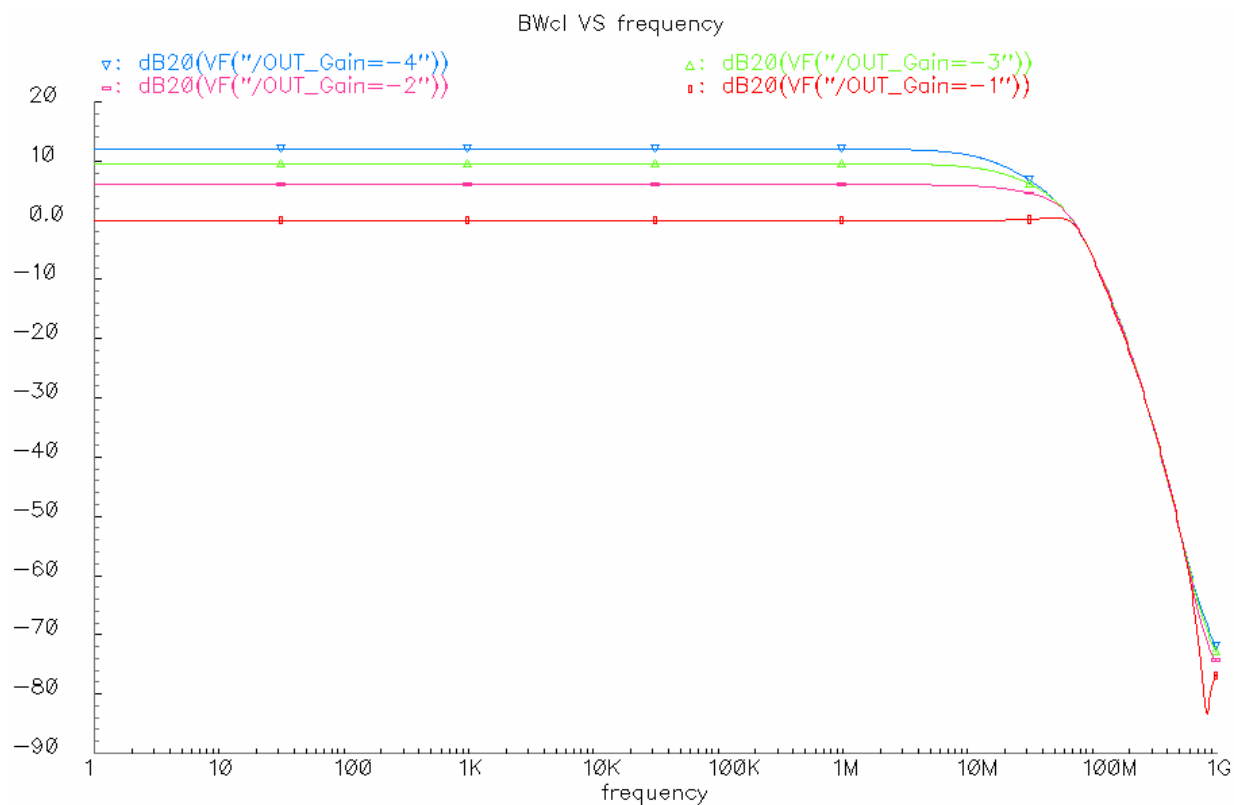


Fig 22 闭环带宽幅频曲线图

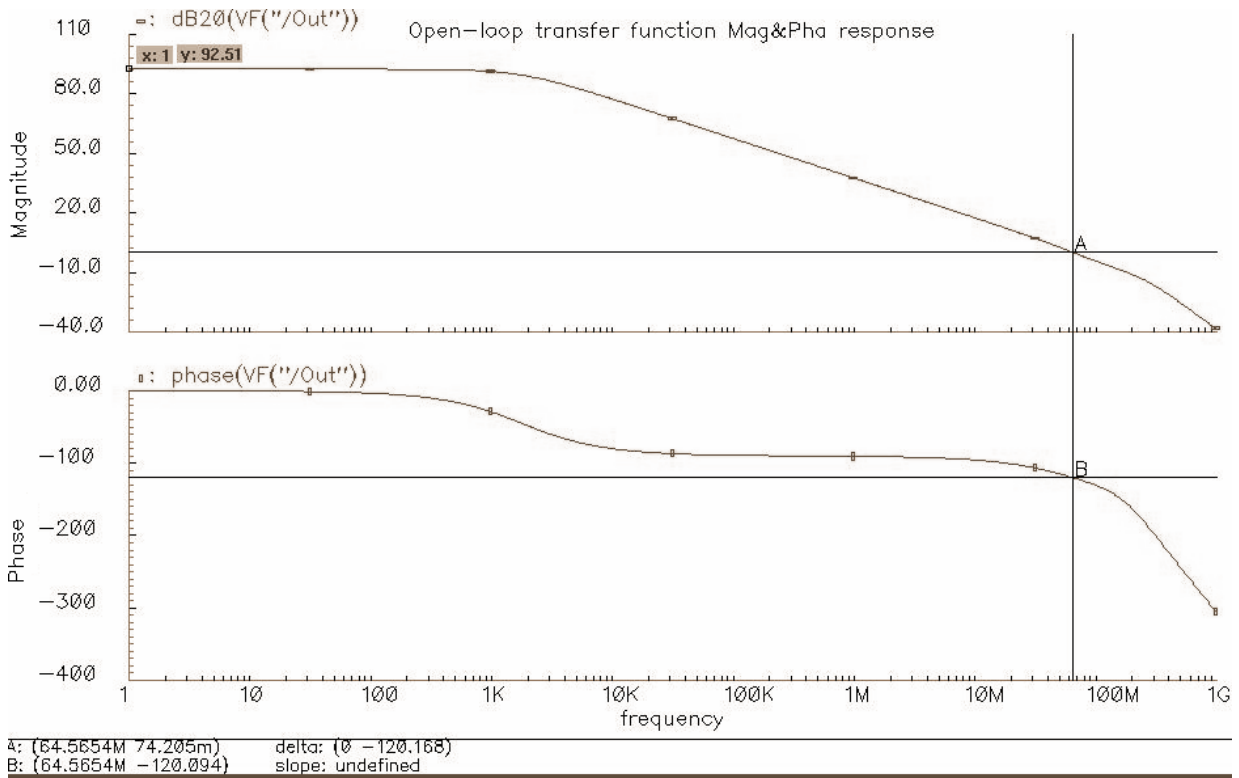


Fig 23 运放开环的幅频、相频曲线

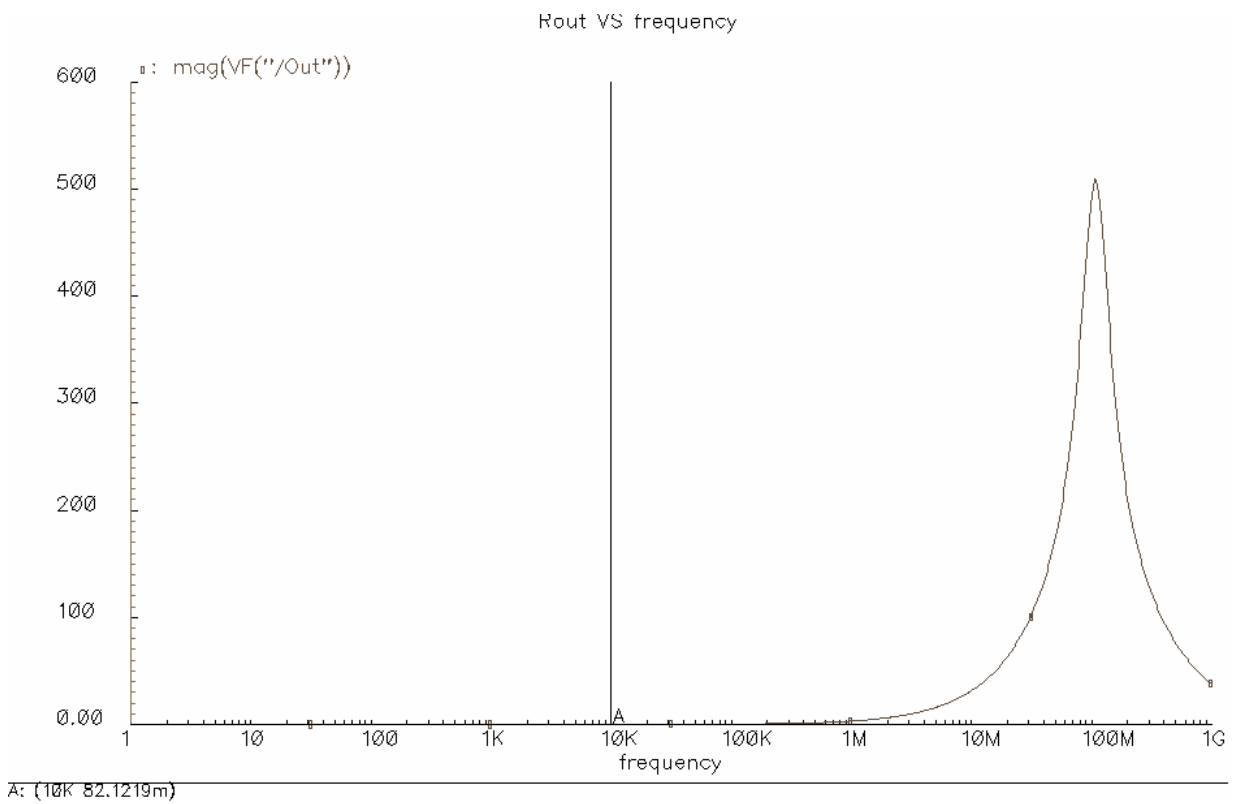


Fig 24 输出阻抗随频率变化的曲线图

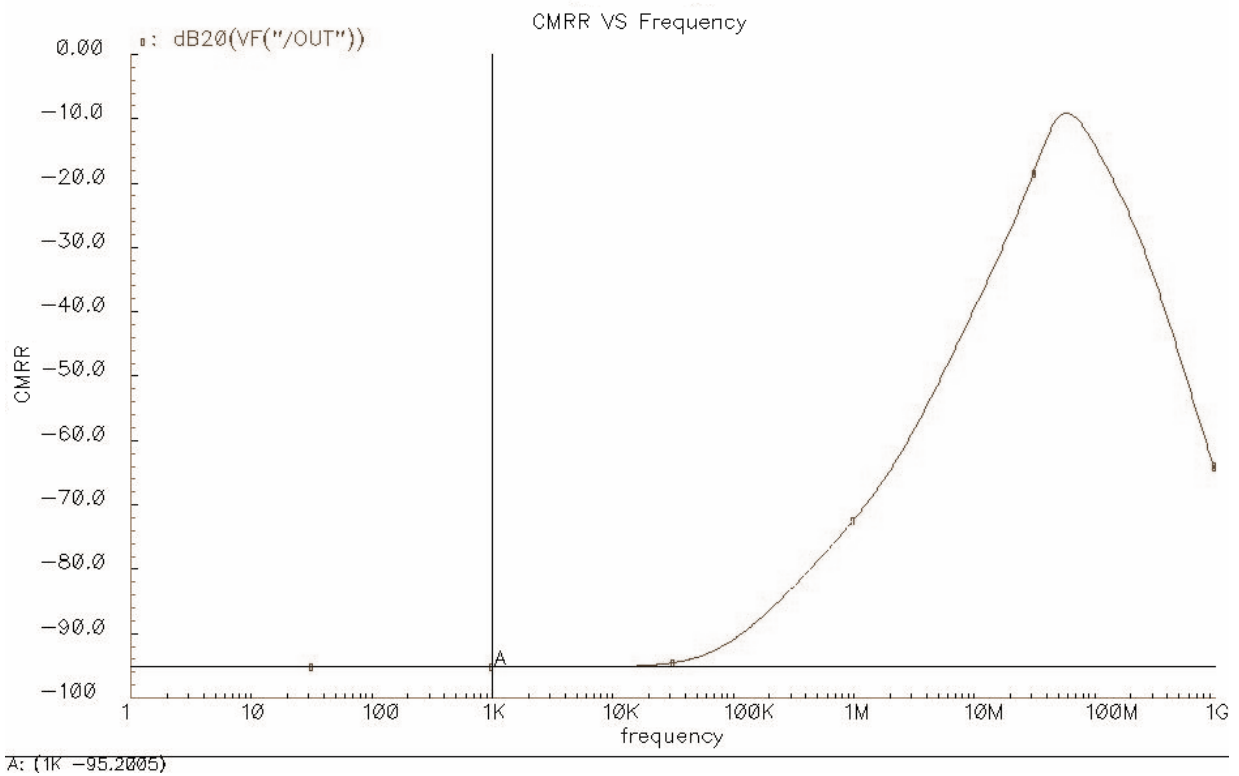


Fig 25 共模抑制比的幅频曲线图

6. 开发环境（工具及其版本、厂家、库等）

在Cadence的Design Framework (Version 4.4.6)环境下启动Analog Artist进行电路原理图的输入和电路仿真等，选用chrt0.35u、3.3V、CMOS工艺的工艺库。