

学校代号 10532

学号 S150700571

分类号 TN431.1

密级 不保密



湖南大学
HUNAN UNIVERSITY

硕士学位论文

应用于 Serdes 系统的高速振荡器和分 频器设计

学位申请人姓名 樊明

培 养 单 位 物理与微电子科学学院

导师姓名及职称 曾健平 副教授

学 科 专 业 电子科学与技术

研 究 方 向 模拟集成电路设计

论文提交日期 2018 年 5 月 15 日

学校代号：10532

学 号：S150700571

密 级：不保密

湖南大学硕士学位论文

应用于 Serdes 系统的高速振荡器和 分频器设计

<http://www.ixueshu.com>

学位申请人姓名： 樊 明

导师姓名及职称： 曾健平 副教授

培 养 单 位： 物理与微电子科学学院

专 业 名 称： 电子科学与技术

论文提交日期： 2018 年 5 月 15 日

论文答辩日期： 2018 年 5 月 23 日

答辩委员会主席： 文双春 教授

Design of High-speed VCO and Frequency Divider For Serdes
Application

by

FAN Ming

B.E. (Hunan University) 2015

A thesis submitted in partial satisfaction of the

requirements for the degree of

Master of Science

in

Electronics Science and Technology

in the

Graduate School

of

Hunan University

Supervisor

Associate Professor Zeng Jianping

May, 2018

湖南大学

学位论文原创性声明

本人郑重声明：所呈交的论文是本人在导师的指导下独立进行研究所取得的研究成果。除了文中特别加以标注引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写的成果作品。对本文的研究做出重要贡献的个人和集体，均已在文中以明确方式标明。本人完全意识到本声明的法律后果由本人承担。

作者签名：樊明

日期：2018年5月28日

学位论文授权使用授权书

本学位论文作者完全了解学校有关保留、使用学位论文的规定，同意学校保留并向国家有关部门或机构送交论文的复印件和电子版，允许论文被查阅和借阅。本人授权湖南大学可以将本学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存和汇编本学位论文。

本学位论文属于

- 1、保密 ，在 _____ 年解密后适用本授权书。
- 2、不保密 。

(请在以上相应方框内打“√”)

作者签名：樊明

导师签名：曾建平

日期：2018年5月28日

日期：2018年5月28日

摘 要

相比于数据的并行传输方式，串行传输因其具有较高的传输速率、较低的复杂性和成本等优势逐渐成为数据传输方式的主流，基于串行通信技术的 Serdes 系统已经成为当今社会海量信息高速传输的硬件基础。

Serdes 系统将并行的 TTL 数据信号转化成串行信号发送到接收机，经时钟数据恢复电路从串行信号中恢复出时钟信号完成对接收数据的再定时。其中压控振荡器和二分频器是时钟数据恢复电路中工作频率最高的两个电路模块，其性能的优劣是整个 Serdes 系统稳定工作的关键。

本文旨在设计一款应用于 Serdes 系统接收机中、中心频率为 25GHz 的宽带电感电容压控振荡器以及对振荡器输出时钟进行二分频的高速分频器，较高的工作频率是限制振荡器和分频器性能的主要因素，也是本设计面临的最大挑战。本文从振荡器工作原理、无源器件(电感、可变电容器)电学特性以及振荡器相位噪声模型等基础概念出发，采用由 NMOS、PMOS 管组成的互补交叉耦合对管作为电流偏置型振荡器的负阻网络；使用 5 位数控开关电容阵列保证振荡器足够的频率调谐范围以及较小的调谐灵敏度 K_{VCO} ，该开关电容电路可有效减小 MOS 管寄生电容对振荡器的影响；为确保振荡器在温度等非理想因素的影响下仍能正常起振，振荡器的电流源采用 4 位数控电流阵列，使得偏置电流在 0~2mA 之间可调；振荡器的缓冲级采用差分放大器结构，在输出差分时钟信号的同时具有一定的增益。同时本文采用基于电流模式逻辑结构的分频器实现对该振荡器输出 25GHz 时钟信号的二分频。

本次设计使用 TSMC 40nm CMOS 工艺，完成了振荡器和分频器的电路设计、版图设计以及后仿真。后仿结果表明：在 1.2V 电源电压供电下，振荡器消耗约 9mW 的功率，输出峰峰值约 800mV 的振荡信号，该振荡器可覆盖的调谐频率范围为 24.5GHz-29.8GHz，全频率范围内的相位噪声均低于 -90dBc/Hz@1MHz，最大 K_{VCO} 约 960MHz/V，振荡器的后仿真结果满足设计要求。二分频器的后仿结果表明：在 1.2V 电源电压供电下，分频器的自激振荡频率约为 13.25GHz，分频器需要的最小输入半边摆幅为 80mV，同时可输出四相位时钟。

关键词：Serdes；压控振荡器；二分频器；相位噪声；LC 谐振网络

Abstract

Compared to the parallel transmission of data, serial transmission which relies on its advantages such as high transmission rate, low complexity and low cost, has become the mainstream of data transmission. Serdes system based on serial link technology has become the hardware basis for high-speed transmission of massive information.

The Serdes system converts the parallel TTL signal into serial signal and sends it to the receiver. The clock signal from the received serial signal is recovered by the clock and data recovery circuit in the receiver. The voltage-controlled oscillator and the frequency divider by two, which are keys to the stable operation of the entire Serdes system, are circuit modules with the highest operating speed in the clock and data recovery circuit.

A wideband voltage-controlled oscillator with a center frequency of 25GHz and a frequency divider that can divide the output frequency of the 25GHz clock signal are designed for the application of the Serdes system. High operating frequency is a main factor for the performance limitation of oscillator and divider, which is a huge challenge for this thesis. Basic concepts including oscillator operation principle, electrical characteristics of passive devices (inductors and varactors) and oscillator's phase noise model are considered. Meanwhile, complementary cross-coupled transistors consisted of NMOS and PMOS transistors used as negative resistance network of the oscillations biased by current source are adopted. In order to reduce the influence of parasitic capacitance of the MOS transistors on the oscillator, the sufficient frequency tuning range of the oscillator and a small tuning sensitivity K_{VCO} can be realized by switched capacitor array which is digitally controlled. To ensure the normal oscillation of oscillators under the influence of non-ideal factors such as temperature, the current source of the oscillator adopts a digitally controlled current array to adjust the output current between 0~2mA. The buffer stage of the oscillator adopts a differential amplifier structure, which can amplify the differential clock signal output by oscillator. Meanwhile, the frequency divider based on the current mode logic structure is used to divide clock signal of 25GHz from the oscillator.

TSMC 40nm CMOS process is used to implement the circuit design, layout design and post simulation. The oscillator consumes about 9mW under 1.2V supply

voltage and outputs the full swing of output oscillation signal about 800mV. The tuning frequency of oscillator ranges from 24.5GHz to 29.8GHz. The phase noise of lower than -90dBc/Hz at 1MHz and the maximum K_{VCO} of about 960MHz/V are obtained. In conclude, the oscillator's post simulation results meet the requirements of the project. The divider's self-oscillation frequency of about 13.25 GHz under 1.2V supply voltage and the minimum half of full input swing required by the divider of 80mV are obtained by the post simulation of the frequency divider. Moreover, four phase clocks can be output by the frequency divider.

Key words: Serdes; Voltage-Controlled Oscillator; Frequency Divider By Two; Phase Noise; LC Resonant Network

<http://www.ixueshu.com>

目 录

湖南大学学位论文原创性声明与学位论文授权使用授权书.....	I
摘 要.....	II
Abstract.....	III
插图索引.....	VII
第 1 章 绪论.....	1
1.1 研究背景及意义.....	1
1.2 研究历程及发展现状.....	3
1.3 论文组织架构.....	5
第 2 章 压控振荡器基本理论.....	7
2.1 振荡器的基本工作机制.....	7
2.1.1 反馈振荡原理.....	7
2.1.2 环形振荡器（Ring Oscillator）的工作机制.....	9
2.1.3 LC 型 VCO 的工作机制.....	11
2.2 LC 型 VCO 的数学模型.....	20
2.3 VCO 主要性能指标.....	21
2.4 片上无源器件：变容管和电感.....	22
2.4.1 可变电容特性分析.....	22
2.4.2 螺旋电感特性分析.....	26
2.5 LC 型 VCO 的相位噪声理论.....	29
2.5.1 相位噪声基本概念.....	30
2.5.2 相位噪声经典模型.....	31
2.5.3 相位噪声优化方法.....	35
2.6 小结.....	37
第 3 章 LC 型 VCO 的设计.....	38
3.1 振荡器基本电路结构选取.....	38
3.2 振荡器的参数设计.....	42
3.2.1 电感的选取.....	42
3.2.2 偏置电流源的设计.....	43
3.2.3 数控开关电容阵列.....	45
3.2.4 交叉耦合管.....	48
3.2.5 缓冲电路.....	48

3.3 振荡器的版图设计和后仿真结果.....	49
3.3.1 版图设计规则.....	49
3.3.2 振荡器的后仿真结果.....	51
3.4 小结.....	54
第 4 章 高速二分频器电路的设计.....	56
4.1 二分频器电路的分类.....	56
4.2 CML 二分频器的工作原理以及设计方法.....	59
4.3 二分频器电路的仿真验证.....	62
4.4 小结.....	62
第 5 章 总结与展望.....	64
5.1 总结.....	64
5.2 展望.....	64
参考文献.....	66
致 谢.....	70
附录 A 攻读学位期间发表的学术论文目录.....	71

<http://www.ixueshu.com>

插图索引

图 1.1 Serdes 系统架构图.....	1
图 1.2 基于锁相环架构的 CDR 环路.....	2
图 1.3 不同种类 VCO 的技术寿命期.....	3
图 2.1 振荡器双端反馈环路网络.....	7
图 2.2 产生“闷锁”状态的两级环形振荡器.....	8
图 2.3 由固定延时单元组成的环形振荡器.....	9
图 2.4 图 2.3 中用到的单端反相器电路.....	10
图 2.5 LC 谐振腔模型.....	12
图 2.6 并联 LC 谐振网络的阻抗以及相位特性.....	13
图 2.7 振荡器环路增益模值曲线.....	14
图 2.8 反馈网络采用频率选择网络的振荡器.....	15
图 2.9 负阻模型.....	15
图 2.10 负阻网络在 LC 谐振网络中起到的作用.....	16
图 2.11 负阻产生电路.....	17
图 2.12 单端负阻振荡器.....	17
图 2.13 由 NMOS 组成的交叉耦合对管.....	18
图 2.14 实际 LC 型振荡器输出瞬态电压波形.....	19
图 2.15 NMOS 交叉耦合对管组成的 LC 振荡器.....	19
图 2.16 压控振荡器的数学模型.....	20
图 2.17 PN 结可变电容.....	23
图 2.18 C-MOS 可变电容的截面图及其 C-V 特性曲线.....	23
图 2.19 I-MOS 可变电容截面图及其 C-V 特性曲线.....	24
图 2.20 A-MOS 可变电容管及其 C-V 特性曲线.....	25
图 2.21 可变电容的仿真电路.....	25
图 2.22 对可变电容宽 W 进行扫描得到的一簇 C-V 特性曲线.....	26
图 2.23 可变电容的容值对其两端控制电压的敏感程度.....	26
图 2.24 电感与衬底之间的电阻与电容产生损耗的简化模型.....	28
图 2.25 本振荡器使用的电感版图.....	29
图 2.26 电感值随频率变化曲线.....	28
图 2.27 电感 Q 值随频率变化曲线.....	29
图 2.28 相位波动到输出频谱的转化.....	31

图 2.29 理想负阻振荡器	32
图 2.30 振荡器相位噪声曲线	33
图 2.31 电流脉冲在不同注入时刻对振荡波形的影响	34
图 2.32 振荡器线性时变系统的分析过程	34
图 2.33 尾电流源与 C_P 电容并联的 LC 振荡器	36
图 3.1 CDR 系统结构图	38
图 3.2 电压偏置型与电流偏置型对相位噪声不同的影响	38
图 3.3 电阻作为负载的差分对	40
图 3.4 三种结构的 LC 压控振荡器	41
图 3.5 TSMC 40nm CMOS 工艺提供的电感搜索引擎 finder	42
图 3.6 电流偏置型 LC 型振荡器的差分输出摆幅与偏置电流之间关系曲线	44
图 3.7 振荡器的偏置电路	45
图 3.8 数字调谐技术可能存在盲区	46
图 3.9 传统振荡器采用的频率粗调谐电路结构	46
图 3.10 关电容接入电路的等效电路图	47
图 3.11 本次使用的开关电容电路结构	47
图 3.12 开关电容等效模型	48
图 3.13 常见缓冲器分类	49
图 3.14 振荡器的最终版图	50
图 3.15 振荡器仿真外围电路设置	51
图 3.16 振荡器后仿真频率调谐曲线	53
图 3.17 振荡器起振波形	54
图 3.18 频偏 1MHz 处的后仿真相位噪声	54
图 4.1 米勒分频器的电路模型	56
图 4.2 米勒模型	57
图 4.3 基于电流模式逻辑结构(CML)的分频器	58
图 4.4 经典 9 管 D 触发器	59
图 4.5 主从式二分频器电路结构	59
图 4.6 采样阶段锁存器的等效小信号电路图	60
图 4.7 二分频器的灵敏度曲线	61
图 4.8 二分频器的电路版图	62
图 4.9 二分频器灵敏度曲线	63
图 4.10 二分频器输出瞬态波形	63

第 1 章 绪论

1.1 研究背景及意义

在 2018 年 3 月 5 日召开的十三届全国人大一次会议上李克强总理提出要加大网络提速降费的力度，移动网络流量资费年内降低至少 30%，这项惠民政策的出台受益于快速发展的无线通信技术。如今的通讯技术发展日新月异，特别是随着互联网、大数据、物联网、云计算等颠覆性技术的不断革新，这些新业务的共同点就是都需要进行海量的信息传送，由此对通信集成电路越来越高的要求，反而促使了光纤通信高速集成电路迎来了新的发展高峰^[1]。信息时代的造就需要大数据传送作为载体，有研究表明：截止到 2011 年全球人均需要产生 200GB 以上的数据量，IBM 预计到 2020 年，全世界所产生的数据规模将以指数增长的速度达到难以估量的规模^[2]。海量的数据信息需要传输接口对数据强大的处理能力，作为系统中工作速率最高的电路模块，如何增加其数据吞吐率成为高速接口设计^[3]中一大瓶颈。

幸运的是，MOS 尺寸的不断减小使设计出满足高速吞吐率的高速接口成为可能，目前 CMOS 的特征频率已经做到了几百 GHz^[4]，利用 CMOS 工艺设计高速集成的通信接口已经成为当下的研究热点。并行通信虽可同时传送多路数据，但是其需要的同步时钟会出现偏斜恶化系统性能，且并行传输需要更多的接口增加了传输成本和布局布线难度，以上缺点导致其在高速接口的应用中被串行通信所取代^[5]。光纤通信中 Serdes（并串/串并）技术迎合了当今社会对长距离、大容量传输数据的要求，可实现时分多路复用和点对点通信^[6]。Serdes 是串行器(Serializer)和解串器(Deserializer)合成的英文简称，Serdes 完整系统架构图如图 1.1 所示^[7]。

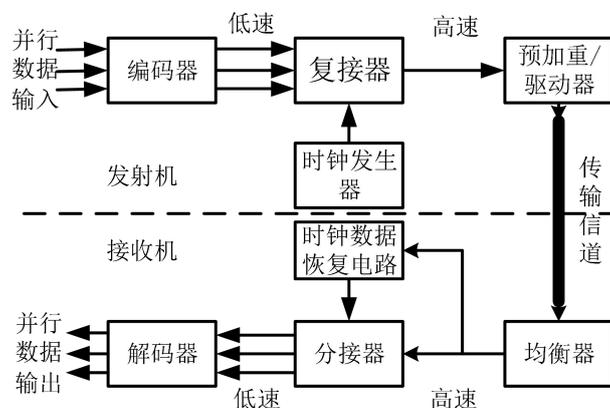


图 1.1 Serdes 系统架构图

Serdes 一般由三部分组成：发射机、传输信道以及接收机，其中编码器（Encoder）、时钟发生器（Clock Generator）、复接器（Multiplexer）和驱动器组成发射机，均衡器（Equalizer）、时钟数据恢复电路（Clock data recovery, CDR）、分接器（DEMUX）以及解码器（Decoder）组成接收机^[8]。其基本工作模式是：将需要发送的并行多路低速数据通过复接器（multiplexer, MUX）复接成一路高速数据信号，之后通过天线发送至传输媒介（如光纤、PCB 板等等），通过传输媒介的高速串行信号到达接收端后通过解复接器（demultiplexer, DEMUX）分接成并行多路低速数据，进而实现了信号的高速传输。

其中接收机中的 CDR 是高速接口中非常重要的模块，主要负责从接收到的数据中恢复出时钟，同时该时钟对数据进行再定时实现数据的净化。在如今 CMOS 工艺尺寸不断缩小造成供电电压不断下降和要求工作频率越来越高的不利局面下，如何设计出应用于 CDR、性能优良的压控振荡器（Voltage Controlled Oscillator, VCO）和二分频器仍面临着巨大挑战。

频率综合器作为通信领域必不可少的芯片组成核心，频率综合器的性能表现体现了一个国家在通信领域的技术成熟度和创新能力，而 VCO 又作为频率综合器的“发动机”“核心模块”，其性能直接决定了频率综合器的质量，间接影响了整个通信水平的好坏。将锁相环（Phase Locked Loop, PLL）的输入时钟替换为输入数据，图 1.2 所示的结构框图即可等效为简单结构的 CDR 环路^[9]。

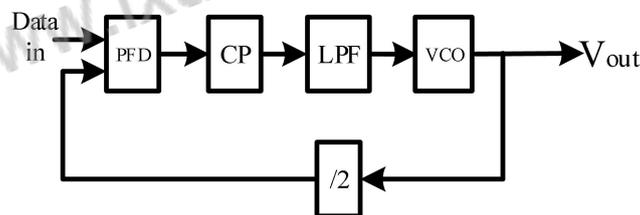


图 1.2 基于锁相环架构的 CDR 环路

本论文的主要目的是设计应用于输入数据率为 50Gbps 的 PAM4 信号、CDR 芯片中的 VCO 和二分频器：输入的数据信号为 PAM4 信号，拥有 00、01、10、11 四个逻辑电平值。数据信号通过 CDR 电路，借助振荡器产生的 25GHz 时钟信号恢复出 MSB 与 LSB 两个 25Gbps 的 NRZ 数据信号，同时该时钟信号通过二分频器产生频率为 12.5GHz 的四相位时钟信号，提供给下一级的相位插值器使用。本论文主要的工作是设计图 1.2 中工作频率为 25GHz 的 VCO 和可将 VCO 输出的 25GHz 输出时钟信号进行分频的二分频器。二分频器的插入不仅可以降低下一级相位插值器所需的工作频率，降低其设计难度的同时，二分频器还可以起到反向隔离缓冲器的作用，避免压控振荡器出现频率牵引效应^[10]。

基于上述应用和背景，本论文研究的应用于输入数据率为 50Gbps 的 PAM4

信号、CDR 芯片中的 VCO 和二分频器，作为高速通信的核心模块，其设计的优劣直接影响着通信质量的好坏。因此，对 VCO 和二分频器投入的研究，具有深远的应用和理论价值。

1.2 研究历程及发展现状

光纤通信的概念于 1966 年由华人高琨提出，在至今五十多年的历史中光纤通信已经经历了突飞猛进的发展。如今高速 Serdes 芯片已经成为当前和未来的研究热点，备受国内外高校以及企业的关注。随着 Serdes 技术逐渐成熟以及当今社会对大数据高速传输的需求，光纤通信系统以及相关产业必将迎来发展高潮。

VCO 的发展在经历了早期 Armstrong 发明的电子管振荡器之后，又经 Hartly 改进并研发出电子管 VCO^[11]。Hartly 在振荡器中插入真空管技术，并将真空管作为放大器与电感电容形成的反馈回路并联，从而再生出振荡波形。Hartly 首次提出的通过改变电感或电容值即可改变振荡器振荡频率的方法，至今在电感电容型 VCO 中仍在使用。Hartly 在振荡器技术上的突破不仅实现了更大了频率调谐范围，而且为后来振荡器电路的技术革新奠定了坚实的基础。

不同种类 VCO 的技术寿命期如图 1.3 所示，随着时间进入 20 世纪中期，半导体器件的发明毫无疑问是这个时期最重要的成就。五十年代科学家将由贝尔实验室发明的新晶体管取代真空电子管应用在振荡器中，新晶体管具有体积小消耗功率更低的特点，迎合了电源电压以及成本不断降低的发展趋势。同时变容二极管的发明使得改变控制电压就可以改变振荡频率，因为变容二极管会根据外界施加电压的不同改变其电容值。利用变容二极管实现频率的电子调谐对 VCO 的发展起到了巨大作用，至今在振荡器中仍在使用。在 1960 年之后 20 多年的时间里，随着对变容二极管研究的深入，采用变容管的振荡器因其便利的频率重新配置等优势迅速在电子系统中得到推广。八十年代出现的模块化 VCO 组件和单片集成 VCO 电路两项新技术标志着振荡器的设计进入现代化发展阶段。

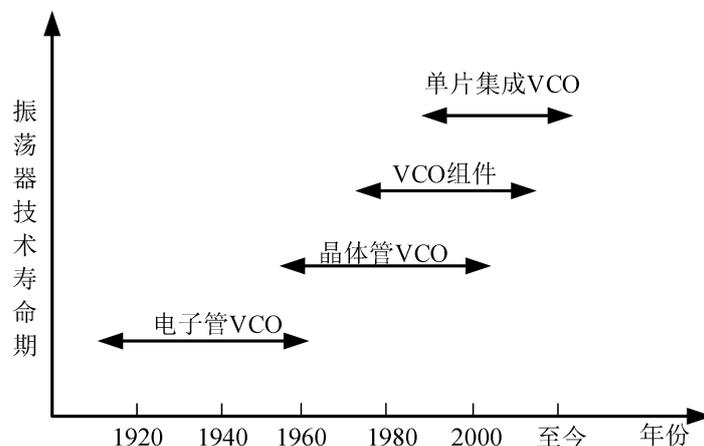


图 1.3 不同种类 VCO 的技术寿命期

小型化的变容二极管、电感以及电容具有为分立型振荡器提供了可按客户要求设计工作频率和调谐范围等优势，但因其后期需要大量的劳动力对其频率元件进行频率补偿，同时还需要体积较大的屏蔽辐射装置，这些缺点也直接催生了 90 年代出现的单片集成振荡器技术。体积更小、成本更低的单片集成振荡器将原本独立的电感、电容、电阻、变容晶体管都集成到一块芯片上，这是现代电感电容型振荡器的前身，虽然当时的单片集成振荡器各个方面性能远差于分立元件组成的振荡器，尤其是相位噪声方面。

单片集成的振荡器凭借着在 CMOS 工艺下小体积、低成本的优势，迅速成为得到广泛的关注和研究。传统的振荡器可分为环形振荡器（ring oscillator）和电感电容压控振荡器（LC VCO）两种^[12]，有无使用电感是两者明显的区别。环形振荡器采用奇数个延迟单元连接成环路，其只在一个频率点满足巴克豪森判据，从而形成振荡环路。环形振荡器也可以通过纯数字的 CMOS 工艺来实现，由于避免了电感的使用，所以相比 LC 型的振荡器占用面积大大减少，从而节省了芯片成本。但是环形振荡器在噪声性能和功耗方面的表现并不理想，所以环形振荡器一般常用在对频率要求不高的场合。2012 年 Basar 等^[13]人设计出中心频率为 2.4GHz 的振荡器，专用于低功耗微型收发器中，该振荡器结构中采用电流复用技术，大大降低了功耗，其在 1.2V 供电电压下，功耗仅为 0.38mW。2013 年 Kim J M、Kim S 等^[14]人采用深亚微米工艺实现了低相位噪声的四级环形振荡器，采用 1V 的电源电压供电，消耗 10mW 功耗，占用面积 0.23mm²，1MHz 处的相位噪声为 -110.8dBc/Hz。国内方面，2011 年西安电子科大庄奕琪等^[15]人采用 TSMC 0.18 μ m RF CMOS 工艺设计了一款中心频率为 2.4GHz、互补型 LC 压控振荡器，1MHz 处的相位噪声为 -121.8dBc/Hz。中科院微电子所的盛志雄等^[16]人于 2014 年采用电流开关技术和电流自调整技术设计了一款频率调谐范围为 4.34GHz 至 5.05GHz 的低功耗压控振荡器，在 1.2V 的工作电压下，其 1MHz 处的相位噪声为 -113dBc/Hz，平均功耗为 3.78mW，相应的综合性能指标 FOM 为 -180 dBc/Hz。

LC 型 VCO 除了压控灵敏度 KVCO、输出摆幅等指标外，相位噪声是 VCO 比较重要的性能指标。相位噪声和抖动是同一现象的不同表现形式，抖动针对的是时域中输出波形过零点的不确定性，而相位噪声从频域的角度评价信号的纯度。理想的输出信号波形应该是一个冲击脉冲，但实际的信号中都会含有噪声，使得在频谱上表现为裙带信号。LC 型 VCO 主要的噪声源有：交叉耦合晶体管、电感、变容管和电流源等。由于 VCO 的输出波形是大信号，所以 VCO 中器件的工作状态也是非线性时变的，这给 VCO 相位噪声的分析带来很大的困难。目前比较主流的相位噪声分析模型分别是 Lesson^[17]提出的线性时不变模型和基于线性时变理论的 Hajimiri 模型^[18]，后来 Abidi、Rael 等^[19]人也提出了非线性系统模型，拉扎维^[20]针对环形振荡器也提出了自己的模型，随着对这些噪声机制的深入研究，

一些降噪技术也相继被设计出来，具体的模型分析以及降噪技术我们将在后面的章节中进行详细的介绍。

分频器是应用于 50Gbps PAM4 CDR 时钟路径 (CLOCK PATH) 中的关键模块电路：CLOCK PATH 模块电路主要包括分频器核心电路、电流模逻辑电路缓冲器 (CML buffer) 以及 CML 转 CMOS 电平电路，该模块电路可产生 12.5GHz 的时钟，目前已完成 25GHz VCO 下一级的 CLOCK PATH 模块电路的前仿、版图设计以及后仿工作。

在 CDR 中分频器是工作在最高频率的电路单元之一。射频频段的分频器是移动通信、光通信和卫星通信系统中的关键部件，许多这样的分频器电路都是采用先进的高速工艺技术制成，如双极、GaAs、SiGe 工艺等^[21]，但这些工艺相对于 CMOS 工艺来说比较昂贵，而且只有采用 CMOS 集成射频前端才能实现单片集成的收发器，并有利于系统的高度集成。因此，近些年来科研工作者基于 CMOS 工艺的针对高频分频电路设计进行了许多改进和优化。

分频器主要有以下三种：再生分频器，注入锁定分频器(ILFD)以及基于电流模式逻辑(CML)的分频器。其中基于电流模式逻辑(CML)的分频器凭借其较低的成本、面积小、工作频率相对较高等优势在高频分频器的设计中占主流地位。因工作频率较高，所以本设计采用基于电流模式逻辑(CML)的分频器。2008 年清华大学的李国林等^[22]人基于电流模式逻辑(CML)设计了一款 12GHz 二分频器，在 1.2V 的供电电压下，该分频器具有很宽的锁定频率范围 (1-12GHz)，消耗大概 1.5mA 的电流。2015 年北京理工大学的安鹏等^[23]人采用电感峰化技术将分频范围提高到 25-37.3GHz，在 1.2V 电源电压供电下，功耗为 24mW。

1.3 论文组织架构

本论文基于 TSMC 40nm CMOS 工艺设计了一款中心频率为 25GHz、宽调谐范围的 LC 型 VCO 和二分频器。本论文要求 LC 型振荡器在 1.2V 电源电压的供电下，需要覆盖 4GHz 的频率范围、压控灵敏度 K_{VCO} 小于 1GHz/V、1MHz 处的相位噪声约为 -90dBc/Hz 以下。分频器设计的重点是如何让分频器在没有信号输入时自谐振且其振荡频率在 12.5GHz 左右，工程上考虑到寄生电容的影响，所以一般要求二分频器后仿时在没有外加激励的条件下可自谐振在 13GHz 左右。

本文内容一共分为五章，其中第一章为绪论，具体的架构安排如下：

第二章介绍了压控振荡器的基本理论。包括基本的工作原理、主要的性能指标以及主流的电路架构，研究讨论片上无源器件（变容管和电感）的不同模型：片上螺旋电感特性的研究、变容管的选择也是全集 LC 型振荡器设计的重点。本论文将围绕如何提高电感的品质因数 Q 对电感的各种模型展开分析讨论，同时通过研究基于标准硅工艺制造的片上集成螺旋电感，了解各种类型的损耗机制，并

相应提出一些优化电感的方法。本论文同时还探讨了变容管的物理特性，给出了四种容抗管的结构和特性曲线，并对这四种容抗管的优缺点进行了总结。重点介绍了相位噪声的定义、理论模型以及常规的降噪技术。由于本论文主要针对 LC 型振荡器，所以环形振荡器将只在第二章中做简单介绍，并不深入研究。

第三章重点介绍了 LC 型振荡器的设计流程以及方法，介绍了振荡器组成模块的电路结构以及设计考虑，在完成前仿的基础上，严格遵守高速电路的设计规则绘制振荡器电路的版图，并进行了后仿。

第四章介绍了高速二分频器的设计与仿真。分频器是振荡器的下一级电路模块，也是整个时钟路径的核心电路。本文将在第四章中介绍二分频器常用的种类以及其不同的应用场合，接着详细讨论了二分频器的工作机制以及其电路结构，最后设计了一款可对振荡器输出的 25GHz 时钟信号实现分频的高速二分频器，同时产生四相位时钟。根据项目需要，选择了基于电流模式逻辑(CML)的分频器作为本次二分频器的结构。在理论分析的基础上，完成了二分频器电路前仿真、版图设计以及后仿验证工作。

第五章对整个项目工作进行归纳总结，并针对目前仍存在的不足提出了未来的发展期待。

总之，本文在查阅了大量文献和对前人工作进行足够调研的基础上，详细讨论和总结了中心频率为 25GHz 的电感电容压控振荡器和高速二分频电路的设计方法，并通过版图设计和后仿真结果验证，设计出了满足性能要求的电路。

第 2 章 压控振荡器基本理论

工欲善其事必先利其器，在进行工程设计之前，首先对振荡器设计需要涉及的一些基本概念包括振荡器的基本工作机制、主要衡量指标、器件特性以及相位噪声理论模型等等进行知识储备是非常有必要的。本章将着重介绍振荡器设计过程中将要用到的概念以及理论，为第三章打下理论基础和设计优化方向。

振荡器是一种不需要外加激励、依赖自身噪声就可以产生以额定频率振荡的交流电能的装置^[24]。作为锁相环、无线通信收发机装置的核心“动力”装置，振荡器既可以提供正弦波，也可以输出非正弦波，本文只讨论输出正弦波的情况。根据是否使用电感，常用的振荡器可分为环形振荡器（Ring-VCO）和电容电感振荡器（LC-VCO）。其中环形振荡器又是多谐振荡器的一种，由于不含电感，环形振荡器是依靠节点储能元件电容不断地充放电实现该节点电压在高低电平之间的切换，从而输出周期稳态波形；而 LC 型振荡器含有由电感 L 和电容 C 组成的选频网络，该类型的振荡器是利用电容储存的电能与电感存储的磁能周期性交换产生周期振荡波形的^[25]，同时由于选频网络自身的滤波特性，使得其输出信号的频谱纯度比较高。

2.1 振荡器的基本工作机制

2.1.1 反馈振荡原理

巴克豪森（Barkhausen）判据是判断振荡器能否正常工作的依据：系统环路增益（前馈增益与反馈环路乘积）的相移等于 360° 时（负反馈接同向端），环路增益大于等于 1。无论是环形振荡器还是 LC 型振荡器，都需要在满足巴克豪森（Barkhausen）判据的前提下才能起振以及稳定振荡。既然振荡器可以看成设计拙劣的放大器，那么我们可以借助图 2.1 所示的反馈环路分析稳定的负反馈系统如何演变成输出振荡信号正反馈网络的。

图 2.1 是振荡器的一般反馈模型，单端输入 V_{in} 与通过反馈函数 $F(j\omega)$ 反馈回来的 V_{out} 作和，再经过前馈函数 $G(j\omega)$ 得到输出 V_{out} ，其传输函数为^[26]：

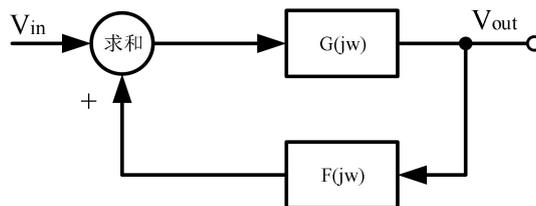


图 2.1 振荡器双端反馈环路网络

$$H(j\omega) = \frac{V_{out}}{V_{in}} = \frac{G(j\omega)}{1 - G(j\omega)F(j\omega)} = \frac{G(j\omega)}{1 - L(j\omega)} \quad (2.1)$$

$$L(j\omega) = G(j\omega)F(j\omega) \quad (2.2)$$

从公式 (2.1) 中不难看出, 当公式 (2.2) 中的环路增益 $L(j\omega)$ 在所有频率上都小于 1 时, 传输函数 $H(j\omega)$ 等于有限值, 该系统不满足巴克豪森判据的幅值条件, 所以该系统稳定; 当环路增益 $L(j\omega)$ 在某一频率 ω_0 处等于 1, 公式 (2.1) 的分母等于 0, 则该闭环系统的闭环增益趋近于无穷大, 某一频率 ω_0 处的任意一点噪声都将通过该增益无穷大的系统被无限放大, 但由于有源器件的非线性以及电源电压 VDD 的限制, 振荡器输出摆幅不会无限制增加而是在振荡器起振之后一段时间内达到稳定。工程上一般定义振荡器起振阶段的环路增益 $L(j\omega)$ 大于 1 且考虑到工艺以及温度等不可控因素的影响, 振荡器的环路增益通常设计为 3~4^[27]。综合以上分析, 得出振荡器的振荡条件为:

$$\text{幅值条件: } |L(j\omega) = G(j\omega)F(j\omega)| \geq 1 \quad (2.3)$$

$$\text{相位条件: } \angle L(j\omega) = 360^\circ \quad (2.4)$$

幅值条件 (2.3) 和相位条件 (2.4) 统称为巴克豪森判据, 振荡器振荡必满足幅值条件和相位条件, 但是同时满足幅值条件和相位条件的振荡器不一定起振, 所以巴克豪森判据是振荡器正常工作的必要但不充分条件。例如: 在图 2.2 所示的由两级反相器组成的环形振荡器当中, 每级反相器产生 180° 直流相移, 在频率近似为零时 A、B 两节点产生 0° 相移, 所以该环形振荡器总相移等于 360° 满足巴克豪森判据的相位条件。同时由于反相器工作在低频条件下, 单级反相器的增益通常大于 1, 所以该环形振荡器的环路增益满足幅值条件。尽管图 2.2 所示的环形振荡器满足巴克豪森判据, 但是此时的振荡频率为 0, 也就是说 A、B 节点将锁定在某个固定状态不再改变。当 V_A 因噪声等因素上升时, V_B 的下降将影响 V_A 进一步上升, 如此恶性循环最终导致 V_A 升至 VDD 而 V_B 降至地电平并维持该“门锁”状态。

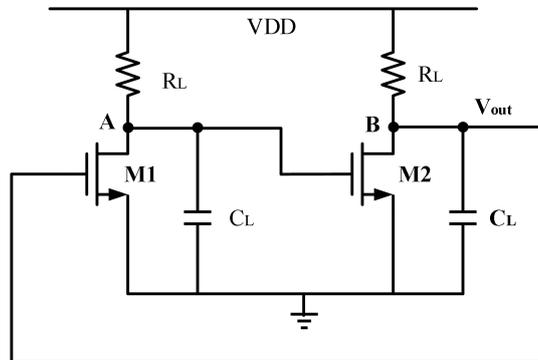
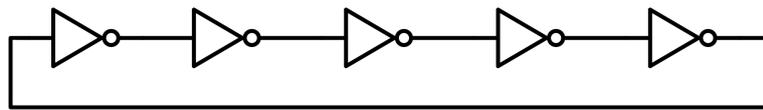


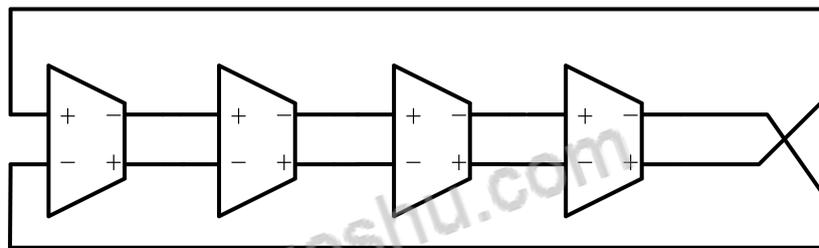
图 2.2 产生“门锁”状态的两级环形振荡器

2.1.2 环形振荡器（Ring Oscillator）的工作机制

环形振荡器采用若干个固定延时单元首尾相连组成的环路如图 2.3，固定延时单元可以是单端反相器（图 2.3a）或者差分反相放大器（图 2.3b）^[28]。相比于 LC 型振荡器，环形振荡器不含无源谐振元件电感，避免制作电感时遇到建模的问题，同时高 Q 值电感需要占据 LC 型振荡器版图面积的 70% 以上。而环形振荡器虽然在噪声性能逊于 LC-VCO，但是环形振荡器占用面积小，而且可调范围比 LC-VCO 宽，最重要的是，环形振荡器可以不借助额外的电路直接输出多相位时钟信号。受限于环形振荡器噪声性能较差、功耗高等缺点，环形振荡器一般应用于低中频的通信系统中。



(a) 五级反相延迟单元组成的环形振荡器



(b) 四级差动环形振荡器

图 2.3 由固定延时单元组成的环形振荡器

图 2.3 所示的环形振荡器需要奇数个（该最小奇数等于 3）反相延迟单元，因为偶数个反相器的直流相移等于 360° 的整数倍，当频率为 0 时各级输出节点不产生交流相移，总相移 360° 满足巴克豪森判据相位条件，这种电路会出现“闩锁”现象导致振荡器失效。

以图 2.3a 所示的单端反相器结构组成的环形振荡器为例，分析计算环形振荡器的振荡条件：5 个单端反相器引入 180° 的直流相移，另外的 180° 由 5 个输出节点引入的交流相移提供，则每级电阻与电容组合引入的极点需要造成 $180^\circ/5=36^\circ$ 相移，同时也要保证在振荡频率 ω_0 处的反相器增益大于等于 1，该电路满足巴克豪森判据，同时不会出现“闩锁”。环形振荡器只在频率 ω_0 处满足振荡条件，体现了环形振荡器同样具有频率选择功能。

在环形振荡器将要起振时，假设单端反相器工作在放大区，且由于此时输入信号摆幅足够小，所以我们可以利用线性系统的小信号分析方法计算环形振荡器的谐振频率 ω_0 以及起振幅值条件：

在图 2.4 所示的反相器中忽略栅漏寄生电容，只考虑输出负载电容 C_L ，则单端反相器的传输函数为 $H(s) = -\frac{A_0}{1 + \frac{s}{\omega_1}}$ ，其中 A_0 表示反相器的直流增益（M1 跨导与负载电阻 R 的乘积）， ω_1 表示每级电路的 3dB 带宽。该环形振荡器是 5 级单端反相器的级联，所以其环路增益为^[29]：

$$H(s) = -\frac{A_0^5}{\left(1 + \frac{s}{\omega_1}\right)^5} \quad (2.5)$$

又因每级需产生 36° 的交流相移，所以有：

$$\arctan \frac{\omega_0}{\omega_1} = 36^\circ \quad (2.6)$$

即该环形振荡器的振荡频率为：

$$\omega_0 = 0.73\omega_1 \quad (2.7)$$

此时环路增益根据幅值条件需要在频率 ω_0 处大于等于 1，也就是说取式 (2.5) 的模值大于等于 1：

$$|H(s)| = \frac{A_0^5}{\left\{ \sqrt{1 + \left(\frac{\omega_0}{\omega_1}\right)^2} \right\}^5} \geq 1 \quad (2.8)$$

将式 (2.7) 带入式 (2.8)，得到

$$A_0 \geq 1.24 \quad (2.9)$$

综上所述，图 2.3a 所示 5 级单端环形振荡器的振荡频率为每级反相器 3dB 带宽的 0.73 倍且需要每级反相器至少提供不小于 1.24 的直流增益，这样环形振荡器才能满足起振条件。

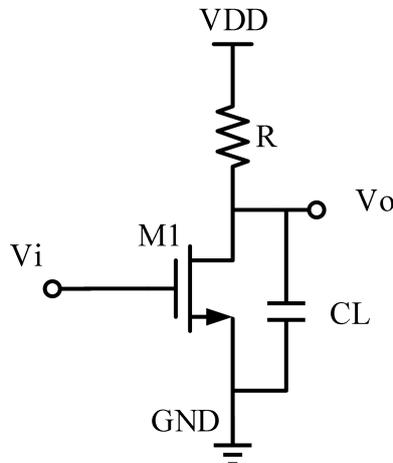


图 2.4 图 2.3 中用到的单端反相器电路

以上分析是建立在假设起振阶段反相器输入摆幅非常小基础上的，基于反相器的小信号模型对环形振荡器的振荡频率进行了计算分析。当每级反相器的直流增益大于 1.24，环形振荡器的环路增益大于 1，此时振荡摆幅将不断增大，最终达到电源电压摆幅。当摆幅在电源电压和地电压之间切换时，环形振荡器工作非线性状态，以上分析在这里将不再适用。非线性过程限制振荡器摆幅进一步增大而稳定在定值，此时的振荡频率取决于反相器每级的延时 T_D ，图 2.3a 所示的大信号振荡频率为 $1/(10T_D)$ (小于小信号振荡频率 ω_0)。

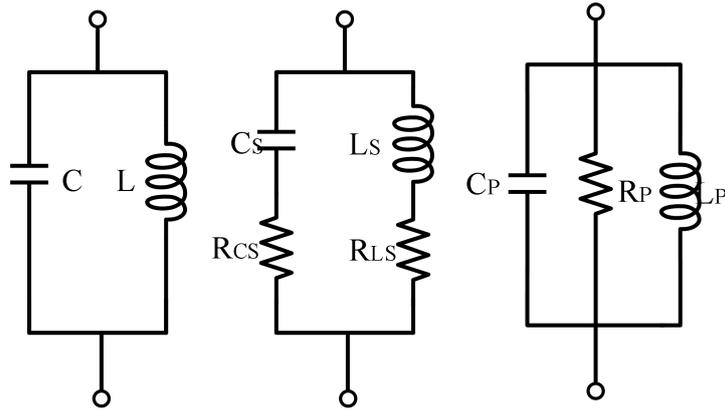
经过以上分析，环形振荡器的最终振荡频率取决于每级反相器的延时，该延时与每级输出节点的总电容以及对该电容充电的大信号、非线性电流有关。因此在保证振荡器正常起振的前提下，改变振荡器的振荡频率主要是通过改变延时单元的延迟时间实现的，而延迟时间又与节点的时间常数、大信号充放电电流大小有关。工程上常用的环形振荡频率调谐技术主要有^[30]：改变充放电电流、改变负载电阻、采用正反馈技术以及采用差值技术等方法改变延迟单元的延迟时间，在此不再一一赘述。

尽管环形振荡器拥有宽频率调谐范围、面积小、与 CMOS 工艺完美兼容等等优势，但是当其工作频率超过 10GHz 时，其在高速通信接口中的应用中噪声性能和能耗表现较差，所以本论文在设计中决定采用 LC 型 VCO。

2.1.3 LC 型 VCO 的工作机制

由于环形振荡器的相移曲线受环路中的左半平面极点的影响，其相移特性曲线随频率增加单调下降，所以环形振荡器只在一个频率点满足巴克豪森判据，其他频率点的信号会受到衰减，所以环形振荡器同样具有频率选择功能。而 LC 型 VCO 则不同，它是通过 LC 并联谐振网络实现频率的。

LC 并联谐振网络作为常用的滤波手段常见于高频电子电路中，理想的 LC 并联谐振网络如图 2.5a 所示，忽略了电感与电容的串联寄生电阻，通过计算容抗与感抗的并联公式，发现当频率等于 $1/\sqrt{LC}$ 时，其并联等效阻抗无穷大，该频率点叫做谐振网络的谐振频率。由于磁能与电能在电感和电容之间反复交换而没有能量损失，所以其时域波形表现为等幅振荡。但是实际当中电容、电感都会因为非理想因素而存在寄生电阻，比如电容因介质非完全绝缘而导致泄漏电流的存在、电极、导线以及介质都会存在一定的介质损耗，以上非理想因素均可等效为电容的寄生电阻 R_{CS} ，而电感则因存在的趋肤效应、金属线的寄生阻抗等因素导致存在寄生电阻 R_{LS} ，如图 2.5b 所示。通常电容器的品质因数 Q 远高于电感，所以一般忽略电容的寄生电阻 R_{CS} 而只考虑电感的损耗。



(a) 理想模型 (b) 带有串联电阻 (c) 等效并联模型

图 2.5 LC 谐振腔模型

为了分析方便，将图 2.5b 所示的非标准化 RLC 网络转换成图 2.5c 所示的标准化并联 RLC 网络形式是十分必要的^[31]。限制工作频率只在谐振频率附近很窄的频率范围内变化，RLC 谐振网络的串并联等效转换原理解释如下：

为简化分析，令 $R_{CS}=0$ ，图 2.5b 与图 2.5c 所示的电路等效， R_P 只取决于电感的寄生电阻 R_{LS} ，所以 $C_s \approx C_p$ ，不将电容引入计算。也就是说，电感 L_S 与电阻 R_{LS} 的串联可等效成电感 L_P 与电阻 R_P 的并联：

$$R_{L_S} + j\omega L_S = \frac{sR_P L_P}{R_P + sL_P} \quad (2.10)$$

将公式 (2.10) 等号左边写成分数的形式，分母为 $R_P + sL_P$ ，通过通分化简得到 $L_P = L_S(1 + \frac{R_{LS}^2}{L_S^2 \omega^2})$ ，又因为在电感电阻的串联支路中有效品质因数为 $Q = \frac{\omega L_S}{R_{LS}}$ ，所以有 $L_P = L_S(1 + \frac{1}{Q^2})$ ，当代先进工艺可以把单片电感 Q 值做到 10 以上，那么

$$L_P \approx L_S \quad (2.11)$$

以及

$$R_P \approx \frac{\omega^2 L_S}{R_{LS}} \approx Q^2 R_{LS} \quad (2.12)$$

该结果表明：当 Q 值较大时，感值几乎保持不变，而等效并联电路的电阻 R_P 是原电感寄生电阻的 Q^2 倍。电容串联寄生电阻同样可以采用该推导方法转变为电容与等效电阻的并联电路。此时并联电路品质因数 Q 的公式可重新定义为：

$$Q = \frac{R_P}{\omega L_S} = \omega C_P R_P \quad (2.13)$$

鉴于 LC 在谐振回路中是并联关系，所以流过电感与电容的电流大小相等，但是方向相反，电感内的磁能与电容内的电能相互转换，并未与外界进行能量联

系，使得外加激励电流完全流过并联等效电阻 R_p ，也就是 LC 并联谐振回路简化成了一纯电阻，所以 LC 回路两端电压与流过其的电流同相。

LC 并联谐振回路阻抗幅度、相位关于频率的关系曲线如图 2.6 所示，从图中可以清楚的得到当频率小于谐振频率 ω_0 时，随着频率的增大，阻抗呈上升趋势，所以此时回路呈感性，频率趋近于无穷小时相位趋近 90° ；当频率大于谐振频率 ω_0 时，随着频率的增大，阻抗呈下降趋势，所以此时回路呈容性，频率趋近于无穷大时相位趋近 -90° ；当频率等于谐振频率 ω_0 时，阻抗达到最大值，此时的相位为 0 。同时，从 LC 谐振网络的相位关于频率曲线图中发现，当频率很低时相位接近 $+90^\circ$ ，而频率很高时相位则接近 -90° ，这种特性避免了前文提到了在不希望频率处可能出现的门锁现象。

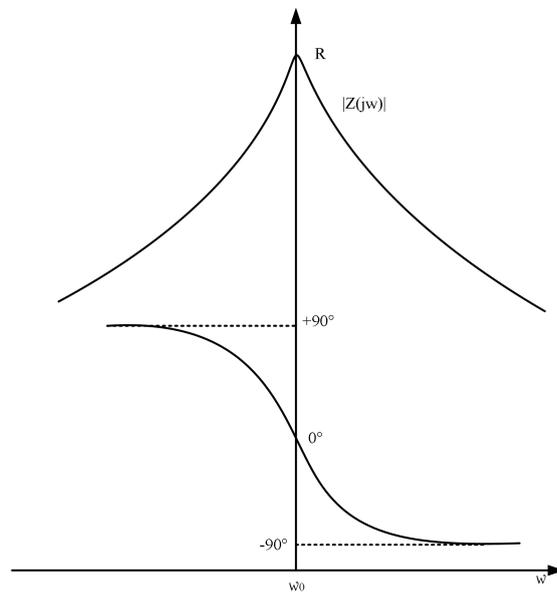


图 2.6 并联 LC 谐振网络的阻抗以及相位特性

输出频率和幅度稳定的周期时钟波形是对 VCO 设计的基本要求，所以 VCO 需要满足两个稳定性条件：幅度稳定性条件和频率稳定性条件，也就是说当受到外界干扰，导致 VCO 的频率和幅度偏离平衡点时，我们希望 VCO 具有自稳定机制，恢复原平衡状态。幅度稳定性条件是依靠环路增益的大小与 VCO 输出幅值呈反比关系实现的：已知为了 VCO 起振，通常设置 VCO 环路增益的初始值大于 1，随着幅度的增加，有源器件的非线性会限制幅值的进一步增大而进入饱和状态，幅度维持稳定状态足够长的时间使得平均环路增益减小至 1，所以由于有源器件存在的非线性，使得近似认为环路增益模值曲线是一条关于幅值的负斜率曲线。

振荡器环路增益模值曲线如图 2.7 所示。即如果 VCO 输出幅值因干扰造成幅度增加时，环路增益模值小于 1 使得振荡幅度逐渐缩小，返回平衡点 Q；相反，

当 VCO 输出幅值因干扰造成幅度减小时，环路增益模值将大于 1 使得振荡幅度逐渐增大，返回平衡点 Q。综上所述，得益于有源器件的非线性，VCO 具有自稳定输出摆幅的功能，这也是大部分噪声模型只考虑相位噪声而忽略幅度噪声的原因。

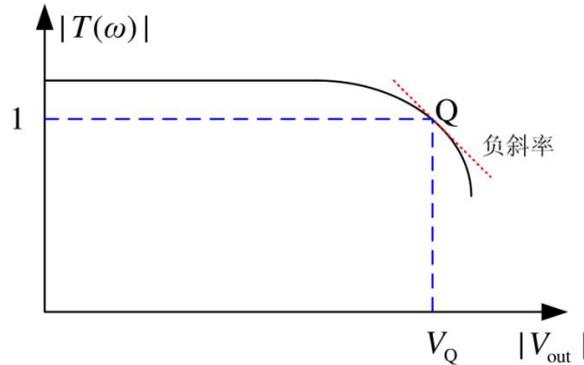


图 2.7 振荡器环路增益模值曲线

图 2.6 所示的 LC 谐振网络相位特性曲线表明振荡器具有自稳定相位波动的特性：相位稳定条件是指当振荡输出波形的相位受到外界破坏时，振荡器具有能够重新恢复原相位平衡点的能力。假设外界施加的干扰导致反馈电压超前前一次反馈回的电压一个相角 $\Delta\beta$ ，经过环路的不断循环相角 $\Delta\beta$ 将逐渐累积，相位不断超前上一次的相位，使得每个周期的有效时间长度缩短导致周期减小，频率升高；相反亦然，当外界施加的干扰导致反馈电压滞后前一次反馈回的电压一个相角 $\Delta\beta$ ，经过环路的不断循环放大，相位不断滞后上一次的相位，使得每个周期的有效时间长度增加导致周期增大，频率减小。公式 (2.14) 揭示了相位变化与振荡频率的关系：

$$\frac{\Delta\omega}{\Delta\beta} > 0 \quad (2.14)$$

由上面的分析可知相位的变化将导致频率的不稳定，所以为了提高振荡器的相位稳定性，振荡器本身必须提供与公式 (2.14) 符号相反的频率变化与相位变化的关系，即 $\frac{\Delta\beta}{\Delta\omega} < 0$ ，而图 2.6 所示的 LC 谐振网络的相位特性曲线图恰恰满足这一条件。在图 2.8 所示的反馈型 LC 振荡器中，其环路相移一般由前向增益的相移、谐振网络的相移以及反馈回路的相移三部分组成，其中谐振网络的相移对频率的变化最为敏感，所以我们主要考虑图 2.8 中 LC 谐振网络相移特性曲线对稳定相位变化的作用。

结合图 2.6 我们可以做出以下分析：假设因外界因素导致前向增益的相移与反馈回路的相移之和由原来的 φ_{YF} 增加到现在的 φ'_{YF} ，变化之前谐振回路的相移 φ_Z 将使振荡器不再满足相位判据，环路的相位平衡被打破。前文已说明当相位出

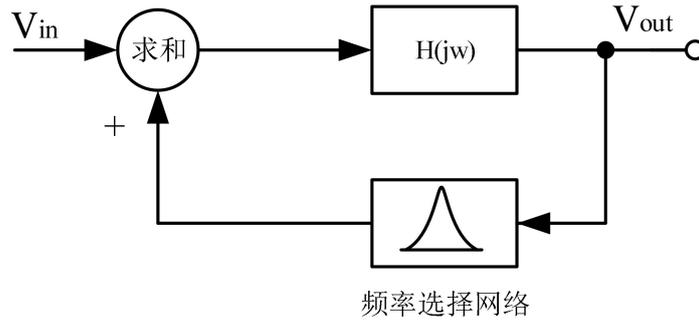


图 2.8 反馈网络采用频率选择网络的振荡器

现增量时，将导致振荡频率升高，而振荡频率的升高将在 LC 谐振网络的相位特性曲线中引入一个负的相移增量 $-\Delta\varphi_Z$ 。当 $-\Delta\varphi_Z = \varphi'_{YF} - \varphi_{YF}$ 时，振荡环路将在新的振荡频率点满足相位判据。综上所述，虽然 LC 振荡器利用 LC 谐振网络的相频特性保证振荡器的相位在受到干扰的情况下，仍可以恢复平衡状态，但是为了抵消相位偏差也将导致振荡器的中心频率发生偏移，使得振荡器中心频率附近含有很多频率相近的成分，形成一个扩展的频谱（“裙带”），它反映了振荡器的噪声性能。为了优化振荡器的频谱纯度，我们必须采取适当的措施减小频率偏移量即降低前向增益和反馈回路的相移受外界干扰的敏感度：通过提高 LC 谐振网络的品质因子 Q，可以增大相频特性曲线斜率的绝对值 $\left| \frac{\partial\varphi}{\partial\omega} \right|$ ，这意味着在相位偏移

$(\varphi'_{YF} - \varphi_{YF})$ 一定时， $\left| \frac{\partial\varphi}{\partial\omega} \right|$ 越大，频率偏移量越小，振荡频率越稳定。

前文所讲到的环形振荡器以及反馈型 LC 振荡器都是借助“双端口网络”的正反馈模型分析振荡器工作机制的，而本论文设计的振荡器由于采用负阻式 LC 振荡器，采用单端口负阻振荡器模型^[32]可以帮助我们更加深刻的领会振荡现象。图 2.9 是负阻式 LC 振荡器经过简化的单端口负阻振荡器模型，由于 LC 谐振网络存在电阻损耗 R 导致振荡波形呈衰减趋势，为此通过有源电路提供负阻 -R 补偿谐振网络的能量损耗，使得振荡波形维持等幅振荡。

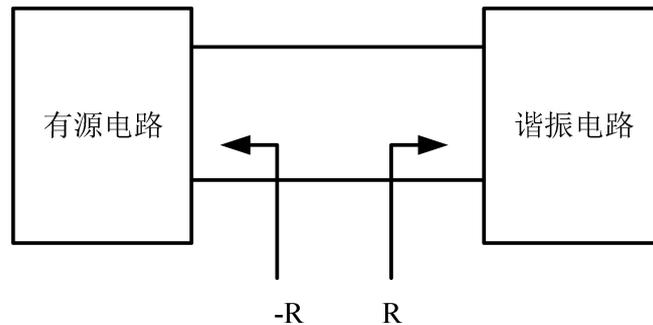


图 2.9 负阻模型

负阻从能量的角度解释了巴克豪森判据，使用负阻的目的是将直流能量转换为 LC 谐振网络损失的交流能量。流过正阻的电流与其两端电压呈正比，而流过负阻的电流与其两端电压呈反比；正阻会产生热损耗导致能量散失，而负阻不会消耗能量反而像一个功率源向外输出能量。注意负阻概念只对交流信号有效。下面借助一脉冲电流激励 LC 谐振网络来理解负阻在振荡器中的作用^[33]，负阻网络在 LC 谐振网络中起到的作用如图 2.10 所示。

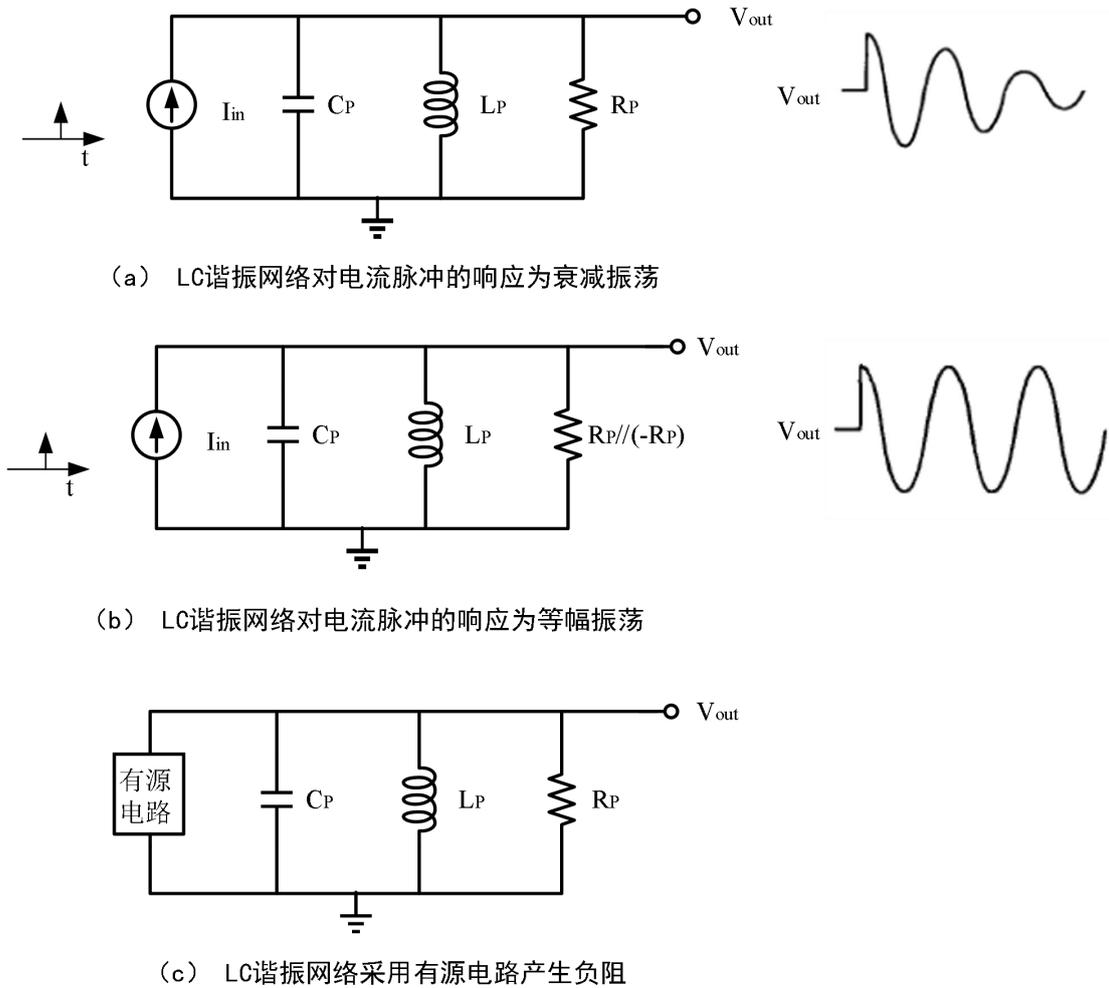


图 2.10 负阻网络在 LC 谐振网络中起到的作用

图 2.10a 表示 LC 谐振网络在电流脉冲的激励下回路的瞬态相应，由于寄生电阻 R_P 的存在，造成每个周期内能量以热的形式损耗掉，所以输出的瞬态呈衰减趋势；在 2.10b 的电路中增加一与 R_P 大小相等、符号相反的电阻，抵消周期内的能量损耗，此时的输出瞬态波形将永远等幅振荡下去，因此下文将继续讨论如何用有源电路（2.10c）实现负阻 $-R_P$ 。

由公式 (2.1) 可得到启示：正反馈电路的闭环输入或者输出阻抗等于开环电路的输入或者输出阻抗乘以或者除以 $(1 - L(j\omega))$ ，只要环路增益 $L(j\omega)$ 足够大，可以产生负阻。

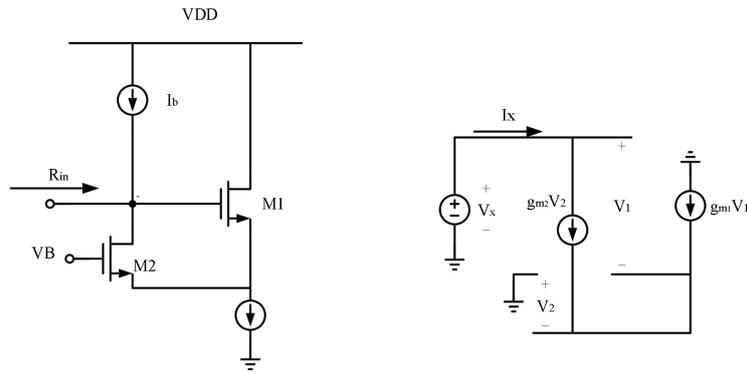
负阻产生电路如图 2.11 所示，该电路通过 MOS 管 M2、电流源 I_B 给源跟随器 M1 提供了一正反馈回路，图 2.11b 是图 2.11a 的等效小信号电路图，为简化分析，不考虑 MOS 管的沟道长度调制效应和体效应，所以有：

$$I_X = g_{m2}V_2 = -g_{m1}V_1 \quad (2.15)$$

$$V_X = V_1 - V_2 = -\frac{I_X}{g_{m1}} - \frac{I_X}{g_{m2}} \quad (2.16)$$

因此，当 $g_{m1}=g_{m2}=g_m$ 时，

$$\frac{V_X}{I_X} = \frac{-2}{g_m} \quad (2.17)$$



(a) 单端负阻电路 (b) 电路小信号模型

图 2.11 负阻产生电路

流过正值电阻的电流与加在电阻两端的电压成正比，然而在图 2.11a 中，当输入电压增加时，M1 的源极电压也随着增加导致 M2 的栅源电压减小， I_b 流过 M2 的电流减小转而流向输入源，所以该电路的输入阻抗体现了负阻特性。由该负阻电路组成的 LC 振荡器如图 2.12 所示。

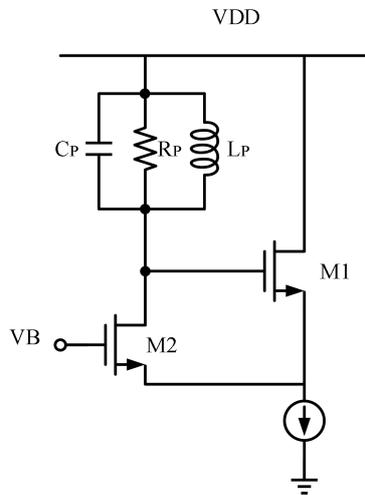


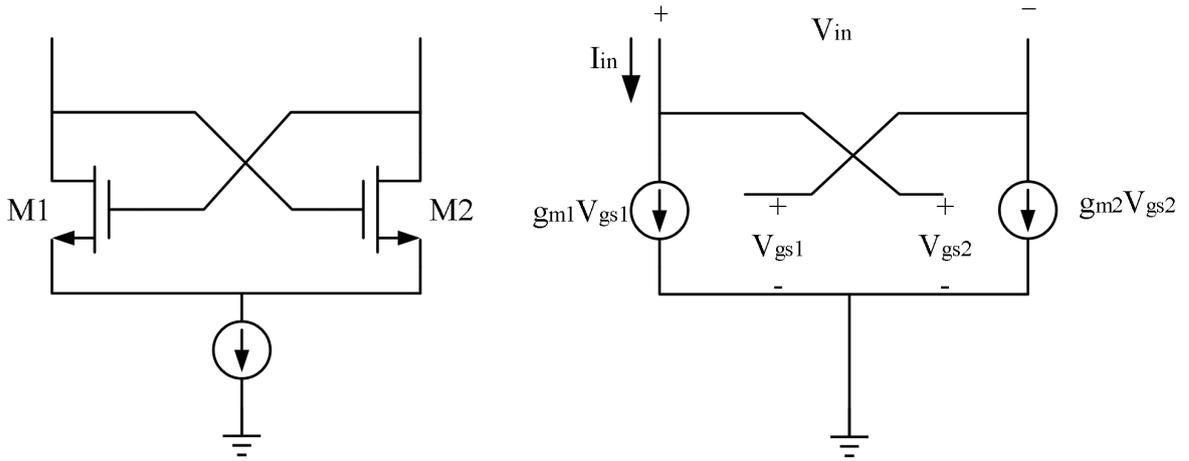
图 2.12 单端负阻振荡器

图中 R_p 是电感的等效并联电阻，同时为 M2 提供偏置电流，结合前文的分析可知只要负阻小于正阻 $R_p \geq \left| \frac{V_X}{I_X} \right| = \left| \frac{-2}{g_m} \right|$ ，负阻提供的能量将大于 LC 谐振回路消耗的能量，从而该振荡器满足建立振荡的条件，其振荡幅度将逐渐增加至饱和。

工程设计中一般采用交叉耦合的晶体管实现负阻，如图 2.13 所示。以 NMOS 为例，右边是其小信号等效电路，忽略二级效应，有：

$$V_{in} = V_{gs2} - V_{gs1} \quad (2.18)$$

$$I_{in} = g_{m1} V_{gs1} = -g_{m2} V_{gs2} \quad (2.19)$$



(a) NMOS 交叉耦合对管 (b) 小信号模型

图 2.13 由 NMOS 组成的交叉耦合对管

其中 g_{m1} 、 g_{m2} 分别是 M1、M2 的跨导，联立式 (2.18) (2.19) 可推导出其等效电阻：

$$R_{in} = \frac{V_{in}}{I_{in}} = -\frac{1}{g_{m1}} - \frac{1}{g_{m2}} \quad (2.20)$$

一般取 $g_{m1} = g_{m2} = g_m$ ，则 $R_{in} = -\frac{2}{g_m}$ 。由 PMOS 组成的交叉耦合管以及由

PMOS-NMOS 互补交叉耦合管组成的负阻电路推导过程与之类似，其中由 PMOS-NMOS 互补交叉耦合管组成的负阻电路因其更优越的特点广泛应用于电压或者电流偏置型的 LC 振荡器当中。本文选择 PMOS-NMOS 互补交叉耦合管作为 LC 振荡器的负阻产生电路，主要考虑到：1. 互补交叉耦合管的等效跨导 g_m 大于 PMOS (NMOS) 互耦对管，可以提供更小的负阻值，在相同的电流下，更容易起振；2. 该结构只要采用两端对称电感，降低了电感的设计难度；3. 提供全差分操作。

本设计振荡器的正常起振过程如图 2.14 所示（前仿），可见该振荡器的起振时间约 1.6ns，设计中为了保证振荡器起振，一般会为设计留有一定的余量，即在

直流工作小信号状态下， g_m 与 R_P 的乘积取正常值的 2~3 倍。

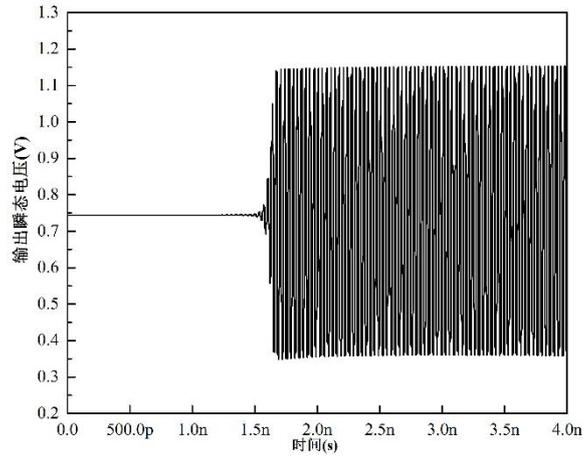


图 2.14 实际 LC 型振荡器输出瞬态电压波形

振荡器在经历起振过程之后，振荡器输出摆幅逐渐增大，晶体管进入非线性工作状态，当摆幅增大到一定程度时，交叉耦合对管将经历饱和区、线性区以及截止区等不同的工作状态。交叉耦合对管有将近半个周期的时间处于线性区，另半个周期处于截止区，只有在平衡点附近很短的时间内处于饱和区，所以近似认为图 2.15 中的 NMOS 交叉耦合对管工作在开关状态。此时的电流 I_{SS} 以与输出摆幅相同的振荡频率在左右支路之间来回切换，因此流过谐振回路的电流近似为幅度 I_{SS} 的周期性方波，而又因为 LC 谐振回路的滤波作用，所以只有频率为 LC 谐振网络谐振频率的信号通过。将该方波电流进行傅里叶展开，只保留基频信号成分，得到 LC 振荡器差分输出信号摆幅的公式：

$$V_o = \frac{4I_{SS}R_P}{\pi} = \frac{4I_{SS}\omega_0 LQ}{\pi} = 8I_{SS}f_0 LQ \quad (2.21)$$

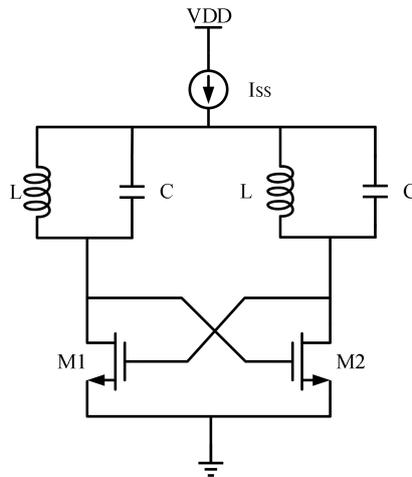


图 2.15 NMOS 交叉耦合对管组成的 LC 振荡器

从公式 (2.21) 中我们可以总结出 LC 振荡器的重要特性：振荡器的输出摆幅取决于偏置电流 I_{SS} 的大小，同时还与谐振回路的谐振频率、电感值、品质因数 Q

有关。由于晶体管节点寄生电容的存在，使得波形过零点的斜率达不到无穷大，使得波形刚到达峰值就开始下降，所以由于延时的存在用正弦波近似电流 I_{SS} 的振荡波形比理想的方波更为恰当，此时可将公式 (2.21) 修改为公式 (2.22) 的形式：

$$V_O = I_{SS}R_P = I_{SS}\omega_0 LQ \quad (2.22)$$

负阻分析和正反馈分析是对振荡现象的不同解释方法，本质相同，都是基于巴克豪森判据。虽然两种分析方法都可以用来解释 LC 振荡器工作原理，但是利用负阻分析法分析 LC 振荡器比较直接明了，而正反馈分析法则更适合分析环形振荡器。

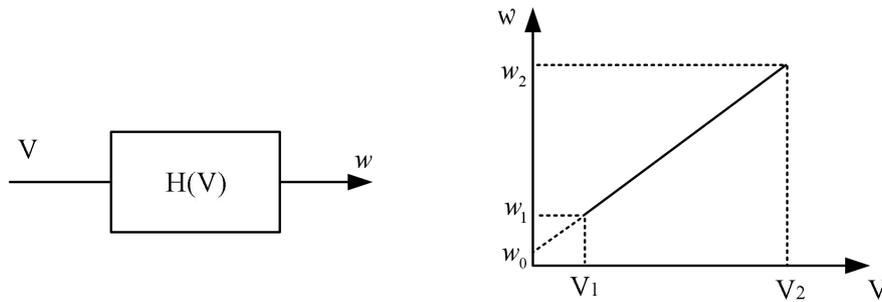
2.2 LC 振荡器的数学模型

上一节对振荡器的基本原理进行了介绍，知道了振荡器振荡需要的条件，同时我们还希望振荡器系统是“无记忆系统”，即可以根据需要通过改变外界作用条件实时改变其振荡频率。

对于 LC 振荡器，通过调节施加的控制电压 V_{cont} 大小调节振荡器振荡频率，理想的振荡器振荡频率与 V_{cont} 呈线性关系，

$$\omega_{out} = \omega_0 + K_{VCO} \bullet V_{cont} \quad (2.23)$$

其中 ω_0 是振荡器的初始输出频率， K_{VCO} 表示振荡器输出频率与输入控制电压 V_{cont} 的关系，可称为电路的“增益”或者“灵敏度”（单位：rad/s/V）。图 2.16 是公式 (2.23) 的图形化表示。



(a) 振荡器的传输函数 (b) 振荡器的传输曲线

图 2.16 压控振荡器的数学模型

已知频率是相位的微分，频率的大小表示相位变化的快慢，结合公式 (2.23) 得到振荡器的相位公式：

$$\Phi = \int \omega_{out} dt + \Phi_0 = \int (\omega_0 + K_{VCO} \bullet V_{cont}) dt + \Phi_0 = \omega_0 t + K_{VCO} \int V_{cont} dt + \Phi_0 \quad (2.24)$$

在锁相环中，定义公式（2.24）的第二项 $K_{VCO} \int V_{cont} dt$ 为余量相位 Φ_{ex} ，因为在锁相环路当中，通常将振荡器看成输出余量是相位、输入是电压的模块，因此振荡器在相位域相当于一个理想的积分器，其相位域的表达式为

$$\frac{\Phi_{ex}}{V_{cont}}(s) = \frac{K_{VCO}}{s} \quad (2.25)$$

2.3 VCO 主要性能指标

在设计振荡器时，总需要一些评价标准来衡量振荡器是否满足实际需求。振荡器主要从频率调谐范围、中心频率、调谐灵敏度 K_{VCO} 、相位噪声、功耗、输出摆幅等几个方面作为衡量振荡器质量的主要性能指标^[34]。

- 中心频率：中心频率的大小需要根据应用环境确定，不同应用要求的振荡器中心频率差异非常大。在图 2.16b 中，中心频率是终点频率 ω_2 与起点频率 ω_1 的中间值，即 $(\omega_1 + \omega_2)/2$ 。本设计的目标中心频率是 25GHz，如此高的中心频率在同阶段的硕士论文中鲜有遇到。
- 频率调谐范围：即图 2.16b 中终点频率 ω_2 与起点频率 ω_1 之间的频率区域，也就是振荡器可达到的频率范围。一般规定^[35]宽带振荡器的调谐范围大于中心频率的 10%，而窄带放大器的调谐范围小于中心频率的 10%，本论文要求中心频率为 25GHz 的振荡器覆盖 4GHz 的频率范围，明显属于宽带振荡器。之所以要求振荡器需达到 4GHz 频率覆盖范围，是考虑到振荡器的中心频率容易受到工艺、温度的影响，使得振荡器不能覆盖 25GHz 频率点。所以一般要求振荡器具有较宽的频率覆盖范围，使得振荡器即使在最差的情况也能工作在目标频率点。
- 调谐灵敏度 K_{VCO} ：即图 2.16b 中曲线的斜率，它表示振荡器的增益。振荡器的调谐灵敏度 K_{VCO} 越大，则频率覆盖范围越宽，但是较大的 K_{VCO} 同时也将控制线上的噪声放大输出，势必会影响输出波形的频谱纯度，所以设计希望较小的 K_{VCO} 以优化振荡器的噪声性能。综上，较宽的频率覆盖范围与减小输出噪声是相互矛盾的，工程上常在振荡器中加入数字粗调谐技术^[36]应对噪声与频率覆盖范围之间的矛盾。
- 输出摆幅：公式（2.21）告诉我们通过增加偏置电流、LC 谐振网络的 Q 值可显著增加振荡器的输出摆幅。较大的输出摆幅不仅可以提高噪声性能，而且降低了对下级二分频器电路灵敏度的要求。
- 功耗：模拟集成电路设计八边形法则同样适用于振荡器的设计，即振荡器需根据设计要求在功耗、频率以及噪声之间进行折中。
- 相位噪声：相位噪声是振荡器一项非常重要的性能参数，描述了输出信号

的频谱纯度。

CDR 环路从接收到的信号中恢复出时钟信号，该时钟信号的抖动性能会受到振荡器相位噪声的影响。振荡器中交叉耦合管以及电流源的热噪声和闪烁噪声是振荡器相位噪声的主要来源，其中电路中的闪烁噪声是导致低频段相位噪声的原因。降低闪烁噪声对相位噪声的贡献可大幅度提升振荡器产生时钟的频谱纯度，所以本设计借鉴在文献[37]中使用的、降低 MOS 管闪烁噪声的方法来提升振荡器的噪声性能。文献[37]设计了并实现了一款低噪声前置放大器：该放大器因为需要采样幅度微弱的眼压信号，所以需要严格管控噪声的影响。同时鉴于该放大器工作在 100Hz 左右的频率处，所以该论文在降低 MOS 管闪烁噪声方面做了较多的努力，其分别从结构和尺寸方面对闪烁噪声进行了优化。本论文主要借鉴其在电路器件尺寸方面优化闪烁噪声的方法，即增大主要闪烁噪声来源晶体管的尺寸。该论文通过大幅度提升输入管的尺寸，甚至让其工作在亚阈值区，为的就是获得较少的闪烁噪声影响。该方法在减小振荡器器件闪烁噪声对相位噪声影响方面效果显著，但是值得注意的是，交叉耦合管的尺寸也不宜过大，因为尺寸太大会引入过大的寄生电容而恶化振荡器的性能。关于相位噪声的基础理论我们将在 2.5 小节中详细讨论。

2.4 片上无源器件：变容管和电感

作为振荡器中非常重要的无源器件，变容管和电感的选择和性能直接决定了振荡器的质量。因无源器件在无线通信的应用非常广泛，毫不夸张的讲无源器件直接决定了如低噪声放大器、压控振荡器等模块电路的性能表现以及整个接收机系统的噪声性能，所以一直以来对无源器件都有着高品质的设计要求，特别是螺旋电感。在标准 CMOS 工艺中，硅基片上螺旋电感的品质因数远低于电容的，所以 LC 谐振网络的品质因数主要取决于电感，因此，为了设计出低相位噪声高性能的 LC 型 VCO，必须在了解其电路模型后，找到优化电感的结构和参数的方法来提高电感的品质因数。

2.4.1 可变电容特性分析

可变电容的容值随控制电压改变而改变的特性使得振荡器频率可调谐得以实现^[38]。在标准 CMOS 工艺中，可变电容主要分为两类：MOS 可变电容和 PN 结可变电容，其中 MOS 可变电容根据工作区域的不同，又可以分为普通 MOS 可变电容(C-MOS)、反型 MOS 可变电容(I-MOS)以及积累 MOS 可变电容(A-MOS)。

变容管比较关注的性能参数主要有：调谐范围、品质因数、C-V 特性等。

PN 结可变电容^[39]：在考虑寄生效应的情况下，一般采用 P 型有源区与 N 阱形成的二极管作为 PN 结可变电容，如图 2.17 所示。

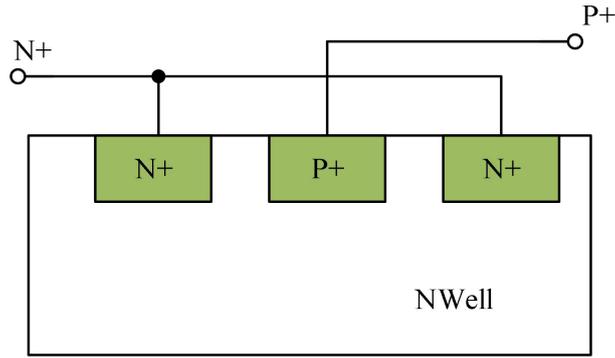


图 2.17 PN 结可变电容

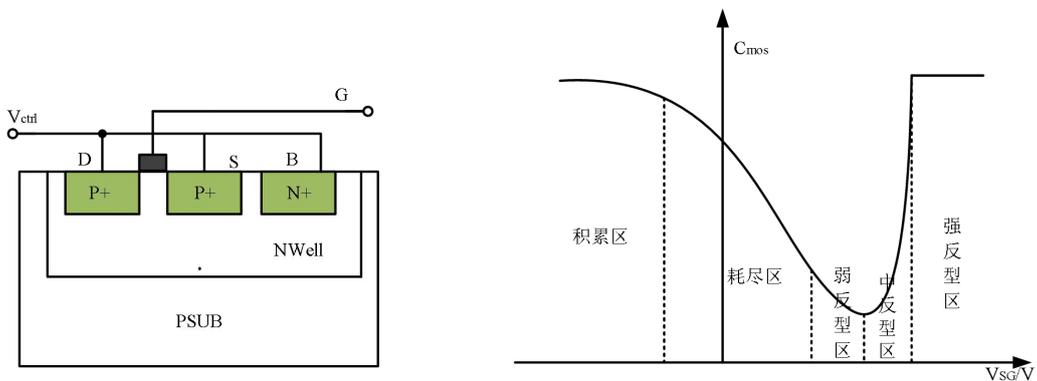
PN 结可变电容在反向偏压的作用下，在 P 型有源区与 N 型有源区之间生成耗尽层，而电子、空穴分别向 P 型有源区与 N 型有源区聚集，使得 N 区和 P 区导电粒子的密度增大，导电能力明显提升。而耗尽层由于缺乏导电粒子而使得几乎不导电，相当于绝缘层，且该绝缘层的宽度取决于反偏电压的大小，PN 结可变电容的大小可通过下面的公式近似：

$$C_j \approx \frac{C_{j0}}{(1 - V_F / \phi)^n} \quad (2.26)$$

其中 C_{j0} 表示 PN 结零偏时的电容量， V_F 是 PN 结的正向偏置电压， ϕ 是 PN 结的内建电势， n 取决于工艺的掺杂程度。

尽管反向 PN 结作为可变电容具有品质因数高、线性度良好的 C-V 特性曲线等优点，但是它的调谐范围小且当应用在 LC 振荡器中时，由于振荡器较大的输出摆幅有可能导致 PN 结正偏，将给 LC 振荡器引入极大的损耗，恶化噪声性能。

普通 MOS 可变电容(C-MOS)：将 PMOS 管的源、漏以及衬底连在一起作为电容的一端，而栅极单独作为电容的另一端，图 2.18 分别是 C-MOS 可变电容的工艺剖面图和 C-V 特性曲线。



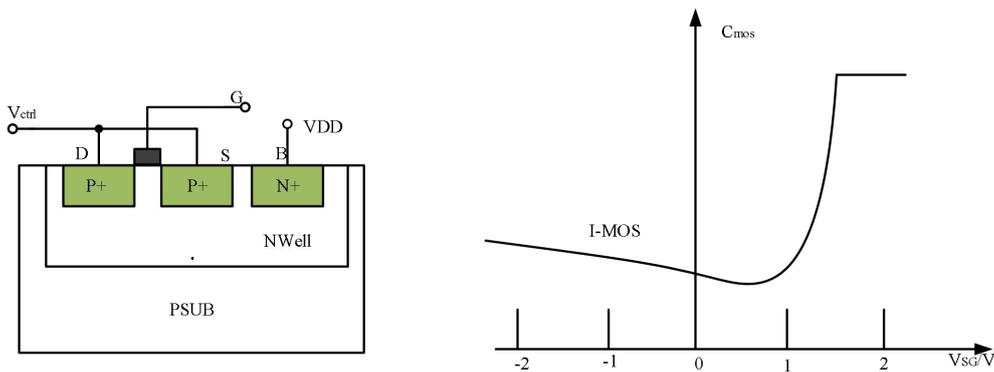
(a) C-MOS 可变电容截面图

(b) C-MOS 的 C-V 特性曲线

图 2.18 C-MOS 可变电容的截面图及其 C-V 特性曲线

从图 2.18b 中可看出，当 C-MOS 可变电容的外加偏置电压 V_{SG} 从负值逐渐增大到正值时，C-MOS 可变电容将经历积累区、耗尽区、弱反型区以及强反型区等四个不同的区域，其电容值将先减小再逐渐增大恢复原值。由于 C-MOS 可变电容 C-V 特性曲线强烈的非线性，所以 C-MOS 可变电容在振荡器中并不适用，而且在耗尽区、弱反型区时，C-MOS 可变电容较大的寄生电阻将恶化变容的品质因数。

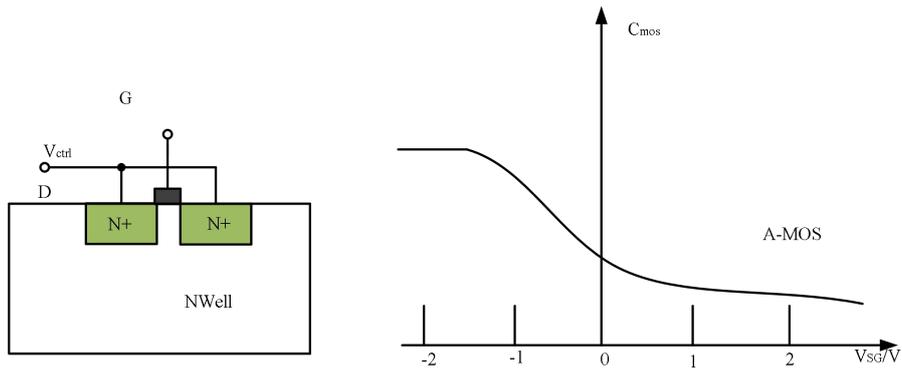
反型 MOS 可变电容 (I-MOS)：将普通 MOS 可变电容(C-MOS)的衬底接到电源 VDD 上，该可变电容由于不会产生积累区，所以叫做 I-MOS 可变电容。由于 PMOS 的衬底连接高电平，所以电荷为负的载流子不会在氧化层下面的衬底表面积累。从图 2.19b I-MOS 可变电容的 C-V 特性曲线可以看出，I-MOS 可变电容比 C-MOS 可变电容具有更宽的电容单调变化区域。C-MOS 可变电容在耗尽区域的容值是氧化层电容与耗尽层电容的串联，所以此时的容值最小。NMOS 型的 C-MOS 可变电容因电子迁移率大于空穴迁移率的原因，所以拥有更高的 Q 值。



(a) I-MOS 可变电容截面图 (b) I-MOS 的 C-V 特性曲线

图 2.19 I-MOS 可变电容截面图及其 C-V 特性曲线

积累 MOS 可变电容 (A-MOS)：A-MOS 可变电容的剖面图如图 2.20a 所示，与其他 PMOS 可变电容相比，A-MOS 可变电容将 P 型有源区用 N 型有源区取代，同时减少一个 N 型有源区。这样做的目的是通过阻止空穴进入沟道而控制 MOS 只工作在积累区和耗尽区，其 C-V 特性曲线如图 2.20b 所示，与 C-MOS 可变电容相比，A-MOS 可变电容同样具有较宽的电容单调变化区域、更高的品质因子等优点，研究表明，与 I-MOS 可变电容相比，A-MOS 可变电容具有更高的品质因子，更大的调谐范围 $\frac{C_{\max}}{C_{\min}}$ ，所以工程中 A-MOS 可变电容在 LC 振荡器应用更为广泛。



(a) A-MOS 可变电容的截面图 (b) A-MOS 的 C-V 特性曲线

图 2.20 A-MOS 可变电容管及其 C-V 特性曲线

前面总结了不同可变电容的结构和特点，需根据不同的应用场景选择适当的可变电容。本项目综合考虑了 C-MOS、I-MOS 以及 A-MOS 三种可变电容的优缺点，鉴于 A-MOS 可以提供相较较宽的电容单调变化区域以及具有更高的品质因子 Q ，所以本论文决定在 LC 振荡器设计中使用 A-MOS 可变电容调节 VCO 的工作频率。下面介绍如何对 TSMC 40nm CMOS 工艺库中的可变电容进行仿真以及其 C-V 特性曲线验证。

可变电容的仿真电路如图 2.21 所示，控制电压通过电感施加在可变电容的两端，由 PORT 源提供输入激励进行 SP 仿真，同时插入公式： $C = -1/ZP(\text{port})/2\pi/f$ ，图 2.22 中对可变电容的宽 W 进行了扫描，验证了积累型可变电容建模的正确性，同时结合图 2.23 中对图 2.22 中 C-V 特性曲线求导的结果可知，变容管的 W 越大，其 C-V 特性曲线的线性度越差且导致振荡器的 K_{VCO} 越大，恶化相位噪声，但是变容管的 W 太小会减小振荡器的调谐范围，所以设计时需要根据要求折中。考虑到 MOS 电容的下极板轻掺杂会寄生很大的电阻降低可变电容的 Q 值，且可变电容的 Q 与沟道长度 L 的平方呈反比，综合两点原因，设计时应当选择可变容工艺允许的最小沟道长度 L 。

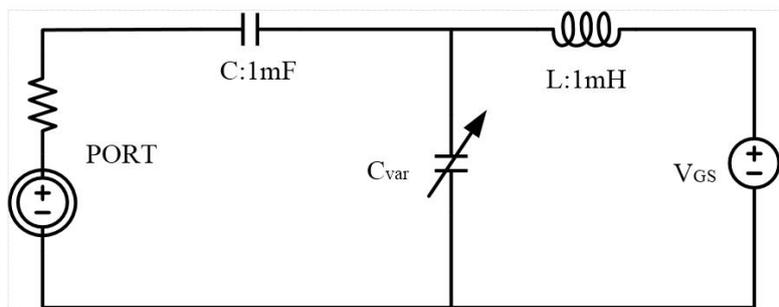


图 2.21 可变电容的仿真电路

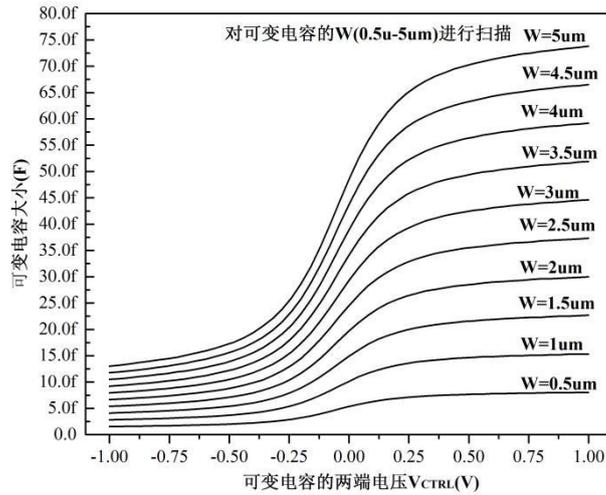


图 2.22 对可变电容宽 W 进行扫描得到的一簇 C-V 特性曲线

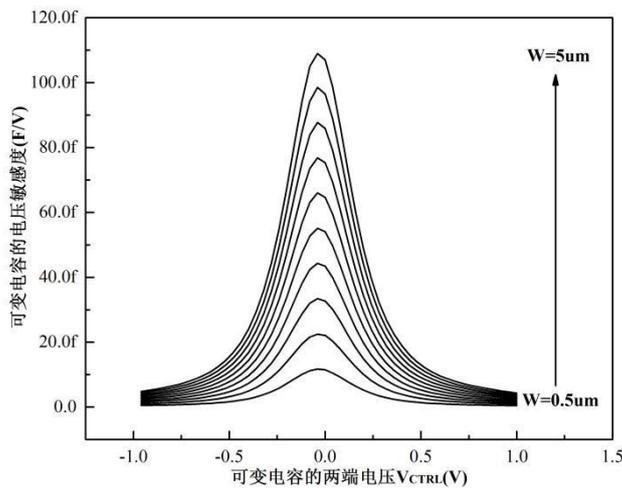


图 2.23 可变电容的容值对其两端控制电压的敏感程度

2.4.2 螺旋电感特性分析

因为电容的 Q 值远大于电感的，且 LC 谐振网络的总 Q 值等于电感的 Q 与电容的 Q 的并联，所以螺旋电感的性能决定了 LC 谐振网络、乃至整个振荡器的性能。振荡器的大部分面积都被电感占据且硅基片上电感的 Q 值（一般小于 10）要远低于键合线电感的（一般在 50 至 100 之间），但是鉴于键合线电感的电感值不易确定且不方便集成，所以键合线电感逐渐被低成本、与 IC 工艺相兼容的片上螺旋电感所取代^[40]；电感与电容组成的匹配网络广泛应用在低噪声放大器、功率放大器等模块之中；电感应用在低通滤波器当中有工作范围高、噪声低等优势。以

上应用足以说明片上螺旋电感的需求很广，所以研究高品质、集成度高的电感已经成为学术界和工业界的热点。

片上电感的基本制作方式便是在硅衬底上利用金属线以一定的规则绕制而成，具体绕制的方式可以是圆形、多边形或者方形，因为涉及工具精度的限制一般很少使用圆形螺旋电感。利用电感的互相耦合可以在一定的面积上实现更大感值的电感，相同面积通过磁通量更多的电感值更大，所以电感值主要取决于圈数和每圈直径两个参数^[41]，但同时也会受到线宽以及金属线条间距的影响。

片上螺旋电感会因为很多非理想因素而使得品质因素很低^[42]，下面将针对具体的限制因素提出对应的优化手段：

- ▶ 金属损耗。由于金属有限的电导率导致金属线自身寄生电阻造成的损耗严重恶化电感的 Q 值，可以通过采用较高层金属、电导率更大的金属材料、多层金属并联以及增大金属层宽度等方法优化电感的 Q 值；在频率较低时流过金属的电流尚可均匀分布，但是在高频时由于涡旋电场的存在导致电流流过金属线的横截面积变小，等效电阻增加从而增大了损耗；邻近金属线由于互感的存在导致电流不均匀分布同样导致寄生电阻增加，恶化了电感 Q 值，可以使用空心电感。
- ▶ 衬底损耗。电感与衬底之间会因为电阻、电容以及磁场耦合的存在使得电感存在很大的损耗。电感线圈上节点电压的变化会通过寄生电容在衬底寄生电阻上产生位移电流，使得能量以热的形式散失掉；楞次定律指出电感变化的磁场会在衬底中产生与流过电感电流相反的涡旋电流，从而造成电感值减小。为减小衬底损耗，可以使用由最底层金属或者多晶硅制作的接地隔离层，减弱电感与衬底之间的磁场相互作用，提升电感 Q 值；图 2.24 是电感与衬底之间的电阻、电容产生损耗的简化模型，其中 C_{sub} 是指耦合电容、 R_{sub} 表示衬底寄生电阻。可以推导出电阻 R_{sub} 上需要消耗的功耗，见公式 (2.26)，图 2.24b 看出当电阻 R_{sub} 等于 $\frac{1}{\omega C_{sub}}$ 时，功耗最大，电阻 R_{sub} 过大或者过小时功耗都比较小，但是随着工作频率越来越高，峰值点逐渐左移，所以一般选择较大的电阻 R_{sub} 以减小衬底损耗即使用低掺杂的衬底。

$$P_{sub} = \frac{R_{sub} C_{sub}^2 \omega^2}{R_{sub}^2 C_{sub}^2 \omega^2 + 1} V_{in}^2 \quad (2.26)$$

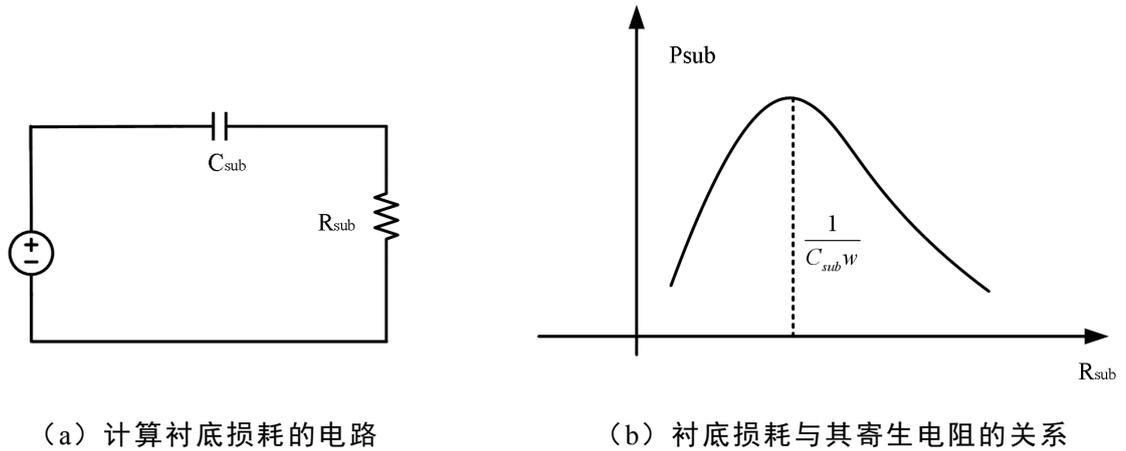


图 2.24 电感与衬底之间的电阻与电容产生损耗的简化模型

为方便电感进行仿真优化，必须建立模型使得电感即使处在非常复杂的电磁环境中，我们也能准确把握影响电感的主要因素并及时进行修正。图 2.25 是本次使用的无源八边形螺旋电感，电感线圈下方是用金属 1 制作的接地隔离层。同时对本次使用的电感进行电感值关于频率的仿真，结果如图 2.26 所示。仿真结果表明在电感值过零点之前电感呈感性，过零点之后电感呈容性，过零点又称为自谐振频率（SRF，Self-Resonance Frequency），SRF 表示电感可允许的最大工作频率^[43]。

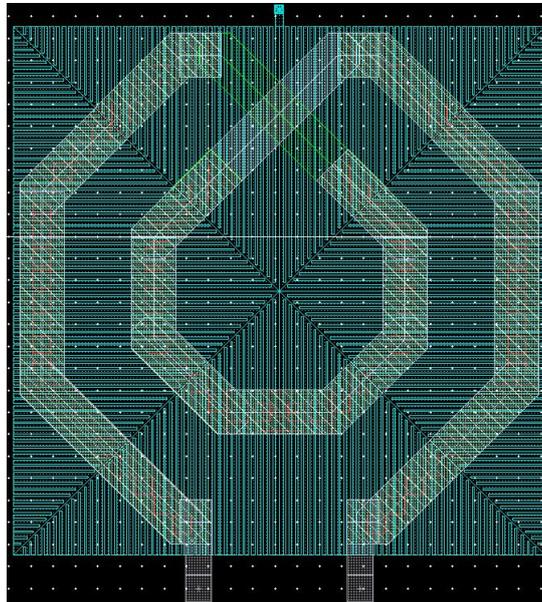


图 2.25 本振荡器使用的电感版图

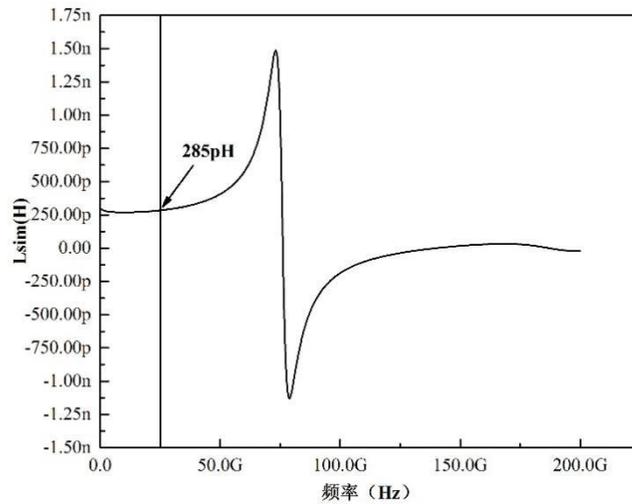


图 2.26 电感值随频率变化曲线

目前被广泛接受的紧凑集总 Π 模型^[43]可以准确预测电感的电学行为，对电感的设计和优化具有指导意义。紧凑集总 Π 模型具有模型简单、参数定义明确等优势，但同时也存在着忽略衬底涡流效应、金属邻近效应等非理想效应的缺陷。对电感进行仿真得到图 2.27 所示的 Q 值随频率变化曲线，从图中可得到在频率 25GHz 处电感的 Q 值等于 21.8。

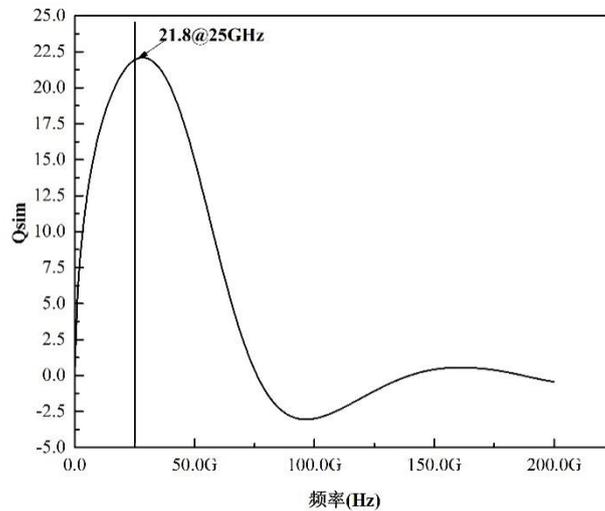


图 2.27 电感 Q 值随频率变化曲线

2.5 LC 型 VCO 的相位噪声理论

一个理想的余弦波在时域上的表现为其波形过零点的时刻以固定时间长度周期性出现，在频域上表现为一个冲击脉冲 δ 函数，即在中心频率周围没有其他频

率成分输出。但是实际中由于存在各种内部元器件和外部环境带来的噪声干扰，噪声通过电路的作用转换到输出，导致时域波形的过零点不再以固定时间长度周期性出现，而是具有一定的随机性，在频域上表现为在中心频率周围出现频率边带即有其他频率成分输出。即使振荡器的应用场合千变万化，唯一不变的是对最低相位噪声的要求，因为相位噪声直接影响了接收机系统的选择性和灵敏度，甚至混频到信道中造成信号频谱出现阻塞降低信号的信噪比。

本节首先介绍什么是相位噪声，给出评价系统相位噪声的统一评价体系；接着介绍比较流行的振荡器相位噪声模型，包括 D.B.Leeson 在 1966 年提出的线性时不变模型以及 Hajimiri 于 1998 年针对自己老师 Lee 提出的线性时不变模型的缺陷提出的线性相位时变模型，线性相位时变模型使得相位噪声分析更加精确和通用；最后给出实际设计中经常采用的、抑制相位噪声的措施：大电容滤波、数控开关电容阵列减小 K_{VCO} 。

2.5.1 相位噪声基本概念

相位噪声是描述振荡器输出周期信号频谱纯度的一项重要参数，也是衡量整个接收机系统质量好坏的重要指标。前文已经讲到理想的余弦波其在频域的表现为一个冲击脉冲 δ 函数，公式 (2.27) 是该余弦波的时域表达：

$$V_{out} = A \cos \omega_0 t \quad (2.27)$$

公式中 A 表示信号幅度， ω_0 表示信号振荡频率。但是由于噪声的存在，使得公式 (2.27) 中的幅度 A 和相位都表现出与时间有关的随机波动性，这里用 $A(t)$ 、 $\theta(t)$ 表示，修改后的时域表达式为 $V_{out} = A(t) \cos(\omega_0 t + \theta(t))$ 。由于幅度和相位都因噪声出现随机波动，振荡器理应存在幅度噪声和相位噪声，但是振荡器因存在有源器件的非线性和电源电压有限值的限制，幅度随时间的波动会被逐渐衰减以致相对于相位波动可以忽略不计，所以噪声对振荡器的影响主要集中在对相位的扰动上。先假设幅度扰动为零且相位扰动 $\theta(t)$ 远小于 1，则余弦波的时域表达式可展开为式 (2.28) 所示：

$$\begin{aligned} V_{out} &= A \cos(\omega_0 t + \theta(t)) \\ &= A \cos \omega_0 t \cos \theta(t) - A \sin \omega_0 t \sin \theta(t) \\ &\approx A \cos \omega_0 t - A \theta(t) \sin \omega_0 t \end{aligned} \quad (2.28)$$

近似将相位随时间波动的行为近似为余弦波动即 $\theta(t) = \theta_m \cos \omega_m t$ ，其中 θ_m 表示相位波动的幅度且假设其远小于 1， ω_m 表示相位波动的频率，则公式 (2.28) 可进一步变换为：

$$\begin{aligned} V_{out} &= A \cos \omega_0 t - A \theta_m \cos \omega_m t \sin \omega_0 t \\ &= A \cos \omega_0 t - \frac{A \theta_m}{2} [\sin(\omega_0 + \omega_m)t + \sin(\omega_0 - \omega_m)t] \end{aligned} \quad (2.29)$$

将公式 (2.29) 进行频域转换得到振荡器输出信号的频谱表达式 (2.30) :

$$S_{out}(w) = \frac{A^2}{2} [\delta(w - w_0) + \frac{1}{2}S_{\theta}(w - w_0) + \frac{1}{2}S_{\theta}(w_0 - w)] \quad (2.30)$$

其中 $S_{\theta}(w - w_0)$ 表示相位随时间波动的频谱, 其表达式为

$$S_{\theta}(w) = \frac{\theta_m^2}{2} \delta(w - w_m) \quad (2.31)$$

频谱表现为出现在振荡频率 w_0 左侧的旁瓣信号, 而 $S_{\theta}(w_0 - w)$ 的频谱与 $S_{\theta}(w - w_0)$ 的关于振荡频率 w_0 对称, 如图 2.28b 所示。而当相位波动是由一系列不同频率的余弦波在时域叠加组成时, 无数的旁瓣形成了图 2.28c 所示的以振荡频率 w_0 为中心的裙带 (Skirts)。通常定义相位噪声等于距离振荡频率 w_0 一定频率 Δw 处的单位带宽内 (1Hz) 噪声功率与载波功率的比值 (如图 2.28c 所示), 单位为 dBc/Hz, 相位噪声的表达式如下^[45]:

$$L\{\Delta w\} = 10 \log \left(\frac{\text{距离振荡频率一定频率处的单位带宽内 (1Hz) 噪声功率}}{\text{载波功率}} \right) \quad (2.32)$$

$$= 10 \log \left[\frac{P_{sideband}(w_0 + \Delta w, 1Hz)}{P_{carrier}} \right]$$

需要注明的是鉴于相位噪声频谱是轴对称的, 所以公式 (2.32) 定义的是当 $\Delta w > 0$ 的情况, 且有 $\int_0^{\infty} L\{\Delta w\} d\Delta w = 0.5$ 。相位随时间的波动如何影响振荡器输出信号频谱纯度的可借助相位噪声的定义写成公式 (2.33) :

$$L\{\Delta w\} = 10 \log \left(\frac{S_{out}(w_0 + \Delta w)}{\frac{A^2}{2}} \right) = 10 \log \left(\frac{1}{2} S_{\theta}(\Delta w) \right) \quad (2.33)$$

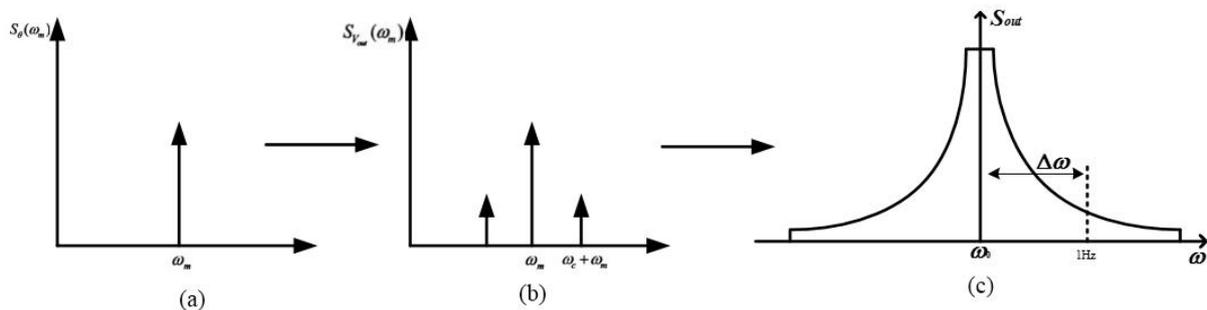


图 2.28 相位波动到输出频谱的转化

2.5.2 相位噪声经典模型

➤ Lesson 模型

Lesson 模型是基于线性时不变系统建立的数学模型, 该模型虽然不能准确预测振荡器非线性时变系统的特性, 但它作为振荡器相位噪声分析的基础已经被广

泛的接受和应用。Lesson 将 LC 振荡器简化成如 2.29 所示理想负阻振荡器的形式，该网络模型中主要包含负阻网络和电阻 R 的热噪声，鉴于负阻网络与电阻 R 的热噪声之间是相互独立的，所以可以独立分析每个噪声源对输出噪声的贡献再运用叠加定理进行累加，这里为了简化分析只考虑电阻 R 热噪声的影响。电阻将引入

一功率谱密度为 $\frac{\overline{i_n^2}}{\Delta f} = \frac{4kT}{R}$ 的热噪声，同时因为该模型假设系统是线性时不变的，

所以不会出现频谱搬移的现象，只需认为仅有振荡频率 ω_0 附近的噪声才会产生振荡器的相位噪声。

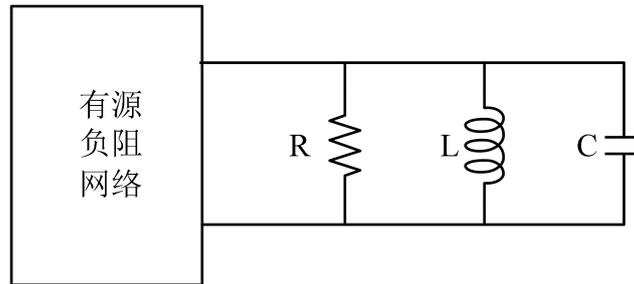


图 2.29 理想负阻振荡器

在振荡频率 ω_0 处负阻与电阻 R 的作用正好抵消，热噪声电流的负载时理想的 LC 谐振网络，通过严密的推导可以得到偏离振荡频率 ω_0 一定频率 $\Delta\omega$ 处的相位噪声公式：

$$L\{\Delta\omega\} = 10 \log \left[\frac{2kFTR}{0.5V_{osc}^2} \left(\frac{\omega_0}{2Q\Delta\omega} \right)^2 \right] \quad (2.34)$$

其中 V_{osc} 表示振荡器输出信号幅度，F 是经验拟合的振荡器噪声系数，k 表示玻尔兹曼常数，T 为绝对温度。从公式 (2.34) 中可以得到一些优化相位噪声的方法：增大输出摆幅、电感的 Q 值。以上结论是对振荡器进行简化处理后得到的，实际的振荡器也会受到 MOS 管低频闪烁噪声的影响，Leeson 根据对振荡器相位噪声的测试结果（如图 2.30 所示），对公式 (2.34) 进行了完善，在公式中加入闪烁噪声的影响：

$$L\{\Delta\omega\} = 10 \log \left\{ \frac{2kFTR}{0.5V_{osc}^2} \left[1 + \left(\frac{\omega_0}{2Q\Delta\omega} \right)^2 \right] \left(1 + \frac{\Delta\omega_{1/f^3}}{\Delta\omega} \right) \right\} \quad (2.35)$$

其中 $\Delta\omega_{1/f^3}$ 表示 MOS 管的闪烁噪声拐角频率，该公式完美拟合了振荡器相位噪声频谱曲线，它将噪声频谱曲线分为受 MOS 管闪烁噪声影响的近振荡频率处 $(\Delta\omega)^{-3}$ 区、以 -20dBc/dec 速率下降的 $(\Delta\omega)^{-2}$ 区以及由缓冲电路噪声形成的平坦噪声基底区。Leeson 给出的相位噪声公式并没有经过严谨的理论推导，且公式 (2.35)

中包含了很多经验参数，线性时不变系统的假设和经验参数的未知性削弱了 Leeson 模型的应用价值。

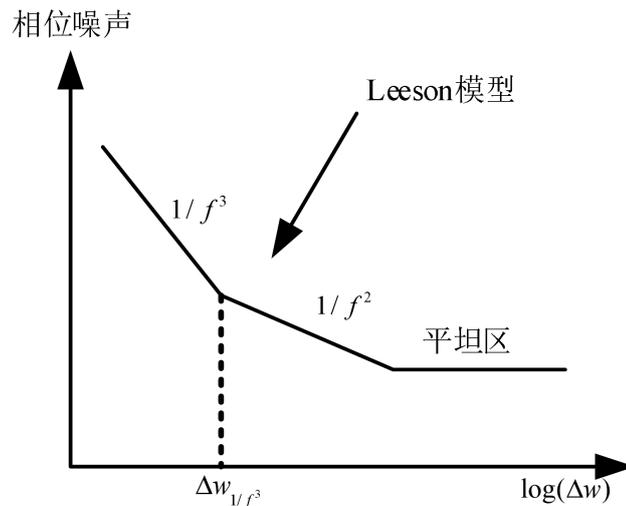


图 2.30 振荡器相位噪声曲线

► Hajimiri 相位噪声模型

振荡器在进入稳定振荡状态后，交叉耦合管将交替导通，所以利用 Leeson 提出的线性时不变模型分析振荡器的相位噪声注定不能准确预测振荡器的噪声行为。针对 Leeson 模型的缺点，Hajimiri 于 1998 年提出脉冲敏感函数 ISF (Impulse Sensitivity Function, ISF) 的概念^[46]，并在系统是线性相位时变的基础上对振荡器的相位噪声进行了准确、定量分析。

Hajimiri 认为系统可以看成输出是相位、幅度，输入是噪声源的时变系统，将噪声电流脉冲 $i(t)$ 注入 LC 谐振网络会引起振荡器输出摆幅和相位的波动，且从图 2.31 中可以看出该电流脉冲在振荡波形峰值处注入时并不会影响相位，而在波形过零点处注入时则会对波形相位造成最大的干扰，在非过零点、非峰值处注入也会对相位造成影响（电路的非线性限制了对幅度的影响），所以 Hajimiri 得出结论振荡器受噪声扰动的程度与其注入时刻有关，这也是界定振荡器为时变系统的理由。线性指的是注入电荷量与相移的关系，即相移随着注入电荷量的增大而线性增大。

针对脉冲响应与注入时刻的关系，Hajimiri 创造性的提出脉冲敏感函数 ISF 的概念：ISF 在公式中用 $\Gamma(\omega_0\tau)$ 表示，它是一个周期为 2π 、只与波形状态有关的周期性函数，物理意义是 ISF 表示在某一注入时刻对振荡波形相位的影响程度。Hajimiri 通过对周期函数 ISF 进行傅里叶展开，并将其代入注入电流对相移影响的公式 (2.36) 当中：

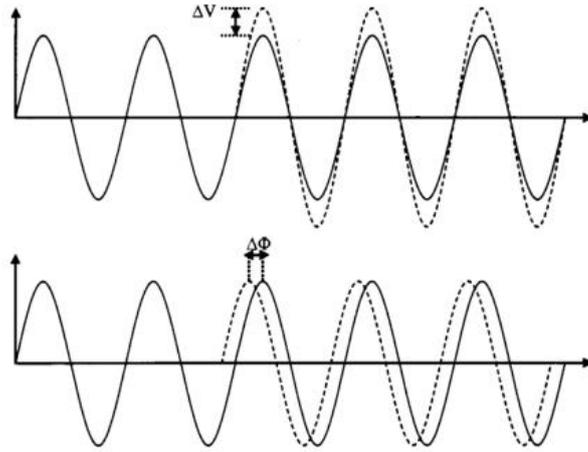


图 2.31 电流脉冲在不同注入时刻对振荡波形的影响

$$\phi(t) = \frac{1}{q_{\max}} \int_{-\infty}^t \Gamma(\omega_0 \tau) i(\tau) d\tau \quad (2.36)$$

最终得到 Hajimiri 线性相位时变系统的相位噪声公式：

$$L\{\Delta\omega\} = 10 \log \left\{ \frac{\overline{i_n^2}}{\Delta f q_{\max}^2} \frac{\Gamma_{rms}^2}{2\Delta\omega^2} \right\} \quad (2.37)$$

其中 Γ_{rms}^2 为脉冲敏感函数 ISF 均方值的平方， q_{\max} 表示注入电流在电容上引起的最大电荷量， $\frac{\overline{i_n^2}}{\Delta f}$ 表示热噪声或者闪烁噪声的功率谱密度。公式 (2.37) 告诉设计者减小 ISF 均方值 Γ_{rms} 的大小是降低振荡器相位噪声的有效方法。

Hajimiri 相位噪声模型是将振荡器看作是注入电流对相位影响的线性时变系统与相位非线性调制系统的串联，如图 2.32 所示。

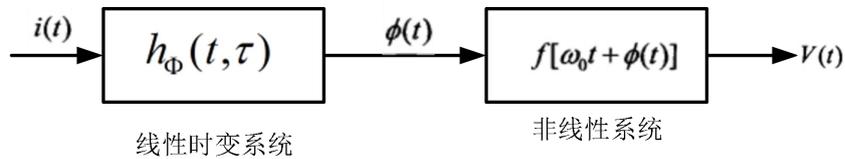


图 2.32 振荡器线性时变系统的分析过程

Hajimiri 相位噪声模型弥补了 Lesson 模型只能分析线性时不变系统的缺陷，不止可以预测 $(\Delta\omega)^{-3}$ 区的噪声来源，还可以应用在环形振荡器相位噪声的分析中。尽管 Hajimiri 相位噪声模型可以提供精确的分析方法，但是 ISF 函数求取以及仿真时间过长造成巨大的开销是限制其在实际中广泛使用的根本原因。但即使如此，Hajimiri 相位噪声模型对优化振荡器的相位噪声具有重要的指导意义和实用价值：

1. 从 Hajimiri 的理论分析中可知，不仅振荡频率附近的噪声会对相位噪声有影响，振荡频率整数倍附近的噪声也会通过混频的方式对相位噪声有所贡献；

2. 否定了 Lesson 模型中 $\Delta\omega_{1/f^3}$ 频率拐角就是器件的 $1/f$ 角频率，它通常小于 $1/f$ 角频率；

3. 可通过调整振荡波形上升时间和下降时间的对称性，最小化器件 $1/f$ 噪声对相位噪声的贡献，此结论对下文的振荡器相位噪声的设计非常关键。

2.5.3 相位噪声优化方法

Lesson 模型和 Hajimiri 噪声模型是众多相位噪声模型中应用最广泛的，虽然上述模型存在一定的局限性，但是它们依然为优化振荡器相位噪声指明了方向，比如使用高品质因数 Q 的电感、提高振荡器输出摆幅等方法都可以降低振荡器的相位噪声。随着振荡器的相位噪声受到了越来越多的关注，对其的研究也越来越深入，后继的科研工作者陆续提出了更加精确预测相位噪声的模型，如 Demir 模型^[47]等，大部分模型都是以 Lesson 模型和 Hajimiri 噪声模型为理论基础改进发展而来的。随着对产生相位噪声的物理机制有了日渐清晰的认识，更多的降噪技术被提出，下文将具体分析两种优化相位噪声的手段。

► 大电容滤波^[48]

已知振荡器工作在大信号非线性状态，输出节点较大的输出摆幅使得交叉耦合对管交替导通，其工作状态可类比为单平衡混频器。由混频器的工作原理可知，两个不同频率的信号在时域进行混频，其频率在频域进行相加减，所以可以预见电流源低频处的闪烁噪声经与输出信号的混频可被上变频到输出信号的基频附近、电流源二次谐波附近的热噪声与输出信号的混频可被下变频到输出信号的基频附近，而其他频率处的噪声都会被 LC 谐振网络滤除。为了减小电流源噪声对相位噪声的贡献，可将振荡器的尾电流源与一个大的电容 C_P 并联，如图 2.33 所示，该电容的作用是为电流源中二次谐波以上的热噪声提供一个到地的低阻抗路径，相当于一个 LPF，而其 -3dB 频率点需设置在基频和二次谐波频率之间。电流源的闪烁噪声可通过增大晶体管尺寸减小。

大电容滤波技术还可以从 Hajimiri 噪声模型的角度去理解：大电容 C_P 的插入将改变交叉耦合对管共源点波形与输出波形的相位关系，使注入电流避免在输出波形的过零点注入，理想情况下当 C_P 无穷大时将产生 90° 的相位差，此时在输出波形的峰值处注入，相位噪声性能最好。

该方法的缺点有：第一，较大的电容 C_P 会增加交叉耦合对管闪烁噪声的上变频增益，增大其对相位噪声的贡献；第二，削弱了电流源作为在高频处给交叉耦合对管提供高阻抗的能力，将给偶次谐波引入损耗恶化相位噪声。针对以上缺点

有文献^[49]提出在交叉耦合对管共源点处插入 LC 谐振网络的方法，其虽然可以显著改善电流源噪声的影响，但是因其使用额外的大电感而需占用相当大的版图面积，并不经济实用，所以在实际中很少应用。

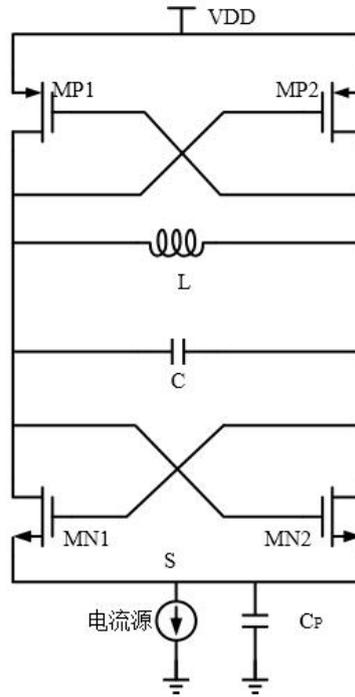


图 2.33 尾电流源与 C_p 电容并联的 LC 振荡器

► 数控开关电容阵列减小 K_{VCO}

闪烁噪声作为 CMOS 器件特有的噪声类型，它的产生是因为自由移动的载流子在衬底表面与晶格发生撞击而出现载流子被共价键随机捕获和释放的现象。已知闪烁噪声频谱密度与氧化层电容 C_{ox} 、晶体管面积 WL 成反比，所以 CMOS 工艺的不断进步造成晶体管尺寸、氧化层电容 C_{ox} 的不断缩小将使得闪烁噪声变得越来越显著。晶体管的闪烁噪声通过电路的非线性作用使得其在振荡器相位噪声的组成中占据大部分贡献量。

在分析相位噪声时因振荡器本身具有的非线性一般可以忽略幅度波动对相位噪声的影响，但是随着电源电压的逐渐降低，AM-PM 调制效应^[50]变得越来越显著，即必须考虑幅度噪声到相位噪声的转化。在电流受限区输出信号摆幅与尾电流的大小成正比，噪声通过调制电流的大小而使得输出波形出现波动出现 AM 噪声，而 AM 噪声通过调制变容管的有效电容 C_{eff} 的大小转换为 PM 噪声，文献[50]推导了大信号工作状态下有效电容 C_{eff} 的大小。定义 $K_{AM/PM}$ 为幅度噪声到相位噪声的转换增益，VCO 的输出摆幅会影响 VCO 的振荡频率，且这种影响随着输出摆幅的增大越加明显。经推导有：

$$K_{AM/PM} = \frac{\partial \omega_0}{\partial A} = \frac{\partial}{\partial A} \left(\frac{1}{\sqrt{LC_{eff}}} \right) = -\frac{1}{2} \frac{\omega_0}{C_{eff}} \frac{C_{max} - C_{min}}{\pi} \frac{2V_{ctrl}}{A^2} \sqrt{1 - \left(\frac{V_{ctrl}}{A} \right)^2} \quad (2.38)$$

其中 A 为输出信号的摆幅, C_{\max} 、 C_{\min} 为变容管可取的最大和最小值, V_{ctrl} 表示变容管的控制端电压。而公式 (2.39) 说明了相位噪声与尾电流闪烁噪声之间的转化关系:

$$L\{\Delta\omega\} = \left(\frac{K_{AM/PM}}{2\Delta\omega}\right)^2 V_n^2 \quad (2.39)$$

通过公式 (2.39) 可以发现, 要减小闪烁噪声 V_n^2 到相位噪声的转化, 需要减小转换增益 $K_{AM/PM}$ 的大小, 而 $K_{AM/PM}$ 的减小可通过减小可变电容管最大电容与最小电容之差实现, 从图 2.22 中得出结论: 减小变容管的尺寸可减小其最大电容与最小电容之差。从图 2.23 中可知可变电容管尺寸的减小将间接导致 K_{VCO} 减小, 而这与宽带振荡器要求覆盖较宽的频率范围相矛盾, 为了解决这矛盾常用的方法是采用第三章将要讲到的数控开关电容阵列, 该方法能在较小的 K_{VCO} 条件下实现振荡频率的宽范围覆盖。需要注意的是, 增大振荡器的输出摆幅并不能降低幅度波动对相位噪声的贡献。

2.6 小结

本章首先介绍了压控振荡器的基本理论, 包括: 基本工作机制、LC 振荡器的数学模型、主要性能指标等, 接着对振荡器 LC 谐振腔组成元件: 电感和可变电容管的结构、电学特性进行了详细的分析, 设计出高品质因数 Q 的电感对振荡器的性能至关重要; 最后介绍了振荡器两个相位噪声模型: Lesson 模型和 Hajimiri 线性相位时变理论, 并基于噪声模型提出了两个优化振荡器相位噪声的常用手段, 为下文设计高性能振荡器提供了扎实的理论基础。

第 3 章 LC 型 VCO 的设计

经过第二章对振荡器的知识积累，已经掌握了振荡器的工作原理、性能的评价标准以及优化振荡器相位噪声的方法，本章将使用 TSMC 40nm CMOS 工艺设计一中心频率为 25GHz 的振荡器，要求其在 1.2V 的电源电压下覆盖 4GHz 的频率范围、 K_{vco} 小于 1GHz/V。图 3.1 是经精简化的 CDR 环路，它是由 D 触发器、环路滤波器 LPF、振荡器 VCO 以及分频器（本论文要求使用二分频）组成。

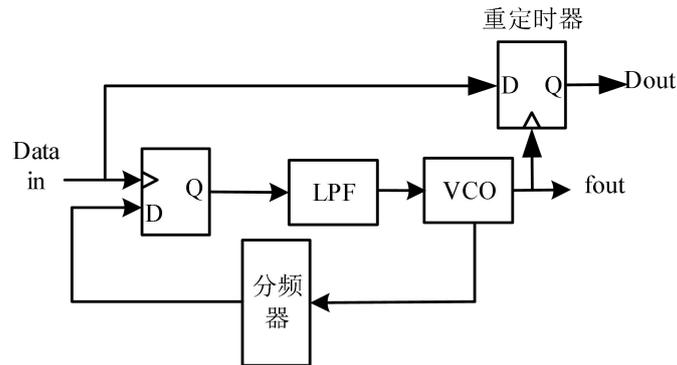
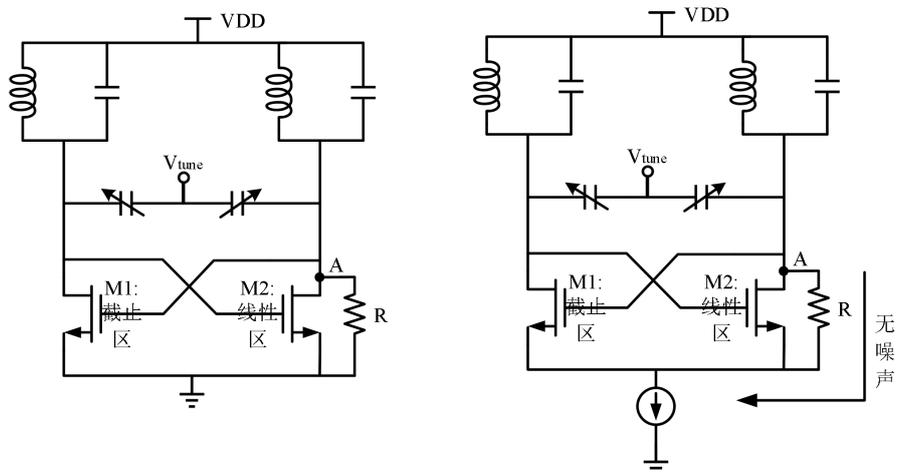


图 3.1 CDR 系统结构图

3.1 振荡器基本电路结构选取

按有无电流源偏置，振荡器可分为电流偏置型 LC 负阻振荡器和电压偏置型 LC 负阻振荡器，如图 3.2 所示；按使用晶体管类型振荡器又可分为采用 NMOS 组成交叉耦合管的 LC 负阻振荡器、由 PMOS 组成交叉耦合管的 LC 负阻振荡器以及电流复用型振荡器。



(a) 电压偏置型振荡器 (b) 电流偏置型振荡器

图 3.2 电压偏置型与电流偏置型对相位噪声不同的影响

电压偏置型 LC 负阻振荡器（图 3.2a）中由 NMOS 组成交叉耦合管的源极直接短接到地，差分对称型结构决定振荡器输出差分信号，该输出差分信号的摆幅就是晶体管的 V_{gd} ，所以振荡器左右两条之路上的输出摆幅大小相等，反向相反。假设两个 NMOS 晶体管完全相同，平衡状态时，两个 NMOS 管都工作在饱和区，假设晶体管的沟道电阻无穷大，所以此时晶体管不会给 LC 谐振网络引入损耗；随着摆幅的增大，当输出摆幅也就是晶体管的 V_{gd} 大于晶体管阈值电压 V_{TH} ，最小 V_{gs} 仍大于阈值电压 V_{TH} 时，其中一个晶体管工作在线性区，而另一个则工作在深饱和区；摆幅继续增大，将导致晶体管一个工作在深线性区，另一个进入截止区，工作在线性区的晶体管等效的电阻将随着摆幅的增大逐渐减小，该小电阻将给谐振网络引入额外的损耗，严重恶化振荡器的噪声性能；且电压型振荡器由于没有电流源限制流入振荡器的电流，所以它的静态工作电流取决于电源电压 V_{DD} 和谐振网络等效并联电阻 R_p ，该直流电流比较大，使得电压型振荡器的功耗较大。但是由于没有电流源的电压空间损耗，所以电压型振荡器能提供最大的电压摆幅。综合以上的优缺点，发现电压型振荡器适合工作在低电源电压的条件下，得益于没有电流源的电压空间损耗，电压型振荡器可以得到最大输出摆幅优化噪声性能，较低的电源电压也能减小功耗，至于工作在线性区的 NMOS 将给谐振网络引入额外损耗的问题，可通过在共源点加入谐振于二阶谐波的 LC 并联网络，在不消耗电压裕度的同时，提升振荡器的噪声性能。考虑加入电感会占用很大的面积，所以实际应用中很少采用使用尾部噪声滤波技术电压型振荡器。

通过在电压型振荡器的共源点加入电流源可以避免 LC 谐振网络因与小电阻直接串联到地而引入的损耗，该结构的振荡器称为电流型振荡器，见图 3.2b。假设两个 NMOS 晶体管完全相同，平衡状态时，两个 NMOS 管都工作在饱和区；随着摆幅的增大，晶体管分别进入截止区和线性区，此时电流源的电流将全部流过工作在线性区的晶体管，该电流不会随着摆幅的变化而改变且得益于工作在饱和区的电流源输出阻抗较大，所以电流型振荡器不会在大摆幅工作状态引入额外的损耗。只有当平衡态时两个晶体管同时打开，交叉耦合对管作为负阻管为 LC 谐振网络提供能量时，才会给谐振网络注入损耗，可以通过设置较小的晶体管过驱动电压，减小两个晶体管同时打开、注入损耗的时间窗口优化噪声性能。电流型振荡器通过电流源设置流入振荡器核心电路电流的大小，可有效控制、降低振荡器的功耗。

电流源在共源点与地之间插入的高阻抗元件，可阻止偶次谐波流入地造成能量损耗，进而恶化振荡器的相位噪声。得益于振荡器的平衡差分式结构，奇次谐波只会在差分路径中旋转，而偶次谐波作为共模成分将通过共同的路径——电流源流向地，所以偶次谐波不会出现在输出信号中，我们可以通过差分放大器证明

这一特性。如图 3.3 所示是电阻作为负载的基本差分对，已知该电路的大信号差模输出电流 ΔI_d 与差模输入电压 V_{id} 的关系如下：

$$\Delta I_d = I_{SS} \frac{V_{id}}{V_{ov}} \sqrt{1 - \left(\frac{V_{id}}{2V_{ov}}\right)^2} \quad (3.1)$$

所以差模输出电压 V_{od} 为

$$V_{od} = \Delta I_d R_D = I_{SS} R_D \frac{V_{id}}{V_{ov}} \sqrt{1 - \left(\frac{V_{id}}{2V_{ov}}\right)^2} \quad (3.2)$$

将公式 (3.2) 在 V_{id} 等于 0 处进行泰勒展开，得到公式 (3.3)：

$$\begin{aligned} V_{od} &= I_{SS} R_D \frac{V_{id}}{V_{ov}} - \frac{1}{8} \frac{1}{V_{ov}^2} I_{SS} R_D \frac{V_{id}^3}{V_{ov}} + \dots \\ &= g_{m1,2} R_D V_{id} - \frac{1}{8} \frac{1}{V_{ov}^2} g_{m1,2} R_D V_{id}^3 + \dots \end{aligned} \quad (3.3)$$

从公式 (3.3) 可以发现 V_{od} 方程是关于输入差模电压 V_{id} 的奇函数，即 $f(-x) = -f(x)$ ，所有的偶次非线性项作为共模信号通过电流源流向地而被消除，只有奇次非线性项在差分对之间旋转流通。

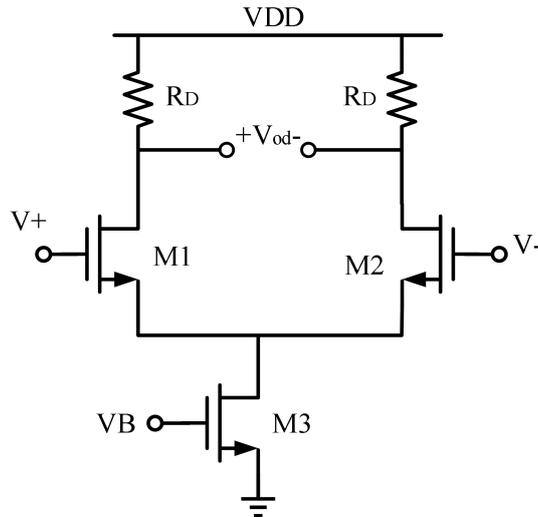
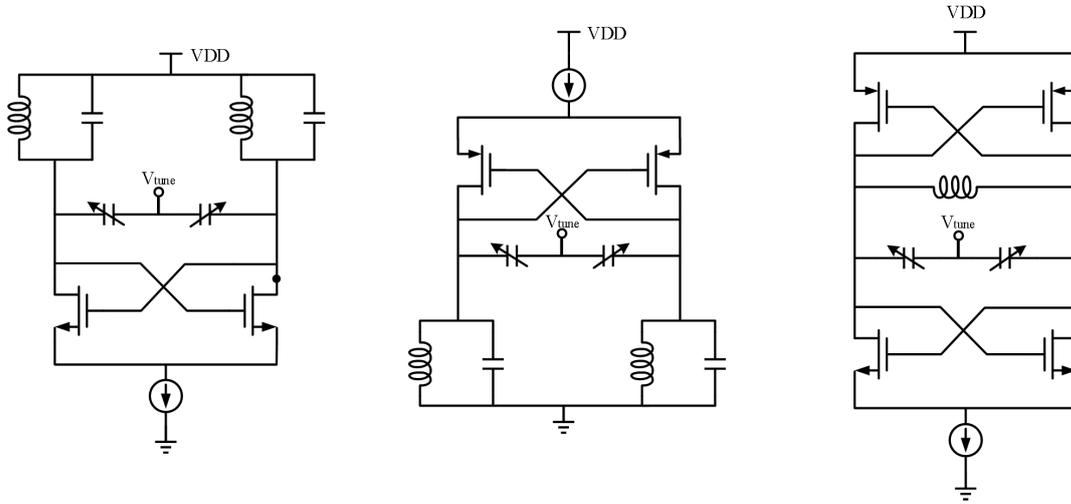


图 3.3 电阻作为负载的差分对

以上推导证明了振荡器的奇次谐波将在差分路径中旋转，而偶次谐波作为共模成分将通过共源点流入地。由工作在饱和区的晶体管组成的电流源将给谐振网络提供恒定的电流，所以即使交叉耦合管进入线性区，谐振网络也不会因串联的低阻抗器件而引起品质因数 Q 下降而引起额外的损耗，虽然电流源中的噪声也会恶化振荡器的相位噪声，但是相比电压型振荡器，电流型振荡器因交叉耦合管贡献极少的噪声，总的来说电流型振荡器的噪声性能更优，所以本论文采用电流型振荡器作为基本电路形式。

在电流型振荡器当中，根据交叉耦合管使用晶体管的类型振荡器又可分为全 NMOS 负阻振荡器、全 PMOS 负阻振荡器、电流复用型振荡器（互补差分对）的电路结构，如图 3.4 所示。



(a) 全 NMOS 负阻振荡器 (b) 全 PMOS 负阻振荡器 (c) 电流复用型振荡器

图 3.4 三种结构的 LC 压控振荡器

图 3.4a 所示的全 NMOS 负阻振荡器相比于图 3.4b 所示的全 PMOS 负阻振荡器，NMOS 的电子迁移率大于 PMOS 的空穴迁移率，所以相同电流下，由 NMOS 组成的交叉耦合对管可以获得更小的负阻，更容易起振；PMOS 晶体管的高频性能劣于 NMOS 晶体管；虽然单位面积上 PMOS 的闪烁噪声要优于 NMOS，但是要得到相同的跨导时，PMOS 需要更大的面积，自然也引入了更大的寄生电容恶化相位噪声，所以综合考虑一般选择 NMOS 组成交叉耦合管。图 3.4c 使用了低功耗电路设计中常用的电流复用技术^[51]，由于同时使用 NMOS 和 PMOS 产生负阻，所以它们的负阻值相比前两个更小，使振荡器更容易起振；而且由于单 MOS 管类型的振荡器需要使用三端对称螺旋电感，出于对电感性能可靠性方面的考虑，本论文决定使用两端对称螺旋电感；根据 Hajimiri 相位噪声模型可知，保持振荡波形上升阶段和下降阶段的对称性可有效减小闪烁噪声上变频对相位噪声的影响，而在图 3.4c 所示的振荡器中通过设置 NMOS 跨导与 PMOS 跨导的比值，可优化振荡波形的上升、下降时间的对称性，理想情况下跨导相等时拥有完全对称的波形。

虽然图 3.4c 由于使用较多的晶体管引入了更多的寄生电容而缩小了振荡器的调谐范围，但是它具有更高的电流利用率、更容易起振、更优的噪声性能、只需使用两端对称电感等优点，所以本论文决定选用图 3.4c 所示的电流复用型振荡器，被限制的振荡器调谐范围可通过采用数字控制电容阵列的方法来解决。

3.2 振荡器的参数设计

完整的振荡器系统包括偏置电路、LC 谐振网络、交叉耦合管、数控开关电容阵列、缓冲器等五大部分，每部分的设计和性能对振荡器都至关重要。

3.2.1 电感的选取

无源器件电感是振荡器的核心元件，它的设计和参数选择直接决定了振荡器的起振能力、功耗、调谐范围以及振荡器噪声性能的好坏。本论文使用的 TSMC 40nm CMOS 工艺提供电感的搜索引擎 finder，如图 3.5 所示，设计者可通过设置目标电感的大小、中心频率、最小自谐振频率以及目标电感的圈数等参数筛选出最合适的电感，得益于本次使用工艺的先进性、电感制作技术的成熟度以及高层金属的应用，得到电感的 Q 值一般在 20 以上。

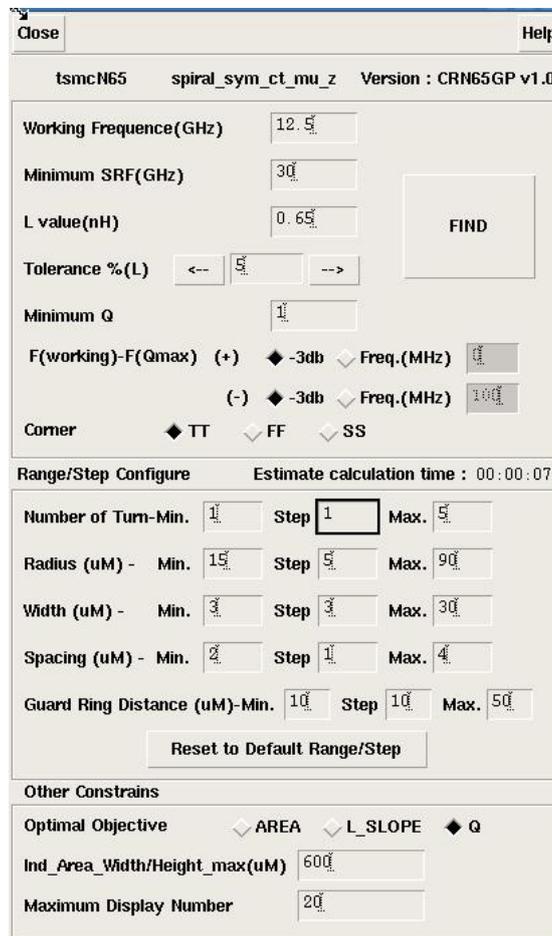


图 3.5 TSMC 40nm CMOS 工艺提供的电感搜索引擎 finder

在计算电感的大小时，假设电感的 Q 值等于 20。一般地，电感大小与工作频率之间有一的经验关系： $L = 5/f$ ，按照论文要求的振荡器中心频率 25GHz 计算，得到电感约取 0.2nH，又因为 $w_0 = \frac{1}{\sqrt{LC}}$ ，所以与电感并联的总电容约 200fF。代

工厂提供的集成电感一般是平面螺旋结构，可以和 CMOS 工艺完美兼容，但是电感取值有一定的范围限制，一般在 0.21~15.75nH 之间；从功耗的角度考虑，振荡器在一个振荡周期内的平均功耗 P_{loss} 可通过公式 (3.4) 计算：

$$P_{loss} = \frac{V_{osc}^2}{2R_{eq}} = \frac{R_L C}{2L} V_{osc}^2 \quad (3.4)$$

其中 R_{eq} 表示 LC 谐振网络的等效并联电阻， R_L 表示与电感串联的寄生电阻， V_{osc} 表示振荡器的输出摆幅，把 $\omega_0 = \frac{1}{\sqrt{LC}}$ 带入公式 (3.4)，可得：

$$P_{loss} = R_L C^2 \omega_0^2 V_{osc}^2 = \frac{R_L V_{osc}^2}{2L^2 \omega_0^2} \quad (3.5)$$

公式 (3.5) 揭示了 LC 振荡器几点比较重要的特性：与电感串联的寄生电阻 R_L 越大，振荡器需要消耗更多的功耗，因为寄生电阻 R_L 越大，谐振网络的 Q 值越小，等效并联电阻 R_{eq} ($= \frac{L}{R_L C}$) 越小，振荡器需要更大的电流才能起振。所以

电感取值越大，平均功耗 P_{loss} 越小，振荡器越容易起振；在给定频率下，振荡器的功耗与总电容的大小成正比，所以出于减小功耗的考虑，设计需要最小化的电容，这次需要较大的电感值；根据 rael 相位噪声理论^[52]，电感的感值越大，噪声性能越好；而且感值太小的电感容易受到寄生效应等非理想因素的影响而降低其制作品质。但是电感的感值如果太大，会限制数字控制电容阵列的数目而不易实现宽频率调谐的目标。综合以上因素，本论文选取的感值在 400pH 左右，具体值可以在后续的实际设计中根据需要再进行微调。

3.2.2 偏置电流源的设计

在 3.1 小节中已经阐明了与电压型压控振荡器相比使用电流型压控振荡器的原因和优势，振荡器的电流源按晶体管类型可分为 NMOS 底部偏置电流沉和 PMOS 顶部电流源。两种偏置方式在功能上相同，但在考虑到对振荡器性能影响上有些许差别，设计时需要从理论分析和仿真验证等角度使设计最优化。NMOS 晶体管的电荷载流子在氧化层和硅衬底之间的界面运动，容易被能态随机的捕获、释放，形成闪烁噪声。而由于 PMOS 晶体管沟道中的空穴在距离氧化层和硅衬底之间界面有一定距离的深沟里运动，难以被被能态随机的捕获、释放形成闪烁噪声，所以相同条件下 PMOS 的闪烁噪声要小于 NMOS 的^[26]。从第二章振荡器的相位噪声理论分析可知，电流源的闪烁噪声、热噪声对振荡器的相位噪声的影响非常大，理论证明电流源的跨导越小振荡器的噪声性能越好^[26]，且相比于 NMOS 使用 PMOS 可获得更少的闪烁噪声贡献，所以本论文的振荡器决定采用 PMOS 顶部电流源的结构。

在电流一定的情况下，通过增大 PMOS 晶体管的栅源电压差 V_{sg} 或者减小其宽长比可实现减小跨导 g_m 的目的。但是，PMOS 晶体管则需要消耗更大的电压空间来保证电流源工作在饱和区，限制了振荡器输出信号摆幅，而且闪烁噪声因宽长比的减小会变得显著，所以增大 V_{sg} 或者减小宽长比并不能有效地改善相位噪声。在保证 V_{sg} 不变的前提下，增大电流源的宽长比可产生更小的过驱动电压，则振荡器可输出更大的信号摆幅，同时也降低了 PMOS 的闪烁噪声。而过大的宽长比也将从两个方面恶化振荡器的噪声性能：首先跨导 g_m 与宽长比成正比，过大的宽长比将给振荡器核心电路引入更多的热噪声；其次，过大的宽长比将在交叉耦合对管共源点引入较大的寄生电容，为高频电流提供了一条低阻抗通道，造成相位噪声恶化。同时该点较大的寄生电容会增大交叉耦合对管闪烁噪声的上变频增益，同样也将造成相位噪声恶化；综上所述，设计时需要反复的仿真验证，找到最合适的晶体管尺寸最优化相位噪声。

根据 PMOS 顶部电流源在一个周期内大部分时间内工作区域的不同，振荡器的工作状态又可分为电流受限区域（current-limited regime）和电压受限区域（voltage-limited regime）^[53]。图 3.6 是振荡器输出摆幅与偏置电流的关系曲线，在电流受限区振荡器的输出摆幅与偏置电流成正比，随着偏置电流的逐渐增大，摆幅也将越来越大以致 PMOS 晶体管在一个周期内的大部分时都工作在线性区，此时的输出摆幅不会再随着偏置电流呈线性增大，上升趋势变缓，此时振荡器进入电压受限区。虽然在电压受限区输出摆幅仍在增加，但是此区域内的振荡器将消耗更多的功耗且此时相位噪声性能与工作在电流受限区域和电压受限区域交界处振荡器的噪声性能相比略有下降，所以理想情况下希望将振荡器偏置在电流受限区域和电压受限区域交界处。

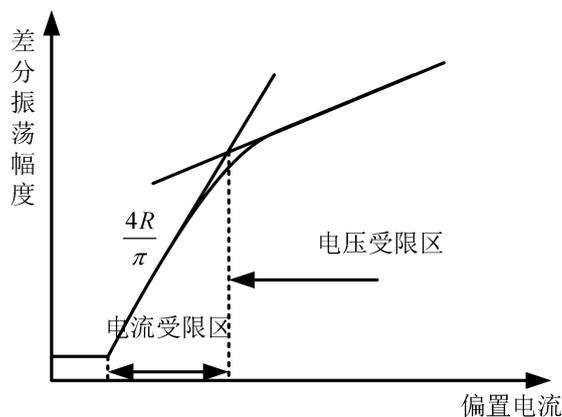


图 3.6 电流偏置型 LC 型振荡器的差分输出摆幅与偏置电流之间关系曲线

考虑到工作在实际环境中振荡器容易受到工艺、温度等非理想因素的影响，为了增强振荡器可靠性保证该振荡器在极端条件下仍能正常起振，所以电流源采

用 4 位数控电流阵列，使得偏置电流在 0~2mA 可调，同时在 PMOS 晶体管的栅极与地之间加入一 NMOS 开关管，如图 3.7 所示，保证 V_{bak} 取高电平时，该偏置网络可输出最大的偏置电流。

该偏置网络的输入电流 I_{IN} ($100\mu\text{A}$) 由带隙基准电流源提供，带隙基准电流源的输出噪声以及电流镜的热噪声在没有过滤电路的作用下，将不可避免的进入振荡器核心电路恶化其相位噪声。设计上一般在 PMOS 的栅极串联一低通滤波器（如图 3.7 所示）过滤掉高频处的噪声，以减小带隙基准电流源以及电流镜噪声对相位噪声的贡献，其中为了减小电容所占面积，设计中一般使用大尺寸晶体管作为电容使用。

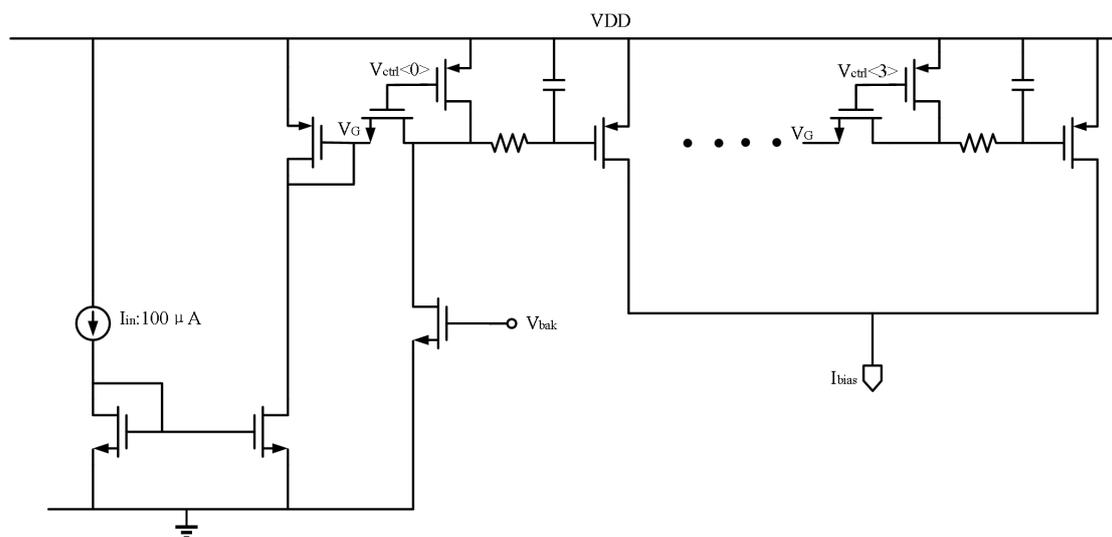


图 3.7 振荡器的偏置电路

3.2.3 数控开关电容阵列

在 1.2V 电源电压的作用下，如果只用一条频率调谐曲线实现本论文要求的 4GHz 频率覆盖范围，则该振荡器的 K_{VCO} 约等于 5GHz/V，这么大的振荡器增益是 CDR 环路无法承受的：严重影响环路稳定性和振荡器的相位噪声。振荡器控制线上微小的波动都会被放大振荡器增益倍，所以综合考虑系统环路的稳定性能和相位噪声，本论文要求振荡器的 K_{VCO} 需要小于 1GHz/V。为了兼顾频率调谐范围和较小的 K_{VCO} ，遂采用数控开关电容阵列(Digitally Switch Capacitor Array, DCCA)：通过输入数字信号控制开关晶体管的开关状态，决定固定电容是否接入电路，这样做的目的是通过控制接入振荡器固定电容的大小改变振荡器的工作频率。类似于盘旋上升的方式，为保证振荡器足够的频率覆盖范围，振荡器需产生多条频率调谐曲线，这种调谐方式称为粗调谐，这样做既实现了较宽的频率覆盖范围且每条曲线的 K_{VCO} 都小于 1GHz/V。与粗调谐相对应，振荡器通过变容管实现频率的精调谐，随着变容管控制电压 V_{cont} 从 0.2V 变化到 1V，每条调谐曲线最大覆盖 20%左右的频率调谐范围。

同时为了避免相邻两条频率调谐曲线之间出现盲区^[54]，如图 3.8 所示，导致某些振荡频率无法得到，设计时必须保证粗调谐引起的分立频率变化小于精调谐的频率调谐范围。

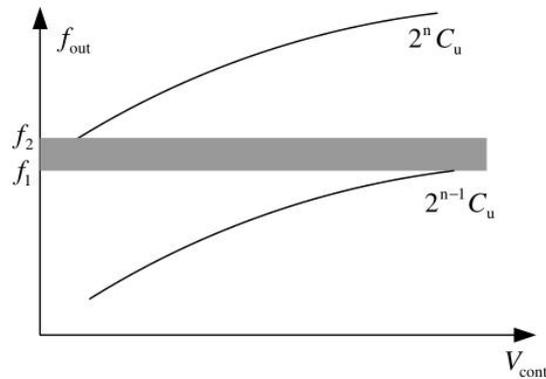


图 3.8 数字调谐技术可能存在盲区

图 3.9 是传统振荡器采用的频率粗调谐单元电路结构，左右两端接入振荡器谐振腔，其中 b_n 序列是阵列的输入数字控制信号。理想情况下支路电容的大小以 2 的倍数递增即 C 、 $2C$ 、 2^2C 、... $2^{n-1}C$ ， n 表示开关的数目，但在实际设计中必须考虑寄生电容的影响致使出现频率盲区，所以需根据仿真适当减小相邻电容的大小比例保证相邻频率调谐曲线之间相位重叠。 B_n 取高电平时，NMOS 晶体管打开，固定电容接入电路，振荡器工作频率下降。图 3.10 是开关电容接入电路的等效电路图，其中 R_{on} 是 NMOS 的导通电阻，电阻的存在使得电容的品质因数 Q 下降为 $(R_{on}C\omega_0)^{-1}$ ，间接降低了谐振腔的 Q 恶化相位噪声。增加晶体管尺寸是减小 R_{on} 的常用方法，但是过大的尺寸将引入较大的漏、源极结电容。在开关断开时寄生电容与固定电容串联，理想情况下应该是无电容接入电路的，因寄生电容的影响导致开关电容阵列在关断时仍有电容接入而不为 0，降低了数控频率调谐的效果。

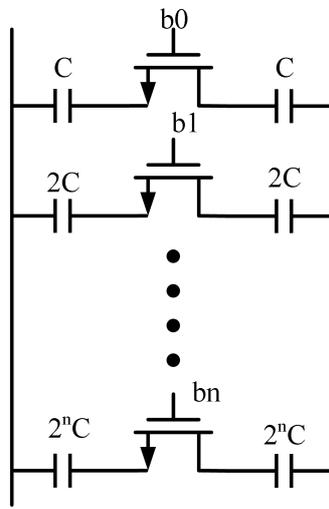


图 3.9 传统振荡器采用的频率粗调谐电路结构

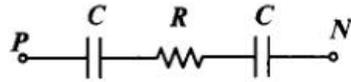


图 3.10 开关电容接入电路的等效电路图

必须采取适当的方法降低晶体管寄生电容的影响，根据半导体理论可知，PN 结电容在反偏时等效寄生电容要小于零偏、正偏时的，所以只需将 NMOS 的源、漏极形成的 PN 结反偏就可有效减小寄生电容^[10]，具体的做法是将关断时 NMOS 的源、漏极接至高电平。图 3.11 是针对上述缺点做出的电路改进，也是本振荡器采用的开关电容电路结构，本设计共采用 5 个数控开关电容电路，共计 32 条频率调谐曲线，即将目标频率覆盖区域分为 32 份。频率最高的频率调谐曲线是当开关电容全部未接入时振荡器可输出的工作频率范围，因此时接入的总电容最小；而频率最低的频率调谐曲线是当开关电容全部接入时振荡器可输出的工作频率范围，此时接入电路的总电容最大。当输入控制信号接高电平时，电路中所有 NMOS 打开 PMOS 关闭，M1 和 M2 将 A、B 两点拉至低电平，同时因为开关电容支路采用差分对称结构，所以 M0 等效电阻的中点可定义为小信号交流地，图 3.12a 是输入控制信号接高电平时的等效电路结构，忽略 M1、M2 的寄生电容。当输入控制信号接低电平时，电路中所有 PMOS 打开 NMOS 关闭，M3 和 M4 将 A、B 两点拉至高电平，图 3.12b 是输入控制信号接低电平时的等效电路结构，其中 C_P 是 A、B 两点的总等效寄生电容，设计时将 PMOS 设计成倒比管而使其拥有较大的导通电阻 R_{MPS} ，分析认为是开路，则 Y 点到地之间的总电容等于 C 与 C_P 的串联，由于 C_P 相比于 C 要小很多，所以 Y 点的电压将完全降到 C_P 上。考虑到寄生电容 C_P 是非线性的，所以如果 C_P 两端的电压不固定而是随着 Y 点振荡电压波形的话，则会影响振荡器的相位噪声，该电路通过 M3 和 M4 将 Y 点固定为高电平，避免因 Y 点电压波形出现恶化相位噪声的现象，这也是此结构的优点。

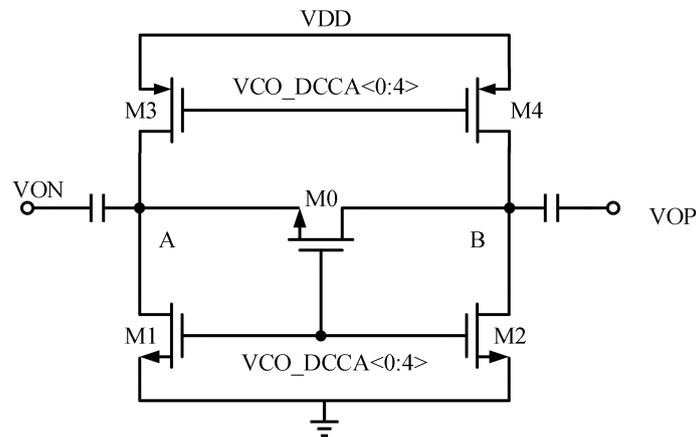
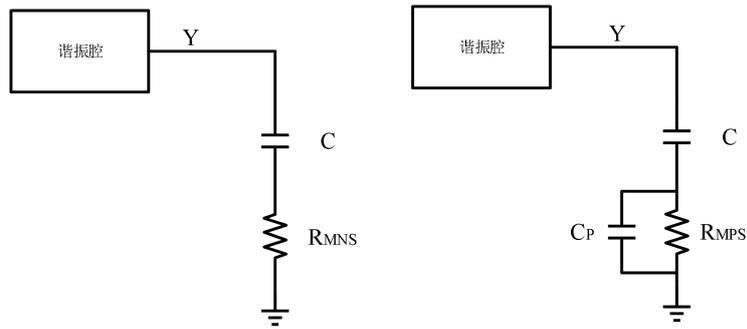


图 3.11 本次使用的开关电容电路结构



(a) 开关电容接入谐振腔 (b) 开关电容未接入谐振腔

图 3.12 开关电容等效模型

3.2.4 交叉耦合管

在 3.1 小节中本论文已确定使用电流复用型振荡器，即同时使用 PMOS、NMOS 交叉耦合管。交叉耦合管作为提供负阻的电路结构，必须要保证振荡器能起振，由于互补型交叉耦合管比单晶体管类型的交叉耦合管拥有更小的负阻，所以该振荡器消耗更少的功耗便可以振荡。根据第二章的 Hajimiri 噪声模型可知，通过使 PMOS、NMOS 的跨导取值相同，振荡波形的上升和下降过程对称，可以降低 $1/f^3$ 区的相位噪声。PMOS、NMOS 晶体管的沟道长度 L 一般取工艺允许最小值。

3.2.5 缓冲电路

振荡器的谐振腔对寄生电容很敏感，较大的寄生电容会减小频率调谐范围且限制振荡器的最高可工作频率，而且振荡器存在的频率牵引效应使得振荡频率很容易受到注入信号的干扰，该注入信号可能来自输出功率很大的功率放大器，所以为了避免上述非理想因素的影响，振荡器与下一级之间必须要有缓冲器做隔离。

因振荡器核心电路的电源与地之间堆叠了三个 MOS 管，过驱动电压的存在限制了输出摆幅，且为了达到下一级二分频器的输入摆幅的要求，该缓冲器还需具有增大摆幅的作用。常见的缓冲器有共源级电路、源跟随器电路、反相器、以及差分放大器。图 3.13a 是共源级结构的缓冲器，优点是驱动能力够强、反向隔离度好，缺点是功耗较大；图 3.13b 是源跟随器结构的缓冲器，它具有较好的线性度但是增益小于 1；图 3.13c 是自偏置型的反相器，输入电容是为了隔离缓冲器和振荡器核心电路的直流工作点，类似甲乙类推挽的工作方式使其拥有较强的推动能力；图 3.13d 是差分结构的缓冲器，它驱动能力够强、反向隔离度好等优点的同时还保证了输出差分信号。为了保证电路设计的可靠性，可使输出摆幅是数字可控的：将差分放大器的底部电流源设置成电流源阵列的形式，使得偏置电流在一定范围可调，通过增大输入偏置电流增大缓冲器输出摆幅以满足下一级分频

器输入摆幅的要求。综合考虑，本论文决定采用差分结构的放大器作为本振荡器的缓冲器。

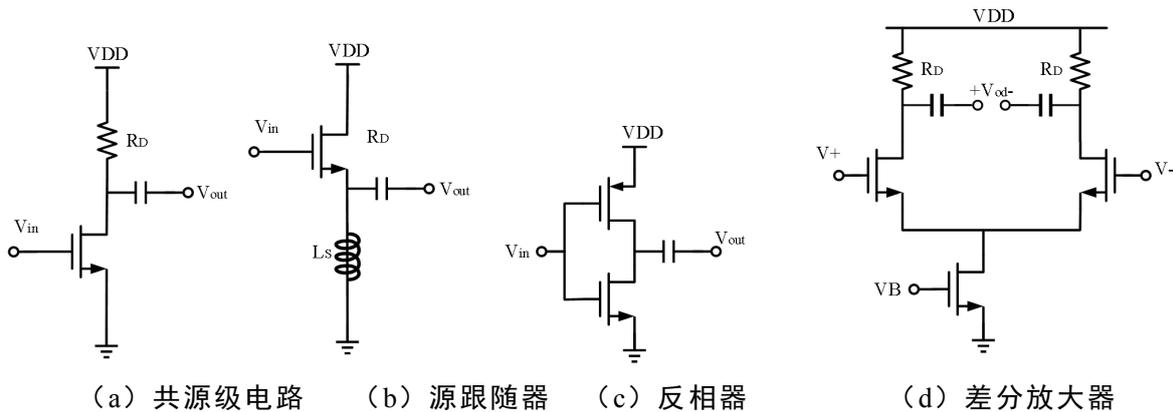


图 3.13 常见缓冲器分类

3.3 振荡器的版图设计和后仿真结果

完成振荡器各组成模块电路结构的选择与设计之后，就可以对照电路进行版图设计了。版图设计是芯片投入生产之前非常重要的一环，版图设计的优秀与否决定了电路是否能达到预期的性能要求。本小节先统一给出高速电路版图设计时需要遵守的规则和需要注意的问题，接着给出本振荡器的版图，然后对版图进行 DRC、LVS 验证，通过 PEX 进行寄生参数提取，最后使用 Cadence 环境中的 config 工具对振荡器进行后仿真。注意，考虑到高频振荡器对寄生参数非常敏感，电路前仿得到的结果对电路的优化设计指导意义不大，所以下文直接给出振荡器的后仿真结果。

本次设计使用 TSMS 40nm 1P7M CMOS 工艺，所以本次设计最高可使用到第七层金属，在 Cadence 环境下使用 Virtuoso 完成版图设计。与低速电路版图设计不同，工作速率超过 GHz 的电路对互连线寄生参数等非理想因素特别敏感，因此为了减小寄生参数等非理想因素对电路性能的影响，进行版图设计必须严格遵守设计规则。

3.3.1 版图设计规则

- 版图版面尽量保持对称分布。本振荡器采用的是对称差分结构，所以版图上也要保持对称保证中轴线两边相对应的点周围环境相同以提高电路性能。
- CMOS 工艺中金属层越高，金属越厚，导电率越强。底层金属距离衬底最近，所以其对地电容最大且寄生方块电阻最大；高层金属距离衬底最远，对地电容最小且寄生方块电阻最小。所以版图中电源地线、关键的高速信号线使用高层金属^[55]。
- 信号线之间的相互串扰、寄生电容是必须避免的：相同金属层尽量保证 3 倍线

宽以上的间距；使用不同层金属层走平行线；

- 信号线转变方向时不要使用 90°弯角，使用 45°弯角，因为高频信号容易被直角发射出去造成信号损失。
 - 为了保证电源能给振荡器充分供电，电源线和底线要尽量采用包围电路版图的供电方式。
 - 由于振荡器的工作电流已达到 mA 级别，所以需要注意金属线允许流过的最大电流，具体各金属层的线电流密度可查阅工艺 DRC 手册，大电流尽量使用高层金属，防止出现电迁移失效。
 - 在满足设计规则的前提下，可以在空余的空间上插入 dummy 器件，如在电源上挂载 dummy 电容，既能滤除电源噪声又能充分利用面积。
 - 金属线的最小线宽、相同材料之间的最小间距都需要查阅数据手册。
 - 电感需要独立放置，与其他模块版图之间保证 10 μm 以上的距离。
 - 振荡器需要使用大量的电容，而寄生电容会影响频率调谐曲线的覆盖范围，所以尽量使用高层金属制作电容。
- 等等。

制作版图需要很多细节可参考相关的工艺手册，在此便不一一列举。按照版图的设计规则以及结合 LC 型 VCO 电路的特点，最终版图如图 3.14 所示，图中 DCCA 表示数控开关电容阵列，buffer 表示输出缓冲器，偏置指的是顶部 PMOS 电流源阵列。振荡器总版图面积为 0.18 \times 0.26 mm^2 。

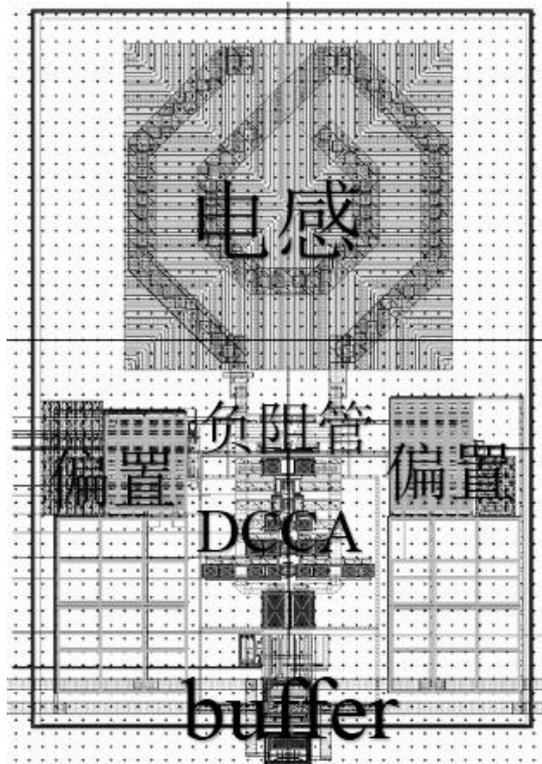


图 3.14 振荡器的最终版图

3.3.2 振荡器的后仿真结果

版图在通过 DRC、LVC 验证之后，就可以借助 PEX 提取寄生参数进行后仿真验证了。图 3.15 是振荡器的仿真示意图，与前仿不同的是，后仿将提取的电路寄生参数取代前仿用到的实体电路。图中电源电压 VDD 取 1.2V，电流源阵列的控制电压 VDC 取值范围是 0~15，通过 4bits_1.2V 模块将十进制数转换为四位二进制码，仿真时通过不同的 VDC 值就可以改变振荡器的偏置电流大小。同样，数控开关电容阵列的控制电压 DCCA 取值范围是 0~31，通过 5bits_1.2V 模块将十进制数转换为五位二进制码，仿真时通过改变 DCCA 值就可以改变接入振荡器的固定电容大小，DCCA=31 时表示电容全部接入，振荡器工作频率最小，DCCA=0 时表示电容全部未接入，振荡器工作频率最大。

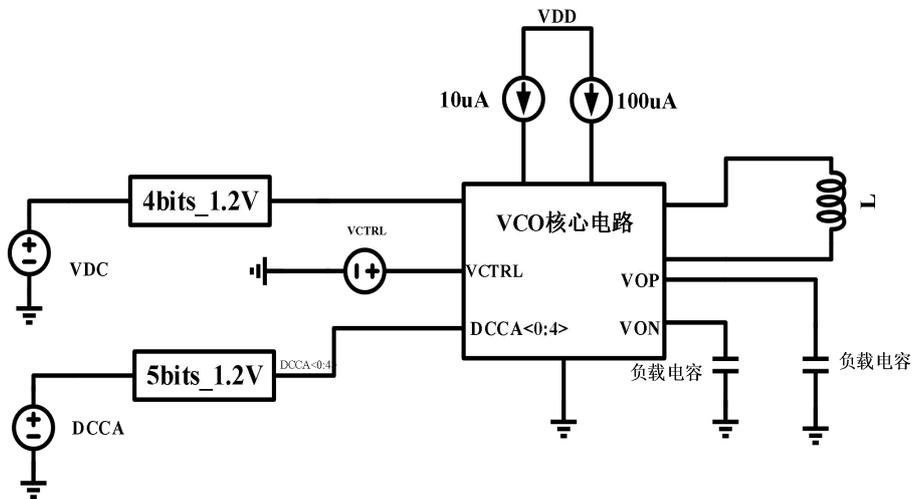


图 3.15 振荡器仿真外围电路设置

振荡器仿真环境中用到的 4bits_1.2V、5bits_1.2V 模块相当于 ADC（模数转换器），将模拟量转换为数字量，方便电路仿真验证。4bits_1.2V 模块通过 Verilog-A 语言建立 ADC 电路行为模型，输入十进制数 0~15，4bits_1.2V 模块的输出端 VDC<0:3>输出四位二进制数字控制信号 0000~1111，4bits_1.2V 模块的 Verilog-A 语言如下：

```
// VerilogA for 4bits_1.2V, 10to2, veriloga
```

```
`include "constants.vams"
`include "disciplines.vams"
```

```
module ADC(in,out);
input in;
output [0: 3] out;
```

```
electrical in;
electrical [0:3] out;
parameter fullscale = 15.0;
parameter tdelay = 0.0;
parameter trantime = 10n;
real samp;
real half;

analog begin
half = fullscale/2.0;
samp = V(in);

V(out[3]) <+ transition(samp > half ? 1.2: 0.0,tdelay,trantime);
if (samp > half)
samp = samp - half;
samp = 2.0 * samp;

V(out[2]) <+ transition(samp > half ? 1.2 : 0.0,tdelay,trantime);
if (samp > half)
samp = samp - half;
samp = 2.0 * samp;

V(out[1]) <+ transition(samp > half ? 1.2 : 0.0,tdelay,trantime);
if (samp > half)
samp = samp - half;
samp = 2.0 * samp;

V(out[0]) <+ transition(samp > half ? 1.2 : 0.0,tdelay,trantime);
if (samp > half)
samp = samp - half;
samp = 2.0 * samp;
end

endmodule
```

5bits_1.2V 模块的 Verilog-A 语言在上述代码的基础上再加 1 比特位, 其余相同。

a) 频率调谐

对振荡器进行 PSS 仿真, 对 DCCA 控制信号进行 0~31 扫描得到 32 条振荡器后仿真频率调谐曲线, 如图 3.16 所示。

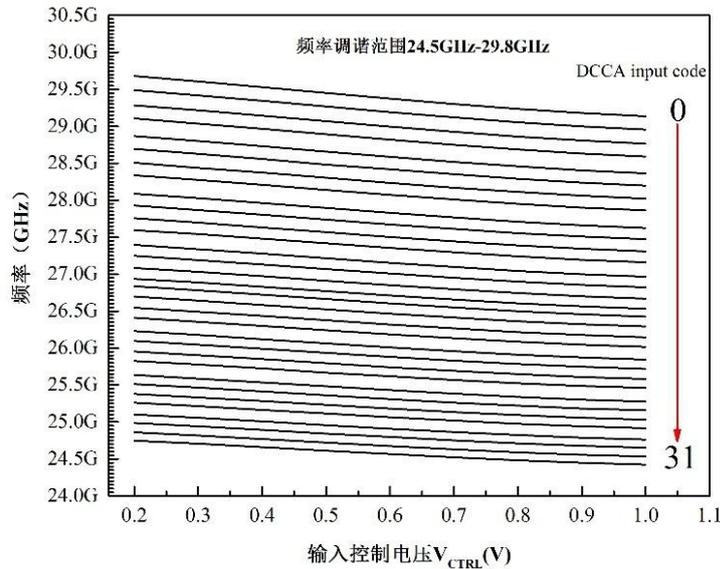


图 3.16 振荡器后仿真频率调谐曲线

从图中可以看出本次设计振荡器的频率调谐范围为 24.5GHz-29.8GHz, 频率跨度约达 5.3GHz, 频率覆盖率达 21.2%, 属于宽带振荡器。频率调谐曲线中没有出现频率盲区且相邻曲线之间间隔分布均匀, 考虑到仿真工具的仿真误差, 实际的振荡器寄生电容比仿真结果得到的更大, 所以将中心频率 25GHz 设置在整个频率范围的中部偏下。

除了振荡器频率调谐范围, 每条频率调谐曲线的 K_{VCO} 也同样重要, 因为该参数关系到系统的稳定性以及振荡器的相位噪声性能, 通过公式 (3.6) 推导发现 K_{VCO} 与固定电容成反比, 即 $DCCA=0$ 时, 接入回路的电容最小所以 K_{VCO} 最大为 960MHz/V, $DCCA=31$ 时, 接入回路的电容最大 K_{VCO} 最小为 560MHz/V。公式中

$\frac{\partial C}{\partial V}$ 是指可变电容 C 与控制电压 V 的关系, 理想情况下认为是常数。

$$K_{VCO} = \frac{\partial f}{\partial V} = \frac{\partial f}{\partial C} \frac{\partial C}{\partial V} = -\frac{1}{2} \frac{1}{2\pi\sqrt{L}} \frac{1}{C^{1.5}} \frac{\partial C}{\partial V} \quad (3.6)$$

b) 振荡器起振波形

振荡器的起振波形如图 3.17 所示, 起振时间约 1.8ns, 能正常起振。

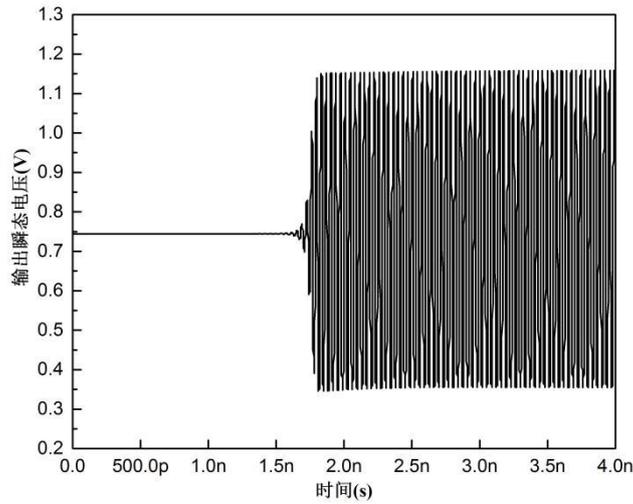


图 3.17 振荡器起振波形

c) 相位噪声

使用 PSS 联合 PNOISE 对振荡器的相位噪声进行仿真，从图 3.18 中可以看出在频偏 1MHz 处，后仿真得到的相位噪声约为 -92dBc/Hz，满足设计要求。

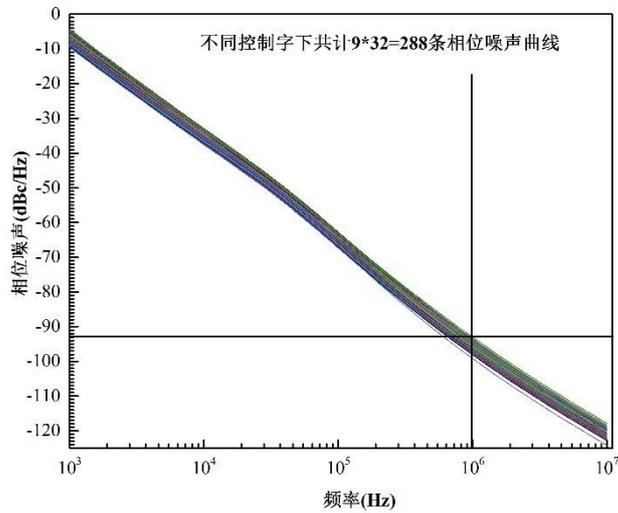


图 3.18 频偏 1MHz 处的后仿真相位噪声

3.4 小结

本章首先介绍了振荡器各组成模块的设计考虑以及电路结构的选择原因，然后对振荡器版图的一般设计规则进行陈列，并给出了振荡器的最终版图，最后给出了电路后仿真结果。

本设计采用 1.2V 电源电压供电，消耗约 9mW 的功率输出峰峰值约 800mV 的振荡信号，后仿真结果表明该振荡器可覆盖 24.5GHz-29.8GHz，全频率范围内的相位噪声均低于 -90dBc/Hz，后仿真结果满足设计要求。

第 4 章 高速二分频器电路的设计

分频器和振荡器是时钟信号恢复电路、PLL 等高速环路中工作频率最高的电路模块，分频器同样作为通信领域至关重要的部分，它的工作速率决定了整个系统的速率，较高的工作速率需要消耗大量的功耗，如何在日益减小的电源电压下生产出低功耗、高速率的二分频器受到了学术界的广泛关注。

4.1 二分频器电路的分类

根据实现方式的不同，分频器有数字分频器和模拟分频器两种，其中数字分频器主要包括：源级耦合型分频器（Source-Couple-Logic, SCL）、伪差分型分频器和真单相时钟型分频器（True-Single-Phase-Clocked, TSPC）；模拟分频器主要包括米勒分频器和注入锁定型分频器（Injection-Locked Frequency Divider, ILFD）^[56]。

模拟分频器因为需要用到无源器件实现振荡和混频的功能，所以模拟分频器的电路既复杂又需要占用很大的版图面积。相比于数字分频器，模拟分频器具有工作频率上限高、功耗低、易于集成等优势。图 4.1 是米勒分频器的电路模型^[57]，它最早是由 Miller 提出的、由混频器 Mixer、低通滤波器 LPF 组成的高速再分频环路。

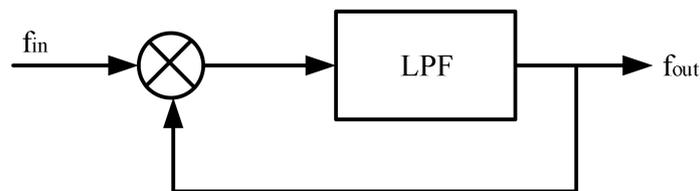


图 4.1 米勒分频器的电路模型

输入信号的频率 f_{in} 与输出信号频率 f_{out} 经混频器混频作用产生低频成分 $(f_{in} - f_{out})$ 和高频成分 $(f_{in} + f_{out})$ 作为 LPF 的输入信号，LPF 将高频成分 $(f_{in} + f_{out})$ 滤除，只输出低频成分 $(f_{in} - f_{out})$ 等于 f_{out} ，所以得到 $f_{out} = \frac{1}{2} f_{in}$ ，完成二分频功能。

米勒分频器通过在前馈支路和反馈支路加入除法器还可以实现其他分频比的分频器，包括小数分频器。米勒分频器相位噪声差，分频范围小。

基于频率牵引效应的注入锁定型分频器最早由 Robert Adler^[58]于 1946 年提出并投入研究，他通过公式推导精确地表示出分频器的锁定范围与其他电路参数之间的关系，但是他的推导是建立在输入信号强度很弱的前提下，不具有一般性。

后来的 Shwetabh Verma、Hamid R. Rategh、Thomas H. Le 以及 Razavi 等人对 Adler 模型进行了改进，使得对注入锁定型分频器的理论分析模型更加完善，为提高其性能提供了理论基础。

在前文振荡器模块中提到振荡器需要避免出现频率牵引效应，在现代的射频通信领域中，功率放大器由于具有很高的输出功率，其在载波附近的大量频谱分量会通过衬底耦合、寄生干扰等方式影响振荡器的输出振荡频率，这是不希望看到的，也是令电路设计者很头疼的现象。但是随着对频率牵引效应研究的深入，科学工作者发现可以将该非理想现象用于指导光电子领域电路的设计，即充分利用频率牵引效应实现高速电路的设计。

注入锁定型分频器按实现方式可分为环形分频器和 LC 型分频器，由于该类型分频器并不是本文的重点，所以下文将以 LC 型分频器为例简要介绍注入锁定型分频器。

注入锁定型分频器就像一个设计不合格的 LC 型振荡器，同样作为一种非线性现象，振荡器的输出频率受到外界注入的微弱信号影响而致使振荡器输出频率发生偏离，等于注入信号的频率，该现象随着注入信号的强度增加也越大显著。图 4.2 是基于米勒模型的注入锁定型分频器模型，鉴于电路在大信号状态下的非线性，在输入和反馈信号支路中都加入非线性函数。输入信号 V_I 经非线性函数 g 的作用输出 $g(V_I)$ 到达混频器的输入端口，同样地，输出信号 V_O 经非线性函数 f 的作用输出 $f(V_O)$ 到达混频器的输入端口， $f(V_O)$ 与 $g(V_I)$ 经混频器的混频作用输出信号的频率可记做 $|nw_I + mw_O|$ ，其中 w_I 、 w_O 分别表示输入、输出信号的频率， m 、 n 均为整数。函数 $H(jw)$ 是 LPF 的传输函数，设置其 -3dB 频率点等于 w_O ，大于 w_O 的频率成分将会被过滤掉。当输入信号 w_I 置零且环路满足巴克豪森判据时，注入锁定型分频器模型就是一个中心频率为 w_O 的振荡器；当输入信号 w_I 不等于 0 且满足 $w_O = \frac{1}{2}w_I$ 时，混频器输出信号的频率取 $|w_I - w_O|$ 正好在频率 w_O 处，即可在一定范围内实现二分频。

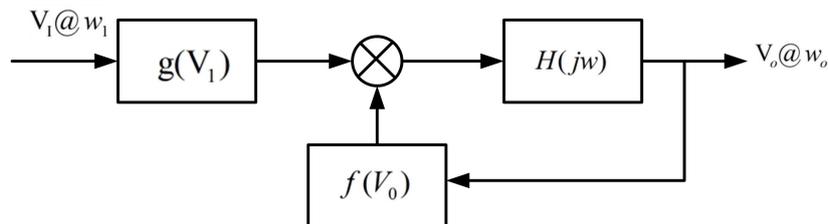


图 4.2 米勒模型

注入锁定型分频器在结构、功耗、工作频率等方面相比数字分频器优势明显，所以经常用在功耗、工作速率要求比较高的应用中。但是注入锁定型分频器需

采用大量的无源器件消耗很大的芯片面积，成本较高，另外该类型分频器的频率锁定范围较小，这些缺点都是限制注入锁定型分频器广泛应用的原因。

数字分频器是以 D 触发器为基础、常用于 PLL 当中、可灵活实现分频的分频器结构，数字分频大致分为两种：基于电流模式逻辑结构(CML)的分频器和基于动态逻辑结构的分频器。

基于电流模式逻辑结构(CML)的分频器又分为源级耦合型(Source-Couple-Logic, SCL)分频器(如图 4.3a)、伪差分型(Pseudo-Differential)分频器(如图 4.3b)，区别在于有无使用尾电流源。SCL 型分频器使用尾电流源提供偏置，使得输出摆幅由偏置电流与负载电阻的乘积决定，相比伪差分型(Pseudo-Differential)分频器，SCL 型分频器可以提供稳定的输出摆幅、功耗可控、工艺和温度以及电源电压的波动对电路直流工作点的影响相对较小，但是它堆叠了三层晶体管需要更大的电源电压，所以 SCL 型分频器不适合应用在低压应用中，而伪差分型(Pseudo-Differential)分频器因为少了一层晶体管，所以更适合应用于低压应用中。

CML 型分频器采用差分放大器结构，NMOS 晶体管 M3、M4 作为差分输入管采样输入信号，NMOS 晶体管 M5、M6 连接成交叉耦合的方式实现信号的锁存，负载电阻 R_L 将信号电流转换为输出电压信号。当 CLK 为“1”时，NMOS 晶体管 M1 导通而 M2 关闭，CML 型分频器处于采样模式，此时的电路功能相当于一共源级放大器将输出差分信号充分放大。当 CLK 为“0”时，NMOS 晶体管 M2 导通而 M1 关闭，CML 型分频器处于锁存放大模式，此时的电路功能相当于一振荡器，交叉耦合管与负载电阻 R_L 形成正反馈回路将采样的信号锁存并放大，交叉耦合管产生的负阻补充锁存过程中的能量损失。

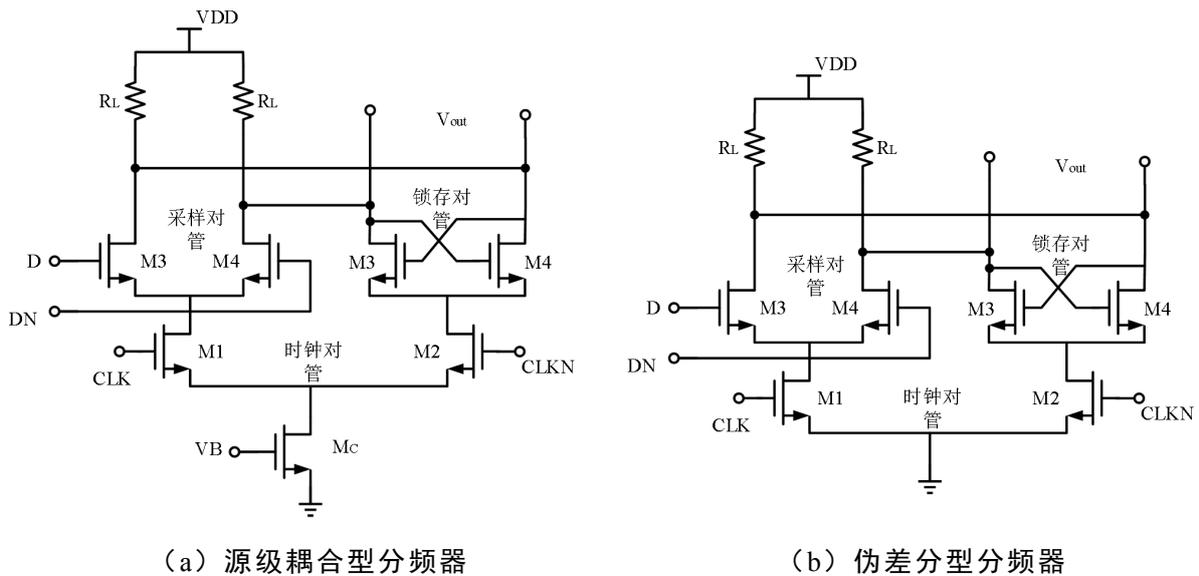


图 4.3 基于电流模式逻辑结构(CML)的分频器

基于动态逻辑结构的分频器采用真单相时钟触发器 (True-Single-Phase-

Clocked, TSPC) 作为锁存器结构, 特点是单端输入、单端输出, 利用节点电容存储能量, 如图 4.4 所示。工作过程: 当 CLK 为“0”时, 第一级输出 D 的反向结果 \bar{D} ; 第二级同样作为反相器输出高电平 (B1); 第三级由于 CLK 为“0”反相器被断开, 此时 C1 点依靠寄生电容锁存前一状态的信息不变。当 CLK 为“1”时, CLK 为“0”时存储在节点 A2 的信号经 B1 传输到输出 Q 。

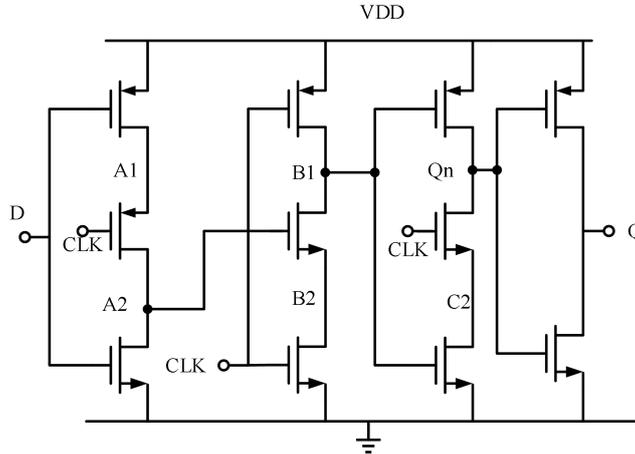


图 4.4 经典 9 管 D 触发器

基于电流模式逻辑(CML)的分频器具有面积小成本低、工作频率相对比较高、锁频范围大、输入灵敏度相对较高等优点而基于 TSPC 结构的分频器相位噪声比较高, 所以在本论文使用电流模式逻辑结构(CML)的分频器。

4.2 CML 二分频器的工作原理以及设计方法

在上节中已决定本论文使用电流模式逻辑结构(CML)的二分频器, 考虑到电源电压为 1.2V, 电压摆幅裕度充足, 所以采用图 4.3a 所示的源级耦合型 (Source-Couple-Logic, SCL) 的锁存器组成二分频器。图 4.5 所示本次设计的分频器由两个分别作为主从级 SCL 锁存器构成^[59], 从级的输出 Q 连接至主级的负输入端 \bar{D} , 从级的输出 \bar{Q} 连接至主级的正输入端 D , 主级的输出 Q 连接至从级的输入端 D , 主级的输出 \bar{Q} 连接至从级的输入端 \bar{D} 。

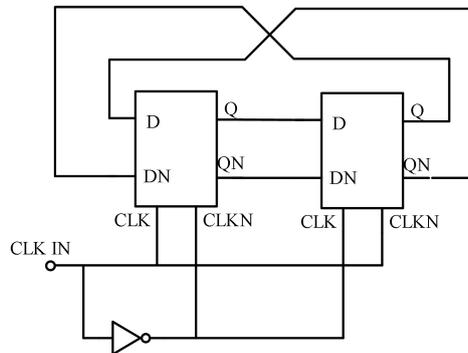


图 4.5 主从式二分频器电路结构

当时钟信号 CLK 为“1”时，主级正常工作从级关闭，所以数据被采样至主级的输出；当时钟信号 CLK 为“0”时，主级处于保持阶段而从级将输出之前 CLK 为“1”时主级采样的数据，输出的数据再输入至主级的输入，如此循环便实现了对 CLK 信号的二分频。

从大信号的角度分析，采样阶段输出节点较小的时间常数保证输入信号以最快的速度对输出节点寄生电容充电，使得输出波形具有最小的上升和下降时间；从小信号的角度分析，借助差分电路的半边分析法推导小信号状态下的最大工作频率，如图 4.6 所示。

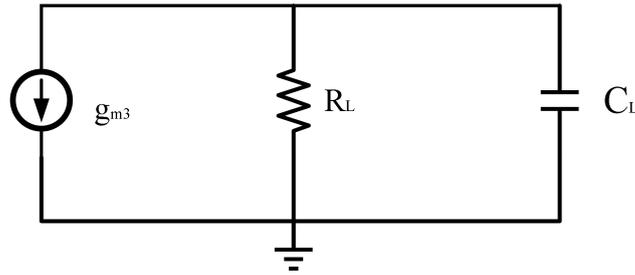


图 4.6 采样阶段锁存器的等效小信号电路图

图中 g_{m3} 是输入晶体管的跨导， R_L 表示负载电阻， C_L 是输出节点总的寄生电容，其传输函数为：

$$H(s) = \frac{g_{m3}R_L}{1 + sR_L C_L} \quad (4.1)$$

令上式取模等于 1，得到

$$f_{in,max} \approx \frac{g_{m3}}{2\pi C_L} \quad (4.2)$$

从公式 (4.2) 可以发现，分频器的最高可分频速率取决于采样级，并与输入晶体管的跨导 g_{m3} 成正比，负载电容 C_L 成反比，所以可以通过增加采样支路的电流、输入晶体管尺寸的方式提高电路的分频速率^[60]。

分析图 4.5 所示的主从式二分频器电路结构，在没有时钟信号输入时，借助锁存级的储能特性，该二级环形振荡器满足巴克豪森判据中的相位条件即是一正反馈回路，锁存级的正反馈环路起振条件要求 $g_{m5}R_L \geq 1$ ^[61]，所以 CML 二分频器在只给直流偏置的条件下也会像振荡器一样自激振荡，其中自激振荡频率记为 f_0 。

灵敏度曲线^[62]是观察二分频器性能指标的直观方式和重要手段，如图 4.7 所示灵敏度曲线以频率为横坐标，最小输入幅度为纵坐标。借助图 4.7 可以定义分频器两个重要的性能指标 f_0 和 V_{max} ，其中 V_{max} 定义为分频器自激振荡所需的输入时钟最大差分直流电压。图 4.7 中包含了 4 个区域，区域 1 是正常工作范围，设计者所要做的就是尽量增大区域 1 的范围；区域 2 称为准周期工作区域，当输入时钟幅度小于 V_{max} 大于 0 时，分频器类似输出频率受输入时钟牵引的振荡器，电

路固有的大信号非线性，将给分频器输出频谱引入很多显著的谐波成分；区域 3 是摆幅受限区，此区域的频率远小于 $2f_0$ ，输入时钟有足够的幅度，电路在周期内的大部分时间内都可以正常工作，如果输入时钟信号的上升下降时间过长，则二分频器在波形的过零点处有足够的时间自激振荡，将在分频器输出信号的波形上引入尖峰，通过输入理想的矩形波可消除该区域；区域 4 是响应限制区，该区域发生在非常高的频率处，该区域产生的原因是因为输入时钟晶体管 M1 (M2) 的漏极电压由于寄生时间常数的限制使该点电压无法跟随输入时钟以相同的频率波动，引起电路不正常工作。

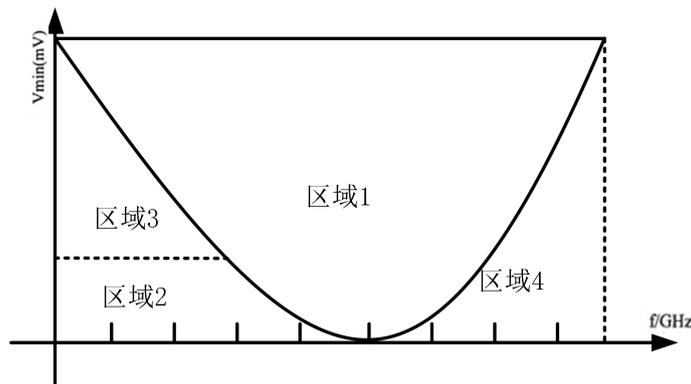


图 4.7 二分频器的灵敏度曲线

分频器设计的重点是如何让分频器在没有信号输入时自谐振且其振荡频率在 12.5GHz（振荡器中心频率为 25GHz）左右，工程上为了考虑寄生电容的影响，一般将自谐振频率设定在 13GHz 左右。根据巴克豪森判断依据，要想让系统处于振荡状态，除了让系统工作在正反馈条件下之外，还要让环路增益大于 1，所以，我们要注意调节锁存晶体管（latch transistors, M5、M6）的尺寸保证环路增益大于 1，一般取 $\frac{W_3}{W_5} \leq 1$ 使得锁存级通过更多的电流保证分频器可以自谐振，同时采样

晶体管（sensing transistors, M3、M4）的尺寸决定了其谐振频率的大小。latch transistors 的尺寸过大，保证了起振条件，但是引入了过大的寄生电容降低了谐振频率；sensing transistors 尺寸过大提高了谐振频率，但是可能导致流过 latch transistors 的电流不足使环路增益小于 1，导致电路不起振，所以在设计电路时需要反复调试、不断地 tradeoff 使电路在较小的电流消耗下达到最优的电路性能。

接着分析时钟输入晶体管（Clock transistors, M1、M2）对 divider 性能的影响：Clock transistors 尺寸减小，将会导致输入信号的最小摆幅增加， f_{osc} 减小。原因：尺寸减小造成 v_{dsat} 增大，将需要更大的时钟输入摆幅。同时在很短的时间内 Clock transistors 才通过电流，所以此时流过的平均电流较小，导致自谐振频率下降。

负载电阻 R_L 大小的选择考虑：前级电路的输出摆幅一般选取为能使下一级的尾电流能在输入差分对管之间来回切换。单边半摆幅： $V_p > V_{gs} - V_{th} = V_{dsat}(150mV)$ 、 $V_{pp} = 2V_p = 300mV$ (取 $400mV$)、 $R_L = 0.4V/2mA = 200\Omega$ 。综上，将负载电阻 R_L 设置在 200Ω 左右。

4.3 二分频器电路的仿真验证

二分频器是应用于 50Gbps PAM4 CDR CLOCK PATH 中的关键模块电路：CLOCK PATH 模块电路主要包括分频器、缓冲器(CML buffer)以及 CML 转 CMOS 电平电路，该模块电路可产生 12.5GHz 的时钟，目前已完成 25G VCO 下一级的 CLOCK PATH 模块电路的前仿、版图设计以及后仿工作。

本次设计使用 TSMS 40nm 1P7M CMOS 工艺，在 Cadence 环境下使用 Virtuoso 完成版图设计。绘制版图的注意事项已在第四章中列出。图 4.8 是本次设计的 CML 二分频的版图，分频器采用 CML 结构的差分放大器以及将 CML 电平转为 CMOS 电平的反相器链作为分频器的 CML buffer。

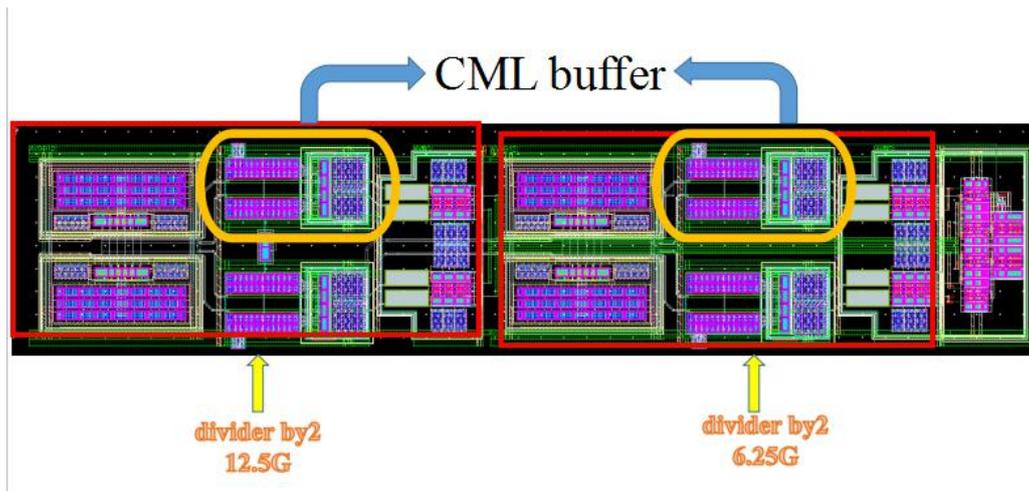


图 4.8 二分频器的电路版图

图 4.9、图 4.10 分别是对该二分频器进行后仿真得到的灵敏度曲线、输出瞬态波形，灵敏度曲线可读出分频器需要的最小输入半边摆幅 V_p 为 $80mV$ 。

4.4 小结

本章首先介绍了二分频器的分类以及选择 CML 分频器的原因以及优势，然后对分频器的工作原理、性能指标、晶体管尺寸设计原则进行了分析，并给出了本次设计的二分频器最终版图，对二分频器进行后仿真得到二分频器灵敏度曲线和瞬态输出波形，该二分频器在 1.2V 电源电压的作用下，其自激振荡频率约为 13.25GHz，可输出 0° 、 90° 、 180° 以及 270° 工作频率为 12.5GHz 的四相位时钟。

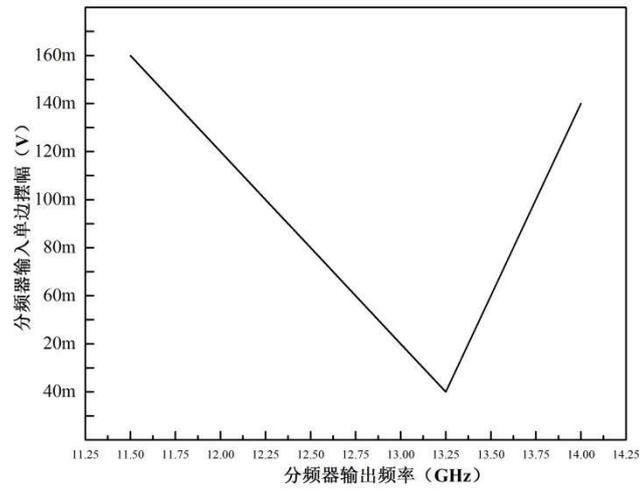


图 4.9 二分频器灵敏度曲线

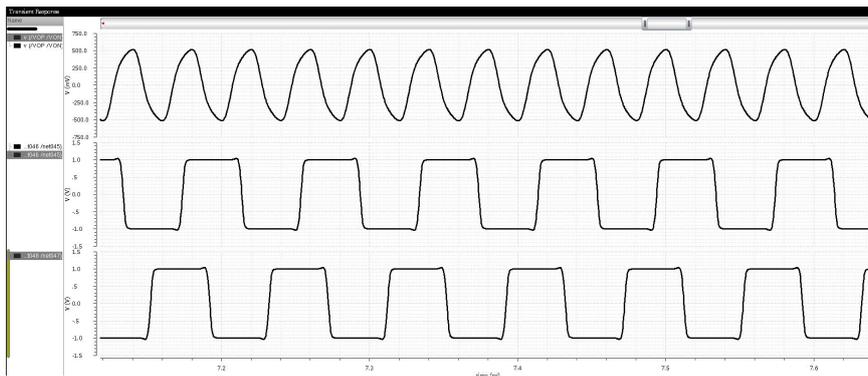


图 4.10 二分频器输出瞬态波形

第 5 章 总结与展望

5.1 总结

信息化浪潮在科技创新的不断推动下，大量数据就像一张无形庞大的网将全球有机的联系在一起。随着时代产生的数据量越来越大，数据存储以及传送带来的问题便接踵而至，高速传输数据的物质基础是当下科技研究的热点。为满足对高速远距离传输系统的需求，串行通信方式 Serdes 逐渐取代占用资源较多、效率较低的并行传输方式而成为主流，而 CDR 是 Serdes 系统接收端对接收到的数据进行重定时的重要部件，从接收到的数据中恢复出较低的误码率的数据和时钟是 CDR 环路重要的任务，VCO 和二分频器是环路中比较重要的模块。

本论文在对 VCO 和二分频器进行深入了解的基础上，详细分析了不同拓补结构 VCO 和分频器的优缺点，并结合项目实际需要选择电流偏置、电流复用型振荡器作为 LC VCO 的电路结构，而分频器采用基于电流模式逻辑结构、功耗可控的源级耦合型二分频器。本论文在电流源中加入开关阵列加强振荡器的鲁棒性；使用 5 位数控开关电容阵列将 VCO 调谐范围均匀分为 32 份，有效降低了 K_{VCO} ；振荡器的缓冲级采用差分放大器结构，在输出差分时钟信号的同时具有较大的增益；使用 CMOS 工艺设计速率超过 10GHz 的 VCO 和二分频器在同类论文中鲜有涉及，所以本论文在振荡器和二分频器工作速率上实现了很大的突破且对未来的研究具有一定的参考价值。

论文对高速电路版图的设计方法进行研究并基于 TSMC 40nm CMOS 工艺给出了振荡器和分频器的最终版图，最后给出了电路后仿真结果：本设计采用 1.2V 电源电压供电，后仿真结果表明该振荡器消耗约 9mW 的功率输出峰峰值约 800mV 的振荡信号，全频率范围内的相位噪声均低于 $-90\text{dBc}/\text{Hz}@1\text{MHz}$ ，后仿真结果满足设计要求；分频器的后仿真结果显示在 1.2V 电源电压的作用下，其自激振荡频率约为 13.25GHz，可输出 0° 、 90° 、 180° 以及 270° 、频率为 12.5GHz 的四相位时钟。

本文的创新点在于：使用先进工艺设计的高速 VCO 和分频器；针对传统数控开关电容阵列寄生电容大的缺点，在前人研究的基础上对开关电容电路进行了改进和优化，降低了开关晶体管寄生电容对谐振腔的影响，提高了 VCO 可工作的最高频率上限；在高频率条件下设计的 VCO 覆盖的频率范围可达到 24.5GHz-29.8GHz，能为数据率为 50Gbps 的 Serdes 系统提供稳定的时钟。

5.2 展望

本论文完成了 CDR 当中关键模块：振荡器和二分频器的设计与后仿真，仿真结果满足系统要求，但是由于时间、精力有限，对于振荡器和二分频器的设计还是有很多可以优化提升的地方：

(1) MOS 可变电容 C_V 作为频率可调元件广泛应用于压控振荡器的谐振电路中，其高线性度的实现与建模是目前的一个研究热点。同时围绕着如何实现大的电容可调范围、小信号和大信号模型以及高 Q 值方面也展开了深入的研究。可变电容 C_V 的非线性将恶化振荡器的相位噪声，所以线性化可变电容 C_V 的 C-V 特性曲线可以作为下一步的研究优化方向。

(2) 电感 L 的设计和建模：片上集成螺旋电感(spiral inductor)的高 Q 值的实现是当前高速电路、射频集成电路设计必须面对的一大难题。片上螺旋电感最主要的问题在于受各种寄生效应的影响，品质因数不高。目前比较流行的电感仿真软件有 HFSS、ADS、EMX 等等，模型的准确度使我们最为关心的问题，本次设计我们使用 EMX 软件对电感进行仿真建模，EMX 具有仿真速度快、模型准确度高等优点。如何设计出高 Q 值和准确电感值得电感是一大难点，需要一定的技术积累。

参考文献

- [1] 赵梓森. 中国光纤通信发展的回顾. 电信科学, 2016, 32(5): 5-9
- [2] 王飞, 许魁, 徐友云. 大数据无线通信面临的几点挑战与对策. 电子技术应用, 2015, 41(3): 12-16
- [3] 尚云骅. 基于 PCIe 的高速接口设计与验证: [电子科技大学硕士学位论文]. 西安: 电子科技大学, 2016, 5-8
- [4] 王硕. V 波段硅基低噪声放大器设计: [中国科学院大学硕士学位论文]. 北京: 中国科学院大学, 2015, 6-7
- [5] 王伟涛. 8b/10b 架构 SerDes 芯片的设计与实现: [电子科技大学硕士学位论文]. 西安: 电子科技大学, 2016, 5-8
- [6] 田啸, 何燕冬. 6.25Gb/s 串行数据接收器设计. 微电子学与计算机, 2017, 34(7): 119-122
- [7] Zargarani-Yazd A, Mirabbasi S, Saleh R. A 10 Gb/s low-power serdes receiver based on a hybrid speculative/SAR digitization technique. IEEE International Symposium of Circuits and Systems. 2011: 446-449
- [8] Razavi B. Prospects of CMOS technology for high-speed optical communication circuits. IEEE Journal of Solid-State Circuits, 2002: 3-6
- [9] Razavi B. Design of Integrated Circuits for Optical Communications. New York: McGraw-Hill, 2003, 40-60
- [10] 池保勇. CMOS 射频集成电路分析与设计. 北京: 清华大学出版社, 2006, 410-419
- [11] 云振新. 压控振荡器技术的回顾与展望. 电子元器件应用, 2004, 29(7): 5-8
- [12] 张宇辰. 多模多标准收发机频综中宽带压控振荡器的设计: [东南大学硕士学位论文]. 南京: 东南大学, 2017, 8-9
- [13] Basar M R, Malek F, Juni K M, et al. A low power 2.4-GHz current reuse VCO for low power miniaturized transceiver system. In : IEEE International Conference on Electronics Design, 2012 IEEE International Conference. IEEE, 2013, 230-233
- [14] Kim J, Shin J, Kim S, et al. A Wide-Band CMOS LC VCO With Linearized Coarse Tuning Characteristics. IEEE Transactions on Circuits & Systems II Express Briefs, 2008, 55(5): 399-403

- [15] 庄奕琪, 曾志斌, 李振荣. 基于电流复用的低功耗正交 LC 压控振荡器. 中国专利. CN201110140939.4[P], 2011-08-31
- [16] 盛志雄. 电感电容压控振荡器的低功耗低噪声研究: [中国科学院大学博士学位论文]. 北京: 中国科学院大学, 2014, 20-25
- [17] Leeson D B. A simple model of feedback oscillator noise. Proc of IEEE, 1966, 54(2): 329-330
- [18] Hajimiri A, Lee T H. A general theory of phase noise in electrical oscillators. IEEE Solid-State Circuits. 1998: 179-194
- [19] Rael J J, Abidi A A. Physical processes of phase noise in differential LC oscillators. In: Custom Integrated Circuits Conference. IEEE Xplore, 2009, 569-572
- [20] Razavi B. Physical Processes of Phase Noise in Differential LC Oscillators. Wiley-IEEE Press, 2000, 200-223
- [21] Kurisu M, Uemura G, Ohuchi M, et al. A Si bipolar 28-GHz dynamic frequency divider. IEEE Journal of Solid-State Circuits, 2002, 27(12):1799-1804
- [22] 周春元, 李国林. 基于 90nm CMOS 工艺的 12GHz 二分频器. 微电子学, 2008, 38(5): 670-673
- [23] 安鹏, 陈志铭, 桂小琰. 基于 90nm CMOS 工艺的 37GHz 分频器. 微电子学, 2015, 45(4): 441-443
- [24] 李智群. 射频集成电路与系统. 北京: 科学出版社, 2008, 200-210
- [25] Lee T H. The design of CMOS radio-frequency integrated circuits. Communications Engineer, 2004, 2(4): 47-47.
- [26] Behzad Razavi 著. 模拟 CMOS 集成电路设计. 陈贵灿等译. 西安: 西安交通大学出版社, 2003, 391-430
- [27] Gray P.R, Meyer R G. Analysis and Design of Integrated Circuits. McGraw-Hill, 1968, 220-265
- [28] Tu W H, Yeh J Y, Tsai H C, et al. A 1.8V 2.5-5.2 GHz CMOS dual-input two-stage ring VCO. In: Proceedings of 2004 IEEE Asia-Pacific Conference on. IEEE, 2004: 134-137
- [29] Behzad Razavi 著. 射频微电子第二版. 邹志革等译. 北京: 机械出版社, 2016, 120-140
- [30] 杨博闻. 低相位噪声低功耗环形振荡器研究与设计: [上海交通大学硕士学位论文]. 上海: 上海交通大学, 2016, 22-26
- [31] 余志平, 周润德. 射频微电子. 北京: 清华大学出版社, 2006, 120-140

- [32] 卢超. 宽带低功耗压控振荡器的设计: [上海交通大学硕士学位论文]. 上海: 上海交通大学, 2011, 21-26
- [33] 黄权杰. 应用于高速 SerDes 中八相位压控振荡器的设计: [东南大学硕士学位论文]. 南京: 东南大学, 2016, 35-39
- [34] Berny A D, Meyer R G, Niknejad A. Analysis and Design of Wideband LC VCOs. Center for Labor & Education Retrieved from, 2006: 56-65
- [35] 丁吴宇. 宽频带 CMOS 压控振荡器设计: [电子科技大学硕士学位论文]. 西安: 电子科技大学, 2014, 26-45
- [36] 张宇辰. 多模多标准收发机频综中宽带压控振荡器的设计: [东南大学硕士学位论文]. 南京: 东南大学, 2017, 29-40
- [37] 高孟川. 基于 $0.13 \mu\text{m}$ CMOS 和 SiGe HBT 工艺的压控振荡器的研究和设计: [东南大学硕士学位论文]. 南京: 东南大学, 2017, 30-50
- [38] 曾健平, 樊明, 陈铨颖, 张锋. 应用于眼压信号检测的低噪声前置放大器设计. 湖南大学学报, 2017, 44(8): 112-116
- [39] Andreani P, Mattisson S. On the use of MOS varactors in RF VCOs. IEEE Journal of Solid-State Circuits, 2000, 35(6): 905-910
- [40] 唐长文. 电感电容压控振荡器: [复旦大学博士学位论文]. 上海: 复旦大学, 2004, 20-30
- [41] 李小进, 石艳玲, 赖宗声. 硅基 RF 平面螺旋电感的圈数对品质因子的影响. 半导体学报, 2003, 24(9): 972-976
- [42] Min P, Lee S, Kim C S, et al. The detailed analysis of high Q CMOS-compatible microwave spiral inductors in silicon technology. IEEE Transactions on Electron Devices, 1998, 45(9): 1953-1959
- [43] Koutsoyannopoulos Y K, Papananos Y. Systematic analysis and modeling of integrated inductors and transformers in RF IC design. IEEE Transactions on Circuits & Systems II Analog & Digital Signal Processing, 2000, 47(8): 699-713
- [44] 高丹, 朱明华, 徐元森. 硅基螺旋电感模型及 Q 值优化. 微处理机, 2008, 29(1): 25-27
- [45] 王伟. 基于 65nm CMOS 工艺低能耗低噪声 LC 振荡器研究与设计: [中国科学技术大学硕士学位论文]. 合肥: 中国科学技术大学, 2016, 40-50
- [46] Lee T H, Hajimiri A. Oscillator phase noise: a tutorial. Solid-State Circuits, IEEE Journal of, 2000, 35(3): 326-336
- [47] Demir A. Phase noise and timing jitter in oscillators with colored-noise sources. IEEE Transactions on Circuits & Systems I Fundamental Theory & Applications, 2002, 49(12): 1782-1791

- [48] 戴惜时. 高性能宽带压控振荡器的研究与设计: [中国科学技术大学硕士学位论文]. 合肥: 中国科学技术大学, 2013, 45-60
- [49] 赵斌. 宽调谐低噪声低功耗 LC 压控振荡器的设计: [湖南大学硕士学位论文]. 长沙: 湖南大学, 2009, 40-45
- [50] 周殿宇. CMOS 射频 LC-VCO 的 AM-PM 相位噪声抑制技术研究: [西南科技大学硕士学位论文]. 绵阳: 西南科技大学, 2009, 10-30
- [51] Yun S J, Shin S B, Choi H C, et al. A 1mW current-reuse CMOS differential LC-VCO with low phase noise. In: Solid-State Circuits Conference. IEEE, 2005, 540-616
- [52] Murphy D, Rael J J, Abidi A A. Phase noise in LC oscillators: a phasor-based analysis of a general result and of loaded Q. IEEE Press, 2010, 320-350
- [53] 秦平. 高线性低相噪压控振荡器电路设计: [东南大学硕士学位论文]. 南京: 东南大学, 2015, 40-60
- [54] 陈悦鹏. 多模多标准接收机中宽带压控振荡器的设计: [东南大学硕士学位论文]. 南京: 东南大学, 2016, 30-50
- [55] ChristopherSaint, JudySaint, Saint. 集成电路掩模设计:基础版图技术. 周润德等译. 北京: 清华大学出版社, 2006, 110-200
- [56] 马雪坡. 高速分频器研究: [天津大学硕士学位论文]. 天津: 天津大学, 2009, 55-65
- [57] 张建. 高性能注入锁定分频器关键技术研究: [天津大学硕士学位论文]. 天津: 天津大学, 2014, 40-60
- [58] Adler R. A study of locking phenomena in oscillators. Proceedings of the IEEE, 2005, 61(10): 1380-1385
- [59] Wang H. A 1.8V 3mW 16.8GHz Frequency Divider in 0.25um CMOS. Isscc Dig.tech.papers Feb, 2000: 196-197
- [60] 李剑宏. 13GHz VCO 及锁相环设计: [东南大学硕士学位论文]. 南京: 东南大学, 2016: 45-50
- [61] 张冬冬. 硅基 5GHz LC 压控振荡器设计: [电子科技大学硕士学位论文]. 西安: 电子科技大学, 2016, 50-60
- [62] Singh U, Green M. Dynamics of high-frequency CMOS dividers. In: IEEE International Symposium on Circuits and Systems. IEEE Xplore, 2002, 421-424

致 谢

经历在北京实习的一年多的时间，终于完成了此次硕士毕业论文的工作。在振荡器和分频器的设计过程中，困难和问题遇到了不少，多亏老师和师兄的帮助以及自己不懈努力，日日夜夜的付出终于有了回报，在解决问题的过程中我也收获了很多知识和经验。

在研究生生涯即将结束之际，在这里我首先要感谢我的导师曾健平副教授。曾老师虽然一直公务繁忙，但仍会抽出宝贵的时间给予我们悉心的指导，曾老师对待我们每个学生都是有求必应、有问必答，每次都尽全力帮我们解决问题；曾老师为人和蔼，在他面前从没感到过拘束；即使我在北京实习期间，他仍不忘关心和询问我小论文以及毕业大论文的进展；从曾老师身上，我不仅学到求真、务实的学习态度，也在为人处世上给我树立了榜样。谨在此表示崇高的敬意。

然后，我还要感谢北京中科院微电子研究所的张锋老师和于增辉师兄，感谢他们给了我实习的机会，感谢陈铖颖老师教授给我模拟集成电路的知识和经验，陈老师为人谦和，治学严谨，工作努力，我希望有机会还可以向他学习；感谢北京中科院半导体研究所的祁楠老师和胡上师兄，感谢他们让我参与到高速接口的项目当中，让我学习到了很多知识和拓展了视野。同时我还要感谢北京的同事们：李云、范东宇、方聪、李熙泽等等，和他们一起生活学习的日子我感到轻松愉快。

感谢我的室友应韬、覃宇、吴建民以及实验室的同学们（人数众多我就不一点名了，但对我同样重要），他们在我失落无助的时候给与我的帮助和安慰我会永远记得，在我闲暇时光我们一起度过，他们的真挚和无私让我感受到人间的真情与温暖。特别感谢小红同志一路的支持和鼓励，希望可以一直接收到你的关怀。

最后我需要郑重感谢我的父母，儿虽已成年，但还总是让他们劳神费心，没有他们对我的期望和付出就没有我的今日，希望从此步入社会的我能更多的为父母排忧解难不再让他们为我操劳。

谨以此文献给所有关心我的家人、同事以及朋友们！

附录 A 攻读学位期间发表的学术论文目录

- [1] 曾健平, 樊明, 陈铖颖, 张锋.应用于眼压信号检测的低噪声前置放大器设计.湖南大学学报(自然科学版).已录用,已发表.



知网查重限时 7折 最高可优惠 120元

本科定稿，硕博定稿，查重结果与学校一致

立即检测

免费论文查重：<http://www.paperyy.com>

3亿免费文献下载：<http://www.ixueshu.com>

超值论文自动降重：http://www.paperyy.com/reduce_repetition

PPT免费模版下载：<http://ppt.ixueshu.com>

阅读此文的还阅读了：

- [1. FANUC系统高速高精功能的应用](#)
- [2. Maxim推出高速LVDS串行器解串器\(SerDes\)新产品](#)
- [3. 10G SerDes中高速锁相环的设计与研究](#)
- [4. 基于FPGA内SERDES的自适应高速传输系统](#)
- [5. SERDES在冗余切换功能中的应用](#)
- [6. PAM4:高速以太网的SERDES全新调制标准](#)
- [7. 10.3125Gbps高速SERDES芯片的测试方法研究](#)
- [8. 10Gbps SerDes中的高速接口设计](#)
- [9. 用于高速SerDes接口的编解码及收发电路设计](#)
- [10. SerDes技术中高速串行信号采样原理与实现](#)
- [11. 药品振荡器械的设计与应用](#)
- [12. 32Gbps高速SerDes量产测试方案](#)
- [13. SerDes器件在车载摄像机系统中的应用](#)
- [14. 应用于高速铁路的高速图像传输系统研究](#)
- [15. 基于SerDes系统芯片边界扫描测试设计与电路实现](#)
- [16. 高速SerDes IP的集成与验证](#)
- [17. 基于Arria10的高速Serdes接口设计](#)
- [18. 高速SERDES接口芯片设计关键技术研究](#)
- [19. PCIExpress中2.5Gbps高速SerDes的设计与实现](#)
- [20. 高速密集储存系统开发与应用](#)
- [21. 一种高速Serdes接口测试的ATE设计](#)
- [22. 星载高速SerDes电路的设计与实现](#)
- [23. 基于自偏置技术的高速SERDES芯片PLL设计](#)
- [24. 用高速SERDES解决串行底板设计的问题](#)
- [25. PAM4:高速以太网的SERDES全新调制标准](#)

- [26. 高速铁路防灾系统的应用实践](#)
- [27. 高速电路设计在ABS系统中的应用](#)
- [28. 高速SerDes中时钟数据恢复电路的设计研究](#)
- [29. PLC在高速监控系统中的应用](#)
- [30. 高速SerDes抖动成因及其测试方法分析](#)
- [31. 为EMI敏感和高速SERDES系统供电](#)
- [32. 杰尔针对高速串行接口发布SerDes平台](#)
- [33. 基于UVM高速SERDES的数字系统验证](#)
- [34. 为富数据应用开发高速互连系统](#)
- [35. 高速SERDES的多板传输技术与SI仿真](#)
- [36. 高速加工工具系统的开发与应用](#)
- [37. 高速SerDes发送器的设计与实现](#)
- [38. PCI Express中2.5Gbps高速SerDes的设计与实现](#)
- [39. SerDes IP在通讯系统中的应用](#)
- [40. 威特应用于高速梯的门系统](#)
- [41. 10GB/s高速SERDES电路的MUX/DEMUX设计](#)
- [42. 应用于高速串行收发器的CDR电路的设计](#)
- [43. SERDES在程控交换机系统中的应用](#)
- [44. 应用于Serdes系统的高速振荡器和分频器设计](#)
- [45. 2.6GHz高速CMOS环形振荡器设计](#)
- [46. 高速电路设计在ABS系统中的应用](#)
- [47. 基于SERDES的雷达数据高速传输的实现与应用](#)
- [48. 应用于高速铁路的高速通信系统](#)
- [49. 高速铁路扣件系统的类型与应用](#)
- [50. FPGA集成高速I/O、SERDES和结构化ASIC](#)