

外延工艺在集成电路制造产业中的应用

外延(Epitaxy, 简称 Epi)工艺是指在单晶衬底上生长一层跟衬底具有相同晶格排列的单晶材料, 外延层可以是同质外延层(Si/Si), 也可以是异质外延层(SiGe/Si 或 SiC/Si 等); 同样实现外延生长也有很多方法, 包括分子束外延(MBE), 超高真空化学气相沉积(UHV/CVD), 常压及减压外延(ATM & RP Epi)等等。本文仅介绍广泛应用于半导体集成电路生产中衬底为硅材料的硅(Si)和锗硅(SiGe)外延工艺。

根据生长方法可以将外延工艺分为两大类(表 1): 全外延(Blanket Epi)和选择性外延>Selective Epi, 简称 SEG)。工艺气体中常用三种含硅气体源: 硅烷(SiH₄), 二氯硅烷(SiH₂Cl₂, 简称 DCS) 和三氯硅烷(SiHCl₃, 简称 TCS); 某些特殊外延工艺中还要用到含 Ge 和 C 的气体锗烷(GeH₄) 和甲基硅烷(SiH₃CH₃); 选择性外延工艺中还需要用到刻蚀性气体氯化氢(HCl), 反应中的载气一般选用氢气(H₂)。

表1: 各种外延类型及反应气体源列表。

外延类型	衬底	气体源	工作温度范围 (°C)	生长率 (um/min)
全外延 (Blanket Epi)	单晶Si	SiH ₄	850-950	0.0001-1.2
		SiH ₂ Cl ₂	1050-1100	0.2-1.5
		SiHCl ₃	1100-1150	1.0-5.0
	单晶SiGe	SiH ₄ +GeH ₄	600-750	<0.2
单晶SiGeC	SiH ₄ +GeH ₄ +SiC ₄ H ₄	550-650		
选择性外延 (Selective Epi)	单晶Si	SiH ₂ Cl ₂ +HCl	750-900	<0.2
	单晶SiGe	SiH ₂ Cl ₂ +GeH ₄ +HCl	700-800	

外延选择性的实现一般通过调节外延沉积和原位(in-situ)刻蚀的相对速率大小来实现, 所用气体一般为含氯(Cl)的硅源气体 DCS, 利用反应中 Cl 原子在硅表面的吸附小于氧化物或者氮化物来实现外延生长的选择性; 由于 SiH₄ 不含 Cl 原子而且活化能低, 一般仅应用于低温全外延工艺; 而另外一种常用硅源 TCS 蒸气压低, 在常温下呈液态, 需要通过 H₂ 鼓泡来导入反应腔, 但价格相对便宜, 常利用其快速的生长率(可达到 5 um/min) 来生长比较厚的硅外延层, 这在硅外延片生产中得到了广泛的应用。IV 族元素中 Ge 的晶格常数(5.646A 与 Si 的晶

格常数(5.431Å)差别最小,这使得SiGe与Si工艺易集成。在单晶Si中引入Ge形成的SiGe单晶层可以降低带隙宽度,增大晶体管的特征截止频率 f_T (cut-off frequency),这使得它在无线及光通信高频器件方面应用十分广泛;另外在先进的CMOS集成电路工艺中还会利用Ge跟Si的晶格常数失配(4%)引入的晶格应力来提高电子或者空穴的迁移率(mobility),从而增大器件的工作饱和电流以及响应速度,这正成为各国半导体集成电路工艺研究中的热点。由于本征硅的导电性能很差,其电阻率一般在200 $\Omega\cdot\text{cm}$ 以上,通常在外延生长的同时还需要掺入杂质气体(dopant)来满足一定的器件电学性能。杂质气体可以分为N型和P型两类:常用N型杂质气体包括磷烷(PH_3)和砷烷(AsH_3),而P型则主要是硼烷(B_2H_6)。

硅及锗硅外延工艺在现代集成电路制造中应用十分广泛,概括起来主要包括:

1. 硅衬底外延:硅片制造中为了提高硅片的质量通常在硅片上外延一层纯净度更高的本征硅;或者在高掺杂硅衬底上生长外延层以防止器件的闩锁(latch up)效应。
2. 异质结双极晶体管(Hetero-junction Bipolar Transistor,简称HBT)基区(base)异质结SiGe外延(图1):其原理是在基区掺入Ge组分,通过减小能带宽度,从而使基区少子从发射区到基区跨越的势垒高度降低,从而提高发射效率 γ ,因而,很大程度上提高了电流放大系数 β 。在满足一定的放大系数的前提下,基区可以重掺杂,并且可以做得较薄,这样就减少了载流子的基区渡越时间,从而提高器件的截止频率 f_T (Cut-Off Frequency),这正是异质结在超高速,超高频器件中的优势所在。

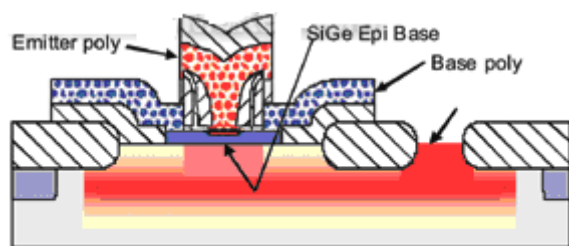


图1 异质结双极晶体管(HBT)示意图

3. CMOS 源(source)漏(drain)区选择性 Si/SiGe 外延：进入 90nm 工艺时代后，随着集成电路器件尺寸的大幅度减小，源漏极的结深越来越浅，需要采用选择性外延技术 (SEG) 以增厚源漏极(elevated source/drain) 来作为后续硅化(silicide)反应的牺牲层(sacrificial layer) (图 2)，从而降低串联电阻，有报道称这项技术导致了饱和电流(I_{dsat})有 15% 的增加。

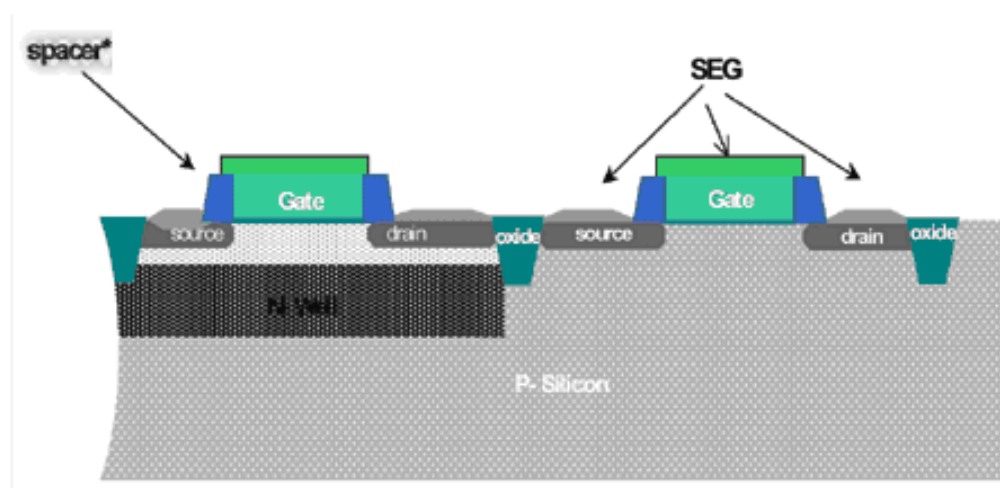


图2 CMOS源漏区的增厚外延

而对于正在研发中的 65/45nm 技术工艺，有人采用对 PMOS 源漏极刻蚀后外延 SiGe 层来引入对沟道的压应力(compressive stress) (图 3)，以提高空穴(hole)的迁移率(mobility)，据报道称实现了饱和电流(I_{dsat})35% 的增加。

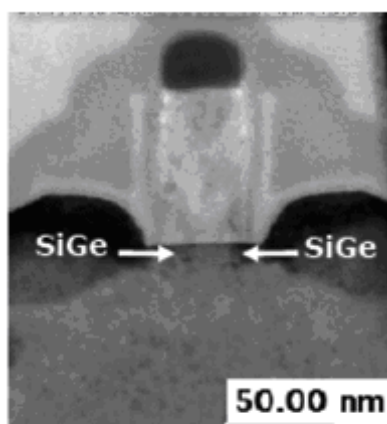


图3 源漏区SiGe外延

应变硅(strain silicon)外延：在松弛(relaxed)的 SiGe 层上面外延一层单晶 Si, 由于 Si 跟 SiGe 晶格常数失配而导致 Si 单晶层受到下面 SiGe 层的拉伸应力(tensile stress)而使得电子的迁移率(mobility)得到提升(图 4)，这就使得 NMOS 在保持器件尺寸不变的情况下饱和电流(I_{dsat})得到增大，而 I_{dsat} 的增大意味着器件响应速度的提高，这项技术正成为各国研究热点。



图4 应变硅结构示意图

一般而言，一项完整的外延工艺包括 3 个环节：

首先，根据需实现的工艺结果对硅片进行预处理，包括去除表面的自然氧化层及硅片表面的杂质，对于重掺杂衬底硅片则必须考虑是否需要背封(backseal)以减少后续外延生长过程中的自掺杂。

然后在外延工艺过程中需要对程式进行优化，如今先进的外延设备一般为单片反应腔，能在 100 秒之内将硅片加热到 1100℃ 以上，利用先进的温度探测装置能将工艺温度偏差控制在 2 度以内，反应气体则可通过质量流量计(MFC)来使得流量得到精准控制。在进行外延沉积之前一般都需要 H₂ 烘烤(bake)这一步，其目的在于原位(in-situ)去除硅片表面的自然氧化层和其他杂质，为后续的外延沉积准备出洁净的硅表面状态。

最后在外延工艺完成以后需要对性能指标进行评估，简单的性能指标包括外延层厚度和电特性参数，片内厚度及电特性均匀度(uniformity)，片与片间的重复性

(repeatability), 杂质颗粒 (particle) 数目以及污染 (contamination); 在工业生产中经常要求片内膜厚及电性的均匀度 $<1.5\%(1\sigma)$, 对硅片厂家来说经常还要考查外延层的扩展电阻率曲线 (SRP) 以确定是否有污染存在及污染物杂质的量。特别地, 对于 SiGe 工艺我们经常还需要测量 Ge 的含量及其深度分布, 对于有掺杂的工艺我们还需要知道掺杂原子的含量及深度分布。另外晶格缺陷 (defect) 也是我们必须考虑的问题, 一般而言, 常常出现的有四种缺陷, 包括薄雾 (haze), 滑移线 (slip line), 堆垛层错 (stacking fault) 和穿刺 (spike), 这些缺陷的存在对器件性能有很大影响, 可以导致器件漏电流增大甚至器件完全失效而成为致命缺陷 (killer effect)。一般来讲消除这些缺陷的办法是检查反应腔体漏率是否足够低 ($<1\text{mTorr}/\text{min}$), 片内工艺温度分布是否均匀, 承载硅片的基座或准备的硅片表面是否洁净、平坦等。

经过外延层性能指标检测以后我们还需要对外延工艺进一步优化, 以满足特定器件的工艺要求。