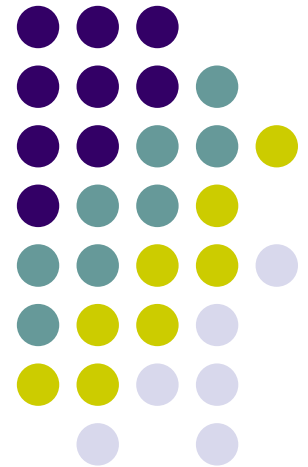


Spectre/Virtuoso/Calibre

工具使用介绍





模拟集成电路的设计流程

1.交互式电路图输入

2.电路仿真 (spectre)

3.版图设计 (virtuoso)

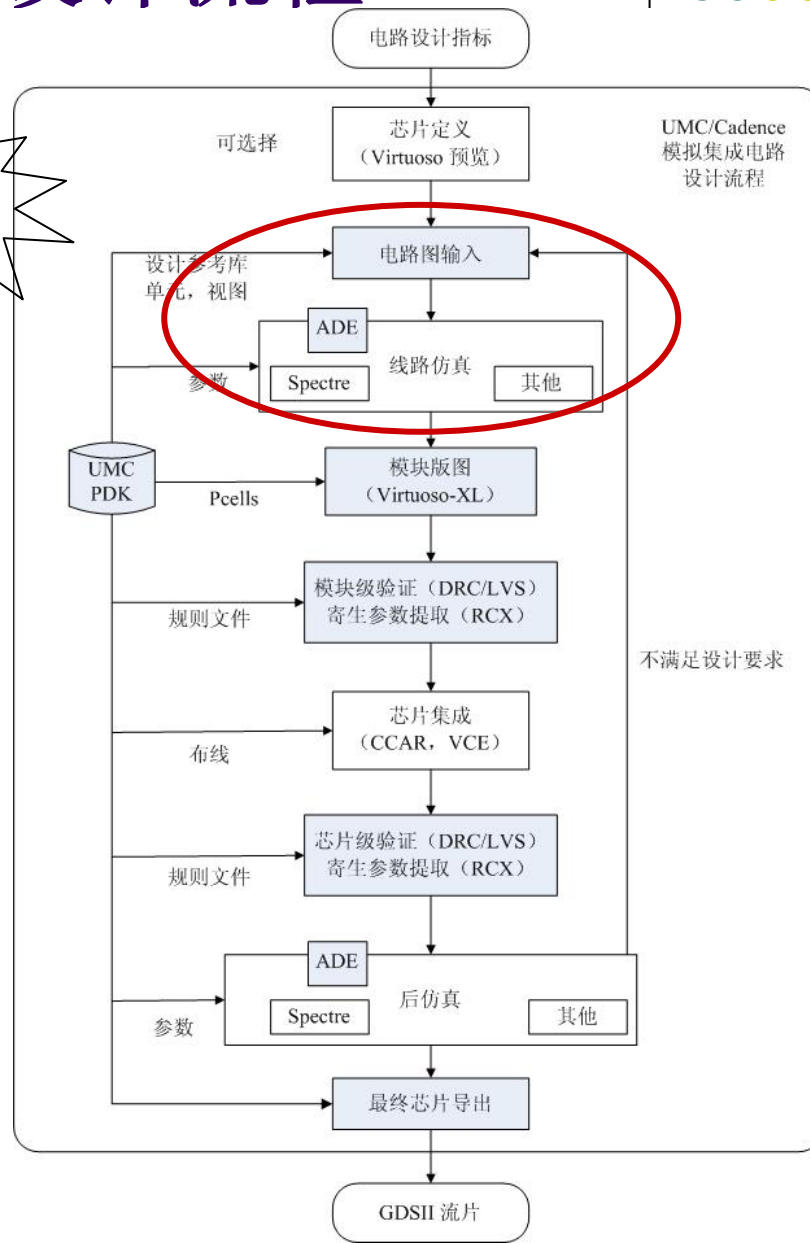
4.版图的验证 (DRC LVS)
(calibre)

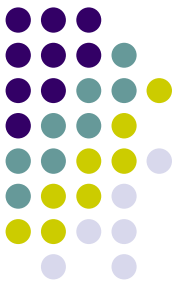
5.寄生参数提取 (calibre)

6.后仿真 (spectre)

7.流片 (gdsii)

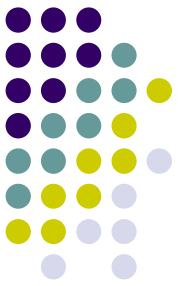
全定制





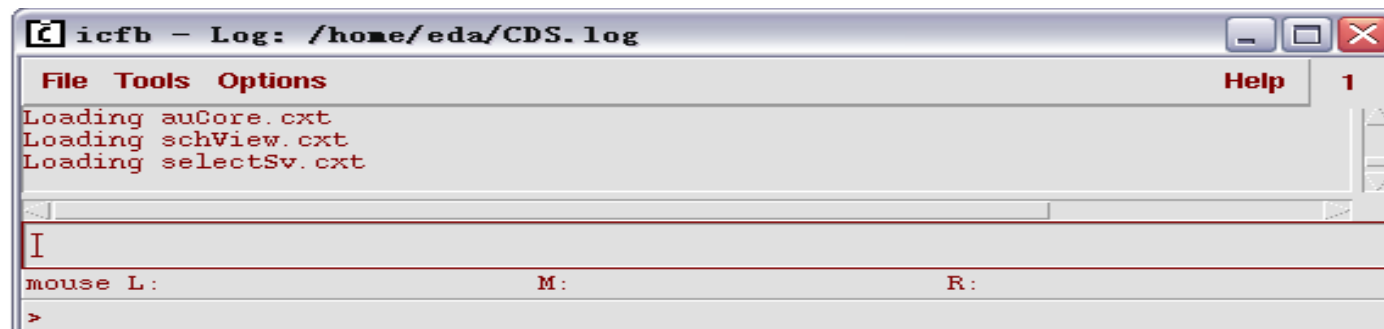
Cadence中Spectre的模拟仿真

- 1、进入Cadence软件包
- 2、建立可进行SPECTRE模拟的单元文件
- 3、编辑可进行SPECTRE模拟的单元文件
- 4、模拟仿真的设置(重点)
- 5、模拟仿真结果的显示以及处理
- 6、分模块模拟(建立子模块)
- 7、运算放大器仿真实例

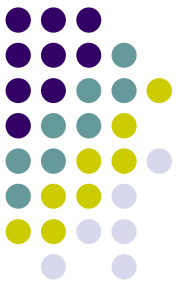


一、进入Cadence软件包

- 登陆到服务器上后，进入adelibic5这个文件夹（如果没有这个文件夹，按照vlsi课件实验1自行拷贝）
- 在命令行输入
- `source /eva02/dept23/uwb03/.cshrc.ic23`
- `icfb&`
- 红色界面的IC5141窗口出现，之后ciw弹出来



二、建立可进行SPECTRE模拟的单元文件

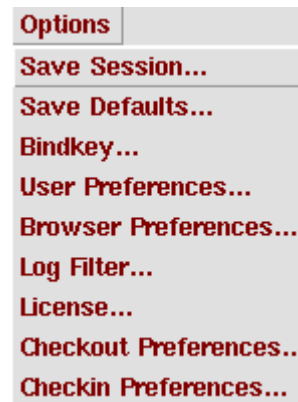
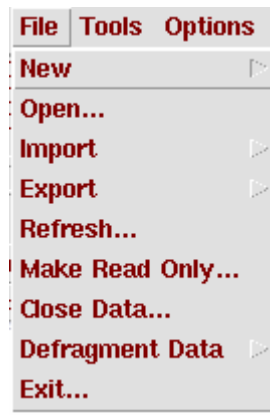


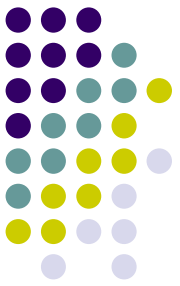
主窗口分为信息窗口CIW、命令行以及主菜单。信息窗口会给出一些系统信息（如出错信息，程序运行情况等）。在命令行中可以输入某些命令。



主菜单包括：

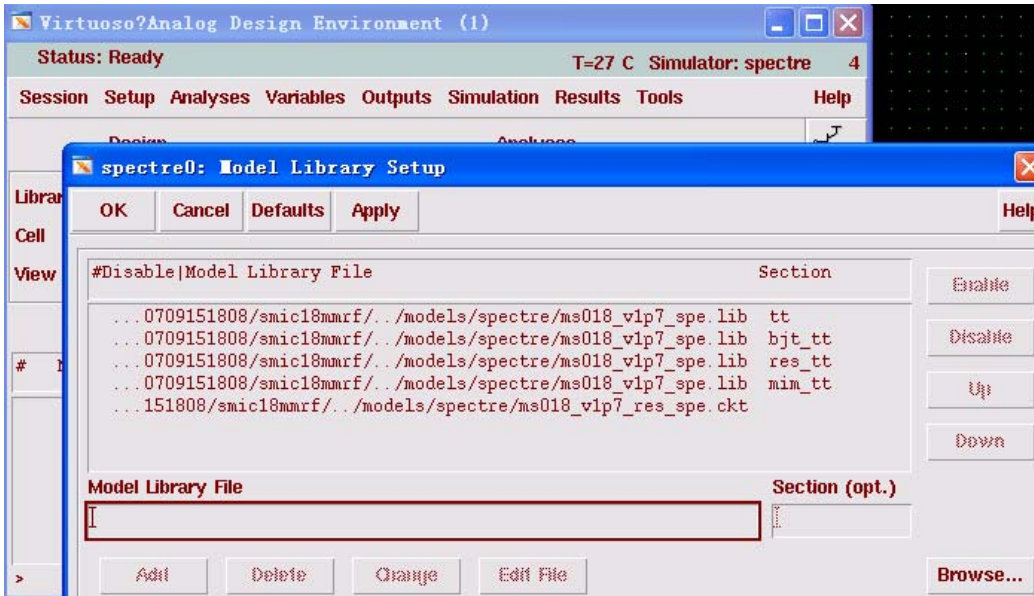
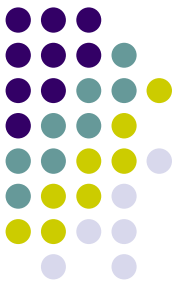
- 1、**File**菜单
- 2、**Tools**菜单
- 3、**Options**菜单





设计环境设置

- 工艺库工作站目录
- /eva02/ic/BA083006/smic18/
- 关联工艺库的方法
- 在cds.lib中加入如下语句（用Vi或Gvim编辑器）
- INCLUDE /eva02/ic/BA083006/smic18/cds.lib
- 工艺模型文件目录
- /eva02/ic/BA083006/smic18/models/spectre
- 这个目录下有如下文件
- 其中ms018_v1p7**是普通器件模型文件，ms018_rf_v1p6**是RF器件模型文件，我们实验只用到普通器件，因此只需要前者，电路仿真时Spectre会自动加载这几个文件



相关工艺参数可以在ms018_vlp7_spe.mdl文件中查到:

N18:

Tox=3.87n (可由此算出Cox)

vth0=0.39(无衬偏效应)

u0=34m

P18:

Tox=3.74n

Vth0=-0.402

u0=8.6m

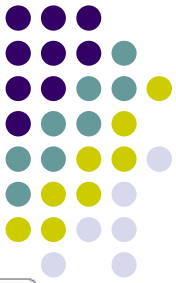
lambda的选取可以参照razavi书上的lambda与L成反比，其中L=0.5um时 lambdaN=0.1,lmabdaP=0.2

模型中各工艺参数定义可参考bsimset.pdf文件

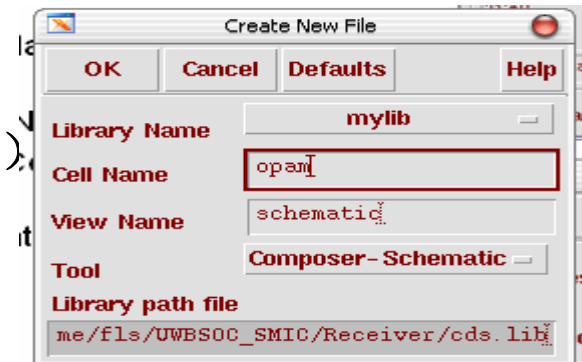
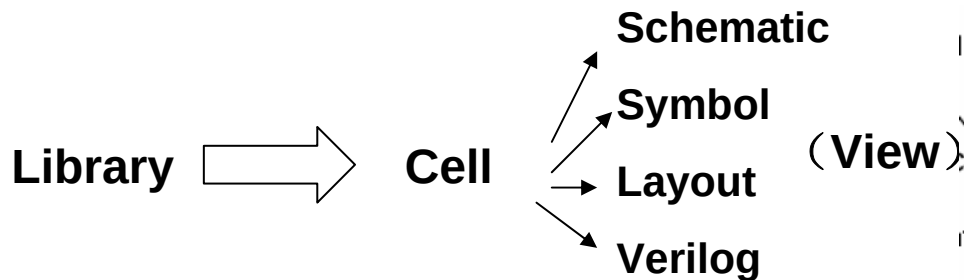
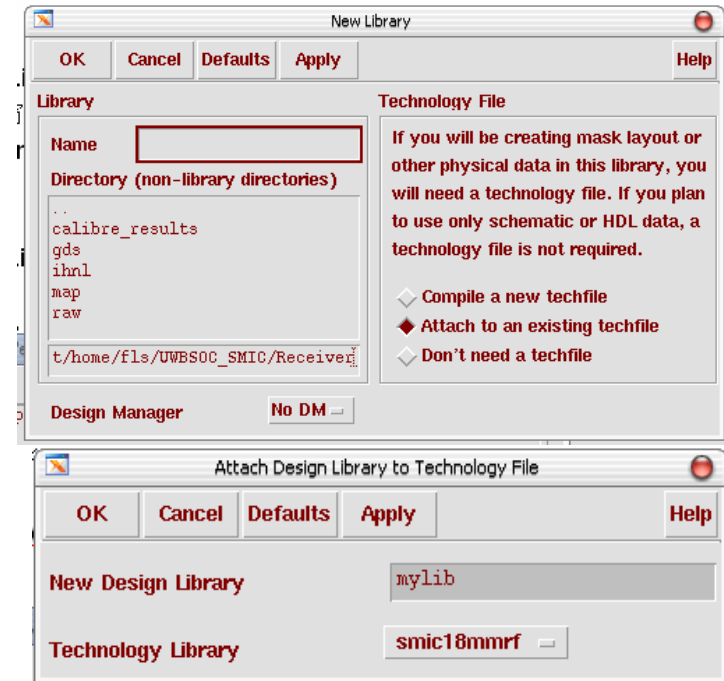
2010-5-17

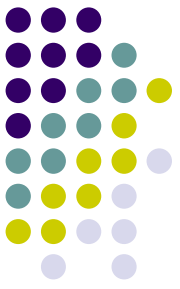
共88页

建立新库、新单元以及新视图



- 在CIW中，File->New->Library，
- 在弹出的“New Library”窗口，Name栏中：mylib
- 选中右下方：Attach to an existing techfile
- 点击OK，之后弹出图2，选smic18mmrf，点击ok
- 查看CIW窗口：Tools->Library Manager，在Library中应有mylib，单击它。
- 在Library Manager 窗口，File->New->Cellview，
- 在弹出的“Create New File”窗口Cell Name栏中，opam
- Tool栏中，选Composer-Schematic
- OK，弹出新的原理图编辑窗口





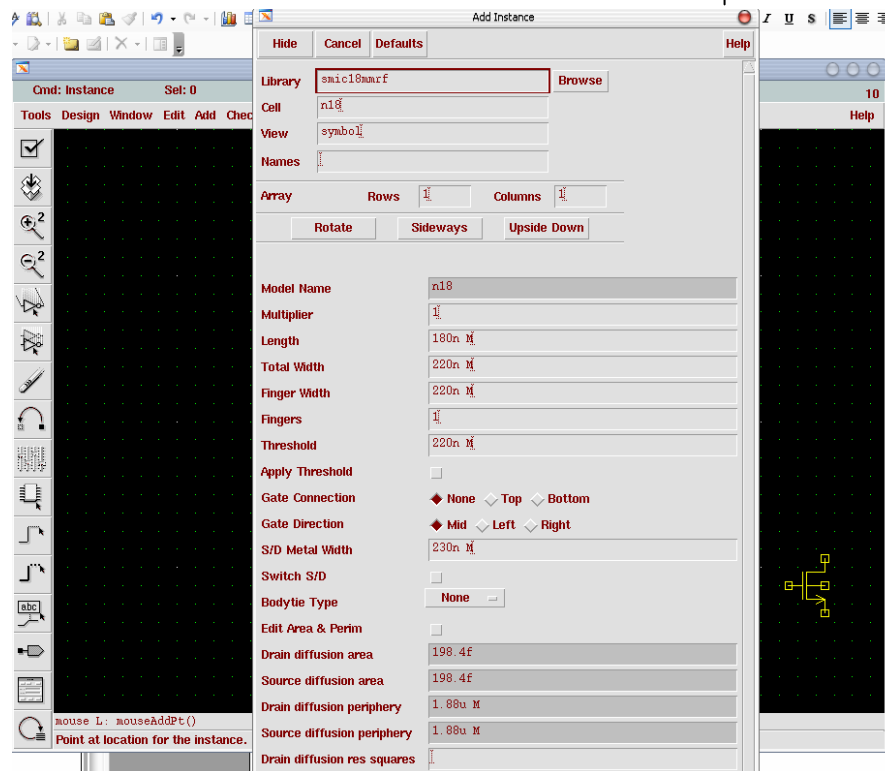
Library, Cell以及View的关系

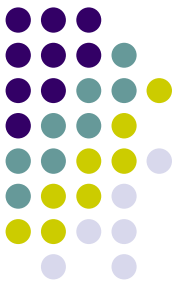
- 1、library(库)的地位相当于文件夹，它用来存放一整个设计的所有数据，包括子单元（cell）以及子单元（cell）中的多种视图（view）。新建库时注意选择链接所用工艺pdk的techfile。
- 2、Cell（单元）可以是一个简单的单元，像一个与非门，也可以是比较复杂的单元（由symbol搭建而成）。
- 3、View则包含多种类型，常用的有schematic, symbol, layout, calibre等等,新建Cellview要注意选择View的类型。

添加元件（实例instance）



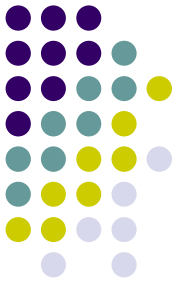
- 在弹出的“Virtuoso Schematic Editing:...”窗口中，左边为工具栏，选instance 图标（或i）
- 单击“Add instance”窗口Library栏最右侧Browser,
- 弹出“Library Browser-...”窗口，Library选smic18mmrf, Cell选n18, View选symbol
- 在“Virtuoso Schematic Editing:...”窗口，鼠标左键单击一次，间隔一定距离再单击一次，这样就增加了2个n18元件，键撤销本次操作ESC
- 按照如上方法添加所需要的NMOS与PMOS以及电阻元件以及pin



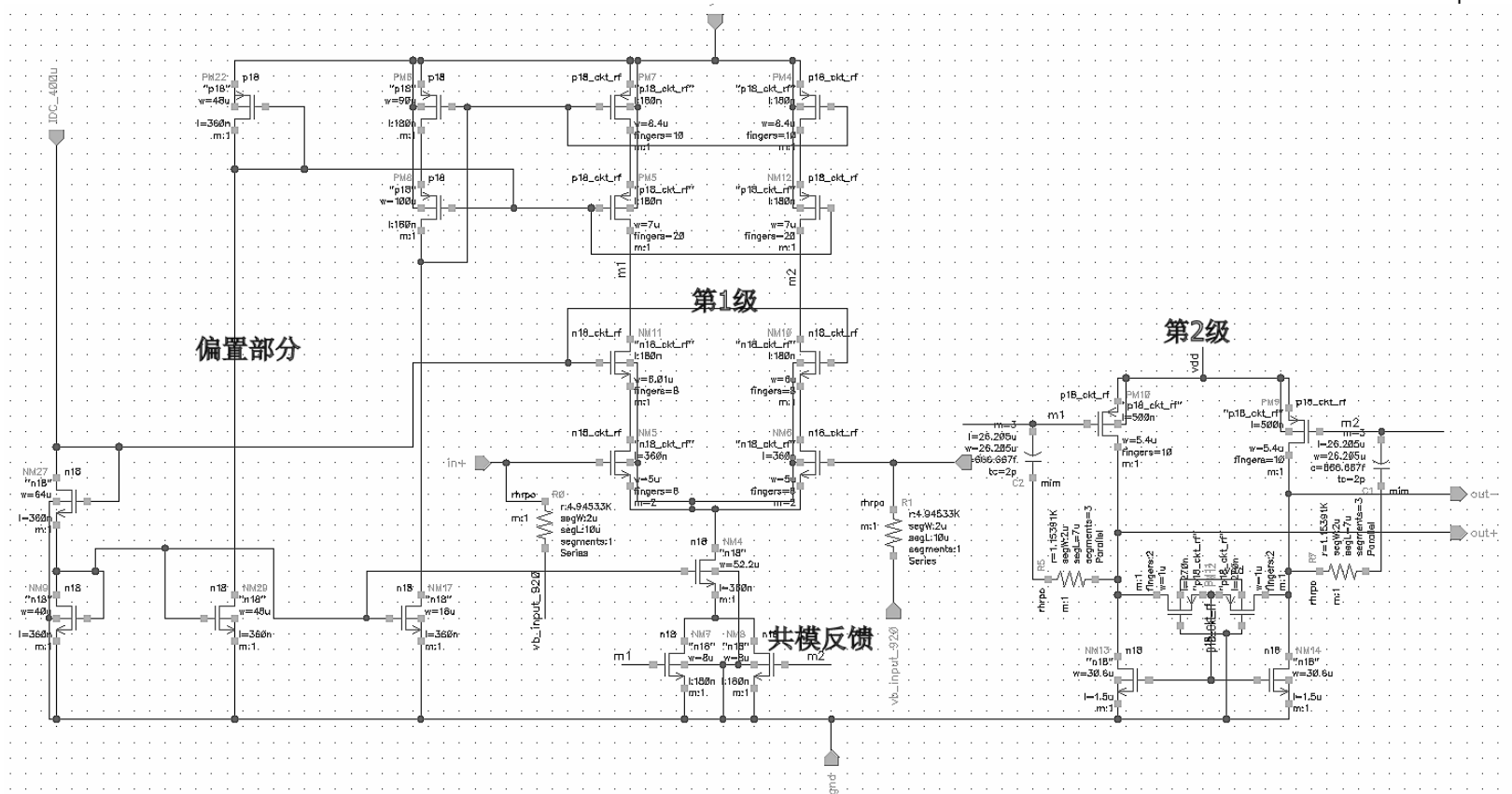


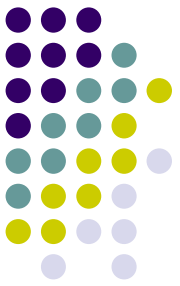
mos管的主要参数

- multiplier 表示几个管子并联数
- Length 表示沟道长度，设计时我们按照长沟道设计L取值 $\geq 1\mu\text{m}$
- Total Width 表示总的沟道宽度
- Finger Width 表示一个finger的宽度
- Fingers 表示finger的个数
- Total width = finger width $\times$ finger width
- 设计时 尽量使mos管接近方形，而不是长条形



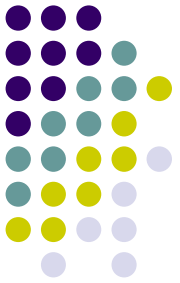
编辑完成的电路图





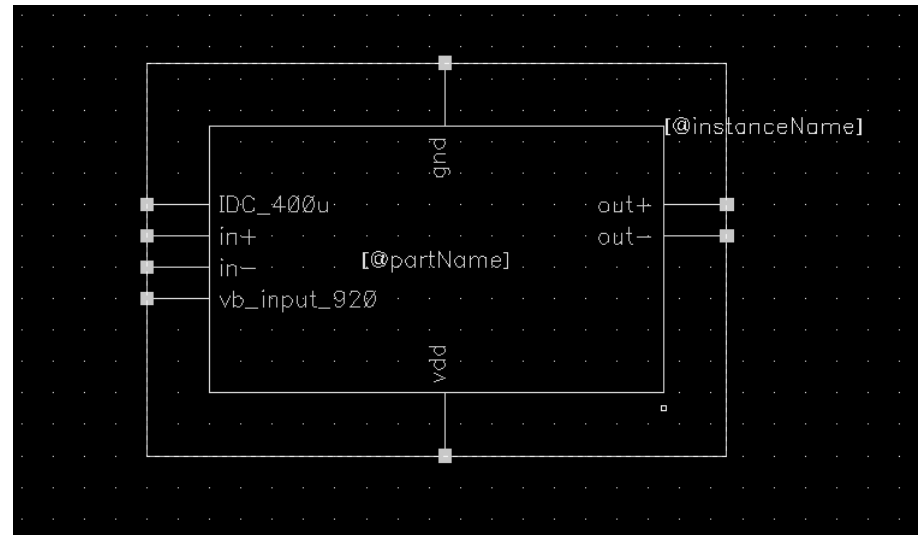
一些快捷键

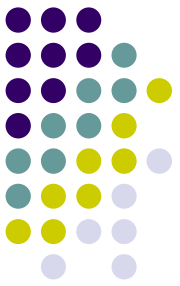
- 以下是一些常用的快捷键：
 - i** 添加元件，即打开添加元件的窗口；
 - [** 缩小两倍；
 -]** 扩大两倍；
 - w** 连线（细线）；
 - f** 全图显示；
 - p** 查看元件属性；
 - m** 整体移动（带连接关系）；
 - shift+m** 移动（不带连接关系）。



生成symbol

- 进入“Virtuoso Schematic Editing: mylib nand2 schematic”窗口。
- Design -> Create Cellview->From Cellview
- 在Cellview From Cellview窗口，From View Name栏为：schematic，Tool / Data Type栏为Composer-Symbol。
- OK





三 编辑测试环境

新建1个cell名称为:

Opam_test

在新的原理图窗口中调用opam的symbol

添加激励元件

所有激励元件都在

Analoglib库中, 在这里

用到了电源源vdc

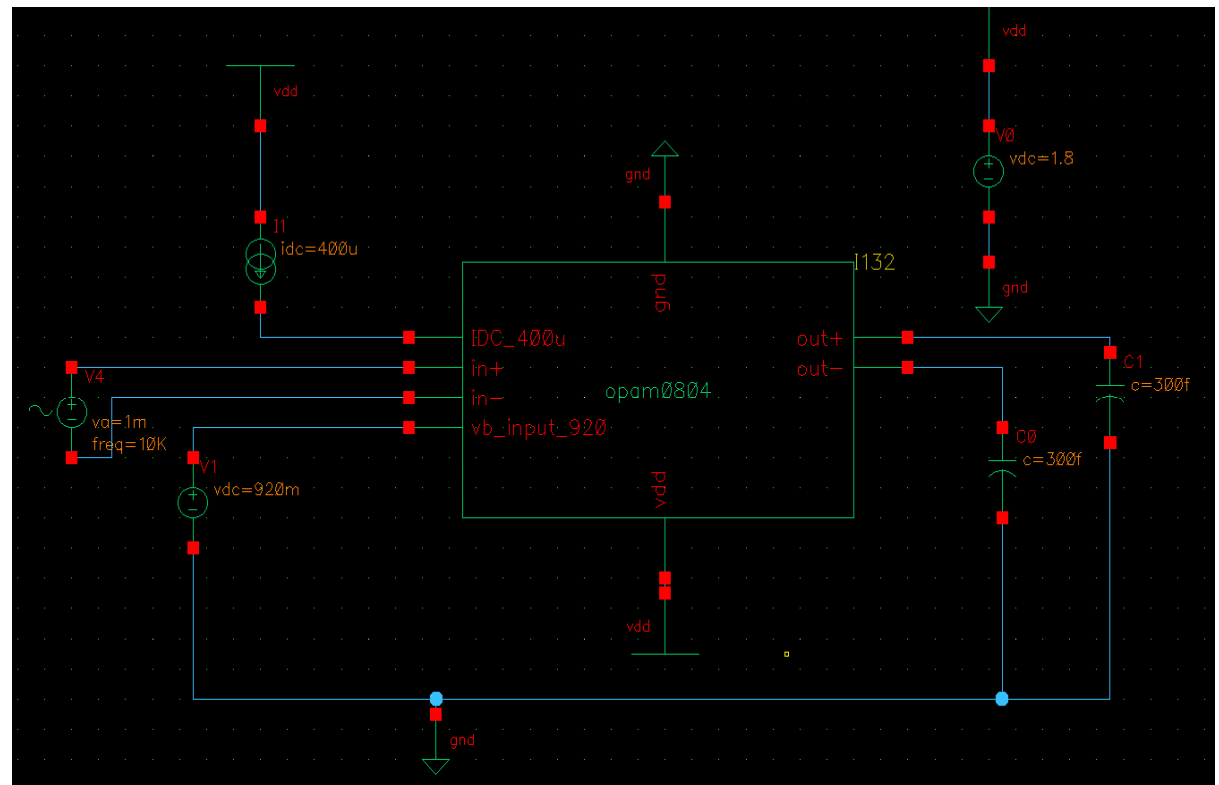
电流源idc

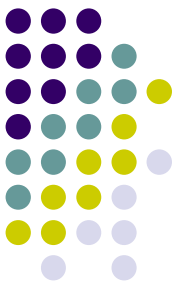
正弦源vsin

以及全局符号vdd,

gnd

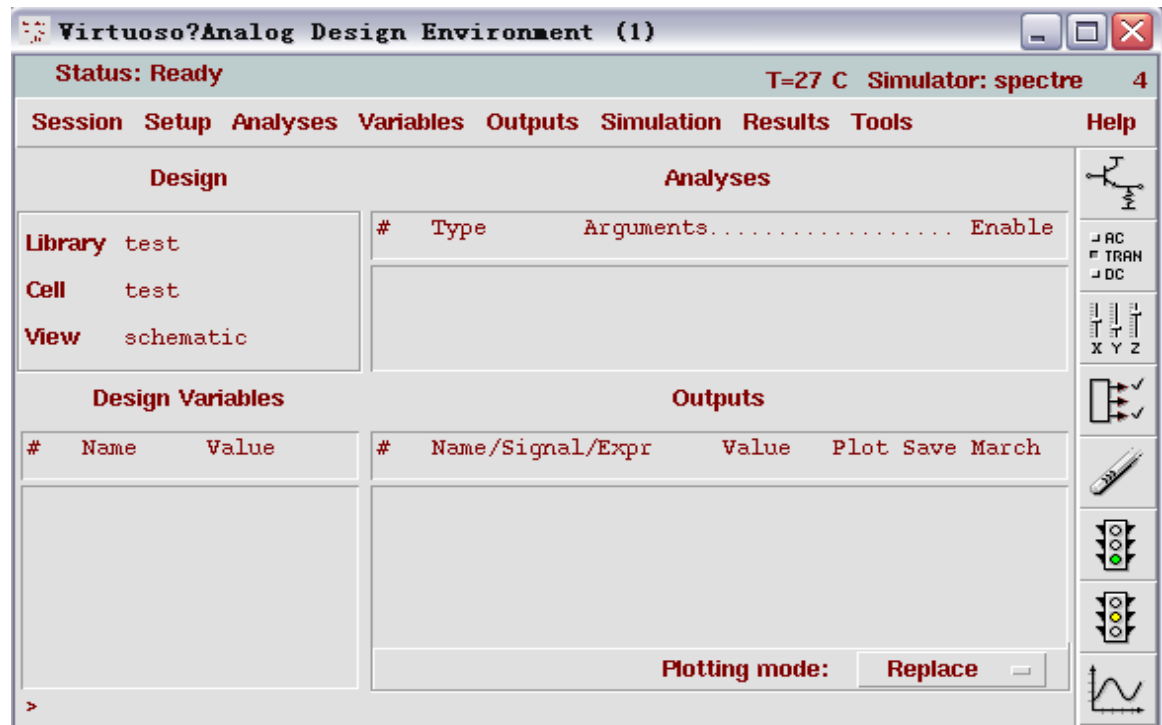
如右图所示

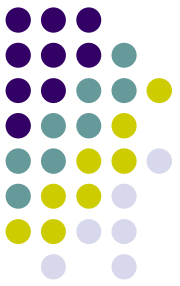




四、模拟仿真的设置(重点)

Composer-schematic界面中的Tools → Analog Environment项可以打开Analog Design Environment 窗口，如右图所示。





Analog Design Simulation菜单介绍

Session菜单

Schematic Window



回到电路图

Save State



保存当前
所设定的
模拟所用
到的各种
参数

Load State



加载已
经保存
的状态

Options



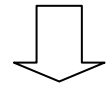
一些显
示选项
的设置

Reset

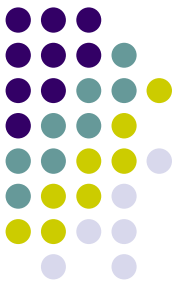


重置
analog
artist。
相当于
重新打
开一个
模拟窗
口

Quit

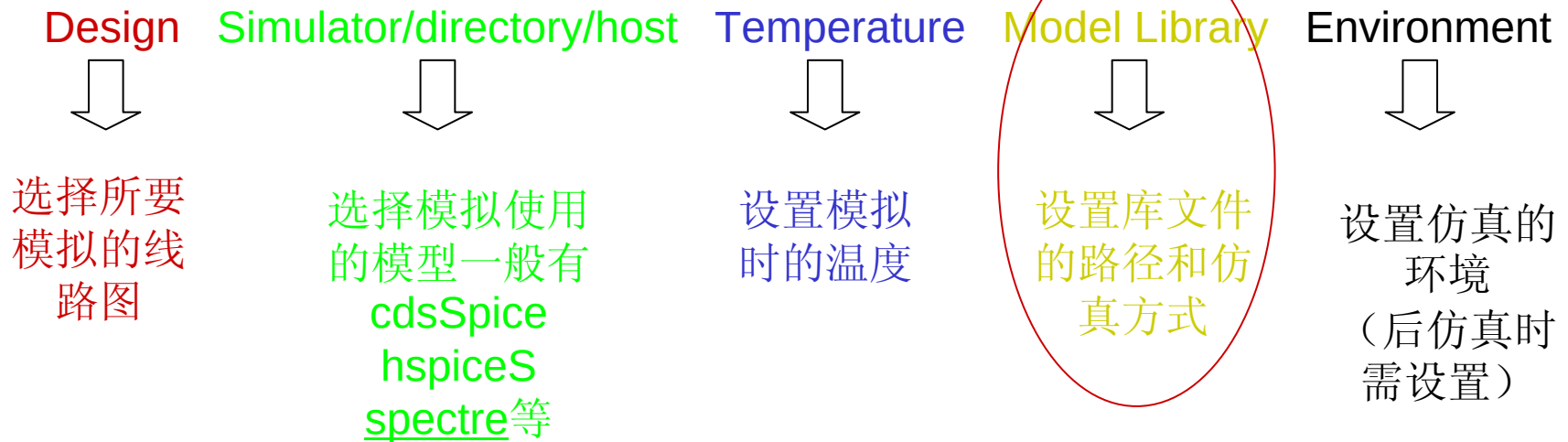


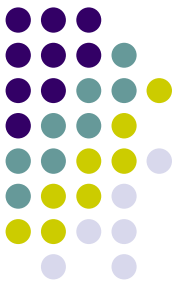
退出



Setup菜单

Setup菜单





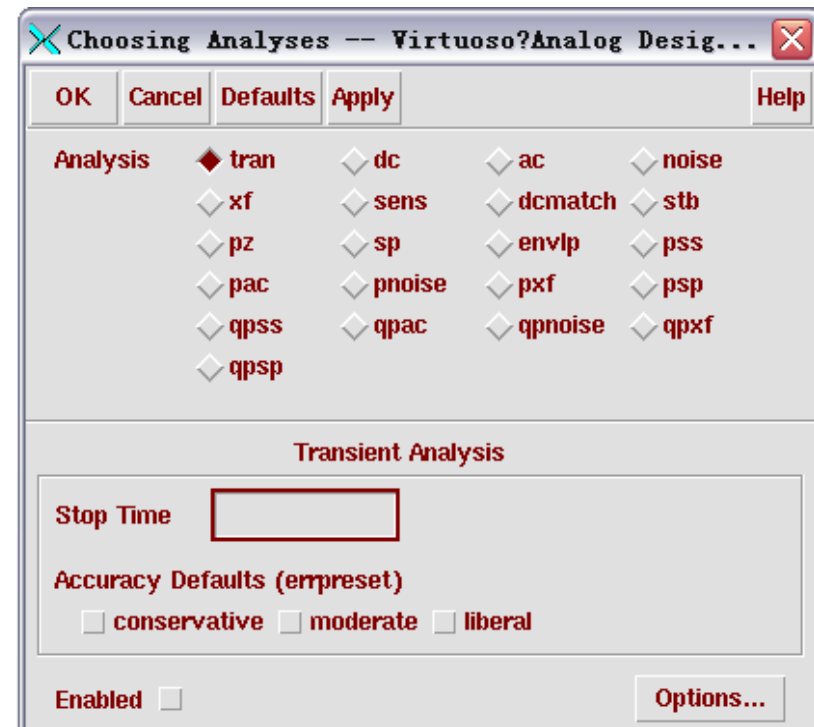
Analyses菜单

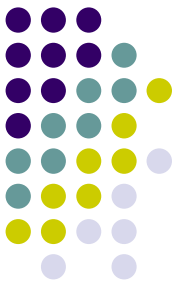
选择模拟类型。Spectre的分析有很多种，如右图，最基本的有

tran（瞬态分析）

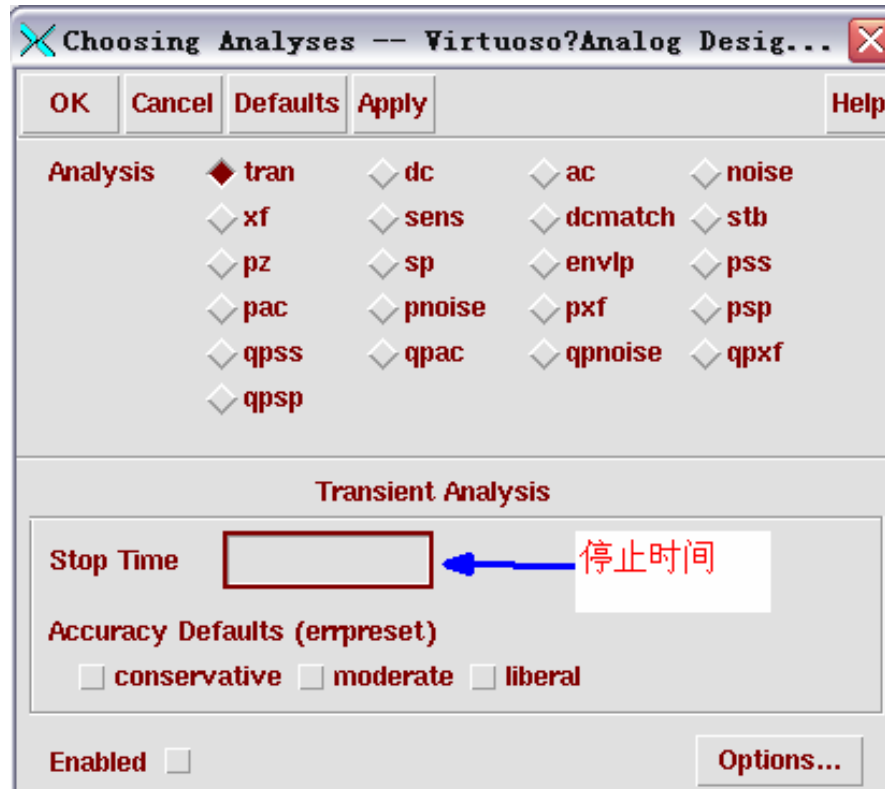
dc（直流分析）

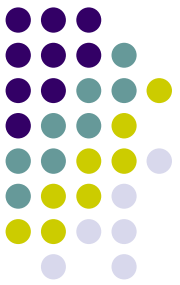
ac（交流分析）。





tran (瞬态分析)





dc（直流分析）

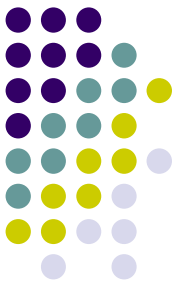
dc（直流分析）可以在
直流条件下对
temperature, Design
Variable, Component
Parameter, Model
Parameter进行扫描仿真

举例:对温度的扫描（测
量温度系数）

电路随电源电压变化的
变化曲线等

The screenshot shows the 'Choosing Analyses' dialog box in the Virtuoso Analog Design environment. The dialog has a title bar with a close button and a window title 'Choosing Analyses -- Virtuoso?Analog Desig...'. It contains several sections:

- Analysis:** A grid of analysis types with checkboxes. 'dc' is selected with a red diamond. Other options include tran, ac, noise, xf, sens, dcmatch, stb, pz, sp, envlp, pss, pac, pnoise, pxf, psp, qpss, qpac, qpnoise, and qpxf.
- DC Analysis:** A section for configuring the DC analysis. It includes a checkbox for 'Save DC Operating Point' (checked), a 'Sweep Variable' section with four options (Temperature, Design Variable, Component Parameter, Model Parameter) where 'Model Parameter' is selected, and input fields for 'Model Name' and 'Parameter Name'. A red text box with '选择扫描参量' (Select sweep parameter) is overlaid on the 'Parameter Name' field.
- Sweep Range:** A section for defining the sweep range. It has two options: 'Start-Stop' (selected with a red diamond) and 'Center-Span'. There are input fields for 'Start' and 'Stop'. A red text box with '扫描范围' (Sweep range) is overlaid on the 'Stop' field.
- Sweep Type:** A section with a dropdown menu set to 'Automatic'. A red text box with '扫描范围' (Sweep range) is overlaid on this section.
- Add Specific Points:** A checkbox that is currently unchecked.
- Enabled:** A checkbox that is checked.
- Options...:** A button to open additional options.



ac（交流分析）

ac（交流分析）是分析电路性能随着运行频率变化而变化的仿真。



既可以对频率进行扫描也可以在某个频率下进行对其它变量的扫描。

Choosing Analyses -- Virtuoso?Analog Desig...

OK Cancel Defaults Apply Help

Analysis ☐ tran ☐ dc ☒ ac ☐ noise
☐ xf ☐ sens ☐ dcmatch ☐ stb
☐ pz ☐ sp ☐ envlp ☐ pss
☐ pac ☐ pnoise ☐ pxf ☐ psp
☐ qpss ☐ qpac ☐ qpnoise ☐ qpxf
☐ qpsp

AC Analysis

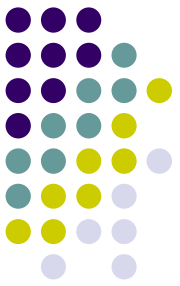
Sweep Variable
☐ Frequency At Frequency (Hz)
☒ Design Variable
☐ Temperature Variable Name
☐ Component Parameter Select Design Variable
☐ Model Parameter

Sweep Range
☒ Start-Stop Start Stop
☐ Center-Span

Sweep Type
Automatic ☐

Add Specific Points ☐

Enabled ☐ Options...

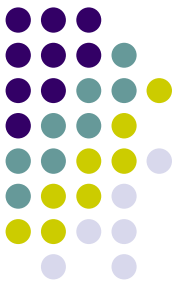


其它有关的菜单项

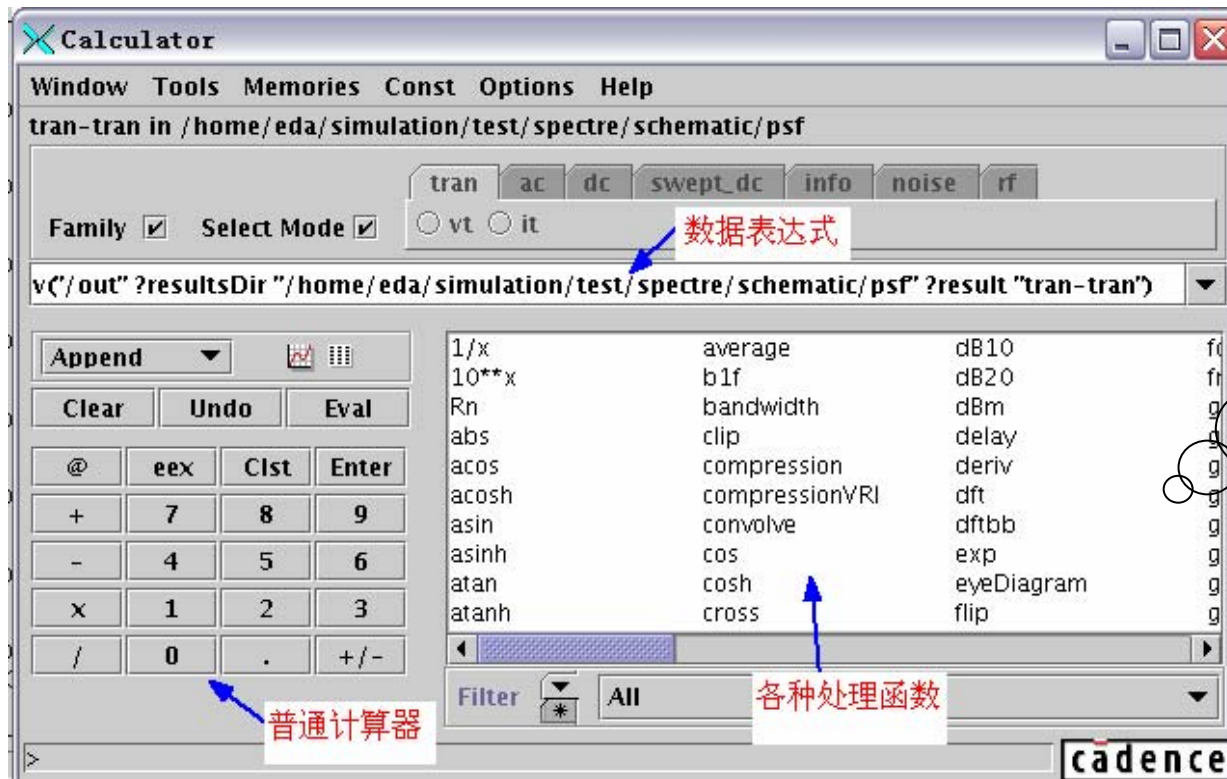
Outputs/Setup

当然我们需要输出的有时不仅仅是电流、电压，还有一些更高级的。比如说：带宽、增益等需要计算的值，这时我们可以在**Outputs/setup**中设定其名称和表达式。在运行模拟之后，这些输出将会很直观的显示出来。

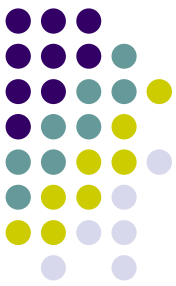
需要注意的是：表达式一般都是通过计算器（**calculator**）输入的。**Cadence**自带的计算器功能强大，除了输入一些普通表达式以外，还自带有一些特殊表达式，如**bandwidth**、**average**等等。



Calculator的使用

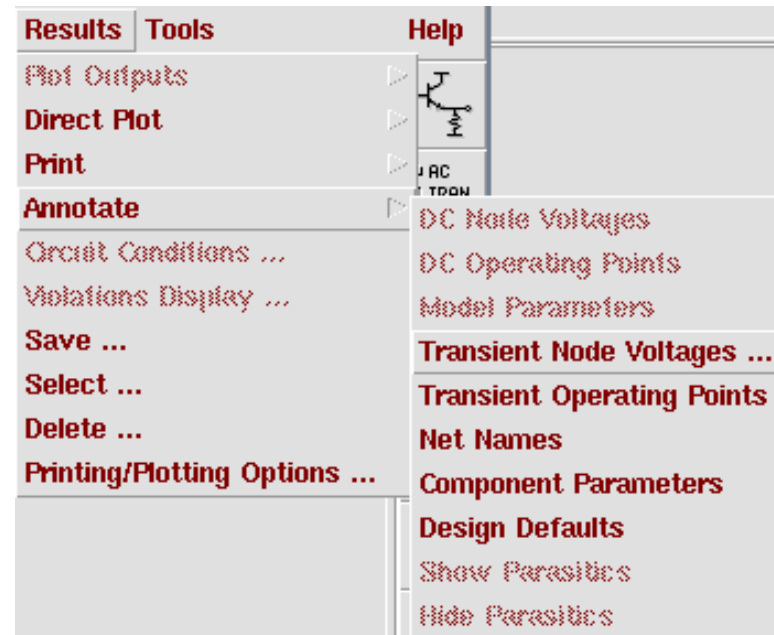
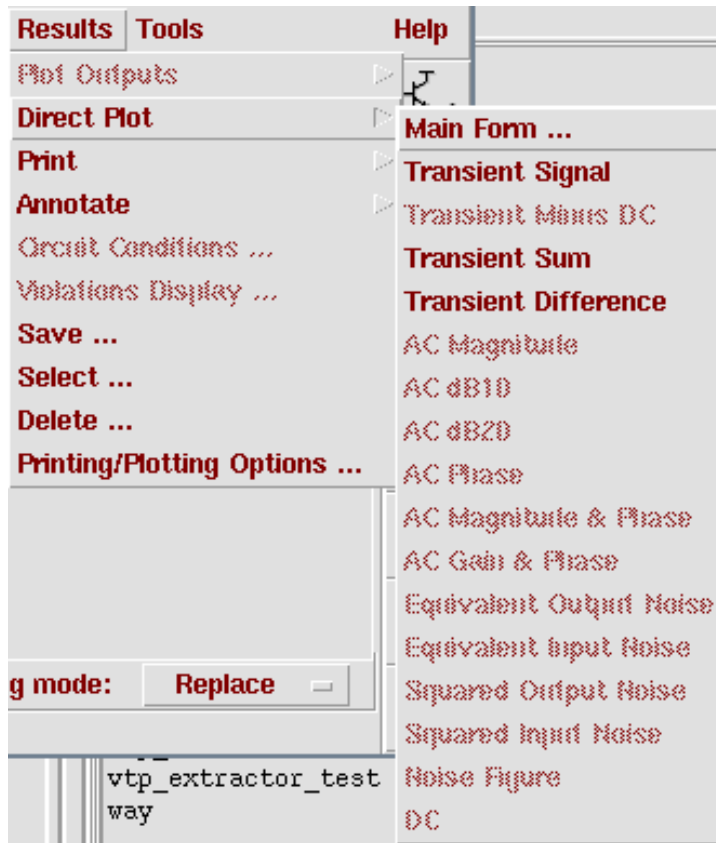


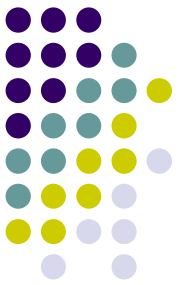
Calculator是一个重要的数据处理工具，可以用来仿真电源抑制比，相位裕度，共模抑制比



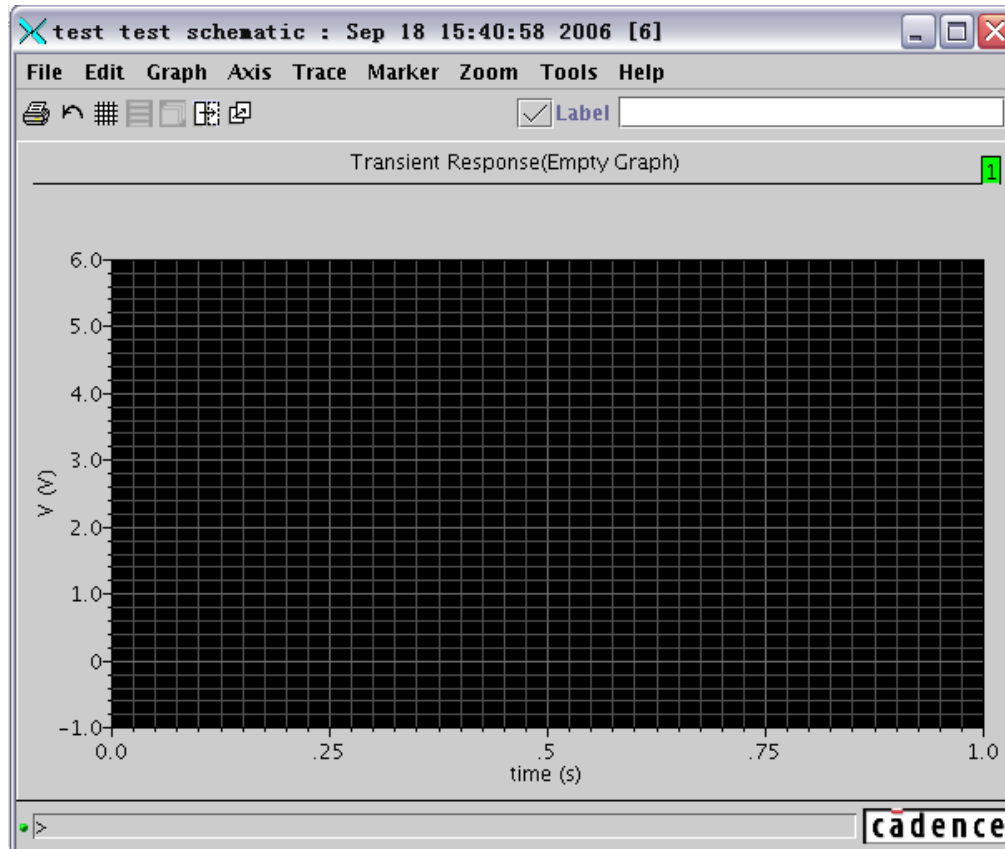
其它有关的菜单项

Results菜单

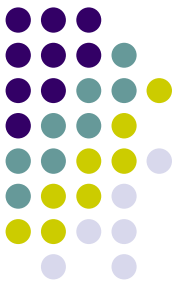




模拟结果的显示以及处理

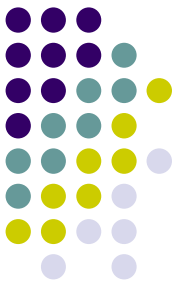


在模拟有了结果之后，如果设定的output有plot属性的话，系统会自动调出waveform窗口，并显示outputs的波形，如左图



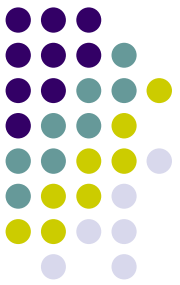
运放直流工作点仿真（DC分析）

- 放大器的正常工作需要一定的直流偏置
- 在交流（**ac**，**tran**）仿真之前，必须保证运放要有合适的静态工作点
- 静态工作点的设置需要手工计算与仿真迭代交互进行
- 构成放大器的每一个管子都处在饱和区，是运放存在一个良好工作点的前提条件

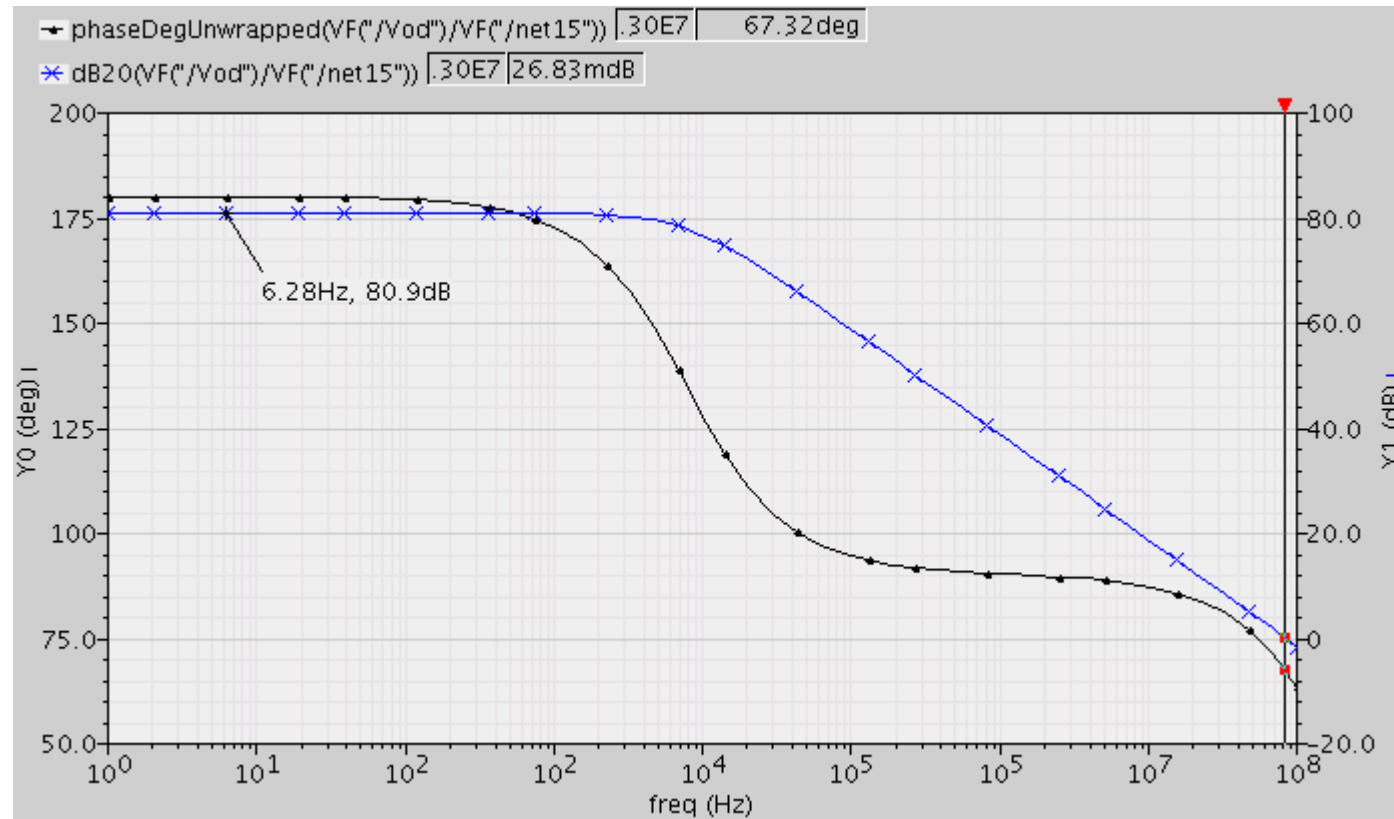


运放小信号仿真示例

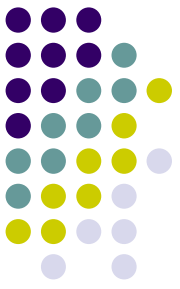
- 电源电压 $V_{dc}=1.8V$;
- 交流信号源 $a_{cm}=1\text{ V}$;
- 负载电容 $C_{load}=5p\text{ F}$;
- 采用Spectre分析方式，选择交流分析（ac），设置如下：
Sweep Variable: Frequency
Sweep Range : 1 Hz~100M Hz
- 仿真完成后，点击 Result -> Direct Plot -> AC Gain&Phase
查看运放的幅频特性和相频特性



仿真结果

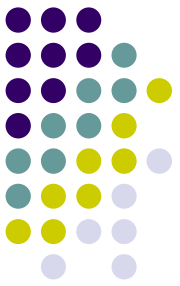


该运放直流增益为80.9dB，单位增益带宽为82M Hz，
相位裕度为67.32deg。



工艺角与温度

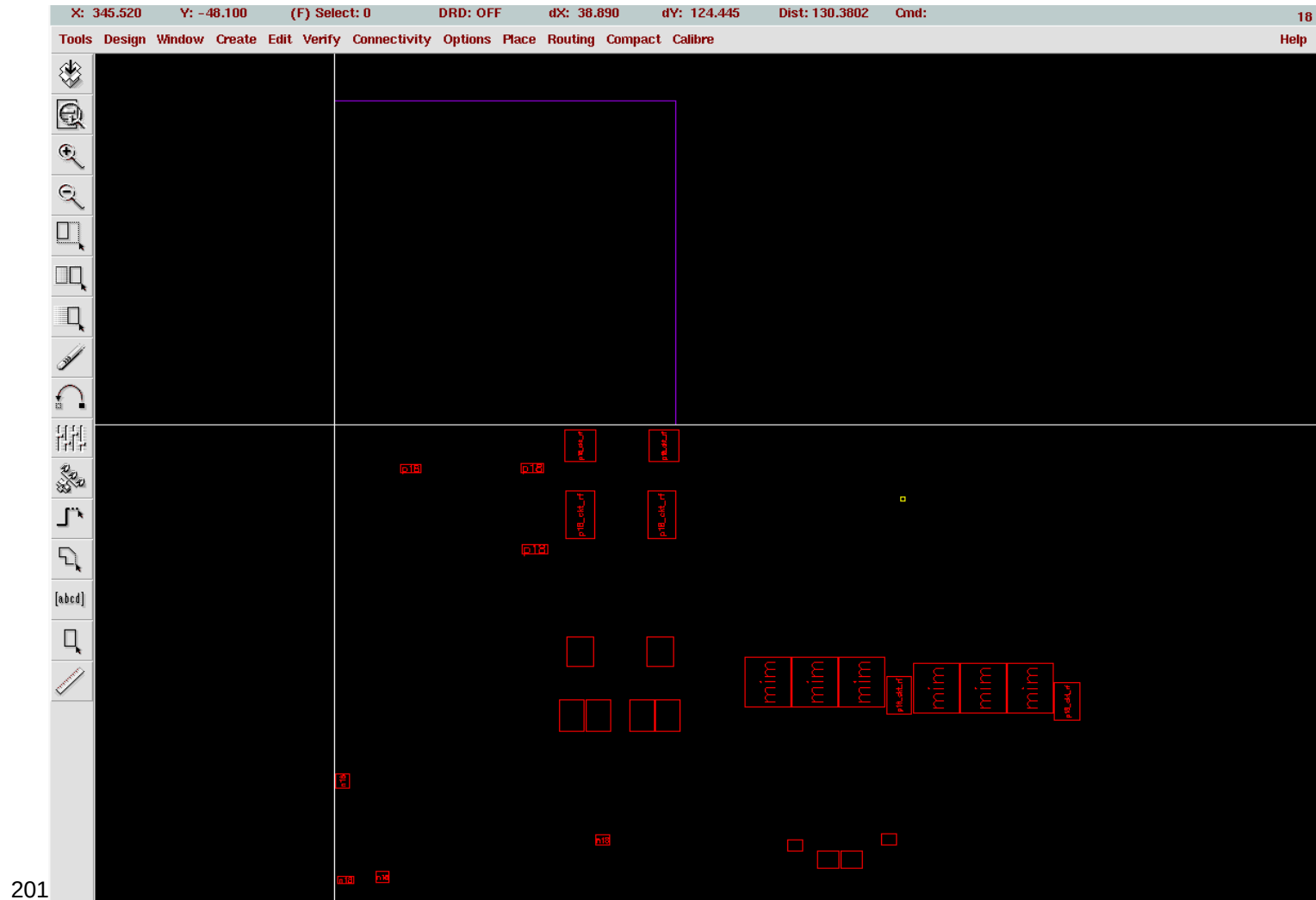
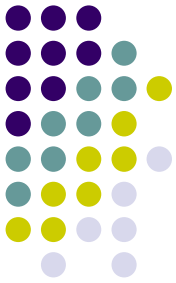
- 上面运放的仿真实在tt（典型）27度下的仿真，但实际的工艺不一定是tt，使用温度也不一定是室温27度，所以要进行工艺角仿真
- 仿真不可能覆盖所有的工艺偏差与温度，所以需要选取一些典型值去验证
- 温度： -20 ， 27， 105 （3种）
- 工艺偏差： tt ss ff fnsp fpsn （5种）
- 仿真要跑通这15种情况才能进行后端设计

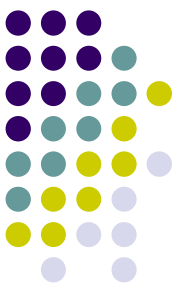


版图设计

- 打开运放核心电路图
- 单击 **Tools->Design Synthesis->Layout XL**
- 选择**creat new** ， 可以弹出版图编辑窗口
- 在版图编辑窗口， 单击 **Design->Gen from source** 之后点击**ok**， 出现电路用到的所有**smic18mmrf**库中元件（此时元件是无任何连接关系的）

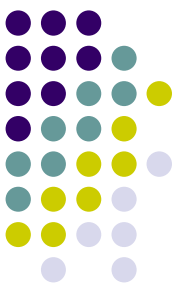
版图设计





版图设计要点

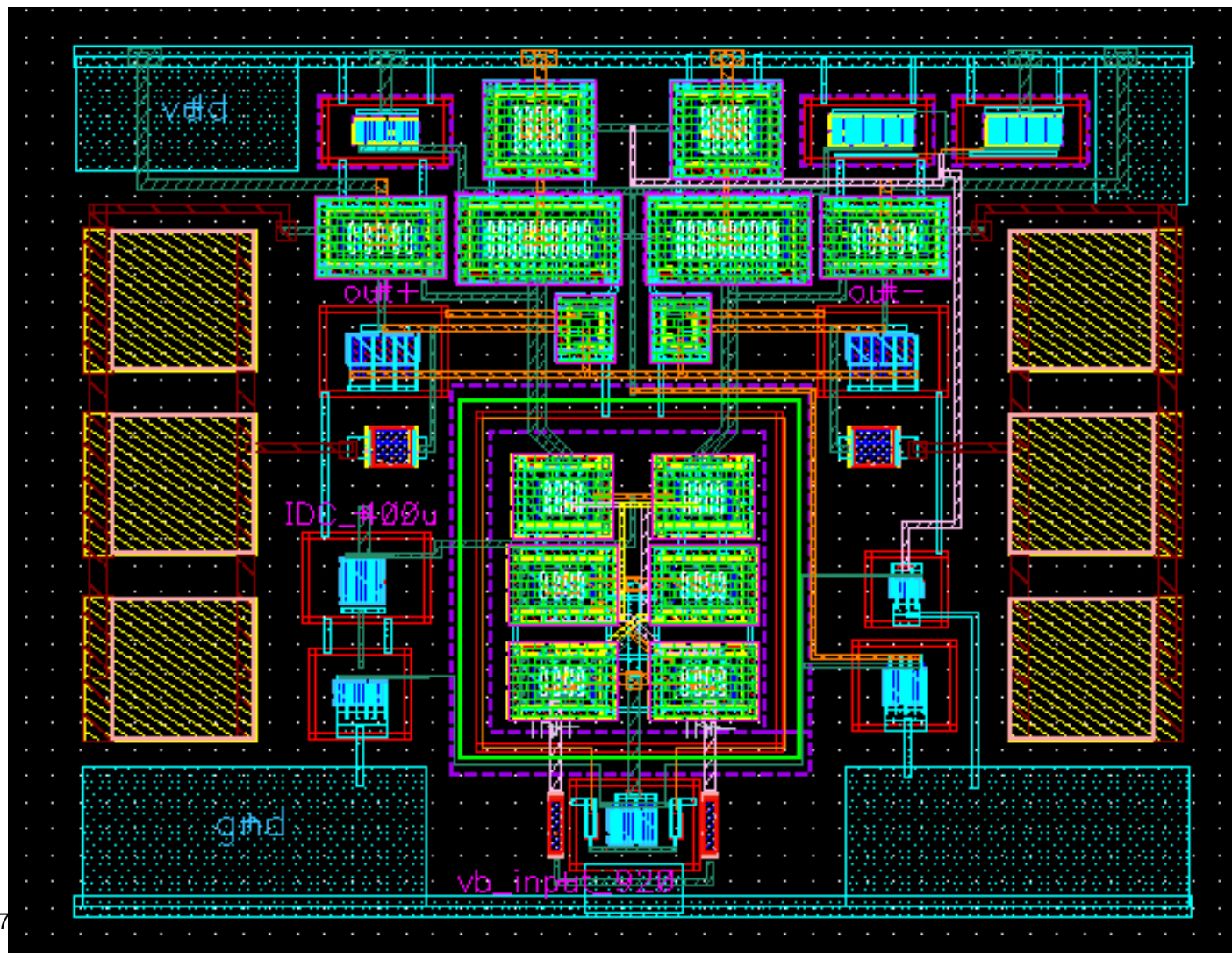
- 版图设计要按照一定的设计规则与电气规则进行，这些规则文件可以在smic提供的pdk（process design kit）中查找到，最小线宽，最小间距，最小包围，最小覆盖。。。
- 仅仅满足设计规则的走线，不是最佳的走线方式。在满足设计规则的前提下，要保证每条金属走线能够承受相应的电流密度（防止由于老化而产生的电迁移现象），通常情况下为1um 可以承受1mA的电流
- 对于差分电路，要充分考虑版图的对称性与匹配

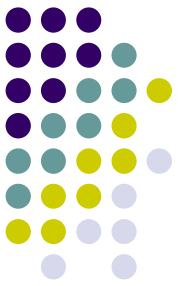


版图设计要点

- 对于低频模拟电路而言，寄生电阻是影响其性能的主要因素，连接的走线可以尽可能宽
- 对于射频电路而言，寄生电容可能会占据更主要的部分，对线宽的处理上，要在寄生电阻与寄生电容直接折中
- 对于多数电路来说，为了降低衬底寄生电阻，应在nmos器件周围放置更多的称的接触
- Nmos器件的所有衬底都是连在一起的

最终版图

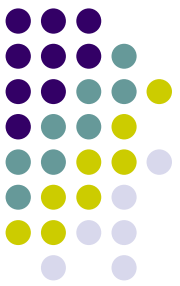




Calibre的后端验证

- 设置calibre启动版本
- 在打开icfb之前，输入setdt calibre2006.1

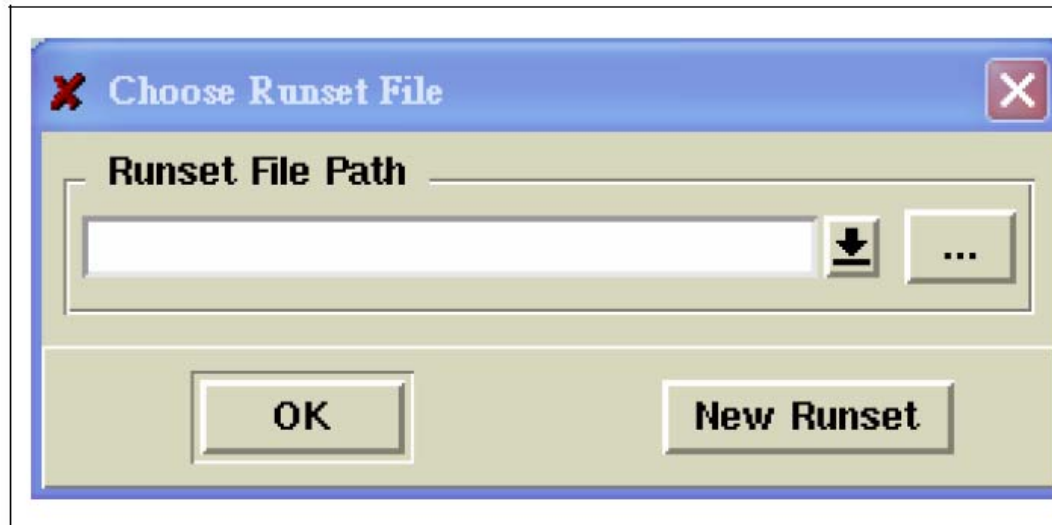
	選擇 virtuoso 進入 layout view 之後，在其 tool bar 上可以看到一個 Calibre 的連結，選項中有 DRC、LVS 以及 PEX (即 LPE 功能)，依所須之功能選擇之。
--	---



DRC

(1) DRC

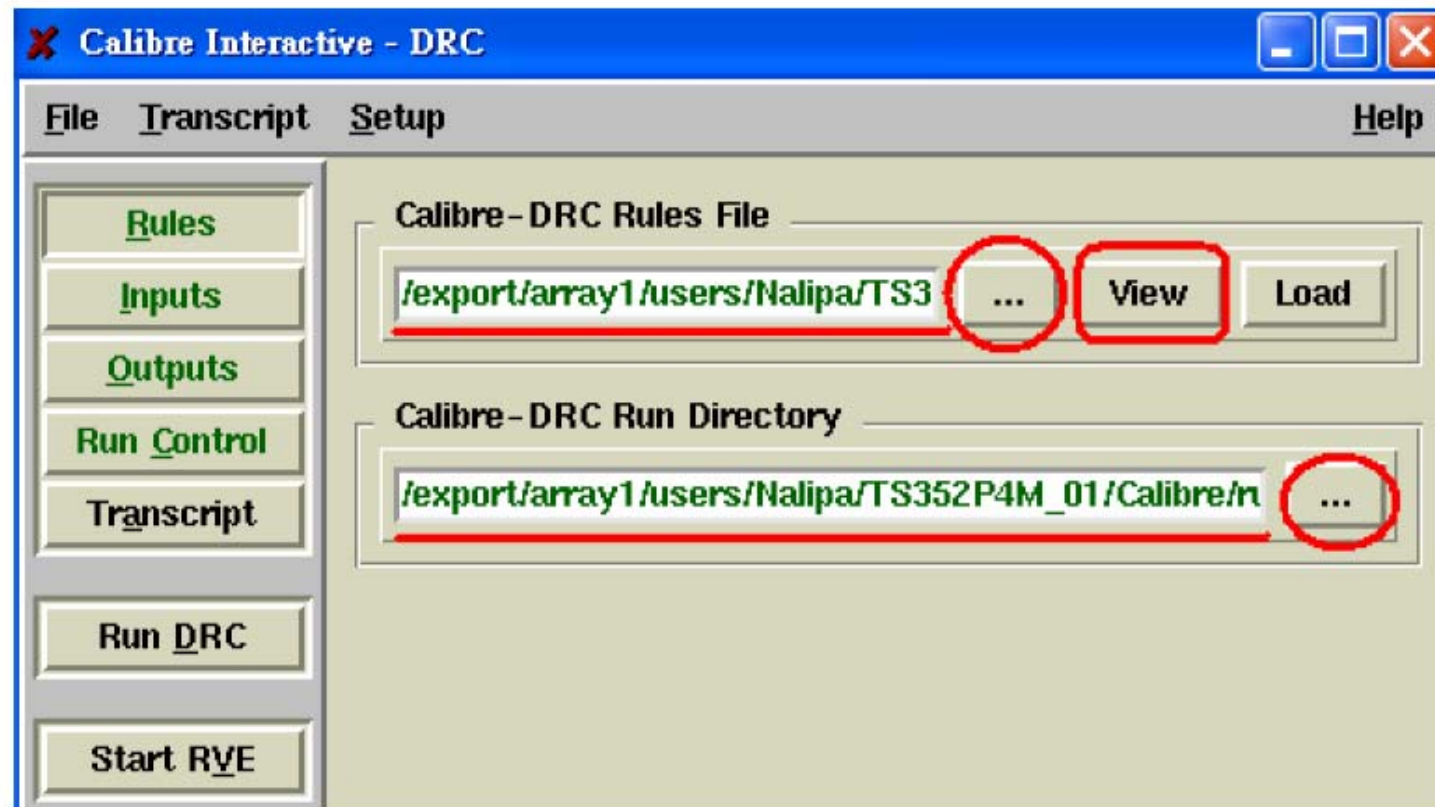
選擇 DRC 之後會出現一大一小兩個視窗，小的是每次操作路徑設定，可設定可不設定。大的視窗為主要控制設定視窗。分別介紹如下：

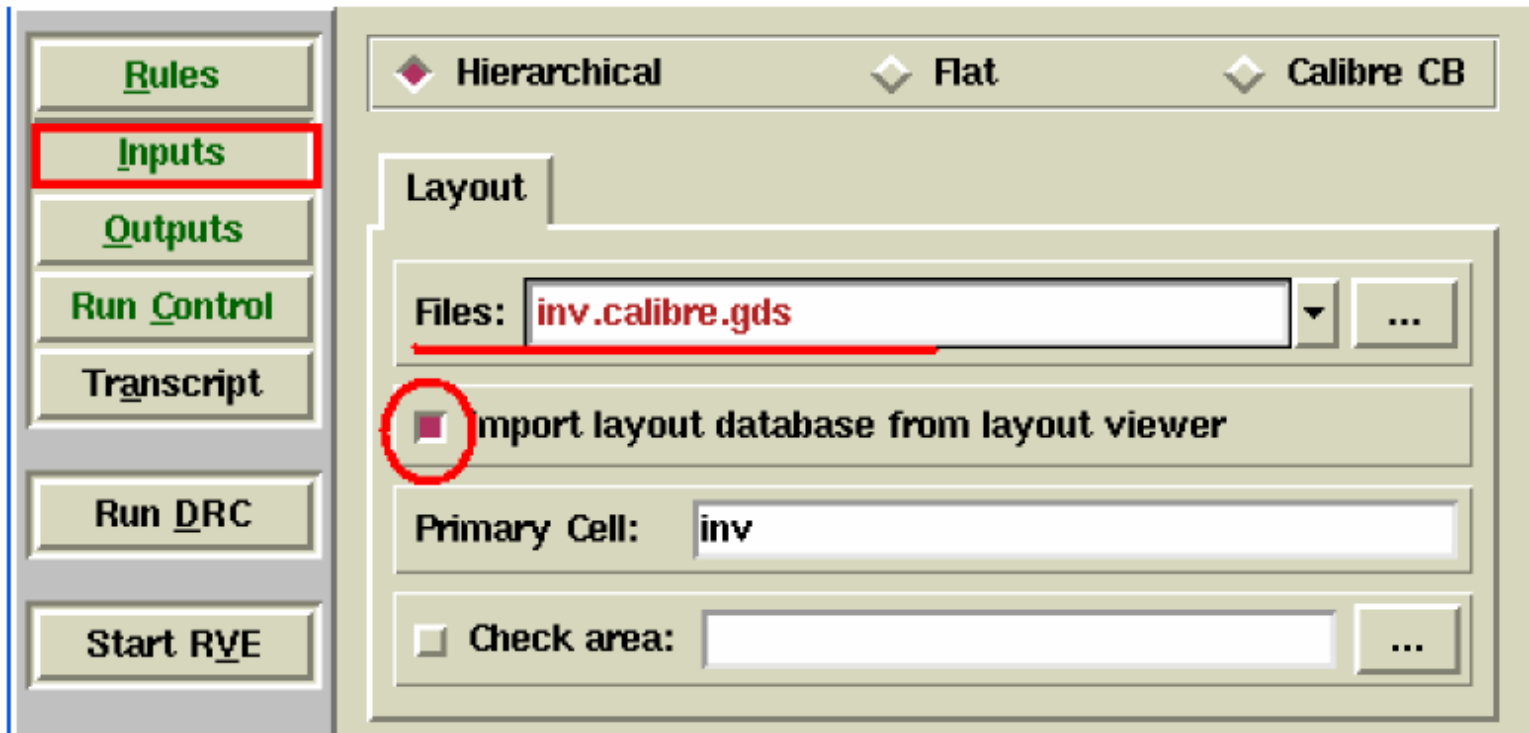


設定每次檔案操作起始路徑。亦可不做任何設定，直接關掉此視窗。待至下方主要操作視窗下再做路徑設定。

Main Window

設定以 **Rule**、**Inputs**、**Outputs** 為主，通常皆以預設執行即可
設定完成後，選 Run DRC 即可操作。





Input：由 layout 連結過來，點選 import from layout，calibre 將會自動將 layout 檔成 gds 檔。此外 Calibre 有預設的 file name，以 **cell name.calibre.gds** 命名。

原則上不須更改任何設定，以其預設操作即可。亦可自己命名。

DRC Results Database

File: ...

Format: ☒ ASCII ☐ GDSII Cell Suffix:

☒ Start RVE after DRC finishes

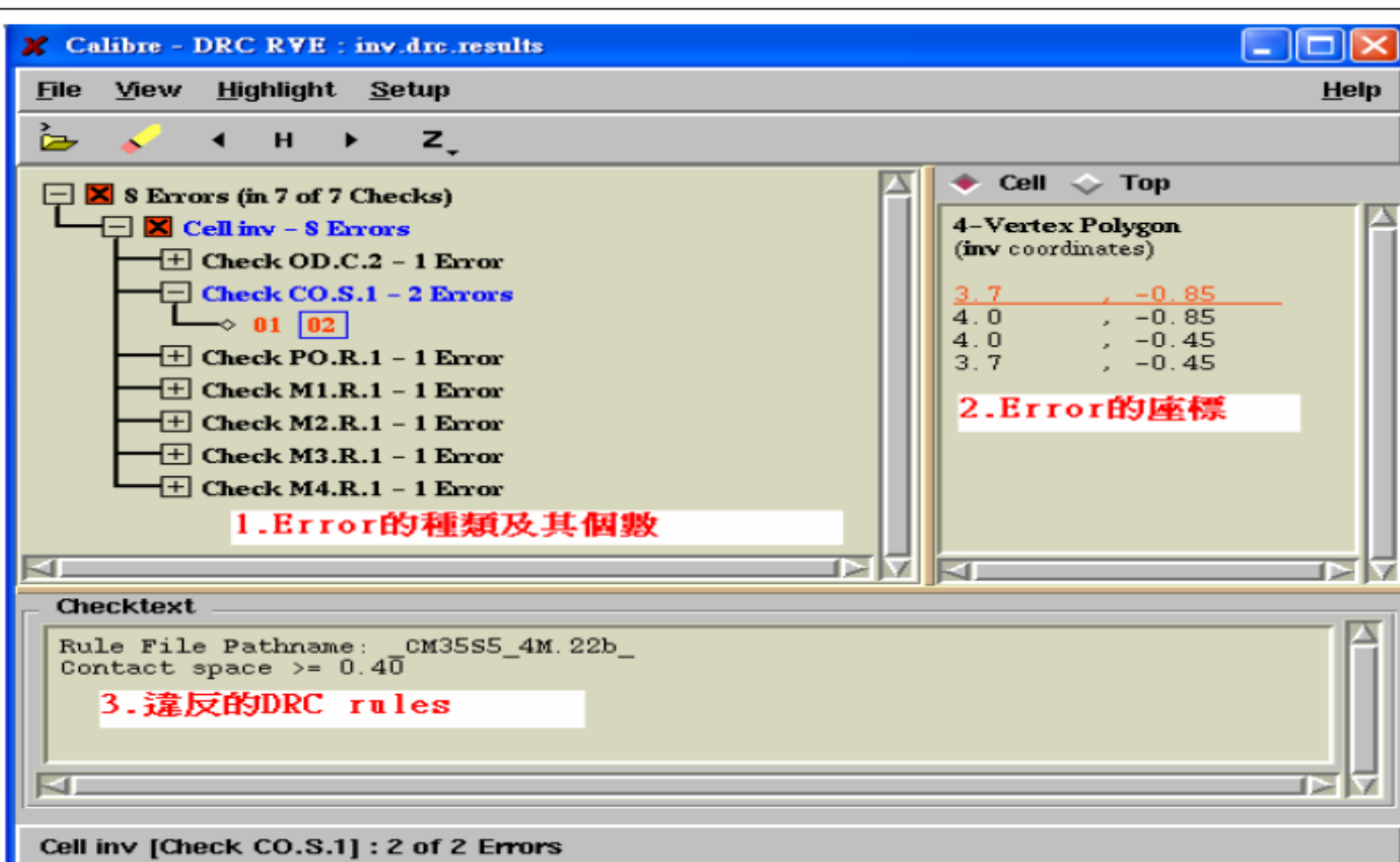
☒ Write DRC Summary Report File

File: ...

☒ Replace file ☐ Append to file

☒ View summary report after DRC finishes

Outputs： 預設輸出為 cell name.drc.summary 即為 dracula 的.sum 檔
圖中選項皆以預設操作即可。



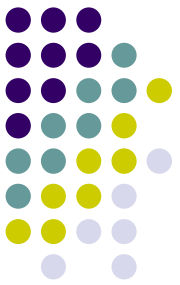
Window1 : Show errors type & numbers .

可連點橘色錯誤訊息，即可在 layout view 上
highlight 出 error 的位置。

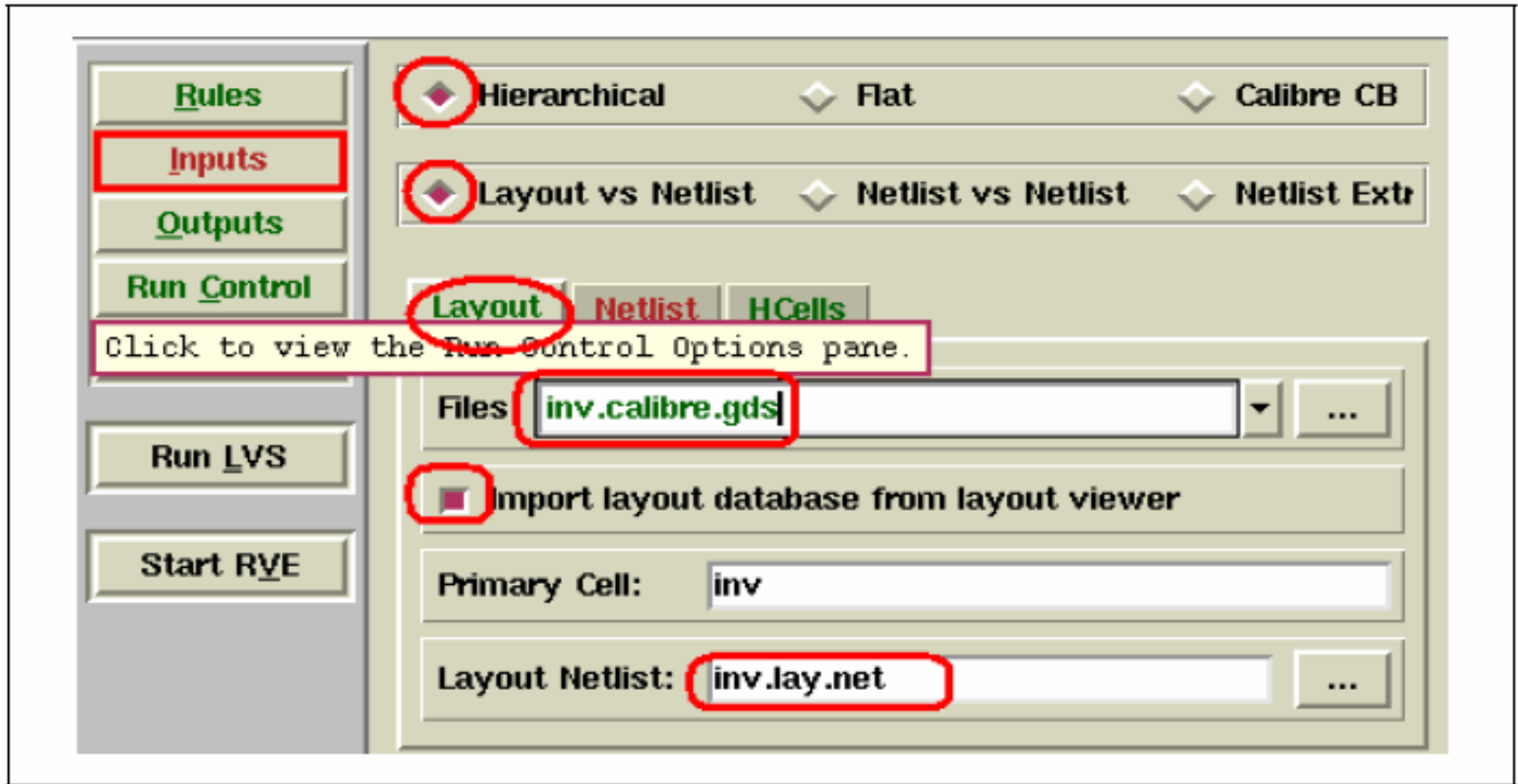
Window2 : Error 的座標位置

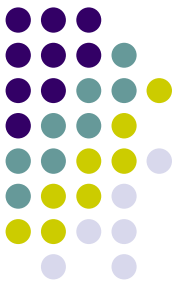
Window3 : DRC 的 rule

(2) LVS



選擇 LVS 之後亦會出現一大一小兩個視窗，其功用和 DRC 介紹相同，故此不再贅述。僅針對 Main Window 裡的 Inputs & Outputs 及其驗證結果做介紹。而 PEX 之操作流程亦與 LVS 極為相似。





Rules

Inputs

Outputs

Run Control

Transcript

Run LVS

Start RVE

Hierarchical Flat Calibre CB

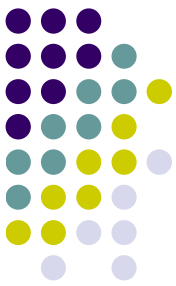
Layout vs Netlist Netlist vs Netlist Netlist Extra

Layout **Netlist** HCells

Files: **inv.src.net** ...

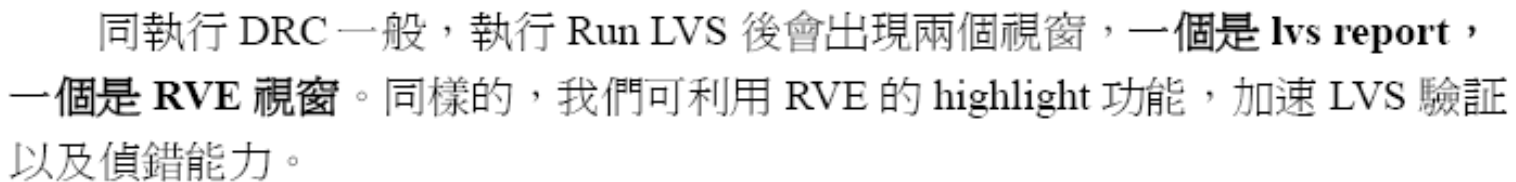
☒ Import netlist from schematic viewer

Primary Cell: inv ...



Inputs：有分 layout 和 Netlist(即 schematci)，同 DRC 一樣，皆可
直接使用其預設的檔名即可。亦會自己轉檔。

Outputs：同上，使用預設值即可。

45

Input Files

- Rules File
- Source Netlist

Output Files

- Layout Netlist
- Extraction Re
- LVS Report
- ERC Pathchk Fi

LVS Results: Designs Don't Match

- FGADC / FGADC - 101 Discrepancies**
 - Incorrect Nets - 50 Discrepancies**
 - Incorrect Ports - 1 Discrepancy**
 - Discrepancy #51
 - Incorrect Instances - 50 Discrepancies**
 - Discrepancy #52
 - Discrepancy #53
 - Discrepancy #54**
 - Discrepancy #55
 - Discrepancy #56
 - Discrepancy #57
 - Discrepancy #58

1.Errors type

FGADC / FGADC: Discrepancy #54 - Incorrect Instances

LAYOUT NAME	MN (N)
X186/X207/M15(648.450,381.150)	MN (N)

2. Errors 位置及原因

RVE WINDOW :

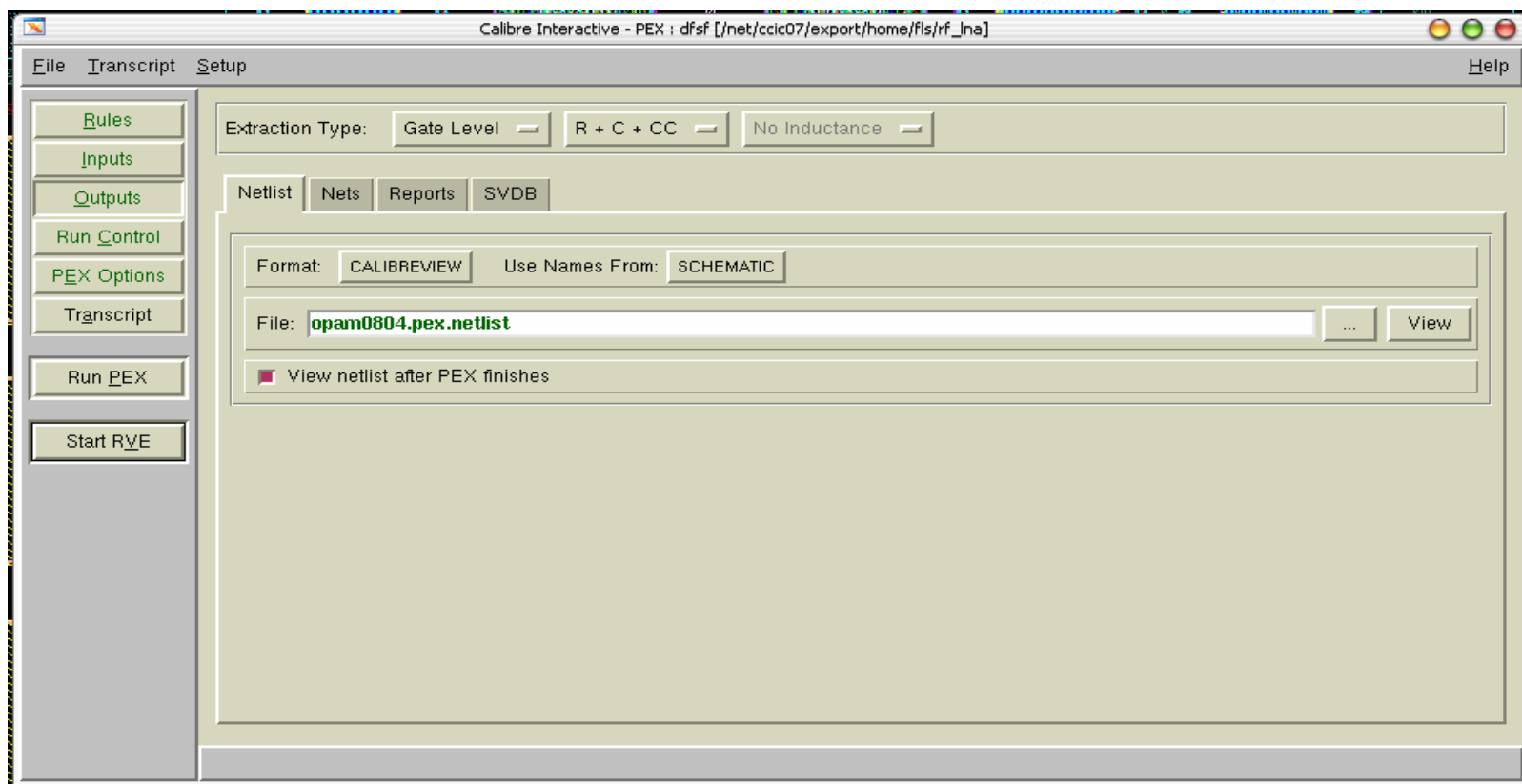
WINDOW1. Errors type & numbers

WINDOW2. Errors 位置及原因，可連點其內容，即可在 layout view 上 high light 出 error 的位置。

(3) PEX (LPE)

點選 PEX，執行 LPE 功能，粹取寄生電阻電容。

PEX 操做流程步驟皆和 LVS 極為相似，僅在 Outputs 處不相同，此處僅就 Show Outputs 部分的圖。





Output 选项说明

点击 Run PEX，启动 Calibre xRC 的 GUI，如图 3 所示。Outputs 菜单中的 Extraction Type 里，第一项通常选择 Transistor Level 或 Gate Level，分别代表晶体管级提取和门级提取。第二项可以选择 R+C+CC，R+C，R，C+CC，其中 R 代表寄生电阻，C 代表本征寄生电容，CC 代表耦合电容。第三项可以选择 No Inductance，L 或 L+M，分别代表不提取电感，只提取自感和提取自感与互感。这些设置由电路图的规模和提取的精度而定。

在 Format 一栏中，可以选择 SPECTRE，ELDO，HSPICE 等网表形式，也可以选择 Calibre xRC 提供的 CALIBREVIEW 形式。本文中选择 CALIBREVIEW 形式。Use Names From 可以根据需要选择 SCHEMATIC 或 LAYOUT。

设置完毕后，点击 Run PEX，开始寄生参量提取。通常，Calibre xRC 先执行 LVS，之后提取寄生参量，最后将电路图中的原有的器件和提取出的寄生电容、电阻和电感反馈到一新生成的带寄生信息的电路图中。PEX 完成后，弹出如下对话框：

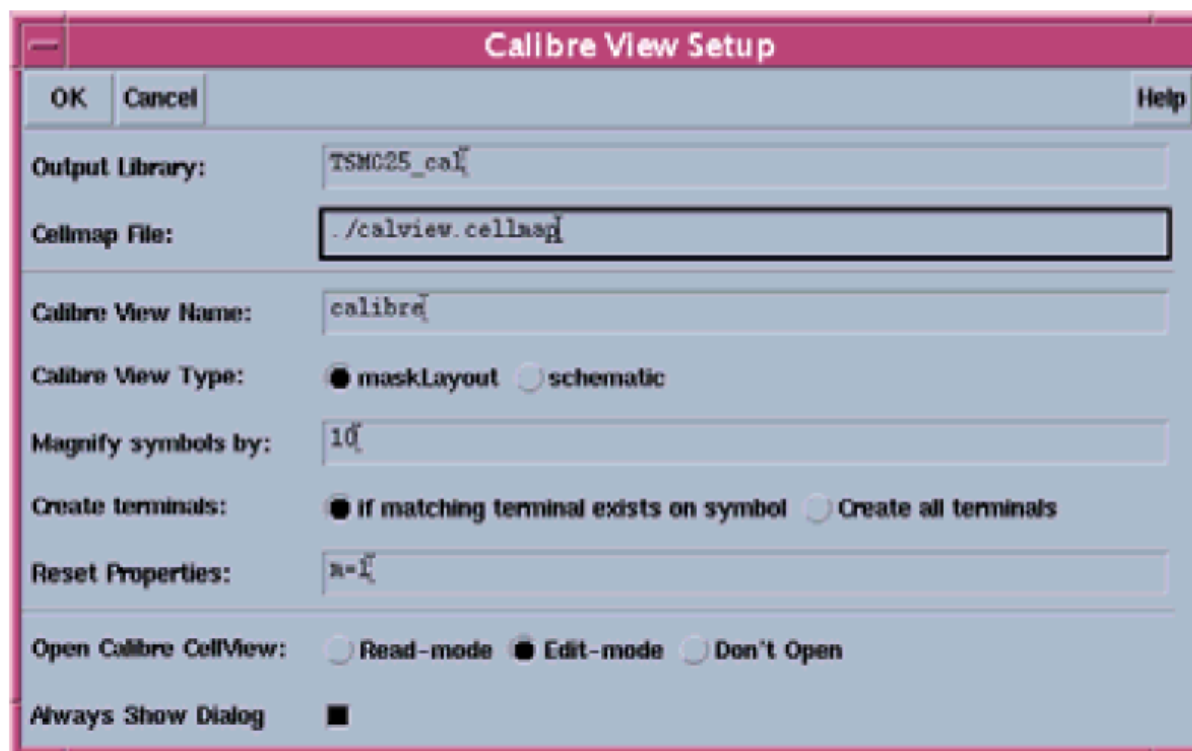


图 4 Calibre View 设置界面



其中，Output Library 表示输出新生成的电路图的 library，通常选为提取寄生参量前的 schematic 和 symbol 所在的 library 即可。Calibre View Type 代表新生成的 schematic 的 View 形式，可以取任意名字，只要不与已有的 view name 重复即可。比如，取做 calibre_r, calibre_rc 或 calibre_rcc，以分别代表不同的提取形式，本文中直接取成 calibre。Cellmap File 是描述寄生参量提取前后器件对应关系的文件，默认的是 ./calview.cellmap，即 Virtuoso 启动目录下的 calview.cellmap 文件。如果是第一次提取，需要按下面步骤配置这个文件。其他选项默认即可。

点击 OK，即开始配置 calview.cellmap 文件，首先弹出如图 5 左所示对话框：

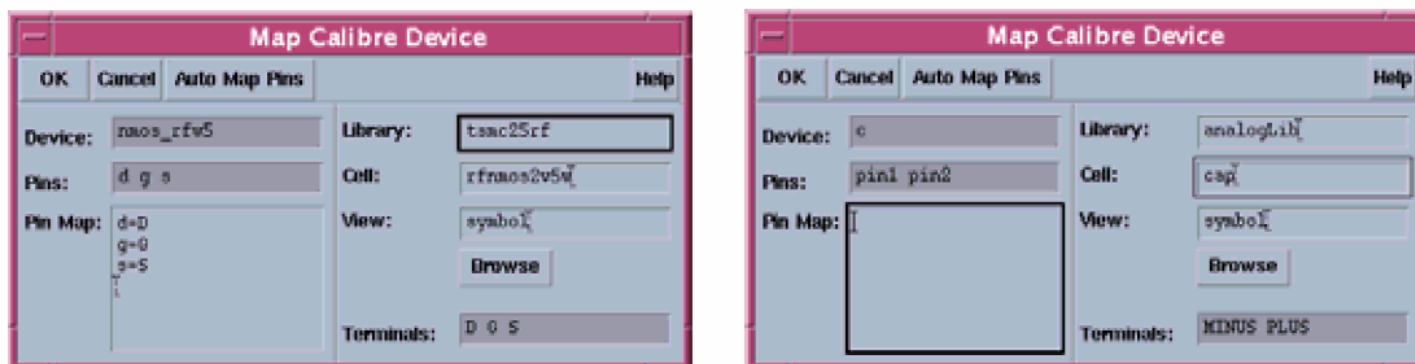
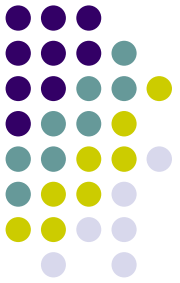
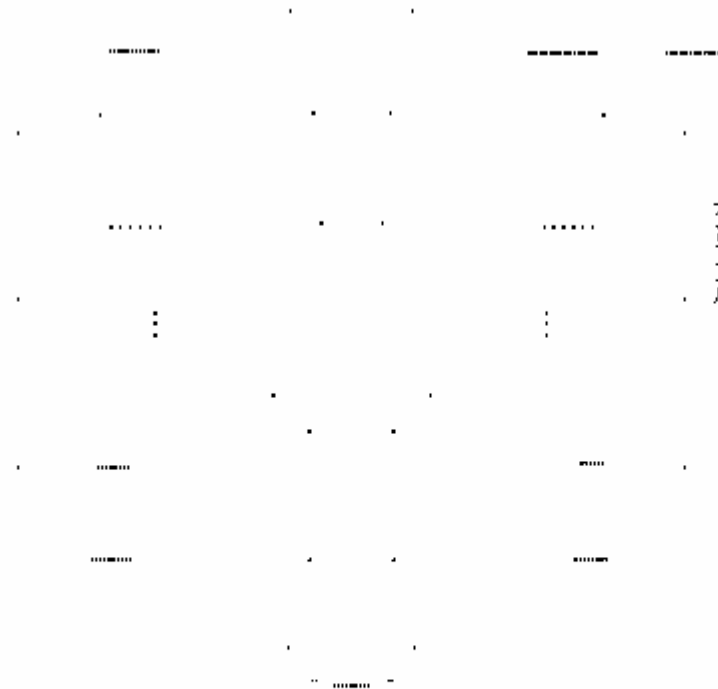


图 5 设置 calview.cellmap 文件的对话框

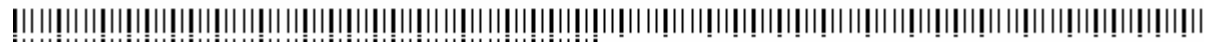


参数提取后calibre view

- Calibre提取的参数很
- 难再版图上找到对应
- 点，不是很直观



按照版图位
置的元件摆
放



寄生参数

直接在 ADE 中进行后仿真

直接采用前仿真时的测试电路，在 composer 中通过 Tools->Analog Environment 启动 ADE。在 setup 菜单中选择 Environment，弹出如图 6 所示对话框。

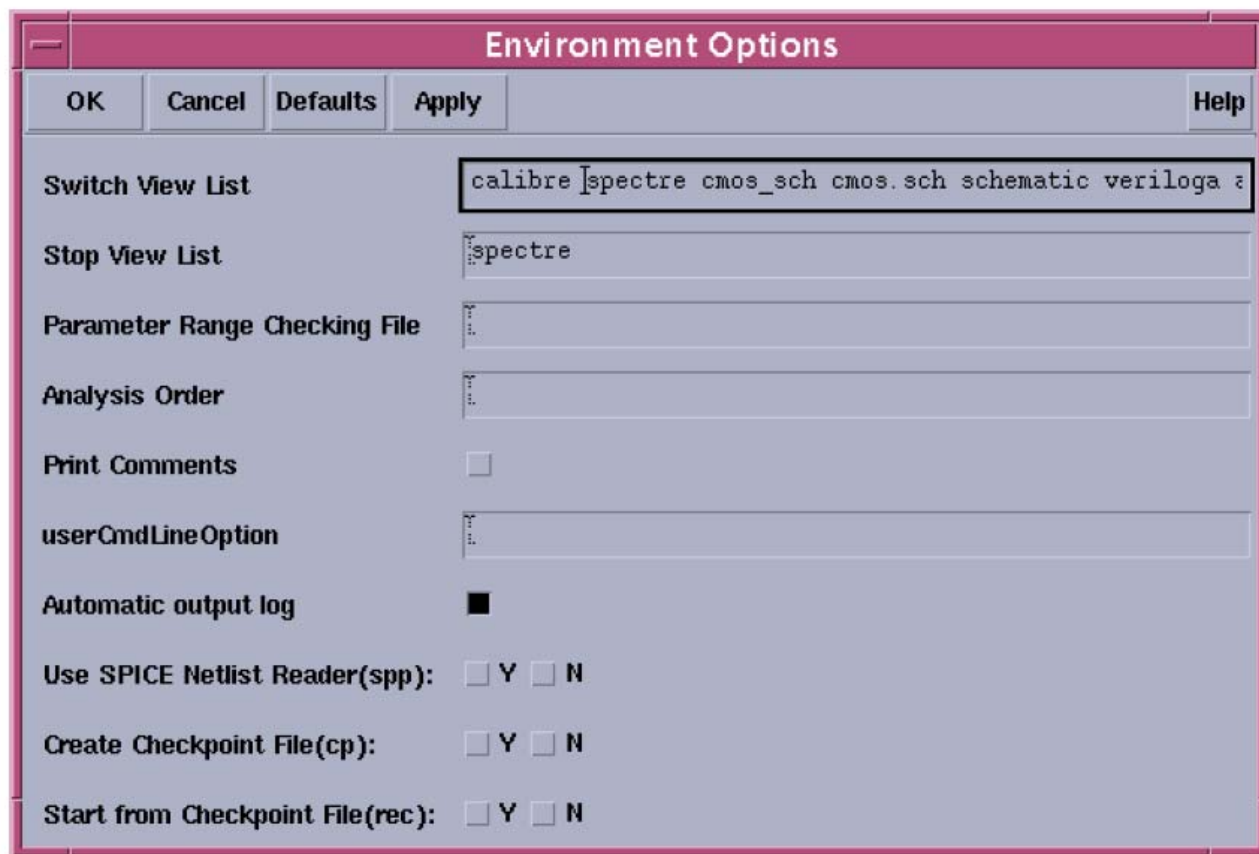


图 6 ADE 中的 Environment 对话框