

國立成功大學
電腦與通信工程研究所
碩士論文

UWB 低電壓低雜訊放大器及摺疊式與次諧
波式混頻器之研究設計

Research on Low-voltage LNA and Folded,
Even-harmonic Mixers for UWB Application

研究生：王鴻耀 Student: Hung-Yao Wang
指導教授：莊惠如 Advisor: Huey-Ru Chuang

Institute of Computer and Communication Engineering
National Cheng Kung University
Thesis for Master of Science
July 2007

中華民國九十六年七月

國立成功大學

碩士論文

UWB 低電壓低雜訊放大器及摺疊式與次諧波式混
頻器之研究設計

研究生：王鴻耀

本論文業經審查及口試合格特此證明

論文考試委員

朱夏如

張嘉展

沈亞芳

洪子聰

盧長村

指導教授：朱夏如

系(所)主管：楊家禪

中華民國九十六年七月三十日

**Research on Low-voltage LNA and Folded, Even-harmonic
Mixers for UWB Application**

by

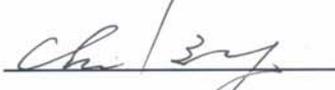
Hung-Yao Wang

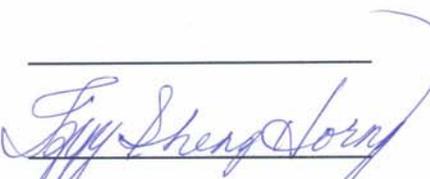
A thesis submitted to the graduate division in partial
fulfillment of the requirement for the degree of
Master of Science

at

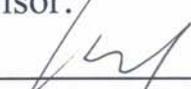
National Cheng Kung University
Tainan, Taiwan, Republic of China
July, 2007

Approved by :




Advisor:



Chairman:



UWB 低電壓低雜訊放大器及摺疊式與次諧波式混頻器之研究設計

王鴻耀* 莊惠如**

國立成功大學電腦與通信工程研究所

摘要

本論文研究應用於 UWB 接收機之前端 CMOS RFICs。設計的晶片包含了 3-10-GHz 低電壓寬頻低雜訊放大器及 3-5-GHz 寬頻混頻器。其所研製之晶片皆使用國家晶片中心 (CIC) 提供之標準 TSMC CMOS 0.18 μm 製程，晶片量測上除了寬頻低雜訊放大器使用 on-wafer 方式進行量測之外，其餘的晶片皆打鏢線至 PCB 板上量測。

3-10-GHz 低電壓寬頻低雜訊放大器利用雙回授式放大器及緩衝放大器的方式得到寬頻訊號放大之特性。設計上利用了增益圓之圖形法實現寬頻增益平坦度，對於電路設計者而言，此方法提供了一個簡單又省時的寬頻放大器實現方式。量測結果顯示，增益為 6.9-10.46 dB、雜訊指數為 4.71-5.92 dB、input $P_{1\text{dB}}$ 為 -8.5- -2.0 dBm、IIP3 為 7.5-11.9 dBm。

3-5-GHz 寬頻混頻器晶片可以分成兩部份：(1)摺疊式混頻器，主要是提出一個適用於低電壓操作之寬頻混頻器。為了不讓低電壓操作影響了混頻器的特性，其轉導級部分採用 CMOS 反相器架構，透過 PMOS 電晶體來提高增益及線性度。此外，利用 shunt-peaking 的方法增加操作頻寬。量測顯示，Band 1 頻段內的轉換增益為 3-8.7 dB、input $P_{1\text{dB}}$ 為 -19.5- -13.5 dBm、IIP3 為 -10.7- -2.35 dBm。Band 2 頻段內的轉換增益為 2.3-7.6 dB、input $P_{1\text{dB}}$ 為 -18- -13.5 dBm、IIP3 為 -5.35- -0.65 dBm。Band 3 頻段內的轉換增益為 2.9-3.9 dB、input $P_{1\text{dB}}$ 為 -15- -10.5 dBm、IIP3 為 -4- -1 dBm。(2)次諧波式混頻器，藉由將 LO 訊號的頻率減半，消除直接降頻接收機之自我混頻效應。同時，利用 g_m -boosting 的差動轉導架構，實現低功率混頻器。量測顯示，Band 1 頻段內的轉換增益為 1.42-5.76 dB、input $P_{1\text{dB}}$ 為 -17- -15 dBm、IIP3 為 -10.71- -3.4 dBm。Band 2 頻段內的轉換增益為 0.98-4.35 dB、input $P_{1\text{dB}}$ 為 -16- -11.5 dBm、IIP3 為 -10.33- -0.68 dBm。Band 3 頻段內的轉換增益為 1.1-3.0 dB、input $P_{1\text{dB}}$ 為 -15- -12 dBm、IIP3 為 -9.87- -0.16 dBm。

*作者 **指導教授

Research on Low-voltage LNA and Folded, Even-harmonic Mixers for UWB Application

*Hung-Yao Wang** *Huey-Ru Chuang ***

Institute of Computer and Communication Engineering
National Cheng Kung University, Tainan, Taiwan, R.O.C

Abstract

This thesis presents the research on applications of CMOS RFICs for UWB receiver. The first part presents 3–10-GHz low-voltage broadband CMOS low noise amplifier, the second part is 3–5-GHz broadband CMOS folded mixer, and the third part is 3–5-GHz broadband CMOS even-harmonic mixer. The chips are fabricated by a TSMC standard 0.18- μm CMOS process offered by National Chip Implementation Center (CIC) is adopted. The RFICs applied to 3–5-GHz mixer is measured on FR-4 PCB, and 3–10-GHz LNA is on wafer.

3–10-GHz low-voltage broadband CMOS LNA is the combination of a dual feedback amplifier and a buffer. A dual feedback broadband gain stage is based on graphical method. This method saves time for circuit designer. Measured results show a gain of 6.9–10.46 dB, noise figure of 4.71–5.92 dB, input $P_{1\text{dB}}$ of -8.5– -2 dBm, and IIP3 of 7.5–11.9 dBm.

3–5-GHz broadband CMOS folded mixer is based on Gilbert-type mixer. The transconductor stage used CMOS inverter amplifier in order to operate low voltage, and the shunt-peaking technique is used to improve its bandwidth. Measured results show a conversion gain of 2.3–8.7 dB, input $P_{1\text{dB}}$ of -19.5– -10.5 dBm, and IIP3 of -10.7– -0.65 dBm.

3–5-GHz broadband CMOS even-harmonic mixer is based on double balance active mixer. The g_m -boosting method saves power for this mixer. Measured results show a conversion gain of 0.98–5.76 dB, input $P_{1\text{dB}}$ of -17– -11.5 dBm, and IIP3 of -10.71– -0.16 dBm.

* The Author ** The Advisor

誌謝

進入實驗室至今兩年，在射頻晶片的學習過程中，非常感謝指導教授莊惠如博士的悉心教導，並提供實驗室完善之量測設備，以及學長們不厭其煩的將研究經驗傳授給我。感謝口試委員中山大學洪子聖老師、中正大學張盛富老師、張嘉展老師、成功大學黃尊禧老師與崑山科技大學盧春林老師對於論文所提供的寶貴意見，在此獻上最誠懇的謝意。

感謝郭良成學長以及林琦璋學長在學業與生活上的幫助；感謝學長克豪、展裕、政家、斯維、豪文、大容、盛邨、厚樺、文政在學業路上的啟發與指導，因為有你們的指導，才能使我在課業與研究上更為精進。感謝同窗好友奕帆、佳協、季霆、銓慶、順盛在課業上的砥礪與生活上陪伴，有大家的幫助和關懷，使我的碩士生活更為充實美滿。謝謝學弟信智、國峰、逸軒、隆凱、宏軒、國治、嫻均，感謝你們在碩士生涯的陪伴，預祝你們畢業時都能達到自己的期望。感謝大學同學景堯、明憲、南興、建男、家興、政豪、英澤、靖騰、聖淵，雖然你們不在台南，給我的幫助及鼓勵卻沒有距離。謝謝博班學長承穎，相信你可以帶領實驗室大步的向前邁進。

最重要的是感謝我的家人，尤其是我的父母，對我無止盡的付出與關懷，有你們最溫暖的支持與鼓勵，相信我在這人生的旅途當中，可以勇敢的面對一切的挫折與磨練，在此以這小小的成果與你們分享。

鴻耀 2007 夏

台南府城

目 錄

| | |
|--|----|
| 第一章 緒論..... | 1 |
| 1.1 UWB 研究背景..... | 1 |
| 1.2 UWB 定義..... | 2 |
| 1.3 UWB 發展概況..... | 3 |
| 1.4 UWB 系統頻帶規劃與系統架構簡介..... | 4 |
| 1.5 論文架構..... | 5 |
| 第二章 3-10-GHz 低電壓寬頻 CMOS 低雜訊放大器 (TSMC 0.18 μm)..... | 7 |
| 2.1 低雜訊放大器簡介..... | 7 |
| 2.2 低雜訊放大器雜訊來源..... | 8 |
| 2.3 寬頻低雜訊放大器介紹..... | 10 |
| 2.4 3-10-GHz 低電壓寬頻 CMOS 低雜訊放大器..... | 13 |
| 2.5 低電壓寬頻 CMOS 低雜訊放大器設計流程..... | 19 |
| 2.6 模擬與量測結果..... | 23 |
| 2.7 問題與討論..... | 26 |
| 第三章 3-5-GHz 寬頻摺疊式 CMOS 混頻器 (TSMC 0.18 μm)..... | 27 |
| 3.1 混頻器簡介..... | 27 |
| 3.2 混頻器的種類..... | 29 |
| 3.3 3-5-GHz 寬頻 CMOS 摺疊式混頻器..... | 33 |
| 3.4 寬頻 CMOS 摺疊式混頻器之設計流程..... | 42 |
| 3.5 模擬與量測結果..... | 44 |
| 3.6 問題與討論..... | 50 |

| | |
|--|----|
| 第四章 3-5-GHz 寬頻 CMOS 次諧波混頻器 (TSMC 0.18 μm)..... | 53 |
| 4.1 次諧波混頻器之簡介 | 53 |
| 4.2 次諧波混頻原理 | 55 |
| 4.3 3-5-GHz 寬頻 CMOS 次諧波混頻器之實現..... | 57 |
| 4.4 次諧波混頻器設計流程 | 63 |
| 4.5 模擬結果 | 66 |
| 4.6 問題與討論 | 72 |
| 第五章 結論..... | 73 |
| 參考文獻..... | 75 |



圖目錄

| | | |
|--------|--|----|
| 圖 1.1 | 超寬頻無線電技術應用範圍 | 2 |
| 圖 1.2 | UWB 與傳統的窄頻訊號、展頻訊號比較之示意圖 | 3 |
| 圖 1.3 | UWB FCC 輻射功率限制圖 | 3 |
| 圖 1.4 | 超寬頻通訊系統頻帶規劃圖 | 4 |
| 圖 1.5 | 超寬頻通訊系統之接收機架構圖 | 5 |
| | | |
| 圖 2.1 | 低雜訊放大器基本架構圖 | 8 |
| 圖 2.2 | 閘極電流雜訊 | 9 |
| 圖 2.3 | 共閘極放大器架構圖 | 11 |
| 圖 2.4 | 輸入帶通濾波器匹配架構圖 | 11 |
| 圖 2.5 | 分散式放大器架構圖 | 12 |
| 圖 2.6 | 回授式放大器架構圖 | 13 |
| 圖 2.7 | 回授式放大器輸入端等效電路圖 | 13 |
| 圖 2.8 | 低電壓寬頻 CMOS 低雜訊放大器完整架構圖 | 14 |
| 圖 2.9 | 並聯回授式放大器雙埠網路圖 | 15 |
| 圖 2.10 | 等效增益圓 | 16 |
| 圖 2.11 | 雙埠網路之雜訊等效模型 | 17 |
| 圖 2.12 | 共源極放大器之雜訊等效模型 | 17 |
| 圖 2.13 | 源極衰減電感改善雜訊匹配示意圖 | 18 |
| 圖 2.14 | 最佳雜訊電納與回授式放大器輸入電納比較圖 | 19 |
| 圖 2.15 | 輸入電晶體之等效雜訊 | 20 |
| 圖 2.16 | 平均雜訊及汲極電流對電晶體寬度關係圖 | 20 |
| 圖 2.17 | 增益平坦度(1) | 21 |
| 圖 2.18 | 增益平坦度(2) | 22 |
| 圖 2.19 | 增益平坦度(3) | 22 |
| 圖 2.20 | 3-10-GHz 低電壓寬頻 CMOS 低雜訊放大器模擬/量測圖 | 24 |
| 圖 2.21 | 晶片佈局/量測照片圖 | 24 |

| | | |
|--------|-------------------------------------|----|
| 圖 3.1 | 混頻器動作示意圖 | 27 |
| 圖 3.2 | 自我混頻(Self-mixing)..... | 28 |
| 圖 3.3 | 平方律混頻器 | 30 |
| 圖 3.4 | 電阻性混頻器 | 31 |
| 圖 3.5 | 時變性混頻器示意圖 | 32 |
| 圖 3.6 | 吉伯特混頻器(Gilbert cell mixer) | 32 |
| 圖 3.7 | 傳統式疊接混頻器架構 | 33 |
| 圖 3.8 | 低電壓混頻器架構 | 34 |
| 圖 3.9 | 摺疊式混頻器架構示意圖 | 35 |
| 圖 3.10 | 提高 RF-LO 隔離度示意圖 | 35 |
| 圖 3.11 | 3-5-GHz CMOS 寬頻摺疊式混頻器完整架構圖 | 36 |
| 圖 3.12 | 摺疊式混頻器轉導級電路 | 37 |
| 圖 3.13 | 摺疊式混頻器等效輸入阻抗 | 38 |
| 圖 3.14 | LO 訊號對混頻器的非理想效應 | 39 |
| 圖 3.15 | Shunt-peaking 的方式增加頻寬 | 40 |
| 圖 3.16 | 主動負載形式的混頻器 | 41 |
| 圖 3.17 | 源極隨耦器之小訊號輸出阻抗分析 | 42 |
| 圖 3.18 | CMOS 反相器轉換曲線 | 42 |
| 圖 3.19 | 平均雜訊及汲極電流對電晶體寬度關係圖 | 43 |
| 圖 3.20 | 摺疊式混頻器晶片佈局/照片圖 | 45 |
| 圖 3.21 | 摺疊式混頻器 PCB 板佈局/照片圖 | 45 |
| 圖 3.22 | 摺疊式混頻器輸入/輸出回返損耗模擬 | 45 |
| 圖 3.23 | 摺疊式混頻器之 Band 1 模擬/量測結果 | 46 |
| 圖 3.24 | 摺疊式混頻器之 Band 2 模擬/量測結果 | 47 |
| 圖 3.25 | 摺疊式混頻器之 Band 3 模擬/量測結果 | 48 |
| 圖 3.26 | 混頻器量測時所採用的 ring 及 transformer | 50 |
| 圖 3.27 | Balun 的不理想效應 | 50 |
| 圖 3.28 | Balun 的不理想效應之模擬與量測比較圖 | 51 |

| | | |
|--------|------------------------------------|----|
| 圖 4.1 | 次諧波混頻器改善直流偏移問題之簡圖 | 54 |
| 圖 4.2 | 主動式次諧波混頻器種類 | 54 |
| 圖 4.3 | 單端主動式混頻器 | 55 |
| 圖 4.4 | 開關倍頻器架構示意圖 | 56 |
| 圖 4.5 | 次諧波混頻器架構圖 | 56 |
| 圖 4.6 | 3-5-GHz 寬頻 CMOS 次諧波混頻器完整架構圖 | 57 |
| 圖 4.7 | 共閘極放大器 | 58 |
| 圖 4.8 | g_m -boosting 共閘極放大器 | 59 |
| 圖 4.9 | Capacitor cross coupling 差動對 | 60 |
| 圖 4.10 | 四相位 LO 之產生方式 | 61 |
| 圖 4.11 | 主動負載示意圖 | 62 |
| 圖 4.12 | 共源極緩衝放大器之小訊號輸出阻抗分析 | 63 |
| 圖 4.13 | 混頻器開關級輸入阻抗 | 65 |
| 圖 4.14 | 多相位濾波器模擬架構圖 | 65 |
| 圖 4.15 | LO 正交訊號模擬圖 | 65 |
| 圖 4.16 | 次諧波混頻器晶片佈局/照片圖 | 67 |
| 圖 4.17 | 次諧波混頻器 PCB 板佈局/照片圖 | 67 |
| 圖 4.18 | 次諧波混頻器輸入/輸出回返損耗模擬 | 67 |
| 圖 4.19 | 次諧波混頻器 Band 1 模擬結果 | 68 |
| 圖 4.20 | 次諧波混頻器 Band 2 模擬結果 | 69 |
| 圖 4.21 | 次諧波混頻器 Band 3 模擬結果 | 70 |
| 圖 4.22 | 多相位濾波器對於次諧波混頻器所需之 LO 訊號功率的影響 | 72 |

表 目 錄

| | | |
|-------|---|----|
| 表 2.1 | 低電壓超寬頻 CMOS 低雜訊放大器模擬與量測總表(1) | 25 |
| 表 2.2 | 低電壓超寬頻 CMOS 低雜訊放大器模擬與量測總表(2) | 25 |
| 表 3.1 | 3-5-GHz 寬頻 CMOS 摺疊式混頻器模擬/量測特性總表 | 49 |
| 表 4.1 | 3-5-GHz 寬頻 CMOS 次諧波混頻器混頻器模擬/量測特性總表 | 71 |



第一章

緒論

1.1 UWB 研究背景

隨著無線通訊發展至今，人們對於無線通訊資料量的需求提高，因此無線寬頻及高資料傳輸速率已成為現今無線通訊系統之主要訴求。因此一種短距離、低功率的超寬頻(Ultra-wideband, UWB)無線電技術被提出，其具有高速資料傳輸能力，在適當的技術規範下，可以和既有的無線電子設備共用頻率，所以極適合取代 USB 成為電腦及周邊的連結介面或取代藍芽技術成為短距離無線傳輸的新標準。

UWB 的技術研究約在 60 年代，最初只是研究時域下的脈衝響應控制，之後成為 70 年代軍用雷達所採用的一項技術，80 年代進一步演變成無載波式無線電技術。2002 年 2 月，美國聯邦通訊委員會(FCC)核准將超寬頻技術用於商業應用，其准許 UWB 在極低的功率下使用 3.1-10.6 GHz 的非授權頻段。由於不像頻寬較窄而發射功率較高的傳統無線電技術，UWB 能以很低的功率在一個寬頻段內發射訊號。這意味著那些現有的頻譜持有者將不受任何因為 UWB 所引起的干擾，因此能夠更有效的使用頻譜資源。

如圖 1.1 所示，UWB 主要應用於 10 公尺以內的無線個人網路，其資料傳輸速率介於 110 Mbps 至 480 Mbps。在這麼高的傳輸速率下，可望大量使用在影音傳輸等消費性電子產品，包括個人數位助理(PDA)、數位相機、數位攝影機、家庭影音設備、行動電話、筆記型電腦及其他行動電子設備等。

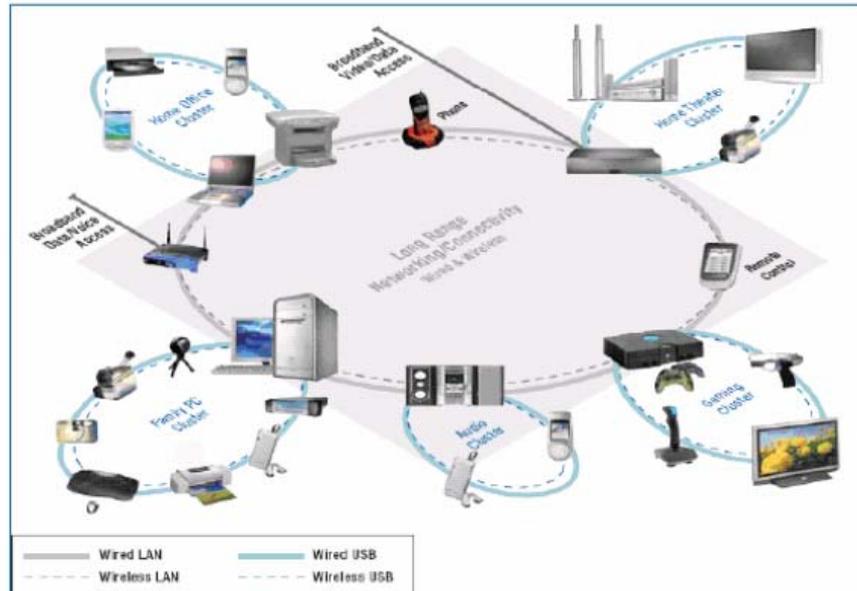


圖 1.1 超寬頻無線電技術應用範圍

1.2 UWB 定義

超寬頻通訊系統可以被定義成一種擁有極高之頻寬載波比的無線通訊系統。所謂頻寬載波比的定義為訊號所佔據的頻寬對其中心頻率的比值，即 $(f_h - f_l)/f_c$ ，其中 f_h 、 f_l 為 3 dB 頻率點且 f_c 為中心頻率。而在傳統通訊系統中，訊號所使用的頻寬載波比約小於 1%；WCDMA 系統的頻寬載波比約為 2%。根據美國聯邦通訊委員會 (FCC) 的最新定義，中心頻率大於 2.5 GHz 的 UWB 系統其 -10 dB 的頻寬至少需要 500 MHz，中心頻率在 2.5 GHz 以下的 UWB 系統則需要至少 20% 的頻寬載波比。而在美國國防部先進研究計劃機構 (Defense Advanced Research Projects Agency 簡稱 DARPA) 所提出的一份報告書則是將超寬頻訊號定義為頻寬載波比大於 25%。圖 1.2 為 UWB 與傳統的窄頻訊號、展頻訊號比較之示意圖。

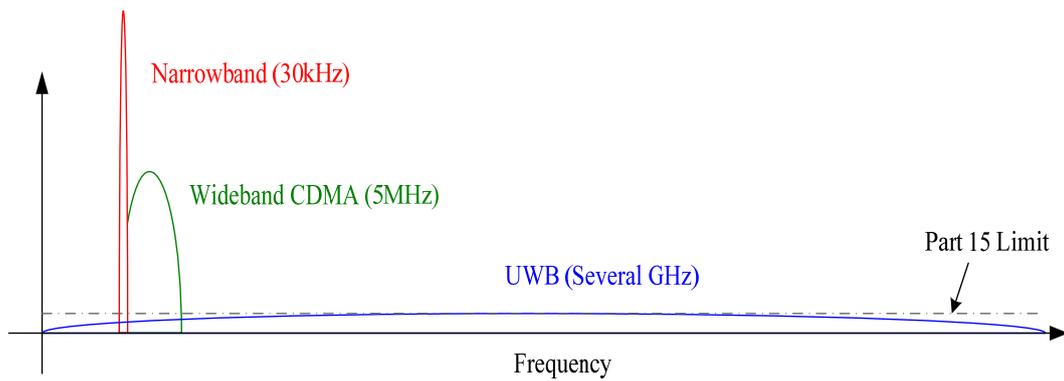


圖 1.2 UWB 與傳統的窄頻訊號、展頻訊號比較之示意圖

UWB 由於其資料傳輸率之優勢，故各國已陸續開放其使用頻帶，但由於其所使用之頻寬相當寬，雖然 UWB 強調其產品為近距離低功率使用，但由於其頻段跨越多種他類通訊已使用之頻段，為避免干擾其他通訊設備，必須限制其發射之輻射功率，以美國為例，美國聯邦電信委員會(FCC)已訂出其使用之輻射功率限制，如圖 1.3 所示。

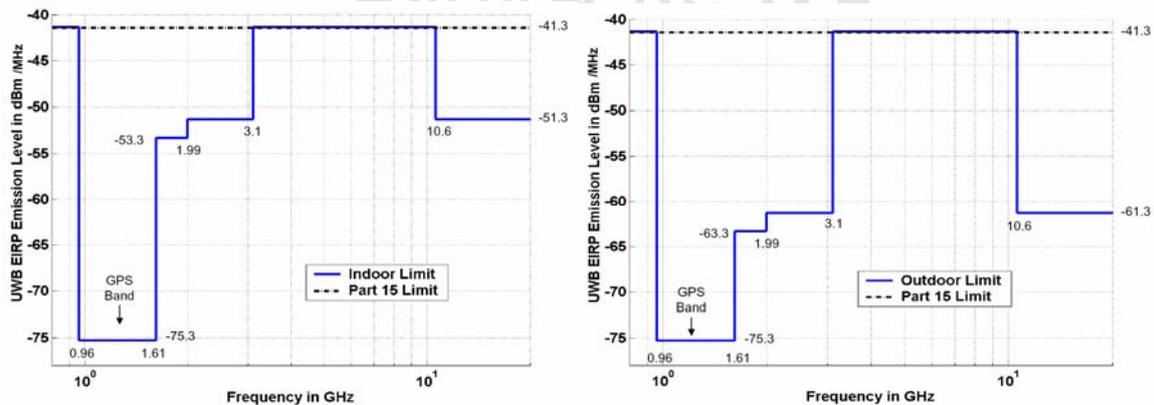


圖 1.3 UWB FCC 輻射功率限制圖

1.3 UWB 發展概況

目前市場上最大的兩個 UWB 陣營分別是，(1)以 TI/Intel 為首之 MultiBand OFDM Alliance (MBOA) 所提出之 Multi-Band OFDM UWB，(2) Freescale / XSI 為首所提出之 DS-UWB。為了競爭成為 IEEE 802.15.3a 標準，兩陣營相繼宣布免費提供與 UWB 方案有關的所有知識產權 (IP)。然而由於表決結果懸而未決，MBOA 決定獨立於 IEEE 工作，於 2004 年 3 月成立特別工作小組 (SIG)，並於 2005 年 3 月與 WiMedia Alliance 正式合

併，4月27日共同推出 MB-OFDM UWB PHY V1.0 規範。

不過，根據最新的趨勢指出，推展直接序列為超寬頻標準的 Freescale，由於獨力難為，業界情勢轉向支持多頻帶 OFDM 的 WiMedia 聯盟，迫使 Freescale 淡出超寬頻市場。姑且不論兩大陣營誰勝誰負，若以技術特質做比較，DS-UWB 技術較簡單，速率較低，適合體積小之裝置，如移動與行動產品；而 MBOA 方面，其技術則較為複雜，傳輸速度也較高，適合 Powerful 之裝置，如消費性電子產品。

1.4 UWB 系統頻帶規劃與系統架構簡介

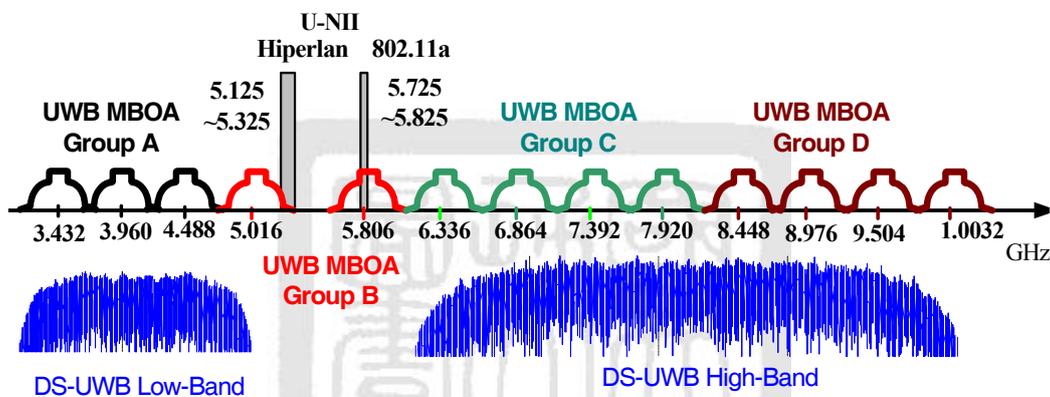


圖 1.4 超寬頻通訊系統頻帶規劃圖

圖 1.4 所示為超寬頻技術之頻帶規劃圖。DS-UWB 用傳統的脈衝技術產生寬頻訊號，在利用 BPSK 以及 M-BOK 調變方式調變此訊號，使得調變後的訊號達成寬頻的需求。MB-OFDM 將頻譜分成 14 個次頻帶，同時讓每個次頻帶頻寬為 528 MHz，每一個頻帶皆包含 128 個 QPSK 方式調變的 OFDM 子載波，子載波於每一個頻帶內間隔 4.125 MHz，但其中僅有 100 個載波隱含欲傳送之資訊，12 個載波隱含之資訊為讓接收端作為載波及相位追蹤使用，10 個為使用者定義載波，主要只是用來填補頻寬。在此調變技巧之下，並將整個頻帶超寬頻頻帶分為 4 個不同的 group，分別為 group A、group B、group C 及 group D，其中考慮 group B 所佔用之頻帶將對 U-NII 造成影響，因此可以刪除 group B 之頻帶不使用。

如圖 1.5 所示為一典型超寬頻射頻通訊系統方塊圖。調變訊號經由寬頻帶天線將訊號傳送至空中，此時訊號頻譜為一寬頻帶訊號。因為傳輸距

離短，因此射頻訊號僅需數微瓦，所以不需要功率放大器。接收時訊號經由寬頻天線接收，再由寬頻低雜訊放大器放大後，直接降頻送至解調器解調。

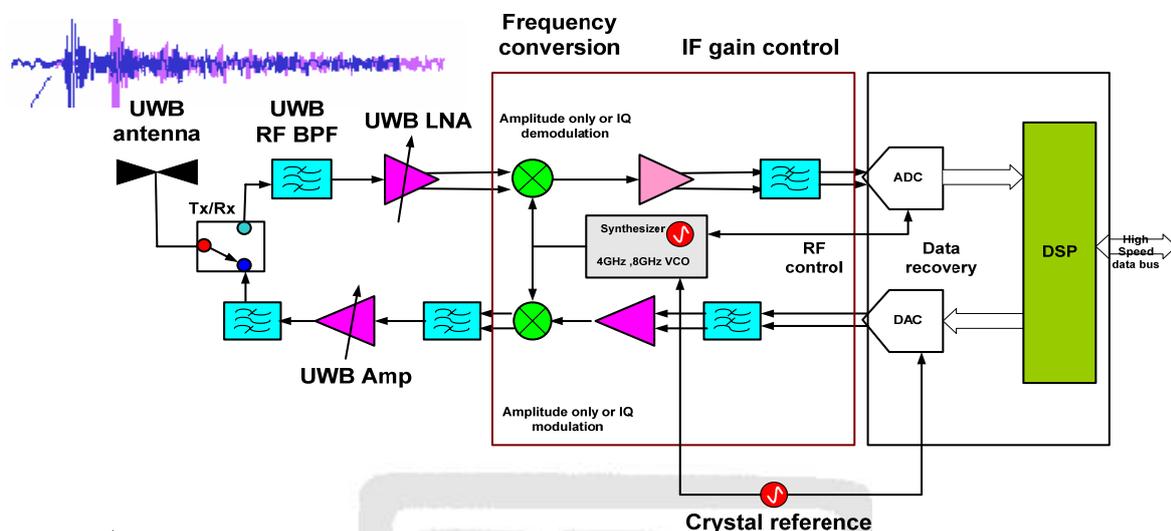


圖 1.5 超寬頻通訊系統之接收機架構圖

1.5 論文架構

本論文主要針對超寬頻射頻收發機中 CMOS 晶片進行研究與製作，包括操作於 3-10-GHz 頻帶之低電壓寬頻低雜訊放大器及 3-5-GHz 寬頻混波器，晶片製作均使用國家晶片中心(CIC)提供之標準 TSMC CMOS 0.18 μm 製程。

論文內容分為五章。第一章為序論，主要介紹超寬頻研究背景及發展，最後探討論文之主體架構。第二章介紹可適用於低電壓操作之 3-10-GHz 寬頻低雜訊放大器的設計與量測。第三章為介紹操作頻率在 3-5-GHz 寬頻摺疊式混波器的設計與量測。第四章為 3-5-GHz 寬頻次諧波式混波器的設計。第五章為結論，討論第二章到第四章電路之設計及量測結果。

第二章

3-10-GHz 低電壓寬頻 CMOS 低雜訊放大器 (TSMC 0.18 μm)

本章將介紹應用於 UWB 接收機之寬頻 CMOS 低雜訊放大器。首先將介紹低雜訊放大器操作原理、電晶體雜訊來源及寬頻架構種類。接著說明 3-10-GHz 寬頻 CMOS 低雜訊放大器的設計與量測。其設計上採用回授放大器串接緩衝放大器的方式來達到低電壓操作，並且利用圖形法實現寬頻訊號放大特性，節省了設計者的時間。

2.1 低雜訊放大器簡介

低雜訊放大器位於射頻接收機天線下方之第一級電路，主要是放大天線所接收到的微弱射頻訊號，以便於後級電路做更進一步的處理。一般而言，低雜訊放大器的雜訊指數對於整體接收機的影響最大，且其增益越高，對後級電路的雜訊抑制能力也就越好。此外在超寬頻無線通訊應用上，因為訊號分布在極寬的頻帶上，所以增益平坦度亦是寬頻低雜訊放大器的設計考量。

在選擇低雜訊放大器架構時，首先以能提供穩定的輸入阻抗為考量，如圖 2.1 所示為四種基本的低雜訊放大器架構。圖 2.1(a) 在輸入端並聯一個電阻以提供 50 Ω 阻抗，可是卻會衰減了輸入訊號之強度，並且引入熱雜訊。圖 2.1(b) 則是使用一共閘極電路做為輸入，不過其雜訊指數在 CMOS 製程下有最低限制($NF \geq 5/3$)。圖 2.1(c) 則是採用並-串雙回授型式，此架構常用來實現寬頻放大器，不過其所消耗的功率比其他架構大。圖 2.1(d) 為源極退化組態(source degeneration)，最常使用在窄頻通訊系統中，此類的架構除了能有效減小消耗功率外，對於雜訊也有不錯的表現。

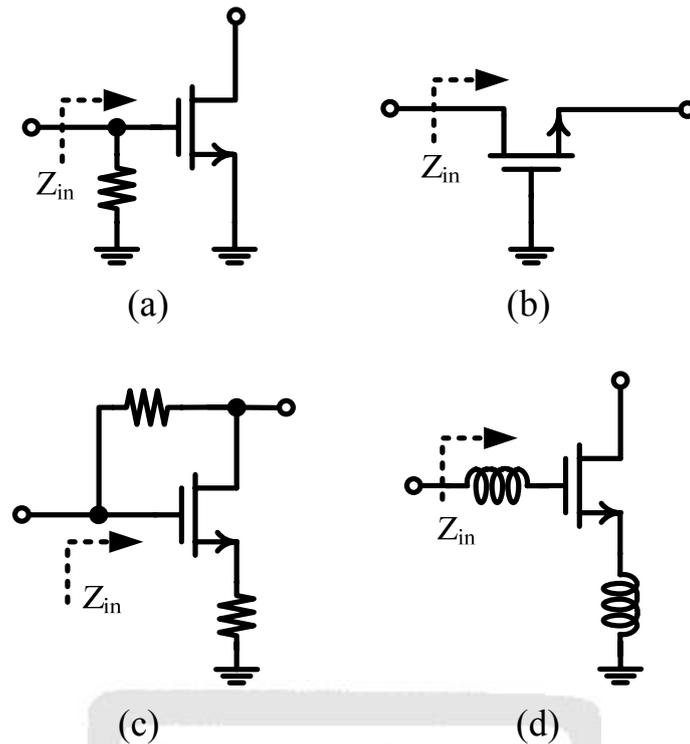


圖 2.1 低雜訊放大器基本架構圖

2.2 低雜訊放大器雜訊來源

對於低雜訊放大器而言，電路內部所產生的雜訊源主要來自於 CMOS 電晶體。一般來說可以分為通道熱雜訊(channel thermal noise)、分佈閘極電阻雜訊(distributed gate resistance noise)、感應閘極電流雜訊(induced gate current noise)及顫抖雜訊(flicker noise)四種。以下將分別說明：

(a). 通道熱雜訊

此雜訊來源是電子於電晶體通道中之熱運動所產生，所以可知其值與絕對溫度 T 有關。實際上，熱雜訊是直接比例於絕對溫度 T ，一般等效成輸出並聯雜訊電流源，其功率頻譜密度為：

$$\overline{(i_d^2 / \Delta f)} = 4kT\gamma g_{d0} \quad (2.1)$$

其中 g_{d0} 為汲極電壓為零偏壓時之電導值，在長通道時， γ 值為 $2/3$ 。在短通道效應下， γ 值約為 2-3 之間。

(b). 分佈閘極電阻雜訊

MOS 電晶體的閘極存有閘極多晶矽電阻，其所產生之雜訊可視為一般的電阻性熱雜訊。其電阻值為 $R_g = (R_H W / 3n^2 L)$ ，其中 R_H 為多晶矽片電阻， n 為多指叉(multi-finger)式佈局之指叉數目，故在設計電路時可用佈局技巧降低 R_g ，即可降低其雜訊貢獻。

(c). 感應閘極電流雜訊

當電晶體受偏壓而使通道反轉時，通道內擾動的電荷會經由電容耦合至閘極而產生感應雜訊電流，其雜訊功率頻譜密度為：

$$\overline{(i_g^2 / \Delta f)} = 4kT\delta g_g \quad (2.2)$$

在短通道效應下： $\delta \approx 2\gamma$ 、 $g_g = (\omega^2 C_{gs}^2) / 5g_{d0}$ 且因 g_g 正比於 ω^2 ，故此感應電流雜訊並非白色雜訊源，其稱為藍色雜訊源。經研究發現 i_g 與 i_d 有關，因此可把 i_g 分成與 i_d 相關部份 i_{gc} 及與 i_d 不相關部份 i_{gu} ，且 i_g 與 i_d 相關係數：

$$c \approx 0.395j \quad (\text{in long channel}) \quad (2.3)$$

因此閘極感應雜訊電流可表示為：

$$\overline{(i_g^2 / \Delta f)} = \underbrace{4kT\delta g_g (1 - |c|^2)}_{\text{Uncorrelated}} + \underbrace{4kT\delta g_g |c|^2}_{\text{Correlated}} \quad (2.4)$$

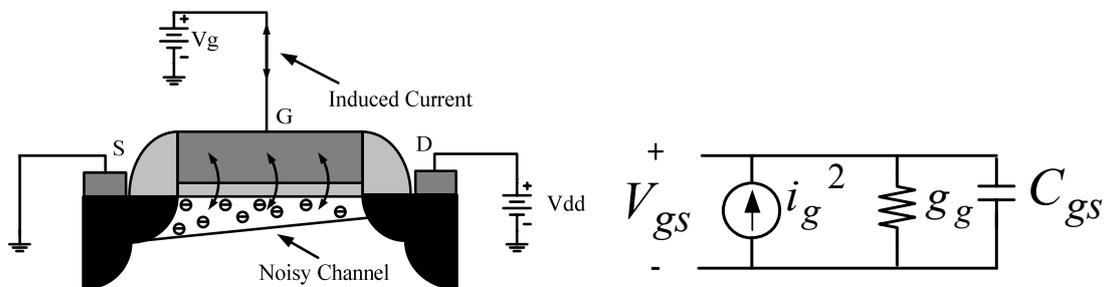


圖 2.2 閘極電流雜訊

(d). 顫抖雜訊

當電晶體在低頻時，主要呈現的雜訊為顫抖雜訊(flicker noise)，由於其雜訊頻譜密度與 $1/f$ 成正比，故又有 $1/f$ noise 之稱。其發生原因在於 MOS 閘極氧化層與矽基板介面之間，由於矽晶體末端於此介面會產生共價鍵，當電荷載子於此經過時，會隨機地被此共價鍵捕獲，而後再隨機地被釋放，因而導致電晶體汲極電流的顫抖，其可表示為一個與電晶體閘極串接的電壓雜訊，如式(2.5)所示。

$$\overline{V_n^2} = \frac{K}{C_{ox}WL} \cdot \frac{1}{f} \quad (2.5)$$

其中 K 為一與製程相關的常數。一般而言顫抖雜訊在頻率大於 1 MHz 以上，其對電晶體雜訊的貢獻將遠小於通道熱雜訊。

2.3 寬頻低雜訊放大器介紹

參考相關文獻，寬頻低雜訊放大器可分為四種架構：共閘極(common gate)架構、回授式(feedback)架構、分散式(distributed) 架構及輸入帶通濾波器匹配(input bandpass filter matching)架構。以下將分別說明：

(a). 共閘極架構

共閘極放大器架構本身就有著寬頻的特性以及良好的線性度。如圖 2.3 所示，透過小訊號分析可得輸入阻抗為：

$$Z_{in} = \frac{1}{sC_{gs} + g_m} \quad (2.6)$$

在低頻時，輸入阻抗可近似於 $1/g_m$ ，因此可達寬頻阻抗匹配。然而隨著頻率的增加，電晶體寄生電容(C_{gs})開始影響電路特性，此時可以加入電感來諧振掉電容效應，達到寬頻的操作。一般而言，在設定電晶體偏壓時，主要是讓 $g_m=20$ mS。不過共閘極放大器在雜訊方面表現不佳，需要另外加入其他電路技巧來改善。

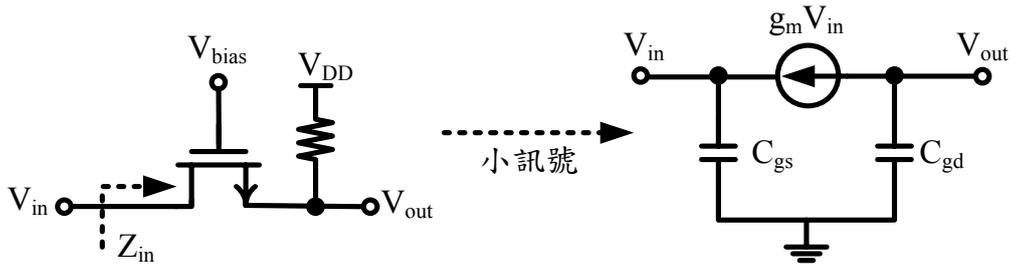


圖 2.3 共閘極放大器架構圖

(b). 輸入帶通濾波器匹配架構

由 2.1 節的基本低雜訊放大器架構介紹可以得知，源極退化組態的放大器具有低雜訊且適當的功率消耗。因此在窄頻通訊系統上，低雜訊放大器幾乎都採用此類型放大器。不過在寬頻的操作上，由於電晶體的寄生電容效應會降低操作頻寬，所以在設計上需要加以改善。輸入帶通濾波器匹配架構即是改善源極衰減放大器頻寬的應用，典型的電路如圖 2.4 所示。此類型放大器主要是在電晶體輸入端置入多階帶通 LC 濾波器匹配，使得電晶體輸入端在設計的頻帶內有著寬頻的訊號輸入。但是輸入端的匹配網路需要使用多個電感，使得晶片面積增加，提高製作成本。

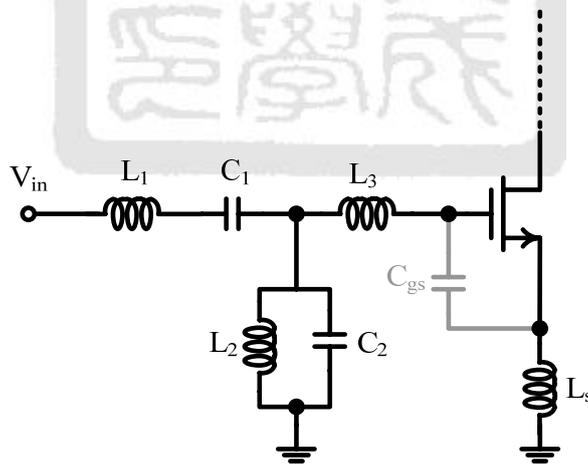


圖 2.4 輸入帶通濾波器匹配架構圖

(c). 分散式架構

如圖 2.5 所示為傳統分散式放大器。其架構為每一級電晶體寄生電容與電感等效成一有限長傳輸線，並透過電晶體互相耦合閘極端和汲極端的

等效傳輸線，放大輸入訊號。此時，因為電晶體的寄生電容屬於傳輸線的一部份，不會影響放大器的增益和頻寬的乘積，所以此類放大器有著較大的頻寬操作。分散式放大器因為需要使用大量的電感等效傳輸線，對於晶片的實現較為花費製作成本。一般而言，主要是應用在毫米波頻段，藉由短波長的特性，利用微帶線來取代電感，節省晶片面積。此外，分散式放大器因為需要串接多級放大器來達到最佳增益組態，所以本身有著消耗功率太大的缺點，在設計上需加以選擇。

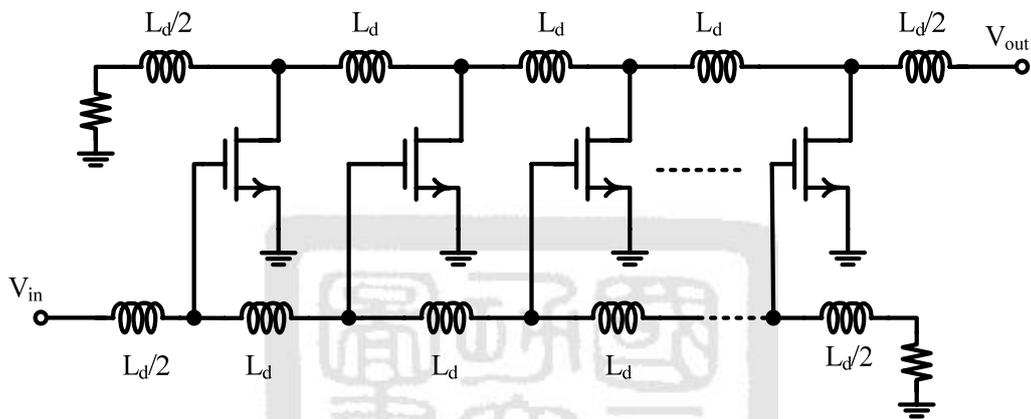


圖 2.5 分散式放大器架構圖

(d). 回授式架構

如圖 2.6 所示為回授式放大器架構，主要是利用控制等效回授電阻，造成寬頻的效果。如圖 2.7 所示為輸入端小訊號等效電路，其中 R_{fm} 為 R_f 的米勒等效輸入電阻，可以表示成 $R_{fm} = R_f / (1 - A_v)$ ， A_v 表示放大器開迴路電壓增益。透過小訊號分析可以得知，輸入阻抗由 $\omega_T L_s$ 決定，因此回授電阻(R_f)用來降低諧振放大器輸入端網路的 Q 值，其 Q 值可以近似如下：

$$Q \approx \frac{1}{\left[R_s + \omega_T L_s + \frac{(\omega_0 L_g)^2}{R_{fM}} \right] \cdot \omega_0 \cdot C_{gs}} \quad (2.7)$$

從(2.7)式來考慮在-3 dB 與 Q 值之間的線性關係，適當選擇 R_{fM} 可以達到寬頻的操作。

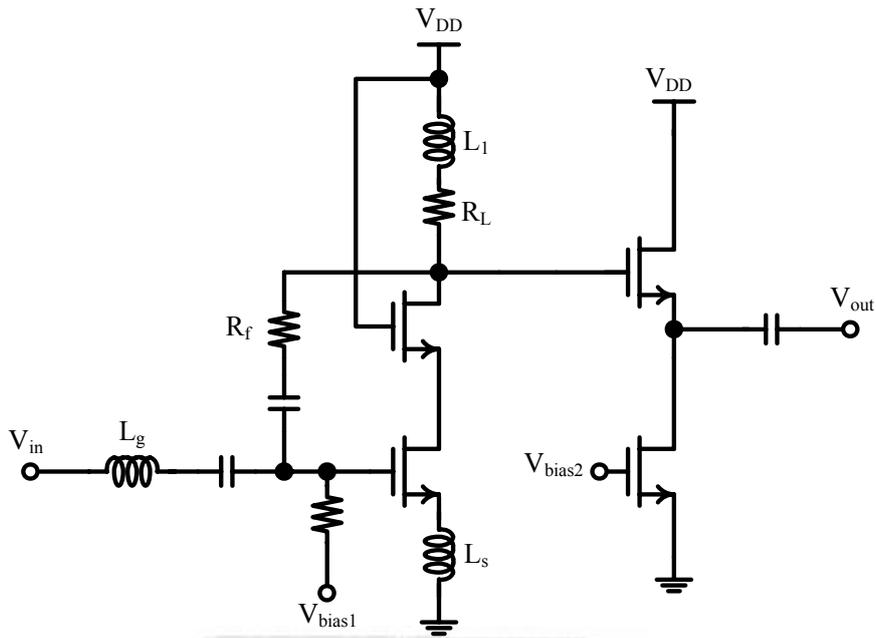


圖 2.6 回授式放大器架構圖

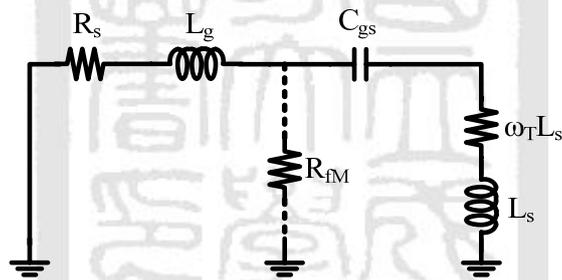


圖 2.7 回授式放大器輸入端等效電路圖

2.4 3-10-GHz 低電壓寬頻 CMOS 低雜訊放大器

近年來，由於 CMOS 製程技術的進步，使得 MOS 電晶體具有低電壓、低消耗功率的優勢。因此對於系統單晶片而言，低電壓電路將是電路整合上的趨勢。一般而言，低雜訊放大器大多採用疊接電晶體組態。在低電壓的操作下，由於電壓頭部空間(voltage headroom)受到壓縮，降低了放大器的增益及線性度，為了改善所述之缺點，我們將提出適用於低電壓操作之低雜訊放大器。

2.4.1 低電壓寬頻 CMOS 低雜訊放大器之實現

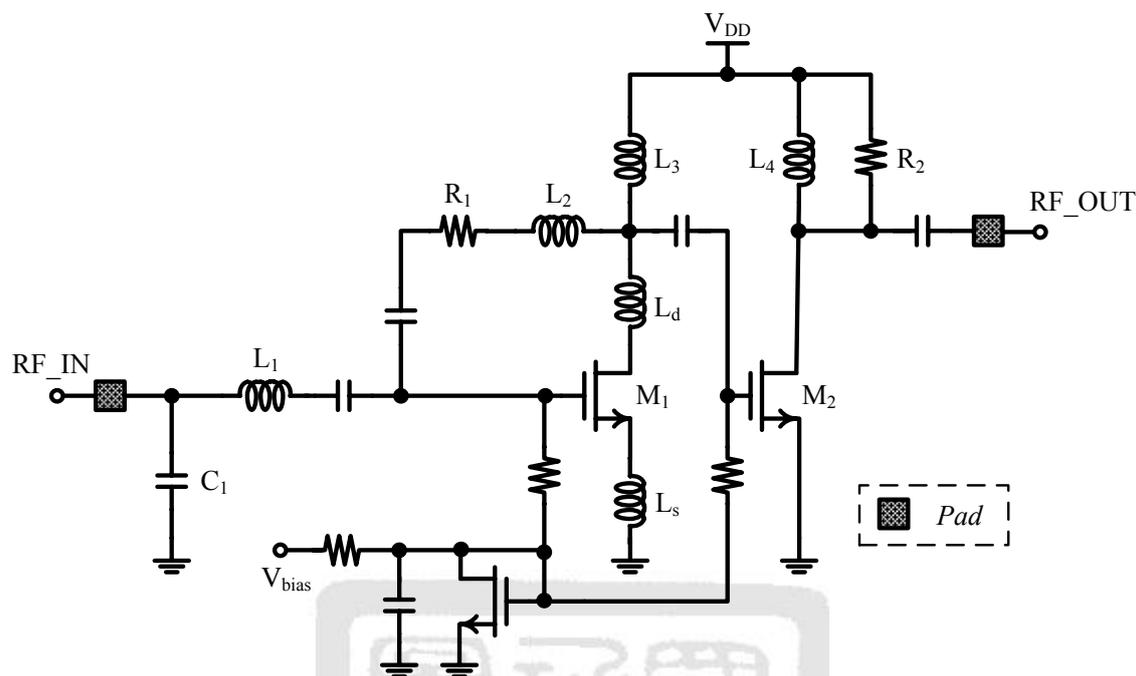


圖 2.8 低電壓寬頻 CMOS 低雜訊放大器完整架構圖

如圖 2.8 所示為 3-10-GHz 低電壓寬頻 CMOS 低雜訊放大器完整架構圖。其架構採用兩級串接式放大器，因為每一級電路只需一顆電晶體，所以適合低電壓操作。電路架構主要可以分為輸入放大級(M_1)和輸出緩衝級(M_2)兩個部分。第一，輸入放大級電路為一雙回授式放大器。其中電感(L_s)透過串聯回授的方式產生 $50\ \Omega$ 的阻抗，便於輸入匹配。此外，利用並聯回授(M_1 - L_d - L_2 - R_1)的方式實現寬頻訊號放大之特性。第二，輸出緩衝級為一共源極組態的緩衝放大器，用來達到輸出阻抗匹配。整體電路設計原理說明如下。

2.4.2 增益平坦度之設計考量

如圖 2.9 所示，對於並聯回授放大器而言，其雙埠網路之 Y 參數可以表示為：

$$[Y^T] = [Y + Y'] = \begin{bmatrix} Y_{11} + Y'_{11} & Y_{12} + Y'_{12} \\ Y_{21} + Y'_{21} & Y_{22} + Y'_{22} \end{bmatrix} \quad (2.8)$$

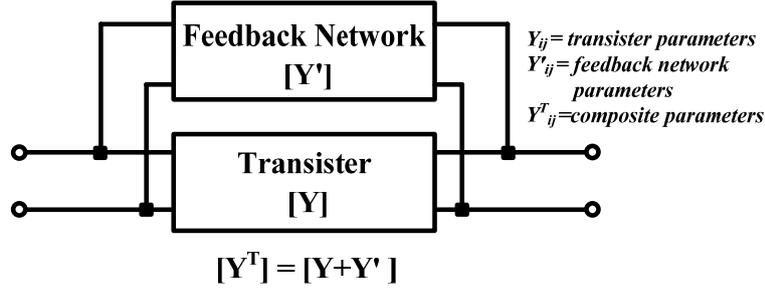


圖 2.9 並聯回授式放大器雙埠網路圖

其中 Y^T 為整體放大器之 Y 參數、 Y 為未加入回授網路時，電晶體之 Y 參數及 Y' 為回授網路之 Y 參數。利用雙埠網路 Y 參數和 S 參數間的轉換關係，則並聯回授式放大器之 S 參數可以表示為：

$$S_{11}^T = \frac{(1 - Y_{11} - Y'_{11}) \cdot (1 + Y_{22} + Y'_{22}) + (Y_{12} + Y'_{12}) Y_{21}}{(1 + Y_{11} + Y'_{11}) \cdot (1 + Y_{22} + Y'_{22}) - (Y_{12} + Y'_{12}) Y_{21}} \quad (2.9)$$

$$S_{21}^T = \frac{-2Y_{21}}{(1 + Y_{11} + Y'_{11}) \cdot (1 + Y_{22} + Y'_{22}) - (Y_{12} + Y'_{12}) Y_{21}} \quad (2.10)$$

$$S_{12}^T = \frac{-2(Y_{12} + Y'_{12})}{(1 + Y_{11} + Y'_{11}) \cdot (1 + Y_{22} + Y'_{22}) - (Y_{12} + Y'_{12}) Y_{21}} \quad (2.11)$$

$$S_{22}^T = \frac{(1 + Y_{11} + Y'_{11}) \cdot (1 - Y_{22} - Y'_{22}) + (Y_{12} + Y'_{12}) Y_{21}}{(1 + Y_{11} + Y'_{11}) \cdot (1 + Y_{22} + Y'_{22}) - (Y_{12} + Y'_{12}) Y_{21}} \quad (2.12)$$

經由(2.9)及(2.10)式整理可得：

$$\frac{2}{S_{21}^T} = \frac{2}{S_{21}} + Y'_{12} - \frac{Y'_{11}(1 + Y_{22}) + Y'_{22}(1 + Y_{11}) + Y'_{11}Y'_{22}}{Y_{21}} \quad (2.13)$$

然而本晶片的回授網路為 RLC 串聯網路，所以 $Y'_{11} = Y'_{22} = -Y'_{12}$ 。參考[5]，於是(2.13)式可以近似為：

$$\frac{2}{S_{21}^T} \approx \frac{2}{S_{21}} + Y_{12}' \quad (2.14)$$

因此，從(2.14)式可以說明，對於並聯式回授放大器而言，其整體的增益為電晶體和回授網路的線性組合。

此外，若由複數平面來分析，因為 S 參數和 Y 參數皆為頻率的函數，即放大器整體增益可表示為：

$$\frac{2}{S_{21}^T} = \text{Re}(f) + \text{Im}(f) = R(f) \angle \theta(f) \quad (2.15)$$

其中 R 為增益在複數平面上的大小、 $\angle \theta$ 為增益在複數平面上的相位。如圖 2.10 所示，若隨著頻率的改變， $R(f)$ 保持一定的大小，則表示放大器的整體增益在設計的頻段內，其增益相當平坦。因此在設計上可以將其等效為增益圓，每個圓的半徑表示增益大小。若放大器的增益曲線落在某一增益圓上，則可以實現相當平坦的增益曲線。

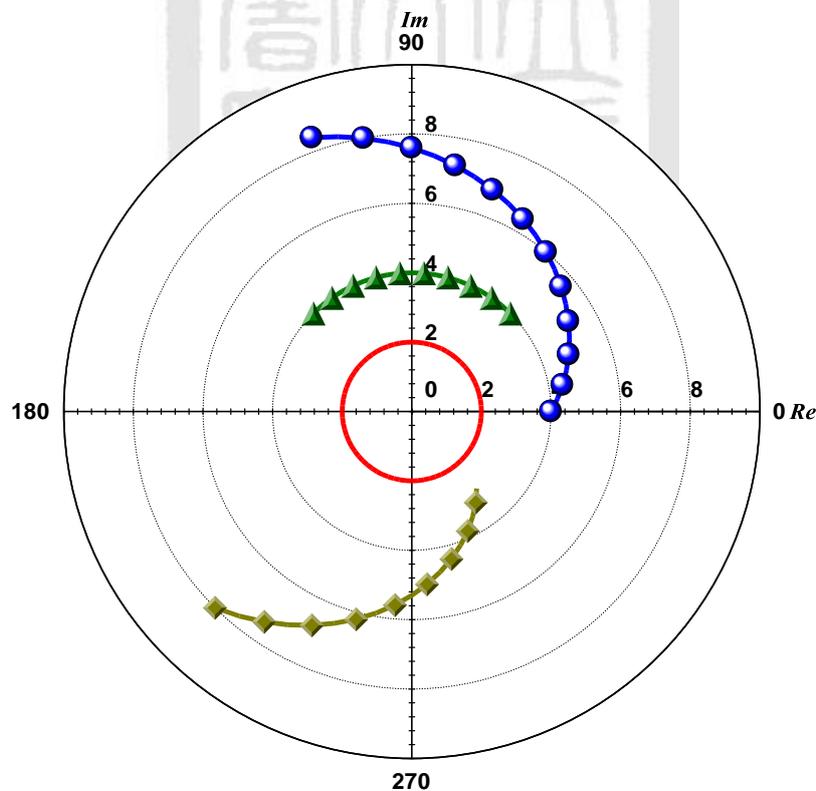


圖 2.10 等效增益圓

2.4.3 輸入匹配與雜訊設計考量

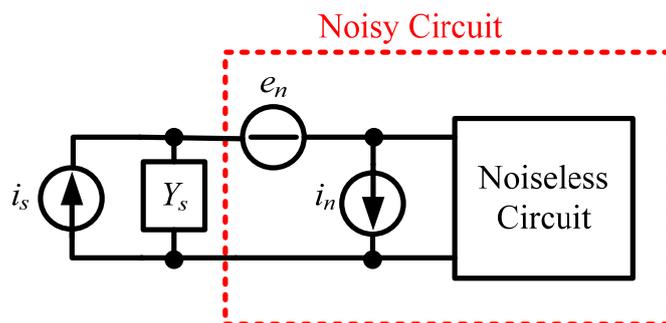


圖 2.11 雙埠網路之雜訊等效模型

如圖 2.11 所示，對於任一雙埠網路而言，其雜訊因素可以表示為：

$$F = \frac{\overline{i_s^2} + \overline{|i_n + Y_s e_n|^2}}{\overline{i_s^2}} \quad (2.16)$$

其中 i_n 及 e_n 分別表示雙埠網路的內部雜訊源。參考[7]，將雜訊因素進一步以雜訊阻抗的形式表示如下：

$$F = F_{\min} + \frac{R_n}{G_s} \left[(G_s - G_{opt})^2 + (B_s - B_{opt})^2 \right] \quad (2.17)$$

其中 R_n 表示等效雜訊電阻、 G_{opt} 和 B_{opt} 分別表示最佳輸入級的電導和電納。因此對於低雜訊放大器而言，設計上採用共軛匹配的方式，使其達到最佳雜訊電納共軛相消，實現低雜訊之目標。

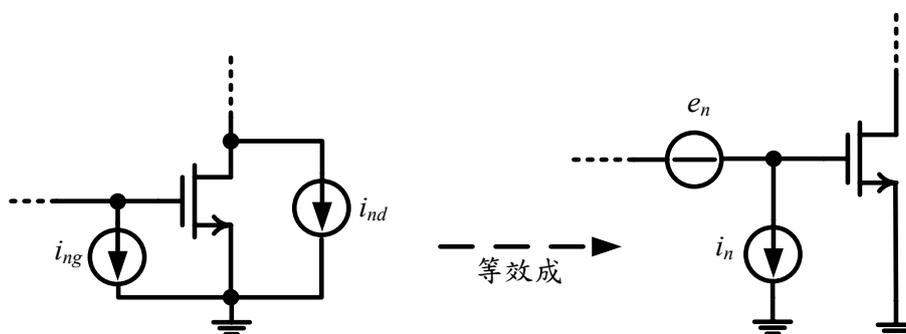


圖 2.12 共源極放大器之雜訊等效模型

如圖 2.12 所示為共源極組態之輸入電晶體，參考[8]可得其最佳雜訊電納值(B_{opt})為：

$$B_{opt} \approx -\omega C_{gs} \left(1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right) \quad (2.18)$$

由(2.18)式可以看出，共源極放大器的最佳雜訊電納值為一負數，等同於電感之電納值。但是若由最大功率匹配來考量的話，共源極組態的最佳功率匹配電納值卻為一正數，等同於電容之電納值。因此需在功率匹配與雜訊匹配方面需有所取捨。如圖 2.13 所示，考慮使用源極衰減電感之並聯回授放大器。參考[5]可以求得其最佳雜訊電納值為：

$$B_{opt} \approx 1.125 \left(\omega L_g G_{opt}^2 + \omega L_g B_{opt}^2 + B_{opt} \right) \quad (2.19)$$

其中 G_{opt} 和 B_{opt} 分別表示共源極組態放大器之最佳輸入級的電導和電納。因此可以將其整理如圖 2.14，對於使用源極衰減電感的並聯回授放大器而言，無論是功率匹配或是雜訊匹配，其最佳匹配電納值皆為正數，所以在設計上可以同時兼顧。

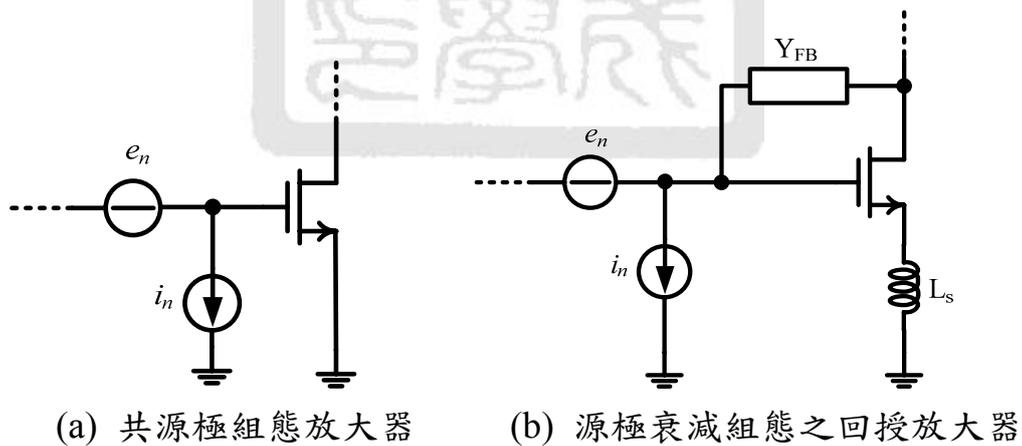


圖 2.13 源極衰減電感改善雜訊匹配示意圖

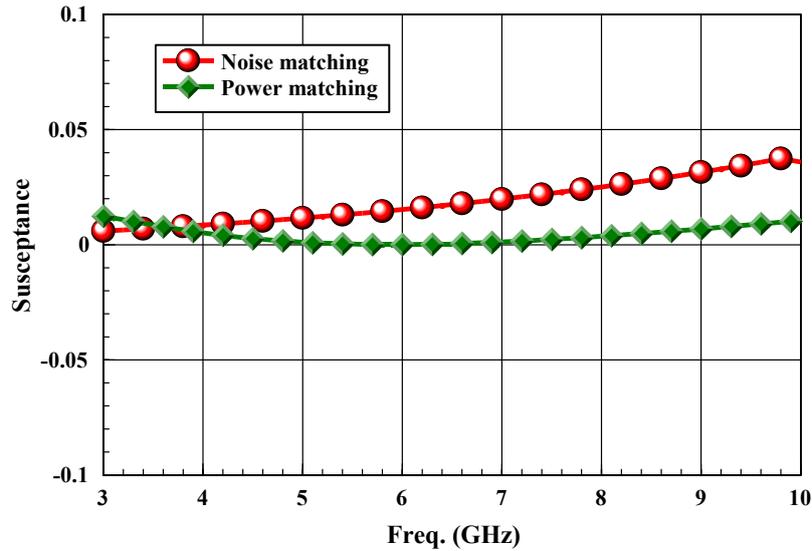


圖 2.14 串聯回授(L_s)式放大器之輸入端最佳雜訊與功率匹配圖

2.5 低電壓寬頻 CMOS 低雜訊放大器設計流程

本次晶片設計一應用於 UWB 接收機之 3-10-GHz 低電壓寬頻 CMOS 低雜訊放大器。設計上採用回授式放大器與緩衝放大器二級串接的方式，來得到寬頻訊號放大的特性。因為每一級電路只需使用一顆 MOS 電晶體，所以適用於低電壓操作，設計上使用 1 V 為直流供應電壓(V_{DD})。電路的第一級為主要放大級，採用並-串雙回授的方式來達到寬頻的特性。第二級電路為共源極組態的緩衝放大器，用來達到輸出阻抗匹配。整個電路的設計流程如下：

- 對於串接式放大器而言，第一級電路影響整體雜訊最為嚴重。同時，低雜訊放大器的雜訊來源主要為 MOS 電晶體之內部雜訊，因此輸入電晶體(M_1)決定著放大器的雜訊表現。參考[10]所提供的方法，如圖 2.15 所示，對於使用源極退化電感之輸入級電晶體，求其輸入等效雜訊可得：

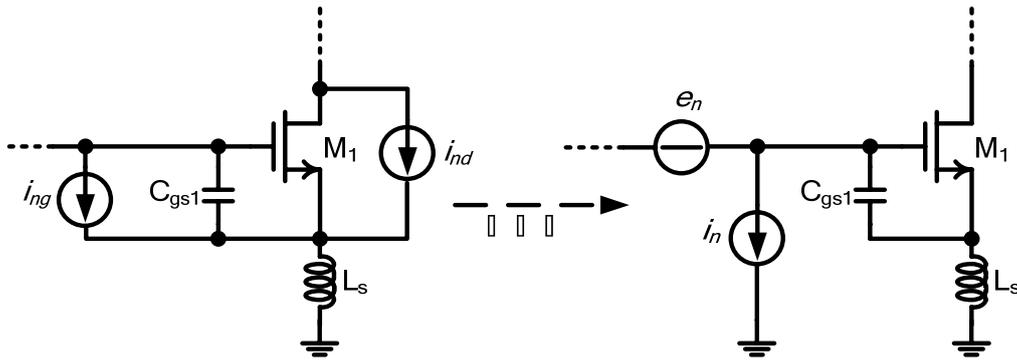


圖 2.15 輸入電晶體之等效雜訊

$$F_1(\omega) \approx 1 + \frac{\gamma}{\alpha} \frac{P(\omega)}{g_{m1} R_m} \quad (2.20)$$

$$P(\omega) = \frac{\alpha^2 \chi^2 (1 - |c|^2)}{1 + 2|c|\alpha\chi + \alpha^2 \chi^2} + \omega^2 C_{gs1}^2 R_m^2 (1 + 2|c|\alpha\chi + \alpha^2 \chi^2) \quad (2.21)$$

其中 δ 、 γ 、 χ 、 c 皆為電晶體製程參數，而 $\alpha = g_{m1}/g_{d0}$ 說明了 MOS 電晶體的短通道效應，包含了通道電子速度飽和所導致轉導降低的效應，以及垂直電場所導致電子移動率衰減的效應。將 TSMC CMOS 0.18 μm 製程參數代入(2.20)及(2.21)式，可繪製出電晶體之平均雜訊及汲極電流相對於電晶體寬度關係圖，如圖 2.16 所示，並利用圖 2.16 找出最佳的電晶體寬度。

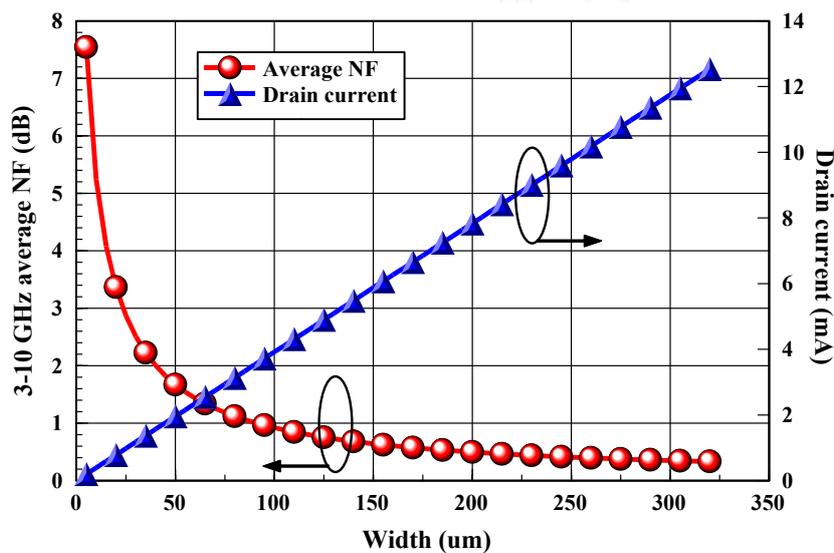


圖 2.16 平均雜訊及汲極電流對電晶體寬度關係圖

- 寬頻電路的應用上，本次晶片採用並聯回授($M_1-L_d-L_2-R_1$)的方式來增頻寬。
- 對於增益平坦度而言，經由 2.4.2 節的介紹。透過觀察其所設計的頻段內，放大器增益曲線在增益圓上的變化，實現增益平坦度。如圖 2.17 所示，對於電晶體而言，因為寄生電容效應，使得高頻增益衰減。因此利用加入電感 L_d ，以降低電晶體的汲極端寄生電容效應。此時可以發現，放大器增益曲線較為平坦。

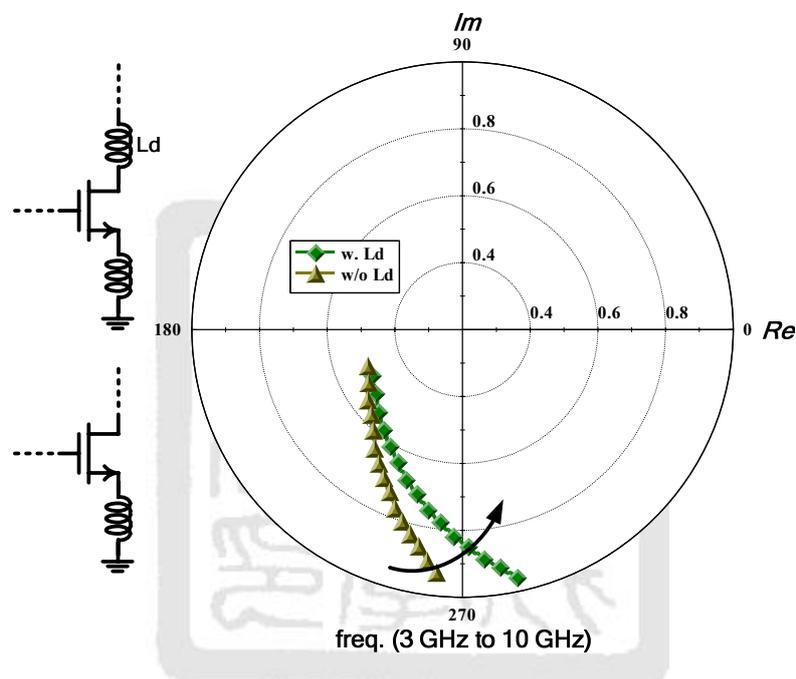


圖 2.17 增益平坦度(1)

- 加入回授網路後，如圖 2.18 所示。其中 C_{block} 用來避免 R_1 影響汲極和閘極之間的偏壓。觀察圖 2.18，在回授路徑上加入 R_1 可以將增益曲線往外移動，藉由降低增益，產生寬頻訊號的特性。

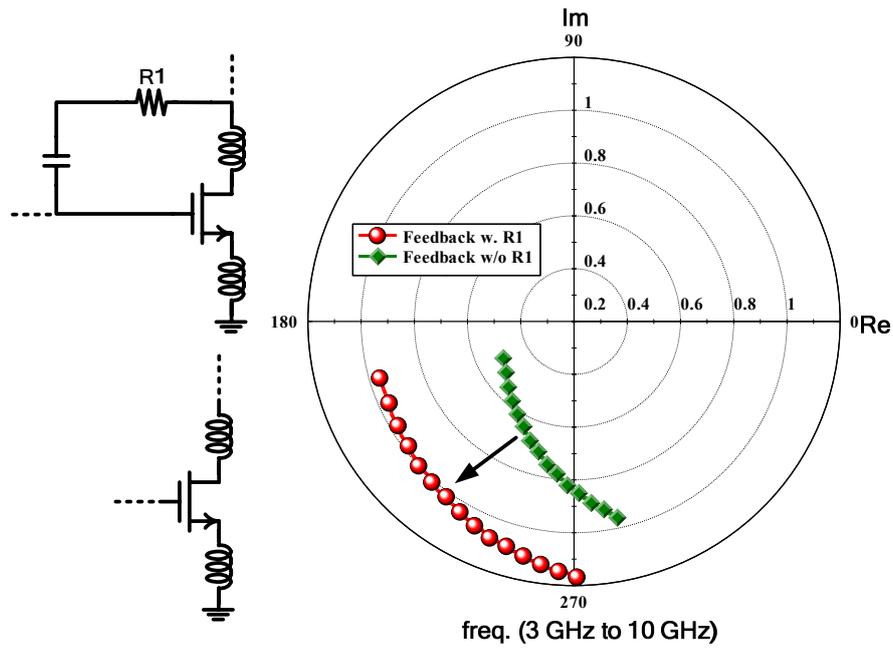


圖 2.18 增益平坦度(2)

- 在回授網路內，加入電感 L_2 改善高頻增益。如圖 2.19 所示，當加入電感 L_3 後，整體的增益曲線落在大小為 0.9 的增益圓上，此時即完成寬頻增益平坦度的設計。

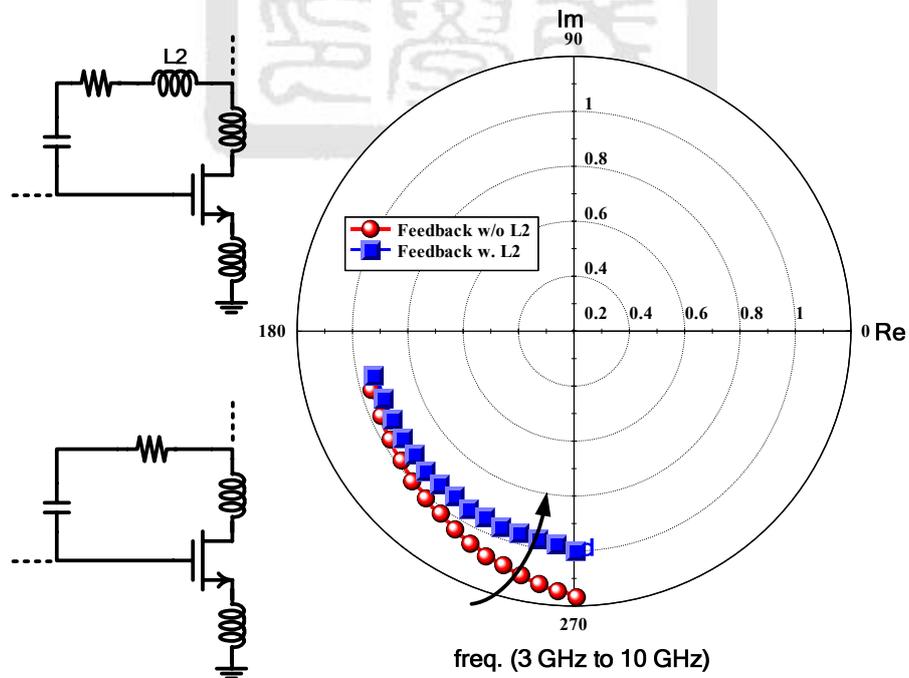


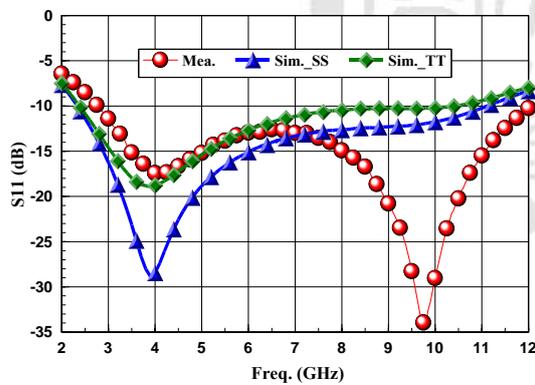
圖 2.19 增益平坦度(3)

- 輸入匹配部份，主要藉由觀察史密斯圖，利用被動元件 L_1-C_1 組成的匹配網路來完成輸入匹配。
- 輸出匹配部份，使用 $M_2-L_5-R_2$ 所組成的匹配網路來完成輸出匹配。

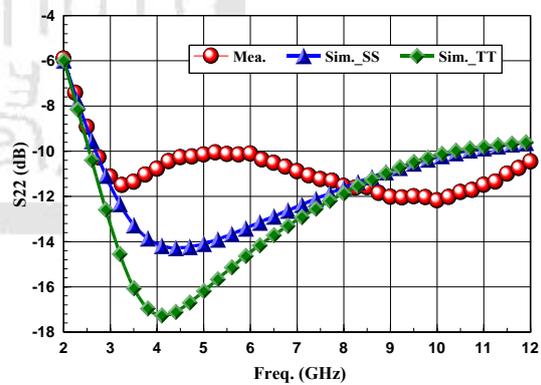
2.6 模擬與量測結果

低電壓寬頻 CMOS 低雜訊放大器的模擬與量測結果如圖 2.20 及表 1.1-1.2 所示。模擬結果顯示，直流偏壓為 1.0 V/18.9 mA、總消耗功率為 18.9 mW、輸入返迴損耗 > 10.0 dB、輸出返迴損耗 > 10.0 dB、增益為 11.27-12.14 dB、隔離度 > 36.0 dB、雜訊指數為 3.49-4.46 dB、input P_{1dB} 為 -13.0- -12.0 dBm、IIP3 為 -3.96- -2.60 dBm。

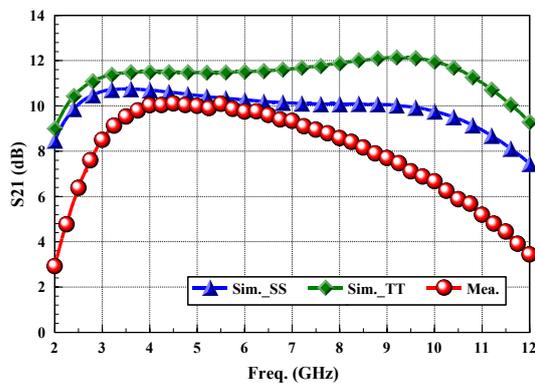
量測結果顯示，直流偏壓為 1.0 V/16.0 mA、總消耗功率為 16.0 mW、輸入返迴損耗 > 10.0 dB、輸出返迴損耗 > 10.0 dB、增益為 6.9-10.46 dB、隔離度 > 25.0 dB、雜訊指數為 4.71-5.92 dB、input P_{1dB} 為 -8.5- -2.0 dBm、IIP3 為 7.5-11.9 dBm。晶片佈局/照片圖如圖 2.21 所示。



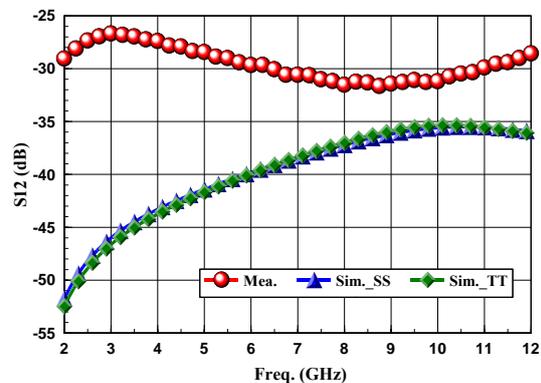
(a) 輸入迴返損耗



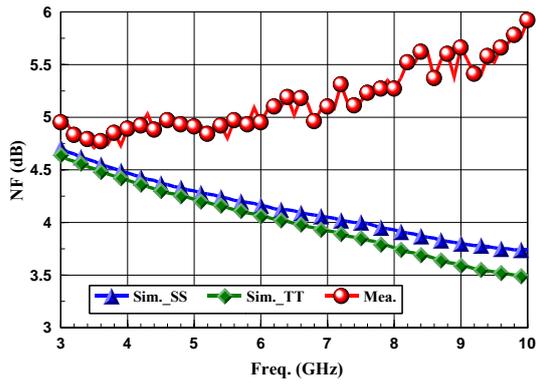
(b) 輸出迴返損耗



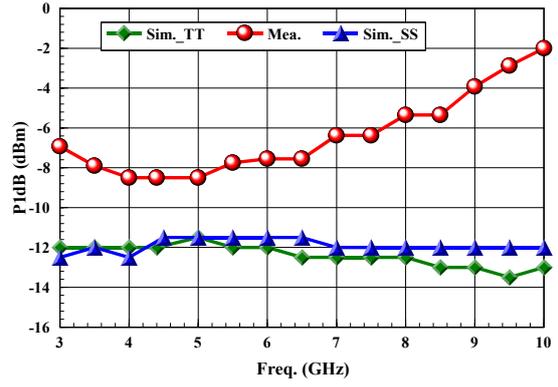
(c) 增益



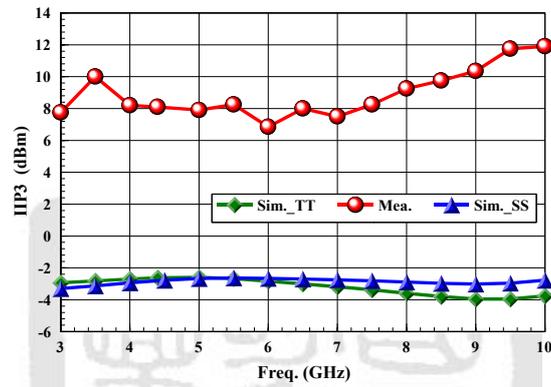
(d) 隔離度



(e) 雜訊指數



(f) Input P_{1dB}



(g) IIP3

圖 2.20 3-10-GHz 低電壓寬頻 CMOS 低雜訊放大器模擬/量測圖

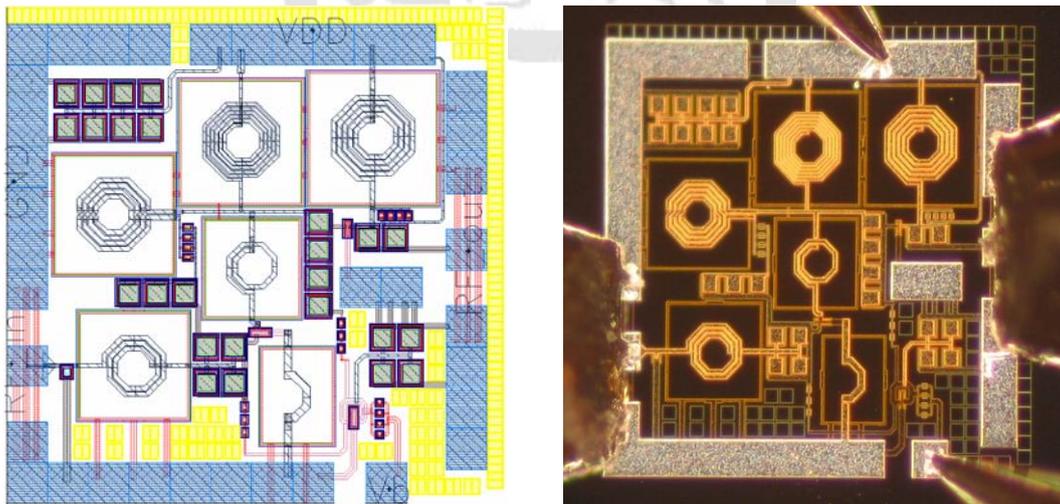


圖 2.21 晶片佈局/量測照片圖

表 2.1 低電壓超寬頻 CMOS 低雜訊放大器模擬與量測總表(1)

| 3-10-GHz Low-Voltage Broad-Band CMOS LNA (TSMC 0.18 um) : | | |
|--|-------------------------------------|--------------------|
| | Simulation (TT Corner) | Measurement |
| Frequency range | 3-10 GHz | 3-10 GHz |
| V_{DD}/I_D | 1 V/18.9 mA | 1 V/16.0 mA |
| Power consumption | 18.9 mW | 16.0 mW |
| Input return loss | > 10 dB | > 10 dB |
| Output return loss | > 10 dB | > 10 dB |
| Gain | 11.27-12.14 dB | 6.9-10.46 dB |
| Noise figure | 3.49-4.46 dB | 4.71-5.92 dB |
| Input P_{1dB} | -13- -12 dBm | -8.5- -2.0 dBm |
| IIP3 | -3.96- -2.60 dBm | 7.5-11.9 dBm |
| Die size | 0.97 × 0.97 mm ² | |

表 2.2 低電壓超寬頻 CMOS 低雜訊放大器模擬與量測總表(2)

| 3-10-GHz Low-Voltage Broad-Band CMOS LNA (TSMC 0.18 um) : | | |
|--|-------------------------------------|--------------------|
| | Simulation (SS Corner) | Measurement |
| Frequency range | 3-10 GHz | 3-10 GHz |
| V_{DD}/I_D | 1 V/15.9 mA | 1 V/16.0 mA |
| Power consumption | 15.9 mW | 16.0 mW |
| Input return loss | > 10 dB | > 10 dB |
| Output return loss | > 10 dB | > 10 dB |
| Gain | 10.05-10.64 dB | 6.9-10.46 dB |
| Noise figure | 3.74-4.71 dB | 4.71-5.92 dB |
| Input P_{1dB} | -12.5- -1.5 dBm | -8.5- -2.0 dBm |
| IIP3 | -3.30- -2.63 dBm | 7.5-11.9 dBm |
| Die size | 0.97 × 0.97 mm ² | |

2.7 問題與討論

本篇所設計的 3-10-GHz 低電壓寬頻 CMOS 低雜訊放大器，由模擬結果可發現，在 1 V 的直流供應電壓下，其整體的增益為 11.27-12.14 dB，具有相當高的寬頻增益平坦度。且所採用的方法不需經過複雜的電路計算，只需透過圖形法即可設計出所需的增益平坦度，對於電路設計者而言，是一種方便且快速的設計方法。

但是從量測結果觀察，本晶片所消耗的直流電流(I_D)和 SS Corner 之模擬電流相當一致，且量測得到的增益曲線之趨勢和 SS Corner 的模擬結果接近，所以可以判定晶片的製作偏向 SS Corner。此外，由於未考慮晶片佈局之走線效應，也就是沒有做 EM 模擬，使得晶片在 8 GHz 之後，增益快速下降，若和 SS Corner 之模擬相比較，則約相差了 3 dB，同時也使得雜訊指數上升且線性度變佳的現象。



第三章

3-5-GHz 寬頻摺疊式 CMOS 混頻器 (TSMC 0.18 μm)

本章將介紹應用於 UWB 接收機之寬頻 CMOS 混頻器。首先將介紹混頻器的電路原理、性能參數，接著說明摺疊式混頻器的設計與量測。

3.1 混頻器簡介

在射頻接收機架構中，混頻器將兩種不同頻率的訊號透過相乘的動作，進而將射頻訊號降頻至中頻或基頻，以利於後端電路的處理。如圖 3.1 所示為混頻器的動作示意圖，於混頻器的輸出端所獲得的訊號如下：

$$\begin{aligned} V_{IF}(t) &= A_{RF} \cos(\omega_{RF}t) \times A_{LO} \cos(\omega_{LO}t) \\ &= \frac{A_{RF}A_{LO}}{2} [\cos(\omega_{RF} - \omega_{LO})t + \cos(\omega_{RF} + \omega_{LO})t] \end{aligned} \quad (3.1)$$

因此可以得知，混頻器輸出端訊號包含了 $\omega_{RF} \pm \omega_{LO}$ 兩種頻率。對於降頻混頻器而言，其取用了 $\omega_{RF} - \omega_{LO}$ 為輸出訊號。

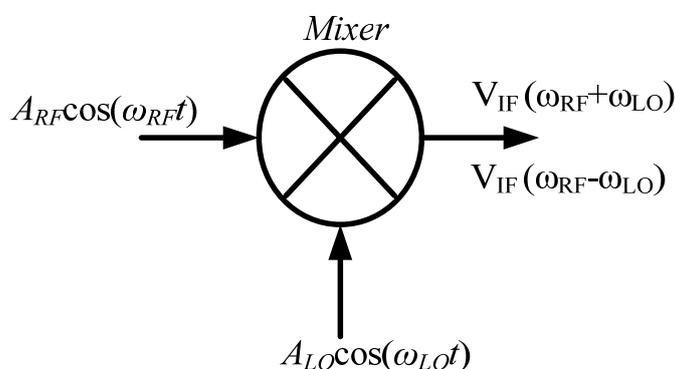


圖 3.1 混頻器動作示意圖

混頻器的設計考量上包含了轉換增益/損耗(conversion gain/loss)、線性度(linearity)、雜訊指數(noise figure)、隔離度(isolation)、消耗功率(power consumption)、輸入及輸出的匹配(input/output matching)。一般而言，在設計上欲使得混頻器的各項特性皆良好是十分困難，因此必須依照不同通訊系統的架構而有所取捨。由於混頻器的前級電路為低雜訊放大器，可以透過低雜訊放大器的增益來抑制混頻器的雜訊對通訊系統整體雜訊的貢獻。此外，混頻器的後級電路通常會再加上中頻放大器，用來提升通訊系統的整體增益。所以在混頻器的設計上，轉換增益和雜訊指數的要求並不是相當嚴格，主要是著重於線性度和隔離度。

對於直接降頻接收機(direct-conversion receiver)而言，混頻器的隔離度是一個非常重要的設計考量，尤其是 LO-RF 的隔離度。如圖 3.2 所示，若 LO-RF 的隔離度不佳，較強的 LO 訊號會透過基板及電晶體間的接面電容耦合至 RF 端，甚至於耦合到天線端輻射出去，再經由低雜訊放大器放大後和混頻器的 LO 訊號混頻，產生直流訊號。此外 RF 訊號也會因為隔離度不佳，耦合到 LO 端產生自我混頻的現象，也會產生直流訊號影響下一級電路的正常操作。

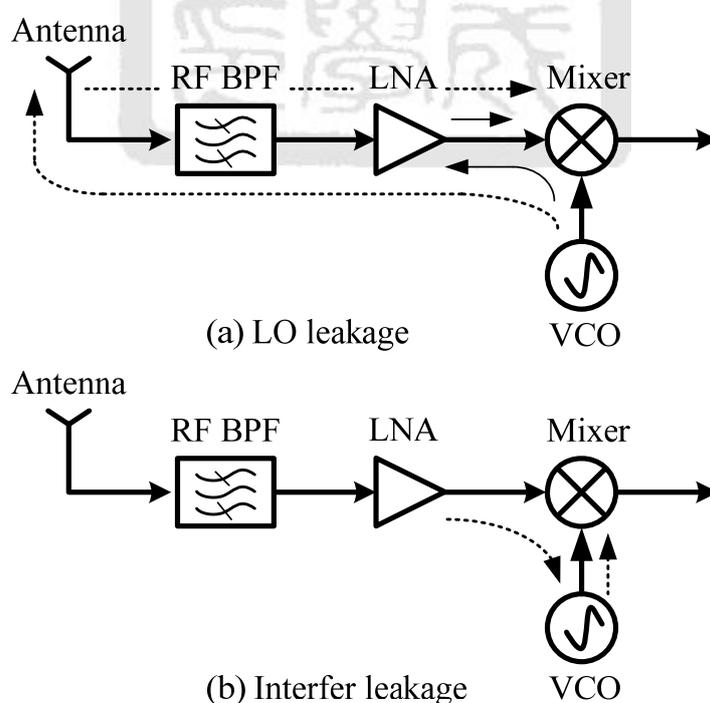


圖 3.2 自我混頻(Self-mixing)

3.2 混頻器的種類

對於線性非時變的電路而言，並不容易達到頻率轉移的功能。因此，混頻器在設計上主要是採用了時變或是非線性這兩種方法來完成頻率的轉移。一般而言，非線性混頻器是利用電晶體非線性的輸入及輸出關係，產生頻率轉換的機制。時變性混頻器則是使用電晶體作為開關對，利用 LO 訊號控制開關對產生混頻結果。以下將分別介紹較為常見的 CMOS 混頻器。

3.2.1 非線性式混頻器

任何的非線性元件其輸出和輸入的關係可以如下表示：

$$V_{out} = a_0 + a_1V_{in} + a_2V_{in}^2 + a_3V_{in}^3 + a_4V_{in}^4 + \dots \quad (3.2)$$

對於非線性混頻器而言，主要是將 RF 和 LO 端的訊號相加或是相減成為混頻器的輸入訊號(V_{in})，然後經由元件的非線性項產生頻率轉換的動作。不過此類型的混頻器在輸出端除了 $\omega_{RF} \pm \omega_{LO}$ 的訊號外，還包含了許多不需要的交互調變訊號。所以在設計上需要適當的選擇 RF 及 LO 訊號，避免過多的交互調變訊號污染了信號頻譜，造成接收機的 SNR 下降。常見的 CMOS 非線性混頻器有平方律混頻器(square-law mixer)、電阻性混頻器(resistive mixer)。

(1). 平方律混頻器

如圖 3.3 所示，若將電晶體偏壓在飽和區(saturation region)，且將 RF 及 LO 的訊號分別輸入電晶體的閘極(gate)和源極(source)。假設 $V_{RF} = v_{RF} \cos(\omega_{RF}t)$ 、 $V_{LO} = v_{LO} \cos(\omega_{LO}t)$ ，則汲極(drain)電流為：

$$\begin{aligned} I_D &= \frac{1}{2} \mu C_{ox} \frac{W}{L} [(V_{bias} + V_{RF} - V_{LO}) - V_t]^2 \\ &= \frac{1}{2} \mu C_{ox} \frac{W}{L} [(V_{bias} + v_{RF} \cos \omega_{RF}t - v_{LO} \cos \omega_{LO}t) - V_t]^2 \end{aligned} \quad (3.3)$$

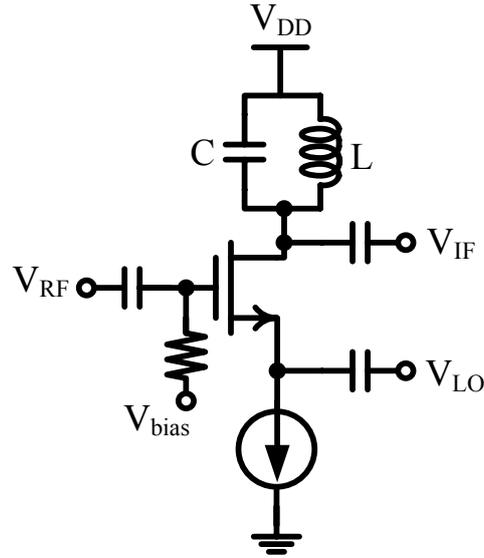


圖 3.3 平方律混頻器

將(3.3)式展開即可得混頻電流訊號，因此輸出訊號 V_{IF} 為

$$V_{IF} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (Z_C \parallel Z_L) [v_{RF} v_{LO} \cos(\omega_{RF} - \omega_{LO})t + \dots] \quad (3.4)$$

近年來，由於 CMOS 製程的進步，元件尺寸縮小，使得電晶體的電流公式不再是平方律的關係。所以此類型的混頻器，會產生出更多的交互調變訊號，在設計上需要有更多的考量。

(2). 電阻性混頻器

若將電晶體偏壓在三極管區(triode region)，則其通道電導(channel conductance)會隨著閘極電壓的變化而改變。如圖 3.4 所示為電阻性混頻器架構，將 LO 訊號加在閘極，利用其控制通道的可變電導值，且 RF 訊號由汲極輸入產生混頻電流。假設 $V_{RF} = v_{RF} \cos(\omega_{RF}t)$ 、 $V_{LO} = v_{LO} \cos(\omega_{LO}t)$ ，則汲極電流為：

$$\begin{aligned} I_D &\approx g(V_{gs}) \times V_{ds} \\ &= \mu C_{ox} \frac{W}{L} (V_{bias} + V_{LO} - V_t) \times V_{RF} \\ &= \mu C_{ox} \frac{W}{L} (V_{bias} + v_{LO} \cos \omega_{LO}t - V_t) \times v_{RF} \cos \omega_{RF}t \end{aligned} \quad (3.5)$$

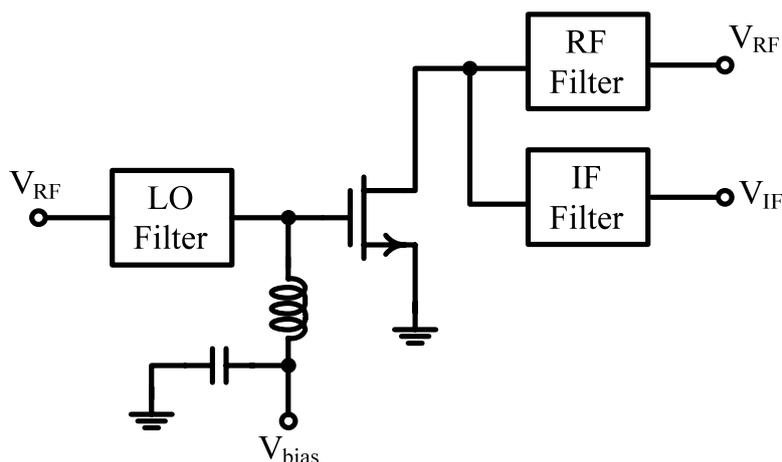


圖 3.4 電阻性混頻器

將(3.4)式展開即可得混頻電流訊號，最後再經由中頻濾波器將降頻後的訊號取出，所以輸出訊號 V_{IF} 為：

$$V_{IF} = \mu C_{ox} \frac{W}{L} Z_{IF_Filter} \left[\frac{1}{2} v_{RF} v_{LO} \cos(\omega_{RF} - \omega_{LO})t + \dots \right] \quad (3.6)$$

3.2.2 時變性混頻器

時變性混頻器如同一個乘法器，如圖 3.5 所示。利用 LO 訊號控制開關的切換，使得 RF 訊號受到 LO 訊號的調變。從時域的觀點來分析，可以等效成 RF 訊號乘上 LO 訊號的動作。若將 RF 及 LO 的訊號做傅立葉級數 (Fourier series) 展開，則 IF 的輸出訊號可以如下表示：

$$\begin{aligned} V_{IF} &= V_{RF} \times V_{LO} \\ &= v_{RF} \cos \omega_{RF}t \cdot v_{LO} \left[\frac{4}{\pi} \cos \omega_{LO}t - \frac{4}{3\pi} \cos 3\omega_{LO}t + \frac{4}{5\pi} \cos 5\omega_{LO}t - \dots \right] \\ &= \frac{2}{\pi} v_{RF} v_{LO} \cos(\omega_{RF} - \omega_{LO})t + \frac{2}{\pi} v_{RF} v_{LO} \cos(\omega_{RF} + \omega_{LO})t + \dots \end{aligned} \quad (3.7)$$

即可得所需的混頻訊號。此類型混頻器相較於非線性混頻器，其訊號的諧波和交互調變項較少，而且各埠之間也有較好的隔離度。常見的 CMOS 時變性混頻器為吉伯特混頻器 (Gilbert cell mixer)，如圖 3.6 所示。

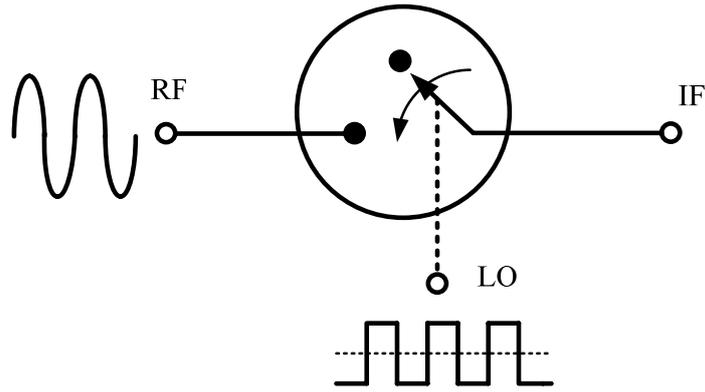


圖 3.5 時變性混頻器示意圖

對於吉伯特混頻器而言，其所使用的電晶體皆偏壓在飽和區。主要是利用 MOS 差動對(M_1 、 M_2)做為轉導放大級，且經由兩對反向切換的電流切換級電路(M_3 - M_6)使 RF 電流訊號降頻至基頻，最後再經過負載端(R_L)轉為電壓訊號輸出。

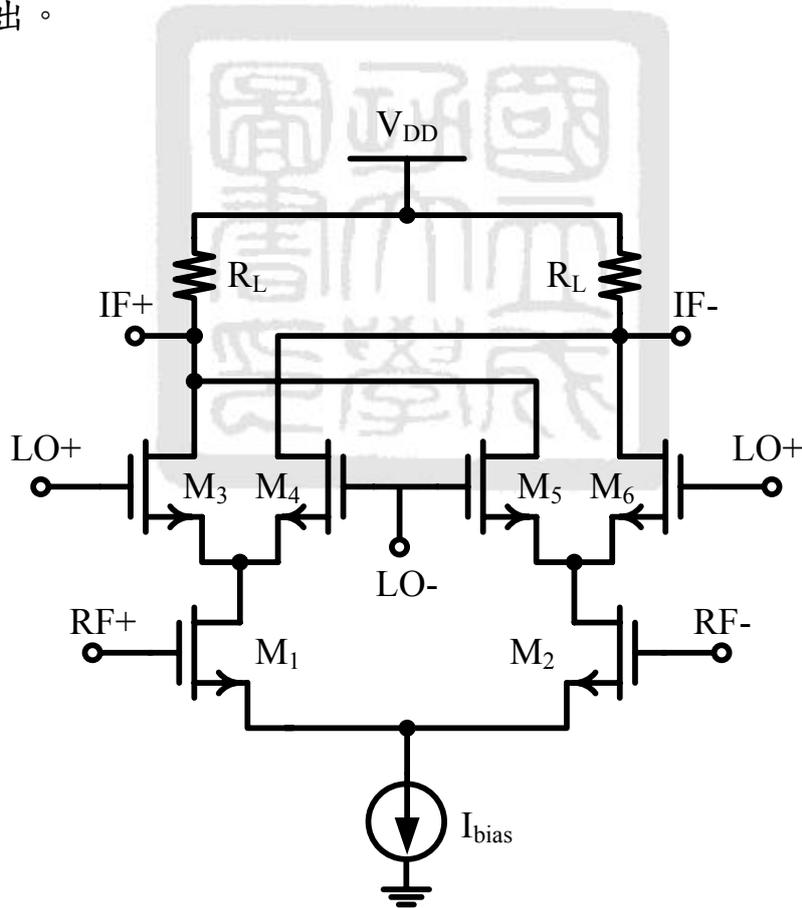


圖 3.6 吉伯特混頻器(Gilbert cell mixer)

3.3 3-5-GHz 寬頻 CMOS 摺疊式混頻器

近年來，由於 CMOS 製程技術的進步，使得 MOS 電晶體具有低電壓、低消耗功率的優勢。因此對於系統晶片而言，低電壓電路將是電路整合上的趨勢。然而傳統吉伯特混頻器，因為架構上需要疊接多顆電晶體，使得整體的直流供應電壓無法有效地降低，不利於低電壓的操作。以下將介紹可適用於低電壓操作之寬頻 CMOS 混頻器

3.3.1 低電壓混頻器架構之討論

如圖 3.7 所示為傳統的吉伯特混頻器，可以將其拆開成三部份來討論，分別是輸入轉導級、開關切換級和負載級。首先 RF 訊號經由輸入轉導級將電壓訊號變成電流訊號，接著開關切換級使得 RF 電流訊號藉由 LO 訊號的開關切換，產生 IF 電流訊號，最後負載級將 IF 電流訊號轉為電壓訊號輸出。

若逐步降低直流供應電壓(V_{DD})，對於吉伯特混頻器而言，當負載級使用 MOS 電晶體做為主動負載時，電路上需要疊接四顆電晶體，將會使得輸入訊號因為電壓頭部空間的不足，降低轉換增益且劣化線性度。因此在低電壓操作的考量下，傳統疊接式混頻器的架構已經不敷使用。

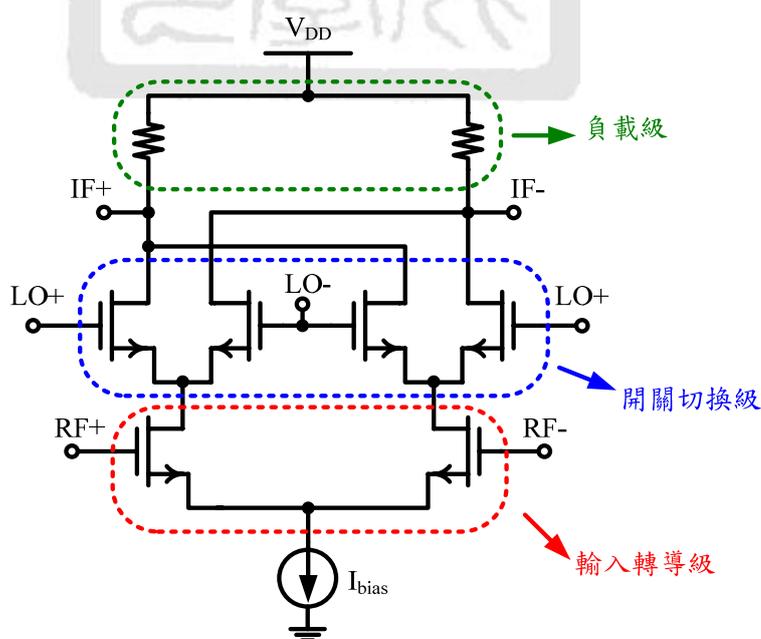


圖 3.7 傳統式疊接混頻器架構

參考相關文獻，目前所提出可適用於低電壓操作的混頻器有：基板驅動混頻器(bulk driving mixer)、切換轉導混頻器(switched transconductor mixer)及摺疊式混頻器(folded switch mixer)。若從電路架構來分析，可以發現上述的混頻器之所以適用於低電壓操作，主要是其 LO 訊號輸入的方式不同於一般傳統的吉伯特混頻器。如圖 3.8(a)所示為基板驅動混頻器，其 LO 訊號從基板(body)輸入，使得 MOS 電晶體的臨界電壓(threshold voltage)受到 LO 訊號的控制，藉此產生所需的降頻訊號。此電路的 RF 訊號和 LO 訊號輸入端皆在同一顆 MOS 電晶體，可以減少電晶體疊接的數量，所以適用於低電壓的操作。不過由於製程的因素，使得 RF-LO 隔離度不佳造成調變失真的情況嚴重，降低了電路的實用性。同理，如圖 3.8(b)所示為切換轉導混頻器，LO 訊號從 CMOS 反相器輸入，使得 RF 訊號輸入端的電晶體之轉導值受到 LO 訊號的控制，產生所需的降頻訊號。此電路可適用於低電壓操作，因為其轉導級和開關切換級並不是採用疊接的架構，降低了電壓頭部空間的損耗，同時由於 CMOS 反相器並不會有直流消耗功率，因此具有了低電壓、低消耗功率的優點。但是其所需要的 LO 訊號功率較大，對於系統整合而言，在 LO 訊號的產生需要額外增加緩衝放大器來達到所需的功率值。綜合上述的討論，本節選用摺疊式混頻器來設計。

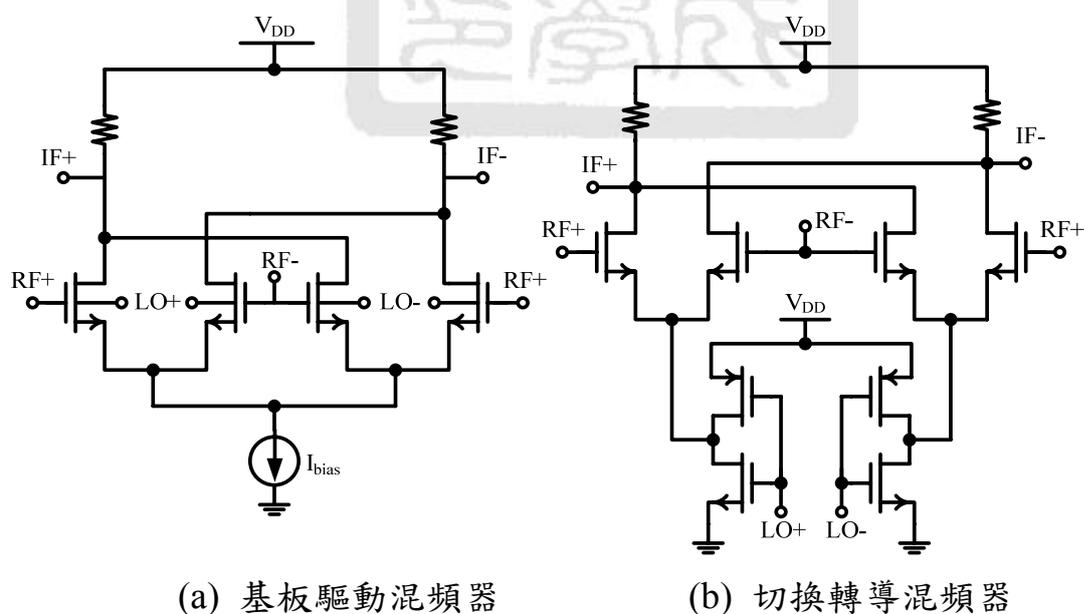


圖 3.8 低電壓混頻器架構

如圖 3.9 所示，若將吉伯特混頻器的輸入轉導級採用串接的方式與其他級結合，此即為摺疊式混頻器。因為減少了疊接的電晶體數量，所以適合於低電壓的操作。但是由於 MOS 電晶體的寄生電容效應，使得 RF 轉導電流會隨著頻率的增加而衰減，因此對於寬頻電路的應用上將藉由 LC 帶通濾波器來增加頻寬。除此之外，摺疊式混頻器將輸入轉導級和開關切換級分開串接，可以使得 LO 訊號洩漏至 RF 端的比例減少，提高隔離度，如圖 3.10 所示。

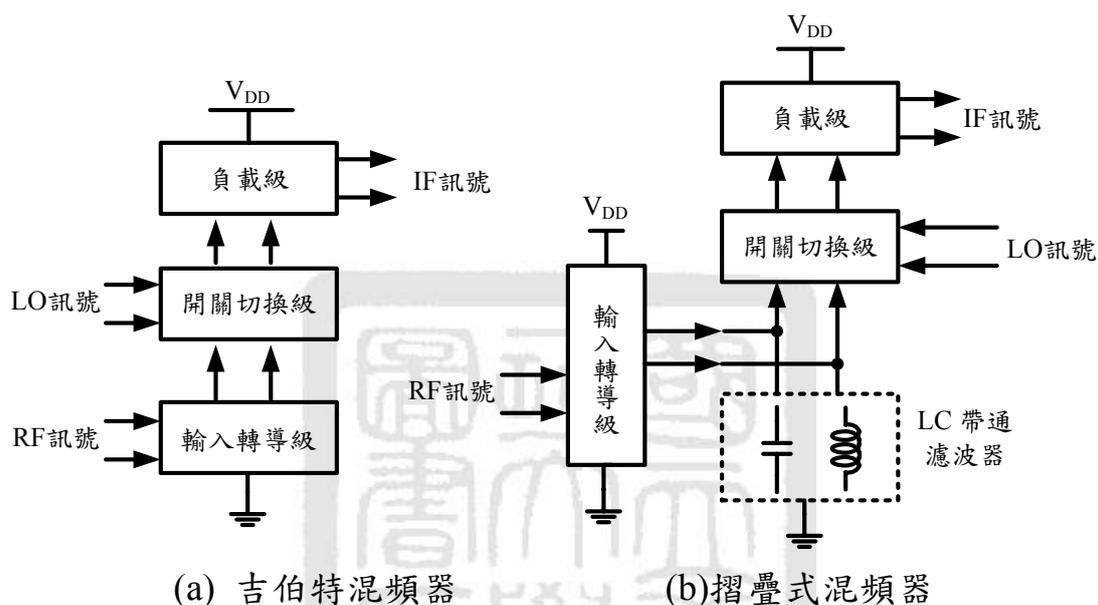


圖 3.9 摺疊式混頻器架構示意圖

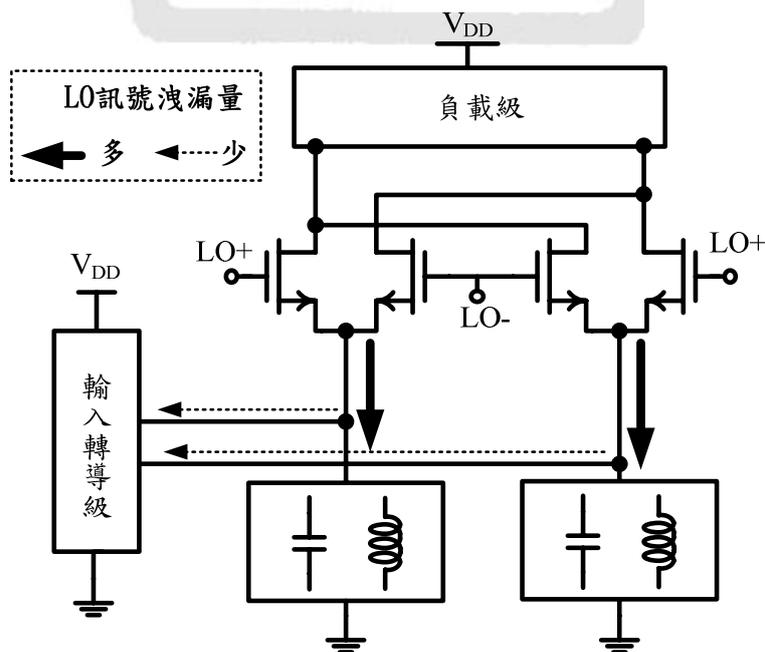
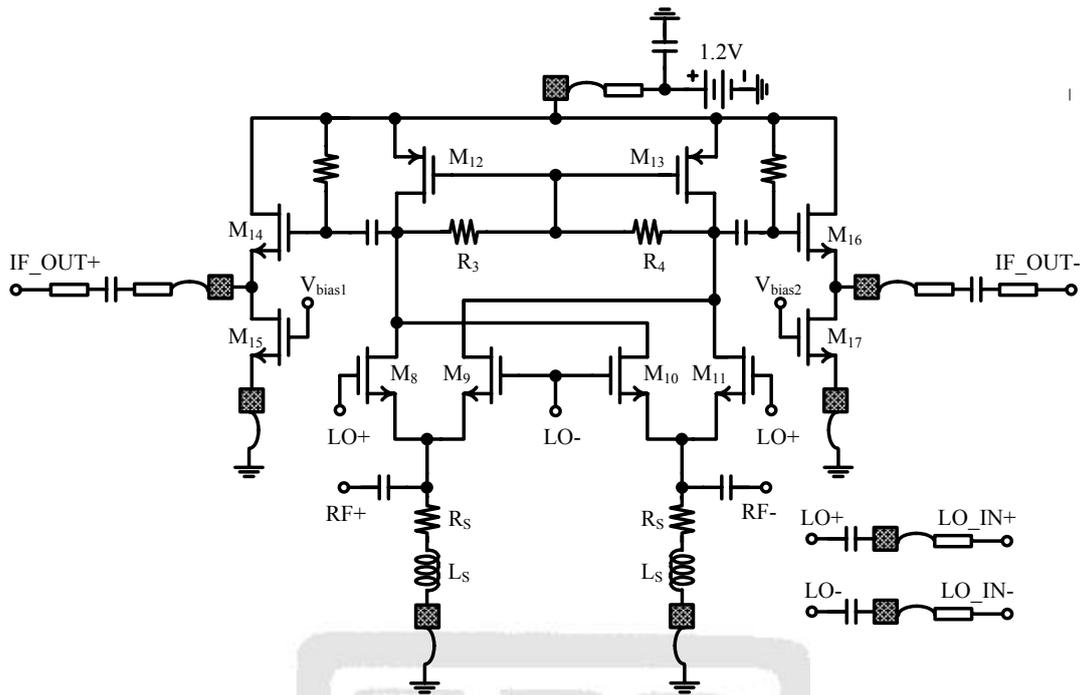
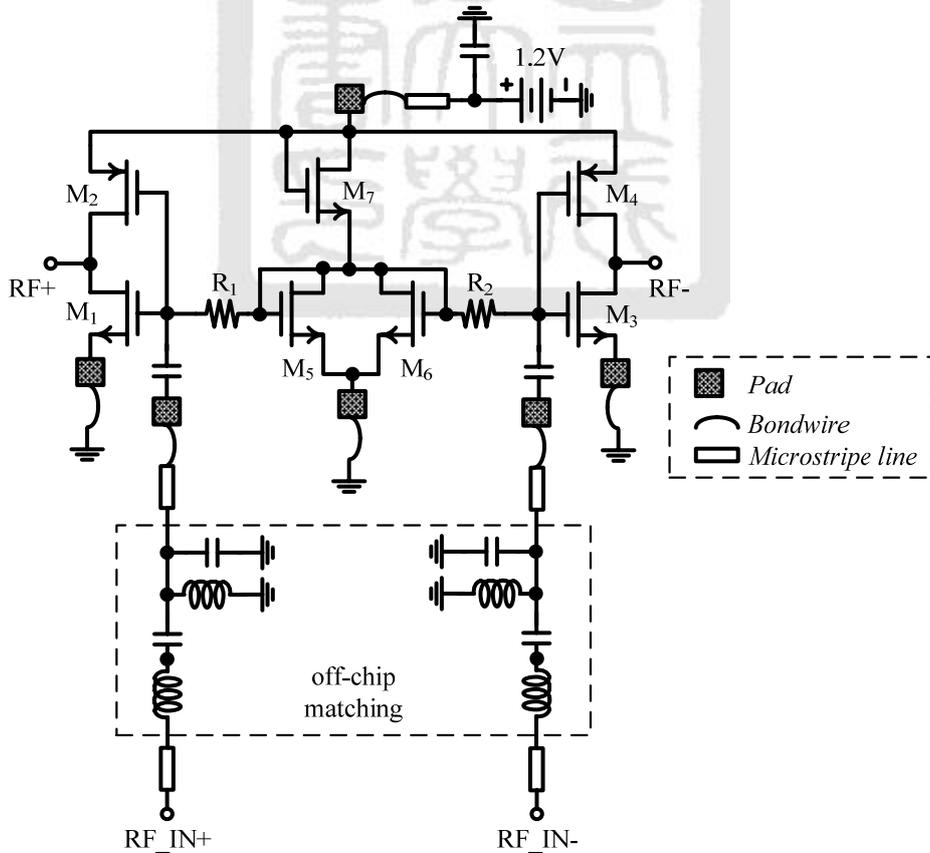


圖 3.10 提高 RF-LO 隔離度示意圖

3.3.2 寬頻摺疊式混頻器之實現



(a) 開關切換級和負載輸出級



(b) 輸入轉導級

圖 3.11 3-5-GHz CMOS 寬頻摺疊式混頻器完整架構圖

如圖 3.11 所示為 3-5-GHz CMOS 寬頻摺疊式混頻器完整架構圖。此電路採用吉伯特混頻器架構，將輸入轉導級和開關切換級串接使用，實現低電壓操作之目的。且藉由 shunt-peaking 的方法，達到寬頻的應用。架構上主要是由輸入轉導級(M_1-M_7)、開關切換級(M_8-M_{11})、主動負載級($M_{12}-M_{13}$)和緩衝放大器($M_{14}-M_{17}$)四個部份所組成，以下將分別說明。

(a) 輸入轉導級

在轉導級的選擇上，採用 CMOS 反相器來取代傳統單一電晶體所構成的轉導電路，可以有效的將流經過電晶體的直流供應電流減少，繼而降低功率消耗。如圖 3.12 所示為本晶片所設計之 CMOS 反相器，透過小訊號分析，若忽略 r_{op} 及 r_{on} ，則可得等效轉導值(g_{eff})及輸入阻抗(Z_{in})如下：

$$g_{eff} = \frac{I_{out}}{V_{in}} = g_{mn} \frac{s^2 C_{gsn}^2}{s^2 L_d C_{gsn} + s g_{mn} L_d + 1} + g_{mp} \quad (3.8)$$

$$Z_{in} = \frac{1}{s C_{gsp}} \parallel \left(s L_d + \frac{1}{s C_{gsn}} + \frac{g_{mn}}{C_{gsn}} L_d \right) \quad (3.9)$$

由(3.8)式得知，CMOS 反相器的等效轉導值可以提高混頻器的轉換增益，避免了低電壓操作所產生的增益衰減。

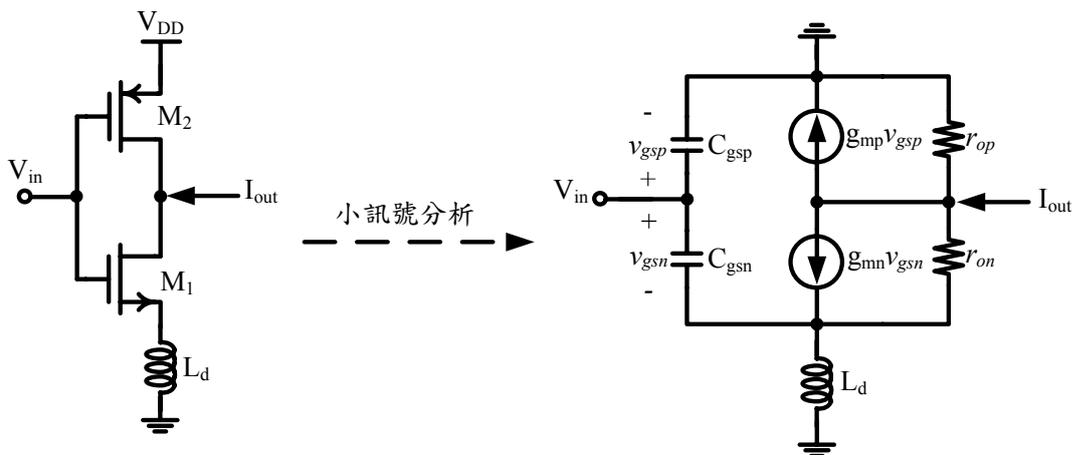


圖 3.12 摺疊式混頻器轉導級電路

同理，對於未使用尾電流源(tail current source)偏壓的混頻器而言，其 $IIP3$ 可以如下表示：

$$V_{IIP3} \approx 4 \sqrt{\frac{2}{3} (V_{gs,trans} - V_t) E_{sat} L} \propto V_{gs,trans} \quad (3.10)$$

其中 $V_{gs,trans}$ 表示轉導級電晶體的閘極和源極間的壓差、 E_{sat} 表示轉導電晶體的飽和速度電場值(velocity saturation electric field)、 L 表示轉導電晶體的通道長度。因此藉由提升等效轉導值，相對提升了轉導級電晶體的閘極和源極間的壓差，進而增加了混頻器的線性度。此外，在輸入匹配部份，由(3.9)式得知，CMOS 反相器的輸入阻抗可以等效如圖 3.13 所示，藉由源極退化電感(L_d)產生實部阻抗，以利於輸入匹配。設計上為了節省晶片面積及增加可調性，將源極退化電感(L_d)以 bondwire 取代。

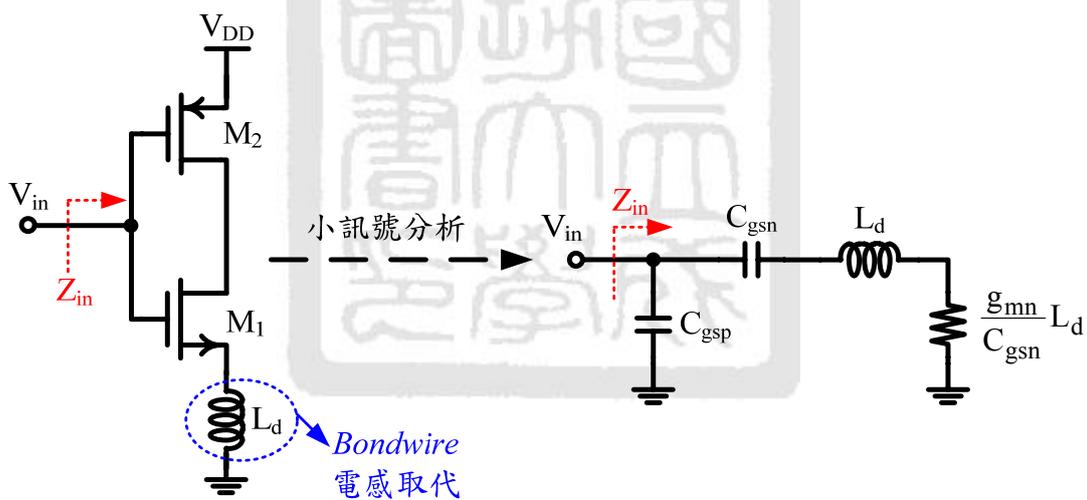


圖 3.13 摺疊式混頻器等效輸入阻抗

(b) 開關切換級

開關級的設計上，可以分成偏壓、LO 功率及電晶體寬度三方面來考量。首先在偏壓的考量上，為了使開關電晶體的切換最有效率，一般來說是將其偏壓在飽和區和歐姆區的邊界。再來考慮所需的 LO 功率，在現實的操作中，LO 訊號為正弦波，因此開關的切換並不理想，如圖 3.14 所示。當 LO 訊號的振幅大於 $\sqrt{2}(V_{gs} - V_t)_{sw}$ 時，開關對才會呈現理想的切換，即一個 ON、另一個 OFF，反之則開關對同時導通，影響了轉換增益。參考[22]

將此非理想效應量化可得混頻器的轉換增益(CG)如下：

$$CG = \frac{\sqrt{2}g_m R_L V_{LO}}{\pi(V_{gs} - V_t)_{sw}} \sin\left(\frac{\sqrt{2}(V_{gs} - V_t)_{sw}}{V_{LO}}\right) \quad (3.11)$$

其中 $(V_{gs} - V_t)_{sw}$ 表示開關級的閘極和源極間的壓差、 V_{LO} 表示 LO 訊號的電壓振幅、表示 g_m 轉導級的等效轉導。觀察(3.11)式發現，增加 LO 訊號的功率或是降低開關級的閘極和源極間的壓差，可以減少開關對非理想切換對於轉換增益的影響。但是過大的 LO 訊號會降低混頻器的線性度，因此在選擇需要有所取捨。至於開關級電晶體寬度的選擇，一般而言選用較大的電晶體寬度可以降低混頻器的雜訊。不過電晶體的寬度越大，則寄生電容就越大，導致混頻器的隔離度不佳，造成增益下降，所以開關級電晶體的寬度可以在轉換增益及雜訊兩方面給予取捨。

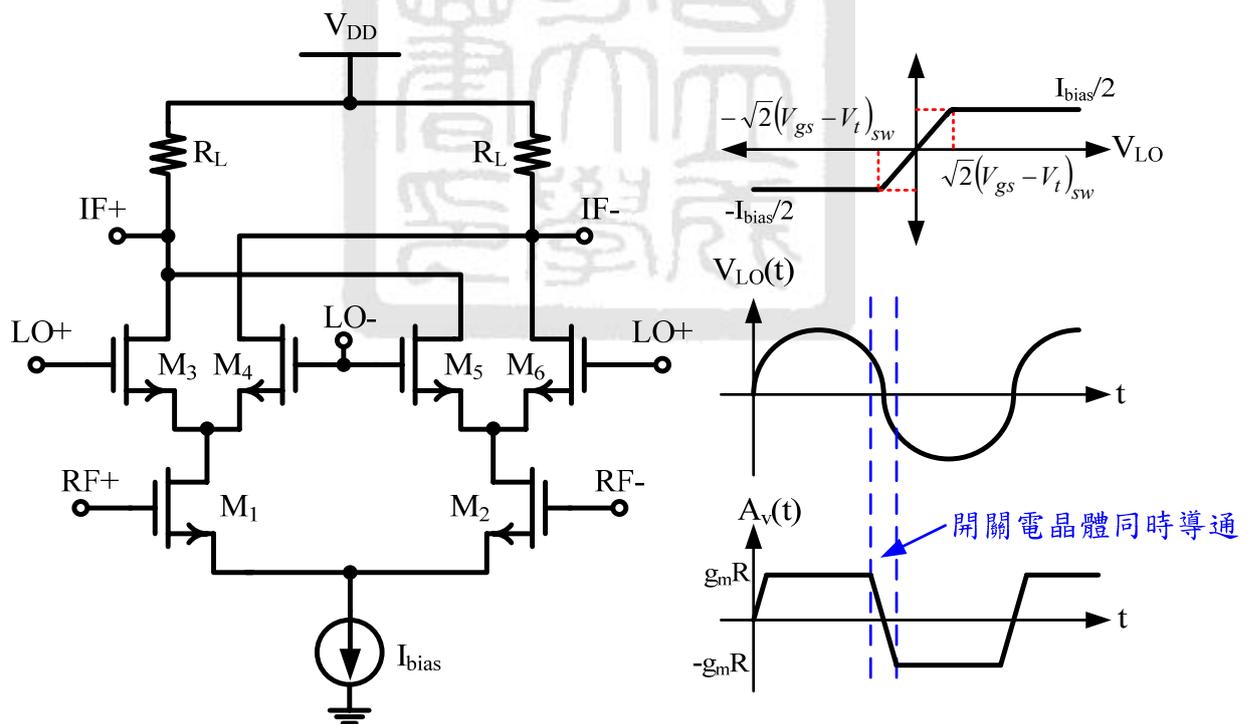


圖 3.14 LO 訊號對混頻器的非理想效應

電流增加，導至節點 V_d 的電壓下降。此時節點 V_d 和 V_{bias} 以電阻 R_L 連接，且 PMOS 電晶體的閘極並無電流，所以電阻 R_L 只負責傳遞節點 V_d 的電壓變化。節點 V_{bias} 的電壓下降造成 PMOS 電晶體閘極和源極間的壓差增加，且汲極和源極間的電壓減少，使得節點 V_d 的電壓提升，如此回授機制的運作，可以讓節點 V_{bias} 維持在預設的偏壓，藉此抑制輸出端的共模訊號。

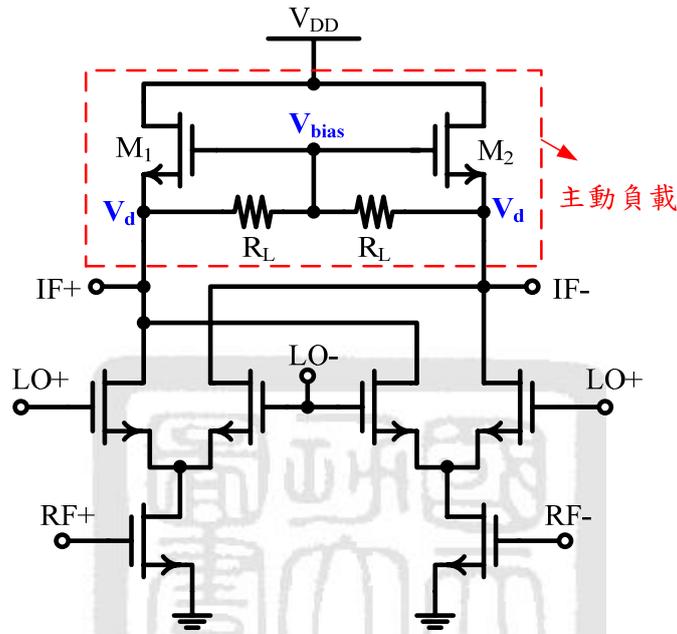


圖 3.16 主動負載形式的混頻器

(d) 緩衝放大器

在輸出端的部份，為了避免負載效應影響混頻器的操作，所以在混頻器的主體之外，加入了緩衝放大器。由於測上的考量，緩衝放大器的設計採用源極隨耦器(source follower)之架構，使其輸出端匹配便於設計。如圖 3.17 所示，透過小訊號分析，若忽略 r_{o1} 及 r_{o2} ，則可得源極隨耦器的輸出阻抗(Z_{out})如下：

$$Z_{out} = \frac{1}{g_{m1} + s(C_{gs1} + C_{gd2})} \quad (3.14)$$

由(3.14)式可知，在輸出匹配的部份，為了降低 MOS 電晶體的寄生效應，可以藉由提高閘極偏壓或是汲極偏壓電流，使得 $Z_{out} \approx 1/g_{m1}$ 來完成輸出匹配，一般而言 g_{m1} 的選擇約大於 20 mS。

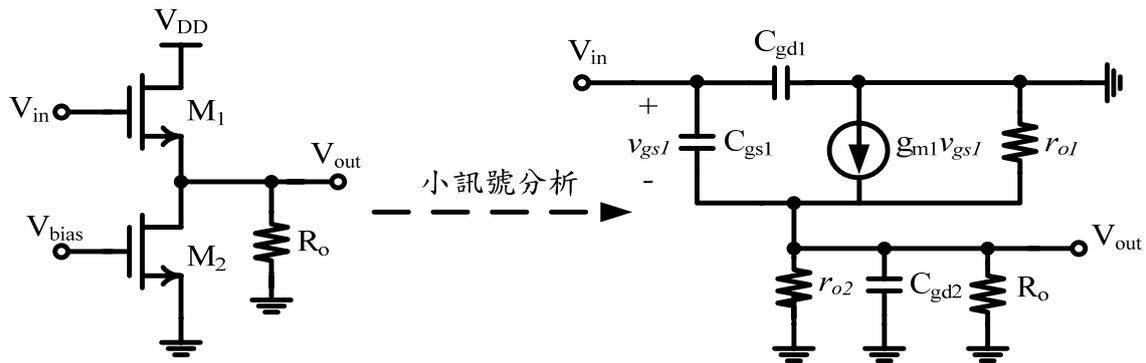


圖 3.17 源極隨耦器之小訊號輸出阻抗分析

3.4 寬頻 CMOS 摺疊式混頻器之設計流程

本晶片設計一應用於 UWB 接收機之 3-5-GHz CMOS 寬頻摺疊式混頻器。電路採用 Gilbert cell 架構，設計上可以分成兩部分。第一，為了達到低電壓操作，採用摺疊的方法將混頻器的轉導級和開關級分離，並利用電容將轉導電流耦合進入開關級。第二，為了達到寬頻的操作，在開關級和轉導級間使用 shunt-peaking 的方式，藉此降低寄生電容所產生的影響，改善轉換增益。整個電路的設計流程如下：

- 轉導級採用 CMOS 反相器架構。如圖 3.18 所示為 CMOS 反相器的轉換曲線，首先在線性度的考量下，將電晶體的工作偏壓點選在線性放大區之中點，即選定 $V_{GS}=0.6\text{ V}$ 。接下來選擇 NMOS 電晶體的寬度，參考[10]所提供的方法，將 $0.18\text{ }\mu\text{m}$ 製程參數代入數學運算軟體，可繪製出電晶體之平均雜訊及汲極電流相對於電晶體寬度關係圖，如圖 3.19 所示。

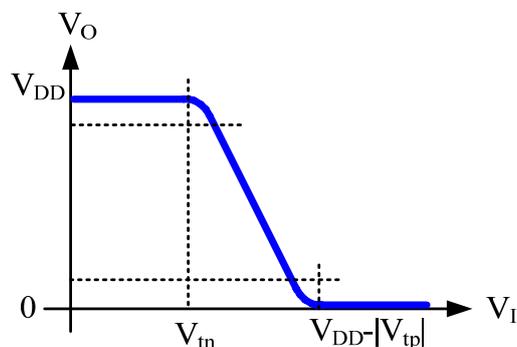


圖 3.18 CMOS 反相器轉換曲線

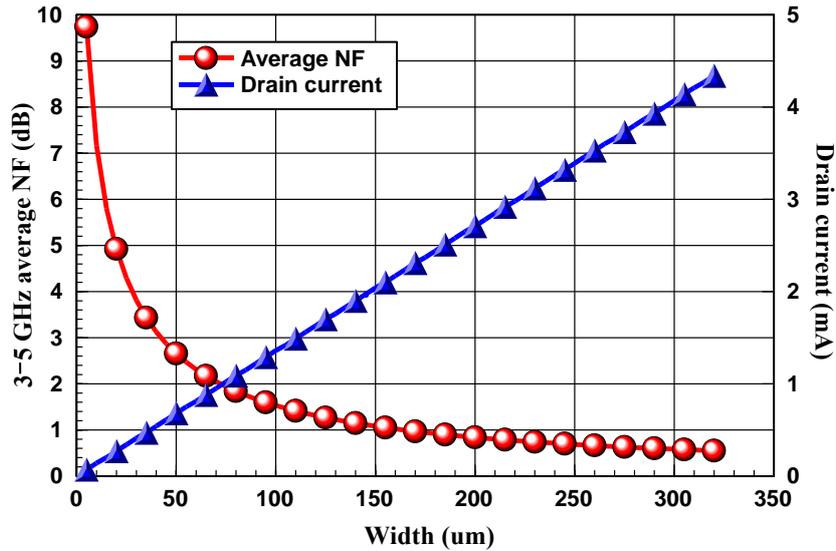


圖 3.19 平均雜訊及汲極電流對電晶體寬度關係圖

透過觀察可以得知，當電晶體寬度大於 $120 \mu\text{m}$ 時，其平均雜訊的變化呈現出平緩的趨勢，同時在功率消耗的考量下，本晶片選擇轉導級 NMOS 寬度為 $120 \mu\text{m}$ 。選定完 NMOS 電晶體寬度後，由圖 3.19 得知汲極電流為 1.63 mA ，因此利用電晶體電流公式即可以得知 CMOS 反相器之 PMOS 電晶體所需的寬度。

- 開關級的部份，為了讓開關電晶體切換有效率，設定 $V_{GS,sw}=0.5 \text{ V}$ 。根據(3.13)式，若忽略 R_s 、 L_s 及轉導級電路之寄生電容後，可以將其簡化如下：

$$BW = \frac{n \times g_{m,sw}}{n \times C_{gs,sw}} = \frac{\mu C_{ox} W_{sw} (V_{GS} - V_t)_{sw}}{\frac{2}{3} C_{ox} W_{sw} L_{sw}} \quad (3.15)$$

將(3.15)式整理可得

$$L_{sw} = \sqrt{\frac{3\mu(V_{GS} - V_t)_{sw}}{2 \times BW}} \quad (3.16)$$

因此可得開關對電晶體的通道長度。在電晶體寬度的選擇上，因為降頻混頻器雜訊主要來自於開關電晶體的閃爍雜訊(flicker noise)，所以設計上主要以較少的汲極電流和較大的電晶體寬度為主，在此選擇電晶體的

汲極電流為 0.5 mA、寬度為 200 μm 。

- 選定了開關級電晶體之後，接下來藉由 shunt-peaking 的方式，適當的選擇 L_s 及 R_s ，產生寬頻的電流輸入開關級。
- 利用 M_{11} 、 M_{12} 兩顆 PMOS 電晶體及電阻連接成 diode connected 形式的主動負載，其好處在於免除直接利用電阻當作負載所需犧牲的壓降損耗，因此 M_{12} 、 M_{13} 兩顆 PMOS 電晶體寬度的選擇與 diode connected 電阻的大小決定整體的增益與線性度。
- 輸出端採用源極隨耦器完成輸出匹配
- 輸入端採用 off-chip 元件進行匹配，透過觀察史密斯圖完成匹配。

3.5 模擬與量測結果

3-5-GHz CMOS 寬頻摺疊式混頻器模擬與量測結果如圖 3.20 及表 3.1 所示，模擬顯示混頻器核心電路之直流偏壓為 1.2 V/7.54 mA，消耗功率為 9.05 mW、緩衝放大器之直流偏壓為 1.2 V/3.56 mA，消耗功率為 4.27 mW。RF 端輸入回返損耗皆大於 12 dB、IF 端輸出回返損耗皆大於 12 dB。Band 1 頻段內的轉換增益為 8.32-11.65 dB、input $P_{1\text{dB}}$ 為 -18- -16 dBm、IIP3 為 -5.43- -3.83 dBm、LO-RF isolation 為 132.35 dB、LO-IF isolation 為 156.01 dB、RF-IF isolation 為 62.05 dB。Band 2 頻段內的轉換增益為 7.27-10.51 dB、input $P_{1\text{dB}}$ 為 -17- -15.5 dBm、IIP3 為 -4.67- -3.17 dBm、LO-RF isolation 為 131.53 dB、LO-IF isolation 為 159.28 dB、RF-IF isolation 為 54.71。Band 3 頻段內的轉換增益為 6.14-8.84 dB、input $P_{1\text{dB}}$ 為 -16- -14.5 dBm、IIP3 為 -3.99- -2.35 dBm、LO-RF isolation 為 123.01 dB、LO-IF isolation 為 161.75 dB、RF-IF isolation 為 59.75 dB。

量測顯示混頻器核心電路之直流偏壓為 1.2 V/7 mA，消耗功率為 8.4 mW、緩衝放大器之直流偏壓為 1.2 V/4 mA，消耗功率為 4.8 mW。RF 端輸入回返損耗皆大於 5 dB、IF 端輸出回返損耗皆大於 5 dB。Band 1 頻段內的轉換增益為 3-8.7 dB、input $P_{1\text{dB}}$ 為 -19.5- -13.5 dBm、IIP3 為 -10.7- -2.35 dBm、LO-RF isolation 為 37.9 dB、LO-IF isolation 為 22.5dB、RF-IF isolation 為 50.9 dB。Band 2 頻段內的轉換增益為 2.3-7.6 dB、input $P_{1\text{dB}}$ 為 -18- -13.5 dBm、IIP3 為 -5.35- -0.65 dBm、LO-RF isolation 為 30 dB、LO-IF isolation

為 22.1 dB、RF-IF isolation 為 47.5 dB。Band 3 頻段內的轉換增益為 2.9–3.9 dB、input P_{1dB} 為 -15– -10.5 dBm、IIP3 為 -4– -1 dBm、LO-RF isolation 為 32 dB、LO-IF isolation 為 21 dB、RF-IF isolation 為 45 dB。

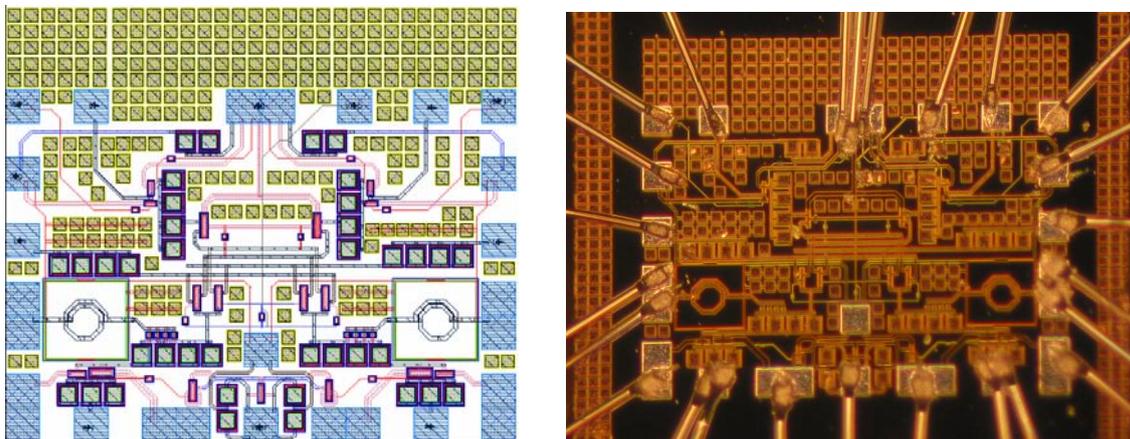


圖 3.20 摺疊式混頻器晶片佈局/照片圖

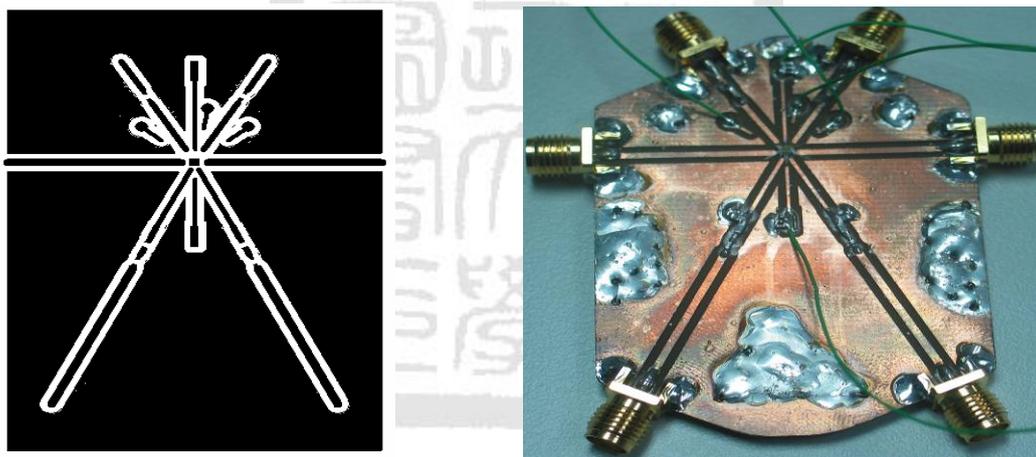
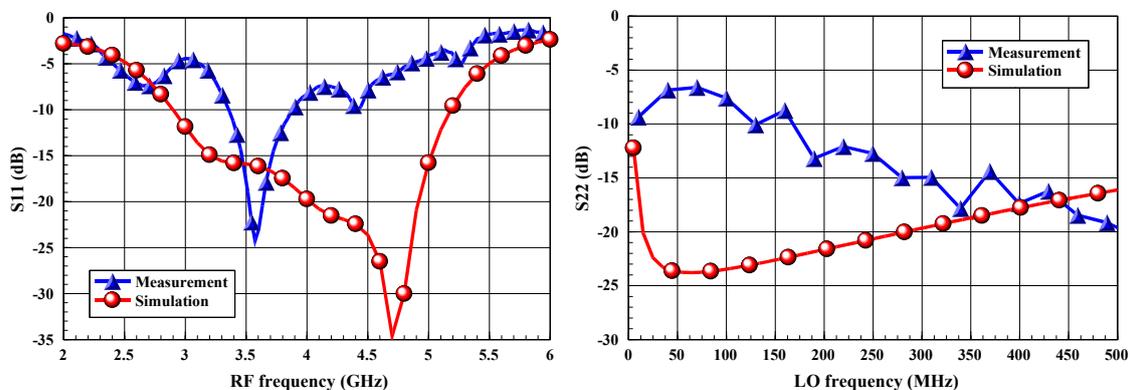


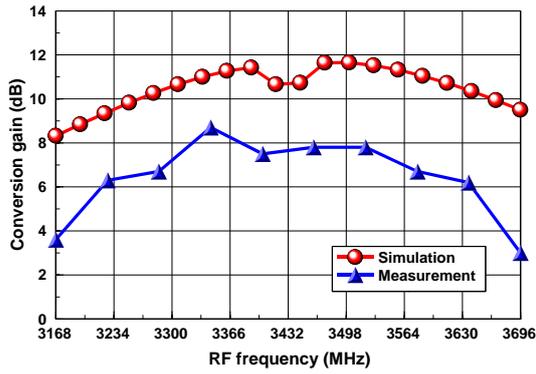
圖 3.21 摺疊式混頻器 PCB 板佈局/照片圖



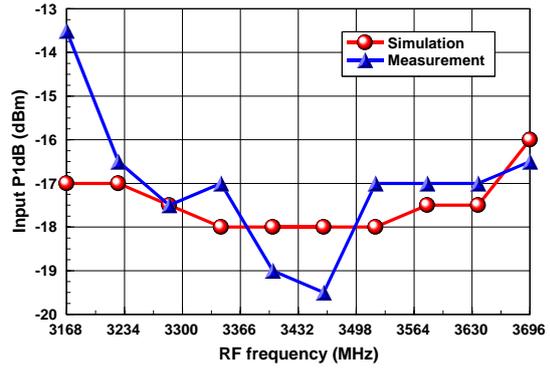
(a) RF port return loss

(b) IF port return loss

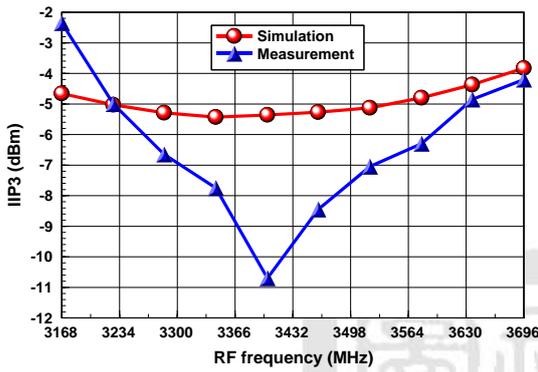
圖 3.22 摺疊式混頻器輸入/輸出回返損耗模擬



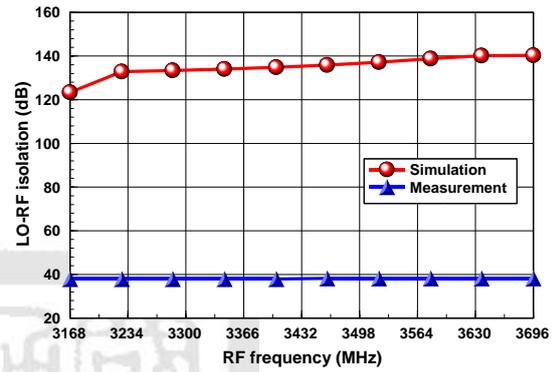
(a) Conversion gain



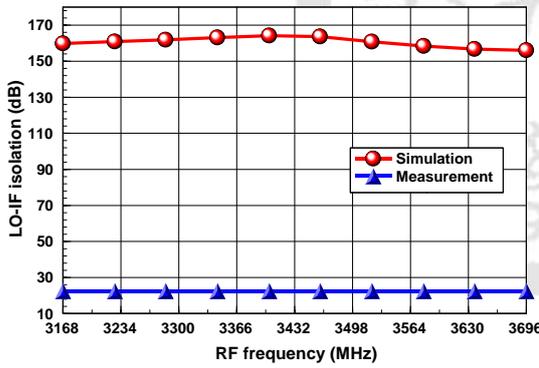
(b) Input P_{1dB}



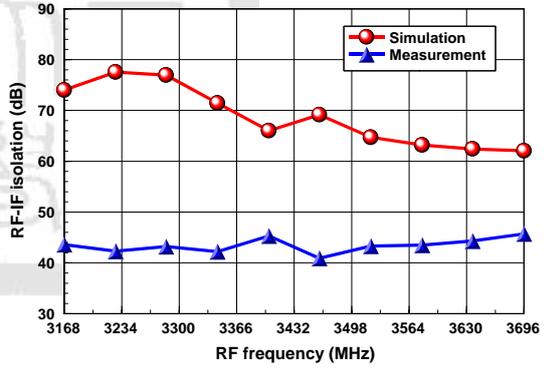
(c) IIP3



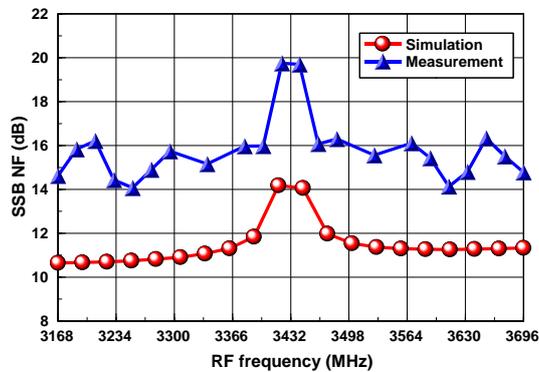
(d) LO-RF isolation



(e) LO-IF isolation

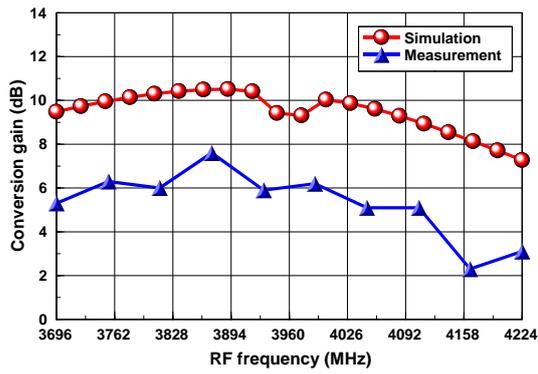


(f) RF-IF isolation

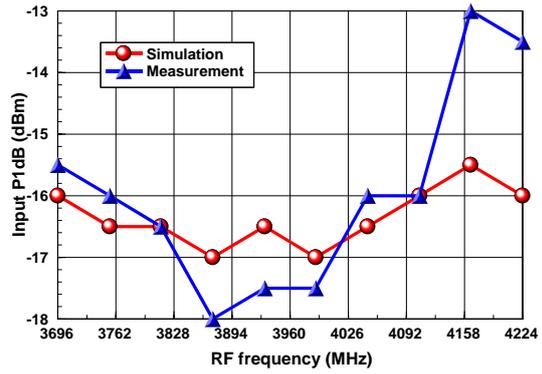


(g) SSB NF

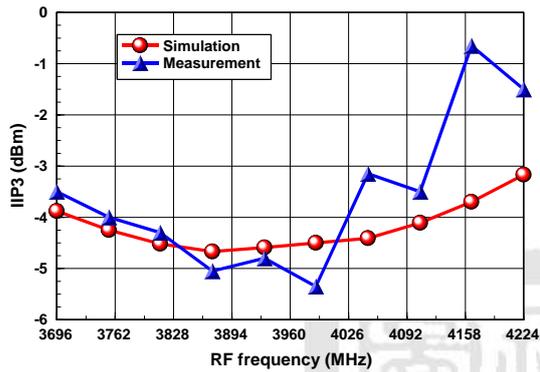
圖 3.23 摺疊式混頻器之 Band 1 模擬/量測結果



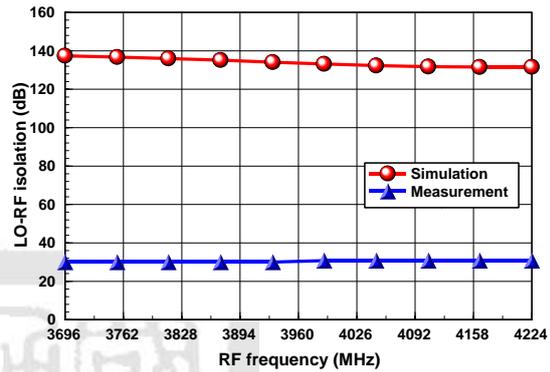
(a) Conversion gain



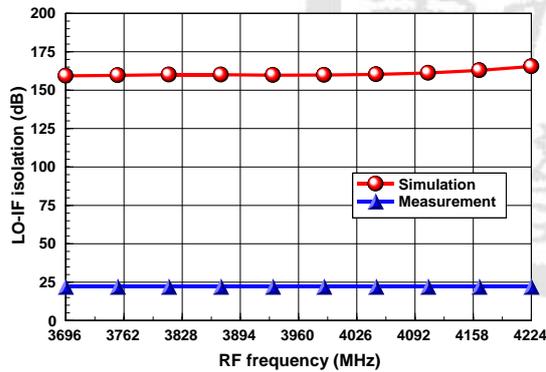
(b) Input P_{1dB}



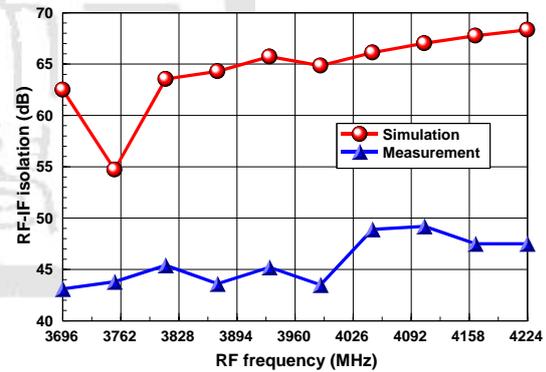
(c) IIP3



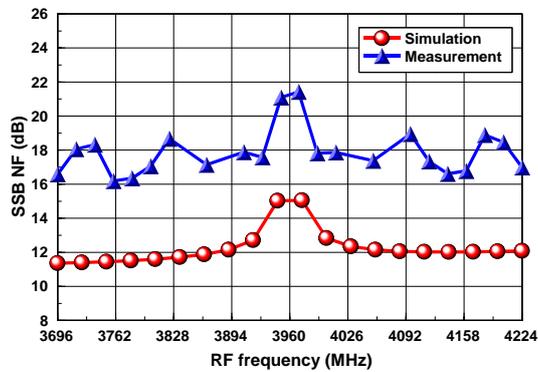
(d) LO-RF isolation



(e) LO-IF isolation

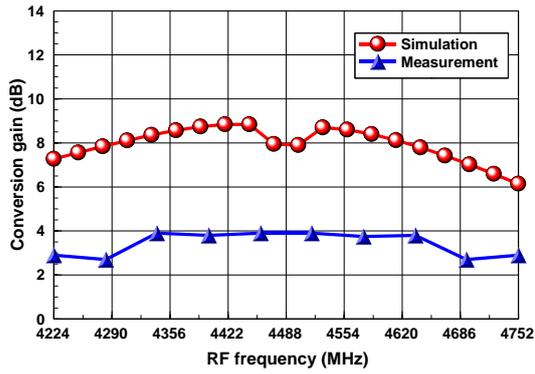


(f) RF-IF isolation

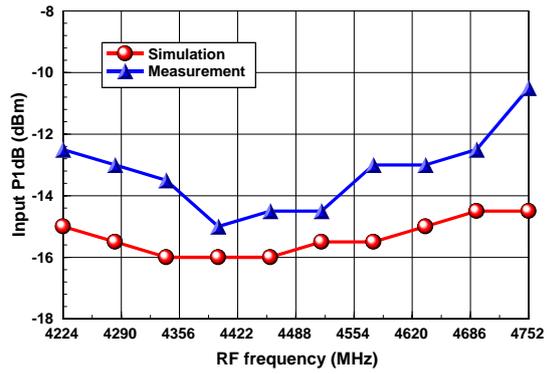


(g) SSB NF

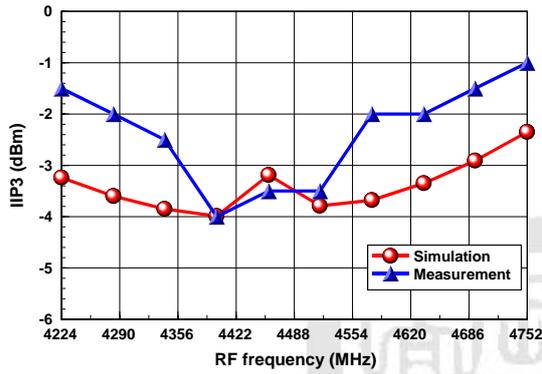
圖 3.24 摺疊式混頻器之 Band 2 模擬/量測結果



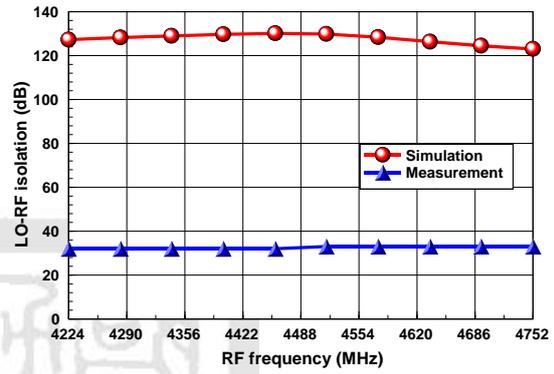
(a) Conversion gain



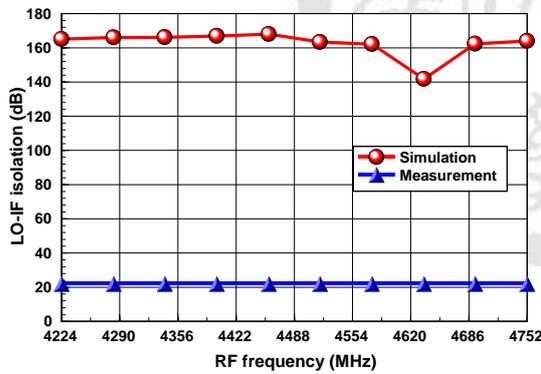
(b) Input P_{1dB}



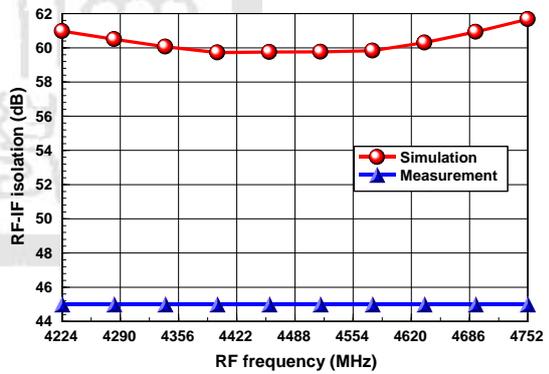
(c) IIP3



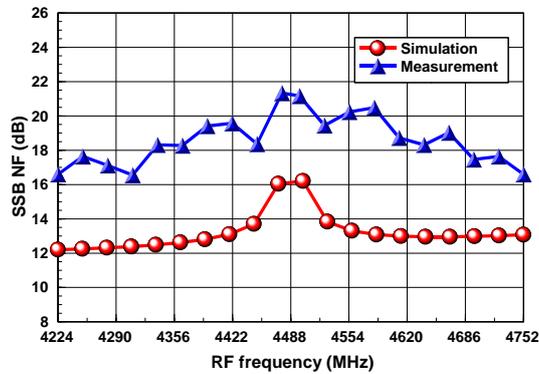
(d) LO-RF isolation



(e) LO-IF isolation



(f) RF-IF isolation



(g) SSB NF

圖 3.25 摺疊式混頻器之 Band 3 模擬/量測結果

表 3.1 3-5-GHz 寬頻 CMOS 摺疊式混頻器模擬/量測特性總表

| 3-5-GHz Broadband CMOS Folded Mixer (TSMC 0.18 μm) | | | |
|---|---------------|--|--|
| | | Simulation | Measurement |
| V_{DD} | | 1.2 V | |
| RF frequency | | 3168-4752 MHz | |
| IF frequency | | 5-264 MHz | |
| Power consumption | | 9.05 mW (w.o buffer) 13.32 mW (w. buffer) | 8.4 mW (w.o buffer) 13.2 mW (w. buffer) |
| LO input power | | -6 dBm | -6 dBm |
| RF port return loss | | > 12 dB | > 5 dB |
| IF port return loss | | > 12 dB | > 5 dB |
| Conversion gain | Band 1 | 8.32-11.65 dB | 3-8.7 dB |
| | Band 2 | 7.27-10.51 dB | 2.3-7.6 dB |
| | Band 3 | 6.14-8.84 dB | 2.9-3.9 dB |
| SSB NF | Band 1 | 10.65-14.18 dB | 14.62-19.75 dB |
| | Band 2 | 11.36-15.02 dB | 16.58-21.42 dB |
| | Band 3 | 12.20-16.20 dB | 16.59-21.33 dB |
| Input P_{1dB} | Band 1 | -18- -16 dBm | -19.5- -13.5 dBm |
| | Band 2 | -17- -15.5 dBm | -18- -13.5 dBm |
| | Band 3 | -16- -14.5 dBm | -15- -10.5 dBm |
| IIP3 | Band 1 | -5.43- -3.83 dBm | -10.7- -2.35 dBm |
| | Band 2 | -4.67- -3.17 dBm | -5.35- -0.65 dBm |
| | Band 3 | -3.99- -2.35 dBm | -4- -1 dBm |
| LO-RF isolation | | > 123.01 dB | > 30 dB |
| LO-IF isolation | | > 159.28 dB | > 21 dB |
| RF-IF isolation | | > 60.06 dB | > 52 dB |
| Die size | | 1.03 × 1.20 mm ² | |

3.6 問題與討論

從量測結果可以發現此電路之轉換增益曲線與模擬結果的趨勢接近，但是整體少了 3-4 dB。由於晶片在設計時已經做過 post-simulation，所以推測轉換增益的誤差為 PCB 板額外的損耗及晶片佈局走線上的損耗。同時，在輸入匹配方面，因為輸入端是採用 off-chip 的被動元件進行匹配。但是由於 off-chip 之被動元件模型參數不準確，且本次晶片在切割時預留太多不需要的面積，使得鏢線長度比預期得還要長許多，所以量測所得之輸入匹配比模擬結果還要差，且使得轉換增益下降。

另外，在隔離度的量測上，相較於模擬結果相差很大，主要是因為混頻器量測時需要額外加入 balun，產生差動訊號。然而在設計時並未考慮 balun 之振幅大小及相位誤差，如圖 3.26 所示為本次晶片量測時所採用的 balun。若只考慮 Band 1 的部份，則如圖 3.27 所示為一併考量連接線及 balun 所量測到的差動訊號相位差。可以發現其不是完美的 180 度差動訊號，大約會誤差 10-20 度。因此將其誤差值代入模擬，如圖 3.28 所示，模擬結果和量測相當接近。此外，PCB 板的走線及晶片佈局的不對稱性也會影響隔離度。



圖 3.26 混頻器量測時所採用的 ring 及 transformer(mini-circuit TC1-1T)

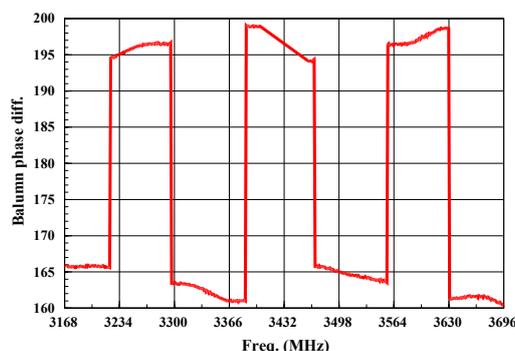
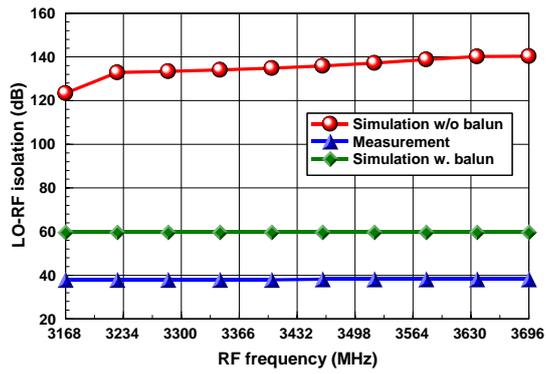
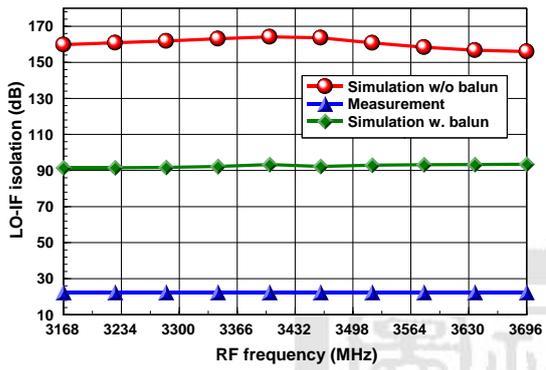


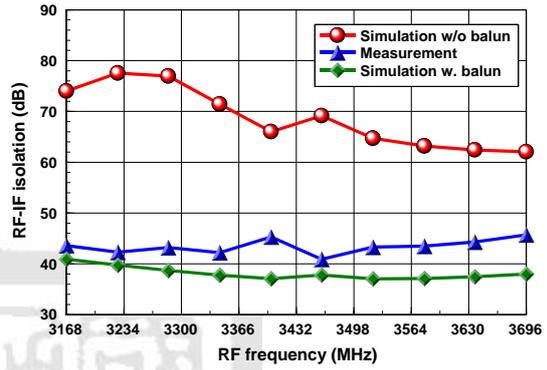
圖 3.27 Balun 的不理想效應



(a) LO-RF isolation



(b) LO-IF isolation



(c) RF-IF isolation

圖 3.28 Balun 的不理想效應之模擬與量測比較圖



第四章

3-5-GHz 寬頻 CMOS 次諧波混頻器

(TSMC 0.18 μm)

由於系統單晶片的盛行，對於超外差接收機架構而言，因為其需要外部元件以符合系統規格，使得晶片整合度降低。因此，近年來接收機逐漸朝向直接降頻之架構為目標。一般來說，直接降頻接收機因為不受鏡像頻率干擾，可以免除了外接式的鏡像濾波器，因此系統之整合度非常高。可是直接降頻接收機在設計上同時面臨著許多可能產生的問題，其中直流準位偏移(DC offset)即是一個重要的部份。以下將介紹寬頻 CMOS 次諧波混頻器，其藉由降低 LO 訊號的頻率來改善直流準位偏移之問題。此外，對於次諧波混頻器而言，因為沒有自我混頻的情況，所以可解決混頻器電路之直流不穩定的問題。

4.1 次諧波混頻器之簡介

對於直接降頻接收機而言，若混頻器的 LO-RF 隔離度並非無窮大時，會產生自我混頻的現象，造成了直流準位的偏移，進一步影響電路正常運作。然而次諧波混頻器利用 LO 訊號的二次諧波來驅動混頻電晶體，如圖 4.1 所示。若 LO-RF 隔離度不佳，使得 LO 訊號洩漏至 RF 訊號端，此時在混頻器輸出端產生的 IF 訊號頻率為 $|\omega_{RF} \pm 2\omega_{LO}| = |\omega_{LO} \pm 2\omega_{LO}|$ 。由於沒有產生直流訊號，因此次諧波混頻器可以改善直流偏移的問題。

一般而言，次諧波混頻器所需的 LO 訊號頻率為傳統吉伯特混頻器的一半，可以降低系統對於 LO 訊號設計上的難度。但是其採用諧波混頻的方式，相較於一般混頻器則需要更大的 LO 訊號功率，所以增加了系統整體的消耗功率。

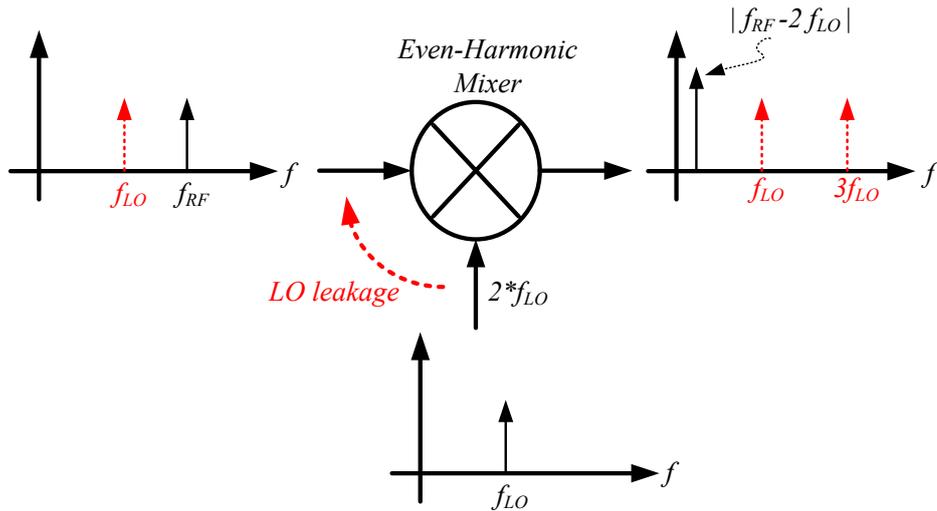
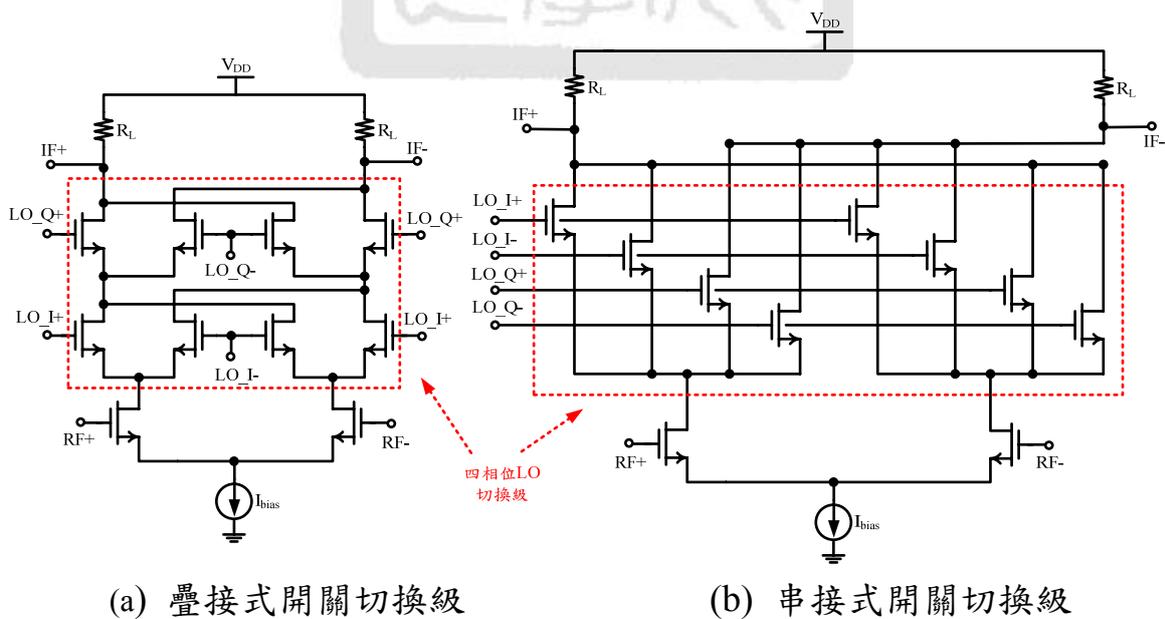


圖 4.1 次諧波混頻器改善直流偏移問題之簡圖

次諧波混頻器在設計架構上如同一般傳統混頻器，可以分為被動式混頻器和主動式混頻器，其中主動式混頻器如圖 4.2 所示，主要還是基於吉伯特混頻器架構，不過其開關切換級需要四相位 LO 訊號，產生諧波切換的動作。如圖 4.2(a)所示，採用疊接式開關級需要較高的操作電壓(V_{DD})，不然會壓縮了電壓頭部空間，影響電路的正常運作。因此本節所設計之晶片將採用串接式開關級的次諧波混頻器架構，接下來將透過 4.2 節說明其混頻原理。



(a) 疊接式開關切換級

(b) 串接式開關切換級

圖 4.2 主動式次諧波混頻器種類

4.2 次諧波混頻原理

如同 4.1 節所述，主動式次諧波混頻器為吉伯特混頻器之變形應用。如圖 4.3 所示為單端主動式混頻器，其中開關切換級為電流轉頻的部份，當開關電晶體為 ON 時，可視為一共閘極組態的放大器，其輸出電流(I_{out})可以表示為：

$$I_{out} = g_{m1}g_{m2}R_oV_{RF} \quad (4.1)$$

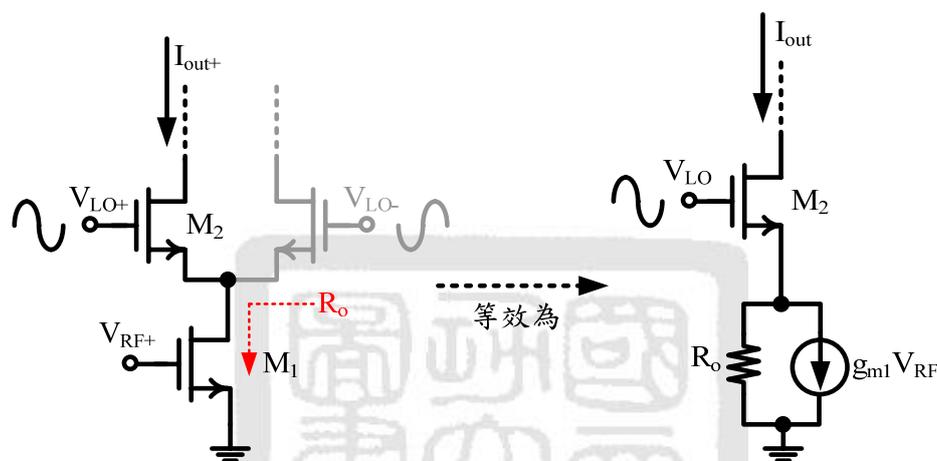


圖 4.3 單端主動式混頻器

不過因為 LO 端為大功率訊號，所以開關電晶體之轉導值受到 LO 訊號控制。其中 $g_{m2} = g_{m2}(V_{LO}) = A_0 + A_1V_{LO} + A_2V_{LO}^2 + \dots$ ，則(4.1)式可以整理得：

$$I_{out} = g_{m1}R_oV_{RF}(A_0 + A_1V_{LO} + A_2V_{LO}^2 + \dots) \quad (4.2)$$

假設 $V_{RF} = \cos(\omega_{RF}t)$ 且 $V_{LO} = \cos(\omega_{LO}t)$ ，可得混頻輸出電流為 $A_1g_{m1}R_o \cos(\omega_{RF}t)\cos(\omega_{LO}t)$ 。同理，若使用倍頻器架構來取代原本的單一開關電晶體，如圖 4.4 所示。當 $V_{LO+} = \cos(\omega_{LO}t)$ 、 $V_{LO-} = \cos(\omega_{LO}t + 180^\circ)$ ，且 M_2 和 M_3 電晶體相互對稱，那麼開關倍頻器的整體轉導值為：

$$\begin{aligned} G_{m,eff} &= g_{m2}(V_{LO+}) + g_{m3}(V_{LO-}) \\ &= 2A_0 + A_2 + A_2 \cos(2\omega_{LO}t) + \dots \end{aligned} \quad (4.3)$$

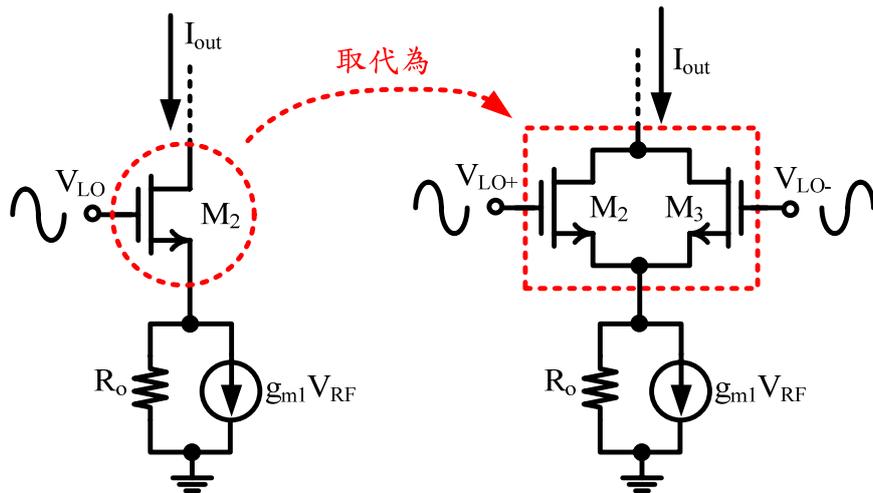


圖 4.4 開關倍頻器架構示意圖

由(4.3)式得知，使用倍頻器當作單一開關可以有效地抑制 LO 訊號的基頻成分，所以沒有自我混頻的困擾。若 $V_{RF} = \cos(\omega_{RF}t)$ ，則次諧波混頻電流為 $A_2 g_{m1} R_o \cos(\omega_{RF}t) \cos(2\omega_{LO}t)$ 。此外，為了增加混頻器的隔離度，利用電流相加減的方式，抵銷掉 RF 及 2LO 的訊號成分，其中吉伯特混頻器架構擁有最佳的隔離度，所以將開關倍頻器拿來取代吉伯特混頻器中的開關電晶體，如圖 4.5 所示。

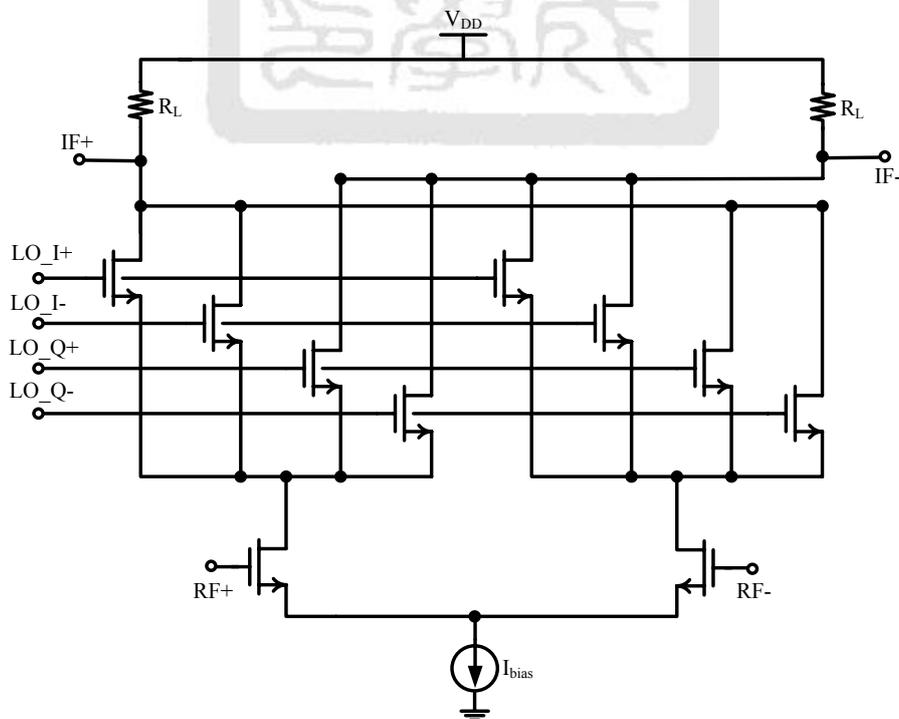
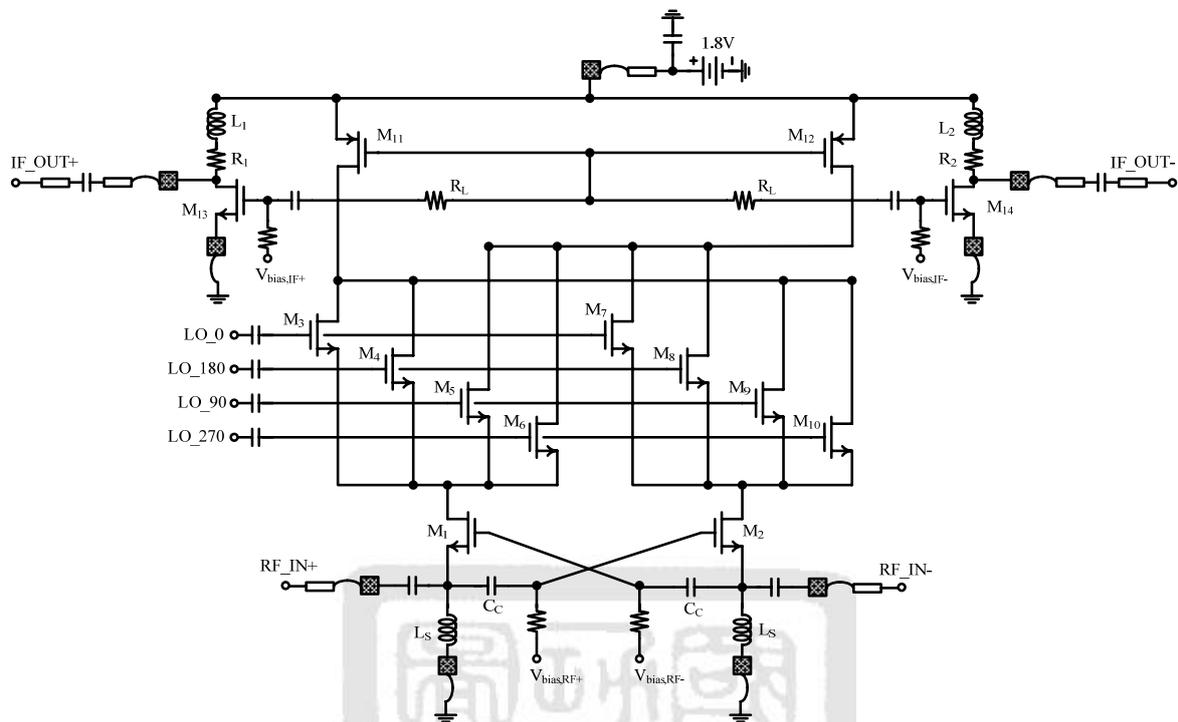
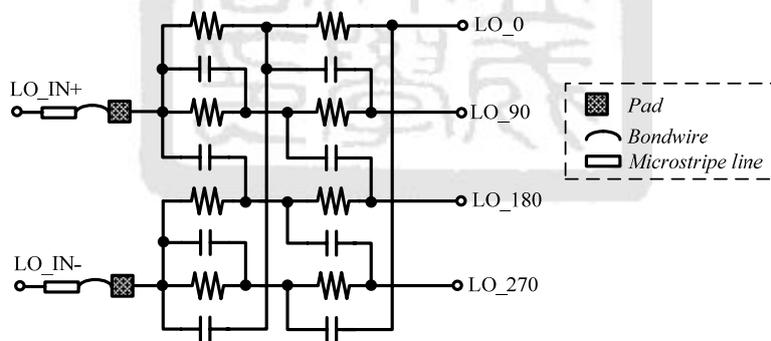


圖 4.5 次諧波混頻器架構圖

4.3 3-5-GHz 寬頻 CMOS 次諧波混頻器之實現



(a) 次諧波混頻器



(b) LO 四相位濾波器

圖 4.6 3-5-GHz 寬頻 CMOS 次諧波混頻器完整架構圖

如圖 4.6 所示為 3-5-GHz 寬頻 CMOS 次諧波混頻器完整架構圖。架構上主要是由輸入轉導級(M_1 - M_2)、開關切換級(M_3 - M_{10})、主動負載級(M_{11} - M_{12})和緩衝放大器(M_{13} - M_{14})四個部份所組成，以下將分別說明。

(a) 輸入轉導級

混頻器轉導級設計考量如同低雜訊放大器，包含了高轉導、低雜訊及良好的輸入匹配。對於寬頻放大器而言，共源極架構因為其轉導值相較於共閘極架構高，且雜訊表現也比共閘極架構佳。但是在輸入匹配部份卻要使用多個電感來實現，所以需要較大的晶片面積。因此在晶片面積的考量下，本晶片採用共閘極架構實現轉導級電路，並藉由 g_m -boosting 方法，在固定的消耗功率下，提高電路轉導值並且降低雜訊。如圖 4.7 所示為一般傳統式共閘極放大器。

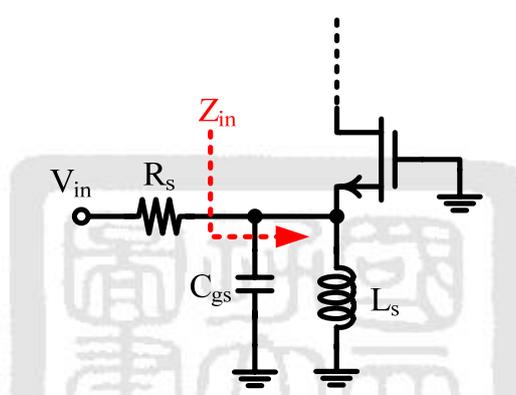


圖 4.7 共閘極放大器

經由小訊號分析可以得到：

$$Z_{in} = \frac{1}{g_m} \parallel sL_s \parallel \frac{1}{sC_{gs}} \quad (4.4)$$

若 L_s 及 C_{gs} 在特定頻率下相互諧振時，則 $Z_{in} = 1/g_m$ 。透過適當的選擇電晶體即可完成寬頻匹配，相較於共源極放大器而言，擁有較節省晶片面積的輸入匹配方式。參考[26]，共閘極放大器的雜訊為：

$$F_{CG} = 1 + \frac{\gamma}{\alpha} \frac{g_m}{1} \left(\frac{1}{g_m R_S} \right)^2 \quad (4.5)$$

其中 α 、 γ 製程參數、 g_m 為共閘極放大器電晶體的轉導值。一般而言，在輸入匹配的考慮下，其 $R_S = 1/g_m$ ，所以共閘極放大器的雜訊可以化簡成：

$$F_{CG} = 1 + \frac{\gamma}{\alpha} \quad (4.6)$$

由(4.6)式可以發現，共閘極放大器的雜訊與製程參數相關，但是不是頻率函數，所以有著寬頻的雜訊表現。對於 TSMC CMOS 0.18 μm 製程而言，共閘極放大器的 $F_{CG} = 5-6$ ，其雜訊值需要改善。

如圖 4.8 所示為採用 g_m -boosting 方法的共閘極放大器，相較於一般共閘極放大器而言，主要是電晶體源極和閘極間置入了一個反相放大器。

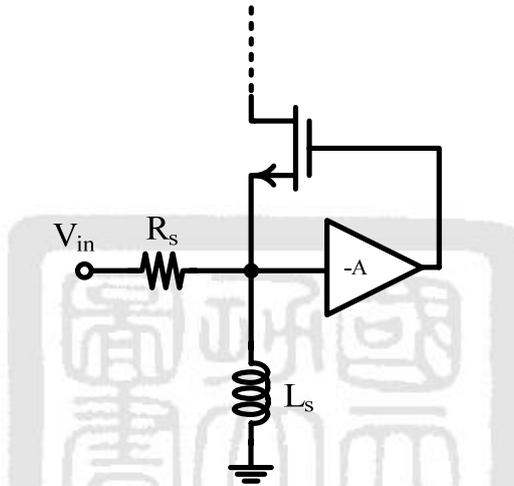


圖 4.8 g_m -boosting 共閘極放大器

參考[26]，此時放大器的整體等效轉導值 $G_{m,eff} = (1+A)g_m$ ，所以整體雜訊為：

$$F_{CG} = 1 + \frac{\gamma}{\alpha} \frac{(1+A)g_m}{\frac{1}{R_S}} \left[\frac{1}{(1+A)g_m R_S} \right]^2 \quad (4.7)$$

若 $R_S = 1/g_m$ ，則 $F_{CG} = 1 + \gamma/\alpha(1+A)$ ，因此可以透過閘極和源極間所置入的反相放大器降低雜訊，且提高整體的轉導值。若進一步考慮，將其以 capacitor cross coupling 的差動對形式實現，如圖 4.9 所示。

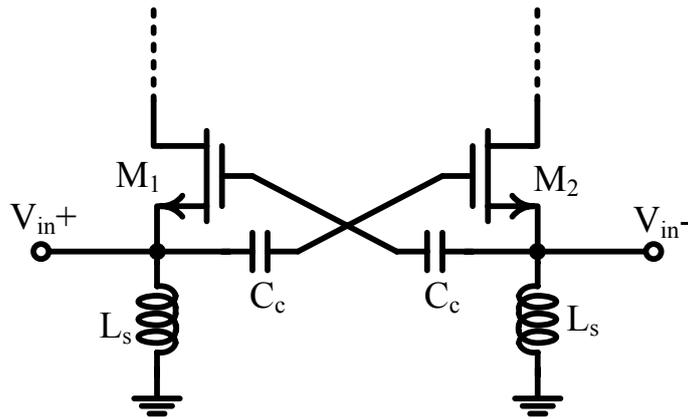


圖 4.9 Capacitor cross coupling 差動對

首先確定 g_m -boosting 方法所置入反相放大器的增益值(A)為：

$$A = \frac{C_c}{C_c + C_{gs}} = \frac{1}{1 + \frac{C_{gs}}{C_c}} \quad (4.8)$$

若 $C_c \gg C_{gs}$ ，則 $A \approx 1$ 。因此整理可得：

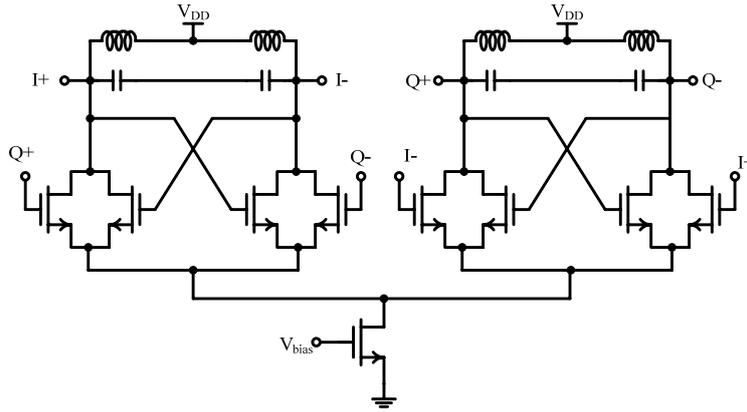
$$G_{m,eff} \approx 2g_m \quad (4.9)$$

$$F_{CG} = 1 + \frac{\gamma}{\alpha} \frac{1}{2g_m R_s} \quad (4.10)$$

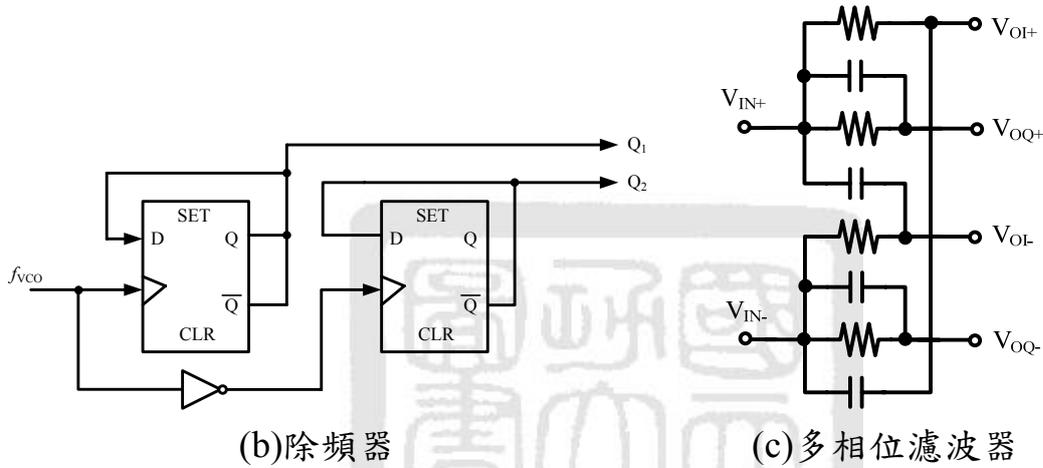
此外，在輸入匹配的部份，如同傳統共閘極放大器。

(b) 開關切換級

開關級的設計上，如同第三章所述，可以分成偏壓、LO 功率及電晶體寬度三方面來考量。此外，因為次諧波混頻器需要四相位 LO 訊號。一般而言，四相位 LO 產生方式有：正交輸出壓控振盪器(QVCO)、多相位濾波器(poly-phase filter)及除頻器(divider)，如圖 4.10 所示。但是正交輸出壓控振盪器在設計上需要使用兩個振盪器互相耦合，所使用的電感容易使晶片面積太大；而除頻器設計上則因為相位控制準確並不容易，同時消耗太大的功率，所以本晶片選擇不消耗功率且架構較為簡單的多相位濾波器來產生四相位 LO 訊號。



(a)正交輸出壓控振盪器



(b)除頻器

(c)多相位濾波器

圖 4.10 四相位 LO 之產生方式

如圖 4.10(c)所示為一簡單形式的單級多相位濾波器，參考[27]且透過重疊原理分析可得：

$$V_{OI+} = \frac{1}{1+sRC} V_{IN+} + \frac{sRC}{1+sRC} V_{IN-} \quad (4.11)$$

$$V_{OI-} = \frac{1}{1+sRC} V_{IN-} + \frac{sRC}{1+sRC} V_{IN+} \quad (4.12)$$

$$V_{OQ+} = V_{IN+} \quad (4.13)$$

$$V_{OQ-} = V_{IN-} \quad (4.14)$$

若假設 $V_{IN+} = \cos(\omega t)$ 、 $V_{IN-} = \cos(\omega t + 180^\circ)$ ，且 $\omega = 1/RC$ 則 $V_{OI+} = \cos(\omega t + 270^\circ)$ 、 $V_{OQ+} = \cos(\omega t)$ 、 $V_{OI-} = \cos(\omega t + 90^\circ)$ 、 $V_{OQ-} = \cos(\omega t + 180^\circ)$ 。由上述結果可以得知，多相位濾波器確實可以得到

正交輸出 LO 訊號。不過多相位濾波器屬於窄頻操作，所以在電路設計上會採用多級串接的方式來增加頻寬。

(c) 主動負載級

利用 PMOS 電晶體取代混頻器的負載電阻，並連接如圖 4.11 所示。使用主動負載將比純電阻擁有更多優點，首先因電阻所造成的壓降，即電壓頭部空間的縮小之缺點將被改善。再來主動負載可以提供混頻器設計所需要的大電阻，即閘極與汲極間的電阻。此外 PMOS 電晶體本身的寬度選擇將影響到最後混頻器所看到的負載，適當的選擇電晶體寬度與電阻值可以達到好的轉換增益與線性度。

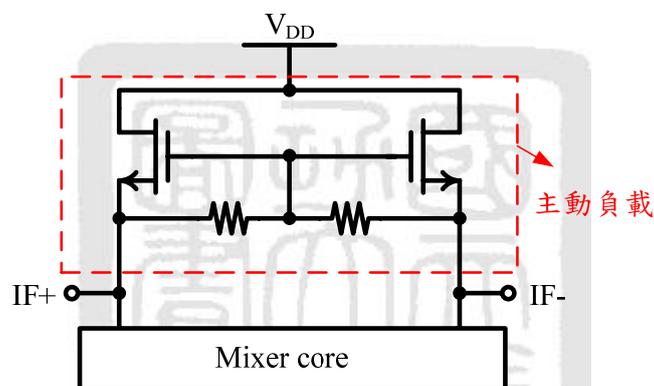


圖 4.11 主動負載示意圖

(d) 緩衝放大器

在輸出端的部份，為了避免負載效應影響混頻器操作，所以在混頻器主體之外，加入了緩衝放大器。本晶片的緩衝放大器設計採用共源極緩衝器之架構，如圖 4.12 所示。此類型的緩衝器相較於源極隨耦器而言，線性度的表現較佳，但是設計上使用電感來匹配，需要較大的晶片面積，則是其主要的缺點。透過小訊號分析可得：

$$Z_{out} = \frac{1}{sC} + \left[\frac{1}{sC_{gd1}} \parallel r_{o1} \parallel (R + sL) \right] \quad (4.15)$$

一般而言，設計時為了不讓電晶體影響輸出匹配，可以藉由最大化 r_{o1} 及最

小化 C_{gd1} ，降低其造成的影響，因此共源極緩衝器輸出阻抗可以等效為 LC 串聯網路。參考[22]可得，當 L 及 C 在特定頻率下相互諧振時，透過 R 值的選擇，可以達到良好的輸出匹配。

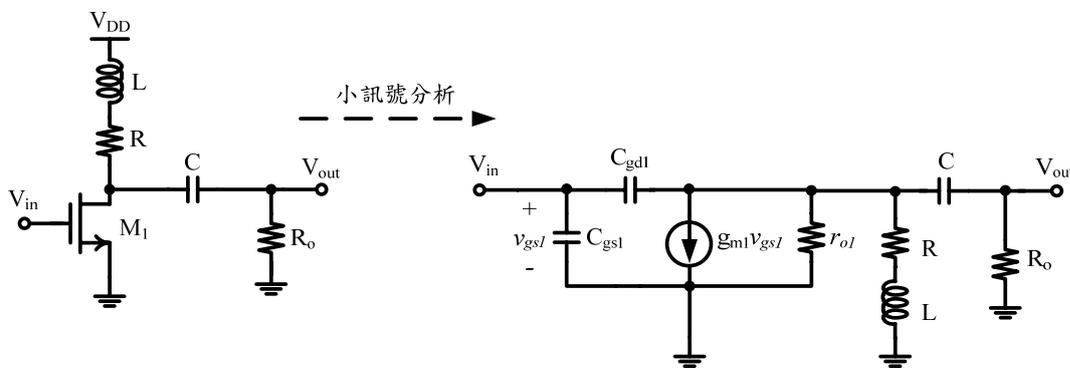


圖 4.12 共源極緩衝放大器之小訊號輸出阻抗分析

4.4 次諧波混頻器設計流程

本次晶片設計一應用於 UWB 接收機之 3-5-GHz 寬頻 CMOS 次諧波混頻器。電路採用 Gilbert cell 架構。設計上可以分成兩部分。第一，混頻器的設計，其轉導級採用共閘極架構，以利於寬頻訊號的匹配，同時透過 g_m -boosting 方法降低共閘極架構雜訊表現較差的影響。開關級使用次諧波原理，藉由頻率錯開的方式，提升 LO-RF 的隔離度。輸出級利用共源級架構的緩衝器達到輸出阻抗匹配。第二，因為使用次諧波原理設計，所以需要一個多相位濾波器來產生 LO 四相位的訊號。整個電路的設計流程如下：

- 在混頻器的設計上，首先設計轉導級。對於轉導電晶體 (M_1 、 M_2) 而言，其作用有如一個 voltage to current converter，因此其轉導大、雜訊小為首要考量。一般而言，主要是採取共源級架構，其缺點是匹配網路較大，晶片所需面積較大。根據[26]，使用 capacitor cross-coupled 共閘級架構來設計轉導級。因為採用共閘級組態，所以只需一個電感 (L_S) 即可達到寬頻匹配。此外，因為採用 capacitor cross-coupled 的方式，補足了共閘級組態比共源級組態轉導小、雜訊大的缺點。
- LO 四相位訊號分別輸入開關級電晶體 (M_3 - M_{10}) 並使開關級電晶體運作有如一開關對，藉以達到混頻之效果。因此開關電晶體的開關特性是決定其大小的重要考量，寬度較大之電晶體有較好的開關特性，但是其

source 端較大的雜散電容卻使 RF 訊號衰減。另外若使開關電晶體偏壓於飽和區邊緣，可使開關特性佳。

- 利用 M_{11} 、 M_{12} 兩顆 PMOS 電晶體及電阻連接成 diode connected 形式的主動負載，其好處在於免除直接利用電阻當作負載所需犧牲的壓降損耗，因此 M_{11} 、 M_{12} 兩顆 PMOS 電晶體寬度的選擇與 diode connected 電阻的大小決定整體的增益與線性度。
- 輸出端利用 R_1 、 L_1 及輸出端電晶體來達成寬頻訊號匹配。
- 多相位濾波器的設計上，首先考慮頻寬問題，因為 LO 訊號為 1716–2244 MHz，同時考量到製程變異的影響，所以選用兩級串接的方式實現。
- 決定了兩級串接型式的多相位濾波器後，接下來考慮各級的工作頻率。根據[27]，為了要讓整體濾波器的 loss 較小，需要讓前級的工作頻率大於後級的工作頻率。在設計上，假設 R 和 C 的製程變動量為 20%，則第一級的工作頻率為 2244 MHz ($1/2\pi \times 0.8R \times 0.8C$)，則 R 為 155.13 Ω 、C 為 457.20 fF。同理，第二級的工作頻率為 1716 MHz ($1/2\pi \times 1.2R \times 1.2C$)，則 R 為 1196.15 Ω 、C 為 77.54 fF
- 選定了多相位濾波器中每一級的元件值後，利用 ADS 模擬軟體，模擬混頻器開關級的輸入阻抗值，如圖 4.13 所示。在 1716–2244 MHz 間，開關級的實部輸入阻抗為 50.33–67.31、虛部輸入阻抗為 -365.99–-310.94。所以在設計多相位濾波器時，將其負載端的阻抗($Z_{in,sw}$)設定為 58.82–338.47i。此外，一起考慮 pad、bondwire 及 PCB 板走線效應的話，可以將其電路架構如圖 4.14 所示。將每一級的 R 和 C 值分別帶入，則 LO 訊號的整體模擬如圖 4.15 所示。經由模擬結果可以得知，其 LO 訊號的相位誤差約為 6 度。

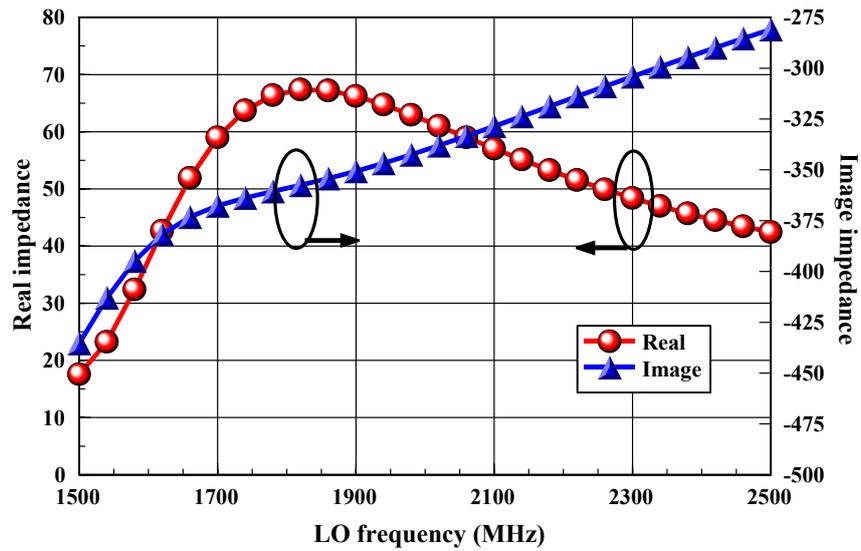


圖 4.13 混頻器開關級輸入阻抗

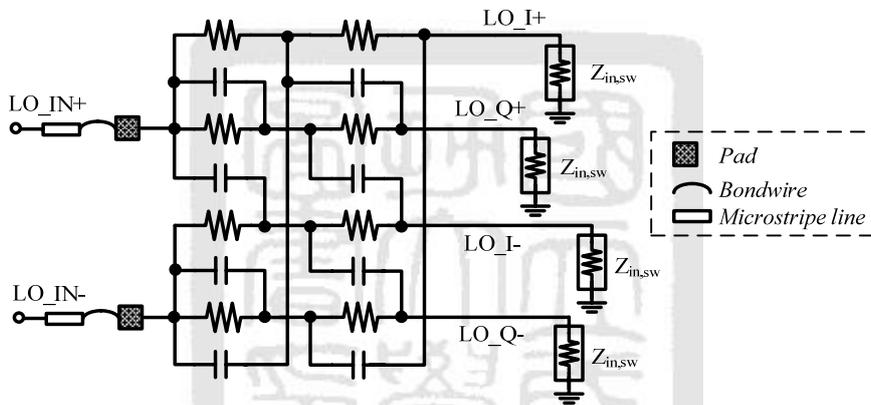


圖 4.14 多相位濾波器模擬架構圖

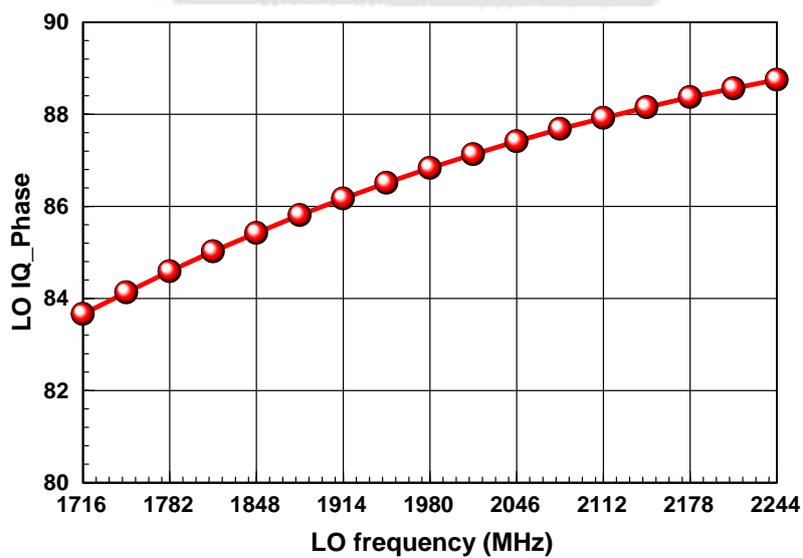


圖 4.15 LO 正交訊號模擬圖

4.5 模擬結果

3-5-GHz 寬頻 CMOS 次諧波混頻器模擬與量測結果如圖 4.16-4.19 及表 4.1 所示。模擬顯示混頻器核心電路之直流偏壓為 1.8 V/2.38 mA，消耗功率為 4.28 mW、緩衝放大器之直流偏壓為 1.8 V/9.78 mA，消耗功率為 17.60 mW。RF 端輸入回返損耗皆大於 11 dB、IF 端輸出回返損耗皆大於 11 dB。Band 1 頻段內的轉換增益為 10.02-13.39 dB、SSB NF 為 13.69-16.68 dB、input P_{1dB} 為 -18- -14 dBm、IIP3 為 -8.84- -4.88 dBm、LO-RF isolation 為 62 dB、LO-IF isolation 為 109 dB、RF-IF isolation 為 16.36 dB。Band 2 頻段內的轉換增益為 11.30-15.52 dB、SSB NF 為 14.65-16.95 dB、input P_{1dB} 為 -17- -13 dBm、IIP3 為 -7.58- -4.12 dBm、LO-RF isolation 為 64 dB、LO-IF isolation 為 124 dB、RF-IF isolation 為 16.54 dB。Band 3 頻段內的轉換增益為 15.58-17.12 dB、input P_{1dB} 為 -16- -12 dBm、IIP3 為 -6.47- -3.41 dBm、LO-RF isolation 為 67 dB、LO-IF isolation 為 123 dB、RF-IF isolation 為 16.73 dB。

量測顯示混頻器核心電路之直流偏壓為 1.8 V/3 mA，消耗功率為 5.4 mW、緩衝放大器之直流偏壓為 1.8 V/8 mA，消耗功率為 14.4 mW。RF 端輸入回返損耗皆大於 10 dB、IF 端輸出回返損耗皆大於 6 dB。Band 1 頻段內的轉換增益為 1.42-5.76 dB、input P_{1dB} 為 -17- -15 dBm、IIP3 為 -10.71- -3.4 dBm、LO-RF isolation 為 35.71 dB、LO-IF isolation 為 25.83 dB、RF-IF isolation 為 20 dB。Band 2 頻段內的轉換增益為 0.98-4.35 dB、input P_{1dB} 為 -16- -11.5 dBm、IIP3 為 -10.33- -0.68 dBm、LO-RF isolation 為 34.01 dB、LO-IF isolation 為 24.59 dB、RF-IF isolation 為 23.22 dB。Band 3 頻段內的轉換增益為 1.1-3.0 dB、input P_{1dB} 為 -15- -12 dBm、IIP3 為 -9.87- -0.16 dBm、LO-RF isolation 為 34.15 dB、LO-IF isolation 為 27.5 dB、RF-IF isolation 為 21.62 dB。

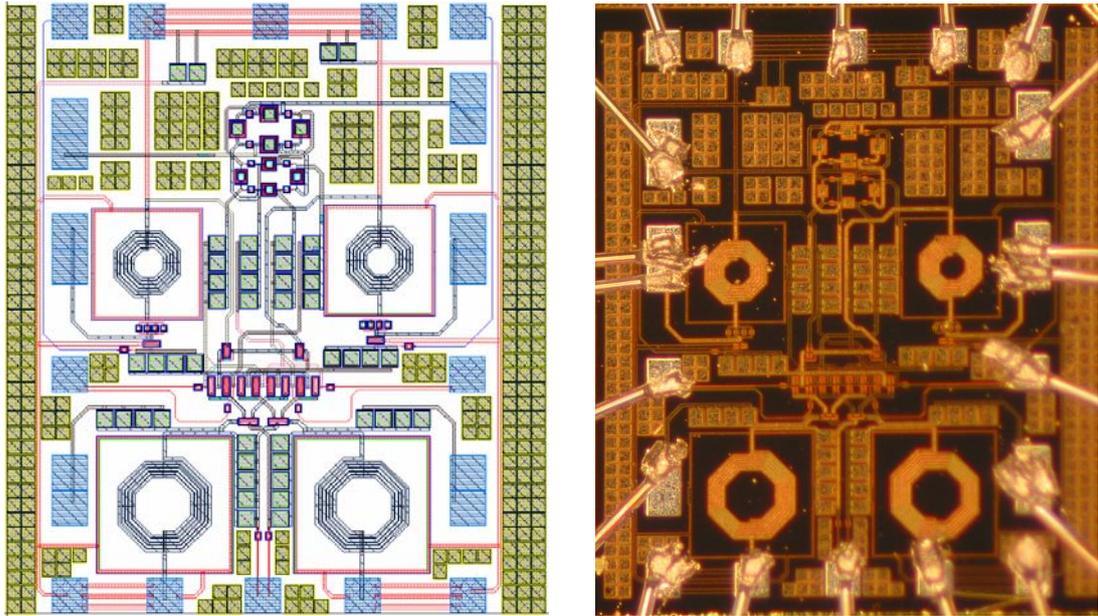


圖 4.16 次諧波混頻器晶片佈局/照片圖

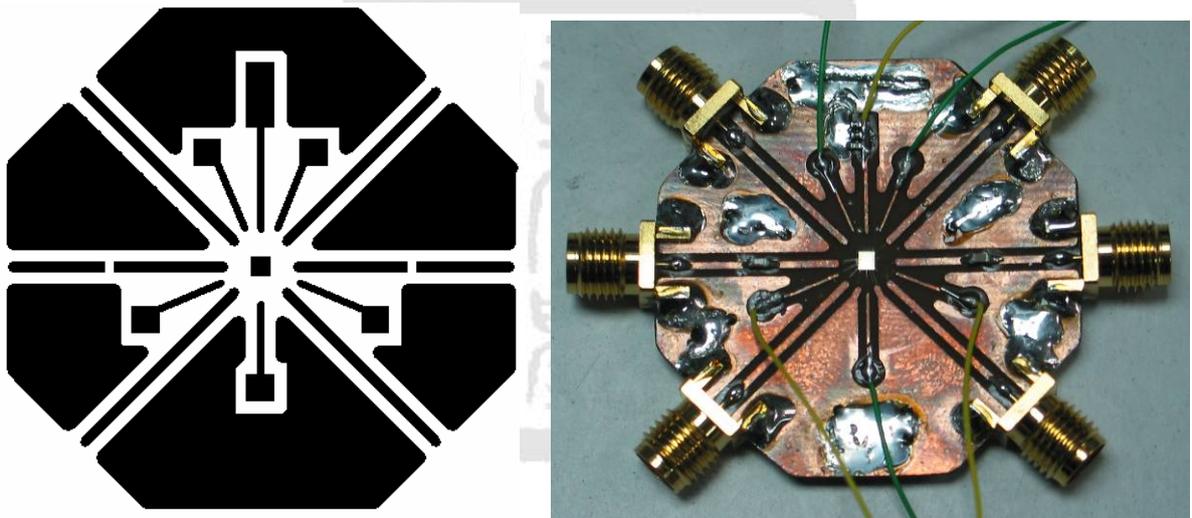
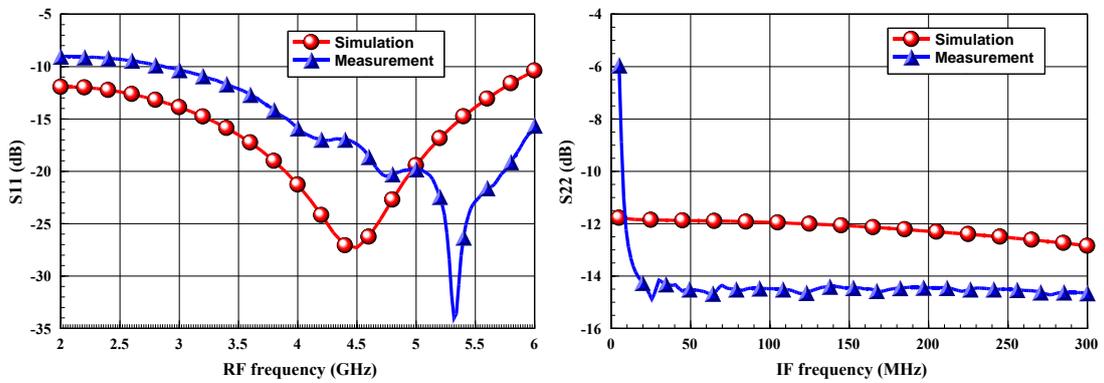


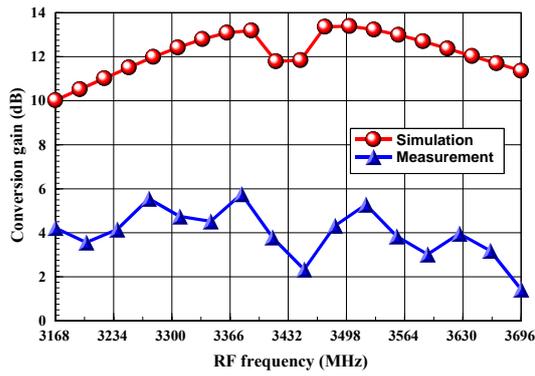
圖 4.17 次諧波混頻器 PCB 板佈局/照片圖



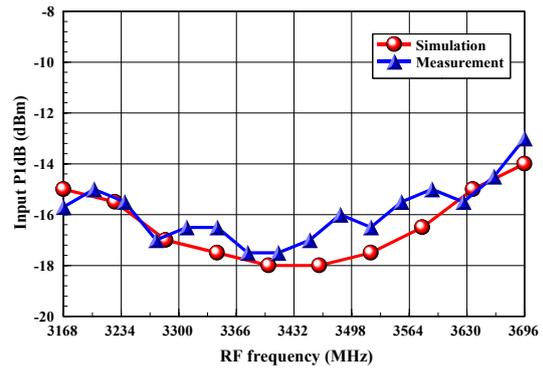
(a) RF port return loss

(b) IF port return loss

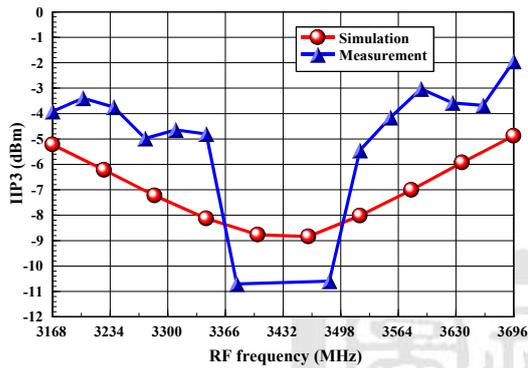
圖 4.18 次諧波混頻器輸入/輸出回返損耗模擬



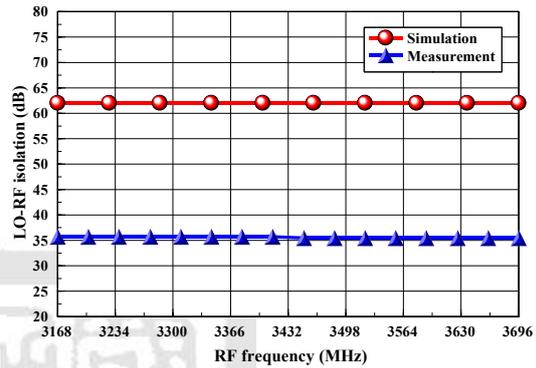
(a) Conversion gain



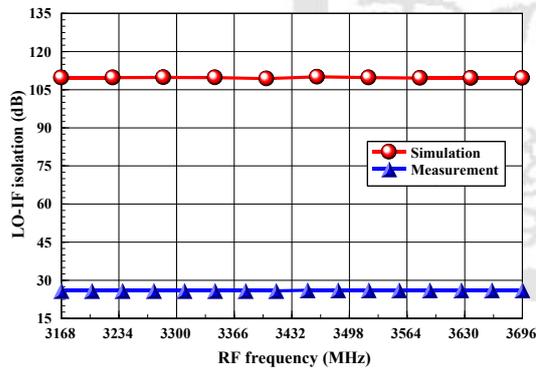
(b) Input P_{1dB}



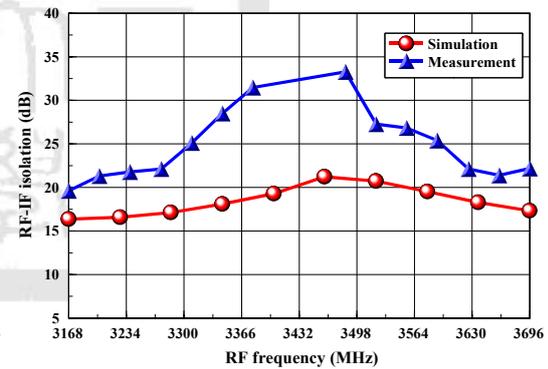
(c) IIP3



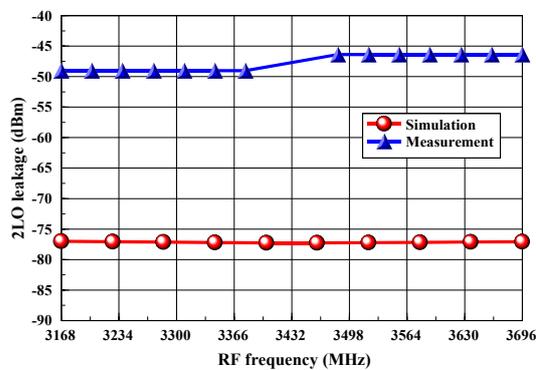
(d) LO-RF isolation



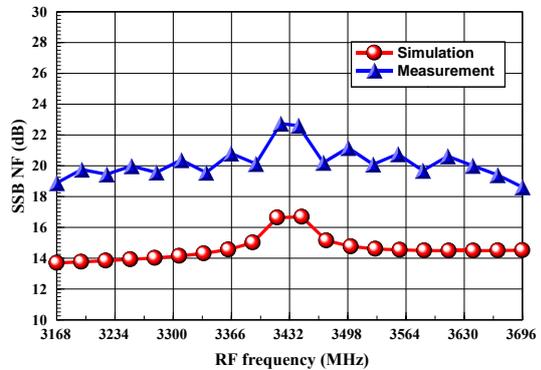
(e) LO-IF isolation



(f) RF-IF isolation

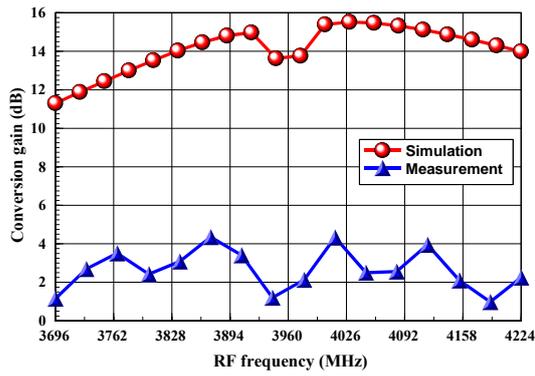


(g) 2LO leakage @ LO=9 dBm

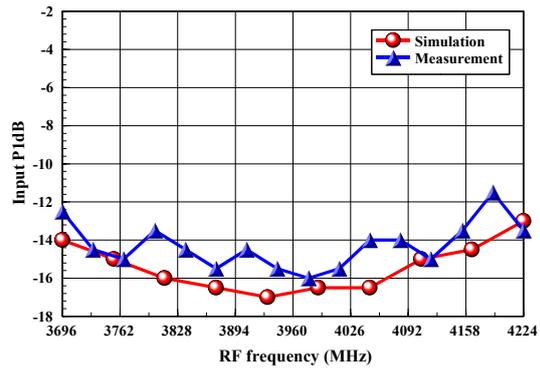


(h) SSB NF

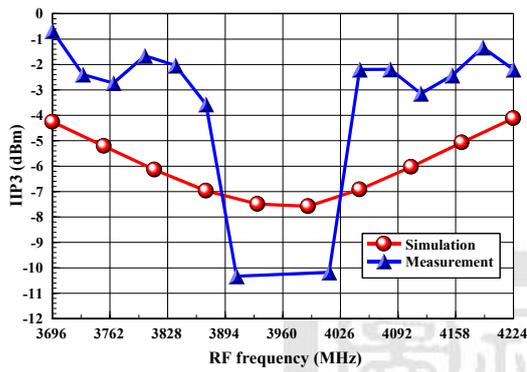
圖 4.19 次諧波混頻器 Band 1 模擬結果



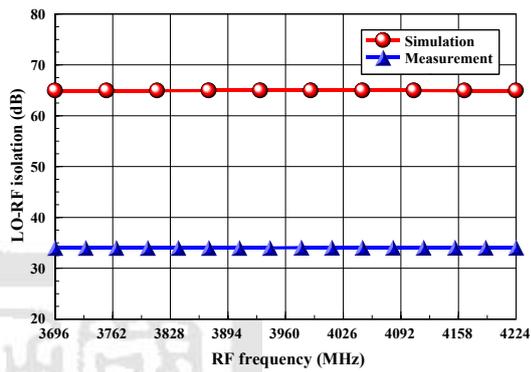
(a) Conversion gain



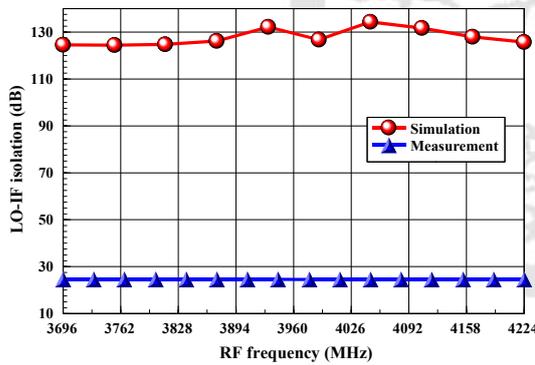
(b) Input P_{1dB}



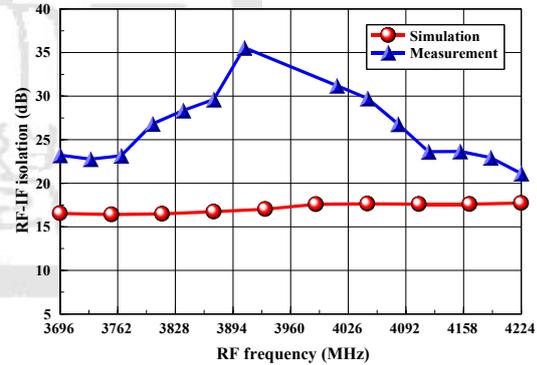
(c) IIP3



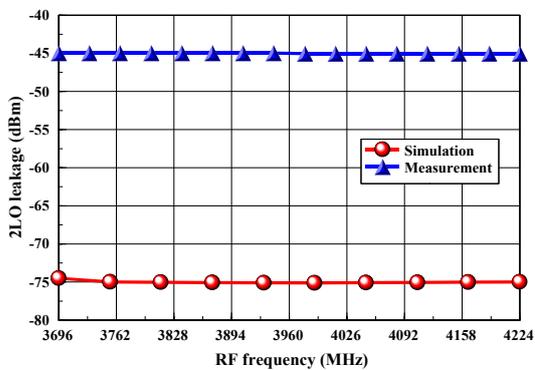
(d) LO-RF isolation



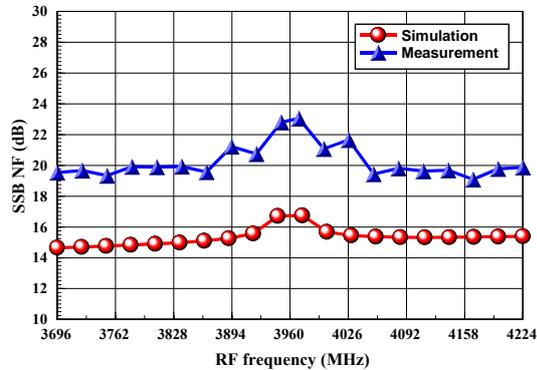
(e) LO-IF isolation



(f) RF-IF isolation

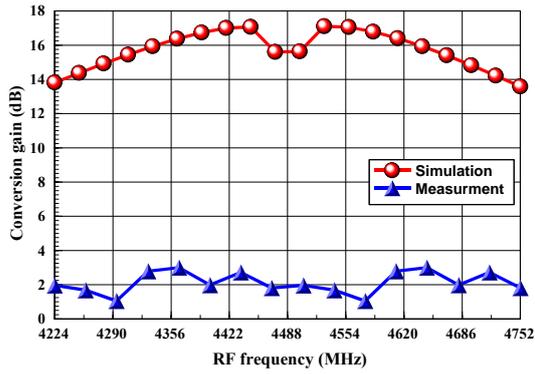


(g) 2LO leakage @ LO=9 dBm

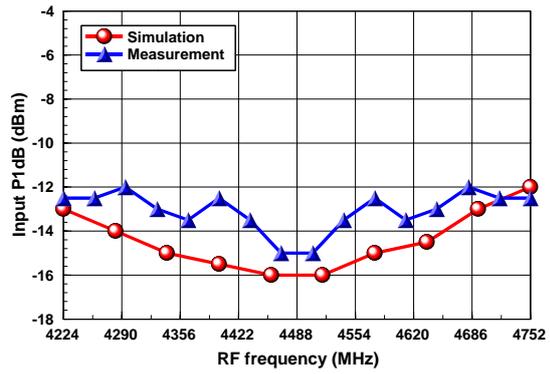


(h) SSB NF

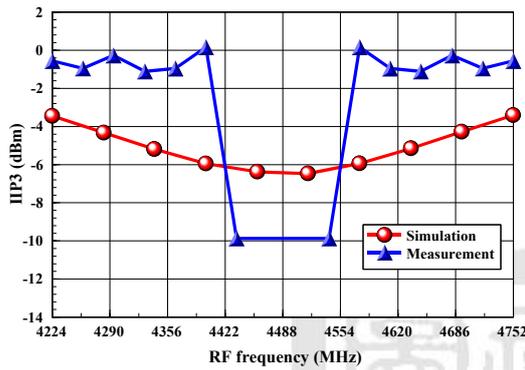
圖 4.20 次諧波混頻器 Band 2 模擬結果



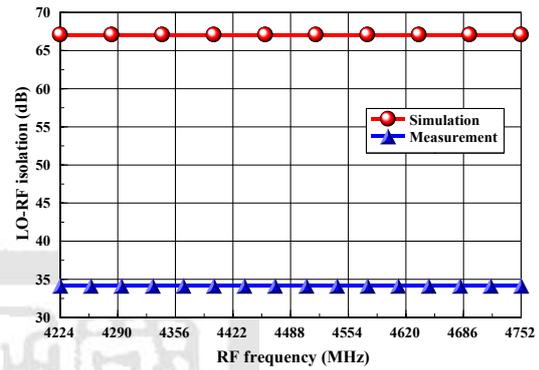
(a) Conversion gain



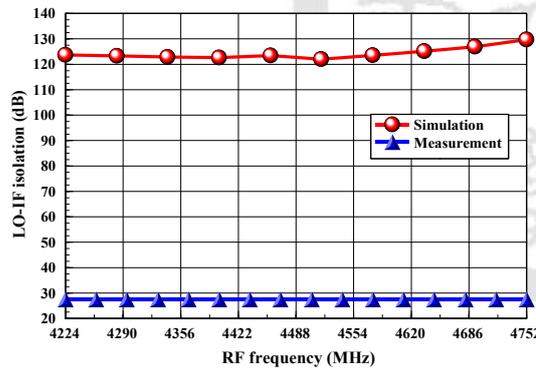
(b) Input P_{1dB}



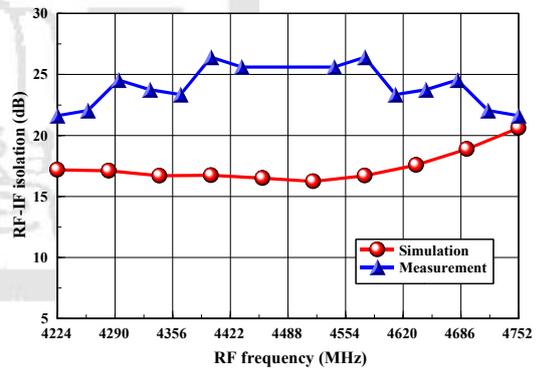
(c) IIP3



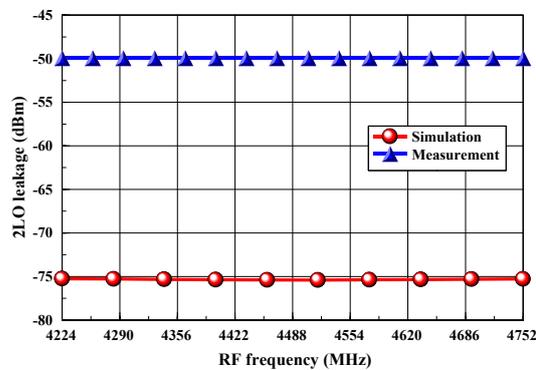
(d) LO-RF isolation



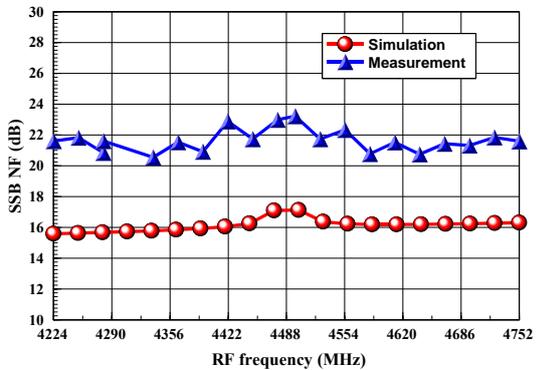
(e) LO-IF isolation



(f) RF-IF isolation



(g) 2LO leakage @ LO=9 dBm



(h) SSB NF

圖 4.21 次諧波混頻器 Band 3 模擬結果

表 4.1 3-5-GHz 寬頻 CMOS 次諧波混頻器模擬/量測特性總表

| 3-5-GHz Broadband CMOS Even Harmonic Mixer (TSMC 0.18μm) | | Simulation | Measurement |
|--|---------------|--|--|
| V_{DD} | | 1.8 V | |
| RF frequency | | 3168-4752 MHz | |
| IF frequency | | 5-264 MHz | |
| Power consumption | | 4.28 mW (w.o buffer) 21.78 mW (w. buffer) | 5.4 mW (w.o buffer) 19.8 mW (w. buffer) |
| LO input power | | 9 dBm | 9 dBm |
| RF port return loss | | > 11 dB | > 10 dB |
| IF port return loss | | > 11 dB | > 6 dB |
| Conversion gain | Band 1 | 10.02-13.39 dB | 1.42-5.76 dB |
| | Band 2 | 11.30-15.52 dB | 0.98-4.35 dB |
| | Band 3 | 13.58-17.06 dB | 1.05-3.0 dB |
| SSB NF | Band 1 | 13.69-16.68 dB | 18.61-22.73 dB |
| | Band 2 | 14.65-16.95 dB | 19.54-22.80 dB |
| | Band 3 | 15.58-17.12 dB | 21.59-23.22 dB |
| Input P_{1dB} | Band 1 | -18- -14 dB | -17- -15 dB |
| | Band 2 | -17- -13 dB | -16- -11.5 dB |
| | Band 3 | -16- -12 dB | -15- -12 dB |
| IIP₃ | Band 1 | -8.84- -4.88 dB | -10.71- -3.4 dB |
| | Band 2 | -7.58- -4.12 dB | -10.33- -0.68 dB |
| | Band 3 | -6.47- -3.41 dB | -9.87-0.16 dB |
| LO-RF isolation | | > 62.03 dB | > 34 dB |
| LO-IF isolation | | > 109.35 dB | > 24dB |
| RF-IF isolation | | > 16.36 dB | > 20 dB |
| 2LO leakage @ LO=9 dBm | | < -75 dBm | < -44.97 dBm |
| Die size | | 1.38 × 1.22 mm ² | |

4.6 問題與討論

從模擬結果來討論，本晶片在核心混頻部份因為採用 g_m -boosting 方式，所以只需消耗 4.28 mW，即可有不錯的轉換增益，可算是相當省電的設計架構。但是因為多相位濾波器在設計時，只著重於相位誤差之考量，因此混頻器所需之 LO 訊號功率相當大。對於系統設計而言，並不是理想之設計。若不考慮多相位濾波器，純粹採用理想四相位訊號模擬。如圖 4.22 所示，當 RF 訊號為 3168 MHz 且 LO 訊號為 1716 MHz 時，混頻器所需之 LO 訊號功率為 -4 dBm。因此將來在整合上可以考慮移除多相位濾波器，改採用四相位壓控振盪器來避免提升混頻器所需的 LO 訊號功率。

從量測結果可以發現，此電路之量測結果與模擬結果的趨勢接近，但是混頻器之轉換增益相較於模擬結果卻差異很大。推測轉換增益之差異除了 PCB 板額外的損耗之外，主要在於晶片佈局時，將所有的接地點共用同一 PAD。由於共用接地點造成了有些走線過長，產生了電感效應，所以造成了功率的損失。此外，晶片和 PCB 版走線佈局的不對稱性及外接之 balun 的不理想效應，如同第三章所述，影響著混頻器的隔離度。

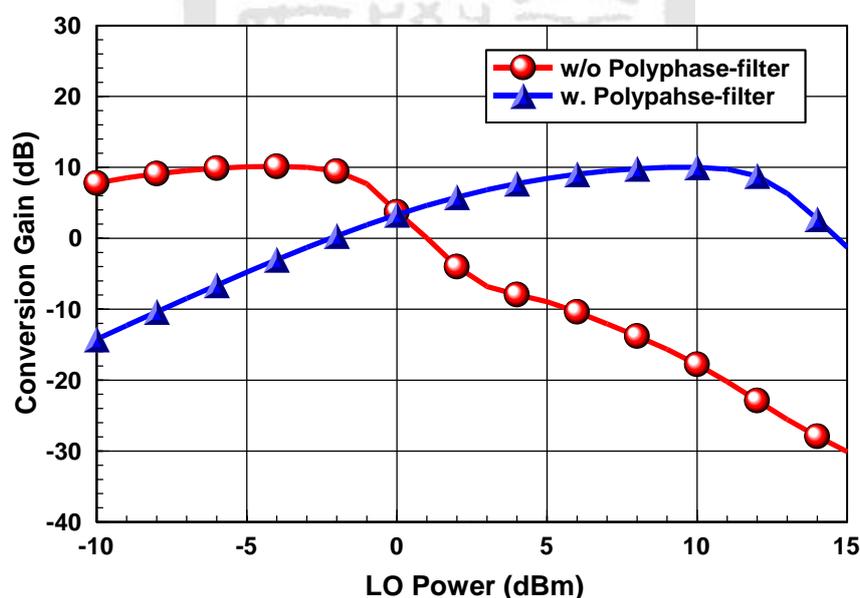


圖 4.22 多相位濾波器對於次諧波混頻器所需之 LO 訊號功率的影響

第五章

結論

本論文研究應用於 UWB 接收機之前端 CMOS RFICs。設計的晶片包含了 3-10-GHz 低電壓寬頻低雜訊放大器及 3-5-GHz 寬頻混頻器。其所研製之晶片皆使用國家晶片中心 (CIC) 提供之標準 TSMC CMOS 0.18 μm 製程，晶片量測上除了寬頻低雜訊放大器使用 on-wafer 方式進行量測之外，其餘的晶片皆打鏢線至 PCB 板上量測。

3-10-GHz 低電壓寬頻低雜訊放大器利用雙回授式放大器及緩衝放大器的方式得到寬頻訊號放大之特性。設計上利用了增益圓之圖形法實現寬頻增益平坦度，對於電路設計者而言，此方法提供了一個簡單又省時的寬頻放大器實現方式。量測結果顯示，直流偏壓為 1.0 V/16.0 mA、總消耗功率為 16.0 mW、輸入返迴損耗 > 10.0 dB、輸出返迴損耗 > 10.0 dB、增益為 6.9-10.46 dB、隔離度 > 25.0 dB、雜訊指數為 4.71-5.92 dB、input $P_{1\text{dB}}$ 為 -8.5- -2.0 dBm、IIP3 為 7.5-11.9 dBm。

3-5-GHz 寬頻混頻器晶片可以分成兩部份：(1)摺疊式混頻器，主要是提出一個適用於低電壓操作之寬頻混頻器。為了不讓低電壓操作影響了混頻器的特性，其轉導級部分採用 CMOS 反相器架構，透過 PMOS 電晶體來提高增益及線性度。此外，利用 shunt-peaking 的方法增加操作頻寬。量測顯示混頻器核心電路之直流偏壓為 1.2 V/7 mA，消耗功率為 8.4 mW、緩衝放大器之直流偏壓為 1.2 V/4 mA，消耗功率為 4.8 mW。RF 端輸入回返損耗皆大於 5 dB、IF 端輸出回返損耗皆大於 5 dB。Band 1 頻段內的轉換增益為 3-8.7 dB、input $P_{1\text{dB}}$ 為 -19.5- -13.5 dBm、IIP3 為 -10.7- -2.35 dBm、LO-RF isolation 為 37.9 dB、LO-IF isolation 為 22.5dB、RF-IF isolation 為 50.9 dB。Band 2 頻段內的轉換增益為 2.3-7.6 dB、input $P_{1\text{dB}}$ 為 -18- -13.5 dBm、IIP3 為 -5.35- -0.65 dBm、LO-RF isolation 為 30 dB、LO-IF isolation 為 22.1 dB、RF-IF isolation 為 47.5 dB。Band 3 頻段內的轉換增益為 2.9-3.9 dB、input $P_{1\text{dB}}$

為-15- -10.5 dBm、IIP3 為-4- -1 dBm、LO-RF isolation 為 32 dB、LO-IF isolation 為 21 dB、RF-IF isolation 為 45 dB。(2)次諧波式混頻器，藉由將 LO 訊號的頻率減半，消除直接降頻接收機之自我混頻效應。同時，利用 *g_m-boosting* 的差動轉導架構，實現低功率混頻器。量測顯示混頻器核心電路之直流偏壓為 1.8 V/3 mA，消耗功率為 5.4 mW、緩衝放大器之直流偏壓為 1.8 V/8 mA，消耗功率為 14.4 mW。RF 端輸入回返損耗皆大於 10 dB、IF 端輸出回返損耗皆大於 6 dB。Band 1 頻段內的轉換增益為 1.42-5.76 dB、input P_{1dB} 為-17- -15 dBm、IIP3 為-10.71- -3.4 dBm、LO-RF isolation 為 35.71 dB、LO-IF isolation 為 25.83 dB、RF-IF isolation 為 20 dB。Band 2 頻段內的轉換增益為 0.98-4.35 dB、input P_{1dB} 為-16- -11.5 dBm、IIP3 為-10.33- -0.68 dBm、LO-RF isolation 為 34.01 dB、LO-IF isolation 為 24.59 dB、RF-IF isolation 為 23.22 dB。Band 3 頻段內的轉換增益為 1.1-3.0 dB、input P_{1dB} 為-15- -12 dBm、IIP3 為-9.87- -0.16 dBm、LO-RF isolation 為 34.15 dB、LO-IF isolation 為 27.5 dB、RF-IF isolation 為 21.62 dB。



參考文獻

- [1]. <http://www.ieee802.org/15/pub/TG3a.html>
- [2]. <http://www.intel.com>
- [3]. K. Siwiak, and D. McKeown, “*UWB Radio Technology*,” UK:Wiley, 2004
- [4]. 陳厚樺，應用於超寬頻射頻接收機之 CMOS 射頻晶片的研製，國立成功大學電腦與通信產業研發碩士專班論文，民國九十六年。
- [5]. Y. Soliman, L. MacEachern, and L. Roy, “A CMOS Ultra-wideband LNA Utilizing a Frequency-Controlled Feedback Technique,” *IEEE International Conference on Ultra-Wideband*, 2005
- [6]. B. Razavi, *RF Microelectronics*, Prentice Hall, NJ, 1998.
- [7]. G. Gonzalez, *Microwave Transistor Amplifiers*, Prentice Hall, 1997
- [8]. T. H. Lee, *The Design of CMOS Radio Frequency Integrated Circuits*, Cambridge University Press, 2004
- [9]. S. Smith, *Microelectronic Circuits*, Oxford Univ. Press, 1998
- [10]. A. Bevilacqua and A. M. Niknejad, “An ultrawideband CMOS low-noise amplifier for 3.1–10.6-GHz wireless receivers,” *IEEE J. of Solid-State Circuits*, vol.39, no. 12, pp. 2259-2268, Dec. 2004.
- [11]. A. Ismail and A. A. Abidi, “A 3–10-GHz low-noise amplifier with wideband LC-ladder matching network,” *IEEE J. of Solid-State Circuits*, vol.39, no. 12, pp. 2269-2277, Dec. 2004.
- [12]. H. -J. Lee, D. S. Ha, and S. S. Choi, “A systematic approach to CMOS low noise amplifier design for ultrawideband applications,” in *IEEE Int. Symp. on Circuits and Systems*, vol. 4, pp. 3962–3965, May 2005.
- [13]. C. -W. Kim, M. -S. Kang, P. -T. Anh, H. -T. Kim, and S. -G. Lee, “An ultra-wideband CMOS low noise amplifier for 3–5-GHz UWB system,” *IEEE J. Solid-State Circuit*, vol. 40, NO. 2, pp. 544-547, Feb. 2005.
- [14]. X. Fan, S. S. Edgar, and S. M. Jose, “A 3 GHz–10 GHz common gate ultrawideband low noise amplifier,” in *IEEE Midwest Symp. on Circuit and System*, pp. 631–634, Aug. 2005.
- [15]. 包克豪，應用於超寬頻無線射頻收發機之 CMOS 分散式主動射頻積體電路之設計研究，國立成功大學電腦與通信工程研究所碩士論文，民國九十五年。

- [16].C. -F. Liao and S. -I. Liu, "A broadband noise-canceling CMOS LNA for 3.1–10.6-GHz UWB receiver," in *IEEE Custom Intregrage circuits conference*, 2005
- [17].林展裕，應用於 DS-UWB 接收機之 CMOS 4/8-GHz 雙頻帶頻率合成器及射頻晶片的研究，國立成功大學電腦與通信工程研究所碩士論文，民國九十五年。
- [18].<http://tw01.myoops.org/>
- [19].E. A. M. Klumperink, S. M. Louwsma, G. J. M. Wienk, and B. Nauta, "A CMOS switched transconductor mixer" *IEEE J. of Solid-State Circuits*, vol.39, no. 8, pp. 1231–1240, AUG. 2004.
- [20].V. Vidojkovic, J. van der Tang, A. Leeuwenburgh, and A. H. M. van Roermund, "A low-voltage folded-switching mixer in 0.18- μ m CMOS," *IEEE J. of Solid-State Circuits*, vol. 40, no. 6, Jun 2005
- [21].P. Sharma, "Design of a 3.1–4.8 GHz RF front-end for an ultra wideband receiver," Thesis for Master of Science, Department of Electrical Engineering, Texas A&M University.
- [22].鐘豪文，超寬頻 UWB 無線射頻收發機之寬頻 CMOS RFICs 的研究設計，國立成功大學電腦與通信工程研究所碩士論文，民國九十五年。
- [23].張斯緯，應用於直接降頻超寬頻接收機的 3–5-GHz CMOS 射頻晶片之研製，國立成功大學電腦與通信工程研究所碩士論文，民國九十五年。
- [24].<http://www.rfic.co.uk>
- [25].X. Li, S. Shekhar, D. J. Allstot, " Gm-boosted common-gate LNA and differential colpitts VCO/QVCO in 0.18- μ m CMOS," *IEEE J. of Solid-State Circuits*, vol. 40, no. 12, Dec 2005.
- [26].W. Zhuo, X. Li, S. Shekhar, S. H. K. Embabi, J. Pineda de Gyvez, D. J. Allstot, and E. Sanchez-Sinencio, "A Capacitor Cross-Coupled Common-Gate Low-Noise Amplifier," *IEEE Transactions on circuit and systems*, vol. 52, no. 12, Dec. 2005.
- [27].高曜煌，射頻鎖相迴路 IC 設計，滄海書局
- [28].M. -F. Huang, C. -J. Kuo, and S. -Y. Lee, "A 5.25-GHz CMOS Folded-Cascode Even-Harmonic Mixer for Low-Voltage Applications," *IEEE Transactions on microwave theory and techniques*, vol. 54, no. 2, Feb. 2006.

- [29].P. Upadhyaya, “*High IIP₂ CMOS double-balanced quadrature sub-harmonic mixer for 5 GHz direct conversion receiver,*” Thesis for Master of Science, Department of Electrical Engineering, Washington State University, May 2005.
- [30].M. Goldfarb, E. Balboni, and J. Cavey, “Even harmonic double-balanced active mixer for use in direct conversion receivers.



作者簡介

姓名：王鴻耀

出生年月日：民國 72 年 03 月 04 日

籍貫：台灣省高雄縣

學歷：省立鳳新高級中學

私立長庚大學電機工程學系

國立成功大學電腦與通訊工程研究所

