

國立成功大學

電機工程學系

碩士論文

使用於金氧半影像感測器之平行處理遞迴式 12 位元類比
數位轉換器

A 12-bit Column-parallel Cyclic Analog-to-Digital
Converter for CMOS Image Sensors

研究生：鄭如恬 Student: Ju-tien Cheng

指導教授：王俊智 Advisor: Ching-Chun Wang

Department of Electrical Engineering

National Cheng Kung University

Tainan, Taiwan, R.O.C

Thesis for Master of Science

July 2006

中華民國九十五年七月

博碩士論文授權書

(國科會科學技術資料中心版本 93.2.6)

本授權書所授權之論文為本人在 成功 大學(學院) 電機 系所
儀器系統 組 九十 學年度第 二 學期取得 碩 士學位之論文。

論文名稱：使用於金氣半影像感測器之平行處理迴路式 12 位元

同意 不同意

類比數位轉換器

本人具有著作財產權之論文全文資料，授予行政院國家科學委員會科學技術資料中心(或其改制後之機構)、國家圖書館及本人畢業學校圖書館，得不限地域、時間與次數以微縮、光碟或數位化等各種方式重製後散布發行或上載網路。

本論文為本人向經濟部智慧財產局申請專利(未申請者本條款請不予理會)的附件之一，申請文號為：_____，註明文號者請將全文資料延後半年再公開。

同意 不同意

本人具有著作財產權之論文全文資料，授予教育部指定送繳之圖書館及本人畢業學校圖書館，為學術研究之目的以各種方法重製，或為上述目的再授權他人以各種方法重製，不限地域與時間，惟每人以一份為限。

上述授權內容均無須訂立讓與及授權契約書。依本授權之發行權為非專屬性發行權利。依本授權所為之收錄、重製、發行及學術研發利用均為無償。上述同意與不同意之欄位若未鈎選，本人同意視同授權。

指導教授姓名：王俊智

研究生簽名：鄭如恬

學號：N26934449

(親筆正楷)

(務必填寫)

日期：民國 95 年 7 月 21 日

1. 本授權書(得自<http://sticnet.stic.gov.tw/sticweb/html/theses/authorize.html> 下載或至<http://www.stic.gov.tw> 首頁右下方下載)請以黑筆撰寫並影印裝訂於書名頁之次頁。
2. 授權第一項者，請確認學校是否代收，若無者，請自行寄論文一本至台北市(106)和平東路二段 106 號 1702 室 國科會科學技術資料中心 黃善平小姐。(本授權書諮詢電話：02-27377606 傳真：02-27377689)

國立成功大學

碩士論文

使用於金氧半影像感測器之平行處理遞迴式 12 位元類比數位轉
換器

研究生：鄭如恬

本論文業經審查及口試合格特此證明

論文考試委員

羅錦興

林克泉

魏嘉玲

王鴻斌

王俊智

指導教授：王俊智

系(所)主管：許渭州

中華民國 九十五年 七月 二十一日

A 12bit Column-parallel Cyclic Analog-to-Digital Converter
for CMOS Image Sensors

By

Ju-Tien Cheng

*A Thesis Submitted to the Graduate Division in Partial Fulfillment of the
Requirement for the Degree of*

MASTER OF SCIENCE

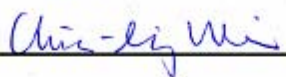
Electrical Engineering
National Cheng-Kung University
Tainan, Taiwan, R.O.C.

July 21st, 2006

Approved by:








_____ 

Advisor:



Chairman:



使用於金氧半影像感測器之平行處理遞迴式 12 位元類比數位轉換器

鄭如恬* 王俊智**

國立成功大學電機工程學系

摘要

影像數位化為將影像作分析、儲存、運算及傳播時最有效率的方法。影像感測器是影像數位化的前端系統，目前影像感測元件主要分為電荷耦合元件(CCD)及金氧互補半導體影像感測元件(CMOS)兩種，一般傳統的攝相系統採用 CCD 影像感測器單頻道類比輸出，再以單顆類比數位轉換器將類比訊號轉換為數位影像訊號；此架構在數位影像資料規格日益龐大的發展趨勢下，是有其速度上的限制；亦不適於應用為機械儀器之視覺系統應用上。相較於 CCD，CMOS 擁有可集成化之優點，可將周邊電路整合同一晶片上，故逐漸取代 CCD 成近年來之趨勢。

本論文內容提供理論、設計、實作與測試一內含 64 x 64 CMOS APS 像素陣列之攝相單晶片系統晶片。本晶片提供由像素端到類比數位轉換器數位輸出之完整途徑，晶片中包含有 64 x 64 單顆像素面積 $8.05 \times 8.05 \text{ um}^2$ 之 CMOS APS 像素陣列、平行相關性雙取樣電路及平行處理 12 位元類比數位轉換器，周邊電路部分則有參考電壓電路提供四組所需之參考電壓，以及時脈產生器產生控制晶片運作之時脈電路。

陣列所擷取之影像經由平行相關性雙取樣電路與平行處理 12 位元類比數位轉換器後，可得數位化之影像資料，再經由 FPGA 對每筆資料作重新排序後，便可交由影像擷取卡送至 PC 顯示圖形，並做後續處理。

本攝相單晶片系統晶片採用 TSMC 0.18 CMOS RF-Mix signal 3.3V 1p6m 製程，單顆 CDS 佈局面積 2042 um^2 ，單顆 ADC 佈局面積 11254 um^2 ，ENOB 大於 11-bit，全晶片消耗功率小於 60 mW，此設計可以提供達 HDTV 1080p 規格之高畫面更新率，64 x 64 像素陣列循序掃瞄畫面更新率則達 520 Frame/s。

* 作者

** 指導教授

A 12-bit Column-parallel Cyclic Analog-to-Digital Converter for CMOS Image Sensors

Ju-tien Cheng* Ching-Chun Wang**

Department of Electrical Engineering

National Cheng Kung University Tainan, Taiwan, R.O.C

ABSTRACT

Images in digital format is the most effective way for analysis, storage, and operation. The imager is the front-end of any machine vision system. There are two major type imager, Charge Coupled Device (CCD) and Complementary Metal-Oxide Semiconductor (CMOS). In order to achieve the function of digital image output, modern imaging system are typically implement with signal digitization function. For example, a traditional CCD camera system with a single analog output channel can be implemented with an independent single-chip ADC to convert analog image signal to digital format.

However, this traditional architecture faces the insufficient frame-rate limitation as high quality, high resolution digital images are required. For some machine vision applications, this architecture cannot achieve the desirable speed. Compared with CCD, the CMOS imager has the advantage of being integrated with CDS, ADC, and other control circuits on a single chip with CMOS process. Therefore the CMOS imager takes the place of CCD imagers step by step.

This thesis describes the theory, design, characterization and testing of a prototype 64 x 64 active pixel sensor (APS) array. This chip realizes a system including the pixel array, column-parallel correlated double sampling circuit (CDS) and column-parallel 12-bit analog-to-digital converter (ADC). There are on-chip reference voltage circuit and clock generator providing four reference voltage and all operation signals to control the chip. The array output utilizes the CDS and the ADC to convert image signal to digitized format. After reforming these digitized data with FPGA, we can show these image on PC via the digital frame grabber and make other process.

This camera-on-a-chip system uses TSMC 0.18 CMOS RF-Mix signal 3.3V 1p6m

process. The layout area of each pixel is $8.05 \times 8.05 \mu\text{m}^2$. The CDS area and ADC area are $2042 \mu\text{m}^2$ and $11254 \mu\text{m}^2$. The power consumption of the chip is 60 mW with ENOB as high as 11-bit. The CDS and ADC allow a high frame rate that can achieve the HDTV 1080p specification. And the maximum frame rate of the 64×64 CMOS image sensor array is 520 frames/s with progressive scan.

* Author

** Advisor

誌謝

一路走來，要感謝的人實在太多，一一細數，總是恐有缺漏。

感謝我的指導教授—王俊智博士，謝謝您兩年來的教誨，學生受益良多。感謝林克見博士，是您帶我走入類比電路的世界。感謝魏嘉玲教授這一陣子以來的照顧關懷。

感謝微電子系統實驗室，感謝學長的指導與鼓勵，學弟妹的支持與關心，同屆們一起努力的日日夜夜，謝謝你們，讓我得以努力至今。

感謝永遠在背後支持我的家人們，若我今天得到了任何的成就，都是因為有你們在我身邊。

感謝我所參與的社團—國術社，感謝所有曾陪伴在我身旁，鼓勵我、支持我的人們，謝謝你們，沒有你們，沒有今日的我。

如恬

于九十五年七月

目錄

第一章 簡介	1
1.1 研究動機	1
1.2 晶片規格設計	3
第二章 背景資料.....	5
2.1 CCD 及 CMOS 影像感測器介紹	5
2.1.1 主動式與被動式感光元件介紹	7
2.2 應用於影像感測器之類比數位轉換器型態	9
2.2.1 雙斜率式(Dual-Slope Converter)	10
2.2.2 連續逼近式(Successive Approximation, SAR)	12
2.2.3 遞迴式(cyclic ADC)	14
第三章 晶片之架構及設計.....	16
3.1 全晶片架構	16
3.2 像素陣列 (Pixel Array) 及控制電路.....	18
3.2.1 電路架構及運作原理	18
3.2.2 像素陣列之模擬結果與佈局圖	19
3.2.3 像素陣列之控制電路	20
3.2.4 雜訊	21
3.3 運算放大器電路及設計	24
3.3.1 運算放大器之共模迴授電路(Common-Mode Feedback Circuits)	27
3.3.2 運算放大器非理想性分析	29
3.3.3 任意雜訊	32
3.3.4 模擬結果	32

3.4 相關性雙取樣電路 (Correlated Double Sampling, CDS)	34
3.4.1 電路與運作原理	35
3.4.2 理想狀態之操作模式分析	37
3.4.3 相關性雙取樣電路之非理想特性	38
3.4.4 相關性雙取樣電路運算放大器模擬結果	44
3.4.5 相關性雙取樣電路模擬結果	45
3.4.6 相關性雙取樣電路佈局圖	50
3.5 遞迴式類比數位轉換器 (Cyclic Analog-to-Digital Converter) ..	51
3.5.1 電路與運作狀態分析	55
3.5.2 理想狀態之操作模式分析	58
3.5.3 遞迴式類比數位轉換器之非理想性分析	59
3.5.4 遞迴式類比數位轉換器之模擬結果	66
3.5.5 遞迴式類比數位轉換器之佈局圖	68
3.6 時脈產生器 (Clock Generator)	69
3.6.1 邏輯電路	71
3.7 晶片佈局與訊號接腳	74
第四章 晶片量測	78
4.1 測試架構	78
4.2 測試驗證平台	79
4.3 遞迴式類比數位轉換器測試	81
4.4 相關性雙取樣電路_遞迴式類比數位轉換器測試	82
4.5 單晶片攝相系統測試	83
4.6 測試板	84
第五章 結論	86

5.1 論文貢獻	86
5.2 未來改進	86

圖目錄

圖 1-1 數位攝相系統方塊圖	2
圖 1-2 數位照相系統結構圖	2
圖 1-3 晶片時序分佈圖	3
圖 2-1 MOS 影像陣列架構	8
圖 2-2 被動式像素陣列影像感應器	8
圖 2-3 主動式像素陣列影像感測器	9
圖 2-4 雙斜率式類比數位轉換器架構示意圖	11
圖 2-5 雙斜率式類比數位轉換器積分器運作圖	11
圖 2-6 單斜率式類比數位轉換器積分器運作圖	12
圖 2-7 連續逼近式類比數位轉換器流程圖	13
圖 2-8 連續逼近式類比數位轉換器架構圖	13
圖 3-1 全晶片系統方塊圖	16
圖 3-2 全晶片佈局圖	17
圖 3-3 像素陣列佈局	18
圖 3-4 3T APS 電路圖	19
圖 3-5 單顆像素模擬結果	19
圖 3-6 4 顆 3T APS 佈線圖	20
圖 3-7 位移暫存器	21
圖 3-8 重置雜訊模型	22
圖 3-9 (a)源極隨耦器 (b) 含雜訊源之電路	23
圖 3-10 全差動折疊式運算放大器	24
圖 3-11 (a) (b) 計算運算放大器直流增益之小訊號模型(c)沒有 M3 電路之直流增 益之小訊號模型	25
圖 3-12 差異差動放大器式共模迴授電路	28
圖 3-13 (a)運算放大器輸入對(b)運算放大器輸入對不匹配之小訊號模型	29
圖 3-14 運算放大器之 A_{CM-DM}	33

圖 3-15 運算放大器之 $\Delta v_{out} / \Delta v_{vdd}$	33
圖 3-16 運算放大器之 $\Delta v_{out} / \Delta v_{vss}$	34
圖 3-17 相關性雙取樣電路圖	35
圖 3-18 相關性雙取樣電路控制訊號圖	35
圖 3-19 相關性雙取樣電路之操作模式圖	36
圖 3-20 考慮非理想特性之相關性雙取樣電路操作狀態圖	39
圖 3-21 相關性雙取樣電路之雜訊分析等效模型	41
圖 3-22 操作於取樣模式之雜訊分析模型	43
圖 3-23 運算放大器波德圖	44
圖 3-24 上升及下降迴轉率圖	45
圖 3-25 針對像素之源極耦隨器做 10% 不匹配測試，上圖為像素直接輸出，下圖 為像素經相關性雙取樣電路取樣後輸出	46
圖 3-26 相關性雙取樣電路之線性度模擬	47
圖 3-27 相關性雙取樣電路輸出之線性圖	47
圖 3-28 相關性雙取樣電路之線性度模擬_postsimsim	49
圖 3-29 相關性雙取樣電路輸出之線性圖_postsimsim	49
圖 3-30 相關性雙取樣電路佈局圖	50
圖 3-31 遞迴式類比數位轉換器簡化圖	51
圖 3-32 遞迴式類比數位轉換器方塊流程圖	52
圖 3-33 遞迴式類比數位轉換器	53
圖 3-34 遞迴式類比數位轉換器之時序圖	54
圖 3-35 第一級遞迴式類比數位轉換器之比較器電路圖	54
圖 3-36 遞迴式類比數位轉換器運作狀態簡化圖 (a)時脈 Phi_0, Phi_1 為高電位 時(b) 時脈 Phi_0, Phi_2 為高電位(c) 時脈 Phi_3 為高電位 (d) 時脈 Phi_4 為 高電位	56
圖 3-37 電容比值不匹配對剩餘值之影響	60
圖 3-38 取樣相位運算放大器含輸入偏移電壓簡化圖	60
圖 3-39 運算放大器輸入偏移電壓造成之轉換誤差	60

圖 3-40 有限運算放大器增益對轉換曲線所造成的影響。	61
圖 3-41 電荷注入效應對於轉換曲線之影響	61
圖 3-42 類比數位轉換器之運算放大器於前置放大器狀態等效電路圖	63
圖 3-43 遞迴式類比數位轉換器雜訊分析等效圖(a)取樣狀態(b)第二級取樣狀態	64
圖 3-44 類比數位轉換器之運算放大器波德圖	66
圖 3-45 運算放大器上升及下降迴轉率	66
圖 3-46 Model TT_3V 85°C 之 FFT 圖形	67
圖 3-47 還原波形圖	68
圖 3-48 遞迴式類比數位轉換器佈局圖	68
圖 3-49 時脈產生器主要架構圖	69
圖 3-50 (a) (b)總時脈圖	70
圖 3-51 除頻電路圖	70
圖 3-52 MUX 訊號	71
圖 3-53 MUX 訊號	71
圖 3-54 數位單擊電路示意圖	72
圖 3-55 數位單擊電路訊號示意圖	72
圖 3-56 (a) TFF (b) DFF	72
圖 3-57 輸出緩衝器	73
圖 3-58 晶片佈局與訊號接腳	75
圖 3-59 晶片腳位編號	75
圖 4-1 測試平台方塊架構圖	78
圖 4-2 電源穩壓電路	79
圖 4-3 偏壓電路與輸出備用電路	80
圖 4-4 測試板參考電壓產生電路	81
圖 4-5 類比數位轉換器動態測試板輸入電路	82
圖 4-6 產生 CDS 輸入電壓之測試板電路	83
圖 4-7 測試板電路	85

表目錄

表 1-1 數位電視規格表	1
表 1-3 晶片主要規格表	4
表 2-1 CCD 與 CMOS 影像感測器之優缺點	6
表 2-2 運用於影像感測器之類比數位轉換器比較	15
表 3-1 運算放大器規格	45
表 3-2 相關性雙取樣電路 presim 輸出之誤差及有效位元	48
表 3-3 相關性雙取樣電路 postsim 輸出之誤差及有效位元	50
表 3-4 運算放大器規格	67
表 3-5 腳位名稱與用途	76
表 4-1 儀器列表	84

第一章 簡介

1.1 研究動機

過去電視及廣播等影像、音訊傳輸是以類比訊號作為傳輸方式。將類比訊號透過高頻無線電波 (UHF 與 VHF) 調變後傳送到接收端，再由接收端對接收訊號進行解調變處理回復成影像和聲音。然而類比傳送方式在傳送過程中容易遭受干擾，在畫面清晰度、抗雜訊與鬼影等表現均不佳，且佔用一定頻寬，導致傳輸效率不高。相較之下，數位資訊傳播不但抗雜訊能力較高，且可在傳輸前先進行壓縮或是加入除錯位元，在接收端則可針對傳輸過程中訊號衰減進行除錯與更正功能，大大提高頻寬使用頻率以及訊號傳輸之正確度。這使得數位廣播可具有較高的視訊與音訊品質，並且大大增加頻道數目，因此各國政府近年來皆十分積極推動電視廣播數位化，在不久之將來，電視廣播便可全面數位化。

數位電視 (Digital TV) 可依解析度分為標準數位電視 (SDTV) 與高解析度數位電視 (HDTV)。數位電視指的是將電視訊號轉換成為數位信號，再以數位技術處理後廣播，經由電視機接收後將其恢復為一般電視訊號顯示在電視螢光幕。相較於一般傳統電視，數位電視具有較高的畫質與音訊品質。

最常使用之數位電視播出格式有 480i、720p 以及 1080i 三種。其中數字代表每一個畫面之掃描線數目，p 代表漸進式掃描 (Progressive)，i 代表交錯式掃描 (Interlace)。漸進式掃描指每次掃描時，皆從第一行掃描至最末行，目前電腦顯示器

表 1-1 數位電視規格表

種類	標準畫質數位電視 (SDTV)	高畫質數位電視 (HDTV)
掃描線	畫面解析度低於 720 條掃描線	畫面解析度高於 720 條掃描線
播出格式	480i	720p 與 1080i
音質	數位音質，但不一定是杜比音效	提供杜比立體音效
畫面	畫面與傳統電視相差不大	提供 16:9 的畫面比例

即是應用此種掃描方式。交錯式掃描則每次只掃描半個畫面，例如第一次先掃描畫面之奇數行，接著再掃描畫面之偶數行，此種掃描方式為現今之電視所使用。目前最佳之類比電視可顯現之畫質相當於 480i 之數位電視畫質，而高解析度數位電視之畫質最少有 720p，以現有科技，高解析度數位電視之畫質已可達 1080i。

本晶片使用 1080p 之高解析度數位電視作為設計規格。然而由於國家晶片中心並未提供標準 CMOS 影像感測器之製程，故僅以電路規格符合為主要訴求，並無考慮像素本身是否會因曝光時間不足導致衍生之問題。

圖 1-1 所示為由光學影像至數位資訊的轉換流程。在感測端由電子式影像感測器 CMOS 或 CCD 感應光譜，產生累積電荷，再藉由電路讀取產生對應於此光線輸入的電子訊號至輸出電路，經由類比數位轉換器轉換成數位訊號後，便可得數位化之影像資料。而後即可對此數位化的影像資料做後置的影像處理，或是直接處理類比的影像訊號。

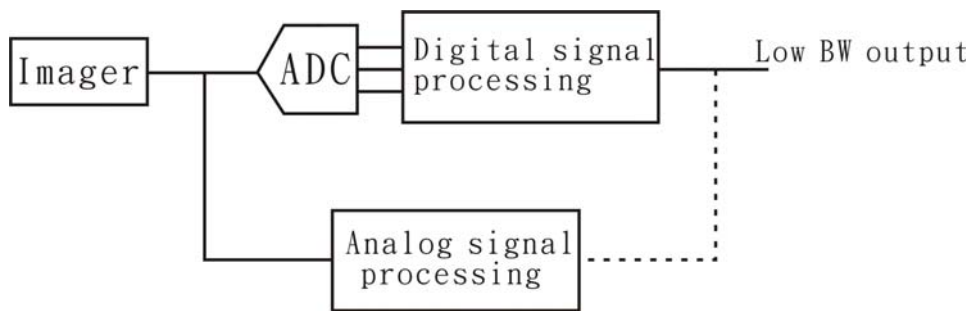
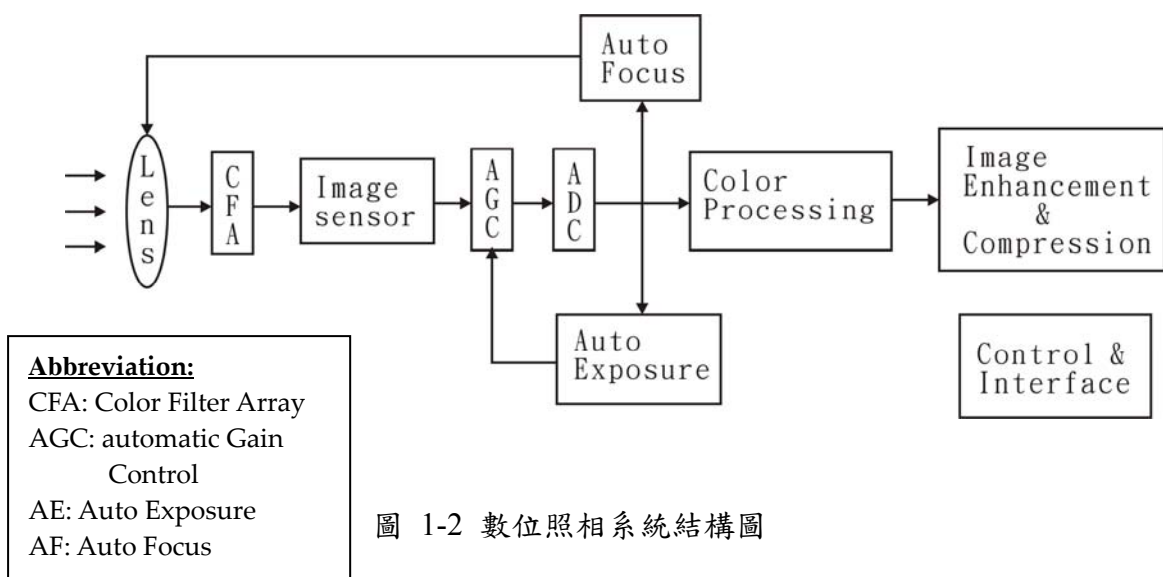


圖 1-1 數位攝相系統方塊圖



Abbreviation:
 CFA: Color Filter Array
 AGC: automatic Gain Control
 AE: Auto Exposure
 AF: Auto Focus

圖 1-2 數位照相系統結構圖

圖 1-2 所示為一般數位照相系統。光線訊號在經過鏡頭後，接著通過色彩濾鏡 (Color Filter Array, CFA) 進入影像感測器，接著將產生之訊號送至類比數位轉換器處理成數位訊號，此時得到之數位資訊只有光線的強度，而沒有色彩資訊，因此最後須再透過色彩處理，將色彩資訊加入輸出之數位訊號中，便可對最後結果進行壓縮或是額外數位處理。

1.2 晶片規格設計

本晶片之主要架構為：一個 64×64 的像素陣列，每一行的像素對應至一個相關性雙取樣電路，然後每兩個相關性雙取樣電路對應到一個遞迴式類比數位轉換器，接著每八個平行之類比數位轉換器為一組使用一 8 位元多工器連接至一個輸出接腳。周邊電路則有偏壓電路以及控制整顆晶片的時脈產生器。

本晶片使用 1080p 之高解析度數位電視作為設計規格，1080p 之數位電視規格共有 1920×1080 個像素陣列，因此每行有 1080 個像素，再以每秒 30 個 frame 循序式掃描計算，可得：

$$1/(1080 \times 2 \times 30) = 15.432 \text{ us}$$

其中分母須乘以 2 是因為本架構為兩個相關性雙取樣電路共用一顆類比數位轉換器。即是每 15.432 us 需輸出一個像素的 12 位元數位資料，取 15us 設定類比數位轉換器之運作頻率為 $1/(15 \text{ us})$ ，約為 66.67 kHz。如圖 1-3 所示。

另外，由於本晶片系統龐大，為了避免其中一個電路之失效導致整個晶片無法量測，故為了測試考量，另外加入了一組八個之相關性雙取樣電路_類比數位轉換器測試組以及一組八個之類比數位轉換器測試組。包括原本之 4 個數位輸出，總共有 6 組數位輸出。

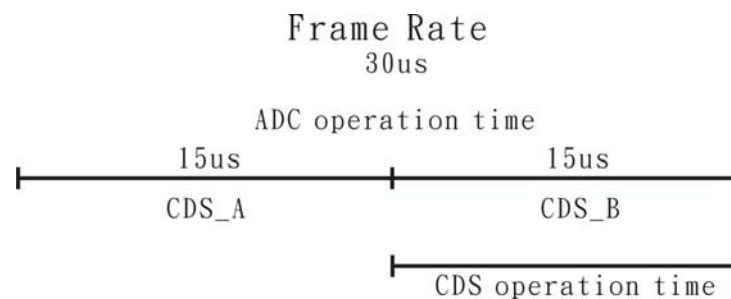


圖 1-3 晶片時序分佈圖

表 1-3 晶片主要規格表

Technology	TSMC 0.18 1p6m
Pixel Resolution	64 X 64
Pixel Pitch	8 um
For 64 x 64 pixel array	520 Frame / s (max)
ADC	12 bit
Number of outputs	6 digital output PAD (48 ADC output)
Power supply	3.3 V
Power dissipation	60 mW

近幾年的 CMOS 影像感測器論文，多以內建平行處理式類比數位轉換器為主要設計架構，更有先進者已著手探討將類比數位轉換電路內建於像素中。然而尚有許多問題待解決。本晶片之主要規格列於表 1-3。

第二章 背景資料

2.1 CCD 及 CMOS 影像感測器介紹

現今所使用之影像產生技術主要可分為：電荷耦合元件(Charge Coupled Device, CCD)以及金氧半影像感測器(CMOS Image Sensor, CIS)。此二種影像感測器皆是藉由二維之像素陣列(pixel array)將光譜訊號轉換成電子能量(其形式可以為電荷、電流或是電壓)，再經由讀取電路及類比數位轉換器解析後，便可獲得數位化之影像訊號。

自從 1970 年代著名的貝爾實驗室研發出 CCD 影像感測器以來，CCD 影像感測器便一直佔有影像感測器主流市場。CCD 影像感測器之優點為低雜訊且感光度佳，其擁有極佳之畫質之特點使其被廣泛應用數位相機、數位攝影機等消費型電子產品中。然而 CCD 影像感測器是在晶圓上 (Circular disk) 藉由加工技術蝕刻出來，其製程完全獨立於 CMOS 製程之外，必須獨立建製且無法轉換為其他生產線用途。因此在技術及環境考量下，現今量產 CCD 影像感測器的公司只剩下：SONY、Philips、Kodak、Matsushita、Fuji、SANYO 和 Sharp，其相關技術和規格幾乎已由日本廠商統一制訂。

CMOS 製程之影像感測器發展於 1980 年代中期，起初其影像品質與感光度的表現仍然不 CCD 影像感測器優良，但隨著 CMOS 製程不斷進步、電路面積不斷縮小而且更為省電之下，CMOS 影像感測器已攻下要求成本而不著重畫質之市場，如 PC Camera、TV Camera 等領域。

CMOS 影像感測器最大的優勢是具有高度系統整合條件，其與一般邏輯製程僅有幾道光罩不同，這使得 IC 製造廠商可利用一般 CMOS 生產線生產 CMOS 影像感測器。藉由採用數位類比混合設計，可將影像感測器所需的所有功能如垂直移位、水平移位暫存器、相關性雙取樣電路 (CDS)、類比數位轉換器 (ADC) 以及數位影像處理電路等完全集成在同一晶片上，實現單晶片攝相系統，如此可減少使用外部晶片和設備，大幅縮減了儀器的體積和重量。

表 2-1 中詳列了 CCD 與 CMOS 影像感測器主要的優點與缺點。由表 2-1 中可看出雜訊為 CMOS 影像感測器之明顯缺點，這是由於 CMOS 製程同時也將電晶體變異

表 2-1 CCD 與 CMOS 影像感測器之優缺點

	CCD 影像感測器	CMOS 影像感測器
優點	<ul style="list-style-type: none"> ✓ 影像品質較高 ✓ 對影像感測的最佳化，高曝光面積效率，低暗電流(Dark Current) ✓ 低雜訊：CCD 並不會主動引入雜訊 	<ul style="list-style-type: none"> ✓ 易與其他電路整合，實現單晶片攝相系統 ✓ 低耗電，相較於 CCD 可運作於較低電壓下 ✓ 可獲得極高的畫面更新速率 ✓ 與 CMOS 製程相符，因此有完整的設計及分析工具資源
缺點	<ul style="list-style-type: none"> ✓ 無法與其他電路整合 ✓ 高耗電(需高速位移時脈) ✓ 有限的畫面更新速率(需序列式讀取) ✓ 畫面由殘留之少量電荷而造成的畫面污染效應 	<ul style="list-style-type: none"> ✓ 並非為對影像感測用途最佳化設計(已漸漸可改進) ✓ 由多級放大器所造成的高雜訊(像素級、行級和晶片級) ✓ 明顯的行固定圖像雜訊 (Column Fix Pattern Noise)

參數和雜訊帶入電路中，然而藉由製程的演進，以及電路設計技巧如提升影像感測器動態範圍、降低像素暗電流以及消去電路雜訊之技術也相繼被提出，使得 CMOS 影像感測器已能逐漸趕上 CCD 影像感測器的水準，近年來，CMOS 影像感測器在市場中的佔有率更是不斷提升。

基於以上之敘述，本論文採用之架構為 CMOS 影像感測器，將於下一節中對其更深入介紹。

2.1.1 主動式與被動式感光元件介紹

MOS 影像感測器是指使用 MOSFET 電晶體將訊號從像素傳輸至輸出電路之像素陣列。藉由訊號傳遞之形式可將像素分為：電荷輸出 (Charge Output Pixel)、電流輸出 (Current Output Pixel) 以及電壓輸出 (Voltage Output Pixel)。

圖 2-1 所示為一典型的 MOS 像素陣列架構。由於 MOS 陣列在同一時間下，每行只能提供一組信號通過，因此必須藉由時序多工的分配，避免像素間輸出互相干擾。MOS 像素陣列架構運作時，首先使用列選擇器(Row Selector)或列解碼器(Row Decoder)選取所要讀取的列(Row)，此時其他列的像素必須與行信號線斷路，在讀取時間內，同一列的所有像素都同時被讀取送至行放大器(Column amplifier)，再藉由行解碼器(Column Decoder)漸次輸出像素值。

CMOS 影像感測器可分為兩大類：被動式像素影像感測器(Passive Pixel Sensors, PPS)以及主動式像素影像感測器(Active Pixel Sensors, APS)，分述如下。

被動式像素影像感測器(Passive Pixel Sensors, PPS)

被動式像素影像感測器每個像素中僅包含一個電晶體，其主要之優點在於小面積以及較大之有效曝光面積(fill factor)，其缺點則是速度慢以及低訊噪比。

如圖 2-2 所示，可將像素每陣列影像感應器區分為三級，分別為：像素級(pixel level)、行級(column level)以及晶片級(chip level)。一個被動式像素中包含一個光二極體(Photodiode)以及一個開關電晶體，此電晶體做為與行傳輸路徑連結之開關。當列訊號選擇了該列的像素時，開關電晶體便導通，光二極體中由光照產生的電荷便經由行傳輸路徑傳送到行線下端的積分放大器，再藉由積分放大器將訊號轉化為電壓輸出。

此架構採用電荷輸出，在訊號的傳遞路徑中易有電荷損失。且在經過行放大器(Column amplifier)時，有時訊號會因為過於飽和而產生失真。此種讀取電路在讀取過程中會改變光二極體之電壓狀態，故稱之為破壞性讀取。由於此架構之像素內僅包含一顆電晶體，故有效曝光面積較大。然而速度慢及低訊噪比之缺點使其不利於大型化發展，因此逐漸為主動式像素影像感測器所取代。

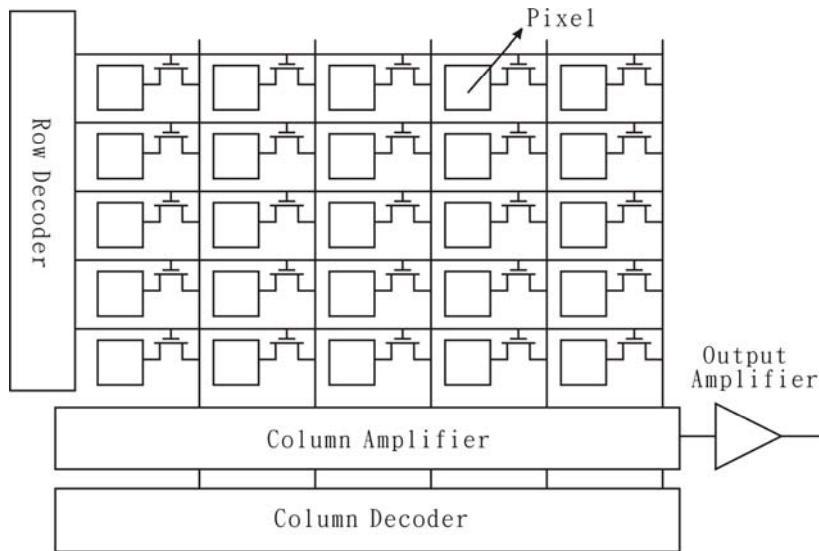


圖 2-1 MOS 影像陣列架構

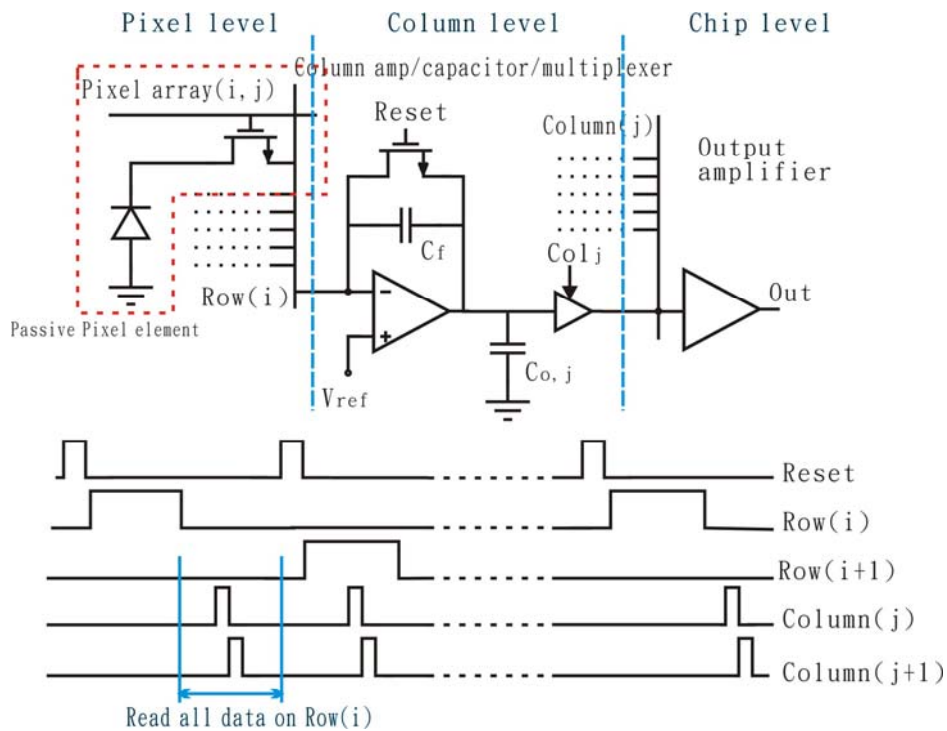


圖 2-2 被動式像素陣列影像感應器

主動式像素影像感測器(Active Pixel Sensors, APS)

主動式像素影像感測器每個像素中包含三到四個電晶體，其主要之優點在於高速及高訊噪比，其缺點則是較大之像素面積以及較低有效曝光面積(fill factor)。

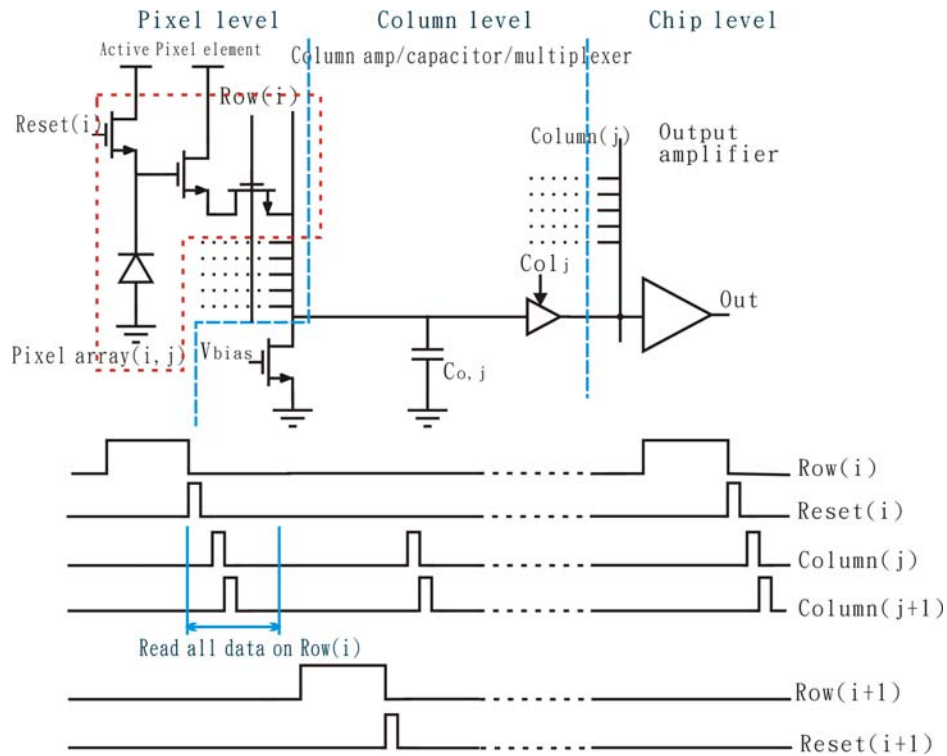


圖 2-3 主動式像素陣列影像感測器

如圖 2-3 所示，主動式像素影像感應器在像素級中，使用一源極隨耦放大器及一重置電晶體取代了被動式像素影像感應器位於行級中之放大器電路及重置電晶體。如此雖下降了電路之面積，然而亦因為像素單元內電晶體數量之增加，使得有效曝光面積降低。

此架構採用電壓輸出，在讀取過程中，並不會對像素端之電壓造成影響，屬於非破壞性讀取。當像素曝光週期結束時，將曝光值讀取出，並將像素單元重置。雖然有效曝光面積受電晶體佔據而降低。然而其高速及高訊噪比之特性，仍使主動式像素影像感測器架構漸成主流。

2.2 應用於影像感測器之類比數位轉換器型態

目前已發展出許多種數位類比轉換器架構，分別有各種不同之特性，可提供應用於各種場合。在此僅介紹適合於影像感測器行列式輸出的類比數位轉換器架構[6]。

選擇數位類比轉換器架構之主要考量為：信號形式(signal format)、精確度(accuracy)、取樣頻率(sampling rate)以及面積。一般在 CMOS 影像感測器之輸出電路中，通常會使用相關性雙取樣電路(CDS)做為接收取樣像素輸出的第一級，這是由

於相關性雙取樣電路可有效降低共模雜訊，以及 CMOS 像素的固定圖像雜訊 (FPN)。因此相關性雙取樣電路即可視為本類比數位轉換器之取樣/保持電路，亦即本類比數位轉換器之輸入端是接至相關性雙取樣電路之輸出端。

由於像素輸出端僅在列選擇訊號開啟時才有電壓輸出，因此其輸出值可視為步階直流電壓。而此輸出值在經由相關性雙取樣電路處理後之輸出值形式仍然為步階直流電壓，可見圖 3-26 之相關性雙取樣電路模擬輸出，其中每個步階電壓即代表每個像素的輸出。

對於精確度的要求，則取決於所應用的範圍。例如：做為光學滑鼠之影像感測器僅需 6-bit 或更低之解析度，而一般數位影像顯示裝置則以 RGB 各 8-bit 解析度展開之 16777216 色之色域為標準，現今高階的 DVD 電影影像放映機內部已採用解析度 14-bit 之數位類比轉換器做為解碼 IC。由於本設計期望可以應用於 HDTV 之規格下，因此選取 12-bit 做為影像來源的數位資料解析度。

取樣頻率的選擇則需依據所選擇之架構而定。例如若所有的像素共用一顆類比數位轉換器時，其所需之取樣時脈速度要求便極高。而若是共用同一頻道類比數位轉換器的像素行數越少，則每個頻道的類比數位轉換器之取樣頻率就可以越低，即便可使用較低速之類比數位轉換器。

由於本論文中欲實現一平行處理之類比數位轉換器，因此類比數位轉換器部分所需之面積即為每個頻道的類比數位轉換器之面積乘上頻道數。可依所要求之面積以選擇可實現之架構。

2.2.1 雙斜率式(Dual-Slope Converter)

雙斜率式類比數位轉換器亦稱積分式類比數位轉換器(Integrating)，應用在低取樣頻率及高精確度之電路中。其特點為極佳之線性度、需要較少之電路以及十分低的偏移及增益誤差。典型的雙斜率類比數位轉換器架構方塊圖如圖 2-4 所示。

其運作方式可分為兩個階段。第一個階段時，使用一電阻產生正比於輸入電壓 V_{in} 之電流，在一固定的時間 T_{charge} 中對電容充電，直到積分週期結束。

第二個階段一開始，便將計數器重置，接著將積分器的輸入端連接至與輸入電壓 V_{in} 反相的參考電壓 V_{ref} ，如此可藉此反相參考電壓對積分器之積分電容放電，

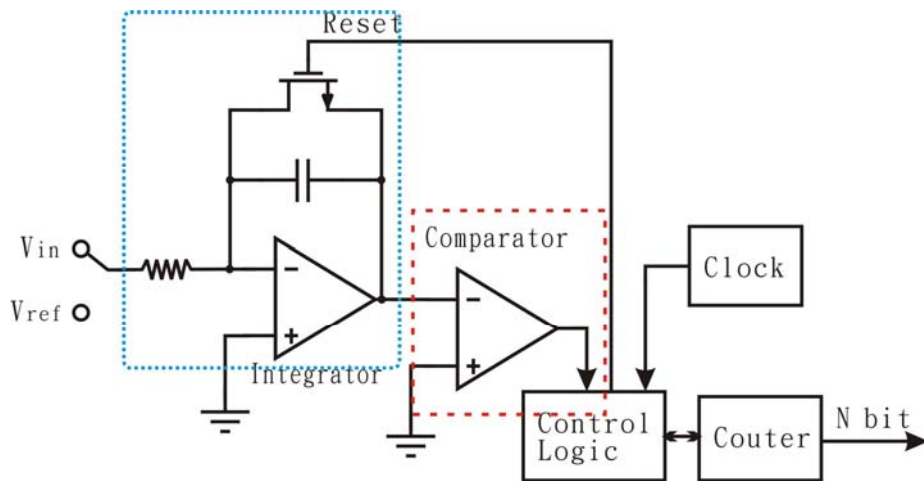


圖 2-4 雙斜率式類比數位轉換器架構示意圖

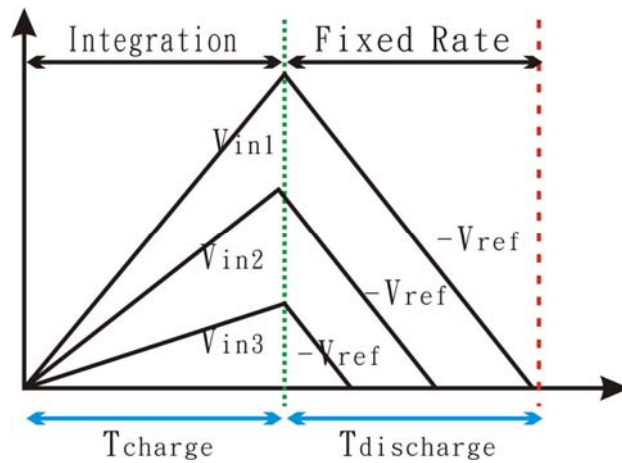


圖 2-5 雙斜率式類比數位轉換器積分器運作圖

由於參考電壓固定不變，因此可得一固定斜率之下降曲線，此時計數器開始計數直至運算放大器輸出端之電壓回到 0 輸入準位，此時計數器之輸出即為類比數位轉換器之輸出。如圖 2-5 所示。由於 V_{ref} 對積分電容為等斜率放電，因此可藉由式(2-1)得輸入電壓之值關係式為：

$$\frac{|V_{in}|}{|V_{ref}|} = \frac{T_{charge}}{T_{discharge}} \quad (2-1)$$

由式(2-1)中可看出，輸入電壓之輸出值並不會受到 RC 常數之影響，因此我們可推知此架構並不會遭受增益誤差之困擾。若是使用的架構為單斜率式架構 (Single-Slope)，則會產生為 RC 函數之增益誤差，如圖 2-6 所示。

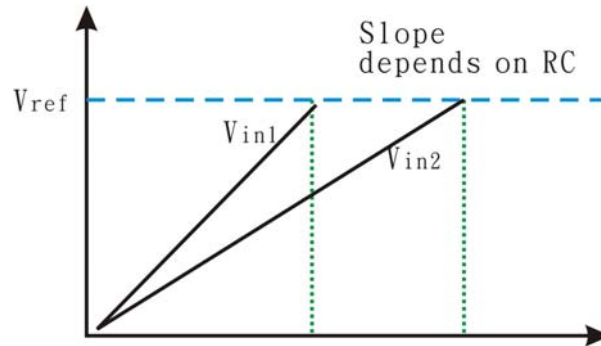


圖 2-6 單斜率式類比數位轉換器積分器運作圖

由於上升斜波及下降斜波均由同一時脈所計數，因此在上升時段和下降時段所產生的誤差將可相互抵銷，而不不需要有高的時脈穩定度。然而穩定的 V_{ref} 電壓則是不可或缺的，這點可由式(2-1)中得到驗證。

考量雙斜率式類比數位轉換器之特性，可發現其應用於平行處理式類比數位轉換器用途上是十分可行的。晶片中所有頻道皆可共用計數器及參考電壓斜波，而每個轉換器僅需要一組 RC 積分器、比較器及數位拴鎖器(latch)。由於電路較少，所使用之面積亦較少，低轉換速率亦十分適合用於每行皆為獨立頻道的平行處理應用，然而其缺點為需要一高速的全晶片計數器。假設一個 12-bit 的類比數位轉換器之轉換時間為 4us 之內，則所需的計數器速度至少需：

$$f_{count, \min} = \frac{2^{12}}{4\mu s} = 1.024GHz$$

這是十分驚人之數字，在如此高的速度下，要使每行的類比數位轉換器皆在 4ns 之內の時脈偏移量下接收，這對於大尺寸之 CMOS 影像應用上是不利的缺點。

2.2.2 連續逼近式(Successive Approximation, SAR)

連續逼近式類比數位轉換器雖具有簡單之架構，卻可達到中高取樣速度及中高精確度之需求。電荷重分配式類比數位轉換器(Charge-Redistribution)為其中一種架構，其整合了可消除固定圖像雜訊的相關性雙取樣電路為訊號之輸入端。

連續逼近式類比數位轉換器之原理為將輸入訊號不斷與 0V 位準作比較，若是輸入訊號大於 0V，則繼續檢查輸入訊號是否仍大於半個全刻度之大小，如此繼續減半位準檢查。以全刻度為 1V 為例說明，假設輸入訊號大於 0V，則繼續檢查輸入訊號

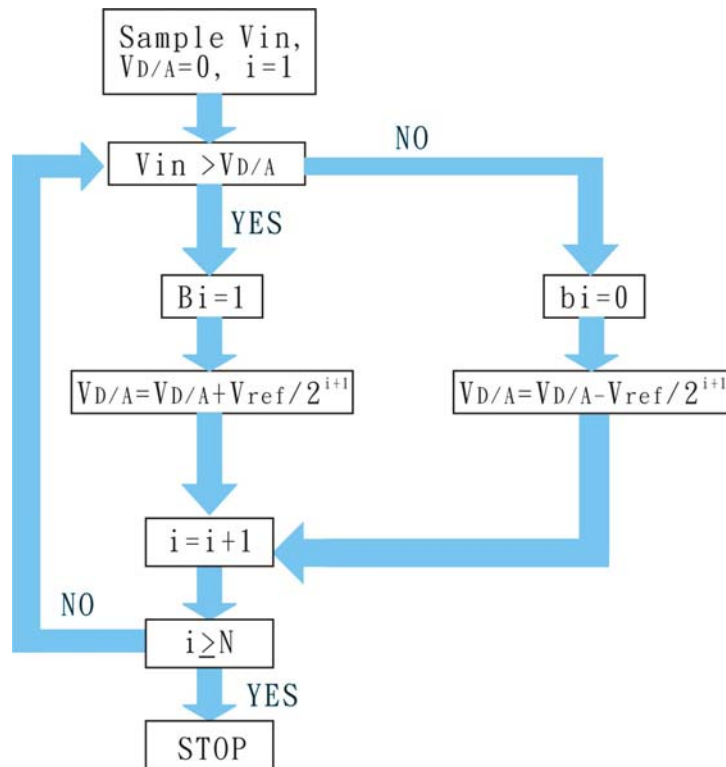


圖 2-7 連續逼近式類比數位轉換器流程圖

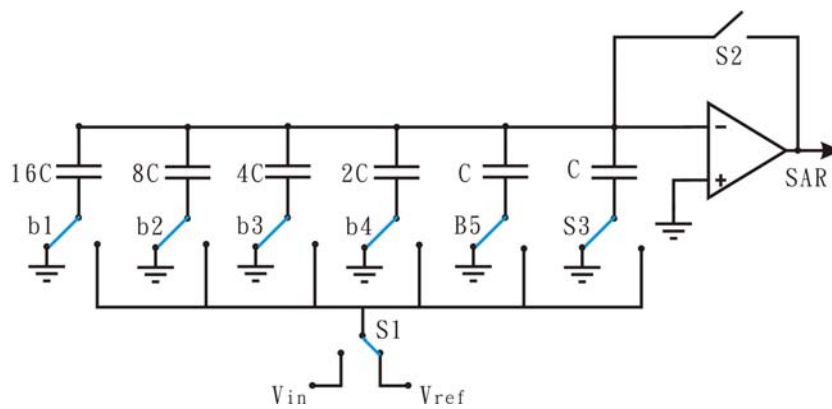


圖 2-8 連續逼近式類比數位轉換器架構圖

與 $1/2 V$ 之大小關係，接著再檢查其與 $1/4$ 、 $1/8$ 、 $1/16 \dots$ 之大小關係，直至得到所需之位元數為止。對於連續逼近式類比數位轉換器而言，完成 N 位元之類比數位轉換將會需要 N 次的比較，而每次比較所產生的結果即為所得之位元資訊，其輸出將由最高位元(MSB)漸次輸出至最小位元(LSB)。

圖 2-7, 2-8 所示即為其流程圖及架構圖。

由於連續逼近之過程中皆使用同一個比較器，因此當解析度提升時，並不會使電路複雜度升高。然而由於連續逼近式類比數位轉換器架構中使用電容作為比較之依據，因此會因電容不匹配而導致電壓準確度產生誤差。為確保連續逼近式類比數位轉換器之準確度可達到所需之規格，則必須加入校正單元(Calibration)。

由圖 2-7 中我們可以發現，連續逼近式類比數位轉換器由於大量使用電容，其面積問題勢必成為最大之缺點。且除了連續逼近式類比數位轉換器之外，必須額外加入之校正單元要比原電路多出 2bit 的準確度，諸如這些，都會使面積問題更加嚴重。在平行處理式類比數位轉換器之應用上，必須以多行共用解決此面積考量。

2.2.3 遞迴式(cyclic ADC)

遞迴式類比數位轉換器(cyclic ADC)又稱為運算式(algorithmic)類比數位轉換器，為前述連續逼近式類比數位轉換器架構之延伸，其特性為可連續串接數級架構達成所需之規格要求。

其運作方式與連續逼近式類比數位轉換器極為相似。在每一級中，對輸入電壓執行數學運算後將產生一個位元及殘餘電壓輸出值，而殘餘電壓輸出值則做為下一級的輸入電壓。典型的運作方式為將輸入加倍，可見圖 3-32 所示。依據輸入為正值或負值做為判斷須加或減參考電壓。若輸入電壓為正值則產生一個位元為 1，若輸入電壓判斷為負值則產生位元為 0。

遞迴式類比數位轉換器可延伸為管線式(pipeline)結構。其差別在於：在遞迴式轉換器中，相同的切換電容式積分器會重複循環遞迴使用來產生接下來的位元。而在管線式轉換器，則使用每一級串連的切換電容式積分器來組成。對於一個解析度為 12 bit 的轉換器而言，管線式轉換器需要 12 級來實現。而遞迴式轉換器則可任意選擇需要多少級，原則以解析度的因數為主，而最常見的則是使用兩級為設計。此兩種方式在應用上為：管線式的通常是運用在較高的取樣速度，而遞迴式則因需要不斷循環取樣剩餘值的關係，適合應用於取樣速度較低，需要小面積的應用中。

本論文所需求之取樣速度為 66.67k Hz，精確度則為 12bit。在速度、精確度及面積之考量下，選擇遞迴式類比數位轉換器作為實現之架構。由於其在中高速下可提供

表 2-2 運用於影像感測器之類比數位轉換器比較

	[1]	[3]	[4]	[2]	My Chip
Source	1998 JSSC	2003 JSSC	2003 IEEE conference	2005 ISSCC	NA
Technology	0.8 um 1p3m	0.35 um 2p3m	0.35 um 1p 3m	0.25 um 1p4m	0.18 um 1p 6m
Pixel Size		7 x 7 um ²	5.6 x 5.6 um ²	10x 10 um ²	8x8um ²
ADC type	Cyclic ADC	SAR	Single Slope	Cyclic ADC	Cyclic ADC
Resolution	9b	10 b	11b	12b	12b
Operation Voltage	5V	3.3 V	2.8 V analog 1.8 V digital	3.3 V analog 2.5 V digital	3.3 V
Power consumption	52mW@30fps 400mW@390fps	<700mW @240fps	75mW analog 4.5mW digital @30fps	130mW @30fps	60mW @520fps
Array size	256x256	2352x1728	1280x1024	664x488	64x64

中高精確度之特性，可在此三種架構中達到符合所需之面積考量。

表 2-2 中為近幾年來運用於影像感測器之類比數位轉換器之研究發表。由表 2-2 中可視，應用於影像感測器之類比數位轉換器多為以上所述之三種架構，本論文依據所需之規格選擇遞迴式類比數位轉換器實行，最高畫面更新率可達 520fps，功率消耗約為 60mW。

第三章 晶片之架構及設計

3.1 全晶片架構

本論文之實作晶片設計主要架構如圖 3-1 所示，主要有一 64 x 64 的像素陣列、64 個相關性雙取樣電路（Correlated Double Sampling, CDS）、32 個遞迴式類比數位轉換器，周邊電路部分則有一偏壓電路及訊號產生電路。

由於面積上的考量，每兩個相關性雙取樣電路對應到一個遞迴式類比數位轉換器。另一方面，考量到接腳的數目，無法讓所有的遞迴式類比數位轉換器直接向外輸出，因此在設計上，每 8 個遞迴式類比數位轉換器之輸出藉由一 8 位元多工器切換以減少接腳數目。

每一行的像素之輸出經由一相關性雙取樣電路取樣後，再送至遞迴式類比數位轉換器輸出所需的數位訊號，再藉由 8 位元多工器切換輸出。

周邊電路部分，電源輸入在經過偏壓電路(Bias circuit)之後可得到 4 個偏壓，分別使用於相關性雙取樣電路以及遞迴式類比數位轉換器之放大器部分。而由於控制晶片所需使用的時脈眾多，因此若採取由外界輸入控制時脈之方式，則晶片接腳勢必不足，故直接於晶片中設計一時脈產生電路（Clock Generator）以輸出控制整顆晶片的控制時脈。

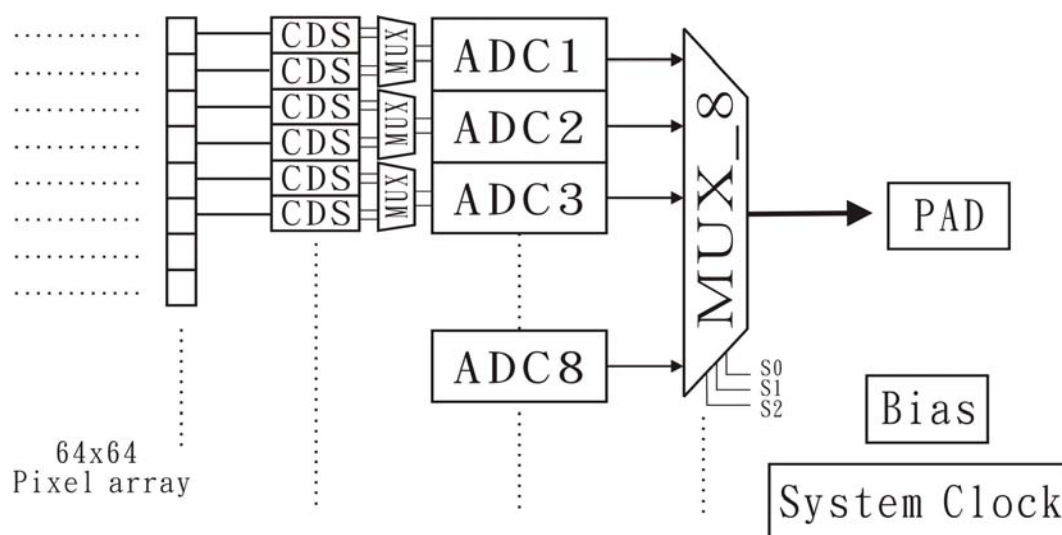


圖 3-1 全晶片系統方塊圖

除了實現單晶片攝相系統電路 (camera on a chip) 之外，本晶片為量測考量，另外加入直接由外部輸入測量值的 16 x CDS 及 8 x ADC 一組、以及 8x ADC 一組。

圖 3-2 為全晶片佈局圖，本晶片採用 TSMC 0.18um CMOS RF-Mix signal 3.3V 1p6m 一層多晶矽六層金屬製程。而標準 CMOS 影像感測器製程為了提高透光度，只提供 3 層金屬層，但由於國家晶片中心並未提供標準 CMOS 影像感測器製程，為降低製程上之差異，故本晶片在佈局時，除 MIM 電容不可避免需使用第 5 層及第 6 層金屬之外，其他接線皆使用第 3 層以下金屬完成佈局。希望藉此減少製程差異，以期證明本設計晶片之可行性，以及轉移至標準 CMOS 影像感測器製程時本設計晶片仍可實現。

為了達到 metal density 之要求，因此在晶片空白區域，大量地填入了由 poly、M1~M4 所組成的 cell。即圖 3-2 所示的外圍之方格部分。

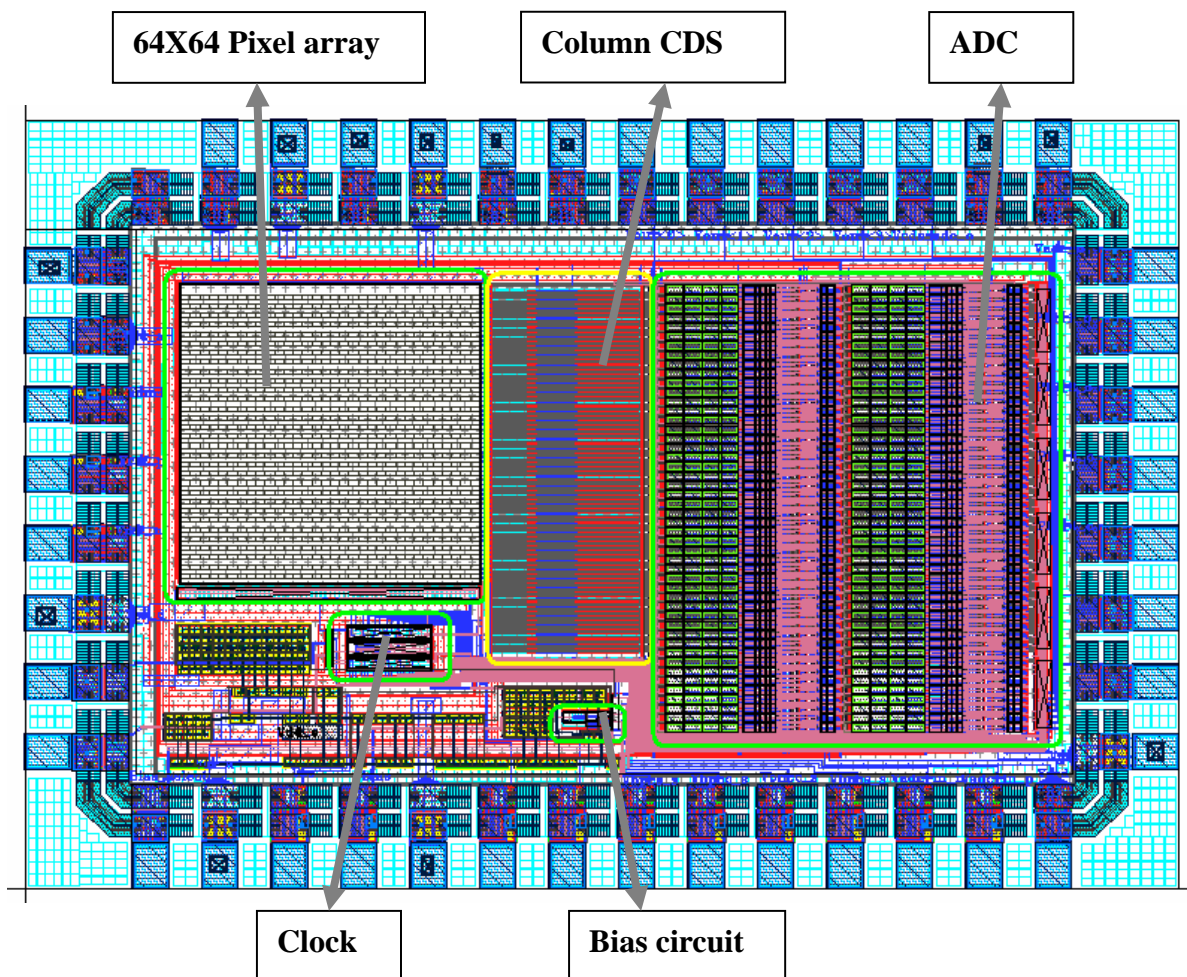


圖 3-2 全晶片佈局圖

3.2 像素陣列 (Pixel Array) 及控制電路

3.2.1 電路架構及運作原理

本晶片內含一 64 x 64 之像素陣列，架構如圖 3-3 所示。圖中的 Row Select 為一位移暫存器，可將時脈產生電路所輸出的訊號轉換成控制像素陣列的重置訊號以及列選擇訊號。

像素主要可依輸出型態分為：電荷輸出 (Charge Output Pixel)、電流輸出 (Current Output Pixel) 以及電壓輸出 (Voltage Output Pixel) [2]。電荷輸出像素所需的電晶體數目以及面積皆較小，但速度較慢，且在傳遞過程中會有電荷損失。電流輸出像素需要一輸出電路將電流轉換成電壓輸出，然而卻會遭逢雜訊或是速度較慢的問題。而電壓輸出像素使用非破壞性讀取，利用一源極隨耦放大器以讀取光二極體之電壓，可得較高之速度。

本晶片所採用的是電壓輸出像素，為 3T APS (3 transistor active pixel sensor) 陣列。單顆像素電路如圖 3-4 所示，使用 3 顆 NMOS 電晶體組成主動式讀取電路。

在曝光時間開始後，N 型井二極體會因為光電流的流動，而使 M3 源極端電壓 $V_{\text{photodiode}}$ 逐漸地下降，當列選擇訊號 RS (Row Select) 為高電位時，M3 源極端之電壓將會經由源極隨耦放大器 M1 而傳送至相關性雙取樣電路。當相關性雙取樣電路取樣結束後，重置訊號便提升至高電位，對像素進行重置，再將此重置後之像素電壓值亦經由源極隨耦放大器 M1 傳送至相關性雙取樣電路，待取樣結束後，RS 便下降，關閉 M2，如此則為一個取樣的週期。

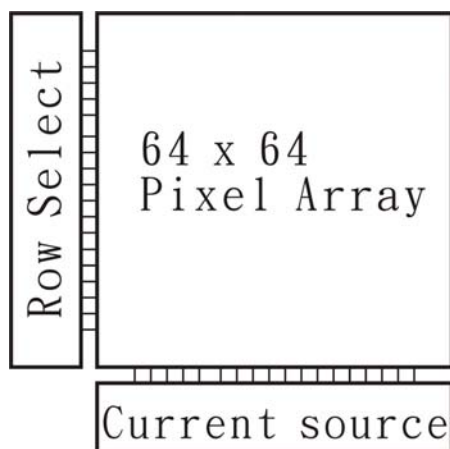


圖 3-3 像素陣列佈局

3.2.2 像素陣列之模擬結果與佈局圖

圖 3-5 為單顆像素模擬結果。可參照圖 3-4。當 RS (Row_select) 為高電位時，便可在輸出端讀取到像素曝光後之電壓值，即 Vline_2 之值。而重置訊號 Reset (Pixel_Reset) 則會將像素重置，令電壓值拉高。當 RS 降低後，輸出端便被 M2 所隔開，無法再讀取像素電壓值。像素進入曝光累積電荷的期間。而 Vline_2 亦同時為下一級的相關性雙取樣電路之輸入。

圖 3-6 為一 2 x 2 之像素佈局圖。此像素於佈局上，每 4 顆像素共用一 Vss 接地點，以符合設計法則 (Design Rule) 之規範。(在標準之 CMOS 影像感測器製程中，像素內不需要額外接地點是被允許的。)

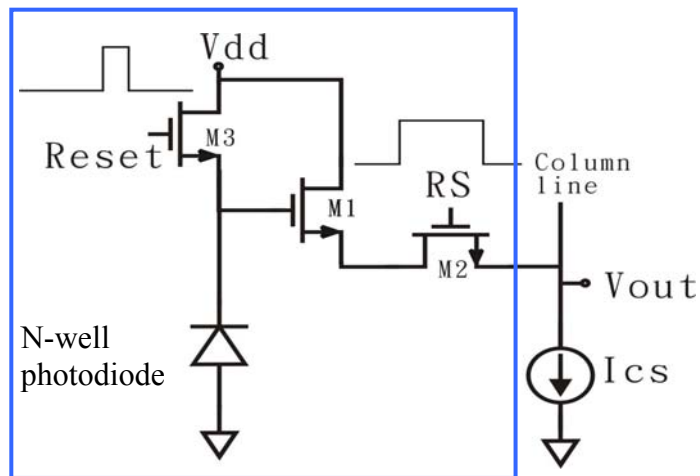


圖 3-4 3TAPS 電路圖

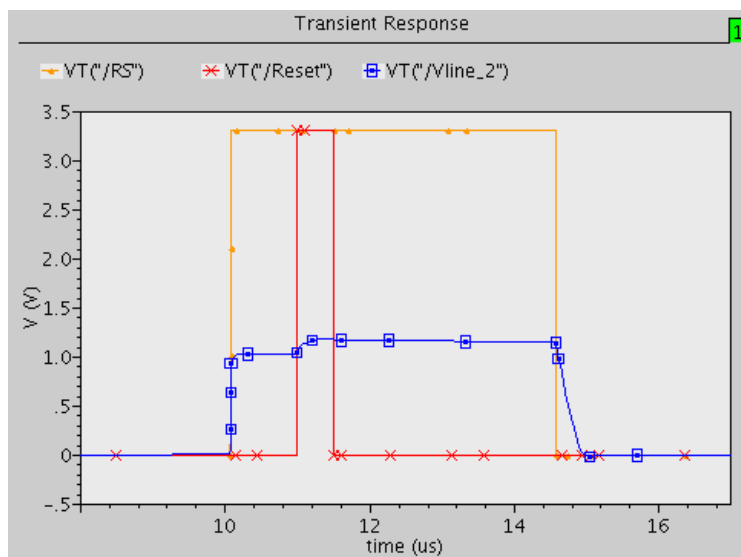


圖 3-5 單顆像素模擬結果

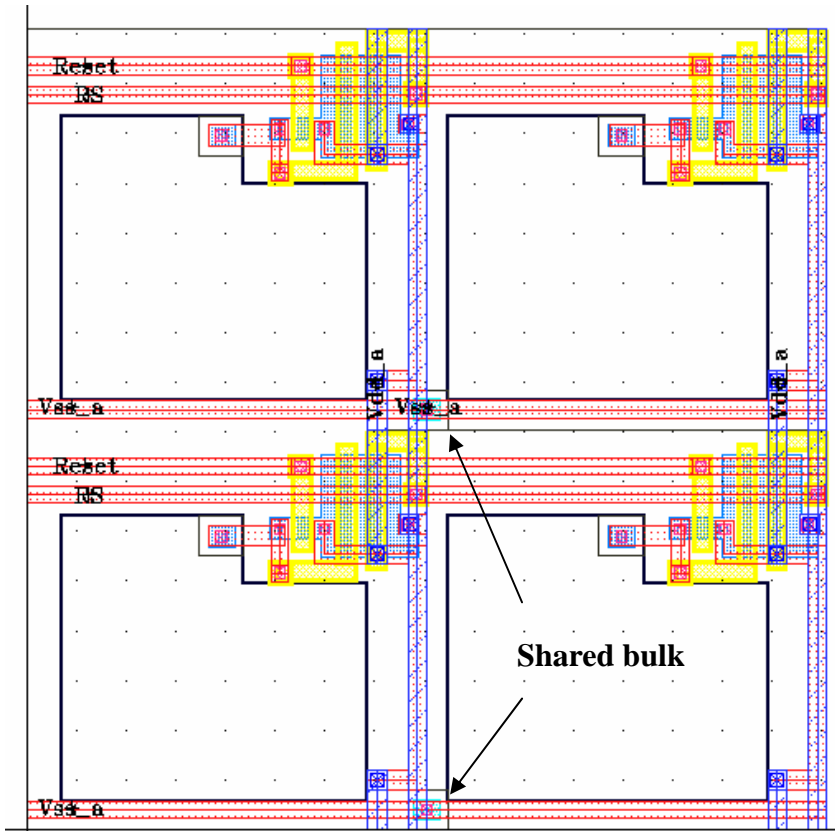


圖 3-6 4 顆 3TAPS 佈線圖

3.2.3 像素陣列之控制電路

本晶片採用一位移暫存器作為像素之控制電路，如圖 3-7 所示。由時脈產生電路提供 Row_select、Pixel_reset 以及 Isolate（相關時脈皆詳述於 3.6 節）。Row_select 可視為一觸發訊號，而 Isolate 則作為一固定頻率的訊號，用以使 DFF 在每隔一定時間後將訊號往後一級送。而最後一級 DFF 之輸出亦接到 2 x1 MUX，如此則可使此位移暫存器之訊號不斷地循環。藉由此位移暫存器可提供像素控制所需之 64 組像素重置訊號及列選擇訊號。

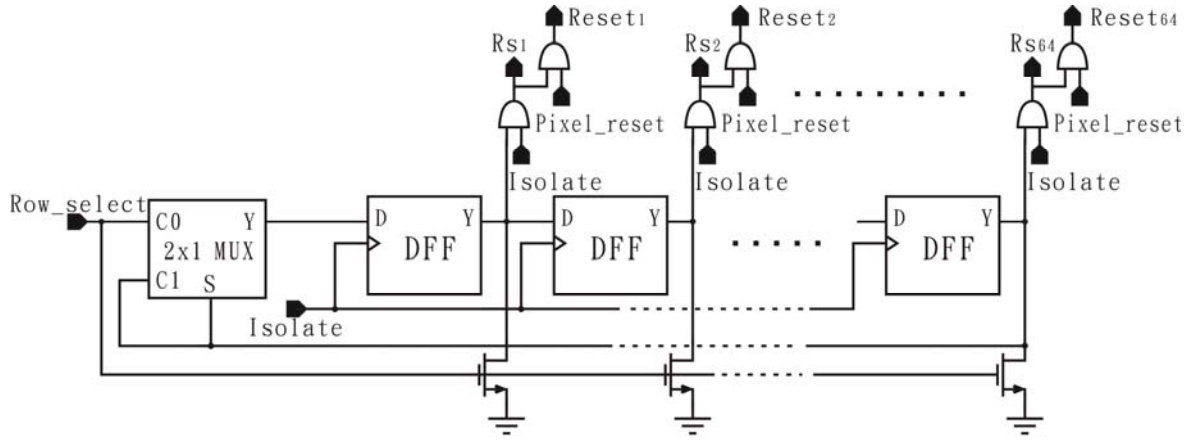


圖 3-7 位移暫存器

3.2.4 雜訊

APS 主要的雜訊來源可分為三個時期，分別為積分時期（integration）、重置時期（reset）以及讀取時期（reading）。

積分時期（integration）

此時期之雜訊來源有二：一為光電子以及暗電流所引發的散粒雜訊（shot noise），另一為光電子以及暗電流所引發的閃爍雜訊（flicker noise or 1/f noise）。

積分結束時，光二極體所累積的雜訊電荷之方均根值如下：

$$\begin{aligned}
 \overline{Q^2(t_{\text{int}})} &= \int_0^{t_{\text{int}}} \int_0^{t_{\text{int}}} \overline{I(t_1) \cdot I(t_2)} dt_1 dt_2 \\
 &= \int_0^{t_{\text{int}}} \int_0^{t_{\text{int}}} q(i_{ph} + i_{dc}) \cdot \delta(t_1 - t_2) dt_1 dt_2 \\
 &= q(i_{ph} + i_{dc}) t_{\text{int}} \quad Col^2
 \end{aligned} \tag{3-1}$$

其中 $Q(t_{\text{int}})$ 為雜訊電荷， t_{int} 為積分時間， i_{ph} 為光電流， i_{dc} 為暗電流。 t_1 及 t_2 則分別為積分開始及結束時間。輸出之雜訊電荷在讀取時轉移到輸出端，可推導出平均輸出雜訊功率如下：

$$\overline{V_{ol}^2} = \frac{q}{C_D^2} (i_{ph} + i_{dc}) t_{\text{int}} = \frac{\overline{Q^2(t_{\text{int}})}}{C_D^2} \quad V^2 \tag{3-2}$$

其中 C_D 為光二極體電容，且假設源極隨耦放大器之增益為 1。

重置時期（reset）

像素的重置方式有二，分別為硬重置（hard reset）以及軟重置（soft reset）。硬重置表示將 M3 的汲極接至一較 Vdd 低至少 V_t （threshold voltage）之重置電壓，可

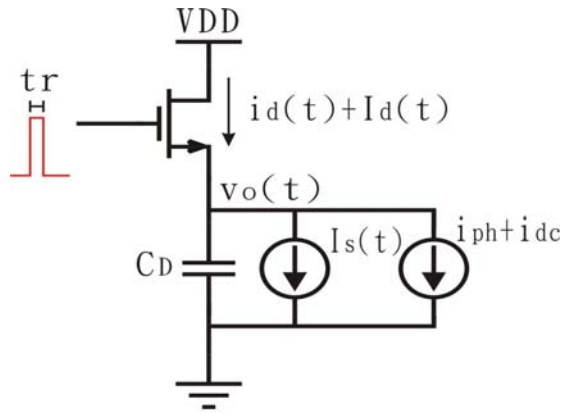


圖 3-8 重置雜訊模型

使像素的感應端電壓完全被拉高至和此重置電壓相同。軟重置則是直接將 M3 的汲極接至 Vdd，如此會使 M3 在重置時操作在次臨界區域（sub-threshold regime），而無法將像素的感應端電壓完全被拉高至 Vdd。本晶片中 M3 的汲極直接接至 Vdd，即是使用軟重置。

重置時期之雜訊來源為汲極電流、光電流以及暗電流。雜訊模型如圖 3-8 所示。

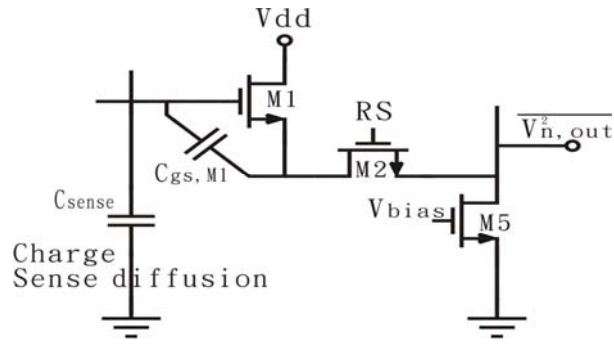
其中 $i_d(t)$ 為汲極電流， $I_d(t)$ 為汲極電流之雜訊電流， $I_s(t)$ 則為光電子與暗電流所引發之散粒雜訊。假設有足夠的時間使像素重置至穩定狀態，即 $i_d = i_{ph} + i_{dc}$ ，則其平均雜訊功率可被簡化為 $\overline{V_{o2}^2} = \frac{kT}{C_D}$ 。

但一般而言，需要大於 1ms 的時間才可使電路到達穩定狀態，而這並不符合一般電路的重置時間需求。而在未到達穩定狀態之情況下，我們可將平均輸出雜訊簡化為 $\overline{V_{o2}^2(t_r)} = \frac{kT}{2C_D}$ 。而這僅為穩定狀態一半的雜訊。

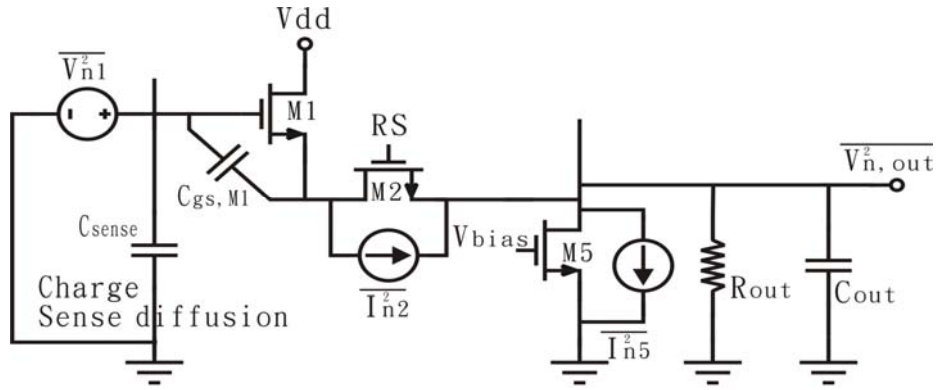
理論上，重置雜訊應取決於光電流以及暗電流，然而事實上，因重置時間極短，由 $\overline{V_{o2}^2(t_r)} = \frac{kT}{2C_D}$ 式中我們可以看出，重置雜訊 V_{o2} 並不會受到光電流、暗電流以及積分時間所影響。而重置雜訊可藉由相關性雙取樣電路幾乎完全消除。

讀取時期 (reading)

此時期之雜訊來源為電晶體之熱雜訊。像素中源極隨耦放大器 M1、電流源元件 M5 以及傳輸電晶體 M2 皆會在操作時產生熱雜訊，圖 3-9 為此三個電晶體之電路及雜訊模型，



(a)



(b)

圖 3-9 (a)源極隨耦器 (b) 含雜訊源之電路

雜訊電流從源極隨耦放大器 M1 注入，藉由輸出阻抗轉換成電壓雜訊。輸出電容則為像素陣列的輸出線寄生電容 C_{line} 與其所串連的電荷感應電容 C_{sense} 和 M1 的源極電容 $C_{gs,M1}$ 所組成。

$$C_{out} = C_{line} + \frac{C_{sense} C_{gs,M1}}{C_{sense} + C_{gs,M1}} \quad (3-3)$$

輸出電阻為：

$$R_{out} = r_{o5} \parallel (R_{out,M1} + r_{o2}) \quad (3-4)$$

其中

$$R_{out,M1} = \frac{1}{g_{mb,M1} + g_{m,M1} \frac{C_{sense}}{C_{sense} + C_{gs,M1}}} \parallel r_{o1} \quad (3-5)$$

由圖 3-9 (b) 可得出，由 M2 及 M5 所產生的輸出雜訊分別為：

$$\overline{V_{n,out}^2} |_{M2} = \overline{I_{n2}^2} \cdot R_{out}^2 \quad (3-6)$$

$$\overline{V_{n,out}^2} |_{M5} = \overline{I_{n5}^2} \cdot R_{out}^2 \quad (3-7)$$

所以總輸出雜訊為

$$\overline{V_{n,out}^2} = \overline{V_{n1}^2} A_v^2 + \overline{V_{n,out}^2} |_{M2} + \overline{V_{n,out}^2} |_{M5} \quad (3-8)$$

其中 A_v 為源極耦隨器增益

$$A_v = \frac{\frac{1}{g_{mb1}} \parallel r_{o1} \parallel r_{o5} + r_{o2}}{\frac{1}{g_{mb1}} \parallel r_{o1} \parallel r_{o5} + r_{o2} + \frac{1}{g_m}} \quad (3-9)$$

3.3 運算放大器電路及設計

本晶片所採用的放大器之電路圖如圖 3-10 所示，為全差動折疊式運算放大器 (fully differential folded-cascade op amplifier)，為簡化電路設計，相關性雙取樣電路以及遞迴式類比數位轉換器皆使用同一架構，但分別因其不同的功能以及面積需求，而使用不同的尺寸規格，細節會於之後的章節討論。

相較於一般常見的折疊式運算放大器，本電路主要差異在於加入一共閘極組態之電晶體 M3 及 M4 於輸出差動對之下。如此可增加原本之輸入差動對 M1、M2 的有效輸出阻抗，進而有效增加直流增益。而缺點則是會造成線性輸入範圍縮小。

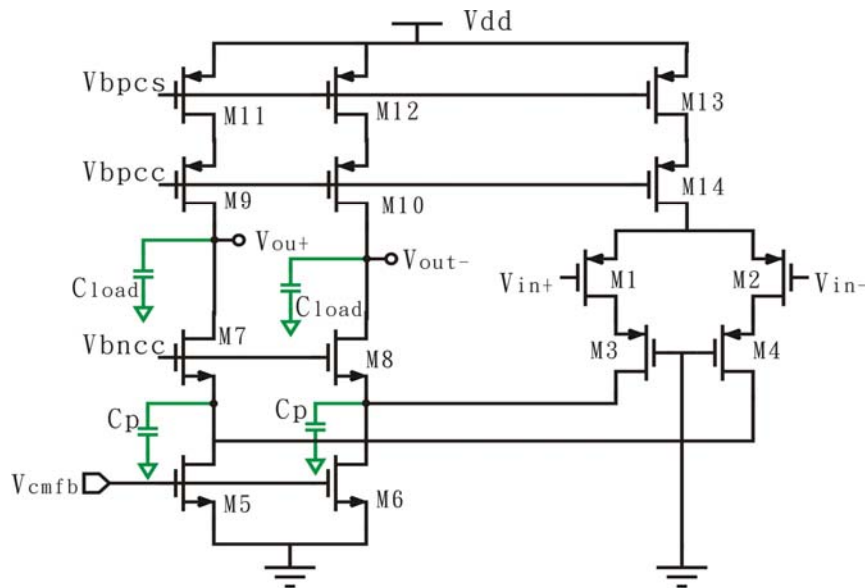


圖 3-10 全差動折疊式運算放大器

直流增益分析

我們可藉由包含 M1、M3、M6、M8、M10、M12 之等效半電路求出低頻差動增益，圖 3-11(a) 所示為完整之小訊號模型，圖 3-11(b)則為簡化後之小訊號模型。

當一小訊號由 M1 之閘極輸入時，得到一電流 i_{in} 。

$$i_{in} = g_{m1}v_{in} \quad (3-10)$$

可計算出由 M3 源極看入之等效阻抗為：

$$R_{s3} = \frac{g_{o3}}{g_{m3} + g_{mb3}} \left(r_{o6} \parallel \frac{g_{o8}}{g_{m8} + g_{mb8}} R_b \right) \quad (3-11)$$

而 i_{in} 流經 M3 之電流比例為：

$$f_1 = \frac{r_{o1}}{R_{s3} + r_{o1}} \quad (3-12)$$

M3 的汲極電流會在 M8 及 r_{o6} 分流，其中流經 M8 之電流比例為：

$$f_2 = \frac{r_{o6}}{\frac{g_{o8}}{g_{m8} + g_{mb8}} R_b + r_{o6}} \quad (3-13)$$

因為

$$\frac{v_{out}}{R_b} = f_1 \cdot f_2 \cdot I_{in} \quad (3-14)$$

將(3-10)代入(3-14)即可得直流增益

$$\frac{v_{out}}{v_{in}} = g_{m1} \cdot f_1 \cdot f_2 \cdot R_b \quad (3-15)$$

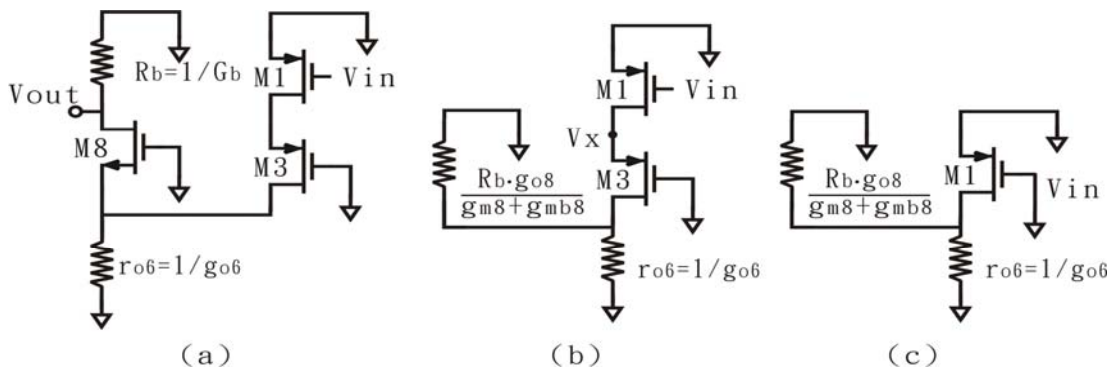


圖 3-11 (a) (b) 計算運算放大器直流增益之小訊號模型 (c) 沒有 M3 電路之直流增益之小訊號模型

由上述之式子中，我們可以觀察出，若是增加流經增益分支 M8 的電流量，便可增加運算放大器之直流增益。而藉由加入 M3，我們可使流入 M8 源極的電流比例增加，進而增加直流增益。在設計電路時，為了增加增益以及降低輸入電容，可將 M1、M2 之 L 設計得較小，如此可以提升 W/L 比，而因為 L 下降，M1 將具有較高之輸出轉導。

我們亦可推算若是不加入 M3 的影響為何，如圖 3-11(c) 所示即為移去 M3 之小訊號模型。由圖中可視，在 M8 源極所看到之阻抗 r_{o1} 為及 r_{o6} ，從 M8 源極所看入之阻抗則為 $\frac{g_{o8}}{g_{m8} + g_{mb8}} R_b$ ，如此將造成 M1 之輸出阻抗 r_{o1} 與 $\frac{g_{o8}}{g_{m8} + g_{mb8}} R_b \parallel r_{o6}$ 分流，因此大部分的電流 i_{in} 將會由 M1 的源極流過，而使流入 M8 分支之電流下降，進而使增益下降。由以上可知，M3 的存在確實可以強迫電流在 M6 和 M8 間分流，而非在 M1、M6 及 M8 間分流。

增加一級 M3，並不會使運算放大器的面積大幅增加，而且也不需要額外的偏壓電壓。更不會大幅影響到輸入的共模振幅。在輸入共模振幅分析上可見圖 3-11(b)，大訊號分析時，可得 $V_x \geq |V_{ihp}|$ ，為使輸出差動對 M1、M2 維持在飽和區，可得 $V_{in} \geq V_x$ 即，因此共模輸入下限為 $|V_{ihp}|$ 。

另外，此一級共閘極組態 M3、M4 還可稍微下降運算放大器的輸入電容，輸入電容是閘極-源極電容以及米勒效應乘以閘極-汲極電容之總和。因為 M3 為 M1 的汲極電流提供一低阻抗端點，米勒效應的米勒乘積因子便因此被降低了。

差動模式頻率響應

此運算放大器的轉換方程式有兩個極點及一個零點，主極點由負載電容及運算放大器之輸出阻抗所構成，所在點為：

$$P_1 = -\frac{1}{C_{load} R_o} \quad (3-16)$$

次極點則由 M8 源極的寄生電容 C_p 所構成，由於 C_p 為 $C_{gd,m3}$ 、 $C_{gd,m6}$ 、及 $C_{gs,m8}$ 所組成，因此 C_p 甚大，所在點為：

$$P_2 = -\frac{1}{C_p} \left(g_{m8} + g_{mb8} + \frac{1}{r_{o6}} + \frac{1}{(g_{m3} + g_{mb3}) r_{o3} r_{o1}} \right) \quad (3-17)$$

3.3.1 運算放大器之共模迴授電路(Common-Mode Feedback Circuits)

所有型態的全差動運算放大器都需要有共模迴授電路，使其在高增益區間操作時，仍可維持共模準位穩定度。在過去，大多數的差動電路採用電壓模式。由於在訊號路徑之輸出差動端點存在著低阻抗。因此，共模電路的阻抗對端點阻抗並沒有顯著的影響。這是因為一低端點阻抗並不會引入低頻極點，所以此時在設計要使用於電壓模式系統的共模迴授電路時，並不會遭逢穩定性的問題[8]。

近來，電流模式訊號處理之優點已被證明，在高速訊號處理時，連續時間電流模式電路是一個極佳的選擇。在連續時間電流模式電路中，使用全差動架構不但可使從電源通道及環境中注入的雜訊達到最小，還可增加可供利用的動態範圍。

因為電流模式電路中，在其輸出差動端點通常存在著高阻抗。因此，共模迴授電路之阻抗有可能會對端點阻抗產生顯著的影響。在電流模式電路中，端點電壓之變動通常會導致系統轉換方程式中極點和零點位置改變，而這將會衝擊系統的表現，穩定性問題可能會隨之出現。例如，差動端點之高阻抗會引入一低頻極點，若此時共模迴授電路本身已有另外的低頻極點，此共模迴授電路便可能會產生穩定性上的問題。由以上可知，共模迴授電流模式電路必須同時具備極高的輸入輸出阻抗以及穩定性。

共模迴授電路藉由調整共模輸出電流來穩定差動類比系統的穩定共模電壓，主要包含共模偵測電路及迴授電路。其原理為將兩個全差動輸出電壓之平均值設定為共模電壓 (V_{cm})，將共模電壓和指定的參考共模電壓 (V_{rcm}) 相比較。再將比較後之差異放大並且轉換成共模輸出電流迴授至主電路，以調整共模電壓。現今大部分所使用的共模迴授電路有以下三類型：

- ✓ 切換電容式(switch capacitor)
- ✓ 差異差動放大器式(differential difference amplifier, DDA)
- 電阻平均式電路(resistor-averaged circuit)

切換電容式(switch capacitor)

切換電容式共模迴授電路使用兩個相同尺寸電容去平均兩個差動輸出端點的電壓。需藉由時脈控制開關以切換電容，而遭受時脈注入 (clock-inject) 雜訊。切換電容共模迴授電路通常只適合用於資料取樣電路[8]。

差異差動放大器式(differential difference amplifier, DDA)

即連續時間共模迴授電路(Continuous-time CMFB)。差異差動放大器共模迴授電路使用四個相同的電晶體做輸出電壓平均及與共模電壓比較。因為差動對有限的輸入範圍以及非線性現象，差動放大器共模迴授電路適合用於較小的輸入電壓擺幅。然而，藉著降低 MOS 電晶體的 W/L 比例或是增加偏壓電流的方式，可增加輸入範圍及線性度[8]。

電阻平均式電路(resistor-averaged circuit)

電阻平均共模迴授電路使用電阻來平均兩個差動輸出端點的電壓，並且將結果送至差動對和 V_{cm} 作比較。此方式藉著差動對的非線性下降了共模電壓誤差，而電壓擺幅範圍亦不會有所限制，反而允許了更大之電壓擺幅，而不會引發顯著的共模電壓偏移現象。其缺點是需要大電阻，這些電阻不只需要消耗更多的面積，而電阻的所在如同在輸出端並聯一電阻，造成輸出電阻下降，進而使運算放大器增益下降。此外，這些電阻還會影響輸出阻抗，而輸出阻抗在電流模式系統中是十分重要的，因其將影響極點和零點的位置。

本顆運算放大器於面積考量下，選用差異差動放大器式共模迴授電路，其結構如圖 3-12。

圖 3-12 所示為一簡單的共模迴授電路[10]，利用差動對對運算放大器輸出端取樣，與參考共模輸入準位 V_{cm} 做比較。其使用一固定的電流源來分配電流，當運算

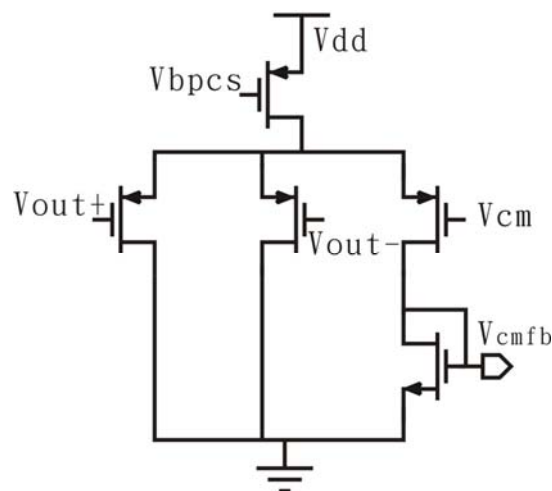


圖 3-12 差異差動放大器式共模迴授電路

放大器的共模電壓偏移時，右端的電晶體所分配的電流也會隨之改變，再將此改變後之電流藉由電流鏡迴授至運算放大器，藉以維持共模電壓之穩定性。

3.3.2 運算放大器非理想性分析

共模排斥(Common Mode Rejection Ratio, CMRR)

共模排斥是指抵抗輸入共模訊號的能力。舉例而言，常見的共模雜訊即為交流訊號，時常會透過電源路徑影響到晶片的表現。在全差動電路中，電流源之有限輸出阻抗和非對稱性將會限制共模排斥。我們可將其定義如下[7]：

$$CMRR = \left| \frac{A_{DM}}{A_{CM-DM}} \right| \quad (3-18)$$

其中 A_{CM-DM} 表示共模-差動轉換增益， A_{DM} 表示差動轉換增益。

相關性雙取樣電路以及遞迴式類比數位轉換器在重置/取樣狀態下，運算放大器之差動偏移電壓可藉由將運算放大器置於單增益迴授狀態下消除。而在重置時，輸入共模電壓與輸出共模電壓相等。因為電荷注入或是差動運算放大器之輸出共模變化，輸入共模電壓也許會在接下來的運作相位時產生共模飄移現象。使用於相關性雙取樣電路之運算放大器在介於 sample1 及 sample2 狀態間存在一極大之輸入共模偏移。相關性雙取樣電路之運作可參見 3.4.1 節中所述，由於有此運作狀態，因此運算放大器的 CMRR 成為相關性雙取樣電路效能的重要參數。因為元件不匹配，輸入共模電壓的變動會導致輸出差動電壓改變，將使電路產生誤差。

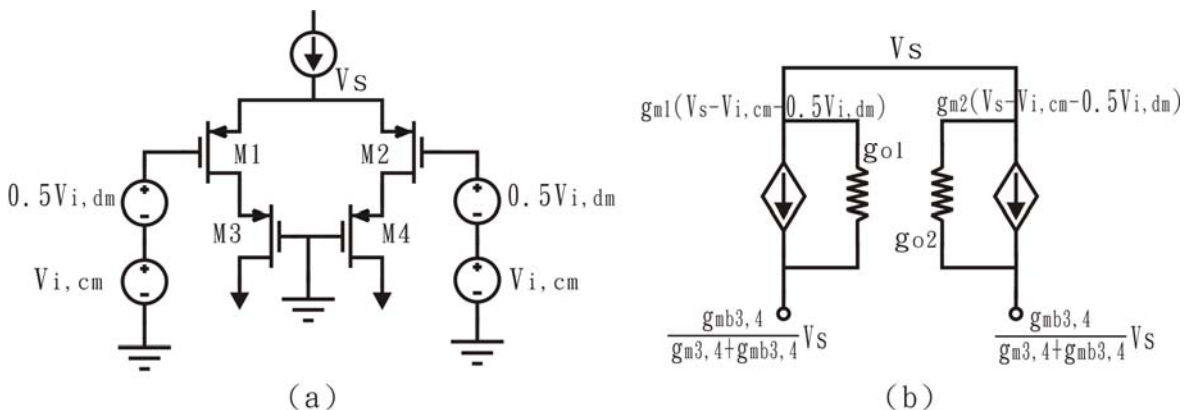


圖 3-13 (a)運算放大器輸入對(b)運算放大器輸入對不匹配之小訊號模型

運算放大器輸入端簡化圖如圖 3-13 (a)所示，圖 3-13 (b)則為其小訊號模型，其中輸入對採用簡化的 T 型小信號模型來表示。

此分析主要目的為探討全差動運算放大器在有 g_m 及 g_o 不匹配情況下，對於共模排斥比的影響。故假設電流源為一理想電流源，擁有無限大之輸出阻抗。輸入對元件參數可表示如下：

$$g_{m1} = g_{m,i} - \frac{1}{2}\Delta g_{m,i} \quad (3-19)$$

$$g_{m2} = g_{m,i} + \frac{1}{2}\Delta g_{m,i} \quad (3-20)$$

$$g_{o1} = g_{o,i} - \frac{1}{2}\Delta g_{o,i} \quad (3-21)$$

$$g_{o2} = g_{o,i} + \frac{1}{2}\Delta g_{o,i} \quad (3-22)$$

其中 $g_{m,i}$ 為 M1 及 M2 的平均轉導增益值， $g_{o,i}$ 則為 M1 及 M2 汲極-源極平均等效阻抗 r_o 的倒數， $g_{o,i} = 1/r_o$ 。

如圖 3-13 (a)運算放大器於運作時，共模訊號 $V_{i,cm}$ 和差模訊號 $V_{i,dm}$ 同時送到輸入端。為使運算放大器之輸出共模準位不因輸入訊號而改變，可由圖 3-10 中得知，即使輸入共模電壓飄移，M7 和 M8 之閘極電壓仍必須維持定值。而為使兩分支上之共模電流相同，M3 及 M4 之源極亦必須維持相同電壓。然而，我們可觀察出，共模電壓 $V_{s3,4}$ 很明顯地將會隨著輸入共模電壓 $V_{i,cm}$ 而改變。由於假設為理想電流源，M3 及 M4 之汲極電流並不會隨著輸入共模位準改變，但他們的基板電壓(bulk voltage)會隨輸入共模位準改變，因為 M3、M4 和 M1、M2 是位於相同的 N 型井 (N-well) 中。汲極電壓之改變會導致基極電位改變，將基極電位之改變以 V_s 表示。

$$g_{m3,4}V_{s3,4} - g_{mb3,4}(V_{s3,4} - V_s) = 0$$

$$V_{s3,4} = V_{d1,2} = \frac{g_{mb3,4}}{g_{m3,4} + g_{mb3,4}}V_s$$

其中 $V_{s3,4}$ 為 M3、M4 之源極電壓， $V_{d1,2}$ 為 M1、M2 之汲極電壓。由於 M1 和 M2 分支所增加的電流量之和應為零，因此我們可推得：

$$\begin{aligned}
0 &= (g_{m1} + g_{m2})(v_s - v_{i,cm}) + \frac{1}{2}(g_{m2} - g_{m1})v_{i,dm} + (g_{o1} + g_{o2})(v_s - v_s \frac{g_{mb3,4}}{g_{m3,4} + g_{mb3,4}}) \\
&= 2g_{m,i}(v_s - v_{i,cm}) + \frac{1}{2}\Delta g_{m,i}v_{i,dm} + 2g_{o,i}v_s \frac{g_{m3,4}}{g_{m3,4} + g_{mb3,4}}
\end{aligned}$$

M1 和 M2 之源極電壓則為：

$$\frac{v_s}{v_{i,cm}} = \frac{g_{m,i}}{g_{m,i} + g_{o,i} \frac{g_{m3,4}}{g_{m3,4} + g_{mb3,4}}} \quad (3-23)$$

如圖 3-13 (b)，若令流經 M1、M2 分支的電流相等，即令兩分支之變動量相等，可得：

$$\begin{aligned}
&g_{m1}(v_s - v_{i,cm} - \frac{1}{2}v_{i,dm}) + g_{o1}v_s(1 - \frac{g_{mb3,4}}{g_{m3,4} + g_{mb3,4}}) \\
&= g_{m2}(v_s - v_{i,cm} + \frac{1}{2}v_{i,dm}) + g_{o2}v_s(1 - \frac{g_{mb3,4}}{g_{m3,4} + g_{mb3,4}})
\end{aligned} \quad (3-24)$$

由式(3-18)，我們可見共模排斥即為差動輸出增益除以輸入共模增益，又

$$A_{CM-DM} = \frac{\Delta v_{os,out}}{\Delta v_{CM,in}}, \text{ 可得：}$$

$$CMRR = \frac{A_{DM}}{\frac{\Delta v_{os,out}}{\Delta v_{CM,in}}} = \frac{\Delta v_{CM,in}}{\frac{\Delta v_{os,out}}{A_{DM}}} \quad (3-25)$$

其中 $\frac{\Delta v_{os,out}}{A_{DM}}$ 即為輸入差動偏移電壓 $v_{i,dm}$ ，將式(3-19,20,21,22)代入式(3-25)中，

可得共模排斥比為：

$$CMRR = \frac{v_{i,cm}}{v_{i,dm}} = \frac{1 + \frac{g_{m,i}}{g_{o,i}}(1 + \frac{g_{mb3,4}}{g_{m3,4}})}{\frac{\Delta g_{o,i}}{g_{o,i}} + \frac{\Delta g_{m,i}}{g_{m,i}}} \quad (3-26)$$

電源斥拒比 (Power Supply Rejection Ratio, PSRR)

電源斥拒比用來表示輸出訊號受到電源變動及電源雜訊影響的程度，對於精確度有高度要求之電路而言，是極為重要之參數。當電源斥拒比愈大時，表示輸出訊號越不受電源變化影響，其公式可表示如下[14]：

$$PSRR^+ = \left| \frac{A_{DM}}{\Delta v_{out} / \Delta v_{vdd}} \right|$$

$$PSRR^- = \left| \frac{A_{DM}}{\Delta v_{out} / \Delta v_{vss}} \right| \quad (3-27)$$

其中 $PSRR^+$ 為正電源斥拒比，表示輸出訊號受到 Vdd 之變動和雜訊影響的程度。 $PSRR^-$ 則為負電源斥拒比，表示輸出訊號受到 Vss 之變動和雜訊影響的程度。

3.3.3 任意雜訊

電晶體的熱雜訊 (thermal noise) 和 1/f 雜訊可以經由計算轉換為輸入端之等效輸入雜訊。由於本顆晶片採全差動式架構，因此熱雜訊成為主要的雜訊來源。

本顆運算放大器之主要熱雜訊來源分別為作為輸入對之 M1、M2，以及作為電流源之 M5、M6、M11 以及 M12。MOSFET 的熱雜訊可以一由汲極到源極之分支電流源模型表示[7][9]。

$$\overline{i_d^2} = 4kT\gamma g_m \Delta f \quad (3-28)$$

係數 γ 表示頻譜密度，在 0.18 um 製程中， γ 為一隨 V_{GS} 變動之係數[9]，範圍為 $1.4 \geq \gamma \geq 0.8$ ，取 $\gamma=1$ ，因為電流源元件和輸入元件的頻寬被輸出電容和阻抗傳導所設定，平方雜訊電流可以直接相加。因此運算放大器中，M1 分支之電流雜訊可表示為：

$$\overline{i_n^2} = 4kT(g_{m1} + g_{m6} + g_{m12})\Delta f \quad (3-29)$$

其中 $\overline{i_n^2}$ 是雜訊電流總和。將差動電路雙端皆列入考慮，則輸入端之等效熱雜訊可以電壓雜訊頻譜密度表示如下：

$$S_o = 8 \frac{kT}{g_{m1}} (g_{m1} + g_{m6} + g_{m12}) \quad (3-30)$$

3.3.4 模擬結果

如前所述，本晶片為簡化電路設計，相關性雙取樣電路以及遞迴式類比數位轉換器皆使用同一架構之運算放大器，但分別因其不同之需求，而使用不同的規格尺寸，其詳細之規格分別於 3.4 及 3.5 中列出，在此分別列出使用於遞迴式類比數位轉

換器之運算放大器的共模排斥 (CMRR) 以及電源斥拒比 (Power Supply Rejection Ratio, PSRR) 之模擬圖形。

共模排斥 (CMRR) 之公式如式(3-18)所示，在輸入雙端加入相同之小訊號，模擬其輸出如圖 3-14 所示，即為式中 A_{CM-DM} 之增益及相位。

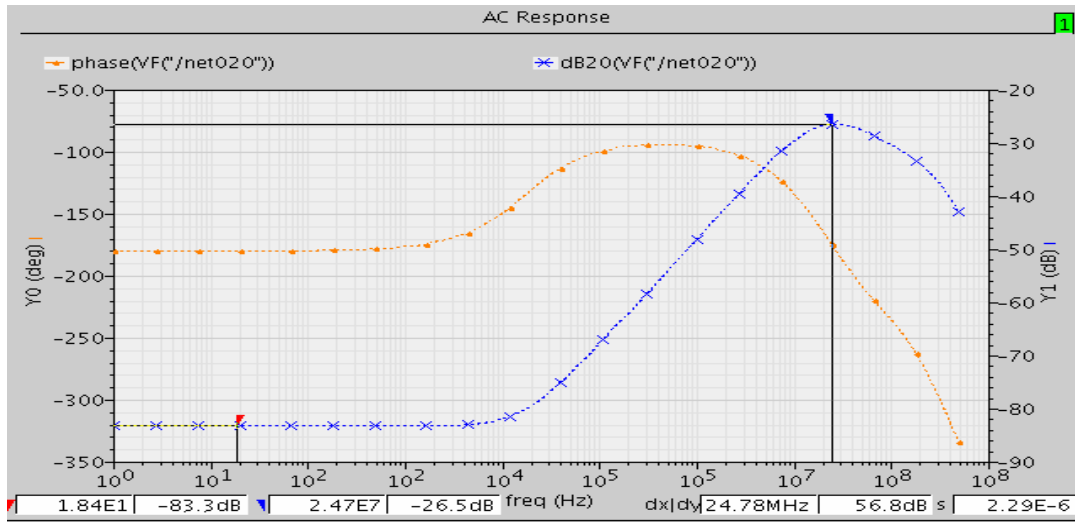


圖 3-14 運算放大器之 A_{CM-DM}

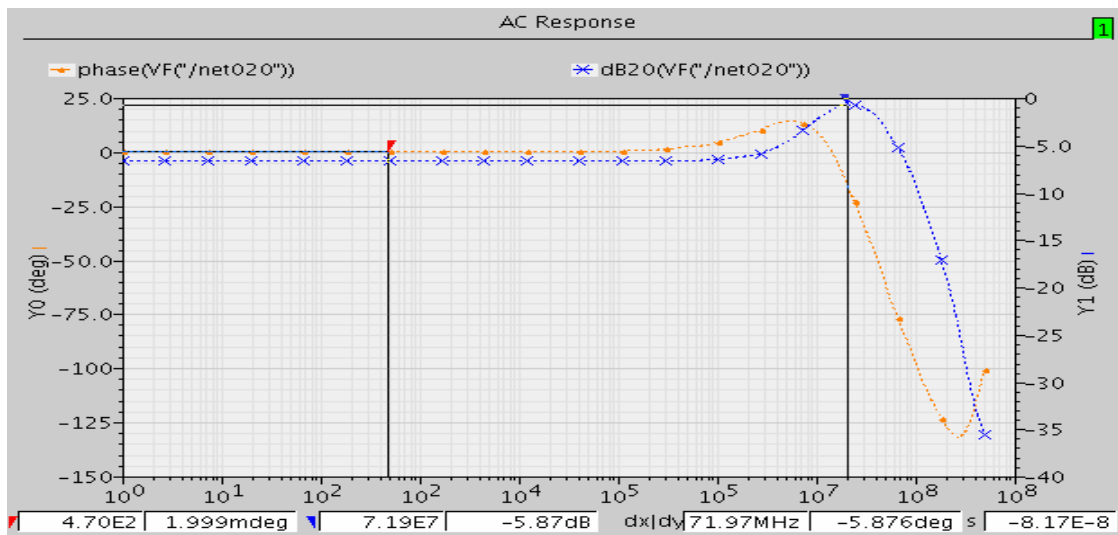


圖 3-15 運算放大器之 $\Delta v_{out} / \Delta v_{vdd}$

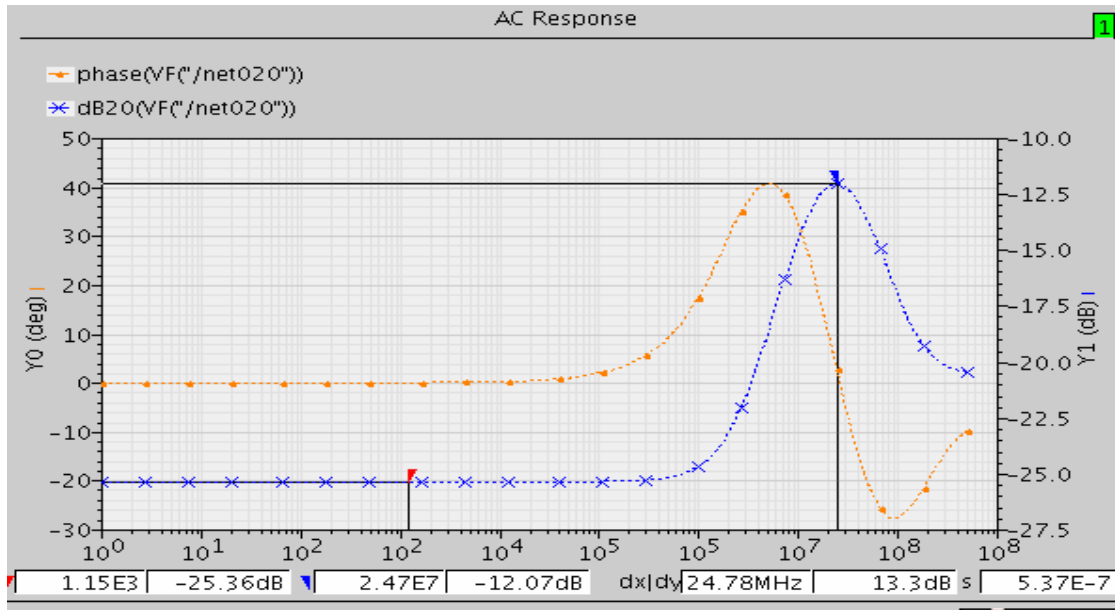


圖 3-16 運算放大器之 $\Delta v_{out} / \Delta v_{vss}$

電源斥拒比 (PSRR) 之公式如式(3-27)所示。

在 Vdd 處加入一小訊號，再模擬其輸出如圖 3-15 所示，即為正電源斥拒比 ($PSRR^+$) 式中 $\Delta v_{out} / \Delta v_{vdd}$ 之增益及相位。

在 Vss 處加入一小訊號，再模擬其輸出如圖 3-16 所示，即為負電源斥拒比 ($PSRR^-$) 式中 $\Delta v_{out} / \Delta v_{vss}$ 之增益及相位。

3.4 相關性雙取樣電路 (Correlated Double Sampling, CDS)

相關性雙取樣電路能有效消除 CMOS 影像感測器中，因像素之製程飄移產生之不匹配現象而導致的固定圖像雜訊 (Fix Pattern Noise, FPN)。

在運算放大器中，因 W/L 比率不匹配現象將會導致偏移電壓(offsets)，而藉由相關性雙取樣電路可降低偏移電壓與重置雜訊。其基本原理是先於第一個相位之積分末期對訊號作第一次取樣，再於第二個相位時對已重置後之訊號作第二次取樣，再將此兩次取樣作相減，如此則可消除前一級電路之偏移及重置雜訊。

由於相關性雙取樣電路具有可消除因放大器之非線性現象而產生之諧波失真 (Harmonic Distortion) 之優點，因此被廣泛應用於高線性度放大器的輸入級，或是高解析度的 delta-sigma 轉換器中[15]。

3.4.1 電路與運作原理

本晶片所採用的架構具有精確度較高之優點，但相對下則有耗面積之缺點。電路架構如圖 3-17 所示[1]，由圖 3-17 中可見，像素之輸出為單端之電壓訊號，經由本相關性雙取樣電路後，則可轉為全差動之輸出電壓，以提供下一級之輸入。其控制訊號如圖 3-18 所示。

Phi_0 使用於遮迴式類比數位轉換器，用以切換兩個相關性雙取樣電路之轉換時間，當 Phi_0 高電位時，遮迴式類比數位轉換器便開始接收相關性雙取樣電路之訊號，因此相關性雙取樣電路之輸出必須於 Phi_0 提高電位之前便趨於穩定。如圖 3-18 所示，相關性雙取樣電路在偶數之 Phi_0 週期時，才開始進行取樣。其操作模式如圖 3-19 所示。

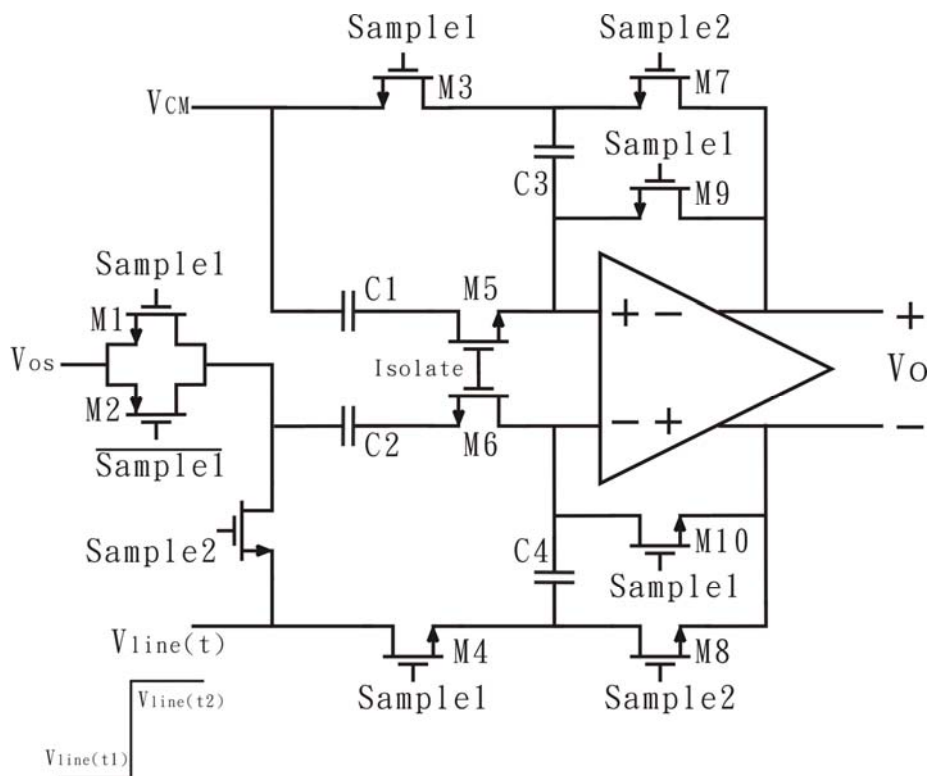


圖 3-17 相關性雙取樣電路圖

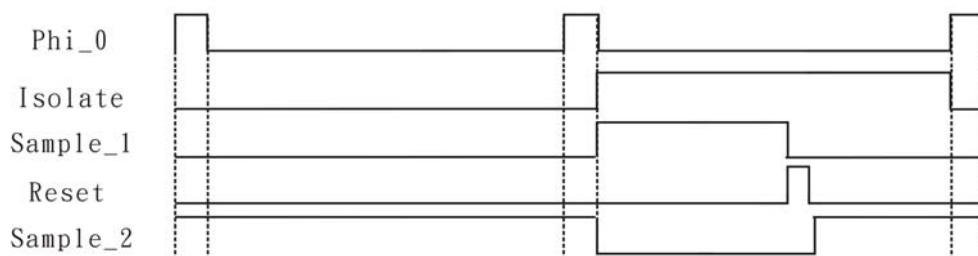


圖 3-18 相關性雙取樣電路控制訊號圖

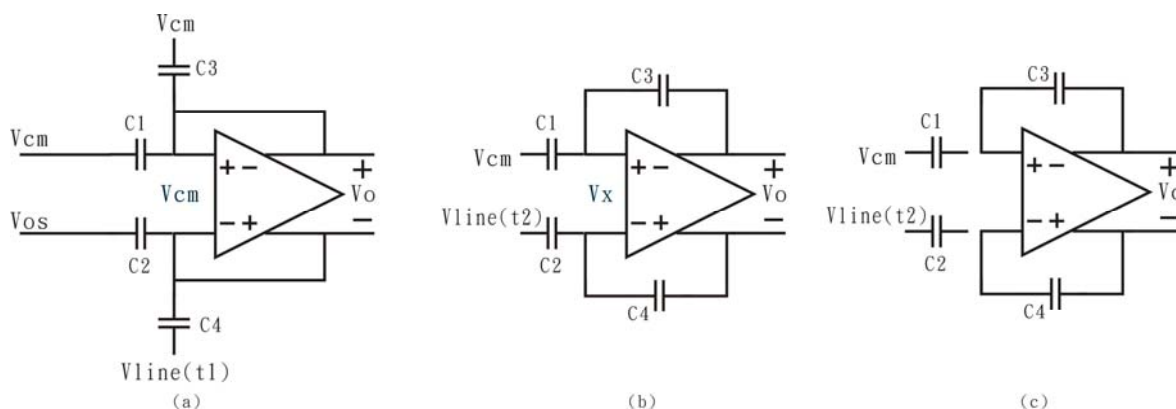


圖 3-19 相關性雙取樣電路之操作模式圖

當像素到達積分時間末期時，像素列選擇訊號 (Row select) 便提升至高電位，本晶片中，即是使用圖 3-18 中之 Isolate 訊號以作為列選擇訊號。在此同時，Sample_1 亦提高電位，進入第一個相位，如圖 3-19(a)所示，此時，像素之輸入訊號 Vline(t1)藉由電容進行採樣，當 Vline(t1)之電壓和輸出電壓 Vo 到達所需的精確度並穩定之後，Sample_1 便下降。接著由 Reset 訊號對像素進行重置。重置完成之後，Sample_2 提高電位，即進入第二個相位，如圖 3-19(b)所示，此時對像素輸出 Vline(t2)進行採樣，並藉由電容進行相減運算。其中 Sample_1 下降緣和 Sample_2 之上升緣並沒有特別的延遲要求，只需確保此兩時脈為非重疊 (non-overlap) 即可。當像素輸出 Vline(t2)和輸出電壓 Vo 到達所需的精確度並穩定之後，Isolate 便下降，進入第三個相位，如圖 3-19(c)所示，此時將像素之輸出與相關性雙取樣電路主電路斷開，如此 C3、C4 之電荷便不會變動，可維持輸出訊號 Vo 之穩定，不受像素輸出端訊號變化之影響。

由於相關性雙取樣電路是做為類比數位轉換器之前端，因此在選擇相關性雙取樣電路之電容時，主要考量為降低 $\frac{kT}{C}$ 雜訊，使類比數位轉換器之總輸入雜訊小於輸入到類比數位轉換器之最小輸入訊號(LSB)。在符合相關性雙取樣電路要求之運作規格之下，我們可以盡量設計較小的取樣電容，使面積可以較為縮減，如此亦可降低運算放大器的負載，以及像素之輸出電容負載，並使偏壓電流減少，因此而得到更低的功率消耗。

3.4.2 理想狀態之操作模式分析

在理想狀態時，我們假設 C1~C4 之電容值皆相同，且運算放大器有無限大之增益，切換開關均為理想狀況下，不考慮電荷注入之問題。

圖 3-19(a)中，相關性雙取樣電路處於重置狀態，像素之輸出藉由 C4 取樣並儲存，由於此時運算放大器處於共模迴授狀態下，可將運算放大器之輸入兩端點之電壓設定為 V_{cm} ，因此其電壓以及電容電荷分布分別為：

$$V_{o(+)} = V_{o(-)} = V_{in(+)} = V_{in(-)} = V_{cm}$$

$$Q_{C_2} = C_2(V_{os} - V_{cm})$$

$$Q_{C_4} = C_4(V_{line}(t_1) - V_{cm})$$

$$Q_{C_1} = Q_{C_3} = 0$$

其中 V_{os} 為晶片外加之偏移電壓訊號準位。圖 3-19(b)為取樣與運算狀態，此時相關性雙取樣電路對像素重置後之訊號進行取樣，並與第一個相位取樣值進行運算。由於在此考慮理想狀態，故假設運算放大器輸入端無任何漏電流。在相同路徑上所流經之電流量相等，因此同一路徑上之電容之電荷變化也會相等，由此知流經 C2 之電流與流經 C4 之電流相等，流經 C1 與 C3 之電流相等，如下所示：

$$Q_{C_1} = C_1(V_{cm} - V_x) = \Delta Q_{C_1}$$

$$Q_{C_3} = C_3(V_{o(+)} - V_x) = \Delta Q_{C_3}$$

$$Q_{C_2} = C_2(V_{line}(t_2) - V_x) \Rightarrow \Delta Q_{C_2} = C_2(V_{line}(t_2) - V_x - V_{os} + V_{cm})$$

$$Q_{C_4} = C_4(V_{o(-)} - V_x) \Rightarrow \Delta Q_{C_4} = C_4(V_{o(-)} - V_x - V_{line}(t_1) + V_{cm})$$

而儲存於 C2 (C1)上之電荷變化量等於 C4 (C3)之電荷變化量，可得：

$$\Delta Q_{C_4} = -\Delta Q_{C_2} \quad \Delta Q_{C_3} = -\Delta Q_{C_1}$$

$$\Rightarrow V_{o(+)} = 2V_x - V_{cm} \quad V_{o(-)} = 2V_x + V_{line}(t_1) - V_{line}(t_2) - 2V_{cm} + V_{os}$$

由以上之推導，可得理想狀態下之輸出電壓 $V_{o,nom}$ 為：

$$V_{o,nom} = V_{o+} - V_{o-} = (V_{cm} - V_{os}) + (V_{line}(t_2) - V_{line}(t_1)) \quad (3-31)$$

其中 V_{cm} 為運算放大器之共模參考準位， V_{os} 則為外加電壓。我們可由式(3-31)中看出此相關性雙取樣電路之差動輸出電壓有一直流平移項 ($V_{cm} - V_{os}$)，我們可藉由改

變 V_{cm} 以及 V_{os} 來調整此差動輸出電壓以符合下一級遞迴式類比數位轉換器之輸入訊號要求。此晶片中，相關性雙取樣電路之輸出電壓範圍介於 -1 V 至 +1V 間。

3.4.3 相關性雙取樣電路之非理想特性

電容值不匹配

理想中， $C_1 \sim C_4$ 擁有相同之電容值，但實際上，由於佈局及製程之影響，會有些許的偏差值存在。然而，電容之不匹配將會導致增益及偏移誤差，我們可以藉由計算電容值不匹配時之輸出電壓 V_o ，並對 V_o 做偏微分以觀察出電容不匹配對於輸出電壓之影響。

考慮運算放大器之寄生電容，重繪其操作狀態如圖 3-20。

由 3.4.2 節的分析可知，在 Sample_1 及 Sample_2 狀態時，電容之總電荷量將會相等，計算如下：

$$\begin{aligned} Q_{in(+)} &= (v' - v_{cm})(C_1 + C_3) + v' C_{p(+)} \\ &= (v'' - v_{o(-)})C_3 + (v'' - v_{cm})C_1 + v'' C_{p(+)} \\ Q_{in(-)} &= (v' - v_{os})C_2 + (v' - v_{line}(t_1))C_4 + v' C_{p(-)} \\ &= (v'' - v_{o(+)}C_4 + (v'' - v_{line}(t_2))C_2 + v'' C_{p(-)} \end{aligned}$$

其中 $C_{p(+)}$ 及 $C_{p(-)}$ 分別為運算放大器之正輸入端及負輸入端之寄生電容，而 v' 及 v'' 則為運算放大器在 Sample_1 和 Sample_2 控制訊號為高電位時之輸入端電壓。經由計算，可得出相關性雙取樣電路在電容不匹配情況下之輸出電壓值 V_o 為：

$$V_o = \frac{2(C_1 + C_3 + C_{p+})}{C_3(C_2 + C_4 + C_{p-}) + C_4(C_1 + C_3 + C_{p+})} (V_{line}(t_1) \cdot C_4 - V_{line}(t_2) \cdot C_2 + V_{os} \cdot C_2 - V_{cm} \cdot C_4) \quad (3-32)$$

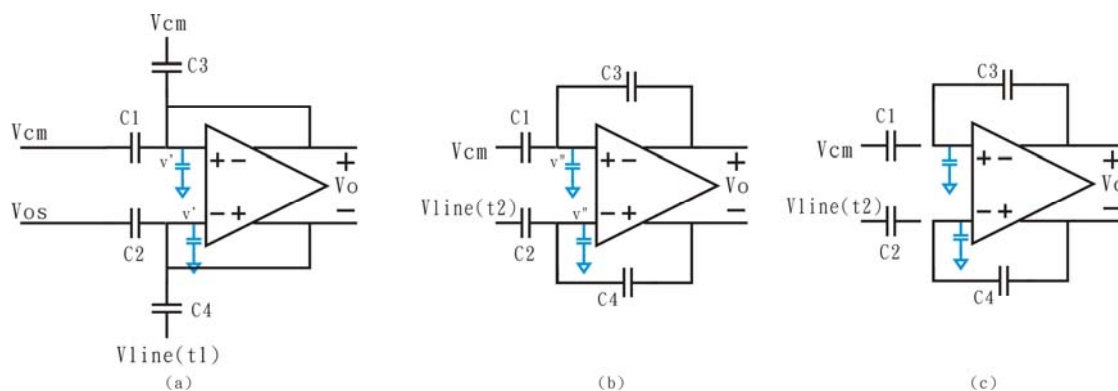


圖 3-20 考慮非理想特性之相關性雙取樣電路操作狀態圖

為求得電容變數之不匹配敏感度(sensitivity)，可將式(3-32)分別對變數 $C1$ 、 $C2$ 、 $C3$ 、 $C4$ 、 $C_{p(+)}$ 以及 $C_{p(-)}$ 做偏微分即可得出：

$$\frac{\Delta V_o}{\Delta C1/C1} = \frac{C}{2(2C + C_p)} V_{o,nom} \quad (3-33)$$

$$\frac{\Delta V_o}{\Delta C2/C2} = (V_{OS} - V_{line}(t_2)) - \frac{C}{2(2C + C_p)} V_{o,nom} \quad (3-34)$$

$$\frac{\Delta V_o}{\Delta C3/C3} = -\frac{C + C_p}{2(2C + C_p)} V_{o,nom} \quad (3-35)$$

$$\frac{\Delta V_o}{\Delta C4/C4} = (V_{line}(t_2) - V_{OS}) + \frac{C + C_p}{2(2C + C_p)} V_{o,nom} \quad (3-36)$$

$$\frac{\Delta V_o}{\Delta C_{p(+)} / C_{p(+)}} = \frac{C + C_p}{2(2C + C_p)} V_{o,nom} \quad (3-37)$$

$$\frac{\Delta V_o}{\Delta C_{p(-)} / C_{p(-)}} = -\frac{C + C_p}{2(2C + C_p)} V_{o,nom} \quad (3-38)$$

其中 $V_{o,nom}$ 為式(3-31)中理想狀況時之輸出電壓。我們可以觀察出各個電容之不匹配對於輸出電壓皆有不同程度之影響。

輸入偏移電壓及有限運算放大器增益

考慮理想狀態時，運算放大器之增益為無限大，此時相關輸入偏移電壓將可被完全消除。但實際上，運算放大器之增益為有限，為探討此效應，我們可藉計算運算放大器輸入端之電荷變動以得到實際輸出電壓。為簡化計算，在此假設 $C1 \sim C4$ 之電容值皆相同，運算放大器之增益為 A 。

當 Sample_1 為高電位，亦即進入第一個相位時：

$$Q_{in(+)} = 2(v_{o(-)} - v_{cm})C + v_{o(-)}C_p = \frac{A}{1+A}v_{offset}C + (v_{cm} + \frac{1}{2} \frac{A}{1+A}v_{offset})C_p \quad (3-39)$$

$$\begin{aligned} Q_{in(-)} &= (2v_{o(+)} - v_{os} - v_{line}(t_1))C + v_{o(+)}C_p \\ &= (2v_{cm} - \frac{A}{1+A}v_{offset} - v_{os} - v_{line}(t_1))C + (v_{cm} - \frac{1}{2} \frac{A}{1+A}v_{offset})C_p \end{aligned} \quad (3-40)$$

其中，運算放大器之正輸入端及負輸入端之電壓分別為 $v_{cm} + \frac{1}{2} \frac{A}{1+A}v_{offset}$ 與

$$v_{cm} - \frac{1}{2} \frac{A}{1+A}v_{offset}。$$

接著 Sample_2 進入高電位，即第二個相位時：

$$Q_{in(+)} = (2v_{in(+)} - v_{o(-)} - v_{cm})C + v_{in(+)}C_p \quad (3-41)$$

$$Q_{in(-)} = (2v_{in(-)} - v_{o(+)} - v_{line}(t_2))C + v_{in(-)}C_p \quad (3-42)$$

我們可定義輸入偏移電壓為：

$$v_o = v_{o(+)} - v_{o(-)} = A(v_{in(+)} - v_{in(-)} - v_{os})$$

由於假設運算放大器輸入端無任何漏電流，因此輸入端之電荷量相同，可知式(3-39)與(3-41)相等，式(3-40)與(3-42)相等，計算可得：

$$\begin{aligned} v_o &= \frac{[-\frac{2}{1+A}v_{offset} + v_{os} - v_{cm} + v_{line}(t_1) - v_{line}(t_2)]C - \frac{1}{1+A}v_{offset}C_p}{(1 + \frac{2}{A})C + \frac{1}{A}C_p} \\ &\approx -v_{o,norm} + \frac{1}{A}(v_{o,norm} - v_{offset})(2 + \frac{C_p}{C}) \end{aligned} \quad (3-43)$$

當運算放大器增益為有限，且考慮輸入偏移電壓時，將產生相關性雙取樣電路增益誤差及偏移誤差。

隨機雜訊(Random noise)

相關性雙取樣電路可移除電路中大部分之 1/f 雜訊，因此我們只需考慮熱雜訊 [16]。由 3.4.1 節內容敘述可知相關性雙取樣電路有三組操作模式，分別就此三組操作模式進行討論。

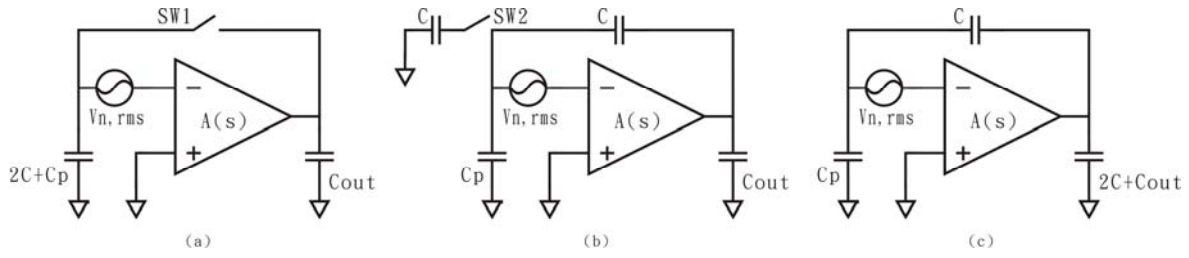


圖 3-21 相關性雙取樣電路之雜訊分析等效模型

假設圖 3-17 中之電容值皆相等，即 $C_1=C_2=C_3=C_4=C$ 。當 Sample_1 提升電位時（開關開啟），開關雜訊和運算放大器等效輸入參考雜訊即被電容取樣，參照圖 3-20，此時相關性雙取樣電路之等效模型如圖 3-21 (a)所示。接著當 isolate 開關開啟時，開關雜訊及運算放大器同樣會被電容取樣，如圖 3-21 (b)所示。第三個模式時，類比數位轉換器對相關性雙取樣電路之輸出進行取樣，運算放大器雜訊將直接輸出，如圖 3-21 (c)所示。

圖 3-21 (a)中，電容所取樣的為所有開關之總雜訊電壓 $V_{n,sw1}$ 及運算放大器輸入參考雜訊。在此階段，運算放大器及負載電容形成一含脈衝響應之線性系統，由 Parseval 定理可得輸出端方均根雜訊能量為：

$$\begin{aligned}
 E[v_{o,n}^2(t)] &= \int_{-\infty}^{\infty} S_{v_{i,n}}(f) |H(f)|^2 df \\
 &= S_0 \int_{-\infty}^{\infty} |H(f)|^2 df \\
 &= S_0 \int_{-\frac{t_{sample}}{2}}^{\frac{t_{sample}}{2}} h^2(t) dt \\
 &= S_0 \left(\frac{g_m}{C_{load}} \right)^2 t_{sample} \tag{3-44}
 \end{aligned}$$

其中 S_0 為運算放大器之總輸入頻譜雜訊、 $S_{v_{i,n}}(f)$ 為輸入雜訊頻譜密度、 g_m 為運算放大器輸入對之轉導增益、 t_{sample} 為相關性雙取樣電路之取樣時間（即 Sample_1 開啟時之時間）。

一個單極點系統之雜訊頻寬為 $\pi/2$ 乘上極點頻率，其中 $\overline{V_{n,out,tot}^2}$ 為雜訊頻譜密度， V_o^2 為雜訊[7]，可得：

$$\overline{V_{n,out,tot}^2} = V_0^2 \times \frac{\pi}{2} \times w_{p1} = \int_0^\infty \overline{V_{n,out}^2} df = \frac{\pi}{2} \times V_o^2 \times UGBW(Hz) \quad (3-45)$$

其中 $UGBW$ 為運算放大器之單增益頻寬，我們可將運算放大器直流增益與主極點相乘以得單增益頻寬，本電路之運算放大器直流增益與主極點位置可見式(3-15)及式(3-16)。運算放大器之單增益頻寬為：

$$UGBW(Hz) = \frac{1}{2\pi} \frac{g_{m,i}}{C_{load}} = \frac{1}{2\pi} \frac{g_{m,i}}{C_{out} + 2C + C_p} \quad (3-46)$$

我們可得相關性雙取樣電路之等效輸入端運算放大器熱雜訊 $v_{n,1,oa}^2$ 為：

$$v_{n,1,oa}^2 = S_0 \cdot UGBW(Hz) \frac{\pi}{2} \cdot \left(\frac{2C + C_p}{2C}\right)^2$$

代入式(3-46)可得：

$$v_{n,1,oa}^2 = \frac{1}{4} S_0 \frac{g_{m2}}{C_{out} + 2C + C_p} \left(\frac{2C + C_p}{2C}\right)^2 \quad (3-47)$$

由開關部分看入之總電容 C_{net} 為 C_{out} 和 $2C + C_p$ 之串聯，由於相關性雙取樣電路切換至此狀態時，需有兩個開關執行切換動作，因此需乘上 2。故總方均根開關雜訊 $\frac{kT}{C_{net}}$ 為：

$$v_{n,sw,tot}^2 = 2 \cdot \frac{kT}{C_{out} \parallel (2C + C_p)} \quad (3-48)$$

將此總方均根開關雜訊由輸出端推回運算放大器之反相輸入端後，可得等效雜訊分量為：

$$v_{n,sw,n-}^2 = v_{n,sw,tot}^2 \left(\frac{C_{out}}{(2C + C_p) \parallel C_{out}}\right)^2 = v_{n,sw,tot}^2 \left(\frac{C_{out}}{2C + C_p + C_{out}}\right)^2 \quad (3-49)$$

如圖 3-22 所示，將反相輸入端之雜訊推回得 V_{in} 處，可得等效切換開關總輸入雜訊為：

$$v_{n,sw,in}^2 = v_{n,sw,n-}^2 \left(\frac{2C + C_p}{2C}\right)^2 \quad (3-50)$$

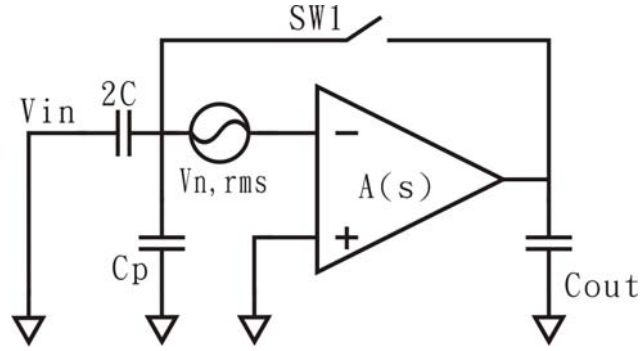


圖 3-22 操作於取樣模式之雜訊分析模型

將式(3-48)、式(3-49)以及式(3-50)合併可得：

$$v_{n,sw,in}^2 = 2 \cdot \frac{kT}{C_{out} \parallel (2C + C_p)} \left(\frac{C_{out}}{2C + C_p + C_{out}} \right)^2 \left(\frac{2C + C_p}{2C} \right)^2$$

$$= \frac{kT}{C} \frac{2C + C_p}{2C} \frac{C_{out}}{C_{out} + 2C + C_p} \quad (3-51)$$

由於切換開關雜訊之頻寬遠大於運算放大器之頻寬，我們可忽略運算放大器增益對於切換開關之影響，這會導致所估計出之開關雜訊較實際上再高一些。因此相關性雙取樣電路之取樣雜訊為總開關雜訊 $v_{n,sw,in}^2$ 與運算放大器輸入參考雜訊 $v_{n,1,oa}^2$ 之和。可將式(3-47)與(3-51)相加可得：

$$v_{n,in,1}^2 = \frac{kT}{C} \frac{2C + C_p}{2C} \frac{C_{out}}{C_{out} + 2C + C_p} + \frac{1}{4} S_0 \frac{g_{m2}}{C_{out} + 2C + C_p} \left(\frac{2C + C_p}{2C} \right)^2 \quad (3-52)$$

接著以同樣方式分析圖 3-21 (b)之雜訊模型，此時 isolate 訊號開啟，形成一電壓取樣-迴授電路[7]，在此操作模式下，相關性雙取樣電路所需切換之開關僅有 isolate 開關，因此總切換開關雜訊無需乘以 2 之係數。此時其輸入端電容雜訊電壓之等效方均根雜訊電壓為：

$$v_{n,in,2}^2 = \frac{kT}{C \parallel (C_p + C \parallel C_{out})} \left(\frac{C_p + C \parallel C_{out}}{C + C_p + C \parallel C_{out}} \right)^2 + \frac{1}{4} S_0 \frac{g_{m2}}{C_{out} + C \parallel (C + C_p)} \left(\frac{C}{2C + C_p} \right) \quad (3-53)$$

圖 3-21 (c)所示為第三個操作模式，此時相關性雙取樣電路為保持狀態，為單增益模式，因此輸入及輸出參考雜訊相同，故運算放大器之雜訊將被下一級之類比數位轉換器直接取樣，其方均根輸入雜訊為：

$$v_{n,in,3}^2 = \frac{1}{4} S_0 \frac{g_{m2}}{2C + C_{out} + C \parallel C_p} \left(\frac{C + C_p}{C} \right) \quad (3-54)$$

由式(3-52)、式(3-53)以及式(3-54)之總和，可得相關性雙取樣電路之輸入參考雜訊為：

$$v_{n,in,rms} = \sqrt{v_{n,in,1}^2 + v_{n,in,2}^2 + v_{n,in,3}^2} \quad (3-55)$$

3.4.4 相關性雙取樣電路運算放大器模擬結果

在設計電路時，運算放大器為最關鍵之設計，可說是電路的心臟部位。一般對於運算放大器之要求為直流增益(DC gain)、單增益頻寬(unity-gain frequency)、迴轉率(Slew-rate)及輸出振幅，然而高速和高精確度又時常相互抵觸，難以兩全。

在精確度的要求上，誤差 v_o 需小於 $\frac{1}{2}LSB$ ，由式(3-43)中，使用取樣電容為160fF，我們可計算出，若欲使運算放大器達到12 bit之精確度，其增益須為約85 dB。

一般設計會以 $\frac{1}{4}$ 的取樣時間作為運算放大器迴轉時間，而以其餘之 $\frac{3}{4}$ 作為相關性雙取樣電路取樣值之穩定時間。設本晶片之相關性雙取樣電路取樣時間為2 us，輸出振幅為0.5 V，則迴轉時間為 $\frac{1}{4} \times 2\mu s = 500\text{ns}$ ，穩定時間則為 $\frac{3}{4} \times 2\mu s = 1.5\mu s$ 。運算放大器之模擬圖如圖3-23, 24所示。

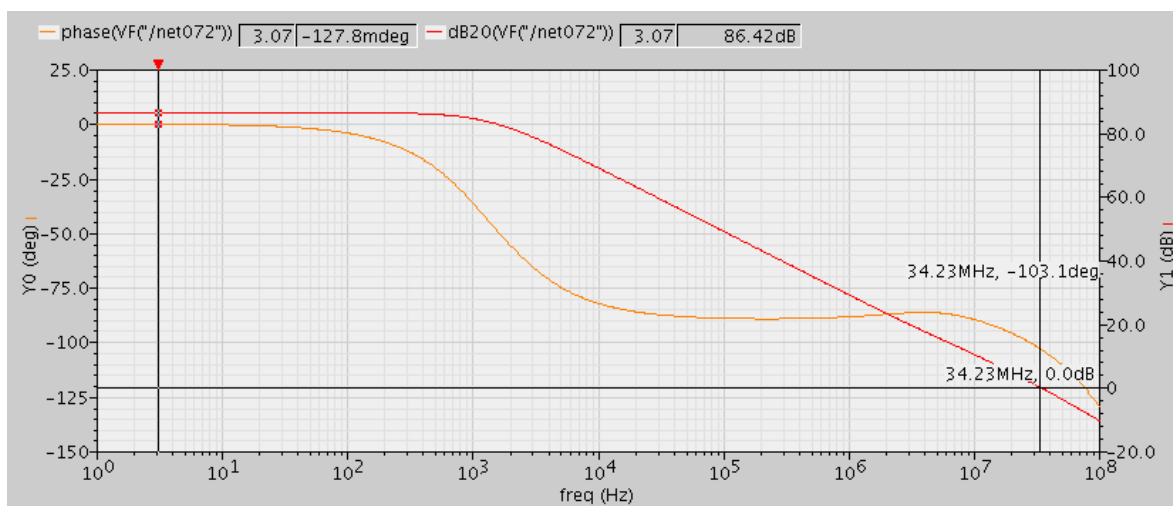


圖 3-23 運算放大器波德圖

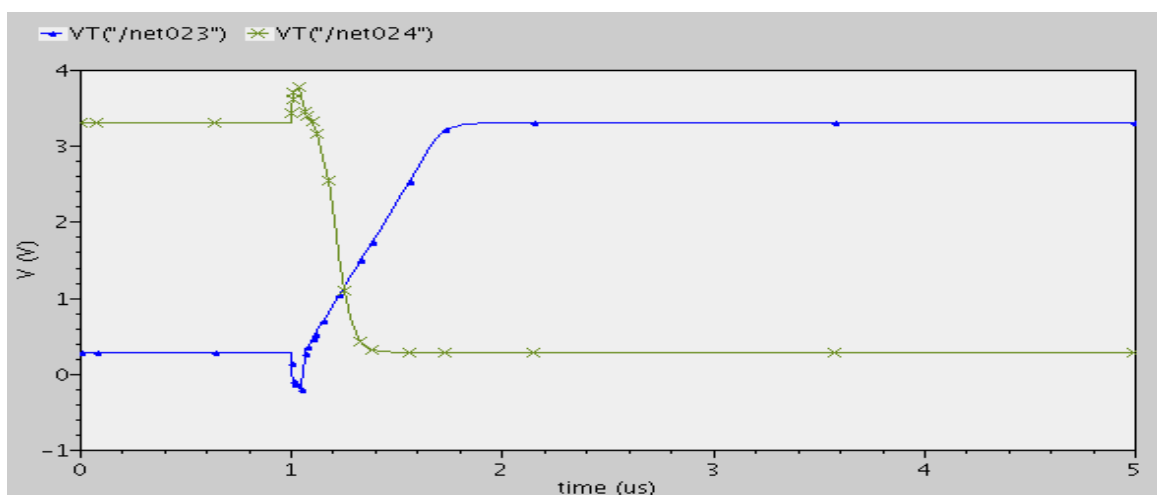


圖 3-24 上升及下降迴轉率圖

表 3-1 運算放大器規格

差動輸出直流增益值	86.42 dB
單位增益頻寬	34.23 MHz
相位間隙(Phase Margin)	76.9°
迴轉率(Slew Rate)	(上升) 6.77V/us (下降) 34.97 V/us
負載電容	500 fF
取樣電容	160 fF

由表 3-1 中可視本相關性雙取樣電路之運算放大器規格，皆符合所需之要求。

3.4.5 相關性雙取樣電路模擬結果

相關性雙取樣電路之設計目的為消除電晶體 W/L 不匹配現象，以及 1/f 雜訊。對於像素而言，主要之不匹配會出現於做為輸出放大之源極耦隨器以及 N-井光二極體電容(N-well Photodiode)。然而由於第一次取樣時並無法取樣到重置電晶體之資訊，因此相關性雙取樣電路並無法消除其不匹配和所產生的雜訊效應。

以下所示為相關性雙取樣電路之蒙地卡羅分析(Monte Carlo Analysis)以及線性度模擬。

像素源極耦隨器不匹配分析（蒙地卡羅分析）

針對像素之源極耦隨器 W 做 10% 不匹配測試 60 次，任意於 10% 不匹配偏移量值中取值，分別於像素輸出端及相關性雙取樣電路取樣後之端點進行取樣。結果如圖 3-25 所示。其中橫軸為取樣次數，縱軸為輸出電壓值。

由縱軸之幅度可視，本相關性雙取樣電路確實下降了由像素之源極耦隨器所造成的不匹配效應。

線性度模擬__Presim

將像素之輸出由 1V 至 0V 線性化減少，共模擬 20 個點，測試本相關性雙取樣電路是否可確實地得出線性化之結果，如圖 3-26 所示。下圖為取樣電路之正輸出端及負輸出端之電壓值，上圖為其相減後之差動輸出。

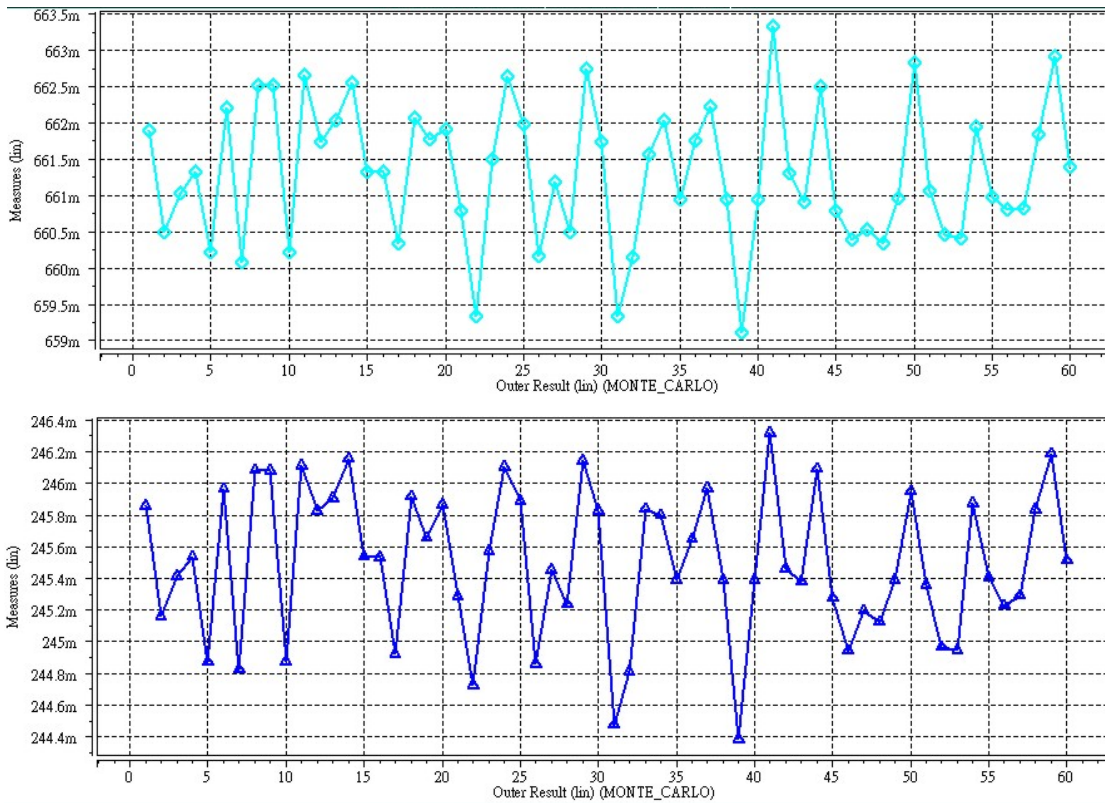


圖 3-25 針對像素之源極耦隨器做 10% 不匹配測試，上圖為像素直接輸出，下圖為像素經相關性雙取樣電路取樣後輸出

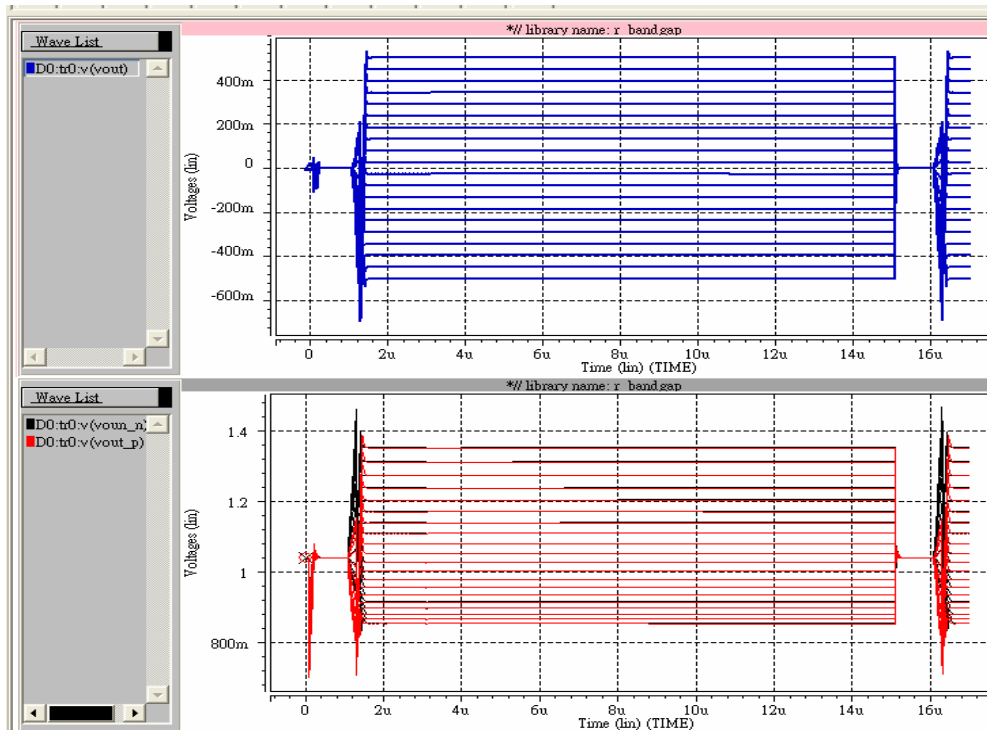
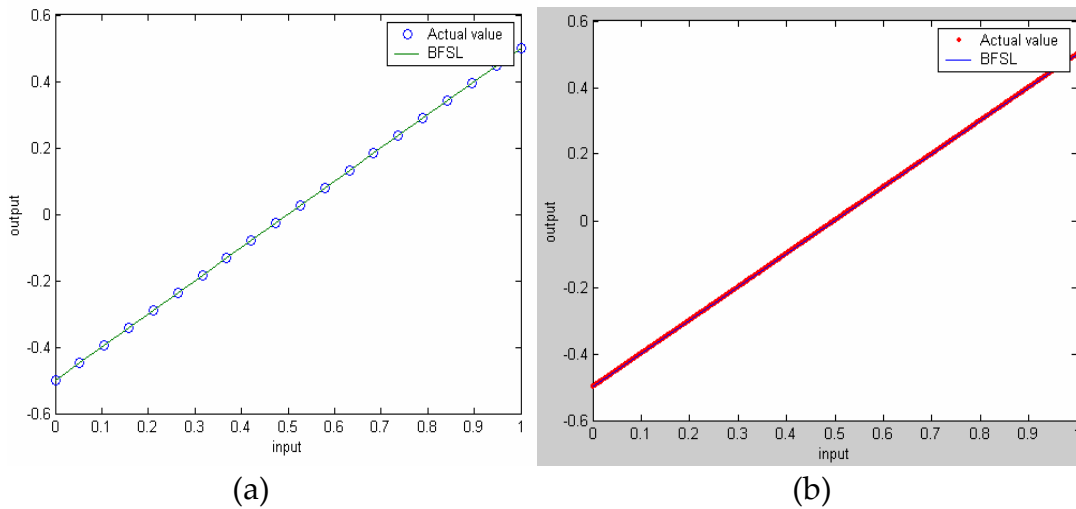


圖 3-26 相關性雙取樣電路之線性度模擬



(a) (b)
圖 3-27 相關性雙取樣電路輸出之線性圖

由圖 3-26 可視，下圖中正輸出以及負輸出範圍在 0.79V~1.28V 之間，上圖中差動輸出則線性地分佈在 +0.5V~-0.5V 之間。

在相關性雙取樣電路穩定之後，取一時間點，將輸出之數值利用 matlab 顯示，可得一曲線如圖 3-27 所示。

表 3-2 相關性雙取樣電路 presim 輸出之誤差及有效位元

Presim temp=55 3.3V

	max error
TT	-578.11ppm
FF	-860.43ppm
SS	-187.92ppm
SF	-1103.76ppm
FS	-323.86ppm

(a)

Presim temp=125 3.0V

	max error
TT	-1208.11ppm
FF	-930.51ppm
SS	-310.50ppm
SF	-1067.24ppm
FS	-138.00ppm

(b)

圖 3-27(a)為圖 3-26 之數值經由 matlab 轉換後所得之曲線，圖 3-27(b)則是對像素之輸出由 1V 至 0V 線性化減少，共模擬 4096 點所得之結果。

將所有的輸出數值經過運算先求得最佳化直線 (Best Fit Straight Line, BFSL)，再由此最佳化直線與所得之數值相減得其誤差值，便可求出本相關性雙取樣電路之最大誤差值。

表 3-2 (a) (b)分別為本相關性雙取樣電路於溫度 55 度及電源供應 3.3V 下，以及溫度 125 度及電源供應 3.0V 下之模擬結果。

線性度模擬...Postsim

一般在電路佈局之後，由於寄生電容及寄生電阻之影響，會使電路之效能降低。為了使模擬出之結果更接近於實際電路效能，我們會對電路佈局圖再次進行模擬。

圖 3-28 所示為本相關性雙取樣電路之佈局圖模擬結果。上圖為取樣電路之正輸出端及負輸出端之電壓值，下圖為其相減後之差動輸出。

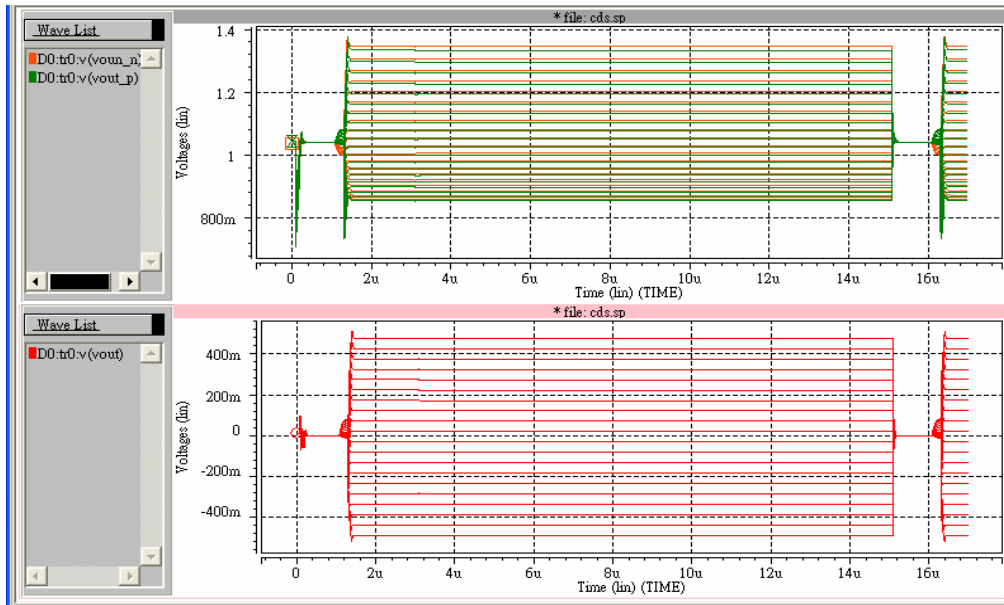


圖 3-28 相關性雙取樣電路之線性度模擬_postsim

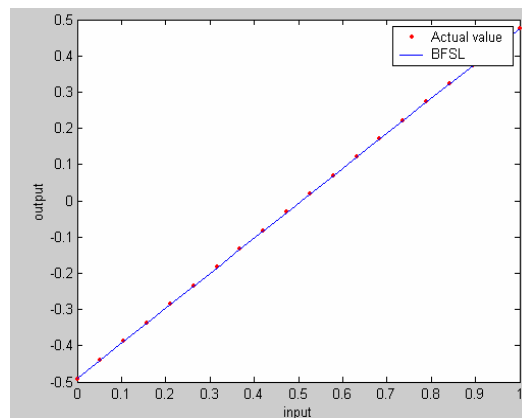


圖 3-29 相關性雙取樣電路輸出之線性圖_postsim

由圖 3-28 可視，差動輸出仍然線性地分佈在 $+0.5V \sim -0.5V$ 之間。同樣地，在相關性雙取樣電路穩定之後，取一時間點之輸出數值使用 matlab 轉換後可得一曲線如圖 3-29 所示。

表 3-3 (a) (b)分別為本相關性雙取樣電路之佈局圖於溫度 55 度及電源供應 3.3V 下，以及溫度 125 度及電源供應 3.0V 下之模擬結果。

表 3-3 相關性雙取樣電路 postsim 輸出之誤差及有效位元

Postsim temp=55 3.3V

	max error
TT	-1718.00ppm
FF	-1812.89ppm
SS	-2256.52ppm
SF	-2421.83ppm
FS	-1754.45ppm

(a)

Postsim temp=125 3.0V

	max error
TT	-1859.86ppm
FF	-2314.79ppm
SS	-2607.06ppm
SF	-1646.27ppm
FS	-1754.45ppm

(b)

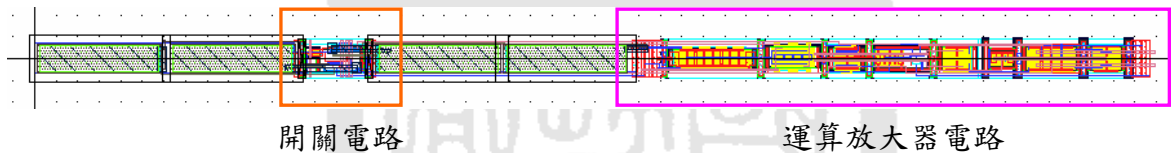


圖 3-30 相關性雙取樣電路佈局圖

3.4.6 相關性雙取樣電路佈局圖

由於本晶片中所使用之像素尺寸為 $8\mu\text{m} \times 8\mu\text{m}$ ，因此為了配合像素之大小，本相關性雙取樣電路於佈局上高度限制 $8\mu\text{m}$ 之下。而由於高度之限制，致使電路之形狀成為狹長之長方形。為縮小面積，所有電路部分皆只包一層 Guard Ring，為了使減少數位雜訊對於類比電路的影響，利用取樣電容將控制開關之時脈訊號隔離包圍其中，並使其遠離運算放大器電路。佈局圖如圖 3-30 所示，其中電容部分使用 Metal₅ 及 Metal₆ 作為 MIM 電容。

3.5 遞迴式類比數位轉換器 (Cyclic Analog-to-Digital Converter)

遞迴式類比數位轉換器 (或稱運算式(Algorithmic)數位類比轉換器) 由於在每個運算處理時間中僅能輸出一個位元, 因此在運算速度上屬於中速, 然而其優點為相對下較小面積、較低消耗功率, 以及高解析度(resolution), 並可以較簡單的結構達成類比至數位。其主要設計上之難度有二, 一是對於電容的不匹配度必須不靈敏(Insensitive), 二是高精確度及線性的兩倍運算。

遞迴式類比數位轉換器可以做成管線型(pipeline)及循環型(cyclic)兩種, 典型的管線式取樣頻率可操作在 1 ~ 20 MS/s, 不需校正(uncalibrated) 精確度可達到 10~12 位元。本晶片所採用的遞迴式類比數位轉換器架構之特性為只需使用較少的時脈即可產生位元, 因此速度上較採用多次循環以消除電容不匹配問題的架構來得快。

圖 3-31 和圖 3-32 分別為本次實作所採用之遞迴式類比數位轉換器簡化圖以及方塊流程圖。由圖 3-31,32 中可視, 本類比數位轉換器於架構上主要分成兩級, 當輸入訊號 V_{in} 輸入電路時, 會送至比較器與 0V 相較產生輸出位元 b_i , 其中 V_{in} 為一在 -1V 至 +1V 區間之全差動訊號。若輸入訊號 V_{in} 大於 0V 時, 則輸出位元 $b_0=1$, 若否, 則為 $b_0=0$, 在此同時, 藉由對取樣電容所儲存之電荷進行電路運算後, 可得 $2 \times V_{in}$ 。接著藉由輸出位元 b_0 決定與 $2 \times V_{in}$ 相加的參考電壓。若 $b_0=1$, 即 $V_{in} > 0$, 則經由電路運算後, 可得第一級之輸出為 $V_i = 2V_{in} + (-V_{ref})$; 若 $b_0=0$, 即 $V_{in} < 0$, 則第一級之輸出為 $V_i = 2V_{in} + V_{ref}$ 。接著將此輸出送至第二級作為輸入電壓, 繼續進行相同的判斷及運算, 如此循環直至得到所需之位元數為止, 再重新輸入下一個 V_{in} 進行運算。

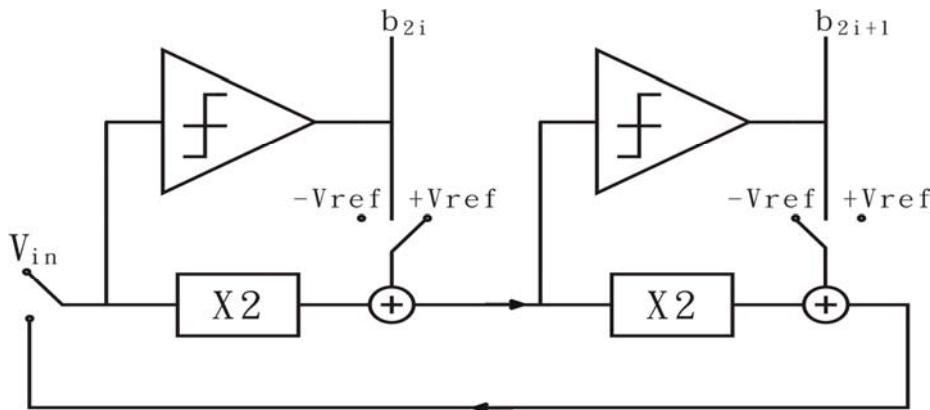


圖 3-31 遞迴式類比數位轉換器簡化圖

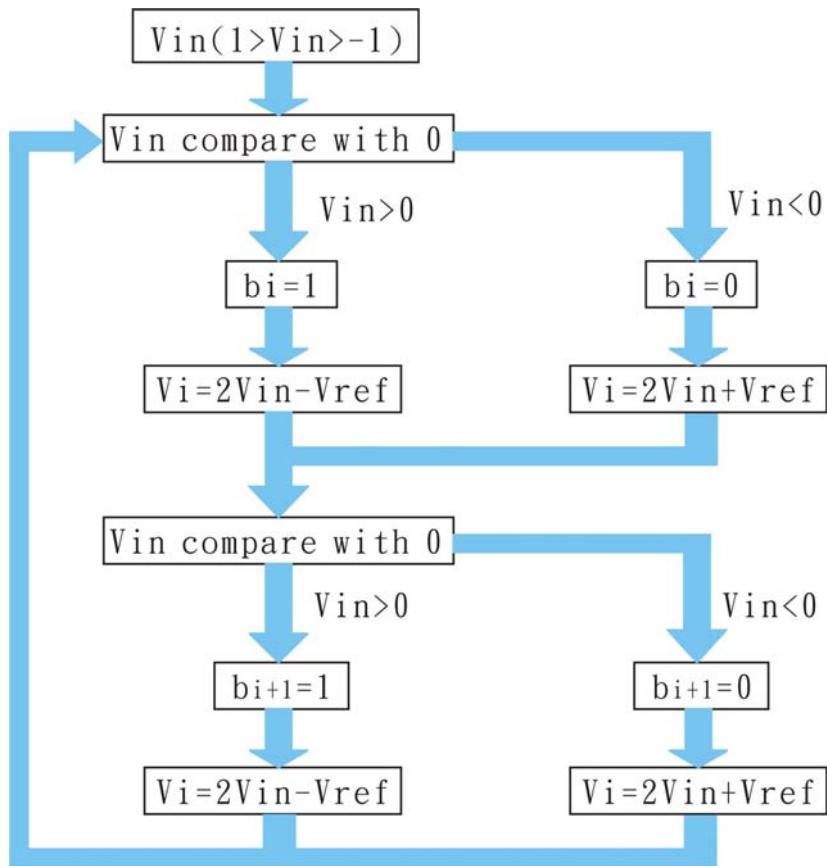


圖 3-32 遞迴式類比數位轉換器方塊流程圖

如前所述，若將相同運算功能之電路串接多級，即可在一個時脈中產生多個輸出位元，即是管線式類比數位轉換器(pipeline ADC)；相反的，亦可只採用一級運算電路進行不斷循環至所需位元輸出為止。

其架構之優缺點在於：管線式類比數位轉換器只要串接越多級，就能使位元輸出速度不斷提升，相對地則是會造成面積上的增加，以及時脈控制上的困難度。若僅以一級運算電路進行循環，則需耗費較長的時間才可完成一筆資料之解析，然而若是為了符合類比數位轉換所需的速度規格，則必須大幅提高設計運算放大器之頻寬規格，並使用更大 W/L 比之切換開關，以提升電容取樣速度，如此將使取樣精確度、電荷注入..等問題顯得更為嚴重，且不一定可有效降低面積。因此在此晶片架構中，兩級管線式設計，是最為平衡之設計。

然而由另一方面而言，本架構亦保留了日後可供發展之空間。在不改變原本運算放大器之頻寬規格下，若面積許可，則可藉由串接多級運算電路以得到更高之位元輸

出速度。而由於在本設計上，每一個類比數位轉換器對應至兩個相關性雙取樣電路，而每一個相關性雙取樣電路則對應至一像素行 (pixel column)，由此可知，當像素之長寬增加時，僅需依增加之行數量來加入所對應之類比數位轉換器之數量即可，皆毋需對原本之規格及設計進行改變。

圖 3-33 為本晶片所採用遞迴式類比數位轉換器其中一級之電路圖，綜合前述，可知本電路一共需要 2 個運算放大器、2 個比較器、8 個電容以及數個開關 (switch)，控制時脈則為四個非重疊(nonoverlap)時脈 $\Phi_1 \sim \Phi_4$ ， Φ_0 則是取樣時脈，當 Φ_0 為高電位時，遞迴式類比數位轉換器便對輸入進行取樣。每一級運算電路由四個電容及一些切換開關組成差動取樣電路。由於延遲時脈可降低 MOS 開關電荷之注入效應，因此圖 3-33 中標示有 d 之時脈皆表示延遲一個單位時間，如 Φ_{1d} 即指將 Φ_1 延遲一個單位時間後所得之時脈，同理， Φ_{1dd} 即為 Φ_1 延遲二個單位時間所得之時脈。而在運算放大器輸出端串接之三顆電晶體則是利用時脈延遲造成一瞬間的短路，如此可消去運算放大器因前一個狀態所造成之過度飽和現象，以避免影響之後的運作效能。

圖 3-34 為本遞迴式類比數位轉換器之時序圖，圖 3-35 則為其採用之比較器電路圖，在此僅以第一級所使用之比較器表示。圖 3-35 中，M1~M4 為一對背對背相接反相器之拴鎖電路，負責將 x 與 x' 的電壓迅速拉開。M5~M8 則使此兩電位更接近電源電壓及接地電壓。

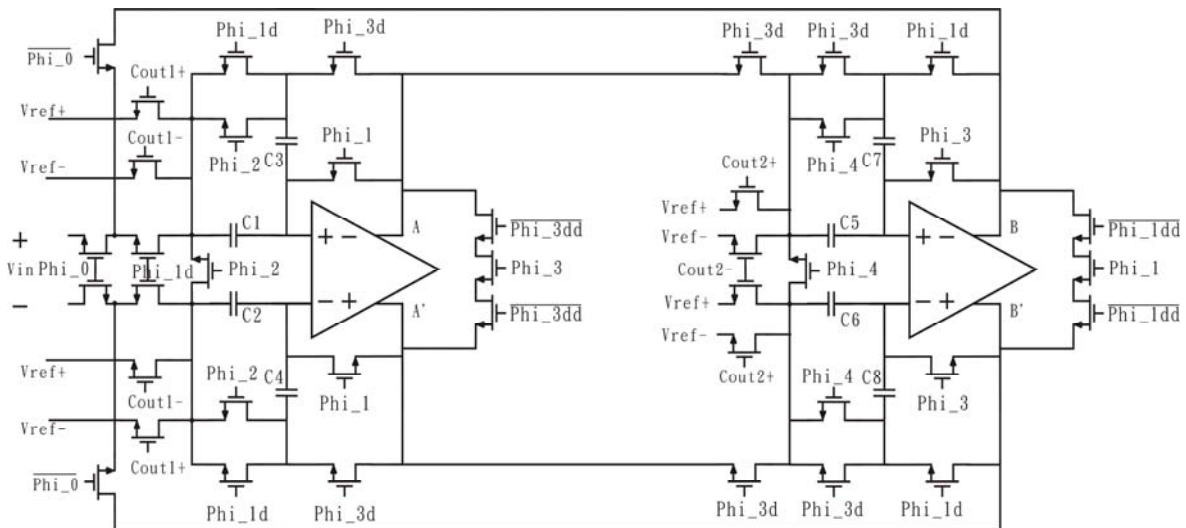


圖 3-33 遞迴式類比數位轉換器

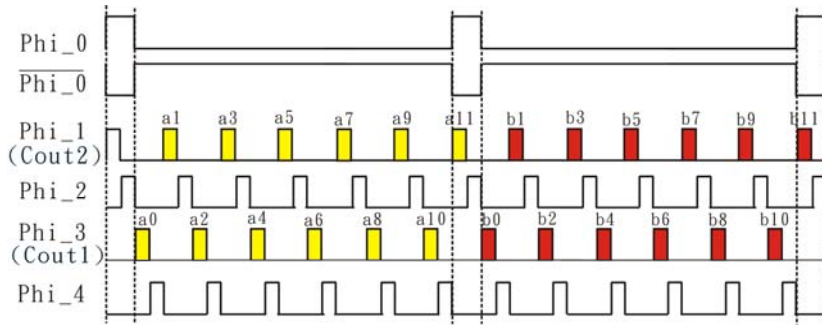


圖 3-34 遞迴式類比數位轉換器之時序圖

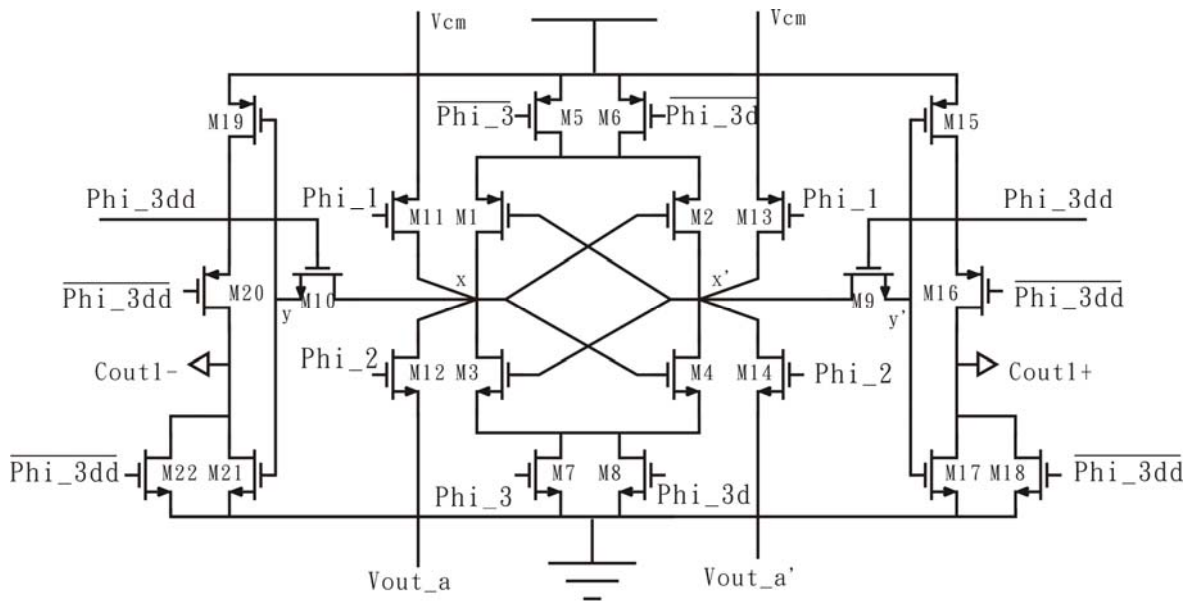


圖 3-35 第一級遞迴式類比數位轉換器之比較器電路圖

此比較器之運作方式如下：首先，當 Phi_1 為高電位時， M_{11} 、 M_{13} 導通，使用 V_{cm} 對 x 端與 x' 端之電壓進行重置。接著 Phi_2 提升至高電位，此時 M_{12} 、 M_{14} 開通，將 V_{out_a} 、 $V_{out_a'}$ 讀取至 x 端與 x' 端，並將讀入之值儲存於 x 端與 x' 端之寄生電容中。當 Phi_3 為高電位時， $M_5 \sim M_8$ 導通，此時拴鎖電路迅速比較讀入之 V_{out_a} 、 $V_{out_a'}$ 電壓，並將 x 端與 x' 端電壓拉開至電源電壓以及接地電壓準位。接著於 Phi_{3dd} 時， M_{10} 、 M_9 導通，將 x 端與 x' 端電壓值讀取至 Cout1 。

其中 M_5 、 M_7 和 M_6 、 M_8 導通時間相差了一單位延遲時間，這是因為若使 $M_5 \sim M_8$ 同時間一起導通，恐會產生電壓抖動 (jitter)，若利用時脈延遲使 M_5 、 M_7 和 M_6 、 M_8 得以相繼導通，便可使端點電壓之變化較為平滑，減少電壓抖動之形

成。

電路圖兩端之 M15~18 以及 M19~21 可分別視為一反相器，可藉此將輸出訊號拉至更接近電源電壓以及接地電壓準位，以成為更準確之數位訊號 Cout1+與 Cout1-。M16 與 M20 在電路中之功用在於：在此以右端之電路為例，若是未加入 M16，則當 Phi_3 為低電位時，若此時 y'端點正好亦為低電位，便會使 M15 導通而在 M15、M18 產生一大電流形成無謂之功率消耗，因此加入 M16、M20 以控制此反向器部分僅在需要輸出結果之 Phi_3 時脈為高電位時，電路時才可導通。

M22 與 M18 開開啟時間與 M16、M20 相反，在 Phi_3 為高電位時(即比較器輸出時期)M22 與 M18 關閉。而在 Phi_3 為低電位時，M22 與 M18 則開啟，將 Cout1+與 Cout1-之輸出拉至低電位。這是確保在非輸出時期，Cout1+與 Cout1-端點可保持低電位，而沒有錯誤之輸出。

3.5.1 電路與運作狀態分析

綜合圖 3-33, 3-34, 3-35，可得遞迴式類比數位轉換器操作在四個相位狀態的簡化圖如圖 3-36 所示。見圖 3-34，當 Phi_0 提高電位時，類比數位轉換器便開始對相關性雙取樣電路進行取樣，Phi1~Phi_4 分別為之四個相位，以下將一一說明。

第一個相位如圖 3-36(a)所示，Phi_0 及 Phi_1 皆為高電位，此時運算放大器處於單增益迴授狀態，比較器的兩個輸出 Cout1+及 Cout1-皆為 0。使用電容 C1~C4 下板取樣類比數位轉換器的輸入電壓 Vin，而運算放大器的輸入偏移電壓(input offset voltage)則被取樣儲存於電容 C1~C4 之上板中。

第二個相位如圖 3-36(b)所示，Phi_2 為高電位，此時第一級運算放大器處於開迴路狀態，電容 C1~C4 接至同一端點，藉由使 C1~C4 下板電位相同，可強迫電容將上一狀態取樣到之電壓傳送至運算放大器的差動輸入端 Vin+、Vin-。此時第一級運算放大器可視為下一級比較器之消除偏移電壓前置放大器。由於運算放大器在開迴路時增益極高，因此只需一有限之電壓差異，即可在運算放大器之差動輸出端得到大振幅之輸出，接著由比較器取樣此訊號。直到 Phi_2 降低電位，比較器輸入端與類比數位轉換器輸出之連結中斷，對運算放大器輸出值之取樣便結束。此階段的

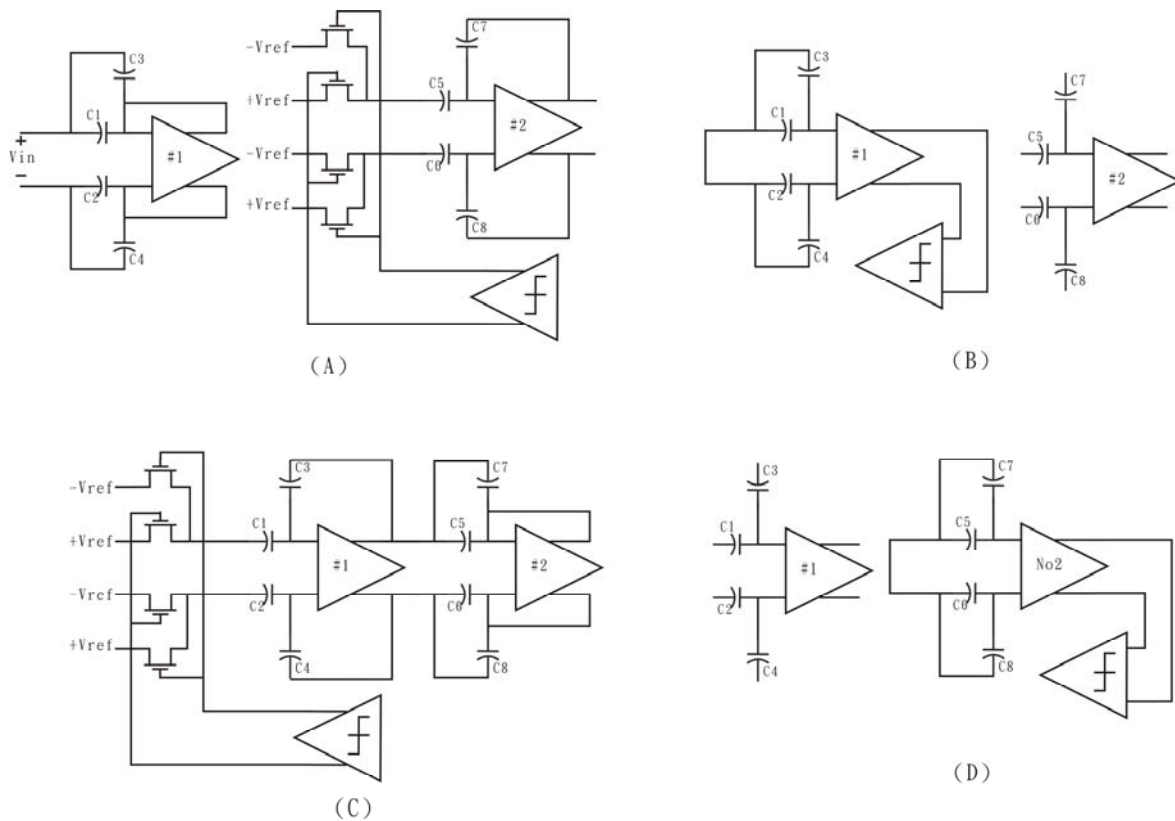


圖 3-36 遞迴式類比數位轉換器運作狀態簡化圖 (a)時脈 Φ_0, Φ_1 為高電位時(b)時脈 Φ_0, Φ_2 為高電位(c) 時脈 Φ_3 為高電位 (d) 時脈 Φ_4 為高電位

行為即如圖 3-31, 3-32 中所示，將 V_{in} 與 $0V$ 作比較，藉以判斷 V_{in} 的正負。

第三個相位如圖 3-36(c)所示， Φ_3 為高電位，此階段一開始，藉由延遲時脈 Φ_{3dd_bar} 之控制，將運算放大器的輸出端 V_{out_a} 及 $V_{out_a'}$ 間串連的三顆電晶體短暫地導通，亦即造成輸出端 V_{out_a} 及 $V_{out_a'}$ 一瞬間的短路，如此可幫助運算放大器消除因為上一個相位操作於開迴路時所造成之過度飽和現象，以避免影響之後的運作效能。此時運算放大器之輸出連結至 $C3$ 和 $C4$ 的底板，由於運算放大器虛短路之特性，若 $C1$ 及 $C2$ 的底板亦相連結，則儲存於 $C1$ 和 $C2$ 的電荷便會被迫使轉移至 $C3$ 和 $C4$ ，而使 $C3$ 及 $C4$ 上的壓降成為兩倍之輸入電壓。此即為一般類比電路使用之雙倍運算。在本電路中將電容 $C1$ 及 $C2$ 底板接至相同電位($+V_{ref}$ 或 $-V_{ref}$)，亦可視為建立在同電位上之短路，並對雙倍之輸入電壓作 $\pm V_{ref}$ 之動作。此階段的行為即如圖 3-31, 3-32 中所示，藉由比較器所輸出之 b_i 決定參考電壓將使用 $+V_{ref}$ 或

-Vref，再經由電路對輸入電壓進行 $V_i = 2V_{in} + (-V_{ref})$ 或是 $V_i = 2V_{in} + V_{ref}$ 之運算，其中設定 $V_{ref} = (+V_{ref}) - (-V_{ref})$ 。此時第二級類比數位轉換器之運作狀態如同第一個相位中第一級類比數位轉換器之狀態，亦即第二級電路此時對第一級運算後之值進行取樣。

將圖 3-35與圖3-36相互參照可看出比較器於此狀態之運作。於此相位中，位於控鎖電路之上方兩顆 PMOS 及下方兩顆 NMOS，分別於 Phi_3 及 Phi_3d 為高電位時開啟，如此可使控鎖電路在判斷完取樣的 Vout_a、Vout_a' 後，能更迅速的達到穩態，亦即使 x 端及 x' 端之電壓能被更迅速的拉開。同時，比較器之輸出 Cout1+和 Cout1-不但需連接至選擇參考電壓之控制閘，亦是輸出之數位訊號。由於一晶片的輸出腳位為 8 個頻道的類比數位轉換器輸出所共用，因此需將 Cout1+或 Cout1-其中一訊號連接至一 8x1 多工器數位電路以供輸出。

第四個相位如圖 3-36(d)所示，Phi_4 為高電位，此時第一級運算放大器處在開路狀態，第二級運算放大器之運作狀態則如同第二個相位時之第一級電路，將所取樣之第一級運算值傳送至運算放大器的差動輸入端，並將輸出傳至比較器進行取樣。

第四相位結束後，Phi_1 重新回到高電位，類比數位轉換器之運作狀態亦重新回到第一相位（圖 3-36(a)），此時由於 Phi_0 為低電位，亦即第一級類比數位轉換器並非連接至相關性雙取樣電路之輸出，而是連接至第二級電路之輸出，因此第一級電路將會對第二級電路於第四相位時所得之值進行取樣運算。如此循環直至產生所需之位元數為止。

由以上所述，我們可知此遞迴式類比數位轉換器只在 Phi_1 為高電位以及 Phi_3 為高電位時才有輸出值，如圖 3-34 所示，Cout1 和 Cout2 有輸出值之時間分別和 Phi_3 和 Phi_1 重疊，第一階段淺色部分為 CDS_A 之輸出，第二階段深色部分為 CDS_B 之輸出。

3.5.2 理想狀態之操作模式分析

如 3.4.2 節所述，在理想狀態時，我們假設電容值皆相同，運算放大器有無限大之增益，且切換開關均為理想狀況下，不考慮電荷注入之問題。在此以第一級運算放大器作為說明。

圖 3-36(a)中，由於此時此時運算放大器處於單增益迴授狀態，輸出端直接接至輸入端，在不考慮偏移誤差的情況下，我們可設 $v_{op(+)} = v_{op(-)} = v_{cm}$ 。如此可得出儲存於電容 C1~C4 上之電荷為：

$$Q_{C1} = Q_{C3} = C(v_{in(+)} - v_{cm}) \quad (3-56)$$

$$Q_{C2} = Q_{C4} = C(v_{in(-)} - v_{cm}) \quad (3-57)$$

此時由於輸出端接至輸入端，且為虛短路，因此可得：

$$v_o = v_{o+} - v_{o-} = 0$$

圖 3-36(b)中，假設此時 C1~C4 所連接之端點電壓為 v_x ，可得出 C1, C3 之總電荷以及 C2, C4 之總電荷為：

$$Q_{C1,C3} = 2C(v_x - v_{in,op(+)}); \quad Q_{C2,C4} = 2C(v_x - v_{in,op(-)}) \quad (3-58)$$

由於在此考慮理想狀態，因此同一路徑上電容之電荷變化視為相等，故式(3-56)中 C1, C3 之總電荷等於式(3-58)中 $Q_{C1,C3}$ ，而式(3-57)中 C2, C4 之總電荷等於式(3-58)中 $Q_{C1,C3}$ 。可得式子如下：

$$2C(v_{in(+)} - v_{cm}) = 2C(v_x - v_{in,op(+),t2}) \quad (3-59)$$

$$2C(v_{in(-)} - v_{cm}) = 2C(v_x - v_{in,op(-),t2}) \quad (3-60)$$

推導後可得：

$$v_{in,op(+),t2} - v_{in,op(-),t2} = v_{in(-)} - v_{in(+)} = -v_{in} \quad (3-61)$$

圖 3-36(c)中，C1~C4 所儲存之電荷量分別為：

$$Q_{C1} = (v_{in,op(+),t3} - v_{ref\pm})C_1; \quad Q_{C3} = (v_{in,op(+),t3} - v_{o(+)})C_3$$

$$Q_{C2} = (v_{in,op(-),t3} - v_{ref\mp})C_2; \quad Q_{C4} = (v_{in,op(-),t3} - v_{o(-)})C_4$$

在同一條路徑上，由於所流過之電流量相等同，因此同一路徑上所有電容所儲存之電荷量皆會相同。即 $Q_{C1} = Q_{C3}$ ， $Q_{C2} = Q_{C4}$ ，經計算可得：

$$v_o = 2((v_{in,op(+),t3} - v_{in,op(-),t3}) - (v_{in,op(+),t2} - v_{in,op(-),t2})) + (v_{ref\pm} - v_{ref\mp}) \quad (3-62)$$

在第三相位時，運算放大器為迴授狀態，因此輸入端可視為虛短路，即

$v_{in,op(+),t3} = v_{in,op(-),t3}$ ，將式(3-61)代入式(3-62)中，令 $v_{ref} = v_{ref\pm} - v_{ref\mp}$ ，計算後可得：

$$v_o = 2v_{in} + v_{ref} \quad (3-63)$$

由此證明，在理想狀態下，可藉由電路之運算獲得本遞迴式類比數位轉換器所需之結果。

3.5.3 遞迴式類比數位轉換器之非理想性分析

電容不匹配特性

在電容不匹配之情形下，藉由計算電容之總電荷量相等，可得電容值不匹配對剩餘值之影響如下：

$$v_{residue} = v_{in} \left(1 + \frac{1}{2} \left(\frac{C_1}{C_3} + \frac{C_2}{C_4}\right)\right) + \left(\frac{C_1}{C_3} + \frac{C_2}{C_4}\right) v_{ref\pm} \quad (3-64)$$

電容不匹配特性對於遞迴式類比數位轉換器解析度而言具有極大之影響，尤其是對於解析度達 12bit 以上之設計，關於此點，已有許多相關解決之技巧 [11][12][13]。其中大多數是以降低取樣頻率或增加轉換步驟，然而如此卻會導致面積增加或是需要額外控制邏輯，這對於本設計中之平行式架構而言，並不利於實現。

圖 3-37 為電容比值不匹配對剩餘值 $v_{residue}$ 之影響，其中實線為理想之轉換剩餘值曲線，虛線為電容值不匹配時所得之轉換剩餘值曲線。由式(3-64)中可看出，當電容值不匹配時，將對 $v_{residue}$ 之斜率產生影響。

運算放大器輸入偏移電壓

運算放大器之大部分偏移電壓都可於取樣運算中消除。然而由於運算放大器之增益有限，因而導致偏移電壓並未能完全被移除。如圖 3-38 所示，運算放大器於取樣相位時之輸出電壓為：

$$v_{in} = \frac{A}{A+1} v_{os} \quad (3-65)$$

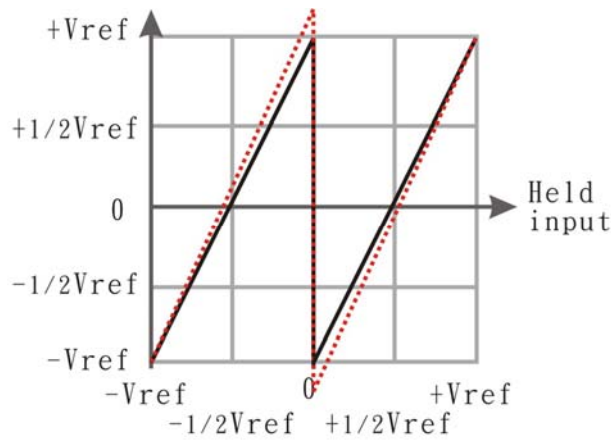


圖 3-37 電容比值不匹配對剩餘值之影響

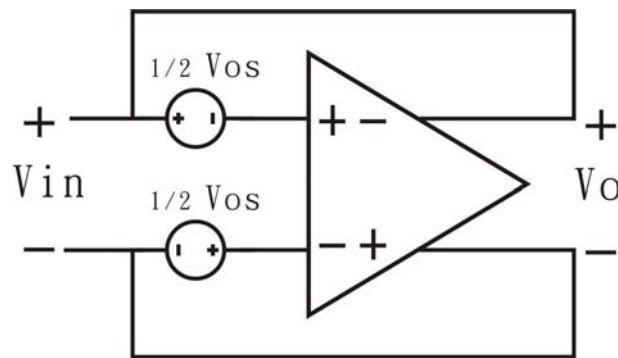


圖 3-38 取樣相位運算放大器含輸入偏移電壓簡化圖

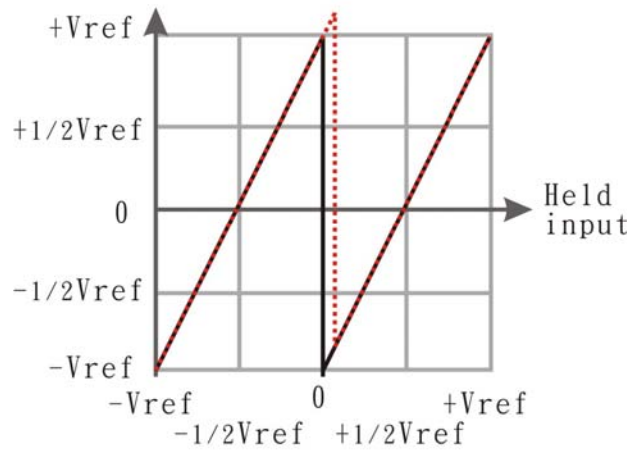


圖 3-39 運算放大器輸入偏移電壓造成之轉換誤差

運算後可得有效輸入參考剩餘偏移電壓 $V_{os,res}$ 為：

$$V_{os,res} = \frac{A}{A+1} \frac{2C+C_p}{2C} V_{os} \quad (3-66)$$

其中 C_p 為運算放大器輸入寄生電容。此偏移剩餘值 $V_{os,res}$ 對轉換剩餘值曲線之影響如圖 3-39 所示，可觀察出此偏移剩餘值 $V_{os,res}$ 並不會對 $V_{residue}$ 之斜率有所影響，但會使 $V_{residue}$ 產生一偏移。

有限運算放大器增益

實際運算放大器之增益為一有限值，如上所述，除了無法完全消除輸入偏移電壓之外，有限的運算放大器增益亦會在計算剩餘值時導致增益誤差。當運算放大器處於重置狀態時，由於此時輸出之差動電壓為零，因此運算放大器之有限增益在此時並不會造成影響。然而當運算放大器輸出運算殘餘值時，由於運算放大器之有限增益，迫使運算放大器之輸入端有殘餘電荷無法完全轉移，假設 A 為運算放大器之有限增益，理想的輸出殘餘值為 $V_{residue}$ ，則此時運算放大器之輸入端電壓為

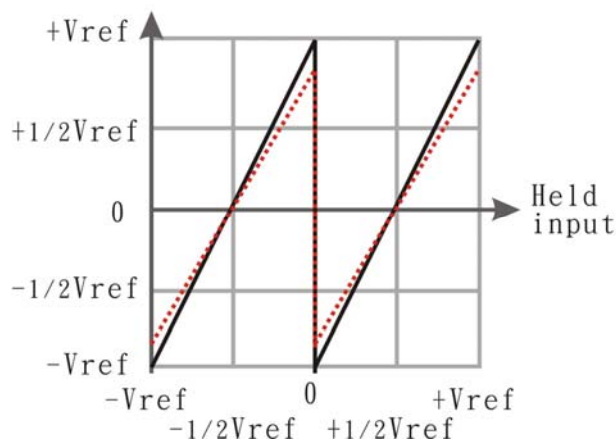


圖 3-40 有限運算放大器增益對轉換曲線所造成的影響。

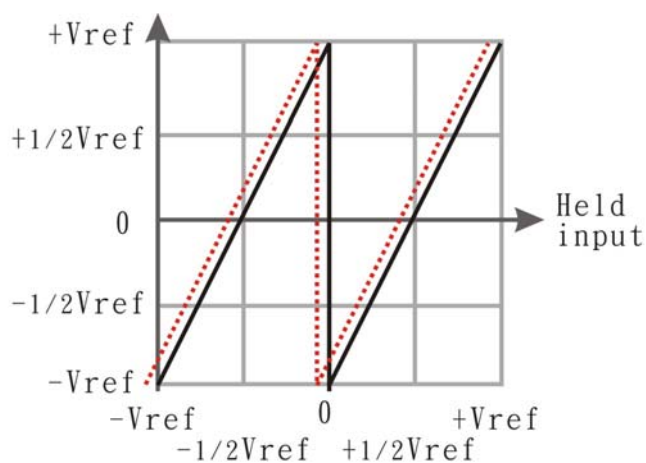


圖 3-41 電荷注入效應對於轉換曲線之影響

$V_{residue}/A$ 。而由此有限的運算放大器增益所造成之誤差為：

$$v_{A,err} = \frac{1}{A} \frac{2C + C_p}{C} V_{residue} \quad (3-67)$$

對轉換剩餘值曲線之影響如圖 3-40 所示，可觀察出此增益誤差會使對 $V_{residue}$ 之斜率改變，偏離 $\pm \frac{1}{2} V_{ref}$ 愈遠，所受到的影響便愈大。

切換開關電荷注入效應

當 MOS 開關在切換時，原本存在於通道上的電荷便會流至電晶體兩端--汲極和源極。而取樣電路在取樣時間最末一刻所取樣到的電壓才是其有效取樣值。若類比數位轉換器之電路可完全對稱，則流入兩端之開關電荷將會相等，而使差動之兩端皆有相同的效應而相互消滅。然而實際上由於切換開關之電晶體並不會完全匹配，而他們的初始電位也會因運算放大器的輸入偏移電壓而有所不同，兩端輸入電壓之不同會使取樣電容之阻抗產生差異，以上總總，皆會造成開關電荷注入的不對稱現象。

由於電荷注入現象是極複雜的時脈及源-汲極阻抗函數。在此僅以圖 3-41 表示此效應對於轉換曲線之影響。

比較器偏移電壓

若是取樣電路所取樣的電壓非常小，而使運算放大器無法在前置放大器狀態中將此訊號拉開放大時，比較器偏移電壓之影響就變得十分重要。如圖 3-42 所示，將前級運算後之殘餘值 v_{in} 從類比數位轉換器輸入級推導至運算放大器輸入端。可得 $v_{in,oa}$ 如下：

$$v_{in,oa} = v_{in} \frac{2C}{2C + C_p} \quad (3-68)$$

運算放大器之差動輸出電流為輸入電壓 $v_{in,oa}$ 乘上運算放大器輸入對轉導 $g_{m,i}$ 。此差動電流會於負載電容 C_{load} 中累積，其中 C_{load} 為比較器之輸入電容加上運算放大器之輸出寄生電容所組成。當輸入比較器之電壓大於比較器之偏移電壓時，可得：

$$|v_{in,oa}| \cdot g_{m,i} \cdot \delta t_{pre-amp} \geq C_{load} V_{comp,os} \quad (3-69)$$

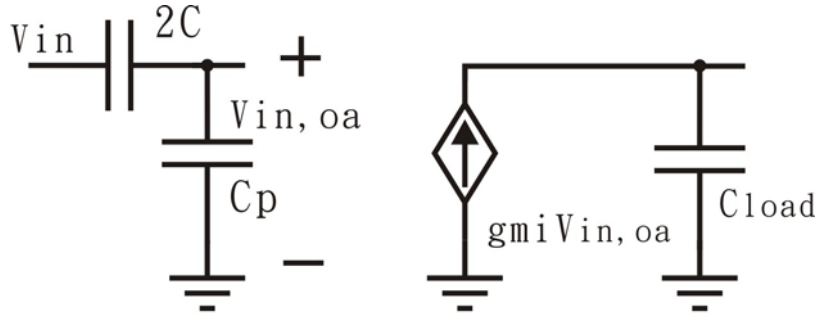


圖 3-42 類比數位轉換器之運算放大器於前置放大器狀態等效電路圖

其中 $\delta t_{pre-amp}$ 為累積電流之時間， $UGBW$ 為運算放大器之單增益頻寬，將式 (3-68) 代入式 (3-69) 中可得：

$$\begin{aligned}
 |v_{in}| &\geq v_{comp,os} \left(\frac{2C + C_p}{2C} \right) \left(\frac{C_{load}}{g_{m,i}} \right) \left(\frac{1}{\delta t_{pre-amp}} \right) \\
 &\geq v_{comp,os} \left(\frac{2C + C_p}{2C} \right) (UGBW \cdot \delta t_{pre-amp})^{-1}
 \end{aligned} \tag{3-70}$$

其對於轉換剩餘值 $v_{residue}$ 之影響與運算放大器之輸入偏移電壓相當一致，其曲線亦如圖 3-39 所示，並不會對 $v_{residue}$ 之斜率有所影響，但會產生一偏移。

任意雜訊

圖 3-43 所示為本遞迴式類比數位轉換器之等效雜訊分析圖。

圖 3-43 (a) 為類比數位轉換器之取樣狀態，此時類比數位轉換器之運作方式與相關性雙取樣電路相同，因此其雜訊分析之結果也相同，此時的總方均根雜訊為運算放大器熱雜訊與切換開關雜訊之和。故遞迴式類比數位轉換器在第一次取樣相關性雙取樣電路之輸出訊號時的總等效輸入熱雜訊可表示為：

$$v_{n,rms,sample}^2 = \frac{1}{4} S_0 \frac{g_{m2}}{C_{out} + 2C + C_p} \left(\frac{2C}{2C + C_p} \right)^2 + 2 \cdot \frac{kT}{C_{out} \parallel (2C + C_p)} \left(\frac{C_{out}}{2C + C_p + C_{out}} \right)^2 \left(\frac{2C + C_p}{2C} \right)^2 \tag{3-71}$$

式 (3-71) 可見 3.4.3 節中式 (3-47) 運算放大器之等效輸入總雜訊，與式 (3-51) 切換開關之等效輸入總雜訊，將兩式合併即可得出。

圖 3-43 (b) 為第二級電路取樣狀態之雜訊分析等效圖，此時為類比數位轉換器之第三操作相位。第二級所取樣到之雜訊源主要有三個：第一級運算放大器之熱雜訊、第二級運算放大器之熱雜訊，以及取樣開關開啟時之切換開關雜訊。由圖 3-43

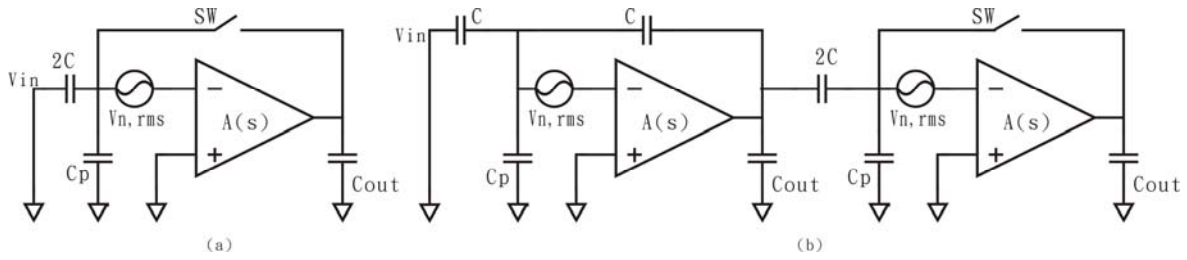


圖 3-43 遞迴式類比數位轉換器雜訊分析等效圖(a)取樣狀態(b)第二級取樣狀態

(b)可看出，此時第一級運算放大器處於電壓取樣-電壓迴授之迴授組態，而經由取樣電容 $2C$ 所取樣到之第一級運算放大器的熱雜訊可表示為：

$$\begin{aligned}
 v_{n,1}^2 &= (S_0 \cdot UGBW(Hz) \cdot \frac{\pi}{2}) \left(\frac{2C + C_p}{C} \right)^2 \\
 &= \left(\frac{1}{4} S_0 \cdot \frac{g_m}{C_{out} + 2C + C} \parallel (C + C_p) \frac{C}{2C + C_p} \right) \left(\frac{2C + C_p}{C} \right)^2 \\
 &= \frac{1}{4} S_0 \cdot \frac{g_m}{C_{out} + 2C + C} \parallel (C + C_p) \frac{2C + C_p}{C} \quad (3-72)
 \end{aligned}$$

由於此時第二級運算放大器於輸入端維持虛短路，見遞迴式類比數位轉換器運作狀態簡化圖 3-36(c)，因此可將所有雜訊視為通過取樣電容。同時，因為第一級運算放大器為負迴授狀態，在低頻時，我們可假設第一級運算放大器之輸出為虛接地。由第二級運算放大器熱雜訊所產生之取樣雜訊可表示為：

$$\begin{aligned}
 v_{n,2,lowf}^2 &= (S_0 \cdot UGBW(Hz) \cdot \frac{\pi}{2}) \left(\frac{2C + C_p}{2C} \right)^2 \\
 &= \frac{1}{4} S_0 \frac{g_{m2}}{C_{out} + 2C + C_p} \left(\frac{2C + C_p}{2C} \right)^2 \quad (3-73)
 \end{aligned}$$

然而隨著頻率的增加，第一級運算放大器之增益會隨之下降，但第二級的增益仍然很高，這是因為第一級與第二級運算放大器分別處在不同的閉迴路增益狀態下。當第一級運算放大器增益降到 0 時，此時第一級之有效輸出阻抗剛好為輸出電容，其高頻之雜訊可表示為：

$$v_{n,2,highf}^2 = \frac{1}{4} S_0 \frac{g_{m2}}{C_{out} + C_p + 2C \parallel (C_{out} + C \parallel (C + C_p))} \left(\frac{C_{out} + C \parallel (C + C_p)}{2C + C_{out} + C \parallel (C + C_p)} + \frac{C_p}{2C} \right)^2 \quad (3-74)$$

估計實際雜訊應介於低頻 $v_{n,2,lowf}^2$ 和高頻 $v_{n,2,highf}^2$ 之間。

切換開關會產生 $\frac{kT}{C_{net}}$ 雜訊，將位於切換開關左右兩邊之電容結合為：

$$C_{net} = C_{out} \parallel (C_p + 2C \parallel (C_{out} + C \parallel (C + C_p))) \quad (3-75)$$

藉由假設第一級運算放大器並不會在開關開啟時有所反應，我們可以計算跨越取樣電容所顯現之開關雜訊分量，這是考慮到開關及運算放大器相關速度之合理假設。如 3.4.3 節所述，低頻時，由於開關雜訊之頻寬遠大於運算放大器之頻寬，我們可忽略運算放大器增益對於切換開關之影響。

總開關雜訊電壓可表示為：

$$v_{n,sw}^2 = \frac{2kT}{C_{net}} \left(\frac{C_{out}}{C_{out} + (C_p + 2C \parallel (C_{out} + C \parallel (C + C_p)))} \right)^2 \left(\frac{C_{out} + C \parallel (C + C_p)}{2C + C_{out} + C \parallel (C + C_p)} + \frac{C_p}{2C} \right)^2 \quad (3-76)$$

同理，分別將第一級、第二級運算放大器之熱雜訊，以及取樣開關開啟時之切換開關雜訊相加，即可得類比數位轉換器之總方均根雜訊電壓為：

$$v_{n,rms,res} = \sqrt{v_{n,1}^2 + v_{n,2}^2 + v_{n,sw}^2} \quad (3-77)$$

由於遞迴式類比數位轉換器將一直以餘值循環進行次一位元的轉換，因此任意雜訊將會隨之不斷循環取樣至下一級，將此餘值循環雜訊等效為輸入雜訊時可得：

$$v_{n,rms}^2 = v_{n,rms,sample}^2 + v_{n,rms,res}^2 \left(\left(\frac{1}{2}\right)^2 + \left(\frac{1}{4}\right)^2 + \left(\frac{1}{8}\right)^2 \dots \right) \quad (3-78)$$

其中 $v_{n,rms,sample}^2$ 為取樣前級相關性雙取樣電路之輸出值等效輸入熱雜訊，由式(3-71)求得， $v_{n,rms,res}^2$ 則為類比數位轉換器之總方均根雜訊電壓，由式(3-77)求得。

3.5.4 遞迴式類比數位轉換器之模擬結果

運算放大器模擬結果

圖 3-44、3-45 分別此類比數位轉換器之運算放大器波德圖與上升/下降迴轉率圖。本顆類比數位轉換器之取樣頻率為 83.33 kHz，而切換開關保持時間(duration)約為 450 ns，取 1/4 的時間迴轉，3/4 的時間作為穩定時間，得迴轉時間 $450 \times 1/4$ 約為 110ns。

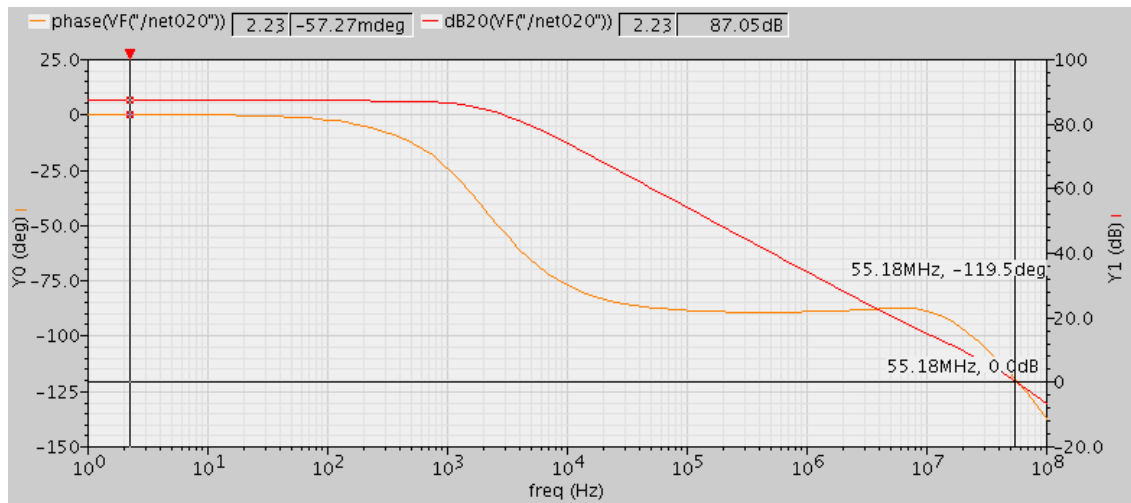


圖 3-44 類比數位轉換器之運算放大器波德圖

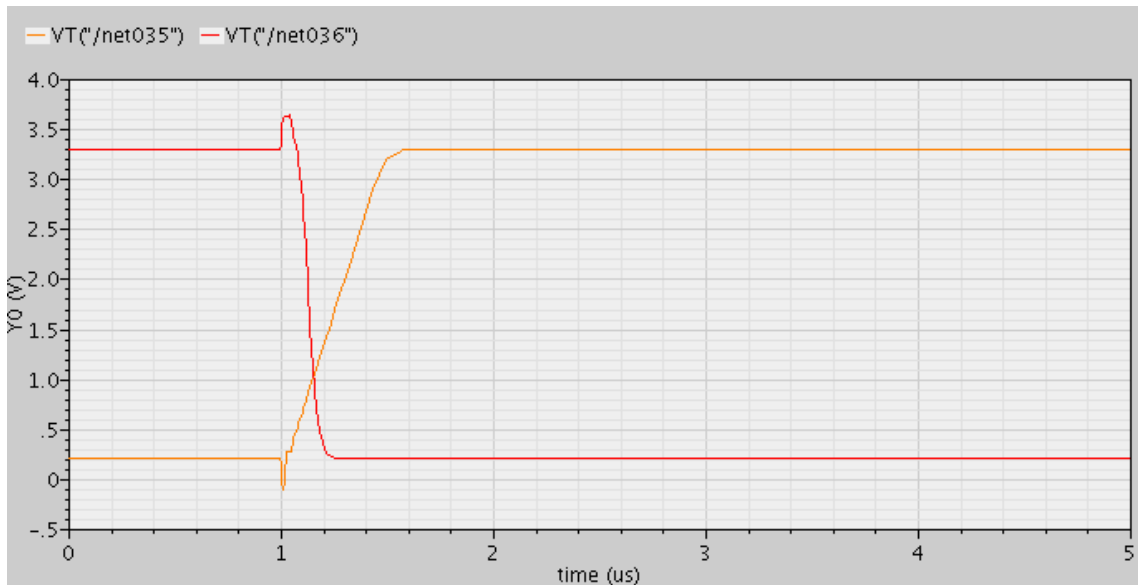


圖 3-45 運算放大器上升及下降迴轉率

表 3-4 運算放大器規格

差動輸出直流增益值	87.05 dB
單位增益頻寬	55.18 MHz
相位間隙(Phase Margin)	60.5°
迴轉率(Slew Rate)	(上升) 6.77 V/us (下降) 34.97 V/us
負載電容	500 fF
取樣電容	320 fF

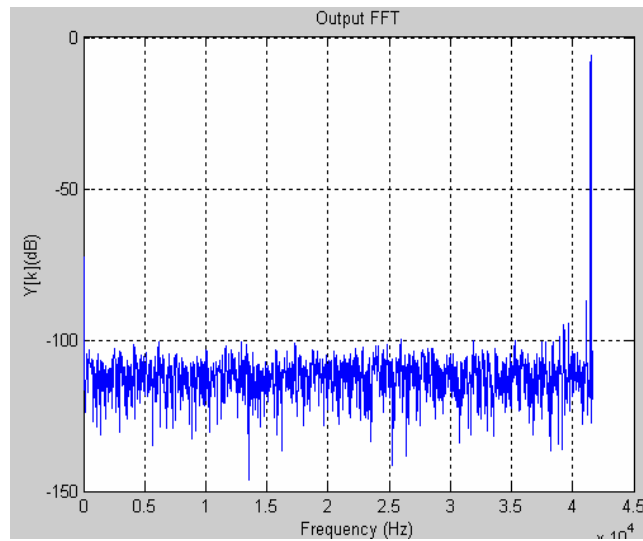


圖 3-46 Model TT_3V 85°C 之 FFT 圖形

由表 3-4 中可視本遞迴式類比數位轉換器之運算放大器規格，皆符合所需之要求。

遞迴式類比數位轉換器之模擬結果

類比數位轉換器之主要測試為快速富利葉轉換(FFT)分析。本類比數位轉換器之取樣頻率 f_s 為 83.33 kHz，取樣點 N 為 4096，M 則是最接近 $4096/2=2048$ 但不超過 2048 之質數。代入式(3-79)，可得測試之 Nyquist rate 輸入頻率 f_{in} 為 41.483kHz。

$$\frac{f_{in}}{f_s} = \frac{M}{N} \quad (3-79)$$

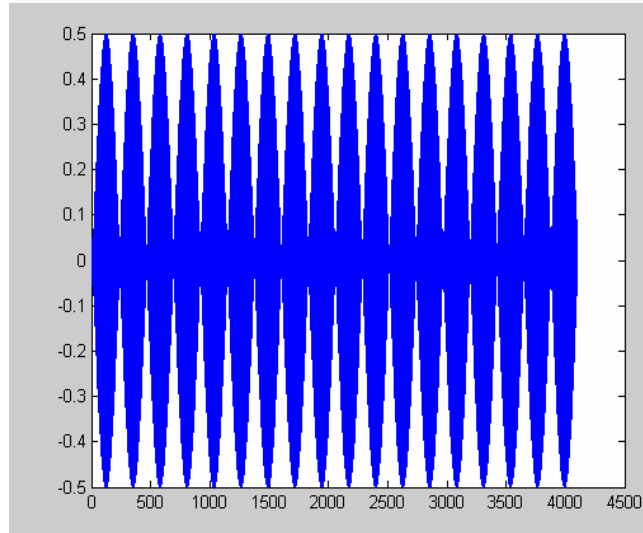


圖 3-47 還原波形圖



圖 3-48 遞迴式類比數位轉換器佈局圖

圖 3-46 為 FFT 分析之圖形。圖 3-47 則為利用理想數位類比轉換器數學模型，將輸出位元還原成輸入波之圖形。將輸出位元經由 matlab 計算之後，可算出有效位元(ENOB) 為 11.2501 bit。

本顆數位類比轉換器在未經由校正處理下，模擬結果便可得到接近 12 bit 之有效位元，此解析度對彩色處理器而言已十分足夠，目前一般之影像數位類比轉換器僅需 8 bit 之解析度。

3.5.5 遞迴式類比數位轉換器之佈局圖

如 3.4.6 節所述，本晶片所使用之像素尺寸為 $8\mu\text{m} \times 8\mu\text{m}$ ，相關性雙取樣電路於佈局上高度為 $8\mu\text{m}$ ，由於每個遞迴式類比數位轉換器皆對應到兩個相關性雙取樣電路，因此高度為 $16\mu\text{m}$ 。然而由於遞迴式類比數位轉換器操作時間較相關性雙取樣電路快速，且為了提高精確度，所使用之取樣電容為相關性雙取樣電路之 2 倍，因此電路仍形成狹長之長方形，為了使減少雜訊之影響，所有電路部分皆包一層 Guard Ring。佈局圖如圖 3-48 所示，電容部分使用 Metal_5 及 Metal_6 作為 MIM 電容。

3.6 時脈產生器 (Clock Generator)

本晶片由於控制時脈眾多，故不採取由外界輸入控制訊號，而是直接在晶片中設計時脈產生器電路。主要分為除頻電路 (Frequency Divider)、非重疊時脈產生電路 (Nonoverlapping Clock Generator) 以及邏輯運算電路，架構如圖 3-49 所示。由晶片外部輸入一基頻，另外再輸入一觸發訊號 (Trigger) 作為晶片的觸發及重置訊號，輸入的基頻經由除頻電路後可得到三個控制訊號，提供切換 8 個遞迴式類比數位轉換器之 8 位元多工器所使用。其中一個輸出再送至非重疊時脈產生電路後，可得兩個非重疊時脈，再經由一些邏輯運算電路，就可得到我們所需的四個非重疊時脈 Phi_1、Phi_2、Phi_3 以及 Phi_4，這四個訊號分別用來控制遞迴式類比數位轉換器以及相關性雙取樣電路。

其餘的控制訊號則藉由以上所得的訊號再經由邏輯運算電路的相互組合而得出。

本晶片所需的控制時脈如圖 3-50 所示。如第一章所介紹，本晶片的取樣頻率為 66.67 kHz，每一個相關性雙取樣電路所分到的時間則為 15us，由圖 3-50 可以看出，每一個相關性雙取樣電路的時間會被 Phi_1~Phi_4 均分，接著再被 MUX_1~MUX_3 分為 8 等分。

$$15\mu\text{s} / (6 \times 4) = 0.625\mu\text{s} = 625\text{ns}$$

$$625\text{ns} / 4 = 156\text{ns} \rightarrow 12.8 \text{ MHz}$$

由此可得所需由外界輸入的時脈基頻為 12.8MHz。

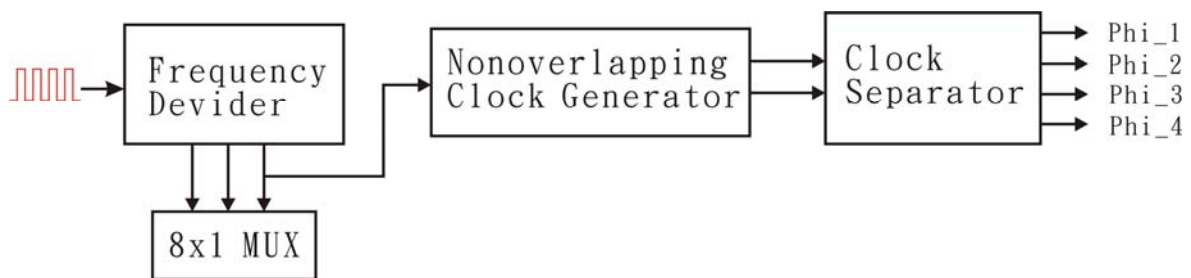
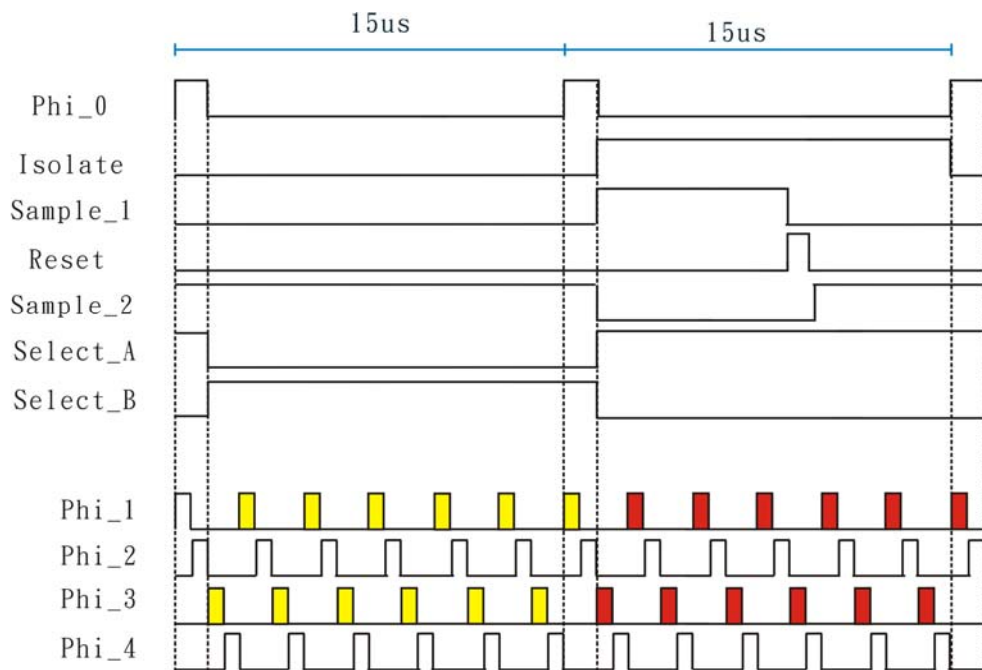
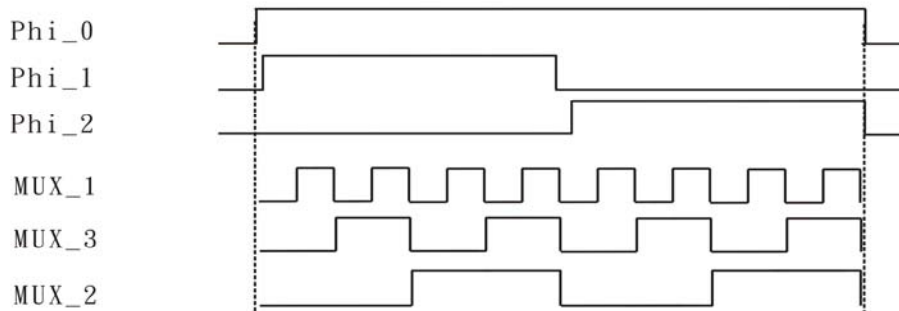


圖 3-49 時脈產生器主要架構圖



(a)



(b)

圖 3-50 (a) (b) 總時脈圖

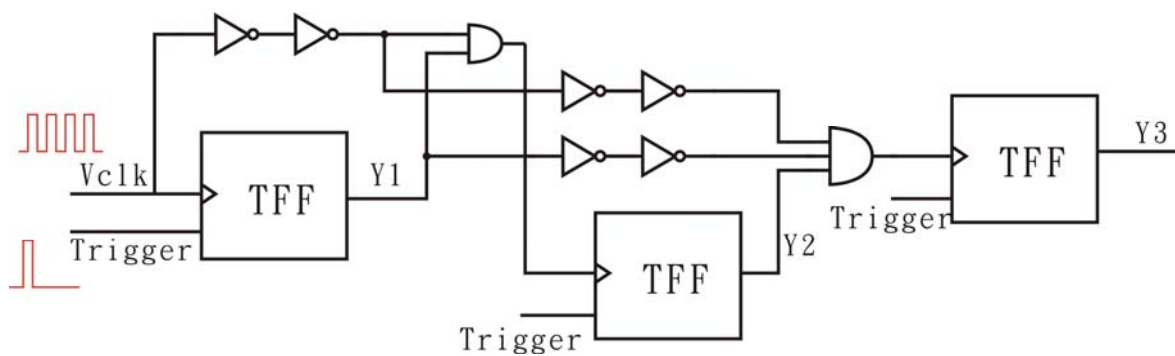


圖 3-51 除頻電路圖

3.6.1 邏輯電路

除頻電路 (Frequency Divider)

除頻電路如圖 3-51 所示。外部輸入的基頻 Vclk，並以外部輸入的 Trigger 作為 TFF 的重置訊號。藉由 TFF 將輸入的 Vclk 分別除頻為 Y1、Y2 以及 Y3，其中 Vclk 直接作為 MUX_1 而 Y1 以及 Y2 則作為 MUX_3 以及 MUX_2。分別提供切換 8 個遞迴式類比數位轉換器之 8 位元多工器所使用。而 Y3 則交由後續的數位電路繼續得出所需的控制訊號。經由此電路所得之訊號如圖 3-52 所示

非重疊時脈產生電路 (Nonoverlapping Clock Generator)

非重疊時脈產生電路如圖 3-53 所示，由 NOR 閘以及反向器所組成。依據所需要的延遲時間來選擇所需的反相器數目以及大小。由於本晶片運作速度較低，為了達到非重疊時脈需要較大的延遲時間，故在延遲部分，串連了 8 個反相器，並將反相器的尺寸加大，是以此部分的電路雖然架構簡單，但卻為本時脈產生器中所佔面積最大之區塊。

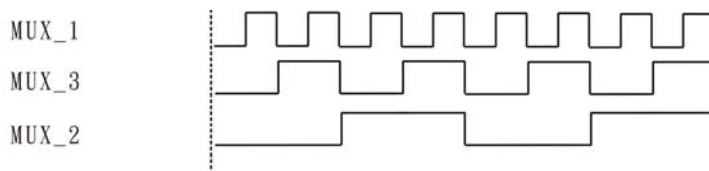


圖 3-52 MUX 訊號

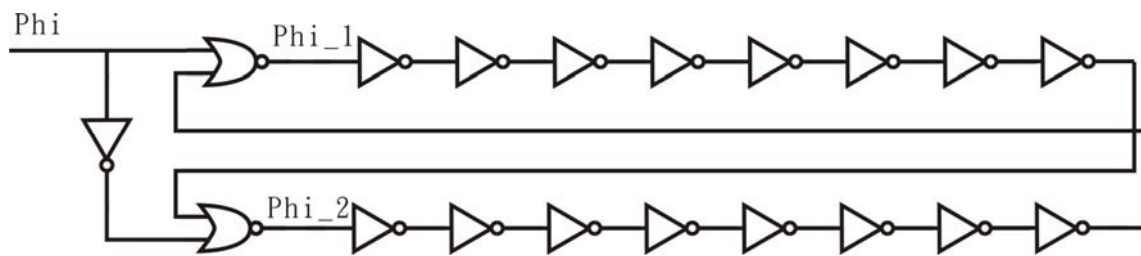


圖 3-53 MUX 訊號

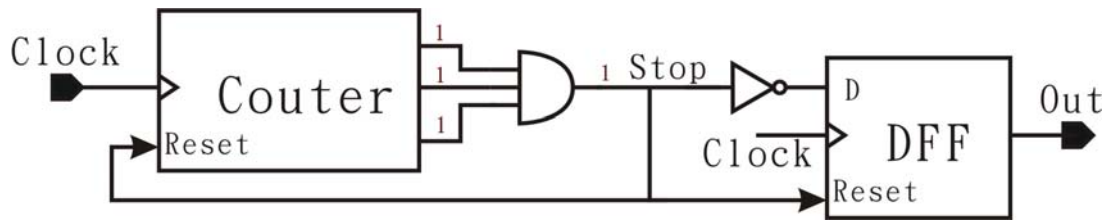


圖 3-54 數位單擊電路示意圖

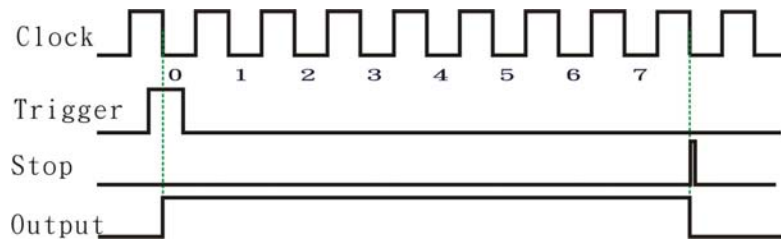


圖 3-55 數位單擊電路訊號示意圖

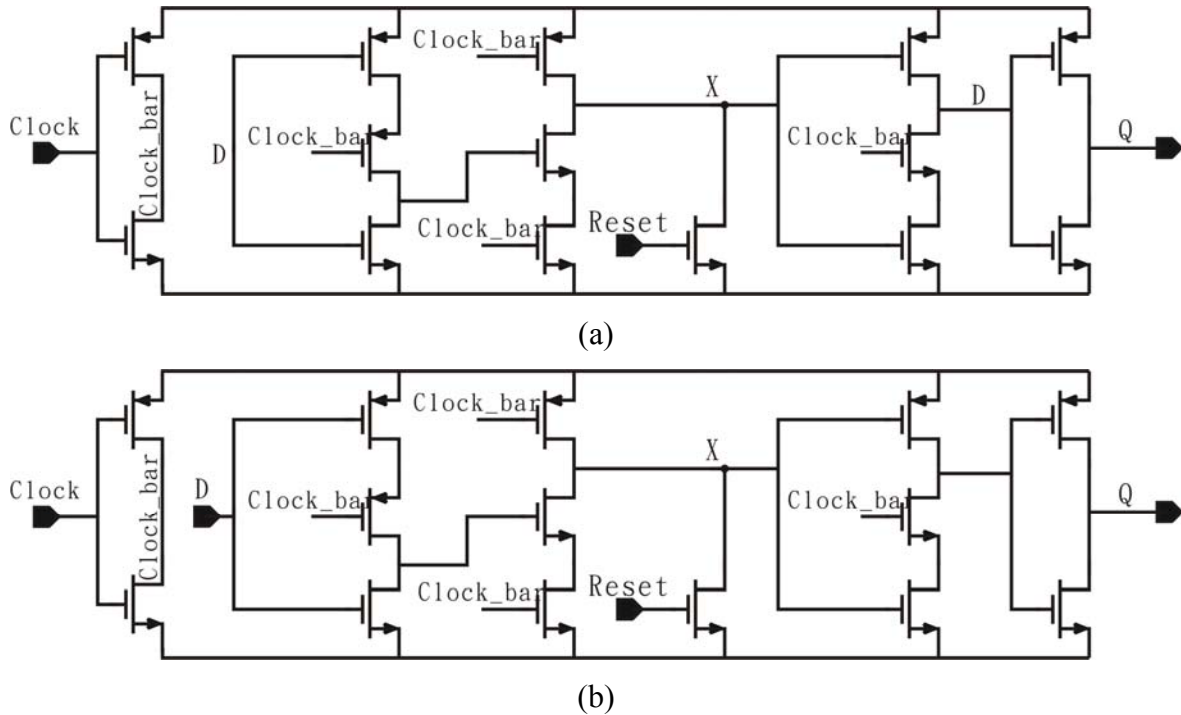


圖 3-56 (a) TFF (b) DFF

數位單擊電路

圖 3-54 為一數位單擊電路示意圖，可藉由此電路產生所需要的時序訊號，即每當啟動訊號致能之後，便可產生所需周期的脈波輸出。如圖 3-54 所示，以所需為一 8 單位時脈週期寬度的脈波輸出為例，將輸入脈波送入一模 8 二進制計數器，當啟動

訊號致能之後，模8二進制計數器便會開始計數，在本例中當模8二進制計數器數至8時，將可使 stop 訊號提升至高電位，並同時重置 DFF(D-type Flip-Flop)以及模8二進制計數器，所得之訊號如圖 3-55 所示，如此循環直至下一個致能訊號強迫其重置為止。

True Signal Phase Clocked Register(TSPCR)

TFF 以及 DFF 是本時脈控制電路中使用頻率最高的數位電路。由於所需要的時脈輸出皆為數個單位時脈的週期，即經過一定的週期之後，正反器 (Flip-Flop) 便需要歸零以便重新計數。故本晶片所使用的為可重置式負緣觸發之 TSPC TFF 以及 DFF，如此亦可避免晶片中電路的起始狀態影響結果。如圖 3-56 (a) (b)所示，此重置式負緣觸發 TSPC 主要是加入一顆重置電晶體，在重置訊號為高電位時，強制重置 X 點之電位，使 Q 之輸出為 0。

輸出緩衝驅動電路

為增輸出加訊號之驅動能力，使用輸出驅動電路提供足夠之電流以驅動輸出電容負載，使輸出訊號之上昇、下降時間得以符合需求。如圖 3-57 所示，以四個反相器串連而成，為使驅動能力逐步增加，此四級反相器之尺寸由輸入至輸出分別為 1、2、4、8。若有需要更大的驅動能力，仍可繼續串接，或是增大其尺寸。

測試考量

基於測試考量，Phi_0~Phi_4 等五個控制訊號同時亦接到晶片之輸出接腳，一方面是為了在量測時可經由此輸出驗證時脈產生器是否運作正常，另一方面則可以此輸出作為測試版上同步訊號之依據。

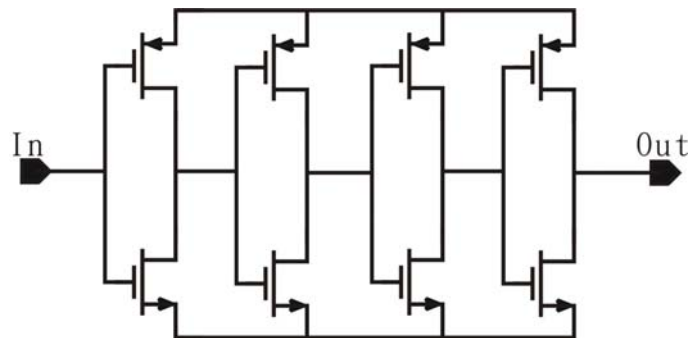


圖 3-57 輸出緩衝器

由前述文章可知，Phi_1~Phi_4 分別作為相關性雙取樣電路以及遞迴式類比數位轉換器之主要控制訊號，因此其正確與否，對此晶片十分重要。而 Phi_0 則作為每個相關性雙取樣電路切換之區隔，因此可以作為測試版上提供 FPGA (Field-programmable gate array) 之同步訊號依據。

3.7 晶片佈局與訊號接腳

本晶片所使用之 pin 腳具有 ESD (Electrostatics Discharge)防護功能，可防止因靜電之高電壓所產生的瞬間大電流損壞電路。加入 pin 腳之後的總面積為 $1.1993 \times 1.328 = 2.647 \text{ mm}^2$ 。其訊號接腳如圖 3-58, 3-59 及表 3-5 所示。

在對抗雜訊 (noise) 方面，由於電流源的偏壓點的穩定對整體電路的表現有很大的影響，所以在晶片上的剩餘空間以 PMOS 電容來做 decoupling：偏壓電路的偏壓節點都掛上了約 27~55 個的 PMOS 電容。

本晶片使用之封裝為 LCC68，共有 68 個接腳以供使用。而由於本晶片僅有 44 個接腳，其中一個接腳不需外接，因此會有部分接腳沒有被使用到，在表 3-5 中，僅列出所使用之接腳，並敘述其功用。

其中 Vcm、Vref_p、Vref_n、Vos 皆為外界所灌入之參考電壓，分別為 1V、0.79V、1.28V 以及 1.5V。

RS<0>、Phi_0~Phi4 為時脈產生器之輸出，可藉由觀察這些時脈以判定時脈產生器是否正常運作。其中 RS<0>和 Phi_0 亦可提供給 FPGA，Phi_0 作為像素輸出之起始訊號，RS<0>則作為輸出之起始訊號。Trigger 為時脈產生器之觸發訊號，同時也作為晶片之重置訊號。Vclk 則為時脈產生器之基頻，在 3.6 節中已細述其功用。

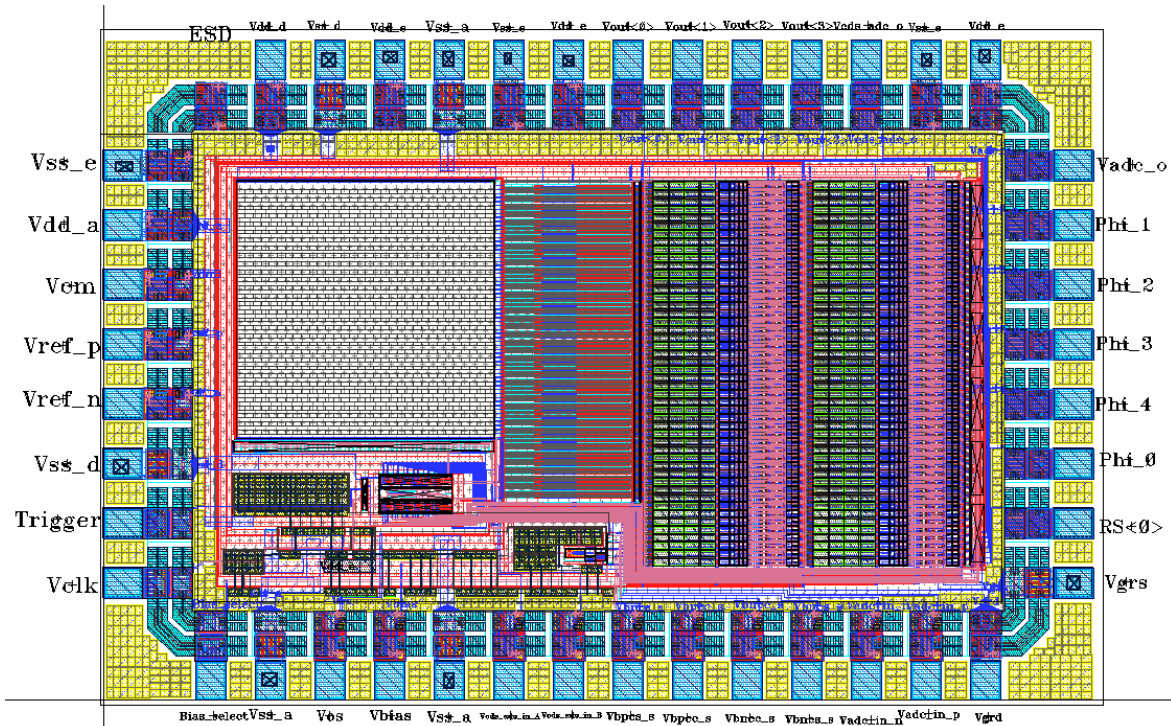


圖 3-58 晶片佈局與訊號接腳

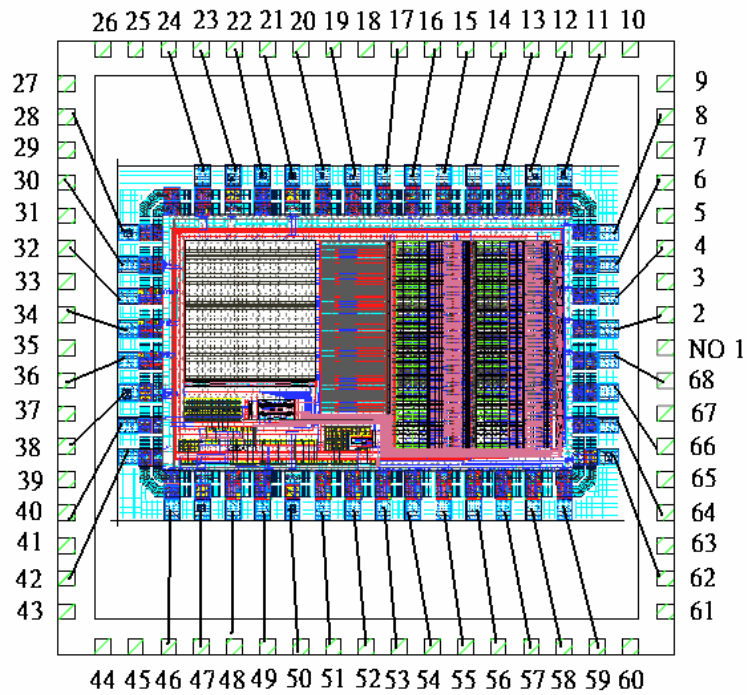


圖 3-59 晶片腳位編號

在 3.1 節中提及，本晶片為測試考量，另加入一組八個的相關性雙取樣電路_遞迴式類比數位轉換器測試組，以及一組八個的遞迴式類比數位轉換器測試組。Vcds_adc_in_A 和 Vcds_adc_in_B 即為相關性雙取樣電路_遞迴式類比數位轉換器

表 3-5 腳位名稱與用途

Pin 腳編 號	接腳名稱	註釋	Pin 腳編 號	接腳名稱	註釋
2	Phi_3	Clock output	38	Vss_d	Digital ground
4	Phi_2		40	Trigger	System reset
6	Phi_1		42	Vclk	Input clock
8	Vadc_o	ADC output	46	Bias_select	Select the bias voltage from off-chip or bias circuit
11	Vdd_e	ESD power	47	Vss_a	Analog ground
12	Vss_e	ESD ground	48	Vos	Reference voltage for CDS
13	Vcds_adc_o	CDS_ADC output	49	Vbias	Reference voltage for bias circuit
14	Vout<3>	System digital bits output	50	Vss_a	Analog ground
15	Vout<2>		51	Vcds_adc_in_A	CDS_ADC input voltage
16	Vout<1>		52	Vcds_adc_in_B	
17	Vout<0>		53	Vbpc_s	off-chip bias voltage
19	Vdd_e	ESD power	54	Vbpcc_s	
20	Vss_e	ESD ground	55	Vbncc_s	
21	Vss_a	Analog ground	56	Vbncc_s	
22	Vdd_e	ESD power	57	Vadc_in_n	ADC input voltage
23	Vss_d	Digital ground	58	Vadc_in_p	
24	Vdd_d	Digital power	59	Vgrd	Guard ring power
28	Vss_e	ESD ground	62	Vgrs	Guard ring ground
30	Vdd_a	Analog power	64	RS<0>	Frame start
32	Vcm	Reference voltage for CDS	66	Phi_0	Clock output
34	Vref_p	Reference voltage for ADC	68	Phi_4	
36	Vref_n				

測試組之輸入訊號。Vadc_in_n 和 Vadc_in_p 則為遞迴式類比數位轉換器測試組之輸入訊號。

為防止因偏壓電路失效而導致晶片無法運作，可使用 Bias_select 選擇偏壓電壓要由偏壓電路提供或是由晶片外提供，若是由晶片外提供，則是分別由 Vbpcc_s、Vbncc_s 以及 Vbnccs_s 腳位輸入。

Vbias 將於晶片外接一可調電阻 $40k\Omega$ ，提供一穩定電流予偏壓電路使用。

第四章 晶片量測

4.1 測試架構

本晶片之測試架構圖如圖 4-1 所示。本要測試部分可分為四個：時脈產生器功能測試、相關性雙取樣電路_類比數位轉換器測試、類比數位轉換器測試以及單晶片攝相系統功能測試。

由圖 4-1 中可視，積分球投射一均勻光線至本晶片，經由像素、相關性雙取樣電路繼而類比數位轉換器處理之後，將輸出值傳送至 FPGA 重新排序。重新排序之後的輸出值便經由影像擷取卡送至電腦顯示圖形，或是藉由 matlab 程式作進一步的處理，計算晶片之運作效能。FPGA 同時亦提供時脈產生器所需之 Trigger 以及 Vclk 訊號。

一般類比數位轉換器之輸出方式有平行輸出(parallel)及串列輸出(series)，本晶片由於輸出腳位數不足之考量，選用串列輸出，並將八個遞迴式類比數位轉換器之輸出接至一個 8 位元多工器再輸出至接腳，亦即一個接腳必須處理 8 個遞迴式類比數位轉換器之輸出，等同於 16 個相關性雙取樣電路之輸出，可見圖 3-1 所示。

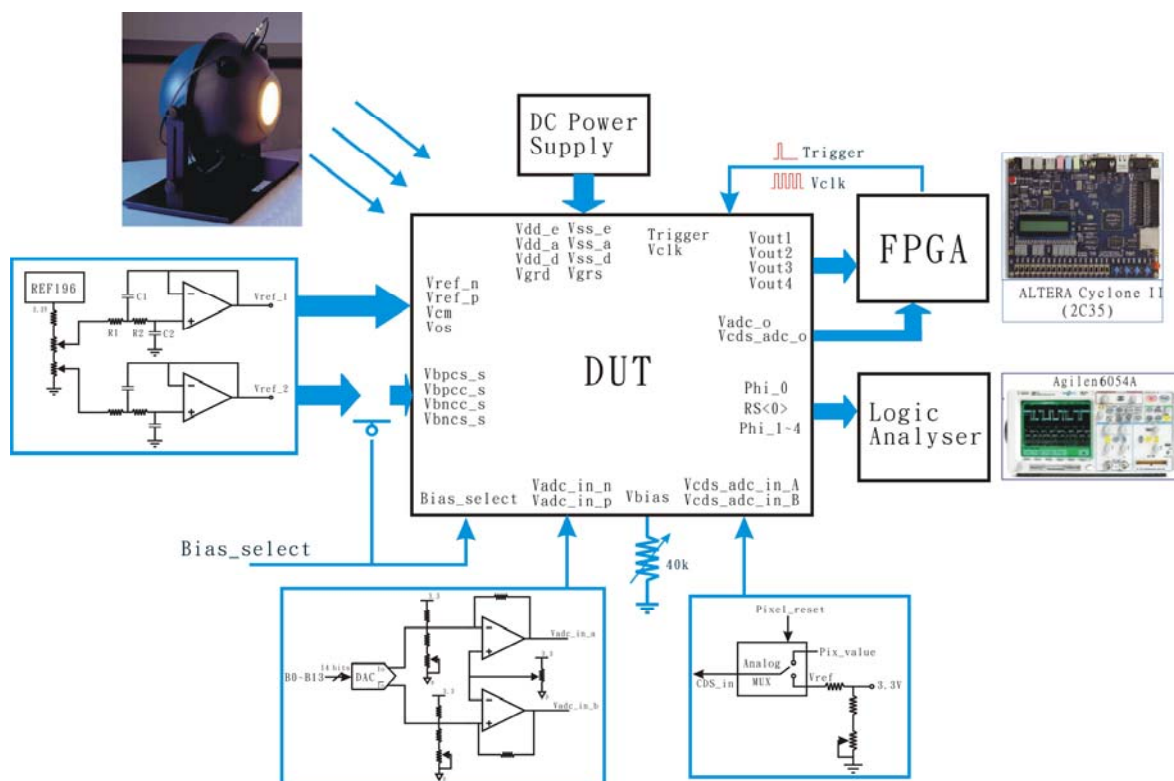


圖 4-1 測試平台方塊架構圖

在時脈設計上，見圖 3-34 及 3.6 節所述， $a_0\sim a_{11}$ 為奇數之相關性雙取樣電路輸出， $b_1\sim b_{11}$ 則為偶數之相關性雙取樣電路輸出，然而為了可在此區間輸出八組位元數，故將每個輸出的時脈皆均分為八等分，亦即將每個 a_i 及 b_i 皆利用 MUX_1~MUX_3 切為八分，分別提供作為 8 個遞迴式類比數位轉換器之輸出時間。

4.2 測試驗證平台

本晶片由於架構龐大，周邊電路如偏壓電路和時脈產生器之失效將導致整個晶片無法運作，故在測試之始，必須先確認周邊電路是否運作正常。若是一開始測試即進行主要元件之測試，若結果有誤，將難以偵錯。故先由周邊電路起始，若周邊電路運作正常，則可逐步排除可能之錯誤所在。

以下分述所需量測之部分。

電源供應

如圖 4-2 所示，在電源供應部分使用 LM317 為主要穩壓 IC 的穩壓電路。LM317 可在 out 端及 adj 端提供一穩定壓差，因此我們可藉由固定此兩端間之電阻以得一穩定電流，再經由可變電阻調整出所需之電壓 3.3V。

在晶片的數位(V_{dd} , V_{ss})以及類比(V_{dda} , V_{ssa})電源輸入處部分，分別加上三顆濾波電容，利用電容在高頻時阻抗小之特性，提供高頻之數位雜訊一接地路徑，避免其對類比部分產生影響。另外可利用電感在高頻時有大阻抗之特性，在數位及類比濾波槽之間加上 Bead inductor，藉以隔絕數位及類比電源高頻雜訊間的相互干擾。

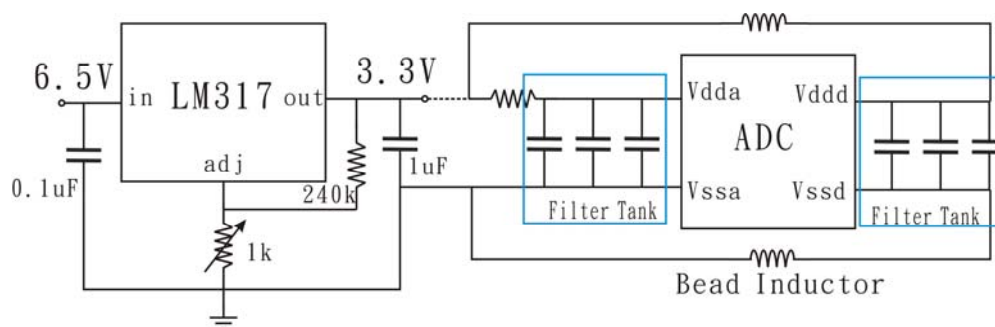


圖 4-2 電源穩壓電路

時脈產生器

本晶片所需之控制電路有像素陣列的讀取、重置動作，相關性雙取樣電路的取樣與維持動作，以及類比數位轉換運算等複雜時脈。這些時脈之產生已於3.6節中詳述。由於時脈控制了全晶片之運作，因此確定時脈控制之正確度十分重要，本晶片設計有 RS<0>、Phi_0~Phi4 共六個時脈之輸出，可藉由觀察這些時脈以判定時脈產生器是否正常運作。

如3.7節所提及，RS<0>和Phi_0亦可提供給FPGA作為同步訊號，Phi_0作為像素輸出之起始訊號，RS<0>則作為畫面輸出之起始訊號。藉由這些訊號，將可計算出FPGA所需之取樣點時間準位。

偏壓電路

本晶片設計在偏壓電路失效時，可由外界直接輸入所需之偏壓電壓。如圖4-3所示，偏壓電路之輸出接至類比2x1多工器，藉由外部輸入之Bias_select訊號決定使用偏壓電路之輸出或是使用外界輸入之電壓。如此可避免因偏壓電路失效而導致全晶片無法運作。若選擇由晶片外提供，則是由圖4-4之參考電壓產生電路產生所需之電壓，再分別由Vbpcs_s、Vbpcc_s、Vbncc_s以及Vbncs_s腳位輸入。

偏壓電路之輸入端外接一可變電阻40kΩ，可提供一穩定電流進入偏壓電路，再藉著電流鏡之映射得所需之偏壓電壓及電流。

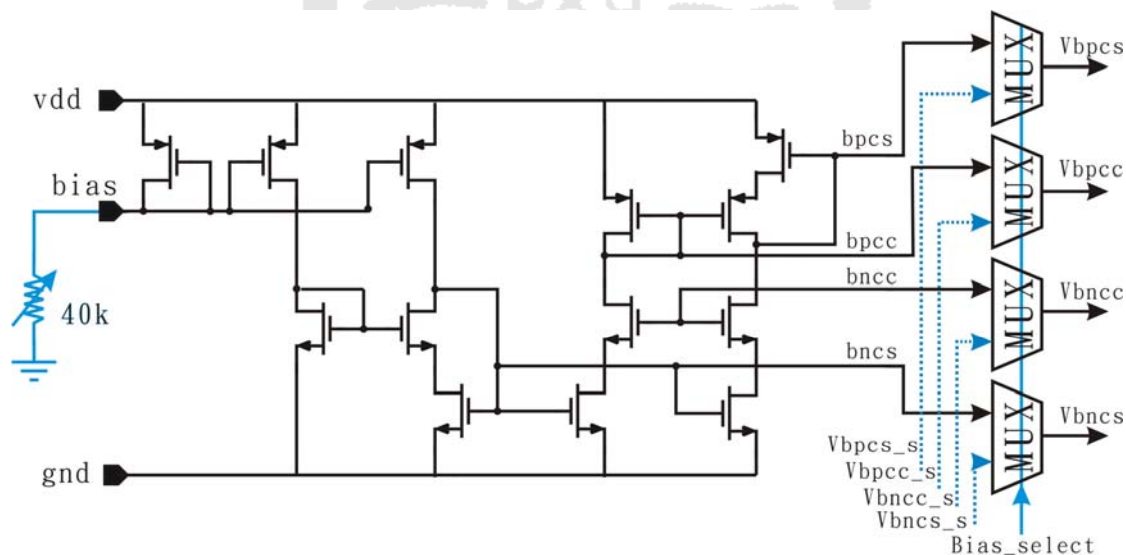


圖 4-3 偏壓電路與輸出備用電路

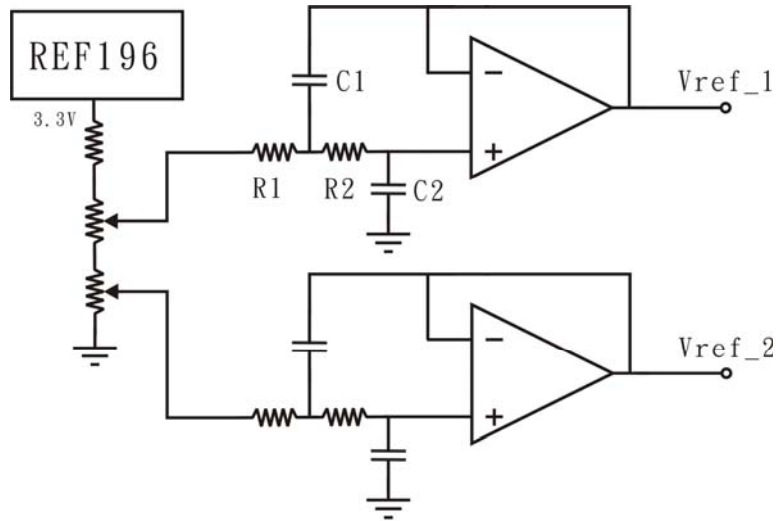


圖 4-4 測試板參考電壓產生電路

晶片外部提供參考電壓之電路如圖 4-4 所示。其中 REF196 為一帶差參考 IC，可提供穩定不受溫度變化的電壓，藉由調整所連接之可變電阻，可得所需之參考電壓輸出。我們可設計 $R1=R2=R$ 、 $C1=C2=C$ ，如此可得電路之穩定時間為 RC 時間常數。圖 4-4 中將運算放大器接成單增益負迴授狀態，可使運算放大器之輸出能追隨輸入電壓。

本晶片所需之參考電壓皆可使用此電路產生，例如 V_{cm} 、 V_{ref_p} 、 V_{ref_n} 以及 V_{os} ，其值分別為 1V、0.79V、1.28V 以及 1.5V。

4.3 遞迴式類比數位轉換器測試

本晶片基於量測考量，設計一獨立 8 個頻道之類比數位轉換器。由於此 8 個頻道共用一組外部輸入訊號 $V_{adc_in_n}$ 和 $V_{adc_in_p}$ ，因此理論上此 8 個頻道所輸出之數位碼均需相同。若有所不同則可討論是否因製程上的飄移或不匹配而造成的結果。

類比數位轉換器的測試主要分靜態測試及動態測試。靜態測試分為積分非線性 (Integral Nonlinearity, INL)、微分非線性 (Differential Nonlinearity, DNL)、偏移誤差 (Offset Error) 以及增益誤差 (Gain Error)。動態測試則分為總諧波失真 (Total Harmonic Distortion)，訊/噪比 (Signal-to-Noise Ratio, SNR) 以及有效位元數 (Effective Numbers of Bit, ENOB)。

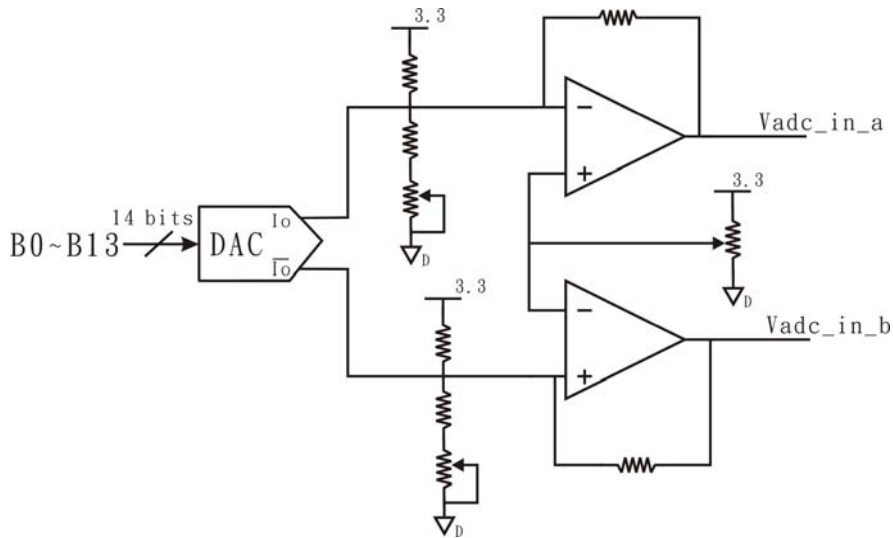


圖 4-5 類比數位轉換器動態測試板輸入電路

靜態測試是藉由輸入一緩升或緩降的斜波，來測得各項數據。可使用訊號產生器(function generator)產生一個十分緩慢之上升斜波，再將此斜波輸入類比數位轉換器，計算所得之數據分佈，即可得出積分非線性與微分非線性。

動態測試之輸入電路如圖 4-5 所示。需要使用一精確度達 14 bit 之數位類比轉換器 (Digital-to-Analog Converter)，此數位類比轉換器之輸出為差動電流，經由圖 4-5 中之電阻可轉換為所需之電壓，藉由可變電阻調整所需之直流準位及振幅，再輸入至類比數位轉換器測試。

如 4.1 節所提及，將類比數位轉換器之輸出經由 FPGA 重新排序後，便可送至電腦中作進一步的處理，可藉由 Matlab 所撰寫之程式，計算出訊/噪比以及有效位元數。

4.4 相關性雙取樣電路_遞迴式類比數位轉換器測試

相關性雙取樣電路之測試需輸入一步階電壓，可見 3.4.5 節所述。由於一個遞迴式類比數位轉換器需處理兩個相關性雙取樣電路之輸出，因此在相關性雙取樣電路_遞迴式類比數位轉換器測試組中，可分為兩組輸入 $V_{cds_adc_in_A}$ 和 $V_{cds_adc_in_B}$ 。圖 4-6 中，Pixel_reset 為像素重置時脈，CDS_in 為測試相關性雙取樣電路之輸入電壓，Pix_value 為欲測的像素輸出值。

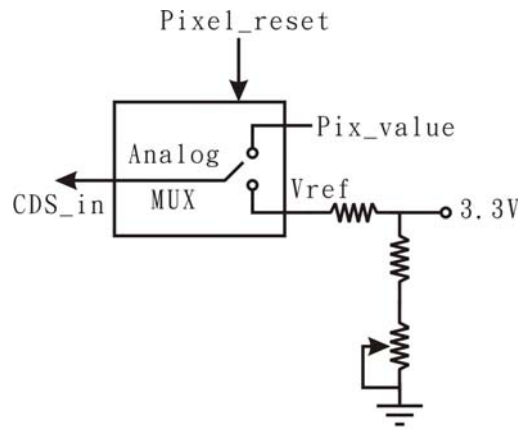


圖 4-6 產生 CDS 輸入電壓之測試板電路

3.2 節及 3.4 節中已詳述像素及相關性雙取樣電路之運作狀態。可知在像素重置時脈之前需輸入欲測之像素值，重置之後則需輸入像素重置值。使用一固定之參考電壓提供像素重置後之輸出值 V_{ref} ， Pix_value 端則以一數位類比轉換器提供連續上升之步階電壓。再將結果輸入 FPGA 重新排序後，便可送至電腦中作進一步的處理。

4.5 單晶片攝相系統測試

由於本晶片並非採用標準 CMOS 影像感測器製程，故像素之性能並不在測試考量之中。

單晶片攝相系統之測試部分可分為：全黑模式測試、遞增光源模式測試以及集中單點光源測試。全黑模式測試為觀察像素陣列在不照光時所產生之暗電流所形成的固定圖像雜訊(Fixed Pattern Noise)。遞增光源模式測試為觀察本晶片是否可在所設計之 HDTV 規格速度下正確運作，產生漸增之數位輸出值。集中單點光源測試是使用一小面積之光源對像素進行強烈曝光，再觀察輸出之影像圖形是否有溢出(blooming)現象。

測試儀器

將所需之測試儀器列表如表 4-1。表中所列出之儀器皆為本實驗室已擁有之設備。其中 FPGA 為 ALTERA Cyclone II (2C35)，共有 76 個訊號接腳，記憶體部分有 8-MB SDRAM、512KB SRAM 以及 4MB Flash，另外還有 27-MHz 和 50-MHz 之震盪產生器(oscillators)。

表 4-1 儀器列表

Digital frame grabber	Matrox Genesis
FPGA	ALTERA Cyclone II (2C35)
Uniform source system	labsphere USS-600V
Power supply	Agilent E3620A E3610A
Digital light meter	TES-1339

4.6 測試板

圖 4-7 為本晶片所使用之測試板，一共有 4 層板層，依使用上可分為頂層訊號層 (Top)、電源層 (M1)、接地層 (M2) 以及底層訊號層 (Bottom)。所使用之電源分別有類比 +3.3V、類比 +9V、類比 -9V、類比 +5V 以及兩組數位 +5V。相同地，為避免數位高頻訊號對類比訊號產生影響，在佈局時將數位訊號集中於右上角，類比訊號則集中於左下角。另外，為避免輸出訊號之推動力不足而造成訊號毀損，故在連結至影像擷取卡之前加入緩衝器 (buffer) 以增加訊號推動力。

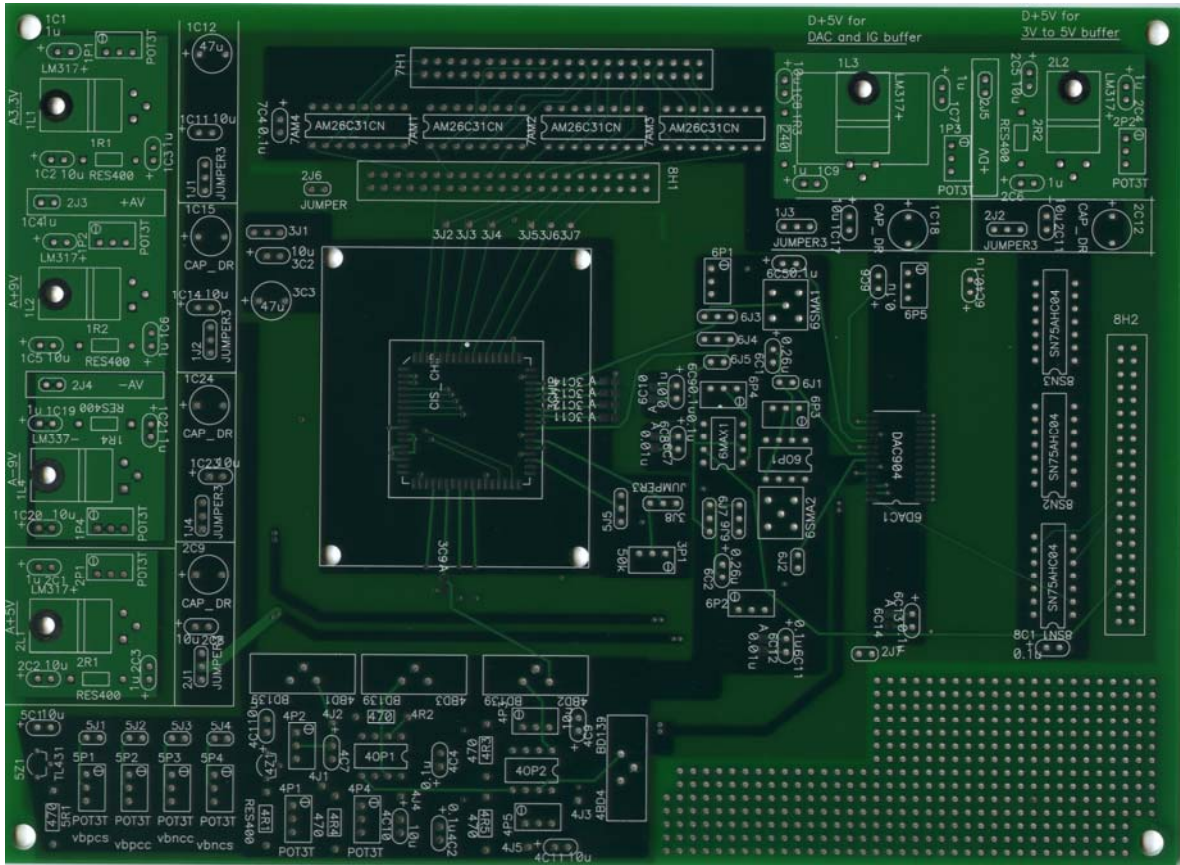


圖 4-7 測試板電路

第五章 結論

5.1 論文貢獻

本論文成功實作出一單晶片攝相系統，實現一從像素端、相關性雙取樣電路、12位元平行處理遞迴式類比數位轉換器而輸出之路徑。晶片中亦包含偏壓電路以及時脈產生電路，因此無須再由晶片外部輸入額外之電壓及控制訊號。相當於對 CMOS 影像感測器高集成電路之特性進行驗證。

採用多頻道平行處理類比數位轉換器之優點為：(1)平行輸出提供較高的畫面傳輸率，(2)影像感測器直接輸出數位資料，方便與數位訊號處理器作整合，無須擔心相鄰頻道間的交互干擾，(3)將轉換器整合在晶片中可有效降低系統的尺寸、功率及價格。

同時，本架構亦保留了日後可供發展之空間。在不改變原本運算放大器之頻寬規格下，可藉由串接多級運算電路以得到更高之位元輸出速度，亦可藉由增減平行處理類比數位轉換器之行數以搭配不同大小之像素陣列。無論是對於速度或是空間上之調整，皆無須對原本之規格及設計進行更動。

本晶片所使用之像素面積為 $8.05 \text{ um} \times 8.05 \text{ um}$ ，總面積為 $1.1993 \times 1.328 = 2.647 \text{ mm}^2$ ，在符合面積及速度要求下，模擬之有效位元數可達 11 bit 以上。

5.2 未來改進

由於本晶片架構龐大，然而外接 pin 腳數目有限，故只得選取較為重要之電路進行測試，而無法將所有電路之輸出值皆外接量測，如此不免有所遺漏。

列出可改進之處如下：

(1) 設計獨立之相關性雙取樣電路以利量測。

本晶片之設計僅有一組相關性雙取樣電路_遞迴式類比數位轉換器測試組，以及一組遞迴式類比數位轉換器測試組。如此之設計可確定各部分之電路是否可順利運作，然而若是相關性雙取樣電路輸出訊號有誤，則無法仔細分析其成因。

(2) 設計獨立之像素類比輸出。

可量測像素之輸出值，再與經由相關性雙取樣電路及遞迴式類比數位轉換器之輸出進行比較分析。若是得以使用標準 CMOS 影像感測器製程，亦可藉此量測像素在不同情況下之輸出值變化。

(3) 採用標準 CMOS 影像感測器製程。

由於國家晶片中心並未提供標準 CMOS 影像感測器製程，本晶片採用 TSMC 0.18um CMOS RF-Mix signal 3.3V 1p6m 一層多晶矽六層金屬製程。

參考文獻

- [1] S. Decker, R. D. McGrath, K. Brehmer, and C. G. Sodini, “A 256 x 256 CMOS Imaging Array with Wide Dynamic Range Pixels and Column-Parallel Digital Output,” *IEEE Journal of Solid-State Circuits*, Vol. 33, NO. 12, December, 1998.
- [2] M. Mase, S. Kawahito, M. Sasaki, and Y. Wakamori, “A 19.5b Dynamic Range CMOS Image Sensor with 12b Column-Parallel Cyclic A/C Converters,” *IEEE International Solid-State Circuits Conference*, 2005
- [3] A. I. Krymski, N. E. Bock, N. Tu, D. V. Blerkom, and E. R. Fossum, “A High-Speed, 240-Frames/s, 4.1-Mpixel CMOS Sensor,” *IEEE Transactions on Electron Devices*, Vol. 50, NO. 1, January, 2003.
- [4] K. Findlater, R. Henderson, D. Baxter, J.E.D. Hurwitz, L. Grant, Y. Cazaux, F. Roy, D. Herault, and Y. Marcellier “SXGA Pinned Photodiode CMOS Image Sensor in 0.35 μ m Technology,” *2003 IEEE conference*, 2003.
- [5] S. Tanner, A. Heubi, M. Ansorge, and F. Pellandini “An 8-bit Low-Power ADC Array for CMOS Image Sensors” 1998 IEEE Conference on Electronics, Circuits and Systems, Vol. 1, pp. 147-150, September, 1998.
- [6] D. A. Johns and K. Martin, “Analog Integrated Circuit Design,” John Wiley & Sons Inc., ISBN 0471144487, 1997.
- [7] B. Razavi, “Design of Analog CMOS Integrated Circuits,” ISBN 0071188398, 2002.
- [8] L. Luh, J. Choma, Jr., and J. Draper “A Continuous-Time Common-Mode Feedback Circuit (CMFB) for High-Impedance Current Mode Application” *IEEE Transactions on Circuits And Systems—II: Analog And Digital Signal Processing*, Vol. 47, NO. 4, APRIL 2000.
- [9] K. Han, K. Lee, “Thermal Noise Modeling for Short-Channel MOSFET’s” *Simulation of Semiconductor Processes and Devices, 2003. SISPAD 2003. International Conference*, pp.79-82, September, 2003.
- [10] A. Younis and M. Hassoun “A High Speed Fully Differential CMOS Opamp,” *Proc.*

43rd *IEEE Midwest Symp.on Circuits and Systems, Lansing MI, August 8-11, 2000.*

- [11] P.W. Li, M. J. Chin, P. R. Gray, and R. Castello,
“A ratio-independent algorithmic analog-to-digital conversion technique,”
IEEE Journal of Solid-State Circuits, Vol., sc-19, NO.
6, pp. 828-836, December, 1984.
- [12] C. C. Shih and P. R. Gray, “Reference refreshing cyclic analog-to-digital and digital-to-analog converters,” *IEEE Journal of Solid-State Circuits*, Vol., sc-21, NO. 4, pp. 544-554, August, 1986.
- [13] B. Ginetti, P. G. A. Jespers, “A
CMOS 13-b Cyclic RSD A/D Converter,” *IEEE Journal of Solid-State Circuits*,
Vol. 27, No. 7, July, 1992.
- [14] R. J. Baker, H. W. Li, and D. E. Boyce, “CMOS Circuit Design, Layout, And
Simulation,” ISBN 0780334167, 1997.
- [15] Y. Huang, P. Ferguson, and G. C. Temes, “Reduced Nonlinear Distortion in Circuits
with Correlated Double Sampling,” *Transactions on Circuits And
Systems—II: Analog And Digital Signal Processing*, Vol. 44, NO. 7, July, 1997.
- [16] H. M. Wey and W. Guggenbuhl, “An Improved Correlated Double Sampling Circuit
for Low Noise Charge-Coupled Devices,” *Transactions on Circuits And Systems*,
Vol. 37, NO. 12, December, 1990.

自述

姓名： 鄭如恬

學經歷： 2006 年 成功大學電機所 碩士畢業

2004 年 成功大學電機系 學士畢業

電子信箱： ruthtt_c@yahoo.com.tw

