

國立成功大學
電機工程學系
碩士論文

1.8 伏特十位元每秒 135 百萬次取樣速率

二階式類比數位轉換器

A 1.8V 10b 135MSPS Two-Step ADC in 0.18 μ m CMOS

研究生：嚴祥銘 Student :Shing-Ming Yen

指導教授：王俊智 Advisor :Ching-Chun Wang

Department of Electrical Engineering

National Cheng Kung University

Tainan, Taiwan, R.O.C

Thesis for Master of Science

July 2005

國立成功大學電機工程學系

碩士論文

1.8 伏特十位元每秒 135 百萬次取樣速率二階式類
比數位轉換器

研究生：嚴祥銘

本論文業經審查及口試合格特此證明

論文考試委員：

王 俊 智

嚴 祥 銘

林 夏 泉

黃 政 祺

張 順 志

指導教授：王 俊 智

謝 錫 諱

系主任：

中華民國九十四年七月二十二日

**A 1.8V 10b 135MSPS Two-Step ADC in
0.18 μ m CMOS**

by

Shing-Ming Yen

A Thesis Submitted to the Graduate Division in Partial

Fulfillment of the Requirement for the Degree of

MASTER OF SCIENCE



Department of Electrical Engineering


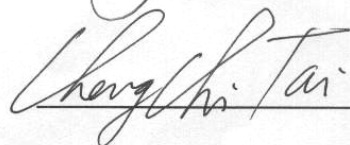
National Cheng-Kung University

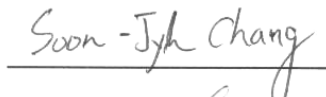
Tainan, Taiwan, R.O.C.

July 22nd, 2005


Approved by :



Advisor : 

Chairman : 

1.8 伏特十位元每秒 135 百萬次取樣速率

二階式類比數位轉換器

嚴祥銘*

王俊智**

國立成功大學電機工程學系

摘要

在諸如高解析度電視、數位相機、通訊與醫療影像系統等數位影像技術的應用方面，常需要不同的系統架構與電路來進行訊號的處理。而在這些系統與電路裡，取樣頻率達 100Mhz~200Mhz，解析度要求 8 位元~12 位元的類比數位轉換器在類比訊號處理中，會是關鍵的元件。本論文所敘述的是用於視訊應用的 1.8 伏特十位元每秒 135 百萬次取樣速率類比數位轉換器。此類比數位轉換器採取二階式的架構，其電路主要被分成兩個部份：六位元的粗調類比數位轉換器與五位元的類比數位轉換器。此二階式類比數位轉換器在微調類比數位轉換器的運作上採取時間分離式的方式，而在 135Mhz 的取樣頻率，25.18066406Mhz 的輸入弦波訊號情況下，可達到 9.217 位元的解析度。本類比數位轉換器是採用 TSMC 1P6M 0.18 μ m 的 CMOS 製程，而整體晶片在 1.8V 電源供應下的功率消耗為 108mW，而包括 pad 在內的面積需求為 $1.8 \times 2.3\text{mm}^2$ 。

* 作者

** 指導教授

A 1.8V 10b 135MSPS Two-Step ADC in 0.18 μ m CMOS

Shing-Ming Yen* Ching-Chun Wang**

Department of Electrical Engineering

National Cheng Kung University Tainan, Taiwan, R.O.C

ABSTRACT

Digital video applications, such as HDTV, digital camera, communication, and medical imaging system require various system architectures and circuits for signal processing. Among these, A/D converters are key components in analog signal processing, and require conversion speed 100MS/s ~ 200MS/s, resolution 8~12 bit. This thesis describes a 1.8V, 10-bit, 135MS/s A/D converter suitable for video applications. The proposed A/D converter is designed with a two-step architecture and is divided into two primary components, a 6-bit coarse converter and a 5-bit fine converter. The two-step ADC with interleaved fine conversions achieves 9.217bits with a sampling frequency of 135Mhz and a sinusoidal input signal of 25.18066406MHz frequency simulation. The A/D converter is implemented with TSMC 1P6M 0.18 μ m mixed-signal process. The chip power consumption is 108mW at 1.8V power supply and area including pads is $1.8 \times 2.3\text{mm}^2$.

* Author

** Advisor

誌謝

隨著碩士論文的完成，六年來在成大點點滴滴的學習生涯即將劃下終點。在面對下一段的人生歷程的現在，我回顧這兩年來的研究所生活，雖然一路走來有許多的曲折，但現在想起來，每一段的顛簸都讓我成長茁壯了許多。在此我要感謝每一個人，謝謝你們給我機會磨練與成長。首先我要特別先感謝指導我的王俊智老師與林克晃老師，謝謝王老師您的耐心指導與包容，能與老師您討論研究問題並從中學習，是一件非常愉快的事情，希望往後還能夠有機會跟您請教。也感謝林老師將我從懵懂中帶進類比電路設計的領域，如果我今天能說在類比電路有些許的領悟，都需要感謝林老師為我打下的基礎。

其次我要感謝陳建銘學長、吳健福學長、徐偉宏學長、李浩賢學長，謝謝他們不論在生活上或是學術上對我的幫忙，還有我要感謝彥迪、聖嘉、瑛佑、文廷、英儒、承燁這些朋友的幫忙，如果沒有你們，我想我會需要更多的努力去解決更多的問題。

最後我要感謝我的女朋友與家人，如果沒有你們給我心靈上的支持，也許我在面對困難時會有許許多多的惶恐，謝謝你們當我心靈的港灣，讓我能堅定的走過每一個人生的幽谷，不到最後不輕言放棄。

祝福我所遇到的每一個人，更感謝所有關心我、愛護我、與幫助過我的人，謝謝你們陪伴我，希望每一個人都能有美好的未來。

Outline

Chapter 1: 簡介

1.1 動機.....	1.
1.2 規格.....	7.
1.3 各章節概述.....	10.

Chapter 2:類比數位轉換器的基礎介紹

2.1 第二章簡介.....	11.
2.2 類比數位轉換器重要參數介紹.....	12.
2.2.1 解析度.....	12.
2.2.2 訊雜比.....	13.
2.2.3 訊號與雜訊失真比.....	15.
2.2.4 動態範圍.....	15.
2.2.5 非線性度.....	16.
2.3 Nyquist Rate 類比數位轉換器架構回顧.....	18.
2.3.1 快閃式類比數位轉換器.....	19.
2.3.2 雙區間式類比數位轉換器.....	21.
2.3.3 導管式類比數位轉換器.....	25.
2.3.4 時間分離式類比數位轉換器.....	27.
2.4 第二章總結.....	29.

Chapter 3:二階式類比數位轉換器的電路設計與實現

3.1 第三章簡介.....	31.
3.2 架構介紹.....	33.
3.2.1 本論文二階式類比數位轉換器與傳統架構比較之優點.....	33.
3.2.2 本論文二階式類比數位轉換器的運作.....	34.
➤ 3.2.2.1 粗調類比數位轉換器.....	35.
➤ 3.2.2.2 參考電壓產生器.....	37.
➤ 3.2.2.3 微調類比數位轉換器.....	40.
➤ 3.2.2.4 數位謬誤校正電路.....	43.
➤ 3.2.2.5 控制訊號整理表.....	45.
3.3 本論文二階式類比數位轉換器的電路設計與實現.....	47.
3.3.1 偏壓電路.....	47.
➤ 3.3.1.1 帶差參考電路設計.....	47.
➤ 3.3.1.2 校準疊接電流源.....	50.
➤ 3.3.1.3 與傳統偏壓電路的比較結果.....	53.
3.3.2 前置放大器.....	54.
➤ 3.3.2.1 基礎差動對的線性度.....	55.
➤ 3.3.2.2 前置放大器的組態.....	59.
3.3.3 時脈緩衝器與時脈產生器.....	68.
3.3.4 電容內插電路.....	75.
➤ 3.3.4.1 靴帶式開關.....	78.
3.3.5 比較器.....	88.
3.3.6 數位電路.....	93.
➤ 3.3.6.1 轉態點偵測器.....	93.

➤ 3.3.6.2 編碼器設計.....	95.
➤ 3.3.6.3 數位謬誤校正電路.....	97.
3.4 布局考量.....	98.
3.5 本論文二階式類比數位轉換的 FFT 模擬結果.....	104.
3.6 第三章總結.....	107.

Chapter 4: 測試設定

4.1 第四章簡介.....	108.
4.2 測試設定.....	108.
4.2.1 輸入訊號來源與終端電路.....	109.
4.2.2 電源提供電路.....	112.
4.2.3 參考電壓產生器.....	113.

Chapter 5: 總結與改進

5.1 總結.....	114.
5.2 未來改進的建議方向.....	115.
5.2.1 偏壓電路的改善.....	115.
5.2.2 參考電壓緩衝器的電路設計.....	116.
5.2.3 驅動器的電路設計.....	117.
參考文獻.....	123.

List of Tables

表 1.1 SDTV 與 HDTV 比較表.....	2.
表 1.2 525/60 與 625/50 視訊系統規格表.....	9.
表 1.3 本論文二階式類比數位轉換器規格表.....	10.
表 2.1 類比數位轉換器架構分類表.....	11.
表 2.2 Nyquist Rate 類比數位轉換器架構比較表.....	30.
表 3.1 本論文二階式類比數位轉換器與傳統二階式類比數位轉換器比較表.....	31.
表 3.2 本論文二階式類比數位轉換器 Pre-Simulation 模擬結果整理表.....	105.
表 3.3 本論文二階式類比數位轉換器 Post-Simulation 模擬結果整理表.....	107.
表 4.1 Agilent 8644B 效能參數.....	109.
表 4.2 HP 16517A 效能參數.....	110.
表 5.1 二階式運算放大器效能整理表.....	119.

List of Figures

圖 1.1 數位高解析度電視視訊處理核心的系統架構圖.....	2.
圖 1.2 4:4:2 格式時 YCbCr 取樣點位置.....	6.
圖 2.1 (a)理想類比數位轉換器輸入/輸出特性曲線 (b) 量化誤差示意圖.....	13.
圖 2.2 量化誤差機率密度函式圖.....	13.
圖 2.3 動態範圍與訊號與雜訊失真比值關係圖.....	16.
圖 2.4 類比數位轉換器實際轉換曲線中四種錯誤示意圖 (a)偏移誤差(Offset Error) (b)增益誤差 Gain Error) (c)轉態點誤差(Threshold Error) (d)缺碼(Missing Code).....	17.
圖 2.5 類比數位轉換器轉換曲線 INL 與 DNL 示意圖.....	18.
圖 2.6 快閃式類比數位轉換器示意圖.....	20.
圖 2.7 8 位元雙區間式類比數位轉換器示意圖.....	23.
圖 2.8 一般實現 8 位元雙區間式類比數位轉換器.....	24.
圖 2.9 10 位元導管式類比數位轉換器.....	26.
圖 2.10 時間分離式類比數位轉換器.....	28.
圖 3.1 傳統二階式類比數位轉換器示意圖.....	33.
圖 3.2 本論文二階式類比數位轉換器系統圖.....	34.
圖 3.3 本論文二階式類比數位轉換器操作時脈示意圖.....	35.
圖 3.4 粗調類比數位轉換器.....	36.
圖 3.5 粗調類比數位轉換器電容內插電路示意圖.....	37.
圖 3.6 四位元數位謬誤校正操作原理.....	38.
圖 3.7 參考電壓產生器.....	39.
圖 3.8 微調類比數位轉換器.....	40.

圖 3.9 微調類比數位轉換器電容內插電路示意圖.....	42.
圖 3.10 數位謬誤校正電路輸入輸出訊號示意圖.....	43.
圖 3.11 重要控制訊號整理表.....	45.
圖 3.12 電流相加型帶差參考電路.....	48.
圖 3.13 帶差電路電流模擬結果.....	49.
圖 3.14 帶差電路電壓輸出模擬結果.....	50.
圖 3.15 MOSFET 特性圖.....	51.
圖 3.16 校準疊接電流源.....	52.
圖 3.17 Constant-gm 自我偏壓(Self-biasing)電路的電路圖與特性曲線.....	53.
圖 3.18 差動對.....	55.
圖 3.19 差動對對汲極電流與轉導變化關係圖.....	57.
圖 3.20 差動對輸出-輸入特性與元件寬度與 I_{SS} 變化關係圖.....	59.
圖 3.21 理想前置放大器輸出輸入曲線圖.....	60.
圖 3.22 前置放大器組態圖.....	61.
圖 3.23 二極體式負載前置放大器輸出輸入曲線模擬結果.....	62.
圖 3.24 負阻抗電路圖.....	62.
圖 3.25 負阻抗負載前置放大器與等效電路.....	63.
圖 3.26 負阻抗式負載前置放大器輸出輸入曲線模擬結果.....	64.
圖 3.27 線性電阻負載前置放大器.....	65.
圖 3.28 線性電阻負載前置放大器輸出輸入曲線模擬結果.....	66.
圖 3.29 改良式線性電阻負載前置放大器.....	67.
圖 3.30 改良式線性電阻負載前置放大器輸出輸入曲線模擬結果.....	67.
圖 3.31 轉態點分析圖.....	69.
圖 3.32 三級時脈緩衝器電路與增益頻寬關係圖.....	70.

圖 3.33 符合時脈緩衝器需求之模擬結果.....	71.
圖 3.34 非重疊時脈訊號產生器.....	72.
圖 3.35 非重疊時脈訊號產生器模擬結果.....	72.
圖 3.36 控制訊號時脈產生器.....	73.
圖 3.37 控制訊號時脈產生器模擬結果.....	74.
圖 3.38 時脈產生電路.....	75.
圖 3.39 電容內插電路單元電路.....	76.
圖 3.40 NMOS 開關電路與等效電阻變化圖.....	79.
圖 3.41 取樣電路開關電荷注入示意圖.....	79.
圖 3.42 電荷注入時取樣電路輸入/輸出特性圖.....	80.
圖 3.43 取樣電路開關時脈饋入示意圖.....	81.
圖 3.44 軌帶式開關電路示意與波形圖.....	82.
圖 3.45 軌帶式開關電路圖.....	83.
圖 3.46 電晶體電容-電壓特性圖.....	84.
圖 3.47 前置放大器增益過高與頻寬不足時的電容內插結果.....	85.
圖 3.48 改良後粗調類比數位轉換器的電容內插結果.....	86.
圖 3.49 微調類比數位轉換器的電容內插結果.....	87.
圖 3.50 動態比較器電路圖.....	89.
圖 3.51 比較器解析度測試圖.....	91.
圖 3.52 比較器比較速度測試圖.....	91.
圖 3.53 比較器回饋雜訊測試圖.....	92.
圖 3.54 三輸入投票電路與真值表.....	94.
圖 3.55 1-to-N 碼轉換器.....	94.
圖 3.56 記憶體編碼器(ROM Encoder).....	95.

圖 3.57 四位元二進制編碼.....	96.
圖 3.58 數位謬誤校正電路示意圖.....	98.
圖 3.59 本論文二階式類比數位轉換器佈局圖.....	99.
圖 3.60 電容內插電路前置放大器佈局圖.....	100.
圖 3.61 Decoupling Capacitor 示意圖.....	101.
圖 3.62 時脈訊號繞線佈局圖.....	102.
圖 3.63 本論文二階式類比數位轉換器 Guard Ring 佈局圖.....	103
圖 3.64 FFT Pre-Simulation 模擬結果 ENOB=9.714bit (Input Signal=25.18066406MHz-1dB Full Scale. Sample Rate=135MHz) (Temp=65°C, BJT TT, Normal-Vt MOS TT, Medium-Vt MOS TT).....	104.
圖 3.65 Pre-Simulation 模擬 Matlab 重建波型.....	105.
圖 3.66 FFT Post-Simulation 模擬結果 ENOB=9.217bit (Input Signal=25.18066406MHz -1dB Full Scale. Sample Rate=135MHz) (Temp=65°C, BJT TT, Normal-Vt MOS TT, Medium-Vt MOS TT).....	106.
圖 3.67 Post-Simulation 模擬 Matlab 重建波型.....	106
圖 4.1 測試環境設定示意圖.....	108.
圖 4.2 輸入終端電路.....	111.
圖 4.3 輸出終端電路.....	111.
圖 4.4 LM1086-ADJ 穩壓器.....	112.
圖 4.5 電源供應示意圖.....	112.
圖 4.6 參考電壓產生器.....	113.
圖 5.1 本論文二階式類比數位轉換器改進示意圖.....	114.
圖 5.2 改良式偏壓電路.....	116.
圖 5.3 參考電壓緩衝器.....	117.

圖 5.4 二階式運算放大器.....	118.
圖 5.5 共模回授電路.....	118.
圖 5.6 輸入訊號緩衝器壓流回授模式.....	119.
圖 5.7 訊號緩衝器與分散式取樣電路.....	120.
圖 5.8 訊號緩衝器與分散式取樣電路模擬波型.....	121.
圖 5.9 訊號緩衝器與分散式取樣電路模擬波型 FFT 分析結果 SNR=77.7611dB， ENOB=12.6248.....	121.

1.1 動機

本論文二階式類比數位轉換器主要是應用於高解析度電視系統，然而在進入本論文的介紹前，必需先闡述為何需要高解析度電視系統取代過去類比電視系統的理由。過去類比電視訊號的傳送方式，是將類比訊號經由高頻無線電波(UHF 與 VHF)調變後經由天線發送到接收端，再由類比電視將影像與聲音轉換回來。但是利用類比訊號傳送，其抗雜訊本就不及數位訊號，致使容易在傳送過程中遭受干擾，使畫面清晰度表現均不佳，且類比訊號需佔用一定頻寬，使得在頻寬使用上與數位系統相較，其效率較低；反觀數位廣播，不但抗雜訊的能力提高，可在傳輸前進行壓縮與加密，使得不論在頻寬的使用上或安全性，均大為提升。且在接收端可針對傳輸過程中訊號衰減進行校正，使得數位廣播具有較高的視訊與音訊品質，同時增加了可使用頻道數，因此電視廣播數位化成為未來必然趨勢。

數位電視(Digital TV)和高解析度電視(HDTV, High-Definition Television)不盡相同。高解析度電視不論視訊來源是傳統類比訊號或是數位訊號，均有能力將遠端所傳送來的視訊畫面，處理轉換至高解析度(1,280 x 720 pixels)以上。所以高解析度電視可以為一般的傳統類比電視，或者是有配備數位接收器之數位電視。

而數位電視(Digital TV)是在傳送端將電視訊號轉換成為數位信號，再以數位技術處理壓縮後廣播，經電視機接收後將其轉換為一般電視訊號，顯示在電視螢光幕。數位電視能提供比傳統電視更銳利的畫質，與更好的環繞音響。但並非所有的數位電視(DTV)都是高解析度電視(HDTV)，數位電視以解析度來歸類可分為標準(SDTV)與高解析度數位電視(HDTV)，見表 1.1。

Chapter 1: 簡介

數位電視播出格式目前在美國通訊委員會通過的共有 18 種格式，而其中最常使用的 3 種為 480i，720p，1080i。其中的數字代表每一個畫面的掃描線，p 代表漸進式掃描(Progressive)，這種方式每次掃描全畫面，目前電腦顯示器即是使用這種掃描方式。而 i 代表交錯式掃描(Interlace)，即每次只掃描一個畫面的一半，與現今電視的掃描方式相同。而目前 480i 數位電視的畫面品質大約同等於現今最好的類比式電視所能顯示的品質。因此高解析度電視(HDTV)的品質應至少有 720p 的畫質。以現有的科技，最好的高解析度數位電視為 1080i 的畫質水準。

種類	標準畫質數位電視(SDTV)	高畫質數位電視(HDTV)
掃描線	畫面解析度低於 720 條掃描線	畫面解析度高於 720 條掃描線
播出格式	480i	720p 與 1080i
音質	數位音質，但不一定是杜比音效	提供杜比立體音效
畫面	畫面與傳統電視相差不大	提供 16：9 的畫面比例

表 1.1 SDTV 與 HDTV 比較表

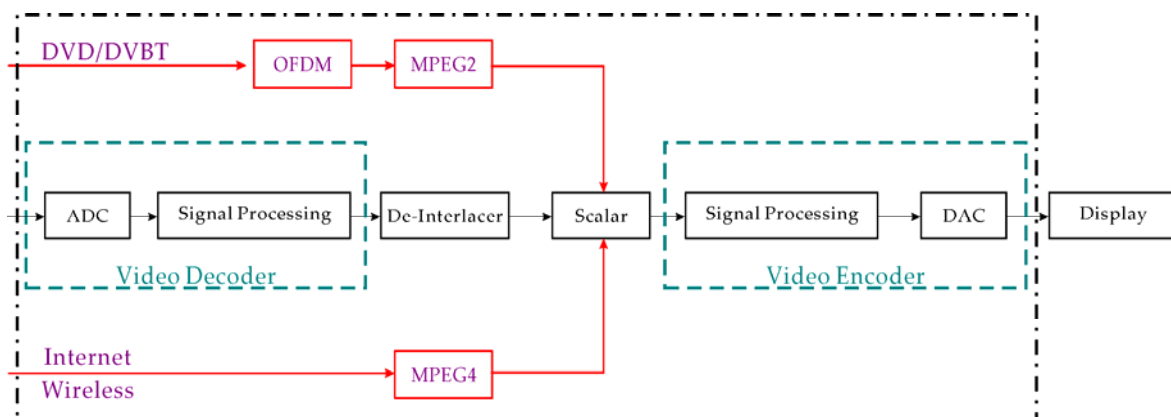


圖 1.1 數位高解析度電視視訊處理核心的系統架構圖。

圖 1.1 為數位高解析度電視視訊處理核心的系統架構圖，而本論文所要去完成

Chapter 1: 簡介

的，即是在系統架構圖中間——線框中的 Video Decoder 所需的類比／數位轉換器 (ADC)。在圖 1.1 中發現到類比訊號首先經過 Video Encoder 處理成數位訊號後，再經由 De-Interlacer 把原本為交錯 (Interlace) 式掃描的輸入訊號轉換回漸進式 (Progressive) 掃描。然後再將訊號傳送到 Scaler 去做影像的處理，處理完再將訊號傳送至 Video Encoder 處理，最後由顯示器輸出。

在本論文中，訊號處理的規格是根據 CCIR 601/656 標準中 4:2:2 數位成分影像 (Digital Component Video) 規格，而在類比訊號的輸入端需要三個供給給類比數位轉換器的頻道。一個頻道是用來轉換輸入訊號的明度 (Luminance)，而另外兩個是用來轉換色差 (Chrominance)。接下來本論文將解釋何謂 4:2:2 的數位成分影像規格，但在解釋之前，需先瞭解 RGB，YUV 以及 YCbCr 這些不同的色度定義。

➤ RGB 色度

RGB 色度被稱為所有色彩的三原色，其分別是紅色 (Red)，綠色 (Green) 以及藍色 (Blue) 的色度 (Color Space)，可以利用調整它們彼此之間的比例，而產生出任何想要的顏色。這種色度的表現法在電腦的圖像以及影像上被廣泛的使用，如在電腦裡用來標示顏色大小的 RGB 三數值，每個顏色用 8bit 來記錄，可以有 0~255，共 256 種亮度的變化，三種乘起來就有一千六百多萬種變化，這也是我們常聽到的 24 bit 全彩。而從上述也可看到要以三原色的訊號混合去產生其它的顏色時，需要以相同的頻寬來組合。但在表現現實的影像時，RGB 色度卻不是一個有效率的方法，因為 RGB 只能顯現出顏色的差別，卻無法表示其他有關於色彩的資訊，如強度與色差。

➤ YUV 色度

Chapter 1: 簡介

雖然用 RGB 來表示影像是一項常用的技術，然而人眼對於明度(Luminance)變化較敏感，對色差(Chrominance)較不敏感，且如前所說，利用 RGB 色度表示影像時，不但無法表現色差與強度，又需供給三原色相同的頻寬。而為了減少傳送影像時的色度頻寬，並降低影像品質劣化的程度，從 80 年代開始，新力公司發展新的視訊格式，將訊號資訊分成三個頻道，分別是色度、紅色色差與藍色色差，成為 YUV 色度發展的基礎。目前的 YUV 色度是作為傳統歐規電視視訊 PAL(Phase Alternation Line)、美規電視視訊 NTSC(National Television System Committee)以及法國電視視訊 SECAM(Sequential Color with Memory)這些影像標準的基本色度。其中 Y 為亮度，U 為藍色色差、V 為紅色色差。

而在 YUV 和經過 Gamma 校正後的 RGB(R' , G' , B')之間的基本轉換可由下列式子得知：

$$\begin{aligned}Y &= 0.299R' + 0.587G' + 0.114B' \\U &= -0.147R' - 0.289G' + 0.436B' = 0.492 \cdot (B' - Y) \\V &= 0.615R' - 0.515G' - 0.100B' = 0.877 \cdot (R' - Y)\end{aligned}$$

然後經由整理後可得：

$$\begin{aligned}R' &= Y + 1.140V \\G' &= Y - 0.394U - 0.581V \\B' &= Y + 2.032U\end{aligned}$$

如前所述的 RGB 範圍值從 0 ~ 255，則轉換後的 Y 值的範圍將為 0 ~ 255，而 U 值的範圍就是 0 ~ ±112，V 值的範圍就在 0 ~ ±157。其中 Y 的綠色成份提升至近 59% 乃是因應人眼對綠色光最敏感的現象，進而降低明度的失真情形。而且在 RGB 與 YUV 色度之間的轉換並不會造成失真的情形，而這些數值在調整後可以應用在 NTSC 和 PAL 數位解碼器換編碼器上。

➤ YCbCr 色度

YCbCr 色度是在發展全球數位成分影像標準期間所制定的，它被發展成 ITU-R BT.601 協定(它的前身是 CCIR 601 協定)的一部分。YCbCr 是 YUV 色度的一種經由不同縮放及抵補的版本。

雖然人眼對明度的敏感度高於對色差的敏感度，然其對明度的敏感曲線，卻非是單純的線性，而是呈現對數的分布，因此需要 Gamma 校正的動作。而經 Gamma 校正後的 RGB(R' 、 G' 、 B')與 YcbCR 之間的關係。而 YUV 和經過 Gamma 校正後的 RGB(R' 、 G' 、 B')之間的基本轉換可由下列式子得知：

$$\begin{aligned} Y &= 0.257R' + 0.504G' + 0.098B' + 16 \\ U &= -0.148R' - 0.291G' + 0.439B' + 128 \\ V &= 0.439R' - 0.368G' - 0.071B' + 128 \\ \Rightarrow R' &= 1.164 \cdot (Y - 16) + 1.596 \cdot (Cr - 128) \\ \Rightarrow G' &= 1.164 \cdot (Y - 16) - 0.813 \cdot (Cr - 128) - 0.392 \cdot (Cb - 128) \\ \Rightarrow B' &= 1.164 \cdot (Y - 16) + 2.017 \cdot (Cr - 128) \end{aligned}$$

由於人的視力系統對色度的敏銳度比較不高，因此以 YCbCr 色度的方式來表示可以再做一次作取樣(Subsampling)來減低資訊量，其有不同的取樣格式，例如 4:4:4、4:2:2、4:1:1 以及 4:2:0。這也是普遍使用 YCbCR，另一個重要的理由。4:4:4 格式代表 YCbCr 三種色度的訊號取樣比例均相同，而完整保存影像的資料量，而色度的再次取樣還可以以 4:2:2 或 4:2:0 格式來表達；其中 4:2:2 格式將原本的資訊量減少為三分之二，而 4:2:0 格式則可以將資訊量減少為一半。雖然色度的資訊量減少了，但對人的視覺神經而言卻僅僅感受到微小的差別而已。

➤ 4:2:2 的 YCbCr 的格式

1.2 規格

由於在數位高解析度電視視訊處理核心中，需要一個高解析度且高速的類比數位轉換器去轉換由 RGB 輸入的類比訊號在送給後面的 DSP 去處理，所以在本節中將定義本論文類比數位轉換器的規格。

➤ 解析度

因為人眼睛的視覺接受度大概是 300 個灰階(Gray Level)，所以在類比輸入轉換所需要的三個類比數位轉換解析度都必須在 9-bit 以上。而一般市面上處理影像通常都是由 RGB 三原色的三個頻道，而每一個頻道都會有一個 8-bit 的類比數位轉換器。當三個頻道的色階疊合在一起時，影像便會以 24-bit 來顯示，即約 16,800,000 種顏色，也就是俗稱的全彩(True Color)。

近幾年，為了使消費性商品的品質更好，甚至加入了第四個辨別影像的頻道—灰階，使得原本的 24-bit 的解析度更快速的增加到 32-bit。

而數位高解析度電視視訊處理核心的類比輸入還是會維持以 RGB 三個頻道，但是本論文將三個類比頻所需的類比數位轉換器以較高的 10-bit 解析度來取代一般市面上 8-bit 的類比數位轉換器。所以當三個頻道的色階疊合在一起時，影像便會以 30-bit 來顯示。以達到提昇影像解析度的目的，而且還可以和 32-bit 的影像輸入系統更為相容。

➤ 轉換速率

表 1.2 中顯示視訊的兩大系統：525/60 與 625/50。現就這兩系統來估算轉換速率。

Chapter 1: 簡介

Parameters	525/60 Systems	625/50 Systems
Coded signals : Y, Cb, Cr or R', G', B'	These signals are obtained from gamma pre-corrected signals. namely : Y, B' - Y, R' - Y or R', G', B'	
Number of samples per total line : ➤ Y or R', G', B' ➤ Cb, Cr	858 858	864 864
Sample structure	Orthogonal line, field and frame repetitive. The three sample structures to be coincident and coincident also with the luma sampling structure of the 4:2:2 family member.	
Sample frequency : ➤ Y or R', G', B' ➤ Cb, Cr	13.5 MHz 13.5 MHz The tolerance for the sampling frequency should coincide with the tolerance for the line frequency of the relevant color television standard.	
Form of coding	Uniformly quantized PCM, 8 or 10 bits per sample.	
Number of samples per digital active line : ➤ Y or R', G', B' ➤ Cb, Cr	720 720	
Analog to digital horizontal timing relationship from end of digital active line to 0 _H	16 Y clock periods	12 Y clock periods
Correspondence between video signal levels and quantization level for each sample : ➤ Scale ➤ Y or R', G', B'	0 to 255 (0 to 1023) 220(877) quantization levels with the black	

Chapter 1: 簡介

	corresponding to level 16(64) and the peak level corresponding to level 235(940). The signal level may occasionally excursion beyond level 235 (940).
➤ Cb, Cr	220(877) quantization levels in the center part of the quantization scale with zero signal corresponding to level 128 (940).
➤ Code-word usage	Code words 0 (0-3) and 255 (1020-1023) are used exclusively for synchronization.

表 1.2 525/60 與 625/50 視訊系統規格表

在表 1.2 中可以看出視訊系統的兩種規格:525/60Hz、625/50Hz。在 525/60 系統中，解析度為 525 條掃描線，而 Field Rate 為 60 Hz。其每條掃描線的取樣值為 858 點。所以適合的轉換速率為：

$$525 \times 60 \times 858 = 27.027 \text{ MHz.}$$

而就 625/50 系統而言，其每條線的取樣值為 864 點。所以，適合的轉換速率為：

$$625 \times 50 \times 864 = 27 \text{ MHz.}$$

考慮平行化處理(Pipeline Processing)，所以適合的四倍頻為 108.108 MHz(或 108 MHz)，五倍頻為 135.135 MHz(或 135 MHz)。下表 1.3 為本論文二階式類比數位轉換器所達到的規格。

Resolution	9.4bit
Maximum Sampling Rate	135MS/s
Technology	0.18μm 1 poly 6 metal CMOS
Supply Voltage	1.8V
Full Scale Range	1.6Vpp Differential
Power Consumption Total	
Analog Circuit Power	108mW
Digital Circuit Power	72mW

(135MS/s, 1.8V)	36mW
-----------------	------

表 1.3 本論文二階式類比數位轉換器規格表

1.3 各章節概述

在 1.1 節與 1.2 節概略介紹後，本論文最後將為讀者簡介在後續的各章中所將要介紹的主題。

在第二章的前半將介紹在類比數位轉換器中的幾個重要參數，而在參數介紹完後，將介紹 Nyquist Rate 類比數位轉換器中，與本論文二階式類比數位轉換器相關的類比數位轉換器架構。

第三章將是本論文的主題，該章一開始將從本論文二階式類比數位轉換器架構特點切入介紹，再逐漸深入到每個子電路設計與實現，然後緊接著介紹在佈局上的考量，最後在尾聲時整理與介紹本論文類比數位轉換器的 FFT 模擬結果。

第四章將介紹本論文測試的考量與測試板的製作，而在最後的第五章除提出未來的展望，更整理出對本論文二階式類比數位轉換器所改進的方向。接下來，進入本論文的第二章。

2.1 第二章簡介

類比數位轉換器可被粗略分為三個群組(見表 2.1): 低速到中速(Low-Medium Speed)、中速 (Medium Speed), 高速 (High Speed) 三種。而在第一章中根據高解析度電視 (HDTV, High-Definition Television) 的需求, 應從高速的群組中選取本論文類比數位轉換器所需要的架構。在本章的一開始, 將會先介紹類比數位轉換器的概念, 接下來切入討論類比數位轉換器的表現參數 (Performance Metrics)。介紹完類比數位轉換器的表現參數後, 將在高速的類比數位轉換器架構中, 選取與本論文二階式類比數位轉換器相關的四個主要架構(快閃式(Flash)、雙區間式(Subbranging)、導管式(Pipelined)與時間分離式(Time-interleaved))來做概念性的介紹。

Low-to-Medium Speed High Accuracy	Medium Speed Medium Accuracy	High Speed Low-to-Medium Accuracy
<ul style="list-style-type: none"> ➤ Integrating ➤ Oversampling 	<ul style="list-style-type: none"> ➤ Successive approximation ➤ Algorithmic 	<ul style="list-style-type: none"> ➤ Flash ➤ Subbranging ➤ Folding ➤ Pipelined ➤ Time-interleaved

表 2.1 類比數位轉換器架構分類表

類比數位轉換器與數位類比轉換器, 是擔任類比訊號與數位訊號溝通的兩座橋樑。將外界的連續類比訊號放入一個個切割好的小區間, 再根據類比訊號所座落的區間, 將其分門別類, 最後將訊號所在的區間編號用 0、1 碼表示, 輸出成系統所需要數位訊號, 這就是類比數位轉換器的功用。上述中的小區間, 並不一定都是相同

的大小，而隨著類比數位轉換器架構的不同，而有不同的尺寸。而這些將在往後的幾個章節中依序介紹。

2.2 類比數位轉換器重要參數介紹

在評估類比數位轉換器的表現方面，有許多評鑑的方法。接下來將會介紹在類比轉換器表現評估中幾項重要的參數。

2.2.1 解析度

在類比數位轉換器中，最重要的參數即為解析度(Resolution)。在 2.1 節中，本論文提到類比數位轉換器的工作，簡單地說就是分辨類比的訊號落在哪一個小區間。在相同的訊號範圍內，一個類比數位轉換器能分辨的區間數越多(也意謂著區間的尺寸越小)，分辨的速度越快即代表其效能越好。其中剛所提到的，所能夠分辨的最小區間即是類比數位轉換器的解析度。而表示解析度的方法，通常用二的指數方式來表示，比如說解析度 10 位元(10 bit)的意思即是 $2^{10} = 1024$ 。但是在 2.1 節說過，並非所有的區間都是同樣的大小，所以 10 位元的意思是指類比數位轉換器所能分辨的最小區間，有將類比輸入訊號範圍除以 1024 後所得的範圍那麼小，而並非指所有的區間。

而類比數位轉換器的解析度又稱為有效位元數(ENOB, Effective Number of Bits)。之所以這樣稱呼的原因，是因為雖然在電路的設計時，將區間的尺寸分割得極小，但實際上因為電路的雜訊影響、製成漂移與不匹配等種種因素，使得類比數位轉換器根本無法將類比訊號分辨到那麼細的區間，致使經過數位訊號處理所重建回來的波型發生失真的情形。所以為了進一步評估類比轉換器的有效位元數，就必

須要配合下一個所要介紹的參數：訊號雜訊比(SNR, Signal to Noise Ratio)。

2.2.2 訊號雜訊比

訊號雜訊比(SNR)即是類比數位轉換器的輸出訊號與雜訊的能量比。回顧上頁的敘述，將類比訊號依據訊號座落的區間，作分類並轉換成數位訊號的動作，被稱為量化(Quantization)。而不管類比數位轉換器可分辨的區間再細再小，還是無法代表真正的類比連續信號，故難免有失真的情形發生，這種失真的情形稱作量化誤差(Quantization Error)，圖 2.1(a)即為理想類比數位轉換器的輸入/輸出特性曲線，而圖 2.1(b)為量化誤差的示意圖。其中 Δ 表示類比數位轉換器能分辨的最小區間範圍。

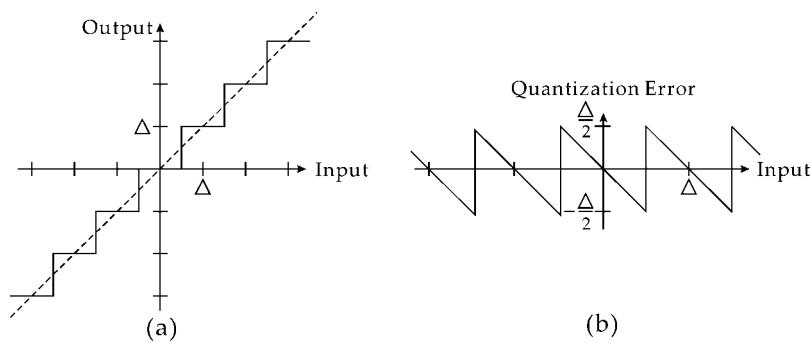


圖 2.1 (a)理想類比數位轉換器輸入/輸出特性曲線 (b) 量化誤差示意圖

在圖 2.1(b)中，假設量化誤差 $Q(n)$ 是一個均勻分布的隨機變數(Random Variable)，則其機率密度函數(Probability Density Function)在最小區間範圍 Δ 內可視作一常數。如圖 2.2 所示。

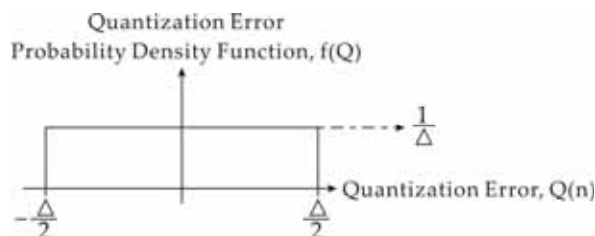


圖 2.2 量化誤差機率密度函式圖

圖 2.2 中函式 $f(Q)$ 可以寫成:

$$f(Q) = \begin{cases} \frac{1}{\Delta} & -\frac{\Delta}{2} < Q(n) < \frac{\Delta}{2} \\ 0 & otherwise \end{cases}$$

而計算量化誤差機率密度函數的 R.M.S 值則為下式:

$$V_{Q,rms}^2 = \frac{1}{\Delta} \int_{-\frac{\Delta}{2}}^{\frac{\Delta}{2}} Q^2 dQ = \frac{\Delta^2}{12}$$

當在量化誤差均勻分布在 $-\frac{\Delta}{2} \sim \frac{\Delta}{2}$ 間的假設下，量化誤差的等效電壓振幅為

$V_{Q,rms} = \Delta / \sqrt{12}$ ，且量化誤差的大小與輸入訊號的頻率或大小均不相關。而在此，

再定義輸入訊號是在振幅範圍 $-V_{ref}$ 與 $+V_{ref}$ 間的弦波訊號。所以在輸入訊號的交流訊號部份，其 R.M.S 值為:

$$V_{IN,rms} = \frac{V_{ref}}{\sqrt{2}}$$

再定義 N 為類比數位轉換器的位元數(Bits)，因此類比數位轉換器所能分辨的最小區間大小 V_{LSB} 為:

$$V_{LSB} = \Delta = \frac{2V_{ref}}{2^N}$$

再回顧訊號雜訊比的定義:

$$SNR = 20 \log \left(\frac{V_{IN,rms}}{V_{Q,rms}} \right) = 20 \log \left(\frac{\frac{V_{ref}}{\sqrt{2}}}{\frac{V_{LSB}}{\sqrt{12}}} \right) = 20 \log \left(\sqrt{\frac{3}{2}} 2^N \right)$$

$$\Rightarrow SNR = 6.02N + 1.76; Unit : dB$$

上式所算出的 SNR 值，是在只考量量化誤差為類比數位轉換器中唯一的雜訊源情況下成立。但實際的電路操作時，除量化誤差外，尚其他的雜訊源，如熱雜訊 (Thermal Noise)，以及因為電路線性度不足所造成的失真 (Distortion) 等等。故會降低最後輸出的訊號雜訊比，進而影響類比數位轉換器有效位元數。所以在計算類比

數位轉換器的有效位元數(ENOB)時，是將由類比數換轉換器所輸出的數位碼，經 FFT 轉換成頻譜後，再計算頻譜分布的 SNR 值，套入上式算出 N 值所得。

2.2.3 訊號與雜訊失真比

在上一節中，考慮了只存在量化誤差(Quantization Error)下的訊號雜訊比，但如前所述，實際的類比數位轉換器在運作時，所遭遇到的雜訊源並不只有量化誤差一種。將量化誤差、熱雜訊、諧波失真(Harmonic Distortion)等均包含在雜訊內，再做訊號雜訊比所得的即是訊號與雜訊失真比。測試訊號與雜訊失真比時，所輸入的訊號為弦波的形式，致使從類比數位轉換器輸出所轉換的頻譜將會有訊號源出現。而又因為電路本身所造成的失真，亦可在頻譜上看到諧波的出現。由於取樣理論的驗證，許多高頻的諧波也被映射到低頻的頻寬內。所以在頻譜的運算上，訊號與雜訊失真比(SNDR, Signal to Noise + Distortion Ratio)即是將訊號以外的頻律均納入雜訊的範疇內，再將訊號跟雜訊取比值，並取 dB 值所得。

2.2.4 動態範圍

在類比數位轉換器在操作時，當輸入訊號超過一定的範圍後，將會造成電路運作的不正常。使得在頻譜的表現上，諧波訊號將大幅的增加，致使整體類比數位轉換器的訊號與雜訊失真比表現變差。故在最大的訊號與雜訊失真比值(SNDR)與雜訊失真比值為 0dB 之間的輸入訊號範圍，即是所謂的動態範圍(Dynamic Range)。下頁圖 2.3 即是動態範圍與訊號與雜訊失真比值的關係圖。在理想的情況下，動態範圍應該與類比數位轉換器的全輸入範圍(Full Scale Input Range)相同。但在實際上，由於雜訊的影響，致使類比數位轉換器的動態範圍，較理想情況下的全輸入範圍小。

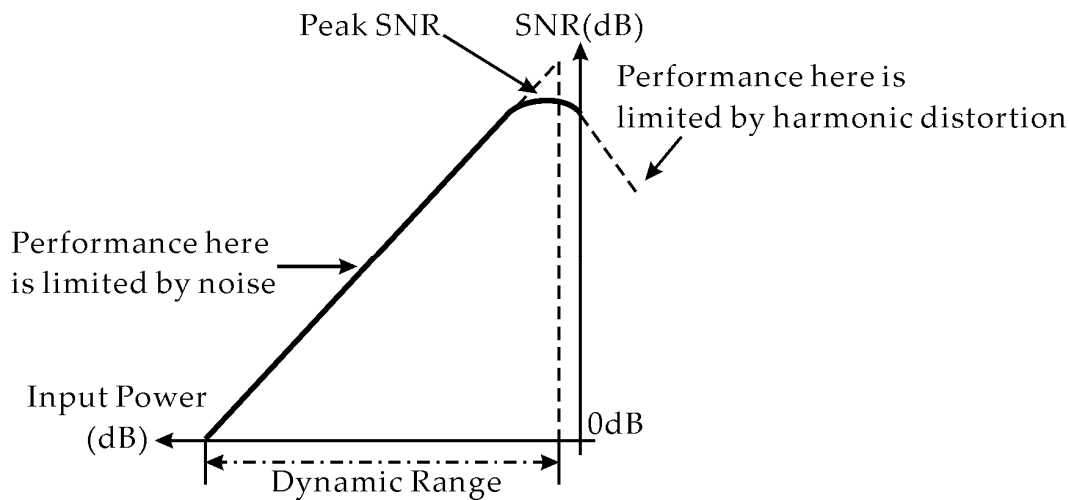


圖 2.3 動態範圍與訊號與雜訊失真比值關係圖

2.2.5 非線性度

類比數位轉換器的轉換曲線可被近似成一條直線，且隨著解析度的增加會更加接近直線的特性。但是根據之前的敘述，類比數位轉換器實際上是在作量化的動作，其輸出的數位碼是逐步隨著訊號所座落的區間而升高，而非隨著輸入訊號本身而升高。這也意謂著及再理想的類比數位轉換器，仍存在著非線性的特性。而在理想的類比數位轉器中，應該同樣大小的最小轉換區間，實際上卻並不一定存在。隨著雜訊等的影響，可能使區間產生有些大有些小的情形。而這些更助長了類比數位轉換器的非線性特性。在圖 2.4 中，顯示了在實際轉換曲線中出現的四種錯誤。圖 2.4(a) 中的錯誤稱為偏移誤差(Offset Error)，所造成的原因在於整體轉換曲線的漂移，使得實際曲線與理想曲線間，相差一個 DC 準位的漂移。而在圖 2.4(b)中的錯誤為增益誤差(Gain Error)，其造成的原因則是在於實際的分辨區間較理想曲線上的分辨區間大或小，使得整體曲線的轉換增益較理想有所偏差。此現象可從圖 2.4(b)中的近似於理想與實際轉換曲線的兩條直線看出端倪。而不論是來自偏移誤差(Offset Error)或增益誤差(Gain Error)，均會造成理想轉態點與實際轉態點的偏差，故此錯

誤稱作轉態點偏差(Threshold Error)，如圖 2.4(c)所示。而如果有某一個分辨區間太大，以至兩個轉態點被合併成一點，使得整體輸出的數位碼，缺了轉換的一階(即數位碼的一碼)，這種錯誤稱作缺碼(Missing Code)，如圖 2.4(d)所示。

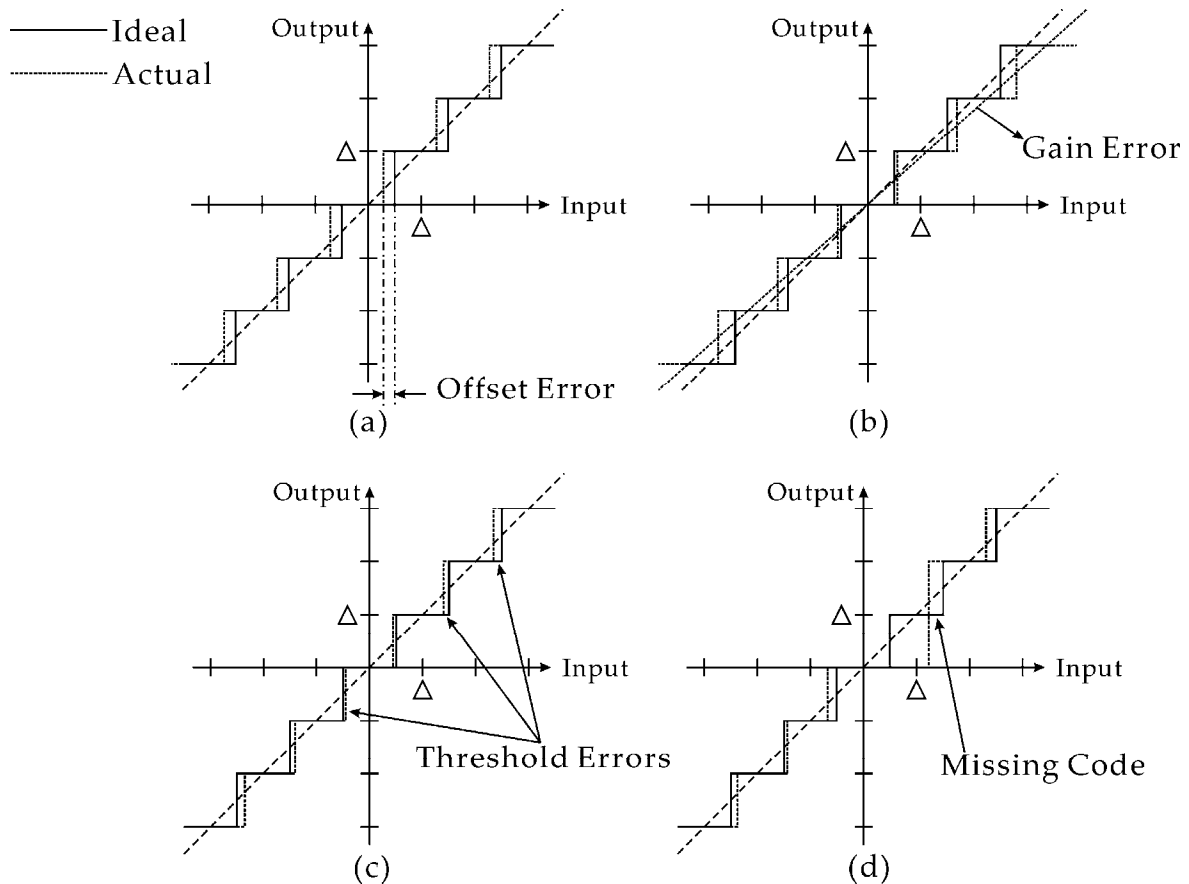


圖 2.4 類比數位轉換器實際轉換曲線中四種錯誤示意圖

(a) 偏移誤差(Offset Error) (b) 增益誤差 Gain Error)

(c) 轉態點誤差(Threshold Error) (d) 缺碼(Missing Code)

由上圖 2.4 與上一段的敘述，可以清楚地知道在類比數位轉換器中所會出現的非線性錯誤，而為了描繪轉換曲線的非線性行為，需用到以下的兩個參數：Differential Nonlinearity (DNL)與 Integral Nonlinearity (INL)，其定義如下所示：

$$DNL(i) = \frac{UB(i+1) - UB(i)}{1LSB} - 1$$

$$INL(i) = \frac{UB(i) - UB(i)_{ideal}}{1LSB}$$

上二式中 $UB(i)$ 為類比數位轉換器輸出第 i 個碼時，輸入訊號的位置，理論上 $UB(i+1) - UB(i) = 1LSB$ 。在上二式中的 Differential Nonlinearity (DNL) 如公式所示，是為了量出實際上每一個轉換區間大小與理想上區間大小(1LSB)相差多少，而 Integral Nonlinearity (INL) 則是為了表示實際轉換曲線每一階與理想轉換曲線的差距。圖 2.5 即為 INL 與 DNL 在轉換曲線上的示意圖。

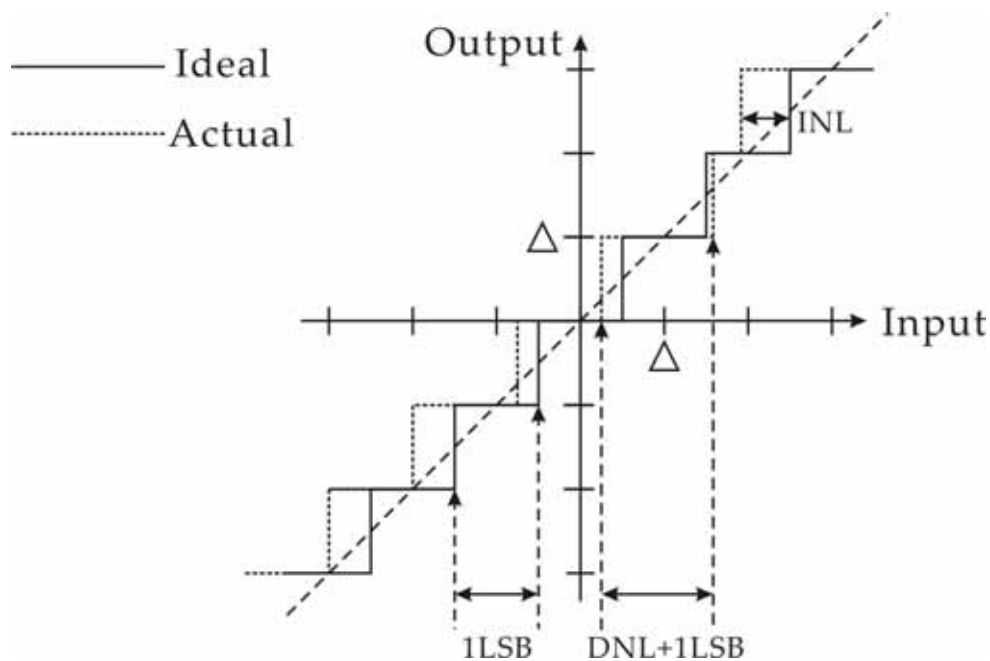


圖 2.5 類比數位轉換器轉換曲線 INL 與 DNL 示意圖

2.3 Nyquist Rate 類比數位轉換器架構回顧

為了完成在 2.1 節中類比數位轉換器的運作，有許多的架構陸陸續續地被發展出來，在表 2.1 中，本論文約略地將目前常用的類比數位轉換器架構，做了分類。由於本論文的類比數位轉換器是應用在 HDTV 系統，故在架構的選擇上虛選取高速

的架構，在傳統上，當類比數位轉換的取樣頻率(Sampling Frequency f_{clk})超過 1MHz，就可被稱為高速的類比數位轉換器。但是在目前的應用上，通用的範圍是 10MHz 以上。且除了取樣頻率 f_{clk} ，應用範圍的輸入頻率 f_{in} 以及所需的解析度也是要去考慮的，並且這些條件對類比數位轉換器的架構的選擇而言是有很重大的影響的。而每一個架構都有其優點與缺點，並針對不同的應用，在架構的選擇上亦有不同的考量。在 2.3 節中，將介紹與本論文二階式類比數位轉換器相關的快閃式、雙區間式、導管式與時間分離式四種架構。

2.3.1 快閃式類比數位轉換器

回顧在 2.1 節中的敘述，如果將類比數位轉換器所進行的量化工作視作一把尺，將輸入訊號視作是待測的長度，並將分辨的區間視作尺上的刻度。則最直觀的想法，即是將每一個刻度設成同樣的大小，再去對類比訊號做量測的動作。這就是快閃式類比數位轉換器(Flash ADC)的概念。而根據前述，由於快閃式類比數位轉換器的概念是將輸入訊號的範圍切成相同大小的分辨區間，使其在處理類比訊號時，不需要作多階的處理。這樣的特性使快閃式類比數位轉換器成為所有架構中最快的一種。下頁圖 2.6 即是快閃式類比數位轉換器的例子。

如圖 2.6 所示，快閃式類比數位轉換器的電路結構主要是由比較器(Comparator)和電阻串及參考電壓源所組成的參考電壓(Reference Voltage)所組成的。而經由比較器轉換後的數位輸出再由數位邏輯電路來解碼。轉換器輸入的範圍 V_{In_min} 和 V_{In_max} ，是由參考電壓源 V_{Ref_min} 及 V_{Ref_max} 來定義。因為快閃式類比數位轉換器的比較器是由並列方式去做連結的，所以也可稱為並列式的類比數位轉換器。

Chapter 2: 類比數位轉換器的基礎介紹

在電路的操作方面，類比輸入訊號直接與各個參考電壓源比較，再經由比較器去做數位碼的轉換，之後再由比較器的輸出判斷輸入訊號位於哪兩個參考電壓源之間，最後經由編碼器(Binary Encoder)，得到相對應的數位輸出。而比較器的輸出訊號回隨著輸入訊號的升高，而產生逐步增加的 1 碼(與逐步減少的 0 碼)，而這種碼的型式就類似一個水銀溫度計內的水銀柱隨著溫度升高而節節攀升的表現類似，因此這種輸出訊號的形式通常也可稱為溫度計碼(Thermometer Code)。

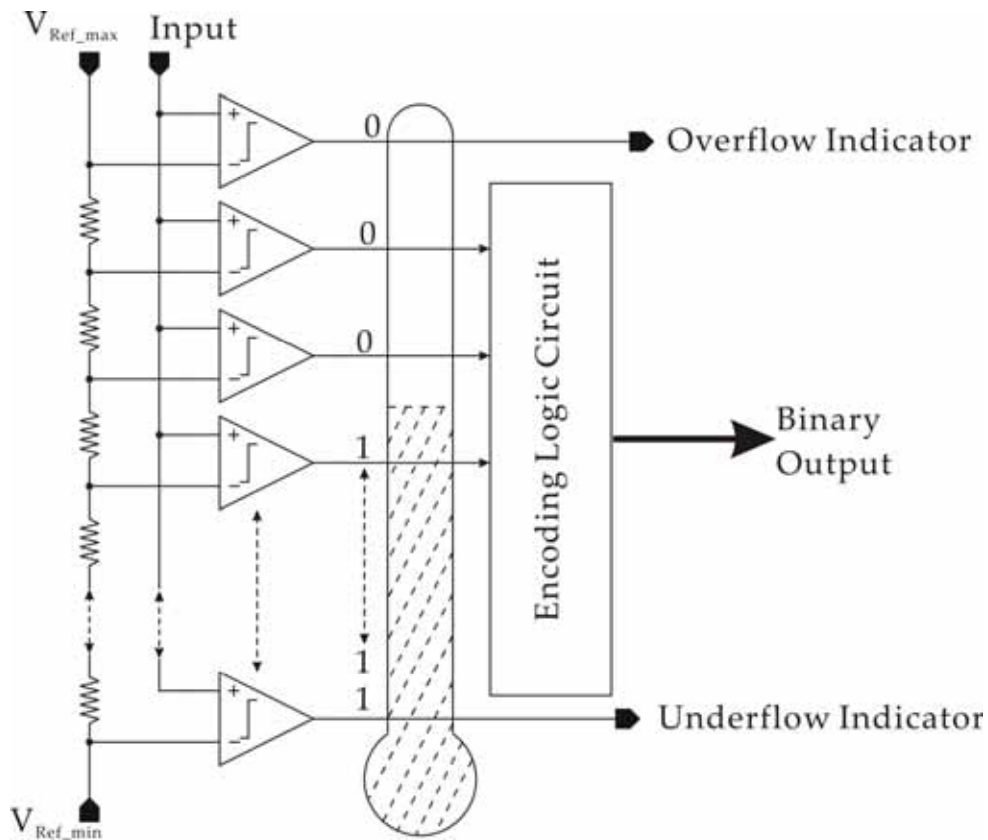


圖 2.6 快閃式類比數位轉換器示意圖

快閃式類比數位轉換器雖然是最快的架構，但其此架構有一個缺點。一個 n -bit 的快閃式類比數位轉換器如需要作設計溢出指示(Out-of-Range Indication)功能時，則需要 2^n+1 個比較器以及 2^n 個電阻，否則只需要 2^n-1 個比較器，但仍需 2^n 個

電阻。這使得比較器的個數會隨著解析度增加而以指數增加的方式倍增，同時功率消耗及晶片的面積也會以相同的倍數成長。這個嚴重的缺點，限制了快閃式類比數位轉換器在高解析度方面的應用。

此外誠如本節第一段所說，快閃式類比數位轉換器的構想來自將輸入訊號的範圍切成相同大小的分辨區間，這也意謂著對一個 n -bit 的類比數位轉換器而言，每一個比較器都必須達到 n -bit 的準確度(Accuracy)。如此一來也會造成更高的功率消耗及面積。因此當類比數位轉換器的解析度需求增加時，比較器的複雜度也會跟著提高。因此一些如自動歸零(Auto-Zeroing)的設計技巧，必須被用來改善比較器低頻雜訊和抵補(Offset)的問題。此外，由於快閃式類比數位轉換器常被運用在高速的需求方面，所以所有的電路均操作在高速的情形下，也致使當解析度需求提高時，快閃式類比數位轉換器的功率將大幅地增加。

雖然用來取樣輸入訊號的取樣-保持放大器 (Sample-and-Hold Amplifier) 對快閃式類比數位轉換器而言，並不是一個必要的元件。但是因為 CMOS 的高速比較器通常會有一個差動放大器在它的前端，所以在比較器陣列之前加上一個取樣-保持放大器，可以用來避免在差動放大器之間輸入訊號的不同步，且可以降低輸入阻抗，甚至可以增加整個系統的類比頻寬。

2.3.2 雙區間式類比數位轉換器

在介紹快閃式類比數位轉換器時，曾提到其最大的缺點即在於功率消耗及晶片的面積會以指數的倍數隨著解析度的增加而成長。這使得這種架構不適合用在 8~10bit 以上解析度的類比數位轉換器。因此需要再發展一種架構，除了兼具快閃式

Chapter 2: 類比數位轉換器的基礎介紹

類比數位轉換器的高速優點以外，亦能在增加解析度的同時，不使轉換系統的功率消耗及晶片的面積會呈指數性地增加。

為了達成上段末所敘述的目的，請再回顧在上節首段中將類比數位轉換器處理類比訊號的過程，比喻成用尺去量長度的敘述。在快閃式類比數位轉換器中，這把尺上的刻度均是同樣的大小，使其在處理訊號時，所有電路均是並行地處理，雖能達到高速運作的目的，但也無可必免地使整體電路的需求隨解析度要求升高而成指數性增加。如要解決這個問題，先想一下一般人在量測的過程，是否可以將尺的刻度調成不同大小的尺寸，再一次次地與待測長度作比較。舉例來說，量一個未知長度時，先用公分的刻度去量，確定長度落在某一個公分範圍內時，在用公釐的刻度去量。然後再將兩者的結果合起來，亦可以得到與一開始就以公釐去測量未知長度的快閃式類比數位轉換器架構相同的結果。

而為了實現上述的方法，最直觀的作法即是將所需要的解析度分成粗調(Coarse Part)以及微調(Fine Part)兩個部份。每一個部份都有他們自己的快閃式類比數位轉換器：這兩個部份都依序轉換，然後在最後輸出的訊號中將他們所產生的數位輸出結合在一起。此即是雙區間式類比數位轉換器(Subranging ADC)的原裡。這種形式的類比數位轉換器被稱為兩階式(Two-Step)類比數位轉換器或是半快閃式(Half-Flash)類比數位轉換器。圖 2.7 即是 8 位元雙區間式類比數位轉換器示意圖。其前端有一個用來對類比輸入訊號作取樣的取樣-保持放大器 (SHA)。於是訊號便被 S/H₁ 保持住並被用來供給粗調的快閃式類比數位轉換器，需注意的是 S/H₁ 與 S/H₂ 為 8 位元的解析度需求，此乃是為了避免訊號的失真。而如前所說，粗調類比數位轉換器其所能分辨的區間尺寸較大，故其解析度的表現較低，只需 4 位元的解析度。

而產生的數位碼則操控具有 8 位元解析度的數位類比轉換器，與 S/H₂ 的輸出作相減的動作，再經放大倍率 8 的放大器放大訊號。此放大的動作，降低了 S/H₃ 的解析度需求。也使後續的 5 位元微調類比數位轉換器的解析度需求降低，而由粗調類比數位轉換器所產生的 4 位元碼與微調類比數位轉換器的 5 位元碼，經由數位謬誤電路的校正，產生正確的 8 位元碼。

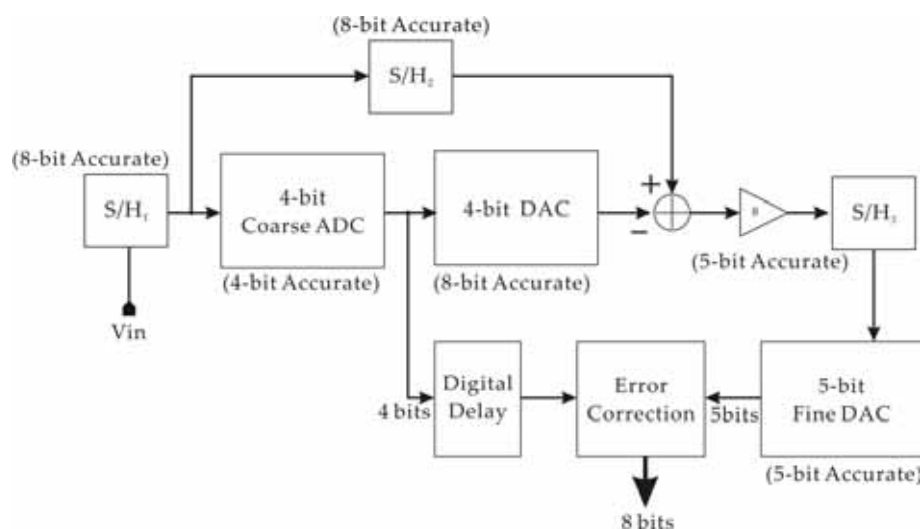


圖 2.7 8 位元雙區間式類比數位轉換器示意圖

在完成上述後，本論文在此先與快閃式類比數位轉換器架構做比較，再進一步分析圖 2.7 中雙區間式類比數位轉換器的優缺點。以同樣 8 位元的類比數位轉換器規格為例，在面積的需求上，快閃式類比數位轉換器共需要 $2^8 = 256$ 個比較器與前置放大器，而雙區間式類比數位轉換器只需要 $2^4 + 2^5 = 16 + 32 = 48$ 個比較器與前置放大器，在面積上幾乎少了 5 倍的需求。

但是圖 2.7 中的雙區間式類比數位轉換器仍有缺點，其需要多顆高解析度的取樣-保持放大器(SHA)，所以一般實現的雙區間式類比數位轉換器如圖 2.8 所示。其與圖 2.7 最大的不同，即是輸入訊號直接送入粗調類比數位轉換器與微調類比數位

Chapter 2: 類比數位轉換器的基礎介紹

轉換器作取樣的動作，而非同圖 2.7 透過 S/H₁、S/H₂ 與 S/H₃ 三個取樣-保持放大器 (SHA)，做類比訊號傳遞的動作。雖然省去了取樣-保持放大器的需求，但也造成了要處理下一筆類比訊號，須等待粗調與微調類比數位轉換器均處理完前一筆類比訊號後，方能進行，而此種情形，卻可以在圖 2.7 中解決，但卻必須付出 S/H₁、S/H₂ 與 S/H₃ 三個取樣-保持放大器的面積代價。

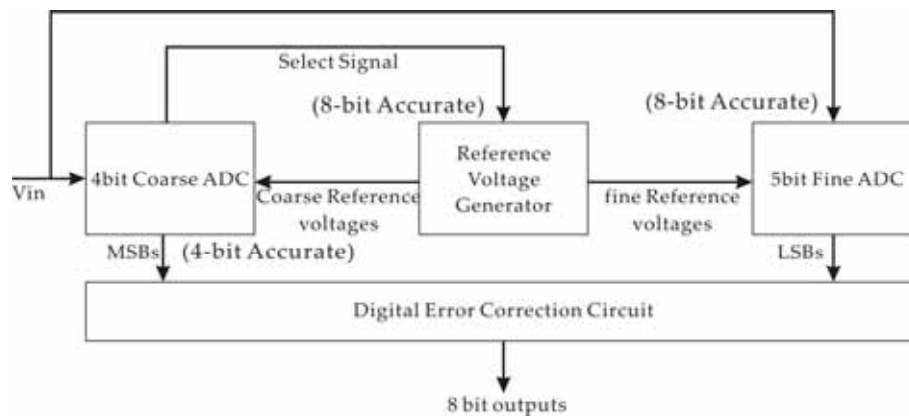


圖 2.8 一般實現 8 位元雙區間式類比數位轉換器

此外由於在圖 2.8 中，改用選擇電壓區間的方式(此部份將在第三章詳談)取代圖 2.7 中的數位類比轉換器與增益為 8 倍的放大器，使得微調類比數位轉換器的解析度需求須達到 8 位元的要求，這也是圖 2.7 與圖 2.8 有所差異的地方。而關於這個部份，在往後的第三章會有更詳細的介紹。

對一個雙區間式類比數位轉換器來說，其數位輸出一定會有一個時脈週期 (Clock Cycle) 的延遲。因此，為了將兩級的轉換同步化，必須將一個數位的閘鎖放在第一級轉換的輸出和數位輸出的暫存器(Register)之間。因為這種延遲是個常數，而且很容易被定義，所以在大部分的應用中是可以接受的。而在此也可看到雙區間式類比數位轉換器的好處：在付出一個時脈週期的延遲，卻可大幅降低電路與功率

的需求，此外由於整體架構只有兩級，遠比多級架構來的簡單，在時脈上的控制也較容易。而這些均是雙區間式類比數位轉換器的優點。

2.3.3 導管式類比數位轉換器

既然可以實現雙區間式類比數位轉換器，自然可以將雙區間式的二階架構轉成多階的架構，演生出導管式類比數位轉換器(Pipelined ADC)的架構。在前一小節所介紹的雙區間式類比數位轉換器，是將尺的刻度分作兩個單位，而導管式則是分成更多的單位。換句話說，如果雙區間式類比數位轉換器是將尺分成公分與公釐的話，則導管式則是分成公尺、公分、公釐等等更多的刻度。也因此，比較的動作也將較雙區間式類比數位轉換器來得多次，也使本架構的時脈延遲較雙區間式類比數位轉換器來得長。

圖 2.9 顯示的是一個 10 位元的導管式類比數位轉換器架構。本質上來說，導管式類比數位轉換器的架構和兩階快閃式類比數位轉換器非常相似。它們主要的不同點在於對導管式類比數位轉換器來說，從取樣-保持放大器到最後一級的轉換級之間，多加了很多個轉換級。也因為如此，所以也就要多出許多數位延遲的元件使的轉換同步。因此整個系統輸出的延遲時間也會跟著增加。而每一階要取多少的解析度，一直是導管式類比數位轉換器的課題。在圖 2.9 的 10 位元導管式類比數位轉換器，每一階被稱作為 1.5 位元，這是因為雖然每一階均是兩位元的輸出，但其中的一個位元將與下一階作數位謬誤校正之用，等於兩階共用一個位元的輸出，所以才得 1.5 位元的稱呼。

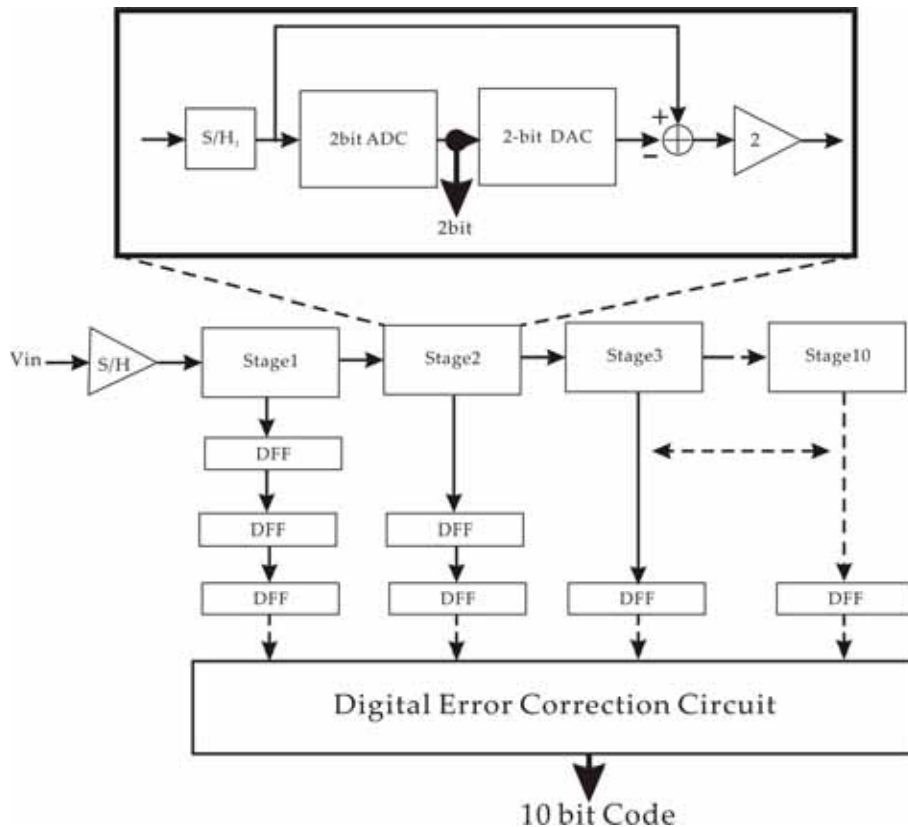


圖 2.9 10 位元導管式類比數位轉換器

而在導管式類比數位轉換器的每一個轉換級並不需要相同的準確度。以圖 2.9 的 10 位元導管式類比數位轉換器為例，在類比前端的取樣-保持放大器以及第一級的轉換級都必須被設計成具有 10-bit 的準確度。為了方便說明，在此假設導管式類比數位轉換器為 n 位元的解析度，並被分成 z 個轉換級，且在每兩個相鄰的轉換級之間會有重疊的 1 位元。那麼第二級的轉換只要有 $n - \frac{n}{z} + 1$ 位元的解析度就行了。

所以，第 i 級的轉換所需的解析度可被表示為：

$$n - (i-1) \cdot \frac{n}{z} + 1, \text{ if } \frac{n}{z} \in N$$

此處， N 指的是自然數。而為了更進一步的說明清楚，首先假定所有轉換級的準確度都被設為 n -bit。所需的高速比較器的總合為：

$$\left(2^{n/z} - 1\right) + (z - 1) \cdot \left(2^{n/(z+1)} - 1\right), \text{ if } \frac{n}{z} \in N$$

所需的 D 型正反器(D Type Flip Flop, DFF)的總合也和 z 有關，可被表示成：

$$\sum_{i=1}^{z-1} i = \frac{1+(z-1)}{2} \cdot (z-1) = \frac{z^2 - z}{2}$$

從上式中的計算，可以發覺在元件的需求量上，導管式類比數位轉換器比快閃式類比數位轉換器少了很多。那是因為快閃式類比數位轉換器的元件個數是隨著解析度做指數倍數成長，而導管式類比數位轉換器的元件個數是線性成長。

而在數位謬誤校正的部份，導管式類比數位轉換器的原理雖然與雙區間式類比數位轉換器所運用的原理相同，只能校正相鄰兩階的數位謬誤。但是由於其多階的電路架構，使其整體類比數位轉換器不論是轉換時的增益，抵補電壓，或者是線性誤差，都可以被校正。但最後一級的誤差無法被校正，而直接被傳送到最後的數位輸出。

至於在轉換速率(Conversion Rate)的考量方面，導管式類比數位轉換器受限於單階的速度。而由於每一階電路的速度隨著解析度的要求而有所差異，迫使了整體類比數位轉換器的速度受限於處理速度最慢的那一階電路。但是導管式類比數位轉換器是兩階快閃式類比數位轉換器的一種成功的變形。並且為最普遍的高速類比數位轉換器之一。

2.3.4 時間分離式類比數位轉換器

如果不考慮面積需求的考量時，可以利用時間分離式類比數位轉換器(Time

Interleaved ADC)的方式來增加轉換速率，圖 2.10 即是時間分離式類比數位轉換器的電路示意圖。其架構是由 n 組相同的類比數位轉換器並聯而成，每一個分支均有屬於自己的取樣-保持放大器(SHA)與類比數位轉換器。基本上，這些類比數位轉換器可以使用快閃式的架構，而類比輸入訊號是同時並行輸入每一個取樣-保持放大器的，但是就像圖 2.10 所示，每一個分支的取樣-保持放大器與類比數位轉換器是被設為一個接著一個依次被啟動。至於數位輸出則透過數位电路中的多工器選擇，使在所有轉換分支的輸出中找出正確的輸出訊號路徑。從資料的處理觀點來說，這種架構本質上來說是一種平行的處理，因為它的轉換是由不同的電路來完成的。但是要注意的是只有要做轉換的分支會被激發，而並非所有的分支同時工作。

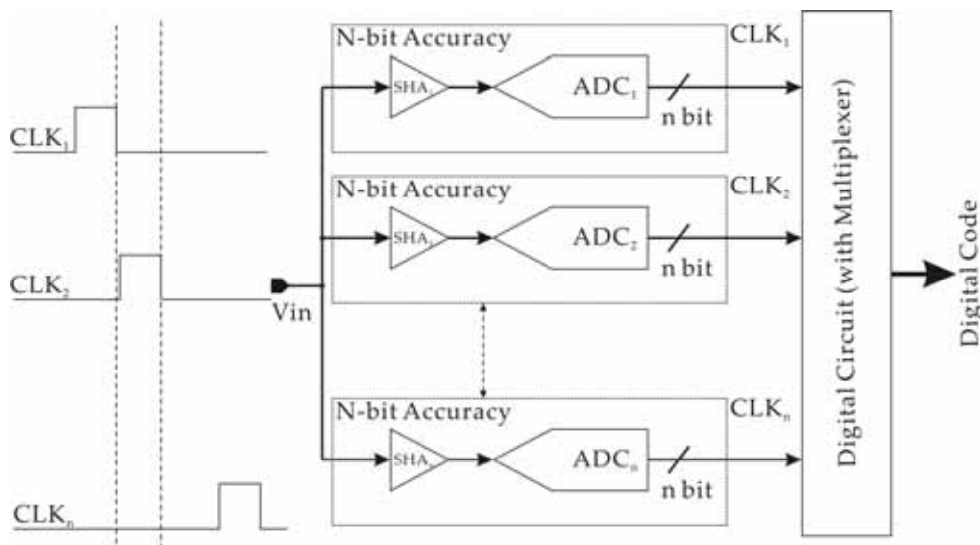


圖 2.10 時間分離式類比數位轉換器

在本節的一開始便提出，時間分離式類比數位轉換器的最大優點即是提高轉換速率。為了說明，在此假設一個 n -bit 且擁有 z 個轉換分枝的時間分離式類比數位轉換器而言，若它有 f_{clk} 的轉換速率，那他就需要 z 個 n -bit 準確度，且轉換速率能達到 $z \cdot f_{clk}$ 的快閃式類比數位轉換器。但是雖達到較原速度快 z 倍的目的，卻耗費

大量的面積，且為了控制每個分支正確的運作，致使時序問題成為時間分離式類比數位轉換器最大的難題。

2.4 第二章總結

介紹完類比數位轉換器的重要參數與本論文相關的類比數位轉換器架構後，即將進入第三章，本章之所以會在表 2.1 中的類比數位轉換器架構中，只選出快閃式(Flash)、雙區間式(Subranging)、導管式(Pipeline)與時間分離式(Time Interleaved)這四種架構來介紹的原因在於，這四種架構均可實現 HDTV 所需要的轉換速率或解析度的需求。然而在 2.3 節的敘述中可以得知，每種架構均有其優點，但也有其缺點。表 2.2 即為上四種架構的整理。而為了綜合各個架構的優點並改進其缺點，即是本論文的目標。而如何選取架構，並如何改進，改進的理由為何，將會在第三章有詳盡的介紹。

Architecture of A/D converter	Characteristics
Flash ADC	+Fast Architecture +High-speed SHA unnecessary -Large number of comparators -Large die size -More power dissipation -Sensitive to device mismatch
Traditional two step ADC	+Fast Architecture +High-speed SHA unnecessary +Less number of comparators than flash ADC +Low latency and less digital logic circuit than pipelined ADC -Large number of comparators than pipelined ADC

<p>Pipelined ADC</p>	<ul style="list-style-type: none"> +Less comparators than two step ADC -High-speed SHA necessary -Complex control signal -High latency and more digital logic circuit than two step ADC -Low Speed than two step ADC
<p>Time-interleaved ADC</p>	<ul style="list-style-type: none"> +Very fast architecture -High-speed SHA necessary -Complex control signal -Large number of comparators -Large die size -More power dissipation

表 2.2 Nyquist Rate 類比數位轉換器架構比較表



3.1 第三章簡介

在第一章中，本論文介紹高解析度電視 (HDTV, High-Definition Television) 相關的資料，更在 1.2 節中，進一步導證本 ADC 所需要的相關規格，而在第二章中，介紹了 Nyquist Rate 類比數位轉換器中與本論文相關的幾種架構，並在表 2.2 中列出所有相關架構的優缺點。在本章的一開始，表 3.1 中特別列出傳統二階式類比數位轉換器與本論文二階式類比數位轉換器的差異。

Architecture of A/D converter	Characteristics
Traditional two step ADC	+Fast Architecture +Less number of comparators than flash ADC +High-speed SHA unnecessary +Low latency and less digital logic circuit than pipelined ADC -Large number of comparators than pipelined ADC
Two step ADC in the paper	+Fast Architecture than traditional two step ADC +Less comparators than flash ADC +High-speed SHA unnecessary +Low latency and less digital logic circuit than pipelined ADC +Auto-zeroing technique +Coarse block never in idle condition -More power dissipation than traditional two step ADC -Complex control signal than traditional two step ADC

表 3.1 本論文二階式類比數位轉換器與傳統二階式類比數位轉換器比較表

由第二章中的介紹與表 2.2 的整理，可以歸納快閃式類比數位轉換器主要適用於較高速而較低解析度(Resolution)的應用，因為其雖為 Nyquist Rate 類比數位轉換器中最基本最簡單的架構，但在中解析度，不但需要大量的功率消耗，更對製程

所造成的不匹配(Mismatch)敏感，故並不適合本系統的需求。而在另外的三種架構(導管式、傳統二階式、時間分離式)中，適合高解析度電視系統規格的架構有導管式類比數位轉換器(Pipelined A/D Converter)與二階式類比數位轉換器(Two Step A/D Converter)，而最主要最後選擇二階式類比數位轉換器(Two Step A/D Converter)的原因，在於速度的考量，雖然導管式類比數位轉換器所需的類比電路會比二階式類比數位轉換器來的少，但是在轉碼的過程中，其速度卻受制於負責最細微解析度的子類比數位轉換器(Sub A/D Converter)。此外其每一級均需要一個取樣放大器(S/H Amplifier)，而放大器的設計增加了電路設計上的複雜度。

反觀二階式類比數位轉換器，雖然其類比電路的需求量較導管式類比數位轉換器多，但是其兼具了快閃式類比數位轉換器電路結構較簡單(不需要複雜的取樣放大器)，與備導管式類比數位轉換器不需要大量類比電路的特性。故最後本論文選擇了二階式類比數位轉換器來完成 HDTV 系統所需類比數位轉換器規格。

而在時間分離式的類比數位轉換器架構上，其利用多個類比數位轉換器平行處理的方式，雖然大幅增加了處理速度。但在同樣的規格要求下，時間分離式類比數位轉換器架構卻需要付出較大的面積代價，並需要較複雜的時序控制。所以並不作為本論文類比數位轉換器架構的主要選擇。

但是傳統的二階式類比數位轉換器，在轉換速率(Conversion Rate)方面仍有改進的空間。而這方面效能的改良即是本論文的重點。在 3.2 節中，本論文將從傳統二階式類比數位轉換器的運作回顧開始，更進一步指出其在架構上可改良的方向，然後導入本論文類比數位轉換器的主題。3.2 節主要著重在架構的介紹。3.3 節則開

始進入電路設計與實現的部份。3.4 節將展示 FFT 的結果，並將其整理成表。3.5 節則介紹佈局方面的考量。最後在 3.6 節做第三章的總結。

3.2 架構介紹

3.2.1 本論文二階式類比數位轉換器與傳架構比較之優點

圖 3.1 為傳統二階式類比數位轉換器的概念圖。如前文所述，傳統二階式類比數位轉換器主要由一個粗調類比數位轉換器(Coarse ADC)與微調類比數位轉換器(Fine ADC)所組成。首先訊號 V_{in} 同時送入粗調類比數位轉換器與微調類比數位轉換器作取樣(Sample & Hold)的動作，接下來類比訊號經由粗調類比數位轉換器處理後，產生 Most Significant Bit(MSB)的碼以及一個控制訊號，此控制訊號的目的，即是在參考電壓的區間內，選取供給微調類比數位轉換器之電壓範圍。再經微調類比數位轉換器處理後，產生 Least Significant Bit(LSB)的碼。而後 MSBs 與 LSBs 再送入數位謬誤校正電路(Digital Error Correction Circuit)，產生 10 位元的數位碼。

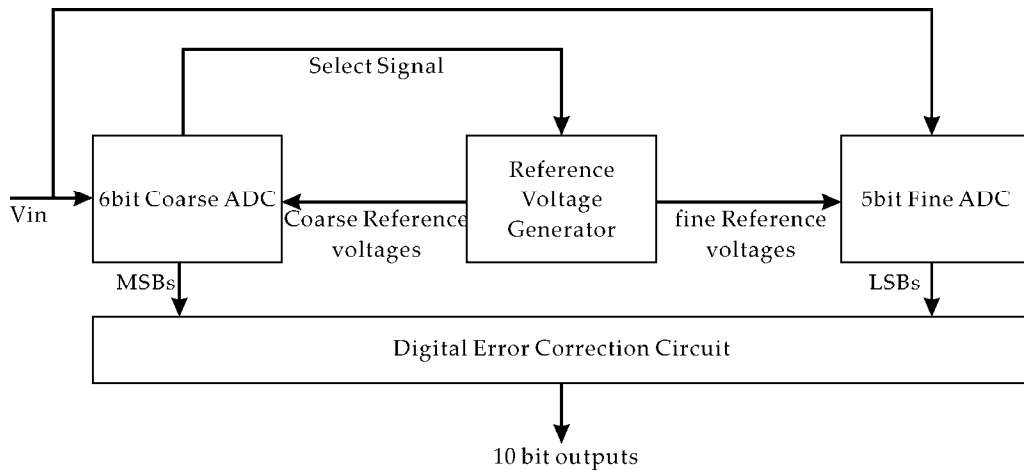


圖 3.1 傳統二階式類比數位轉換器示意圖

在圖 3.1 與上述的過程中，可以發現傳統二階式類比數位轉換器一個架構上的

缺點，即因為訊號 V_{in} 是同時送入粗調類比數位轉換器與微調類比數位轉換器，而下一筆資料卻又要等到粗調類比數位轉換器與微調類比數位轉換器處理完上一筆資料完，才能再送入二階式類比數位轉換器做取樣。在這個過程中，當微調類比數位轉換器處理訊號時，其實粗調類比數位轉換器是處於閒置的情形。這對系統而言是一種浪費。為了改善這個問題，有兩個方向可以進行，一是發展成導管式類比數位轉換器，另一種則是本論文所提供的想法。如圖 3.2 所示，如果在傳統二階式類比數位轉換器中，再加一個微調類比數位轉換器，使第一個微調類比數位轉換器在處理第一個訊號的同時，第二個微調類比數位轉換器與粗調類比數位轉換器開始第二個訊號的取樣，即可改善上述的缺點。所以在本論文中的二階式類比數位轉換器不僅具備了傳統二階式類比數位轉換器的特性，更兼具了時間分離式類比數位轉換器 (Time Interleaved ADC) 特性，這就是本論文在架構方面的特點。

3.2.2 本論文二階式類比數位轉換器的運作

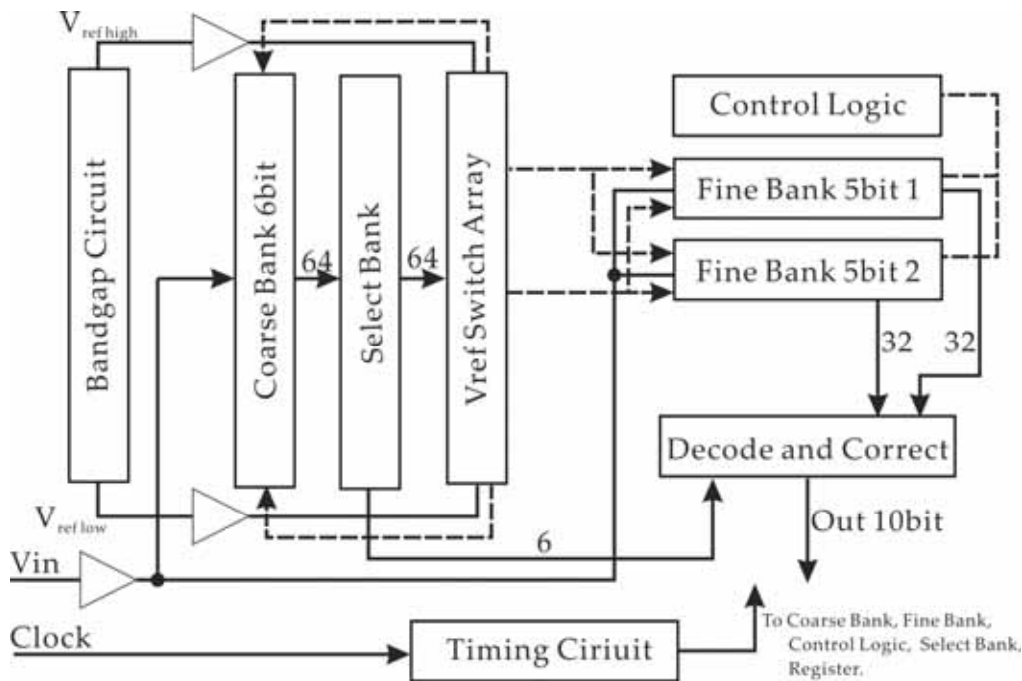


圖 3.2 本論文二階式類比數位轉換器系統圖

在圖 3.2 中， V_{in} 首先經由晶片外部的訊號推動器(Signal driver)去驅動所有內建於微調類比數位轉換器(Fine Block)跟粗調類比數位轉換器(Coarse Block)的分散式取樣電路(Distributed Sample and Hold Circuit)，等到訊號被取樣後，經由粗調類比數位轉換器內的電容內插電路與參考電壓做比較，比較的結果再經由選擇電路(Select Bank)選出微調類比數位轉換器的參考電壓區間，再送至微調類比數位轉換器的電容內插電路去做比較，最後由微調類比數位轉換器所轉出的 5 位元碼與粗調類比數位轉換器的 6 位元碼去做謬誤校正(Error Correction)，產生擁有解析度 10 位元的二進制碼(Binary Code)。圖 3.3 是本論文二階式類比數位轉換器操作的時脈示意圖，而圖中的箭頭方向表示訊號流向，灰色方塊表示訊號 N 在經本論文二階式類比數位轉換器取樣後所有經過的處理程。

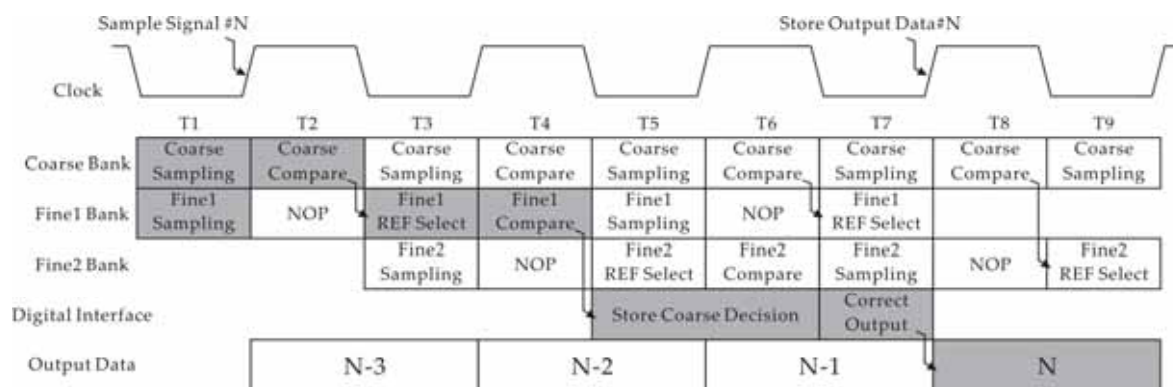


圖 3.3 本論文二階式類比數位轉換器操作時脈示意圖

➤ 3.2.2.1 粗調類比數位轉換器

圖 3.4 即為本論文粗調類比數位轉換器(Coarse ADC)的架構圖。在本論文二階式類比數位轉換器電路中的粗調類比數位轉換器與微調類比數位轉換器並非採用過去一般常用的快閃式類比數位轉換器(Flash ADC)架構，而是採用電容內插電路(Capacitor Interpolation Circuit)來完成，此為本論文的一大特點。此電路最主要的優點有以下兩點。(1):有偏移抵消(Offset Cancellation)的效果。(2):可以大幅減少參

考電壓(Reference Voltage)數目的需求。

粗調類比在粗調類比數位轉換器的運作中，輸入訊號 V_{in+} 與 V_{in-} 先經內建在電容內插電路中的分散式取樣電路取樣後，再經由電容內插電路與參考電壓作比較後，經由放大與內插後，產生 72 個訊號，但是其中最底下的 7 個訊號，與最上端的一個訊號是為防止邊際的效應，所以略去不用。剩下的 64 個訊號送至下一級的比較器(Comparator)來做閃鎖(Latch-up)的動作，所產生的 Thermometer Code 送至轉態點偵測電路(Transition Point Detector)，來做 Bubble Error 的消除與 1-to-N Code 的轉換。接下來這 64 個 1-to-N Code 除了送至參考電壓產生器(Reference Voltage Generator)，選擇給微調類比數位轉換器所需要的參考電壓區間外，亦經過 64 個 D 型正反器(D Flip-Flop)儲存後，送至下一級的編碼器(Encoder)產生 6 位元的 2 進位碼(Binary Code)，以供謬誤校正電路所用。

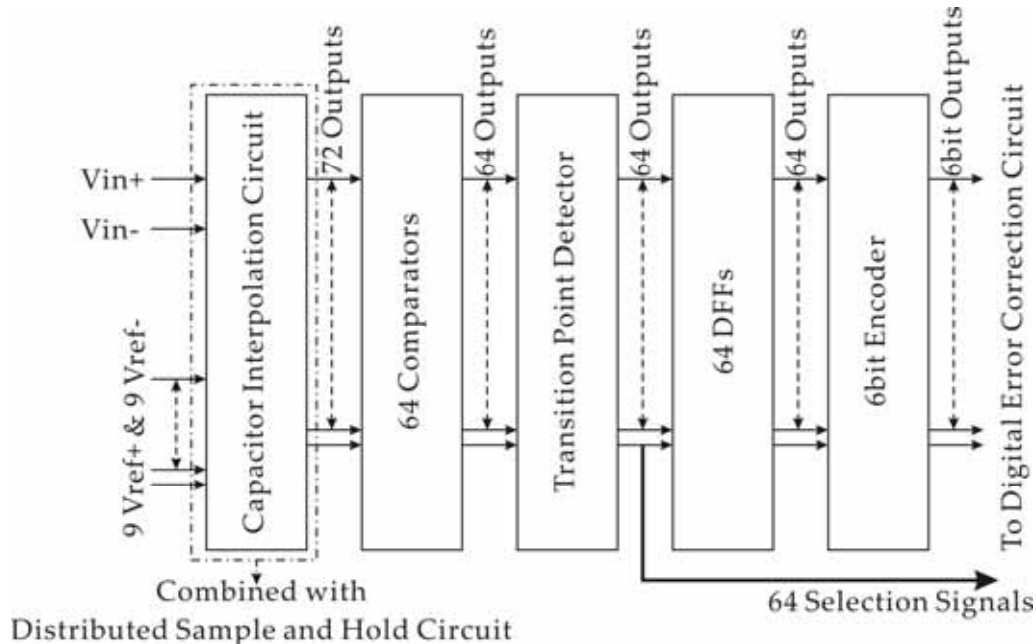


圖 3.4 粗調類比數位轉換器

在上段中提到電容內插電路在取樣訊號並完成與參考電壓的比較後，經由放大與內插後，產生 72 個訊號部份，將透過圖 3.5 再作一個概略的敘述。電容內插電路在粗調類比數位轉換器的部份，主要由 9 個電容內插電路單元(Capacitor Interpolation Circuit Unit)串接而成(如圖 3.5 所示)。在輸入的部份，每一個電容內插電路單元均有一組參考電壓輸入，所以在粗調類比數位轉換器的電容內插電路共需要 9 組的參考電壓，而內建在每一個電容內插電路單元內的分散式取樣電路均取樣同一組輸入訊號(V_{in+} & V_{in-})。而在輸出的部份，每一個電容內插電路單元均輸出 8 位元，所以粗調類比數位轉換器的電容內插電路共輸出 72 個訊號。至於電容內插電路的詳細電路運作與設計將在下一節中介紹。

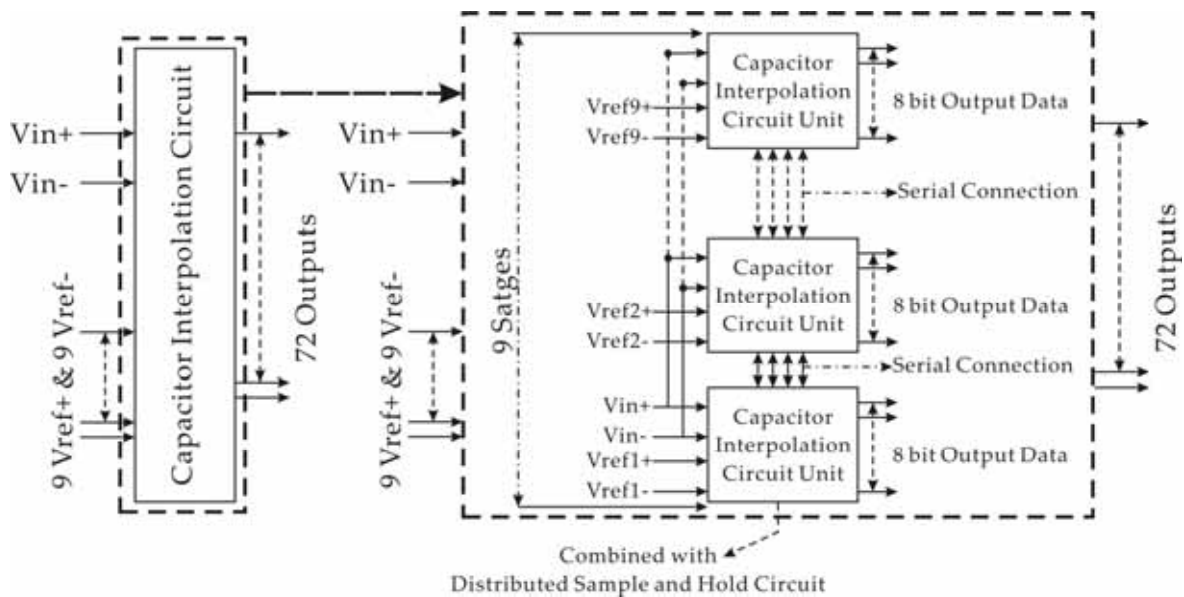


圖 3.5 粗調類比數位轉換器電容內插電路示意圖

➤ 3.2.2.2 參考電壓產生器

在介紹參考電壓產生器(Reference Voltage Generator)前，先約略介紹數位謬誤校正的原理。因為參考電壓產生器所產生的電壓與此息息相關。

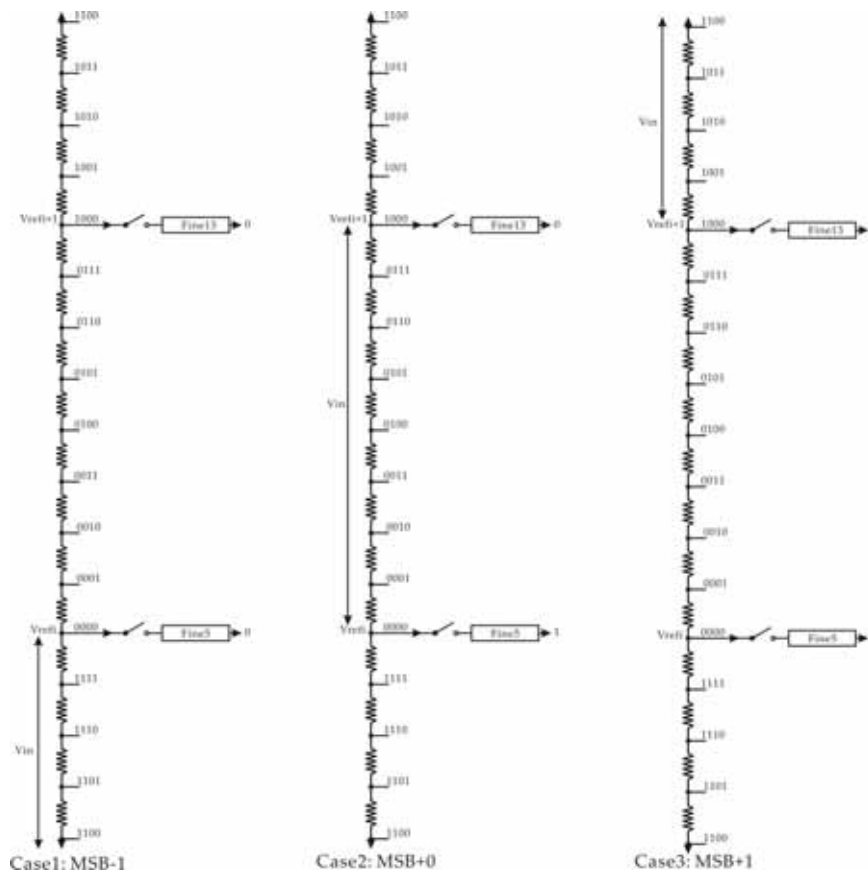


圖 3.6 四位元數位謬誤校正操作原理

由於粗調類比數位轉換器的 $\pm 1/2LSB$ 的錯誤，所以其所產生的碼中，最低的位元可能會出錯。但粗調類比數位轉換器的一個位元電壓區間卻等於是微調類比數位轉換器的 16 個電壓區間，其嚴重性不可謂不大。所以為了校正因粗調類比數位轉換器所產生的錯誤，方需要數位謬誤校正。其原理即是提供給微調類比數位轉換器的電壓區間再往上往下各開 $1/2$ 個粗調類比數位轉換器的電壓區間(即 $1/2$ MSB)，從圖 3.6 的數位謬誤校正操作原理(以四位元微調類比數位轉換器的參考電壓區間為例)，可發覺如果因為粗調類比數位轉換器最低位元的錯誤，致使電壓區間較輸入訊號往上一個區間範圍，則第 5 個比較器與第 13 個比較器輸出將會是 0，使數位謬誤校正電路對粗調類比數位轉換器輸出的二進制碼做減 1 的動作。同理，在 Case 2 中，

如果電壓區間落在正確的範圍，則數位謬誤校電路不會對二進制碼做任何的加減。當然，如果同 Case 3 中，電壓區間少輸入訊號一個區間範圍，數位謬誤校電路將會做加 1 的動作。其中電阻串上的四位元碼為微調類比數位轉換器內，數位編碼器對應到每一個電壓區間的二進制碼(Binary Code)的輸出。而根據以上的敘述，整個參考電壓產生器將如圖 3.7 中所設計。

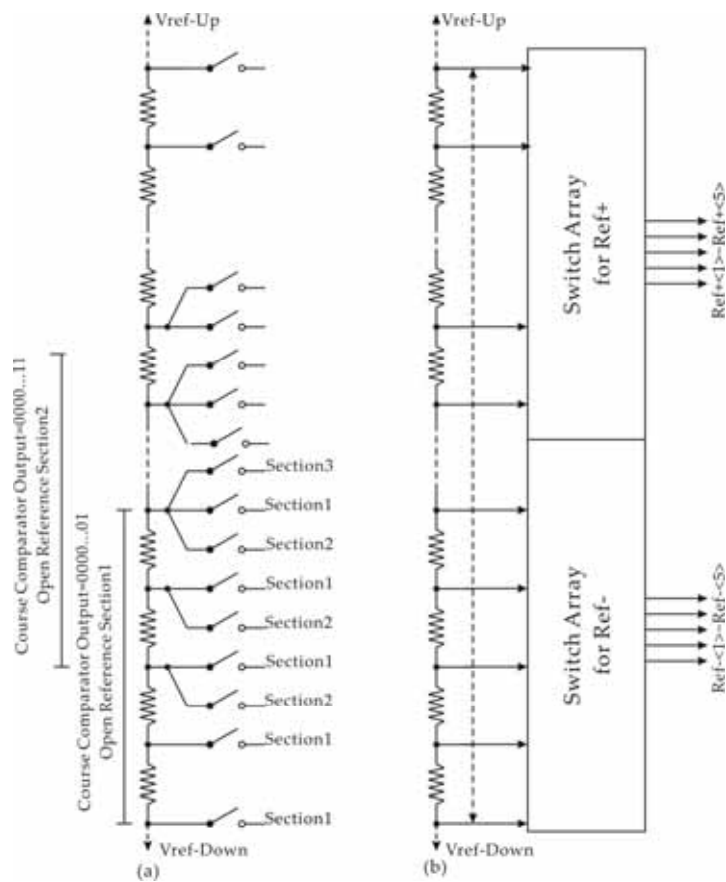


圖 3.7 參考電壓產生器

如前文所述，為了作數位謬誤校正而往下往上各開 1/2 個粗調類比數位轉換器的電壓區間，使得每一個控制訊號所開通的電壓區間有重疊的情形，圖 3.7(a)圖為微調類比數位轉換器正端參考電壓間的情形，而為了方便說明，在圖 3.7(a)中的一個電阻相對應到圖 3.6 中的四個電阻區間，而開通參考區間 1(Open Reference

Section1)的第三個輸出電壓與開通區間 2(Open Reference Section 2)的第一個輸出電壓重疊，此即與圖 3.6 中往上往下各開 1/2 個粗調類比數位轉換器的電壓區間(即 1/2 MSB)以作數位謬誤校正的意義相同。負端參考電壓也是相同的情形，而整個電壓產生器就如圖 3.6(b)圖所示。由正端參考電壓開關陣列(Switch Array for Ref+)產生正端參考電壓，而負端參考電壓開關陣列(Switch Array for Ref-)產生負端參考電壓。

在傳統快閃式微調類比數位轉換器中，所需要的 32 個參考電壓，但在圖 3.75 中透過電容內插電路的實現，只需要 5 個電壓即可(見下一節的介紹)，大幅減少了開關(Switch)的數目，再一次顯現了電容內插電路的優勢。

➤ 3.2.2.3 微調類比數位轉換器

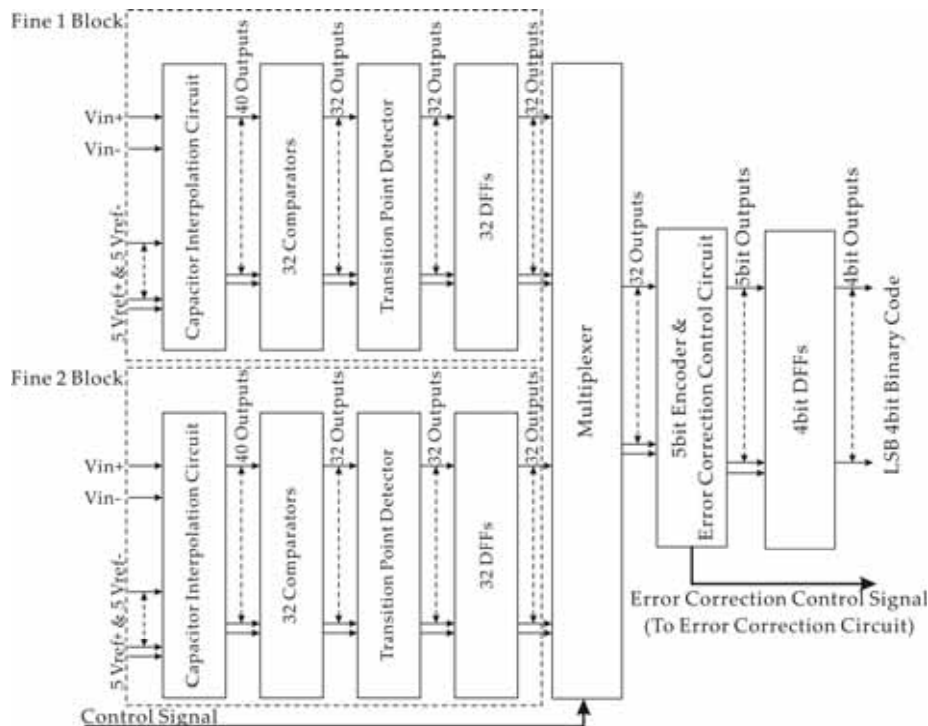


圖 3.8 微調類比數位轉換器

圖 3.8 為微調類比數位轉換器(Fine ADC)的系統圖，與粗調類比數位轉換器類似，其一樣也以電容內插電路取代傳統快閃式架構，並經由電容內插電路在取樣訊號並完成與參考電壓的比較後，放大並內插產生 40 個訊號，其中最下面 7 個訊號與最上面的訊號亦用來防止邊際效應所用，故捨棄不用。剩下的 32 個訊號送至下一級的比較器(Comparator)來做閃鎖(Latch-up)的動作，所產生的 Thermometer Code 送至轉態點偵測電路(Transition Point Detector)，來做 Bubble Error 的消除與 1-to-N Code 的轉換。接下來這 32 個 1-to-N Code 送至 D 型正反器(D Flip-Flop)儲存，續做下一步的處理。

在上段中提到電容內插電路在取樣訊號並完成與參考電壓的比較後，經由放大與內插後，產生 40 個訊號的部份，將透過圖 3.9 再作一個概略的敘述。電容內插電路在微調類比數位轉換器的部份，亦由相同於粗調類比數位轉換器中的電容內插電路單元(Capacitor Interpolation Circuit Unit)所組成，由 5 個電容內插電路單元串接而成(如圖 3.9 所示)。在輸入的部份，每一個電容內插電路單元均有一組參考電壓輸入，所以在微調類比數位轉換器的電容內插電路共需要 5 組的參考電壓，而內建在每一個電容內插電路單元內的分散式取樣電路均取樣同一組輸入訊號(V_{in+} & V_{in-})。而在輸出的部份，每一個電容內插電路單元均輸出 8 位元，所以粗調類比數位轉換器的電容內插電路共輸出 40 個訊號。

而為了使圖 3.8 中的兩個微調類比數位轉換器在時脈操作正常，需要產生特別的控制訊號來控制，此控制訊號整理表將於 3.2.2.5 節中介紹。在此回到被 D 型正反器所儲存的訊號部分，為了使輸出數位碼的部份正確，需加上一個多工器(Multiplexer)來選擇正確的訊號來源路徑。而多工器的控制訊號亦是來自時脈產生

器(Clock Generator)，此亦在 3.3 節會有相關的介紹。而經多工器選擇後的訊號，送至 5 位元的編碼器與數位謬誤校正控制電路，產生 5 位元的二進制碼與數位謬誤校正電路的控制訊號。

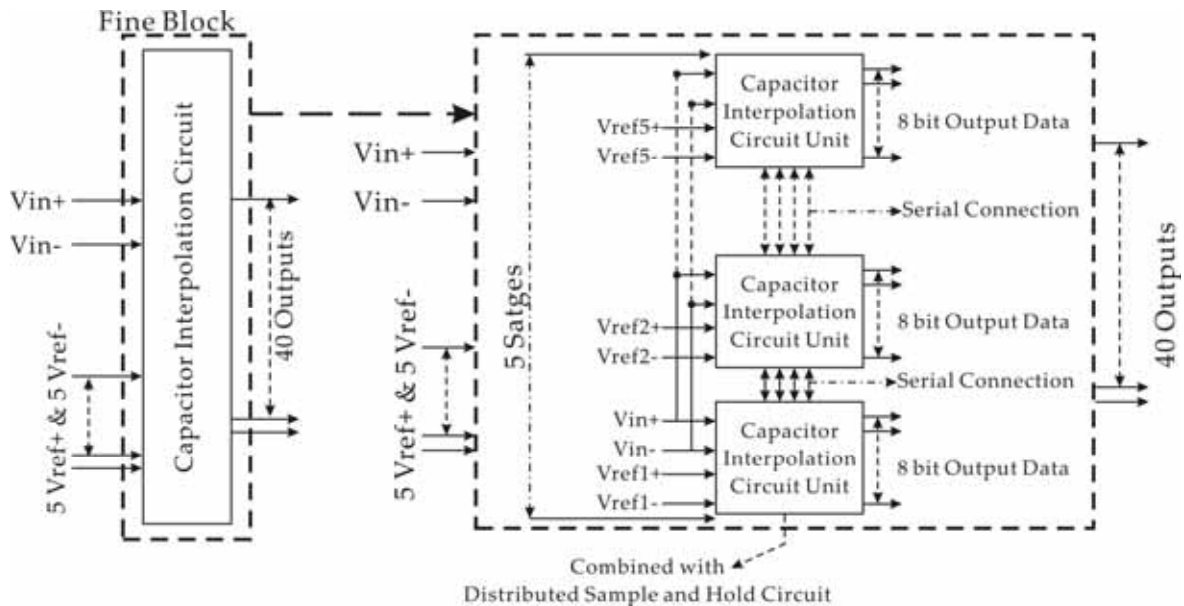


圖 3.9 微調類比數位轉換器電容內插電路示意圖

值得注意的是，雖然編碼器產生 5 位元的碼，但最高的位元卻是捨棄不用，因為最高位元的碼是與粗調類比數位轉換器的最低位元重疊，而這個重疊部份的碼透過數位謬誤校正電路來產生正確的碼，故對由微調類比數位轉換器所產生 5 位元碼中的最高位元碼捨棄不用。

產生的數位謬誤校正電路控制訊號則透過數位謬誤校正電路，針對粗調類比數位轉換器所產生的二進制碼做±1 或不更動的動作。

➤ 3.2.2.4 數位謬誤校正電路

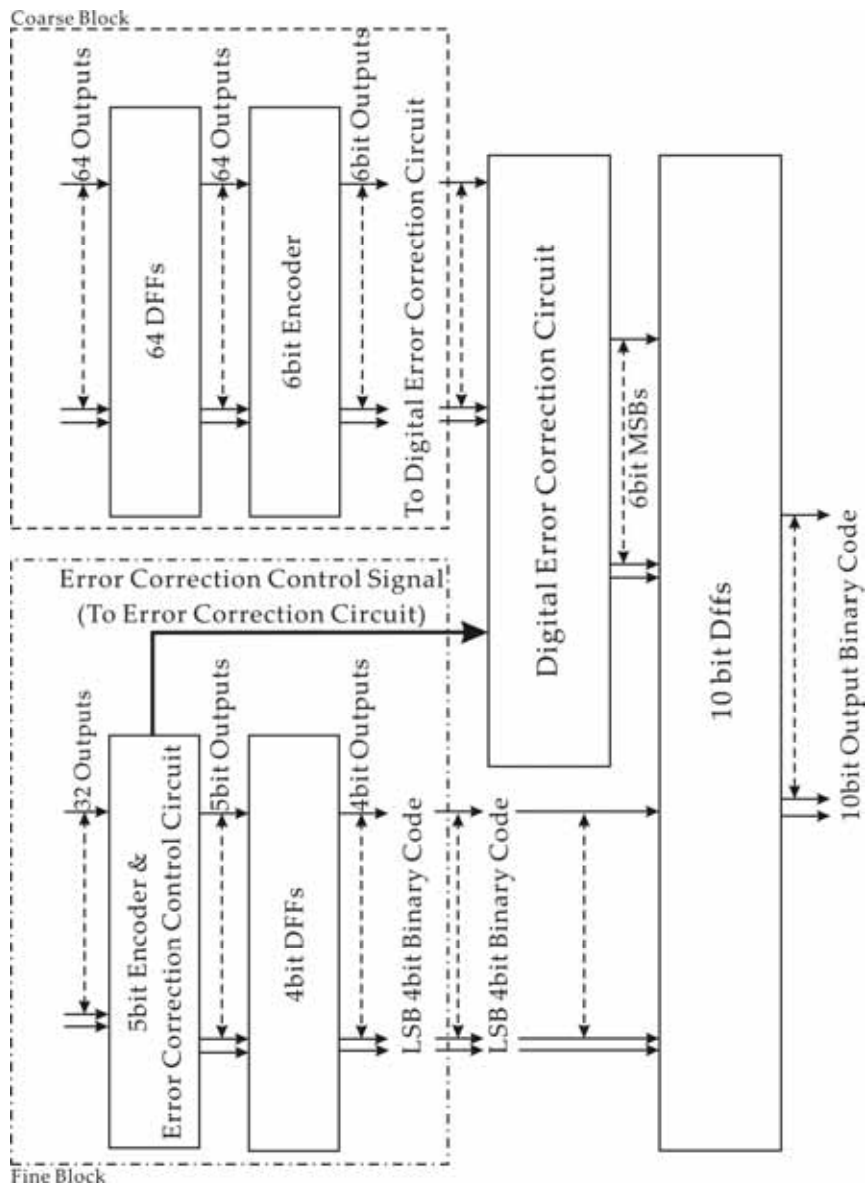


圖 3.10 數位謬誤校正電路輸入輸出訊號示意圖

經由粗調類比數位轉換器所轉換出的 6 位元二進制碼(Binary Code)將如圖 3.10 所示，送入數位謬誤校正電路(Digital Error Correction Circuit)處理，而由微調類比數位轉換器所送出的謬誤校正控制訊號(Error Correction Control Signal)，控制

數位謬誤校正電路針對粗調類比數位轉換器所送入的 6 位元二進制碼作加一、減一或不作任何加減直接輸出的動作。而經過數位謬誤校正電路校正後的六位元的 MSBs 與扣除最高位元後的四位元 LSBs 組成 10 位元輸出，再由 10 位元的 D 型正反器作鎖值與存值的動作，成為整體二階式類比數位轉換器的 10 位元二進制碼的輸出。圖 3.10 即為數位謬誤校正電路輸入輸出訊號示意圖。

➤ 3.2.2.5 控制訊號整理表

圖 3.11 為重要控制訊號整理表。

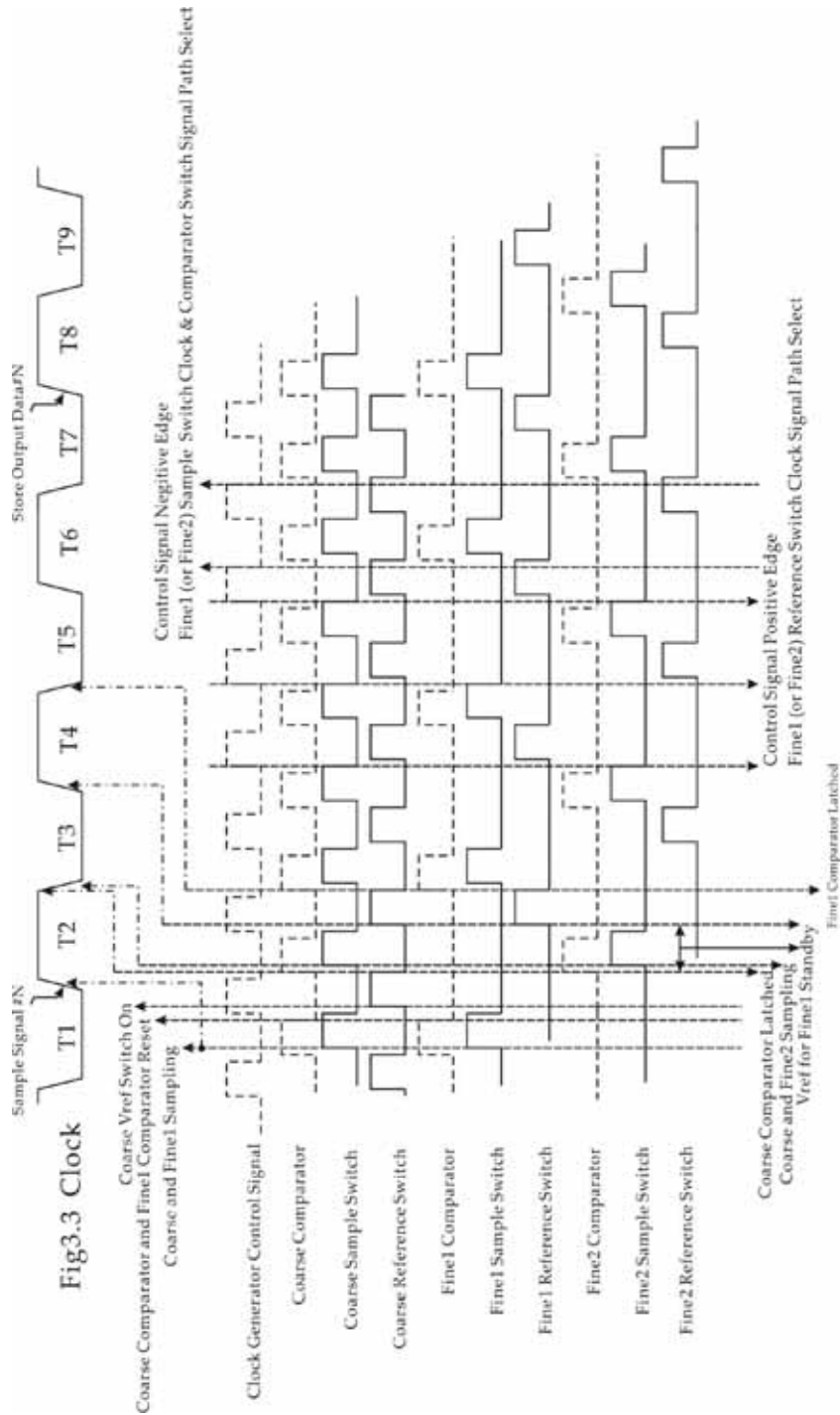


圖 3.11 重要控制訊號整理表

如前文所述，本論文二階式類比數位轉換器同時兼具傳統二階式類比數位轉換器與時間分離式類比數位轉換器的特性。而時間分離式類比數位轉換器的缺點即是需要較複雜的時脈訊號做控制。而圖 3.11，即是針對本二階式類比數位轉換器的控制訊號做一個簡要的整理。

由圖 3.11 的重要控制訊號整理表中可以發現，如果將 Fine1 與 Fine2 的 Sample Clock 重疊在一起即是 Coarse 的 Sample Clock。同理，如果將 Fine1 與 Fine2 的 Comparator Clock 與 Reference Clock 重疊起來，亦與 Coarse 的控制訊號相同，換句話說，如果能有一個控制訊號，定期且正確地將 Coarse 的控制 Clock 依序導入 Fine1 與 Fine2 的話，即可做到 Time-Interlived 的效果。

在圖 3.11 中，時脈產生器控制訊號(Clock Generator Control Signal)正緣時，能將 Reference Switch Clock 進入 Fine1 或 Fine2 的路徑設定好，則在下一個控制訊號正緣來臨前，Reference Switch Clock 可以通過早已開啟的正確訊號路徑，正確地控制 Fine1 與 Fine2 的動作。同理，在時脈產生器控制訊號負緣時，將 Sample Clock 與 Comparator Clock 的控制路徑設定好，即可達到控制 Fine1 與 Fine2 的效果。

在圖 3.11 中的 Fig3.3 Clock 訊號是為對圖 3.3 中的 Clock 訊號作對照之用，但在圖 3.11 中的控制訊號描述，著重在整體二階式類比數位轉換器類比電路控制的部份，所以在圖 3.11 中只標出相對於 3.3 中 Clock 訊號 T1~T4 的動作，因為 T1~T4 的時脈動作發生在二階式類比數位轉換器類比電路的部份。而發生在 T5~T7 Store Coarse Decision 與 Correct Output 動作均為二階式類比數位轉換器類比器數位電

路部份的處理，故沒有標示於圖 3.11 中。而為了產生上述的控制訊號，需要透過特殊的電路設計，將於 3.3 節中的時脈緩衝器與時脈產生器(Clock Buffer and Clock Generator)中做相關的介紹。

3.3. 本論文二階式類比數位轉換器的電路設計與實現

經由 3.2 節的敘述，已將本論文二階式類比數位轉換器的架構作一個深入的介紹。在接下來的本節中，將深入探討本類比數位轉換器的電路設計與實現。

3.3.1 偏壓電路

為了使 ADC 的表現良好，優良的周邊電路亦是不可缺少的，在類比電路中，如何提供一個穩定的電流源，是一個很重要的課題。一般的偏壓電路(Bias Circuit)，所提供的電流會隨著高低溫的變化，而有很大的差異。使得整體的電路表現，在不同的溫度時會有差異。為了提供一個隨溫度變異度低的穩定電流，本論文採取了帶差參考電路(Bandgap Circuit Design)與校準疊接電流源(Regulated Cascode Current Mirror)的組合，來取代過去一般常用的偏壓電路。

➤ 3.3.1.1 帶差參考電路設計

帶差參考電路(Bandgap Circuit Design)的基本原理即是找到或製造一個正溫度係數與一負溫度係數的電路元件或物理量，再將兩係數透過適當的處理，利用其正負溫度係數相消的方式，產生一個不隨溫度變化的參考值。

本帶差電路並非採取與過去一般帶差參考電路以電壓輸出的方式，而是採用電

$$dV_f = V_{f1} - V_{f2} = \frac{kT}{q} \ln(N) = V_T \ln(N)$$

$$I_{2a} = \frac{dV_f}{R_3}$$

$$I_{2b} = \frac{V_b}{R_2} = \frac{V_a}{R_2} = \frac{V_{f1}}{R_2}$$

$$I_{out} = I_2 = I_{2a} + I_{2b}$$

其中 V_{f1} 即是 BJT Q1 的 V_{EB} ，而 dV_f 即是 ΔV_{EB} ，所以輸出電流 I_{out} 又可寫成：

$$I_{out} = \frac{V_{f1}}{R_2} + \frac{dV_f}{R_3} = \frac{V_{EB}}{R_2} + \frac{\Delta V_{EB}}{R_3} = \frac{V_{EB}}{R_2} + \frac{V_T \ln(N)}{R_3}$$

從上式中，可發現的是 I_{out} 可透過調整參數 N 、 R_2 、 R_3 與 BJT V_{EB} 與 V_T 之間的溫度特性，達到低溫度變異度的特性。

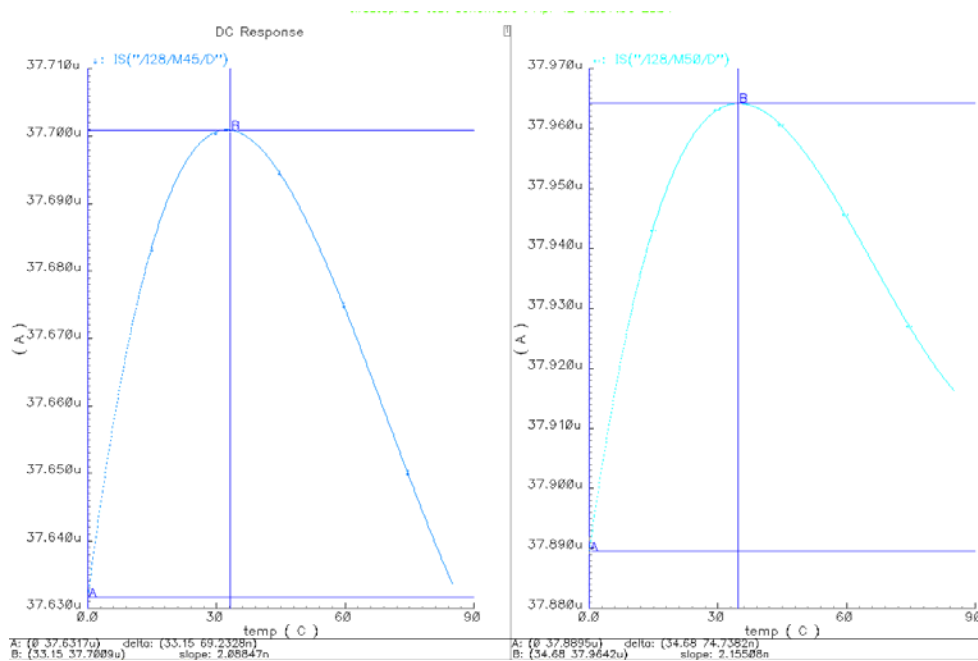


圖 3.13 帶差電路電流模擬結果

圖 3.13 是本論文帶差參考電路在溫度區間 0° 至 85° 的電流變化結果，在 BJT TT、MOSFET TT 的 Model 下溫度變異值為 32ppm，最差的情形發生在 BJT FF、MOSFET SS 的 Model 情形下，溫度變異值為 40ppm。此外在模擬的同時，亦套入電阻的 Model 以加入因溫度變化所造成的電阻值差異，對整體帶差參考電路影響的

考量。

此外本帶差參考電路的輸出端，亦可加上電阻當作負載。假設負載電阻為 R_4 ，則輸出參考電壓 V_{REF} 可寫成下式：

$$V_{REF} = \frac{R_4}{R_2} \left[V_{EB} + \frac{R_2}{R_3} \Delta V_{EB} \right]$$

可發現方程式多了 R_4/R_2 這項調整項，可透過調整 R_4 得到任何需要的 V_{REF} ，圖 3.14 為加上電阻為負載，並在 BJT TT、SS、FF 三種 Model 與 MOSFET TT、SS、FF、FS、SF 五種 Model，所組合共 15 種所有 Model 情況下的電壓模擬結果。

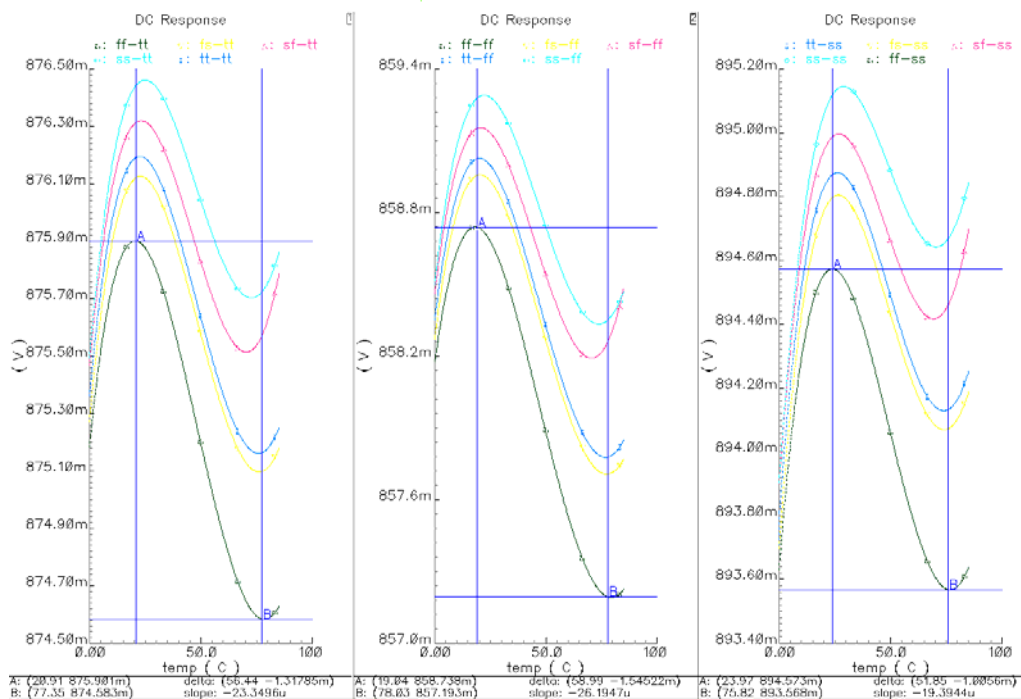


圖 3.14 帶差電路電壓輸出模擬結果

➤ 3.3.1.2 校準疊接電流源

透過帶差參考電路可產生的穩定電流。接下來的重點則是如何將已具有低溫度

變異特性的電流，移轉到所有晶片電路所使用的電流源上。在本論文中，需要一組由 NMOS 與 PMOS 所組成的電流源，作為電流源偏壓之用。如何使此組電流源能複製帶差電路輸出電流的曲線特性，是本節的重點。

在進入介紹校準疊接電流源(Regulated Cascode Current Mirror)前，首先先回顧一下 MOSFET 的基本特性。從下頁 MOSFET 特性圖(圖 3.15)中。可以看出流經 MOSFET 的電流由 V_{gs} 與 V_{ds} 兩個壓降來提供(忽略基板效應(Body Effect))。 V_{gs} 透過轉導(Transconductance, g_m)轉換成電流， V_{ds} 透過 R_{ds} 轉換成電流。而進入飽和區後的 MOSFET，其電流 I 與 V_{ds} 的斜率倒數即為 R_{ds} 。若閘極(Gate)所接受的輸入電壓具有帶差電路特性，且為了使閘極(Gate)輸入電壓(即 V_{gs})主導電晶體的電流特性，達到複製帶差電路特性的目的，就必須降低因 V_{ds} 變化所引起的電晶體電流變化。換句話述，為了使 MOSFET 的電流變化由閘極電壓主導，必須設法使 V_{ds} 固定。此即是校準疊接電流源的意義。

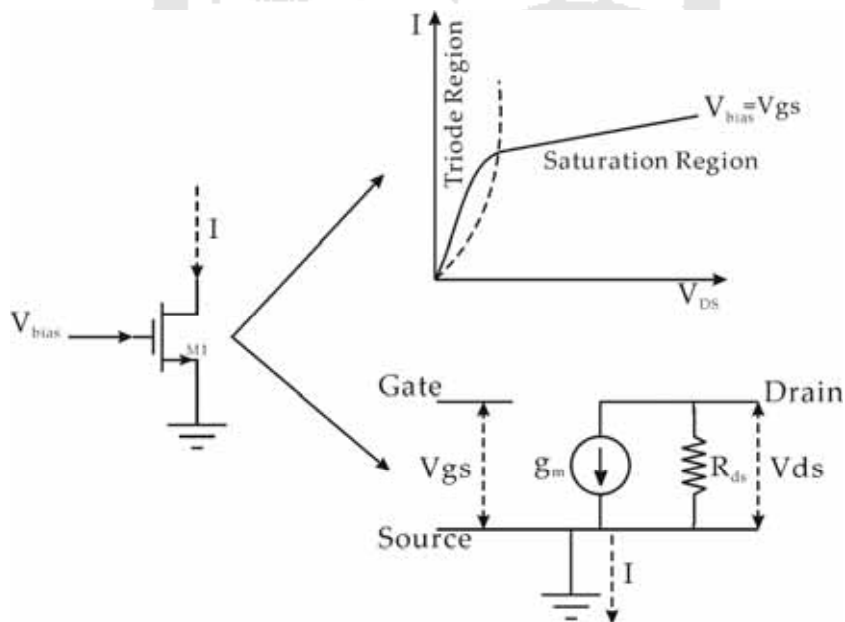


圖 3.15 MOSFET 特性圖

但是如何達到抑制 MOSFET 的 V_{ds} 變化，則需要透過負回授的機制。圖 3.16 為校準疊接電流源的電路圖。其中 I_1 與 I_{REG} 均來自帶差電路的輸出電流源，具備低溫度變化係數的特性。 M_4 即為帶差電流訊號轉為電壓訊號的二極體式負載，將帶差參考電路的輸出參考電流訊號轉成電壓訊號，再將此具有帶差參考電路曲線特性的電壓訊號送入 M_2 的閘極。而 I_{REG} 與 M_1 、 M_3 組成所需要的負回授型態。抑制 M_2 的 V_{ds} 變化，使得流過 M_2 的電流，受到帶差特性曲線的支配。亦即 I_{OUT} 會與 I_1 具備相似的電流特性，而 I_{OUT} 再經 PMOS 的二極體式負載 M_5 將電流訊號轉成電壓訊號輸出。

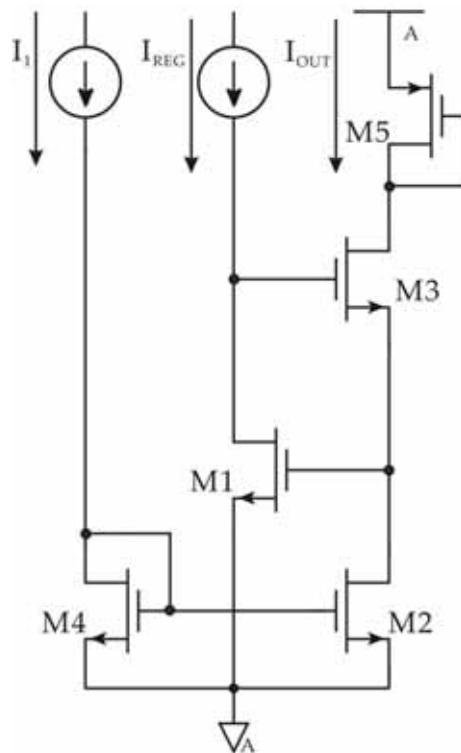


圖 3.16 校準疊接電流源

以上所敘述的部份，是針對校準疊接電流源做定性的解釋。在這裡也能發現， V_{ds} 在透過負回授機制控制而不易飄動後，亦造成從 I_{OUT} 端看入的輸出阻抗 r_{OUT} 變得極高。根據文獻[3]，可以得到下頁的方程式。

$$r_{out} = r_{ds3} + r_{ds2} \left(\frac{1 + r_{ds3} g_{m3} (1 + \eta_3) + g_{m1} r_{ds1} g_{m3} r_{ds3}}{1} \right)$$

$$r_{out} \cong r_{ds2} g_{m1} r_{ds1} g_{m3} r_{ds3} \cong g_m^2 r_{ds}^3$$

透過上式中，可發現校準疊接電流源的高阻抗特性，可以使其較一般電流源更能呈現參考電流 I_1 的特性，其模擬的結果，可在上一節帶差電路電流模擬結果圖(圖 3.13)中看到。圖中左圖電流對溫度曲線為參考電流 I_1 的特性，而右圖電流對溫度曲線為輸出電流 I_{OUT} 的特性曲線。

➤ 3.3.1.3 與傳統偏壓電路的比較結果

在 3.3.1 節的最後，本論文討論一般常用的 Constant-gm 的自我偏壓(Self-biasing)電路的缺點，並進一步提出本論文所使用偏壓電路的好處。圖 3.17 即是 Constant-gm 的自我偏壓(Self-biasing)電路的電路圖與其特性曲線。其中 M1 與 M2 的 W/L 尺寸相同，而 M3、M4 的 W/L 尺寸相同。

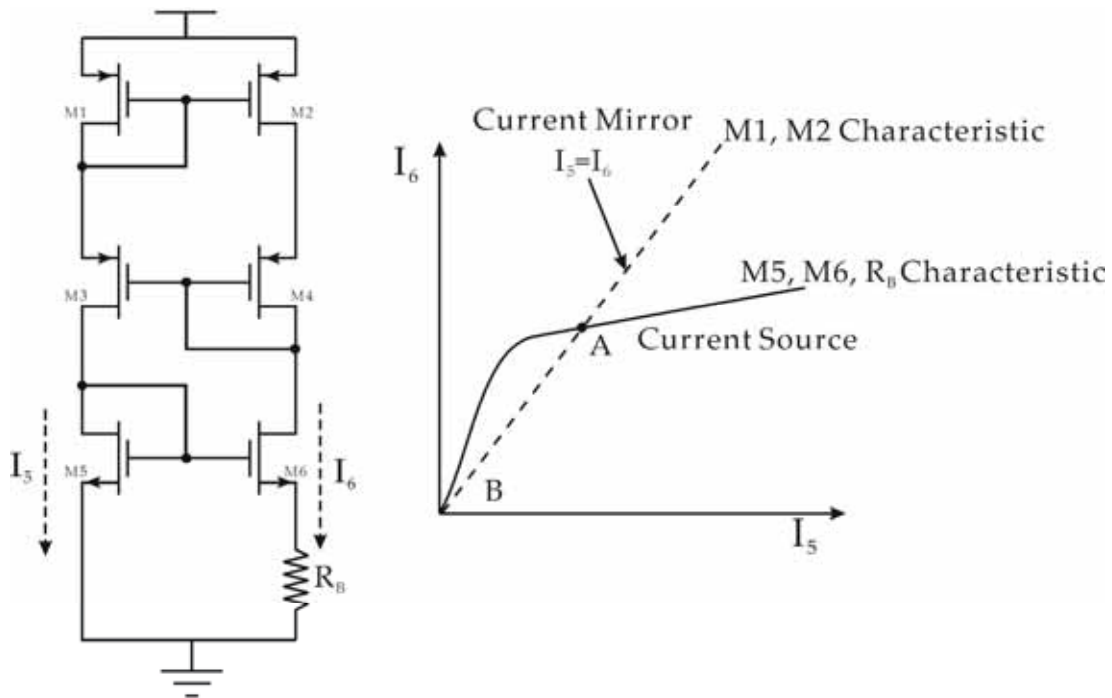


圖 3.17 Constant-gm 自我偏壓(Self-biasing)電路的電路圖與特性曲線

本電路的操作原理即是利用 M1、M2 對的 I_5/I_6 線性特性曲線與 M5、M6、 R_B 的 I_5/I_6 非線性特性曲線，使整個電路從操作點 B 提升至操作點 A，進而產生一個穩定的參考電流源。而 M1~M4 為形成一個負回授圈，使 M1、M3、M5 與 M2、M4、M6 這兩路所流通的電流相同。而 M1、M4、M5 的閘極電壓(Gate Voltage)亦可當作輸出的偏壓電壓。

在此電路中，M5 的轉導如下：

$$g_{m5} = \frac{2 \left[1 - \sqrt{\frac{(W/L)_5}{(W/L)_6}} \right]}{R_B}$$

由上式可知 g_{m5} 主由 M5、M6 的 W/L 尺寸比值及 R_B 的值來決定。而在設計上多採用：

$$(W/L)_6 = 4(W/L)_5 \Rightarrow g_{m5} = \frac{1}{R_B}$$

如此就可以調整 R_B 的值，得到所想要的電流值。在理想情況下，Constant-gm 只與 R_B 有關，不受製程漂移、電源飄動、溫度等參數影響。但是在實際上，內建在晶片內的 R_B 電阻，受溫度變化時卻有一定的差異。導致高低溫時參考電流源有相當的變化，而使整體電路表現有所差異。也彰顯了本論文利用帶差參考電路與校準疊接電流源的組合偏壓電路的優點：即利用 ΔV_{BE} 、 V_T 之間的調整，補償了電阻的正溫度係數特性，進而提供了一個溫度變異度低的參考電流，促進電路高低溫表現的一致。

3.3.2 前置放大器

前置放大器(Preamplifier)對本論文而言，是一個重要的課題。也是本論文類比數位轉換器中主要的類比電路。其不但用於電容內插電路(Capacitor Interpolation

Circuit)，亦用在時脈緩衝器(Clock Buffer)上。而本論文類比數位轉換器的表現優劣與否也與前置放大器的考量有極大的關係。故在 3.3.2 節中，探討這方面的課題。

前置放大器(Preamplifier)的考量，主要分三方向：(1)線性度(Linearity)。 (2)增益(Gain)。 (3)頻寬考量(Bandwidth)。在 3.3.2.1 節，主要在討論線性度的考量。而增益考量與頻寬考量則在 3.3.4 節說明電容內插電路(Capacitor Interpolation Circuit)的表現時，再為各位介紹。

➤ 3.3.2.1 基礎差動對的線性度

在本小節中，將透過基本差動對的分析，探討如何計算線性區區間的需求。圖 3.18 為一個簡單的差動對，接下來將對其做大信號分析。

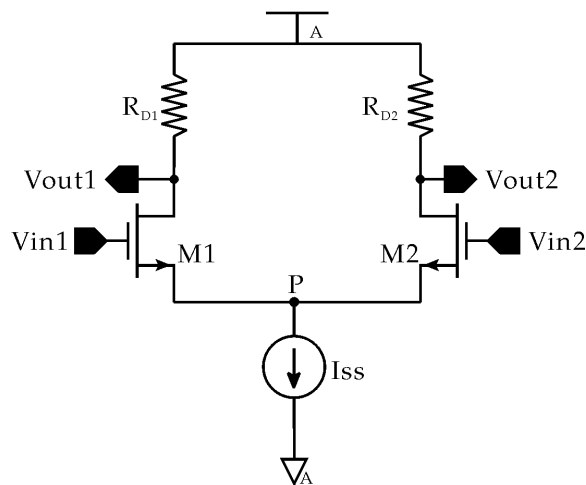


圖 3.18 差動對

對於圖 3.18 中的差動對，如果 $R_{D1}=R_{D2}=R_D$ ，可以得到 $V_{out1}=V_{DD}-R_D I_{D1}$ 和 $V_{out2}=V_{DD}-R_D I_{D2}$ ，亦即 $V_{out1}-V_{out2}=R_D I_{D2}-R_D I_{D1}$ 。再假設電路對稱，M1 與 M2 位於飽和區且通道長度調變常數 $\lambda=0$ 。而 P 之電壓等於 $V_{in1}-V_{GS1}$ 與 $V_{in2}-V_{GS2}$ 。

$$V_{in1} - V_{in2} = V_{GS1} - V_{GS2} \quad (3.1)$$

對於一個平方律(Square-law)元件來述，可得到下式：

$$(V_{GS} - V_{TH})^2 = \frac{I_D}{\frac{1}{2} \mu_n C_{ox} \frac{W}{L}}$$

因此得：

$$V_{GS} = \sqrt{\frac{2I_D}{\mu_n C_{ox} \frac{W}{L}}} + V_{th} \quad (3.2)$$

而從式(3.1)與式(3.2)可顯示出

$$V_{in1} - V_{in2} = \sqrt{\frac{2I_{D1}}{\mu_n C_{ox} \frac{W}{L}}} - \sqrt{\frac{2I_{D2}}{\mu_n C_{ox} \frac{W}{L}}} \quad (3.3)$$

接下來為了計算差動電流 $I_{D1} - I_{D2}$ ，將(3.3)式平方並利用 $I_{D1} + I_{D2} = I_{SS}$ ，得到下式：

$$\begin{aligned} (V_{in1} - V_{in2})^2 &= \frac{2}{\mu_n C_{ox} \frac{W}{L}} (I_{ss} - 2\sqrt{I_{D1}I_{D2}}) \\ \Rightarrow \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{in1} - V_{in2})^2 - I_{ss} &= -2\sqrt{I_{D1}I_{D2}} \end{aligned}$$

再將兩邊平方且注意到：

$$4I_{D1}I_{D2} = (I_{D1} + I_{D2})^2 - (I_{D1} - I_{D2})^2 = I_{SS}^2 - (I_{D1} - I_{D2})^2$$

故可得：

$$\begin{aligned} (I_{D1} - I_{D2})^2 &= -\frac{1}{4} \left(\mu_n C_{ox} \frac{W}{L} \right)^2 (V_{in1} - V_{in2})^4 + I_{ss} \mu_n C_{ox} \frac{W}{L} (V_{in1} - V_{in2})^2 \\ \Rightarrow I_{D1} - I_{D2} &= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{in1} - V_{in2}) \sqrt{\frac{4I_{ss}}{\mu_n C_{ox} \frac{W}{L}} - (V_{in1} - V_{in2})^2} \quad (3.4) \end{aligned}$$

如所預期的， $I_{D1} - I_{D2}$ 為 $V_{in1} - V_{in2}$ 之奇函數，當 $V_{in1} = V_{in2}$ 時為 0。當 $|V_{in1} - V_{in2}|$ 從 0 增加時， $|I_{D1} - I_{D2}|$ 亦開始增加。再進一步探討(3.4)式前，計算特性圖的斜率是很有

意義的，因其亦即代表了 M1 和 M2 的等效 G_m 。分別以 ΔI_D 和 ΔV_{in} 取代 $I_{D1} - I_{D2}$ 與 $V_{in1} - V_{in2}$ ，可證明出下式：

$$G_m = \frac{\partial \Delta I_D}{\partial \Delta V_{in}} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} \frac{\left[\frac{4I_{ss}}{\mu_n C_{ox} \frac{W}{L}} - 2\Delta V_{in}^2 \right]}{\sqrt{\frac{4I_{ss}}{\mu_n C_{ox} \frac{W}{L}} - \Delta V_{in}^2}} \quad (3.5)$$

對於 $\Delta V_{in}=0$ 而言， $G_m = \sqrt{\mu_n C_{ox} (W/L) I_{ss}}$ ；此外因為 $V_{out1} - V_{out2} = R_D \Delta I = R_D G_m \Delta V_{in}$ ，

可寫出當 $V_{in1} = V_{in2} \Rightarrow \Delta V_{in} = 0$ 的平衡狀況下的小訊號差動電壓增益為：

$$|A_V| = \left. \frac{\Delta V_{out}}{\Delta V_{in}} \right|_{\Delta V_{in} \rightarrow 0} = \sqrt{\mu_n C_{ox} \frac{W}{L} I_{ss} R_D} = G_m R_D$$

而從 3.5 式中可發現，當 $\Delta V_{IN} = \sqrt{2I_{ss} / \mu_n C_{ox} (W/L)}$ 時， G_m 會降至 0。

再回顧(3.4)式，對 $\Delta V_{IN} = \sqrt{4I_{ss} / \mu_n C_{ox} (W/L)}$ 來述，平方根降為 0 即是暗示 ΔI_D 將在不同的兩個 ΔV_{in} 值時等於 0。然而這結論並非全然正確，因為(3.3)是建立在 M1 與 M2 均同時開啟的情況下被導出，但實際上當 ΔV_{in} 超過一極限時，會使一邊的 MOSFET 帶走所有的電流，而另一邊的 MOSFET 則為關閉的情形。以 ΔV_{in1} 來表示上述的極限數值時，可得到 $I_{D1} = I_{SS}$ 和 $\Delta V_{in1} = V_{GS1} - V_{TH}$ ，此時 M2 為幾乎關閉的情形。而得到下式：

$$\Delta V_{in1} = \sqrt{\frac{2I_{ss}}{\mu_n C_{ox} \frac{W}{L}}} \quad (3.5)$$

此時對 $\Delta V_{in} > \Delta V_{in1}$ 來述，(3.4)式不成立，因而 M2 為幾乎關閉的情形與假設不合。且 G_m 在 $\Delta V_{in} = \Delta V_{in1}$ 時會降至 0。圖 3.19 即是差動對對汲極電流與轉導變化的

關係圖。

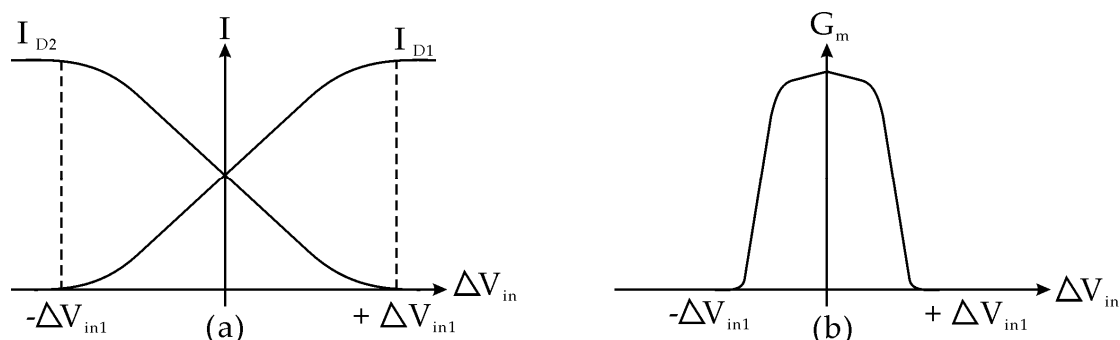


圖 3.19 差動對對汲極電流與轉導變化關係圖

由導出的(3.5)式與圖 3.19, 即可知道電路所能處理的最大差動輸入訊號。將 ΔV_{in1} 和平衡狀態時(此時 $\Delta V_{in}=0$)的 M1 與 M2 的源級隨耦器(Source Follower)電壓相連是可能的, 對一個零差動輸入訊號來述, $I_{D1} = I_{D2} = I_{ss} / 2$ 且由下式:

$$(V_{GS} - V_{TH})_{1,2} = \sqrt{\frac{I_{ss}}{\mu_n C_{ox} \frac{W}{L}}}$$

因此, 平衡時的驅動電壓為 $\Delta V_{in1} / \sqrt{2}$ 。增加 ΔV_{in1} 會致使電路變得更加線性, 但無可避免地亦增加了 M1 與 M2 的驅動電壓, 縮小了輸入訊號範圍。所以對一給定 I_{ss} 來述, 僅需減小 W/L 值即可完成。

最後, 本論文將透過圖 3.20, 來探討當元件寬度與 I_{ss} 變化時, 差動對的輸入-輸出特性圖。圖 3.20(A)是在元件寬度與 I_{ss} 尚未改變前的情形。當 W/L 增加時, ΔV_{in1} 減少, 使得兩邊的元件同時開啟的輸入範圍變窄, 如圖 3.20(B)所示。而當 I_{ss} 增加時, 輸入範圍與輸出電流振幅也跟著一起提升, 如圖 3.20(C)所示, 所以當 I_{ss} 增加或 W/L 減少時, 可以直觀地預測電路將會變得更線性。

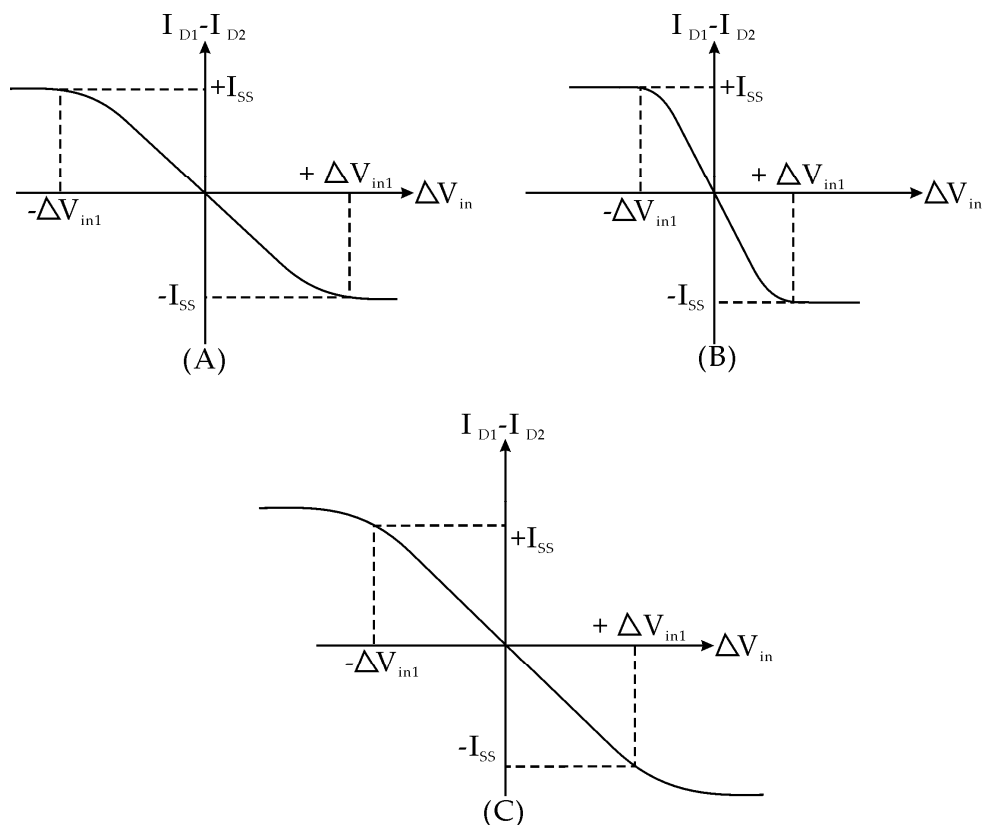


圖 3.20 差動對輸出-輸入特性與元件寬度與 I_{SS} 變化關係圖

➤ 3.3.2.2 前置放大器的組態

在上一節本論文針對線性度區間，作了介紹與推導。上一節中，已闡述了偏壓電流、輸入級(Input Stage)MOSFET 尺寸與輸入訊號範圍之間的關聯。而在本節中將開始討論負載與線性度的關係。但在進入主題前，先將焦點拉回到前置放大器的需求。在本論文中，所有的前置放大器主要是用於開迴路(Open Loop)的放大，又為因應於下一級輸入訊號範圍的需求。故放大的增益並不能太高。至於原因，留待介紹電容內插電路與時脈緩衝器的單元時，再為各位說明。

上一段的敘述中，得知開迴路放大器的增益不能太高，那何種的負載才能達到這樣的需求?其又在整體前置放大器的線性度方面、增益方面、頻寬方面又是如何的

表現呢?而這些將是本節探討的重點。圖 3.21 顯示了在理想上前置放大器的輸出輸入曲線圖，從前置放大器(圖 3.21 右圖)的 V_{in-} 輸入直流準位 V_{CM} ，而 V_{in+} 輸入則由 $0V$ (V_{SS} 電壓) 掃描到 $1.8V$ (V_{DD} 電壓)，藉此觀察輸出電壓結果與輸入電壓之間的變化(圖 3.21 左圖)，在理想上的前置放大器輸出輸入曲線圖，可發現在輸入訊號範圍內 ($-\Delta V_{in}$ & $+\Delta V_{in}$)， V_{out+} 與 V_{out-} 的曲線為對稱且兩曲線的交點(Intersection)為輸出範圍 ($-\Delta V_{out}$ & $+\Delta V_{out}$) 的中間點，使得輸出電壓範圍對稱 ($-\Delta V_{out} = +\Delta V_{out}$)。此外在輸入訊號範圍 ($-\Delta V_{in}$ & $+\Delta V_{in}$) 內，輸出輸入曲線的斜率 ($\frac{\Delta V_{out}}{\Delta V_{in}}$) 變化能維持定值，而讓前置放大器的輸出訊號與輸入訊號間維持良好的線性度。

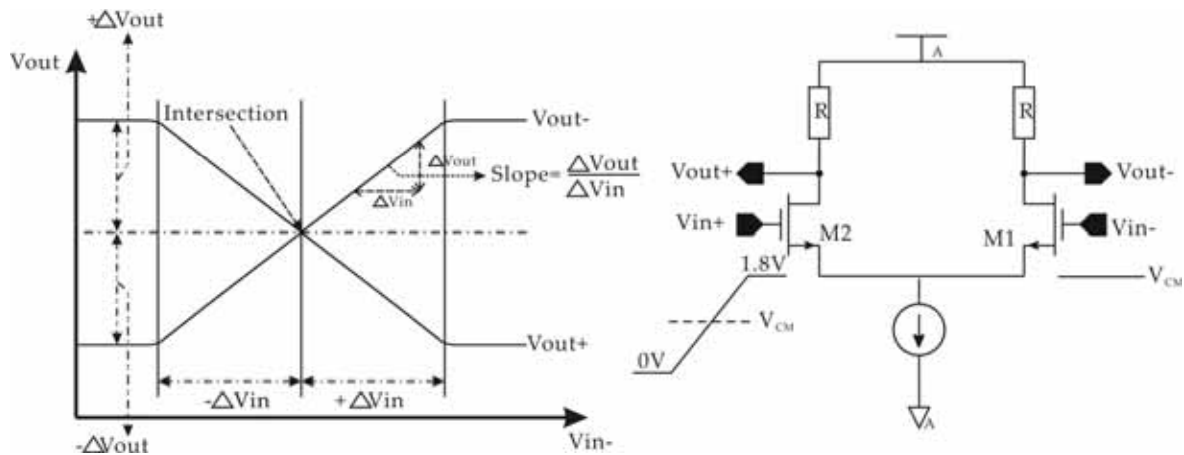


圖 3.21 理想前置放大器輸出輸入曲線圖

在本節中將會依次介紹在本類比數位轉換器所嘗試過的四種常用前置放大器負載組態。其組態如圖 3.22 所示。

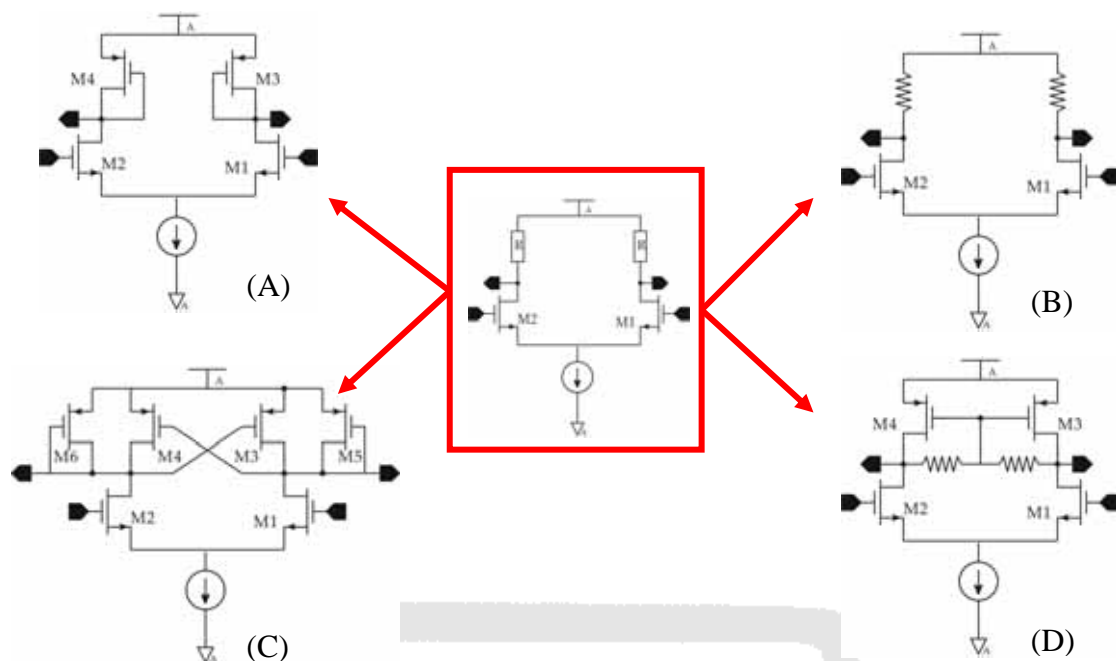


圖 3.22 前置放大器組態圖

圖 3.22 中為本論文中前置放大器所用的四種組態，(A)組態是一般常用的二極體式主動負載。其小信號差動增益可以輕易地被算出：

$$A_v = -g_{mN} (g_{mP}^{-1} \parallel r_{ON} \parallel r_{OP}) \cong \frac{g_{mP}}{g_{mN}}$$

其中下標的 N 與 P 分別代表 NMOS 與 PMOS。如果用元件尺寸來重新表示上式，可得到下式：

$$A_v \cong \sqrt{\frac{\mu_N (W/L)_N}{\mu_P (W/L)_P}}$$

二極體式主動負載會消耗電壓頭部空間，因此會造成輸出電壓範圍、電壓增益與輸入共模範圍等的限制。而在本論文中所重視的線性表現，其亦不理想。圖 3.23 即是接二極體式主動負載的前置放大器的輸出輸入曲線模擬結果。在圖 3.23 左圖中本論文取 V_{out+} 與 V_{out-} 的交點(Intersection)處的切線(圖 3.23 左圖虛線)，從 V_{out+} 與 V_{out-} 偏離交點處切線的情形，可以發現二極體式負載前置放大器輸出輸入曲線

的斜率 ($\frac{\Delta V_{out}}{\Delta V_{in}}$) 變化大，進而造成輸出電壓範圍的不對稱 ($-\Delta V_{out} \neq +\Delta V_{out}$)，而使輸入訊號範圍受制於 $-\Delta V_{out}$ 電壓範圍，而此結果並非全然不能解釋，是源自於二極體式負載的特性曲線 I-V 的曲線變化本就不具線性的特色。其等效電阻:

$$\frac{1}{g_m} = \frac{1}{\mu_p C_{ox} (W/L) (V_{SG} - V_{thP})} = \frac{1}{\sqrt{2\mu_p C_{ox} (W/L) I_D}}$$

隨著輸入訊號時時變化，而造成圖 3.23 左圖中的輸出輸入曲線模擬結果。

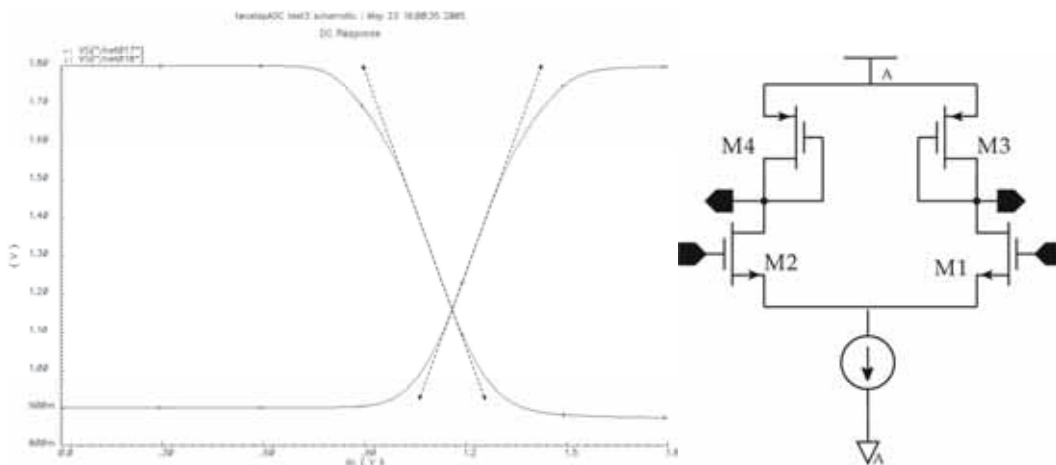


圖 3.23 二極體式負載前置放大器輸出輸入曲線模擬結果

因此為了改善此問題，嚐試了圖 3.22(C)中使用負阻抗負載的前置放大器。同樣在進入介紹輸出輸入曲線模擬結果前，將對其先做小訊號的分析。接下先對圖 3.24 中的負阻抗作推導的工作。

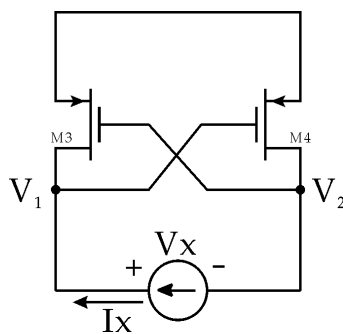


圖 3.24 負阻抗電路圖

圖 3.24 即是負阻抗電路的電路圖，為了計算負阻抗的等效電阻，加入一假設電流源，流過電流 I_X 。並假設 $g_{m3} = g_{m4} = g_{m3,4}$ ，可得到以下二式：

$$I_X = g_{m3}V_2$$

$$I_X = -g_{m4}V_1$$

將上二式相加後得：

$$\Rightarrow 2I_X = -g_{m3,4}(V_1 - V_2) = -g_{m3,4}V_X$$

$$\Rightarrow \frac{V_X}{I_X} = -\frac{2}{g_{m3,4}}$$

所以 V_1 與 V_2 間的等效電阻為 $-2/g_{m3,4}$ 。接下來將負阻抗加入本論文的前置放大器電路中，其等效電路如圖 3.25(B)：

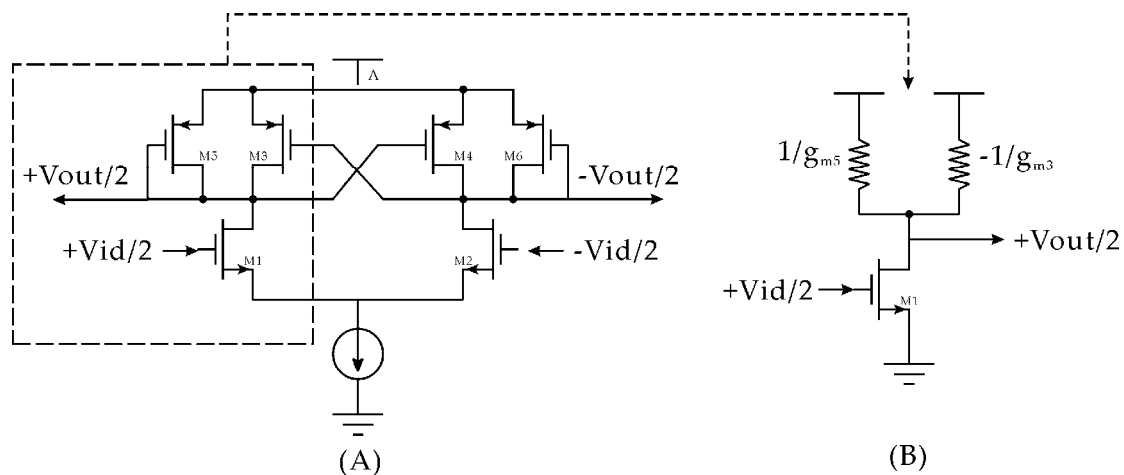


圖 3.25 負阻抗負載前置放大器與等效電路

圖 3.25(A)即是加入負阻抗負載的前置放大器。正如上頁中之推導，由於 M_3 所等效的負載為負值，故在 (W/L) 尺寸的選擇上需小於 M_5 。才不會使等效阻抗的組合成為負值，成為振盪器的特性。在本前置放大器中，選擇 $(W/L)_{M3} = N(W/L)_{M5}$ 其中 $0 < N < 1$ ，使得等效的負載如下式：

$$\begin{aligned} \because \left(\frac{W}{L}\right)_{M3} &= N \left(\frac{W}{L}\right)_{M5} \Rightarrow gm_3 = N gm_5 \\ \frac{1}{gm_5} \parallel \left(-\frac{1}{gm_3}\right) &\Rightarrow \frac{1}{gm_5 - gm_3} = \frac{1}{(1-N)gm_5} \end{aligned}$$

所以整體前置放大器的增益為:

$$A_v = -\frac{gm_1}{(1-N)gm_5}$$

在探討完負阻抗負載前置放大器的小訊號模型後，圖 3.26 即是負阻抗式負載前置放大器線性度模擬結果

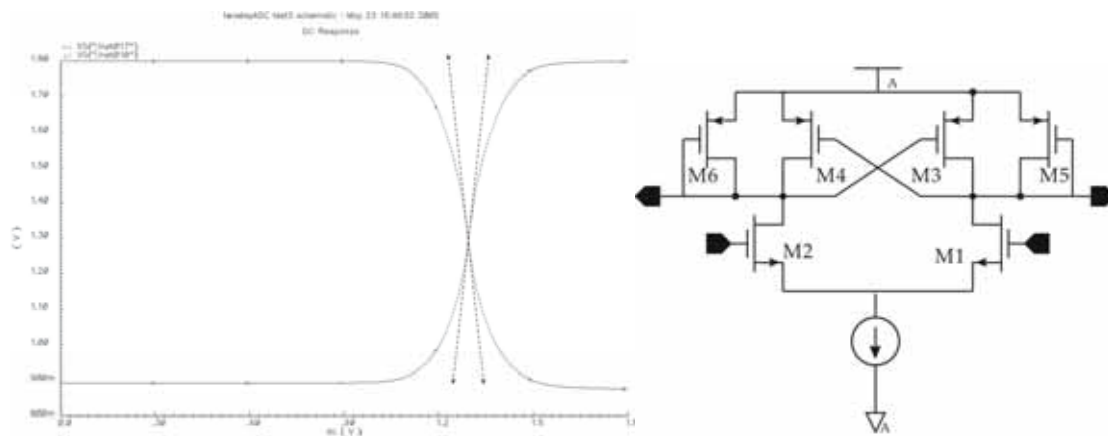


圖 3.26 負阻抗式負載前置放大器輸出輸入曲線模擬結果

從圖 3.26 左圖中可發現在輸出電壓範圍對稱性(- ΔV_{out} & + ΔV_{out})表現比單純的二極體式負載還好，但其輸出電壓範圍仍非完全的對稱(- $\Delta V_{out} \neq +\Delta V_{out}$)，且從輸出輸入曲線偏離交點處切線(圖 3.26 左圖中虛線)的情形，可發覺由於負阻抗式負載前置放大器的負載是取正轉導與負轉導相減後，再取倒數的結果。而由於轉導如前所述並非定值，而是隨著輸入訊號的改變而有所變化，所以無法解決輸入曲線的斜率($\frac{\Delta V_{out}}{\Delta V_{in}}$)變化大的情形。也因此本論文才嚐試接下來要介紹的兩種前置放大器。

上兩種前置放大器在線性度模擬結果不盡理想的原因，即是 MOSFET 所形成

的主動負載(Active Load)本就非具有完美線性的特性。這種特性雖然在需要高阻抗輸出負載(即代表著高增益)的情況時，有極好的表現。但在不需要高阻抗輸出負載的本論文前置放大器情形下，不但形同累贅，其非線性的特性更是造成本論文整體類比數位轉換器，在線性度表現方面的絆腳石。有了上述的結論，就直接將線性電阻當做前置放大器的負載，一舉解決主動負載非線性特性的缺點。

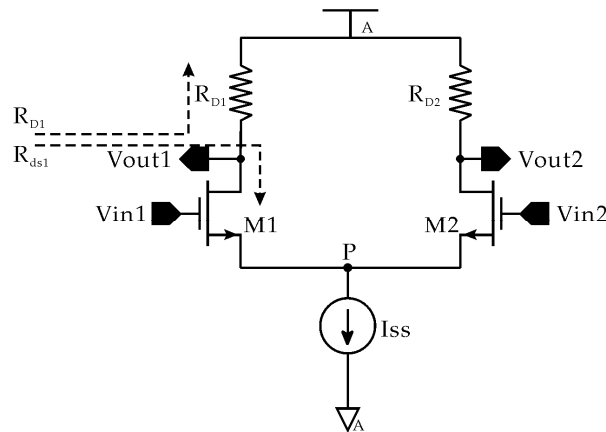


圖 3.27 線性電阻負載前置放大器

透過上述構想所產生的前置放大器就如圖 3.27 所示，圖中的 A 即為類比電源 (Analog Power) 的意思。從 V_{out1} 端看入的等效阻抗將由 R_{ds1} 與 R_{D1} 所主導，但由於 R_{D1} 所取的值遠小於 R_{ds1} ，故等效的小訊號阻抗成為 $R_{D1} \parallel R_{ds1} \cong R_{D1}$ ，也使整體的小訊號增益成為：

$$A_v \cong -g_{mM1}R_{ds1}$$

然而，以線性電阻取代由 MOSFET 所組成的主動負載，仍有些問題。請看圖 3.28 中的線性電阻負載前置放大器模擬結果。

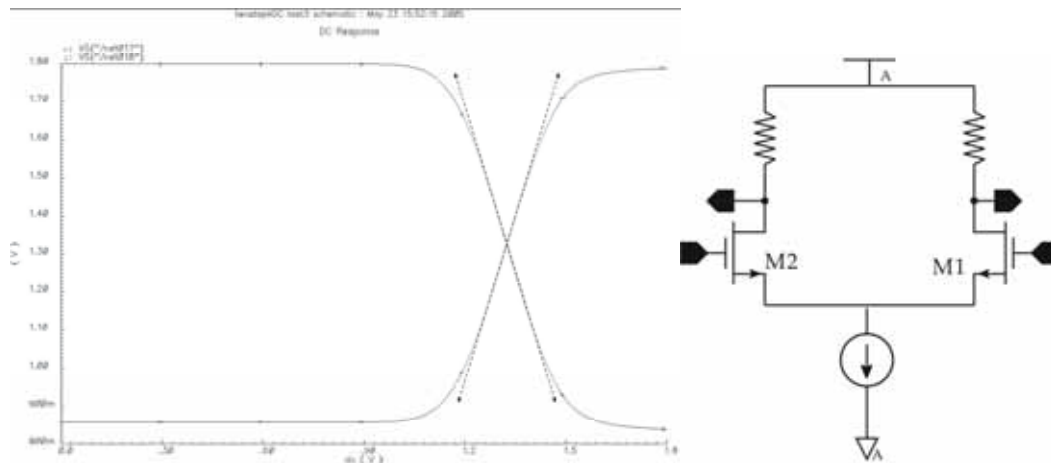


圖 3.28 線性電阻負載前置放大器輸出輸入曲線模擬結果

將圖 3.28 中的線性電阻負載前置放大器輸出輸入曲線模擬結果與前兩種的前置放大器模擬結果相比較，可以發現，線性電阻負載前置放大器大幅改善了輸出輸入曲線輸入曲線的斜率 ($\frac{\Delta V_{out}}{\Delta V_{in}}$) 變化大的問題，使得曲線圖較前兩種前置放大器的輸出電壓範圍更趨於對稱。但是此種線性電阻負載前置放大器耗費較大的電流，浪費較大的面積，且其特性曲線的輸入範圍 ($-\Delta V_{in}$ & $+\Delta V_{in}$) 需較高的直流電壓準位 (V_{CM})，減少了可允許輸入訊號的範圍。

所以為了解決上述所有前置放大器所遇到的問題，採取了改良式線性電阻負載前置放大器組態，如圖 3.29 所示。同線性電阻負載前置放大器，由 V_{out1} 端所看入的等效電阻主由 M4 的 R_{ds4} 、 R_1 與 M2 的 R_{ds2} 來主導，但合併之後的小訊號等效電阻 $R_{ds2} \parallel R_{ds4} \parallel R_1 \cong R_1$ ，所以其小訊號的增益即類似線性電阻負載前置放大器：

$$A_v \cong -g_{mM1} R_1$$

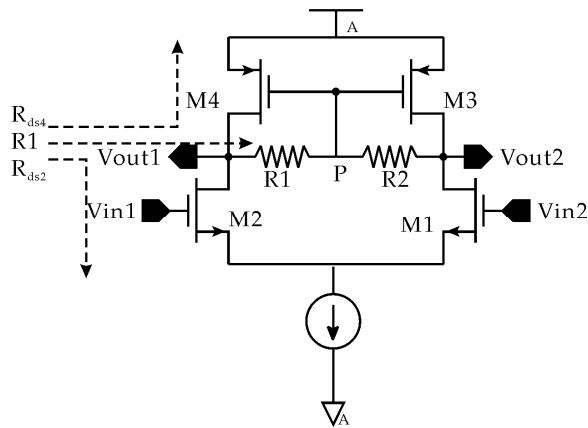


圖 3.29 改良式線性電阻負載前置放大器

由 M3、M4、R1、R2 所組成的負載部份亦有共模回授(Common-Mode Feedback, CMFB)的作用。對於 V_{out1} 與 V_{out2} 之差動變化來述，節點 P 為虛擬接地(Virtual Ground)，進而導出上頁中的增益公式。且對共模位準而言，M3 和 M4 可以視作二極體負載的元件。在此可以知道，當差動訊號輸入時，改良式線性電阻負載前置放大器的小訊號模型，將由 R1、R2 來主導，充份顯現線性電阻線性度良好的特性。但在 $V_{in+}=V_{in-}=V_{CM}$ 時改良式線性電阻負載具有二極體負載的特性，促使其特性曲線之交點較線性電阻負載前置放大器低。進而解決線性電阻負載前置放大器輸入訊號範圍縮小的問題。圖 3.29 為改良式線性電阻負載前置放大器的輸出輸入曲線模擬。

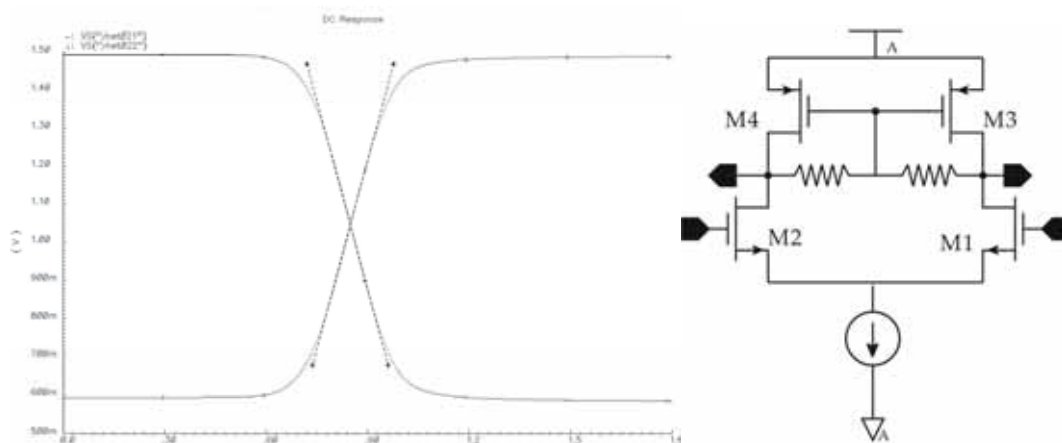


圖 3.30 改良式線性電阻負載前置放大器輸出輸入曲線模擬結果

圖 3.30 即是改良式線性電阻負載前置放大器線性度的模擬結果，透過上頁的論述，可以清楚地看見，改良式線性電阻負載前置放大器改善了前三種前置放大器所遇到的問題。雖然改良式線性電阻負載前置放大器的缺點是其所需的面積較二極體式負載前置放大器、負阻抗式負載前置放大器來的大，但線性度的表現卻比這兩種好。且其耗損功率與面積需求，與特性曲線的交點特性比線性電阻負載前置放大器來的好。因此，本論文最後採取了改良式線性電阻負載前置放大器來做前置放大器的架構。

3.3.3 時脈緩衝器與時脈產生器

在本論文中二階式類比數位轉換器中所需要的時脈，並非如傳統類比數位轉換器一般，由測試板上的石英振盪器或訊號產生器產生並送入方波，而是透過輸入弦波經由 RF-Transformer 轉成差動訊號的方式輸入。此種時脈輸入的方式與本類比數位轉換器輸入類比訊號的方式相同，所差只是輸入訊號的頻率與振幅而已。採用此種方式的原因有二，一是產生一個 135Mhz 的弦波遠比方波來的容易。二是在測試板上因方波傳遞而饋入於電源(Power)的雜訊將比弦波高的多。基於上述的理由，本論文採取將輸入弦波經三級的時脈緩衝器(Clock Buffer)線性放大，再經數位電路轉成方波的方式完成所需的最基本時脈。

而在 3.2 節中所整理出的控制訊號表，其產生的方式即是將上述的最基本時脈送入特殊的時脈產生器(Clock Generator)，產生所有的時脈控制訊號。以上所闡述的時脈緩衝器與時脈產生器將在本節依次地介紹。

為什麼輸入的弦波需經三級的時脈緩衝器做線性的放大呢?為什麼不直接將弦

波送入數位電路直接經由判斷準位，而轉為方波呢?這個原因請看圖 3.31 中的轉態點(Transition Point)分析圖。

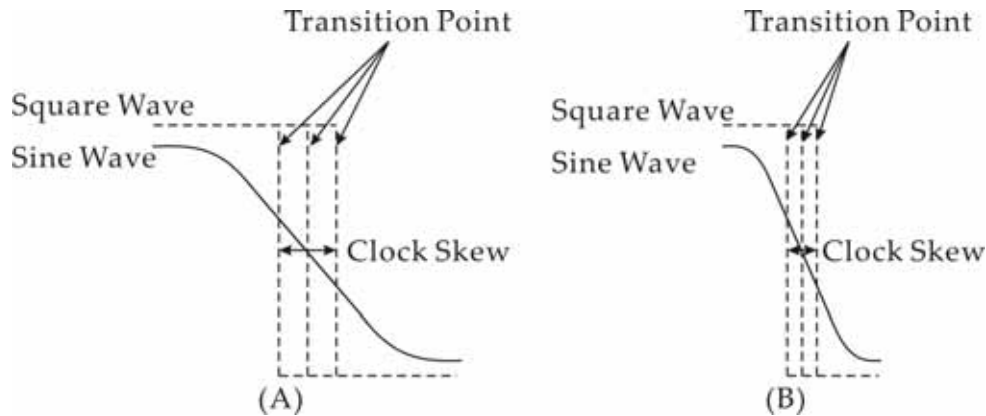


圖 3.31 轉態點分析圖

在本頁的轉態點分析圖(圖 3.31)，實線的 Sine Wave 為輸入的弦波，而 Square Wave 是經數位電路準位判斷後產生的方波。而 Transition Point 指的是數位電路根據輸入弦波由準位 0 轉為準位 1 時的轉態點。由於可能因為雜訊，造成轉態點的位置在每次轉態時，可能會有些許的不同，而造成的時脈偏移(Clock Skew)的情形。虛線部份即是代表所產生時脈偏移的示意圖。在圖 3.31 中的(A)，所表示的是未經三級線性放大而直接作數位轉態的結果，而(B)則是經過三級線性放大拉高輸入弦波的斜率後，再作轉態的結果。可以清楚的看見，就相同的轉態點變化，(B)的時脈偏移比(A)小。此即本論文三級時脈緩衝器線性放大的理由，進而造成低時脈劇跳(Clock Jitter)的情況。

在上一段的敘述中，可以很清楚地瞭解為減少時脈劇跳(Clock Jitter)的情形，需要時脈緩衝器的作用。時脈緩衝器選擇了在上一節中，各個方面表現均不錯的改良式線性電阻負載前置放大器，來做為這一節中所需要的時脈緩衝器架構。三級的

時脈緩衝器電路圖就如圖 3.32 中所示。

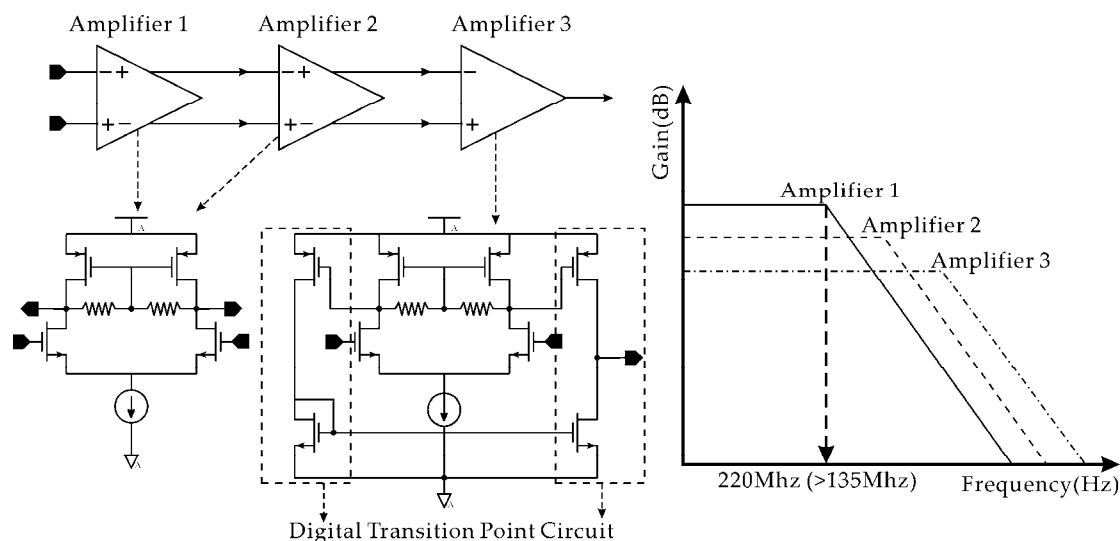


圖 3.32 三級時脈緩衝器電路與增益頻寬關係圖

上方的三級時脈緩衝器電路與波德示意圖(圖 3.32)中，可以看出每一級的電路結構與每一級增益頻寬的關係圖。經過三級改良式線性電阻負載前置放大器所作的時脈緩衝器後，再由第三級的數位轉態點電路(Digital Transition Point Circuit)將拉高斜率後的弦波放大成從 $0V(V_{ss})$ 至 $1.8V(V_{dd})$ 的方波。

本三級時脈緩衝器電路是從晶片外輸入 $1V_{PP}$ 的弦波訊號，所以在第一級脈緩衝器電路的設計上，需注意其輸入訊號範圍 ΔV_{in} (見式 3.5) 的設計需大於輸入訊息的範圍，且在設計第一級時脈緩衝器的頻寬時，其 W_{3dB} 需高於輸入弦波訊號的頻率，以確保增益在輸入弦波頻率附近仍維持定值，而第二級時脈緩衝器的增益將設計得比第一級時脈緩衝器的增益低，但頻寬將較第一級的頻寬高，同樣第三級時脈緩衝器增益也將較第二級時脈緩衝器的增益低，但頻寬將較第二級的頻寬高。如此透過各級時脈緩衝器適當的增益放大與頻寬設計(見圖 3.32)，提高了輸入弦波在數位轉態點電路判斷 0、1 變化轉態點附近的斜率，而藉此降低時脈偏移(Clock Skew)的情形

(如圖 3.31 所示)。

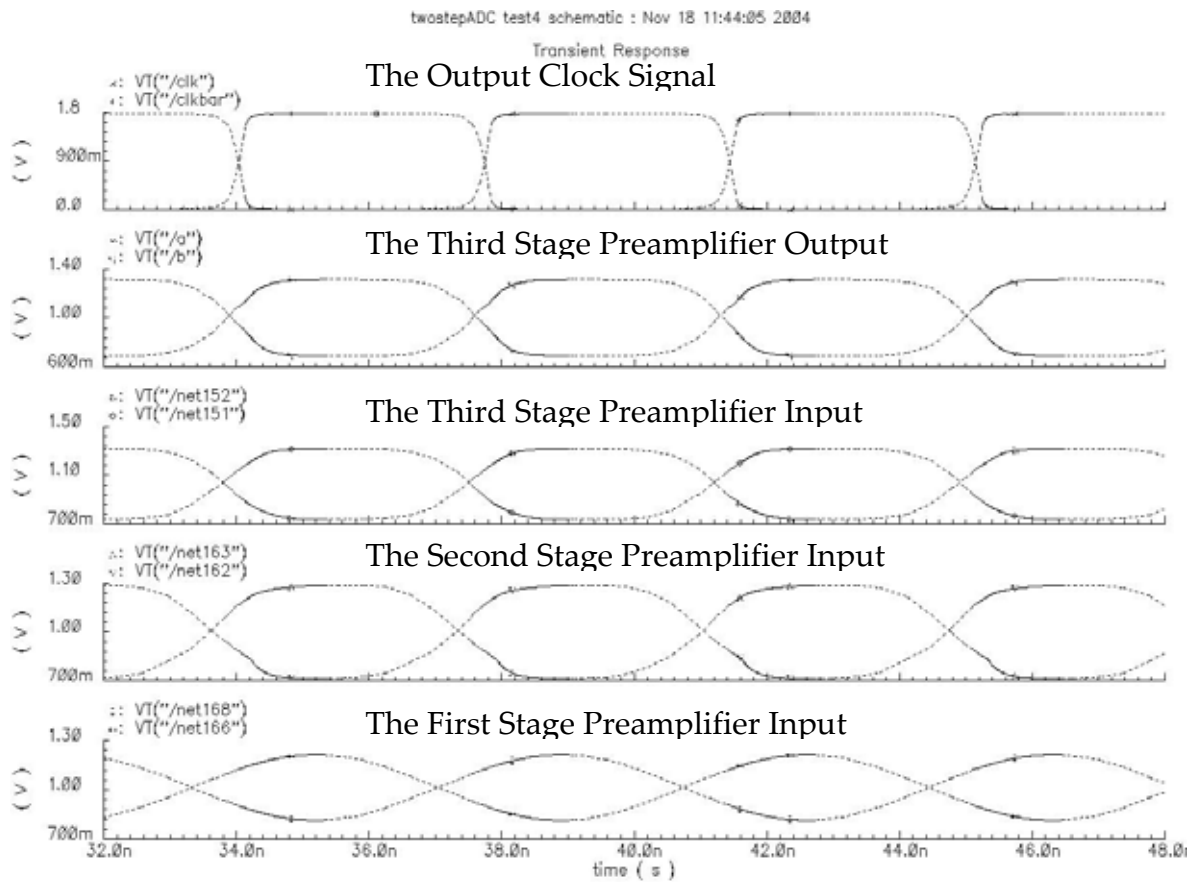


圖 3.33 符合時脈緩衝器需求之模擬結果

圖 3.33 中，由下往上的是，第一級的輸入訊號(即輸入弦波訊號)、第二級的輸入訊號(即第一級的輸出訊號)、第三級的輸入訊號(即第二級的輸出訊號)、第三級尚未經過數位電路轉態判定前的訊號與最後的輸出結果(轉成自 0V 至 1.8V 的方波)，在本論文中透過兩個電路相同，但輸入訊號相反的數位轉態點電路(Digital Transition Point Circuit, 見圖 3.32)來產生兩個相位相反的時脈(見圖 3.33, The Output Clock Signal)，可以清楚的看到，經每一級放大後的波型，輸出振幅與訊號斜率逐漸地提高，致使轉態出的方波，其時脈偏移(Clock Skew)的區間變小，進而達到低時脈劇跳(Clock Jitter)的效果。

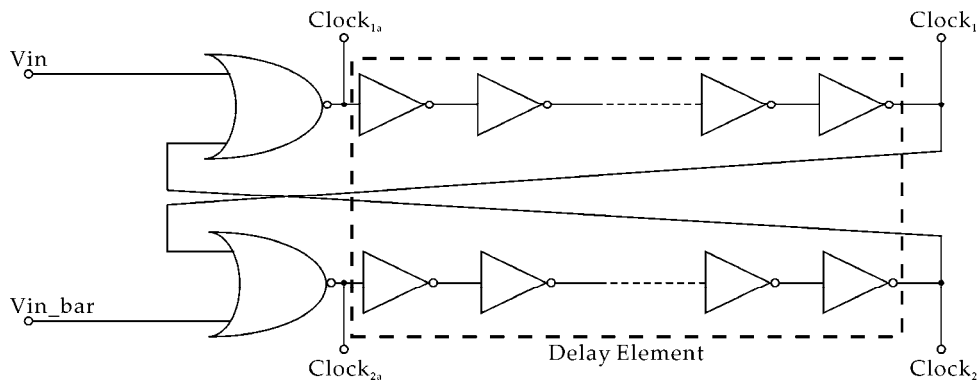


圖 3.34 非重疊時脈訊號產生器

圖 3.34 是非重疊時脈訊號(Un-overlapped Clock Signal)產生器的電路圖，在圖 3.33 看看到本論文透過兩個電路相同，但輸入訊號相反的數位轉態點電路所產生兩個相位相反的時脈(見圖 3.33, The Output Clock Signal)，作為非重疊時脈訊號產生器的輸入 V_{in} 與 V_{in_bar} ，且利用反相器(Inverter)串所作成的延遲元件(Delay Element)，做為非重疊時脈兩訊號間的時間。而本訊號需要兩組相位(Phase)的非重疊時脈，所以取出了 $Clock_{1a}$ 與 $Clock_{2a}$ 、 $Clock_1$ 與 $Clock_2$ 兩組訊號。圖 3.35 即是非重疊時脈訊號產生器模擬結果。

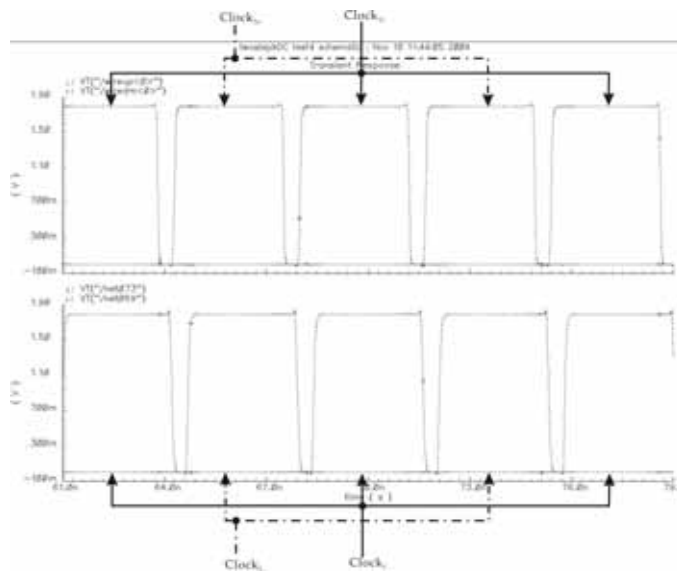


圖 3.35 非重疊時脈訊號產生器模擬結果

在 3.2 節中，本論文整理出所需的主要控制訊號。而這些控制訊號由上述的兩組非重疊時脈控制訊號所產生。非重疊時脈訊號產生器的兩組輸出訊號透過圖 3.36 中的電路，轉成所需要的 6 個主要控制訊號。

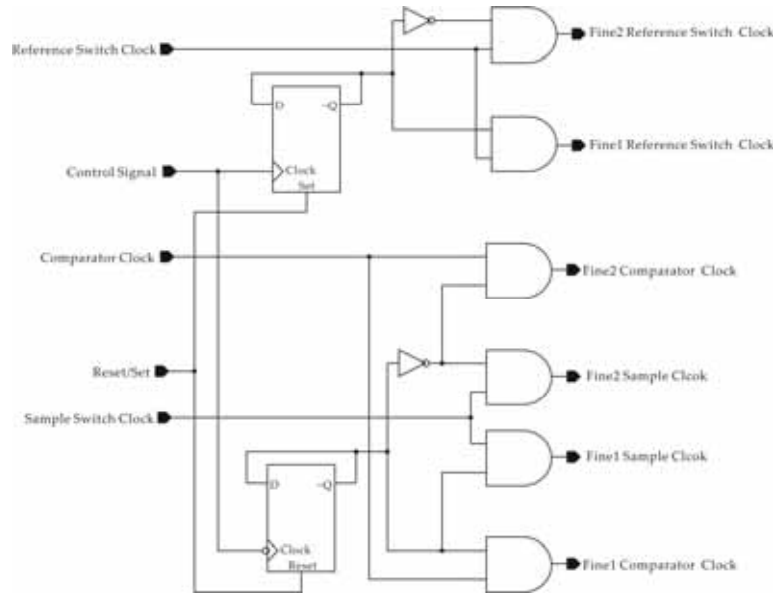


圖 3.36 控制訊號時脈產生器

圖 3.36 中的控制訊號時脈產生器，透過 1 位元的計數器(Counter)產生選擇訊號，送入二輸入一輸出的多工器產生正確的訊號路徑，進而產生正確的控制訊號來控制微調類比數位轉換器，至於在粗調數位類比轉換器則透過假造(Dummy)多工器，期許粗調類比數位轉換器與微調類比數位轉換器的時脈會有相同的延遲(Delay)，減少時脈劇跳發生的可能性。圖 3.37 即是經控制訊號時脈產生器所產生的模擬結果，證明上述的設計可產生所需的控制訊號。

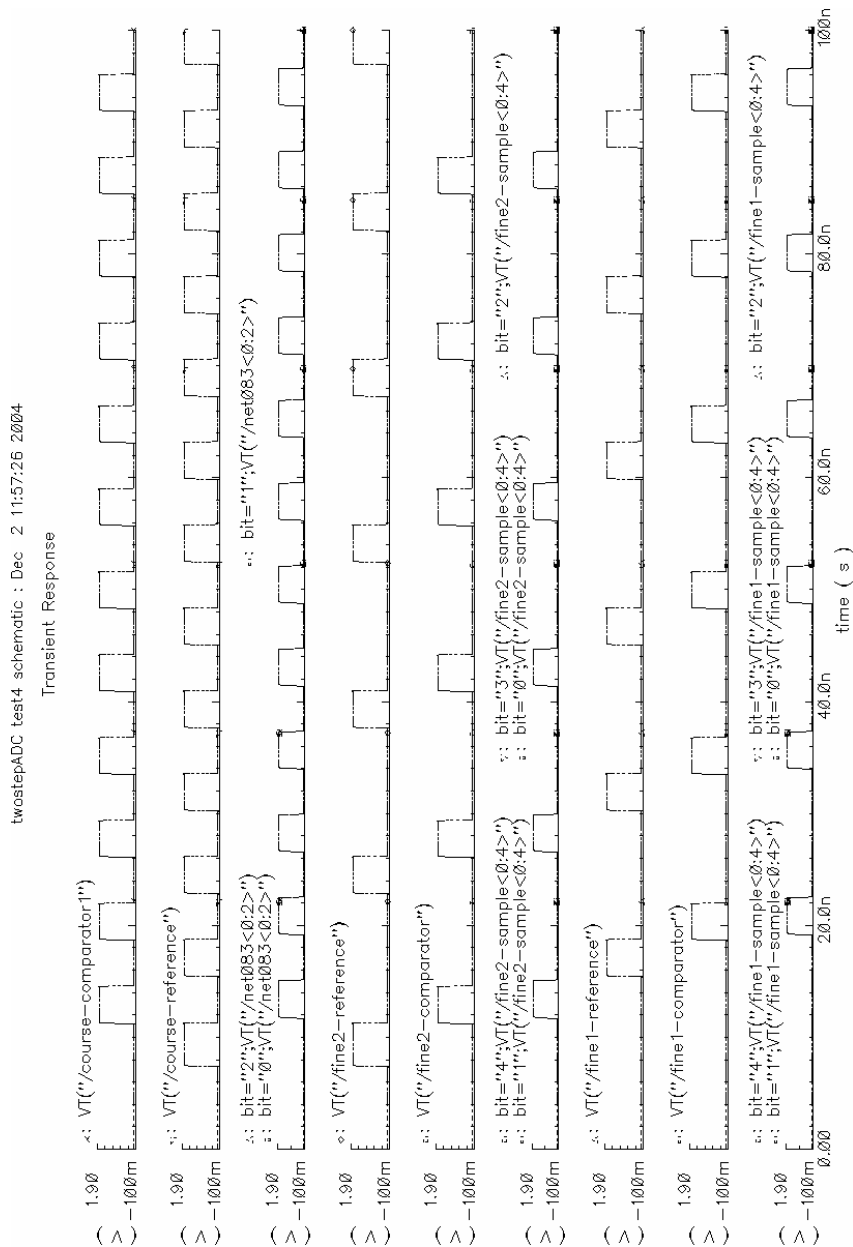


圖 3.37 控制訊號時脈產生器模擬結果

最後以圖 3.38 為本小節的論述做一個總結。綜合時脈緩衝器(Clock Buffer)與兩種時脈產生器(Clock Generator)所組合而成的時脈產生電路就如圖 3.38 所示。如前所述，透過時脈緩衝器將弦波轉成相位差為 180°的低劇跳時脈訊號，再透過非重疊時脈訊號產生器產生所需的兩組非重疊時脈，再經控制訊號時脈產生器產生所有主

要的控制訊號。

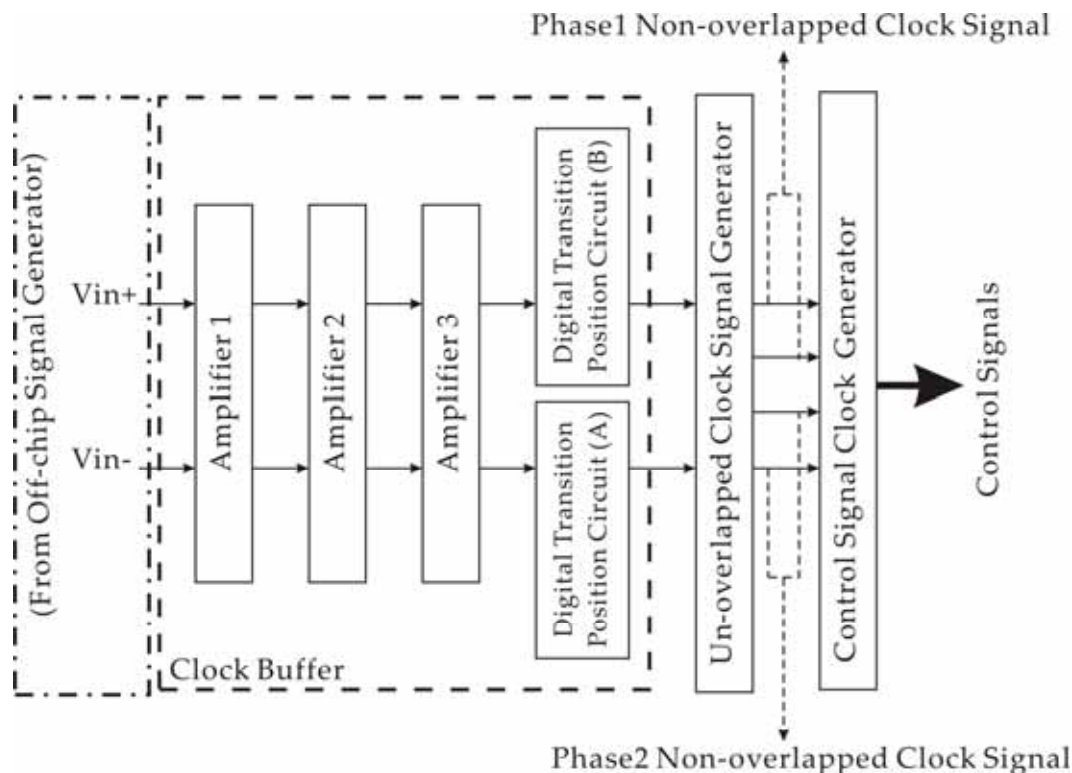


圖 3.38 時脈產生電路

倘若本類比數位轉換器整合於 HDTV 晶片內，則可過整體的時脈訊號控制本類比數位轉換器。而此時只需將時脈緩衝器的部份去除，直接將整體的方波時脈灌入時脈產生器即可。只不過基於在本節第一段的理由與在論文中尚未有 HDTV 的時脈訊號源等原因，方採取這種較特殊的方波產生方法。

3.3.4 電容內插電路

電容內插電路(Capacitor Interpolation Circuit)乃是本論文二階式類比數位轉換器主要的類比電路，也是與一般二階式類比數位轉換器在電路方面差異最大的地方。在 3.2 節中約略介紹過粗調類比數位轉換器與微調類比數位轉換器的電容內插

電路。在粗調類比數位轉換器中，由 9 組電容內插電路單元(Capacitor Interpolation Circuit Unit)串接成粗調類比數位轉換器電容內插電路(圖 3.5)。而在微調類比數位轉換器中，由 5 組電容內插電路單元串接成微調類比數位轉換器電容內插電路(圖 3.9)。3.39 即是電容內插電路單元的電路圖。

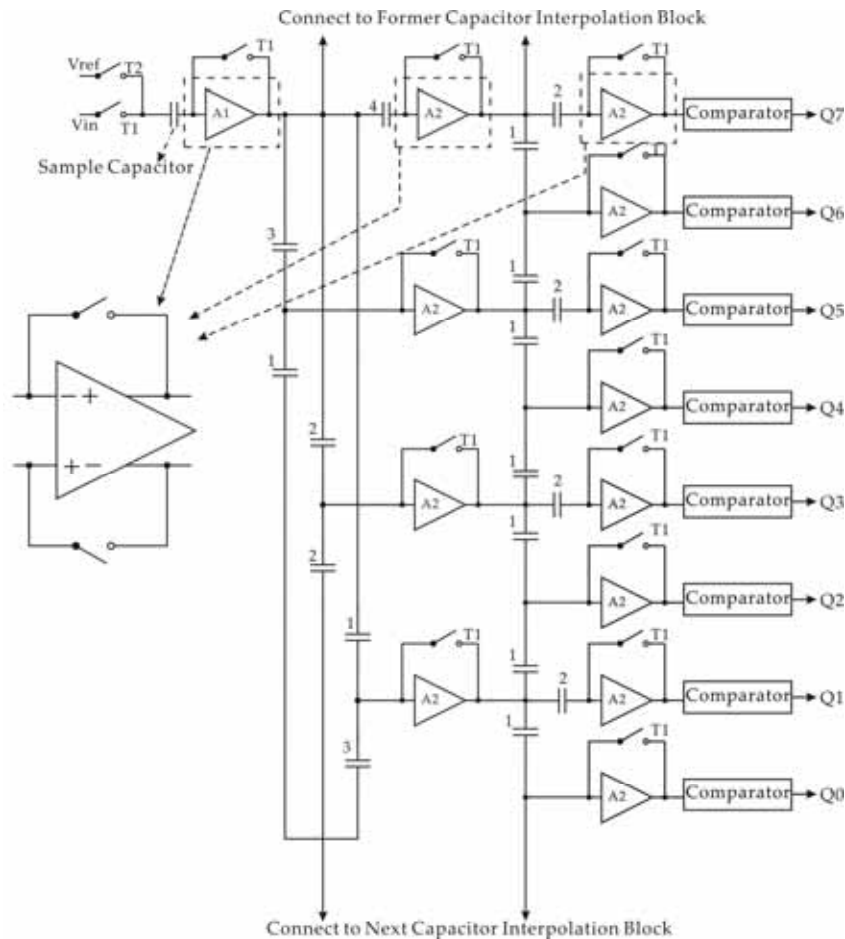


圖 3.39 電容內插電路單元電路

圖 3.39 中的電容內插電路圖，每一級的前置放大器均是差動輸入差動輸出的組態，但為了表示方便，將其畫成單端輸入單端輸出的組態來示意。本電容內差電路的操作主要分兩時脈完成：(1)是重置與取樣(Reset and Sample)。 (2)二是比較與放大(Compare & Amplify)。

當重置與取樣(Reset and Sample)時脈時。所有標有 T1 的開關皆接上(Turn On)，所有標有 T2 的開關皆斷路(Turn Off)。使得所有的前置放大器皆處於重置的狀態，並將每一級的偏移誤差(Offset Error)存在每一級的輸入電容上，達到偏移抵消(Offset Cancellation)的效果。而此時，連接到第一級前置放大器的電容(此電容暫且稱作取樣電容(Sample Capacitor))，開始對輸入訊號做追蹤與取樣(Track and Hold)的動作。當重置與取樣時脈終了時，取樣電容儲存 $V_{Offset-Stage1} - V_{in}$ 的壓降。

而接下來比較與放大(Compare & Amplify)時，則標有 T1 的開關斷路(Turn Off)，而所有標有 T2 的開關接上(Turn On)，。此時三的前置放大器為開迴路的狀態，作好放大的準備。而取樣電容(Sample Capacitor)將參考電壓導入。而由於之前取樣電容已存有 $V_{Offset-Stage1} - V_{in}$ 的壓降，在導入參考電壓後，第一級前置放大器的輸入端(Input)將會從 $V_{Offset-Stage1}$ 改變至 $V_{Offset-Stage1} + (V_{ref} - V_{in})$ ，促使所有的前置放大器開始放大輸入訊號，並透過電容分壓作內插的動作，從一開始進入電容內插電路單元的 1 個訊號，到最後內插出 8 個訊號。故在 3.2 節中所述，在粗調類比數位換轉器中，利用 9 組內差電容電路單元的串接(圖 3.5)，內插出 72 個訊號。而在微調類比數位換轉器利用 5 組內差電容電路單元的串接(圖 3.9)，內插出 40 個訊號。且不論粗調或微調類比數位換轉器所產生的內插訊號，其最下方 7 個與最上方 1 個的訊號，均作為防止邊際效應(Edge Effect)所用，故捨棄不用。

在前置放大器的組態，採取 3.3.2 節中改良式線性電阻負載前置放大器的組態來完成，在此不再贅述。接下來是決定單位取樣電容值的部份。透過下式，可約略計算所需單位電容值的大小。

$$SNR = 10 \log \left[\frac{V_{FS}^2 / 2}{\frac{\Delta^2}{12} + \sigma^2} \right] = 10 \log \left[\frac{V_{FS}^2 / 2}{\frac{(2V_{FS} / 2^N)^2}{12} + \frac{kT}{C}} \right]$$

上式中的 Δ 表示一個量化階(Quantization Step)的電壓區間，以一個 LSB 的電壓區間來表示，而 N 為類比數位換轉換器的解析度。所以在前式中的 $\Delta^2 / 12$ 為類比數位轉換器的量化誤差(Quantization Noise)能量而 σ^2 為熱雜訊(Thermal Noise)能量，至於 $V_{FS}^2 / 2$ 則是輸入訊號的能量。將訊號能量與雜訊總合相除後，再取 dB 值，方成為訊號雜訊比(Signal Noise Ratio, SNR)。所以根據上式，本論文根據可接受的 SNR 值 61.358dB(ENOB 為 9.9bit)，換算所採用的單位取樣電容值為 100f。

在探討並計算完前置放大器組態與決定單位取樣電容值後，接下來將討論開關(Switch)的部份。下節將介紹用於連接 Vin 與 Vref 開關的靴帶式開關(Bootstrapped Switch)原理與運作。

➤ 3.3.4.1 靴帶式開關

使用一顆單純的 MOSFET 來做開關(Switch)時，會出現三個主要的問題。一是 MOSFET 在導通時，其等效電阻電阻值隨著輸入訊號 Vin 的變化。二是在 MOSFET 關閉時，通道電荷注入(Charge Injection)的問題。第三個問題則是時脈饋入(Clock Feed-through)所造成的誤差。第一個問題將會影響訊號線性度，而第二與第三個問題將會產生最後在取樣電容上的電壓與理想取樣電壓之間的偏差。

首先先討論 MOSFET 在導通時，其等效電阻電阻值變化影響線性度的問題。在此，本論文以一顆 NMOS 作開關來探討這方面的問題。首先電路在開通時其等

效的電阻為:

$$R_{on1} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{DD} - V_{in} - V_{TH})}$$

等效的電路圖如下方的 NMOS 開關電路與等效電阻變化圖(圖 3.40)所示。

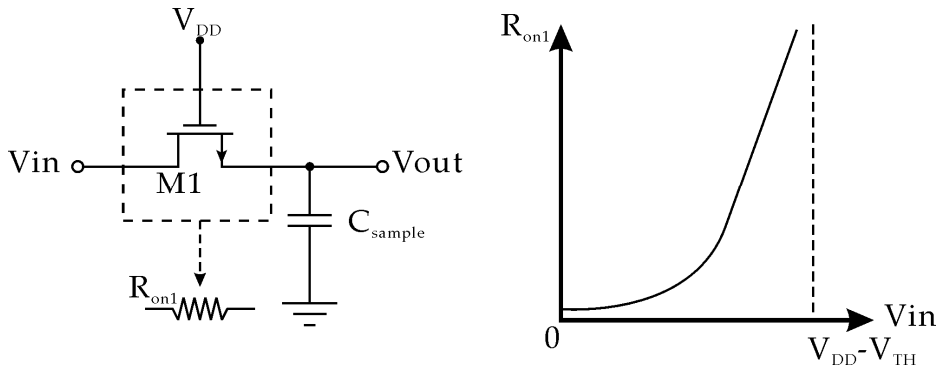


圖 3.40 NMOS 開關電路與等效電阻變化圖

從 R_{on1} 的導證式與等效電阻變化圖上方的可以發現，開關的等效電阻並非線性而是隨著訊號的起伏而變化，且當 V_{in} 越接近 V_{DD} 時，其等效電阻值越大，此現象限制了 V_{in} 的輸入訊號範圍，並降低了取樣速率。

接下來討論通道電荷注入(Charge Injection)產生了取樣電壓值誤差的部份，圖 3.41 為討論通道電荷注入的電路示意圖。

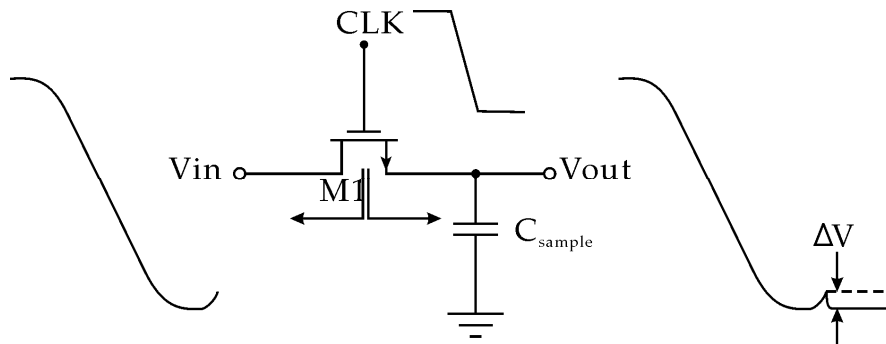


圖 3.41 取樣電路開關電荷注入示意圖

Chapter 3: 二階式類比數位轉換器的電路設計與實現

以 NMOS 為例，MOSFET 在開啟時需在氧化層與矽層界面存在一電荷通道。假設 $V_{in}=V_{out}$ ，即可推導出通道中所儲存的總電荷如下式：

$$Q_{channel} = WLC_{ox}(V_{DD} - V_{in} - V_{TH})$$

其中 L 等效通道長度，W 為電晶體寬度， C_{ox} 為單位面積閘氧化層電容， V_{TH} 為臨界電壓。當通道由開轉關時，所儲存的 $Q_{channel}$ 會透過汲級跟源級流出，造成通道電荷注入(Charge Injection)的情形，在圖 3.41 中，假設左端的電荷注入被訊號源吸收，而不會造成誤差。而右端的電荷注入將存於 C_{sample} 中，造成誤差。而如果考慮最差的情況，即所有電荷注入將注入 C_{sample} 中，將會導致輸出電壓：

$$V_{out} \approx V_{in} - \frac{WLC_{ox}(V_{DD} - V_{in} - V_{TH})}{C_{sample}}$$

其中再省略輸入訊號與輸出訊號之間的相位差，因此上式可化為下式：

$$\Rightarrow V_{out} \approx V_{in} \left(1 + \frac{WLC_{ox}}{C_{sample}}\right) - \frac{WLC_{ox}}{C_{sample}}(V_{DD} - V_{TH})$$

透過上式可以發現，有兩項因素致使輸出值偏差於理想值：一是不為 1 的增益 $1 + WLC_{ox} / C_{sample}$ ，另一個是常數偏壓電壓 $-WLC_{ox}(V_{DD} - V_{TH}) / C_{sample}$ 。圖 3.42 即是當電荷注入發生時取樣電路理想與實際上的差異。

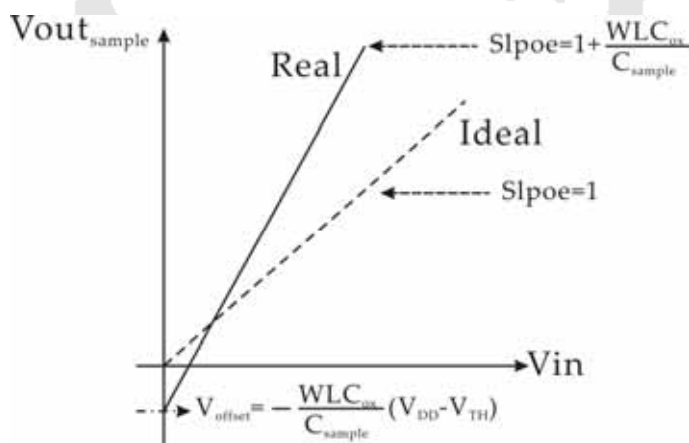


圖 3.42 電荷注入時取樣電路輸入/輸出特性圖

如圖 3.43 的取樣電路開關時脈饋入示意圖所示。在本段最後討論時脈饋入 (Clock Feed-through) 的問題。一個 MOS 開關藉由其閘極-汲極或閘極-源極之間的重疊電容將時脈訊號轉換饋入 C_{sample} 中，此現象亦同樣會在輸出電壓造成誤差。

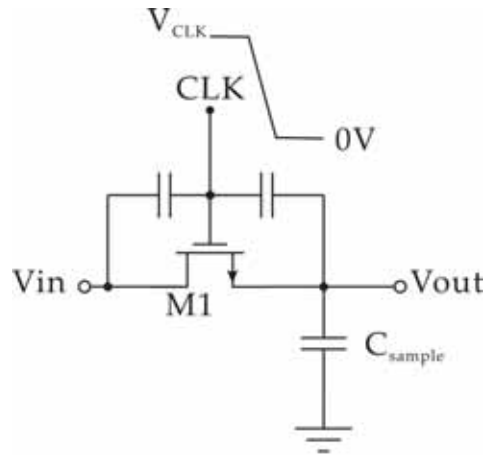


圖 3.43 取樣電路開關時脈饋入示意圖

此效應所造成的誤差如下式所示：

$$\Delta V = V_{CLK} \frac{WC_{ov}}{WC_{ov} + C_{sample}}$$

其中 C_{ov} 為電晶體單位寬度的重疊電容。在此需注意的是此誤差與輸入訊號大小無關。

綜觀上述的三個問題，第一個與第二個問題和輸入訊號 V_{in} 與 MOSFET 的尺寸有關，而第三個問題則只與 MOSFET 的尺寸有關。縮小尺寸雖可減輕電荷注入 (Charge Injection) 與時脈饋入 (Clock Feed-through) 的問題，但卻會增加等效阻抗 R_{on} ，致使取樣電路的速度拖慢。既然改變 MOSFET 的尺寸並非是個好辦法，那就換一個思考方式。先從電荷注入 (Charge Injection) 與時脈饋入 (Clock Feed-through) 的問題著手。如果這兩者所造成 ΔV 雖無法降為 0，但是若使 ΔV 不再隨著 V_{in} 而變

化，不但解決了因電荷注入中所造成 $1+WLC_{ox}/C_{sample} \neq 1$ 的增益問題，且可藉由差動輸入，清除 ΔV 的影響(因正負二端 ΔV 值相同)。那要如何達成上述的想法?如果能控制當做開關 NMOS 的閘極-源級之間的壓差(即 V_{gs})為定值，則無論是電荷注入或是時脈饋入所造成的 ΔV 都將成為一定值的偏移(Offset)，再將這想法導入線性電阻的公式，可以發現 R_{on} 不將再因輸入訊號而變化，而使線性度的問題迎刃而解。

而將上述一切想法所產生的開關電路即是靴帶式開關(Bootstrapped Switch)電路，其概念就以圖 3.44 來呈現。

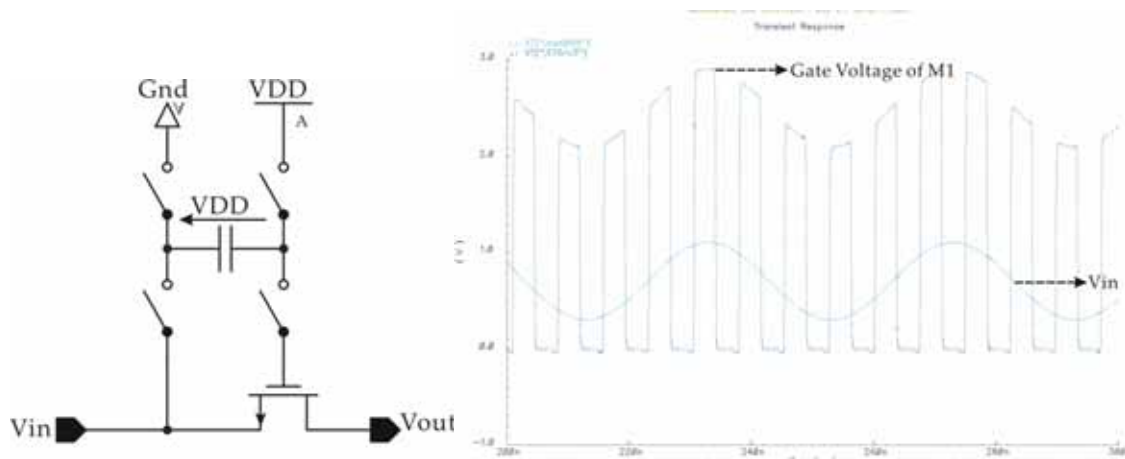


圖 3.44 靴帶式開關電路示意與波形圖

圖 3.44 即是靴帶式開關電路示意圖，當 M1 為斷路時，電容上方兩端的開關接通，使電容正負端分別接到 VDD 與地，使壓差 VDD 存於電容上，等到要將 Vin 傳遞至 Vout 時，電容上端的兩個開關斷路，而下方的兩個開關開通，始 M1 的閘極-源級間的壓差(即 V_{gs})不論 Vin 再怎麼變化，均維持在 VDD。上方的靴帶式開關電路示意與波形圖即呈現這樣的效果，呈齒狀變化的波形即是 M1 的閘極電壓，而弦波波形即為 Vin(M1 的源級電壓)。從波形圖可以看到因為電容儲存了 VDD 的壓降，使得 M1 的閘極電壓在開通時，隨著 Vin 變化情形。

在上一段，本論文已清楚交待靴帶式開關電路的運作原理，接下來將會進一步介紹靴帶式開關電路的電路實現。請看圖 3.45 中的靴帶式開關電路，M1、M2 為利用 PMOS 所做成的電容。M3 與 M4 是用於充實 PMOS 電容 M1、M2 至 VDD 之用。M6、M7 組成一個反向器，用來控制 M9 的開關，而 M9 為防止基板效應(Body Effect)

將源級與基極接在一起。

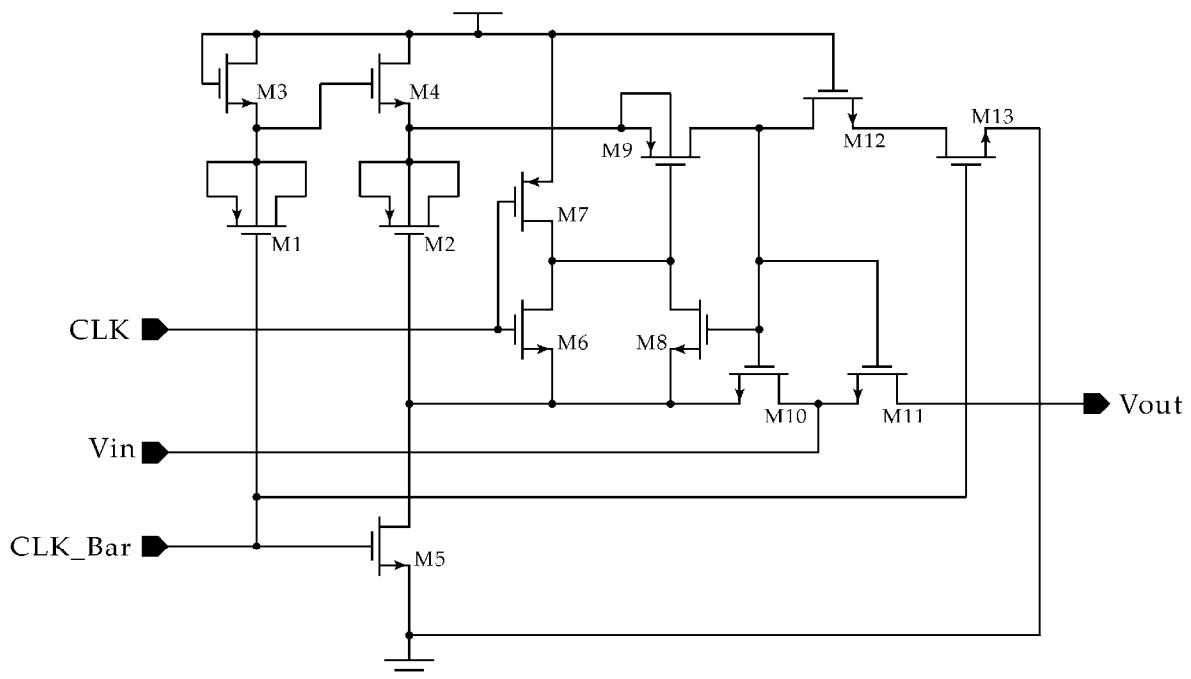


圖 3.45 靴帶式開關電路圖

本電路的動作原理如下。當 CLK_Bar 訊號由 0 伏轉為訊號 1.8 伏時，啟動了 M5 對 M2 電容的閘極放電至地，並提高了 M3 源極的電壓(因為 M1 電容先前存了 VDD 的壓降)，而促使 M4 對 M2 電容充電至 VDD，同時透過 M13 的開啟將 M11 與 M10 的閘極放電至地，使靴帶式開關關閉，而此時 M2 電容儲存了完整的 VDD 壓差。

當 CLK_Bar 訊號由 1.8 伏轉為訊號 0 伏使 M5 關閉，且 CLK 訊號由 0 伏轉為訊號 1.8 伏時，啟動了由 M6、M7 所組成的反相器，進而使得 M9 開通，而將 M2 電容的 VDD 電壓傳至 M10、M11 的閘極上。在促使 M10 開通後，將 M2 電容的閘極電壓傳至 M11 的源級上，使得存在電晶體電容 M2 上的 VDD 壓降轉嫁到 M11 的 V_{gs} 上，使 M11 的閘極電壓在靴帶式開關開通期間均高過源極電壓一個 VDD 的電壓壓降 ($V_{gs, M11}=1.8V$)。自此靴帶式開關開通，開始將 V_{in} 傳遞到 V_{out} 端。

在上段敘述中所未提到的電晶體 M12、M8 功用如下。在靴帶式開關關閉的過程中，為防止 M9 關閉的太快，故利用 M8 來減慢 M9 的關閉速度，至於 M12 是做為緩衝電阻用，為減低電晶體 M13 因 CLK_Bar 變化所回饋的效應。此外，需注意的是當 M9 開通，將 M2 的 VDD 電壓傳遞給 M10 與 M11 時，實際上乃是發生了電荷分享 (Charge Sharing) 的情況發生，為了減低這個效應，M2 的尺寸需大於 M10 與 M11 的尺寸和六倍以上。

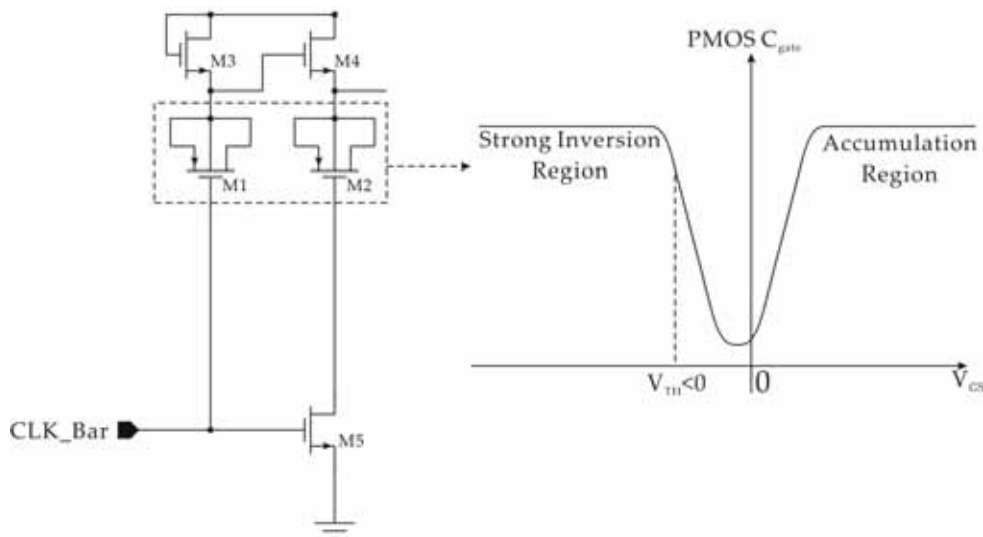


圖 3.46 電晶體電容-電壓特性圖

在本小節的最後，稍介紹一下使用 PMOS 做電容的原因。乃是因為 NMOS 是做在基板上，所以無法將其基極(Bulk)接到除地(Ground)以外的電壓上。此外，由於 MOSFET 進入強反轉區後的電容值，呈現穩定(其特性曲線如圖 3.46 所示)，故 MOS 電容採取上頁靴帶式開關電路圖中 M1、M2 的接法，使其操作在強反轉區。

在探討完所有在電容內插電路中所需要的各個子電路後，接下來本論文將開始探討電容內插電路的整體表現。在 3.3.2 節的前置放大器中，提到在前置放大器與整體類比數位轉換器的表現間，有三個因素：線性度、直流增益與頻寬需求。在線性度方面，本論文已在 3.3.2 節討論過，不再贅述，而把焦點放在後兩個因素上。電容內插電路，其在執行比較與放大的動作時，同時作內插的動作，但這牽涉到一個問題。就是每一級的前置放大器到底需要增益多高?如果太高，在內插的過程中，將會使處在輸入訊號 Full-Scale 邊緣的前置放大器輸出將會飽和(如圖 3.47 示)，而相互拉扯的結果，將會使內插的結果錯誤，但是若太低，則會致使內插出的電壓過於接近，導致下一級的比較器無法比較出正確的 0、1 邊界。

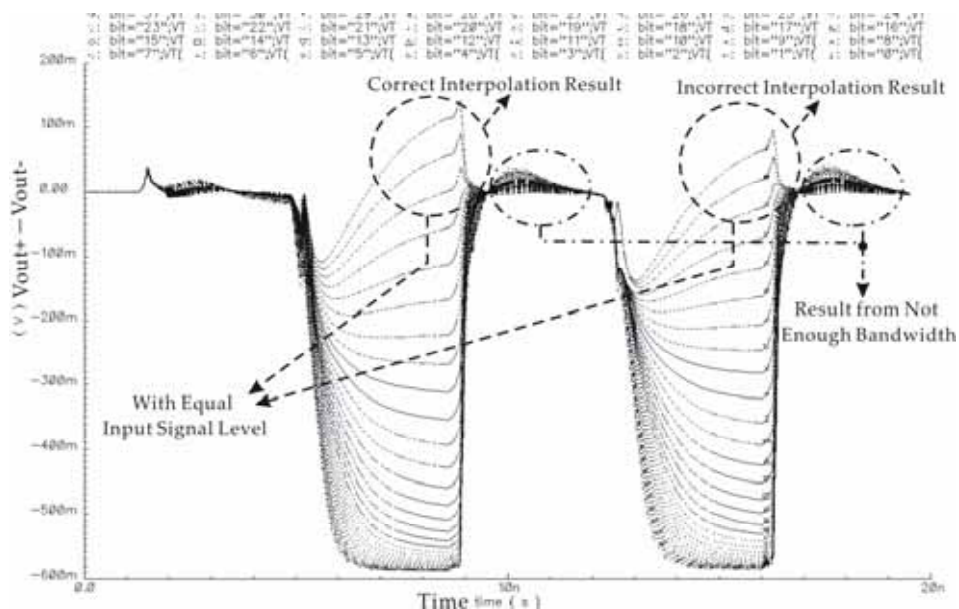


圖 3.47 前置放大器增益過高與頻寬不足時的電容內插結果

圖 3.47 是粗調類比數位轉換器在增益過高與頻寬不足所產生的錯誤電容內插結果。圖中 Y 軸單位為電壓，X 軸是模擬的時間，而圖中的每一條曲線均為每一組內插訊號的正端訊號與負端訊號相減結果。可以很清楚地發現，由於下方前置放大器的輸出趨於飽和，使得其它的前置放大器受其電壓牽扯，而出現錯誤的結果(見圖 3.47——圓框部份)。此外，在圖中亦可看出前置放大器頻寬不足時的影響。前置放大器的頻寬不僅影響到比較與放大動作中放大與內插的快慢，更影響到重置與取樣動作中，各前置放大器回歸操作點的快慢。在圖 3.44 中，亦由於頻寬的不足，使得前置放大器要回歸平衡點所需的時間也較長，而也進一步影響了本電路整體的表現。

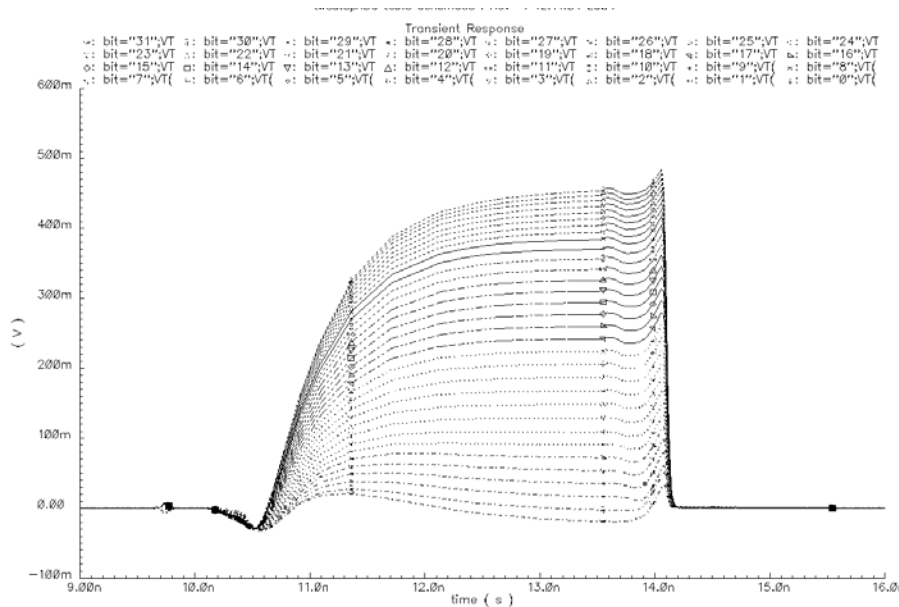


圖 3.48 改良後粗調類比數位轉換器的電容內插結果

其實，電容內插的好壞，並不取決於內差後的每個電壓值，而是在於交越點是否正確。所謂的交越點，即是處於粗調類比數位轉換器或微調類比數位轉換器所輸出的溫度計碼(Thermometer Code) 0、1 邊界的比較器位置。前置放大器的增益與線性度考量將是決定交越點是否在正確位置的關鍵，而每一級前置放大器的頻寬，則會決定整體類比數位轉換器是否能跟上取樣電壓的變化，進而影響類比數位轉換

器有效位元(ENOB)表現。而靴帶式開關電路、開關電路與單位取樣電容電容值的選取，也會與誤差有關，進而影響電容內插後的值是否正確。總體而言，雖然本節中所提到的每一個子電路雖不複雜，但任何一個子電路的缺失都將大幅降低整體電容的表現，圖 3.48 即是經導入適當的增益與頻寬後的粗調類比數位轉換器與的電容內插結果。

在微調比數位轉換器的電容內插方面，需注意一個特別的現象。請讀者回顧一下 3.2.1 節中的本論文二階式類比數位轉換器操作時脈示意圖，兩組微調類比數位轉換器均有一個無動作(No Operation, NOP)的時脈區間，當粗調類比數位轉換器作比較(Coarse Compare)的動作，這時的微調類比數位轉換器的電容內插電路會有一個暫態電壓的出現，此現象並不會影響最後電容內插電路的結果。解釋如下。

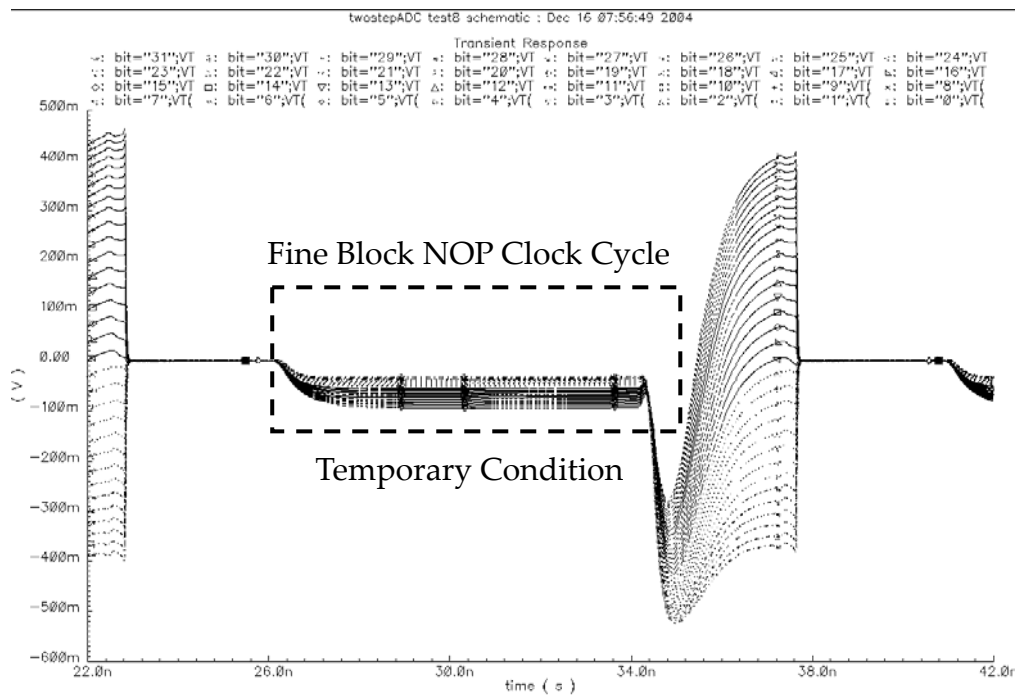


圖 3.49 微調類比數位轉換器的電容內插結果

在圖 3.49 中由粗框所圍起來的部份，即是微調類比數位轉換器無動作(No Operation, NOP)的時脈區間所產生的暫態(Temporary Condition)。此暫態會產生的原因是由於當開關關閉時電荷注入與時脈饋入所造成的輸入端微量變化將電容內插電路放大的結果，其不影響結果的原因在於，雖然輸入端電壓的微量變化改變了電容一端的電壓，但因為此時微調類比數位轉換器是處於無動作(No Operation, NOP)的時脈區間，所以所有的開關皆已關閉(Turn Off)，所以並不影響存在電容所儲存的訊號壓降。

在圖 3.49 中可發現本電路在作比較與放大動作的最後時，會有趨近穩態的情形。而整體二階式類比數位轉換器的表現好壞就取決於進入穩定速度(Settled-Speed)的快慢。而速度最慢的情形發生於本電路溫度 85°C、BJT FF、Normal-Vt MOS SS、Medium-Vt MOS SS 的情況下，而也使此情況下的 ENOB 表現最差。這部份將在 3.4 節再做整理與介紹。

3.3.5 比較器

在訊號經過上一節所介紹的電容內插電路處理後，將送由本節所要介紹的比較器(Comparator)來處理。正如前所介紹，電容內插電路本身具有偏移抵消(Offset Cancellation)的效果。故在比較器內的電晶體可以選取較小的尺寸，使 M3、M4 的重疊電容(Overlap Capacitor)較小以減低之前所介紹過的時脈饋入效應，降低對前一級電容內插電路輸出結果的影響。圖 3.50 為本論文所使用的動態比較器(Dynamic Comparator)電路圖。

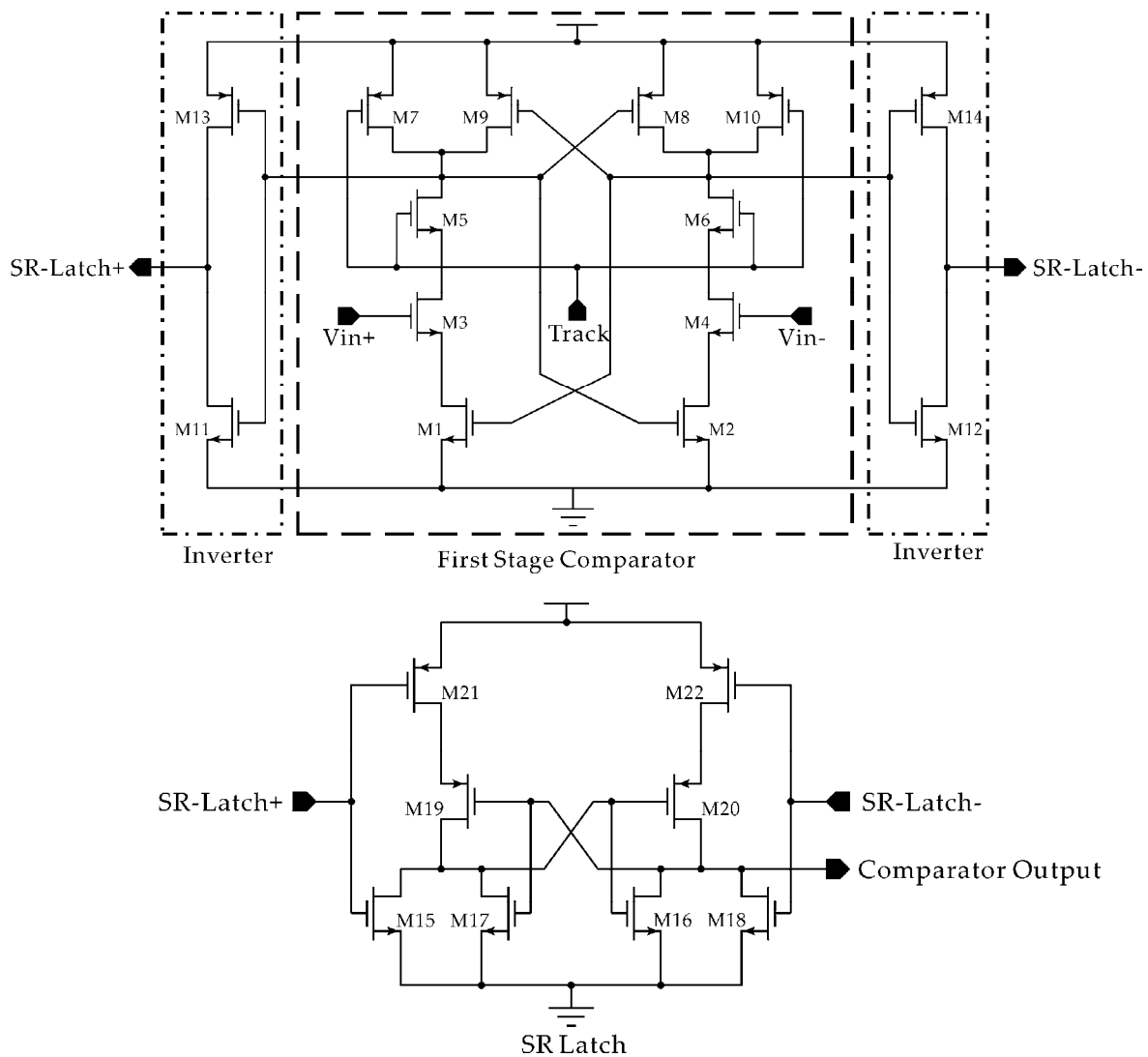


圖 3.50 動態比較器電路圖

本動態比較器主要由兩級電路所組成，由第一級比較器(First Stage Comparator)與反相器(Inverter)所組成的第一級，與由 SR 型鎖存器(SR Latch)所組成的第二級。比較器的操作分做兩個時段，一為偵測(Sense)、另一為門鎖(Latch Up)。當訊號 Track 為 0V(即地訊號)時，啟動了 M7 與 M10，並將 M5 與 M6 關閉，致使第一級比較器電路下半部的 NMOS M1~M4 與上半部的 PMOS M7~M10 分開。而 M7 與 M10 的啟動，使得反相器的輸入端被充電至 VDD，作為重置的動作，

同時 M1、M2 的閘極亦被拉到 VDD 而啟動(Turn On)，此時 M3、M4 開始針對差動輸入訊號 V_{in+} 與 V_{in-} 做偵側的動作。而第二級的 SR 型鎖存器因為第一級的輸出均為 0 而維持前一次的值。

當 Track 訊號由訊號 0 轉為訊號 1 時，M7、M10 關閉，而 M5、M6 開啟，使比較器進入閃鎖的程序，此時由 M1、M2、M8、M9 所組成的正回授路徑，根據 M3、M4 所最後偵測到的 V_{in+} 與 V_{in-} 差值，做訊號拉開的動作，透過反相器的放大結果，傳遞給第二級的 SR 型鎖存器作存值的動作。接下來的部份，介紹比較器的幾個重要參數，並介紹每個參數的測試方法。

(1) 解析度

在比較器中，所謂的解析度(Resolution)即是指對於比較器而言，能產生正確數位 0、1 訊號的最小輸入訊號差(Minimum Input Difference)。而影響解析度表現的主要來自前置放大器與比較器本身的偏移電壓(Offset Voltage)與雜訊的影響。其測試方法如圖 3.48 中所示。在圖 3.48 中，可以清楚看出最小輸入訊號差(Minimum Input Difference)的意義。在測試的過程中，將 V_{in-} 端輸入所要參考的直流電壓準位，而 V_{in+} 端輸入弦波信號。再透過適當的調整，使得弦波的波峰與波谷對在 Track 訊號的正緣端(此時正值比較器結束偵測動作，開始閃鎖的程序)，則正確的比較器輸出將如圖 3.48 中所示。如此一來，透過調整弦波的正幅大小，即可測出最高的解析度區間。

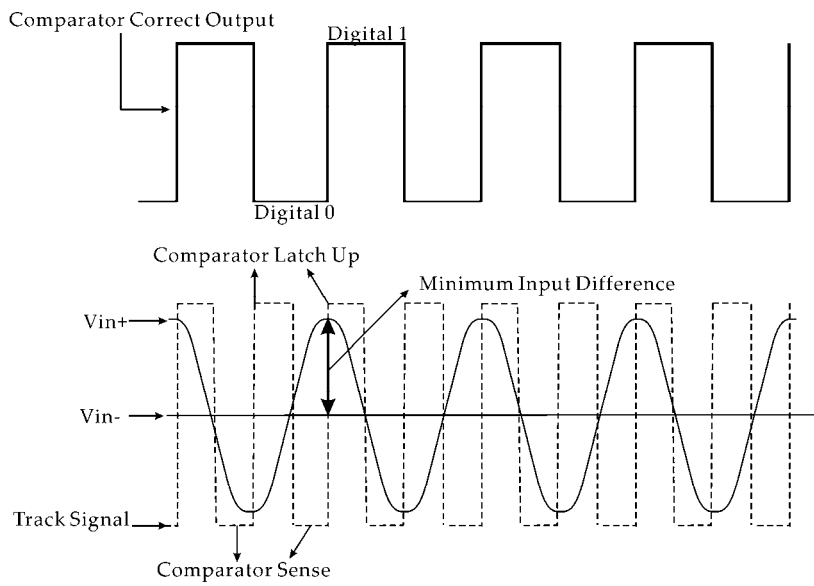


圖 3.51 比較器解析度測試圖

(2) 比較速率

比較速率(Comparison Rate)是指當比較器的輸入從輸入訊號範圍的最低點，突然回升到比 V_{in+} 高或低一個解析度區間時，仍能正常工作時的最大時脈頻率。這項因素主要取決於前置放大器的回復速度(Recovery Speed)與閃鎖(Latch)本身的重置時間常數(Regeneration Time Constant)。其測試如圖 3.52 所示。

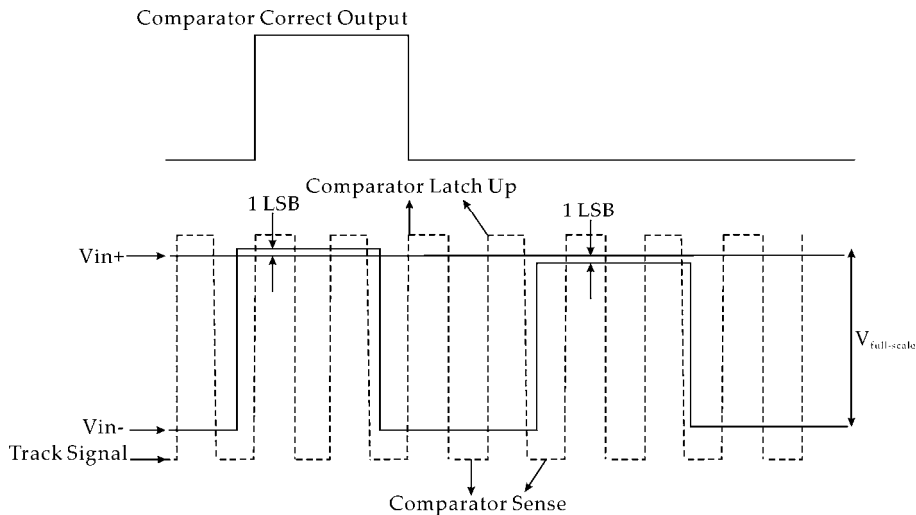


圖 3.52 比較器比較速度測試圖

(3) 動態範圍

動態範圍(Dynamic Range)即是輸入範圍的最大值(以本論文為例即為電容內插電路所能接受的輸入訊號範圍)，與比較器解析的最小電壓範圍(即最小解析度區間)之間的比值。

(4) 回饋雜訊

造成回饋雜訊(Kickback Noise)的原因，乃是出於當前置放大器或比較器處於開關的切換時，電荷注入與時脈饋入所造成的 V_{in+} 、 V_{in-} 端的訊號錯誤。其測試的方法如圖 3.53 所示，即是在 V_{in-} 輸入所需參考的直流電壓。另一端則輸入一斜率極小的上升(或下降)斜波，如果比較器或前置放大器抗回饋雜訊的能力較差，則會出現如圖 3.53 中所示，在 V_{in+} 與 V_{in-} 差值由正轉負(或由負轉正)的邊緣附近，將會出現比較錯誤的情形，此現象即是由回饋雜訊所引起。

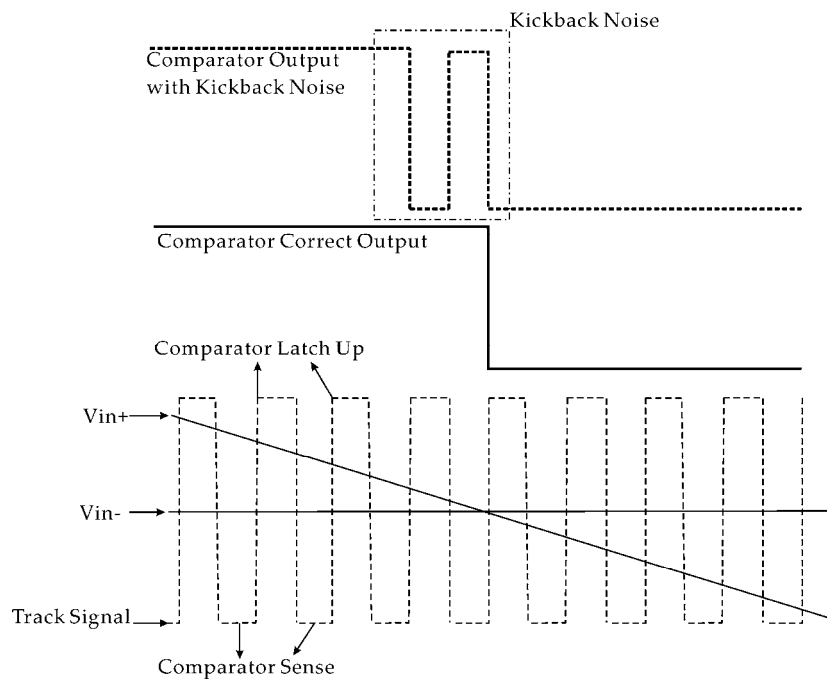


圖 3.53 比較器回饋雜訊測試圖

在完成上述比較器評估效能四個參數的介紹後，本論文二階式類比數位轉換器的類比電路部份已介紹完畢，接下來將進入數位電路的介紹。

3.3.6 數位電路

如 3.2 節中所述，當輸入訊號經過類比電路的處理，再經比較器轉換成 0、1 碼後，至此進入數位電路(Digital Circuit)的處理範圍。不論是粗調類比數位轉換器或是微調類比數位轉換器所轉換出來的溫度計碼(Thermometer Code)，都將會經過轉態點偵測器的作用，將溫度計碼轉換成 1-to-N 碼(1-to-N Code)。由粗調類比數位轉換器部份轉出來的 1-to-N 碼，除用來指定微調類比數位轉換器的參考電壓範圍，也用來送入編碼器產生二進制碼。而微調類比數位轉換器部份產生的 1-to-N 碼，則送入二輸入一輸出的多工器，依序送入編碼器，而所有經過編碼器所產生的二進制碼，將經由數位謬誤校正電路產生最後的 10 位元二進制碼。

3.3.6.1 轉態點偵測器

不論由粗調類比數位轉換器還是微調類比數位轉換器所轉換出來的溫度計碼，理想上應是由一連串的 1 與一連串的 0 所組成，換個方式述，即是 1 與 0 的邊界在理想上應該只有一個，但是由於雜訊的影響或比較器的不匹配效應等因素，導致應該連續出現的 1 中卻插入了 0(或連續出現的 0 中插入了 1)，致使 1 與 0 的邊界不再只有一個，這種錯誤稱之為泡沫錯誤(Bubble Error)。所以轉態點偵測器(Transition Point Detector)其中一個重要的功能，即是盡量消除泡沫錯誤的出現。

為了消除泡沫錯誤，溫度計碼需先經過投票電路(Vote Circuit)的除錯，而每一位元輸出的溫度計碼均有屬於自己的投票電路，其電路就以一個三輸入的投票電路

來作例子(圖 3.54)。簡單地述，投票電路即是取輸出的溫度計碼一位元本身與上下各 N 個訊號，做多數表決的動作，當 0 或 1 當中有某一訊號超過半數時，就決定了此投票電路的輸出。

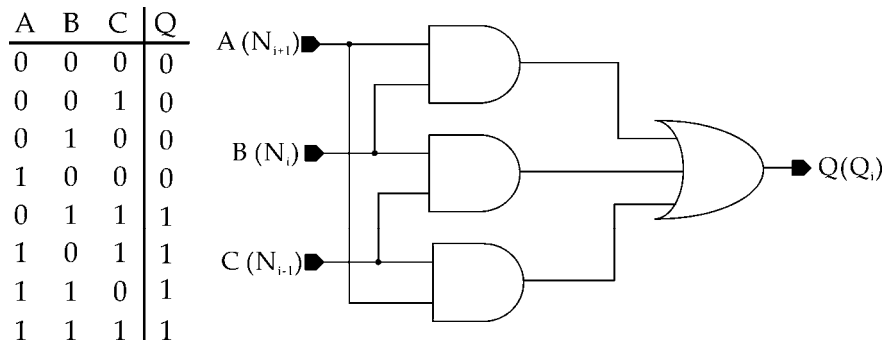


圖 3.54 三輸入投票電路與真值表

從圖 3.54 中可以知道 $Q = AB + AC + BC$ ，如果希望將所有的扇入(Fan in)條件設為二時，可以將可將 Q 的方程式化成 $Q = \overline{\overline{AB + AC}} \cdot \overline{\overline{BC}}$ 以達到簡化電晶體數目的目的。投票電路處理泡沫錯誤能力的好壞，取決於前述 N 的大小。N 越大，處理泡沫錯誤的能力越好，但是所耗的電路大小將大幅地成長，所以本論文採取兩級投票電路的方式，來達到進一步消滅泡沫錯誤的發生率，並控制所增加的電路大小。

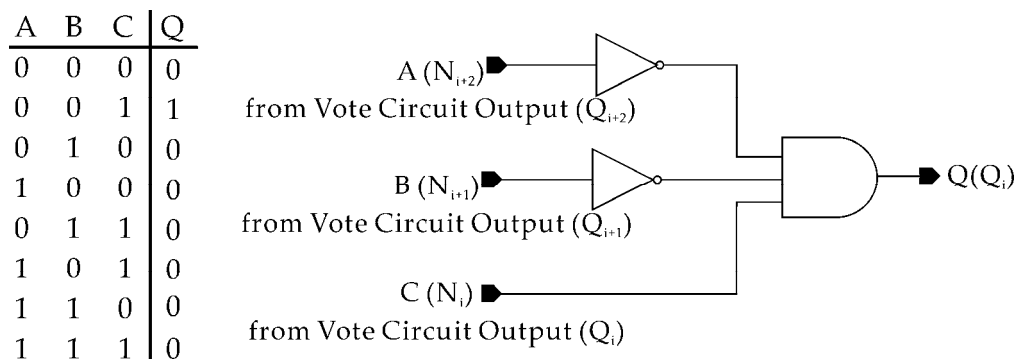


圖 3.55 1-to-N 碼轉換器

經過投票電路後的溫度計碼，再透過方程式為 $Q = \bar{A} \cdot \bar{B} \cdot C$ 的 1-to-N 碼轉換器，將溫度計碼轉為 1-to-N 碼，此一轉換器除了正確標出溫度計碼的 0、1 邊界外，亦具有消除泡沫錯誤的功用，如當 $A=0$ 、 $B=1$ 、 $C=0$ 的情形，B 即為泡沫錯誤，經過 1-to-N 碼轉換器校正後輸出為 0。此結果可由圖 3.55 得知。

➤ 3.3.6.2 編碼器設計

經過轉態點偵測器產生後的 1-to-N 碼，經由編碼器轉為二進制碼。在本論文中的編碼器設計(Encoder Circuit Design)是透過記憶體編碼器(ROM Encoder)的方式來完成(見圖 3.56)。

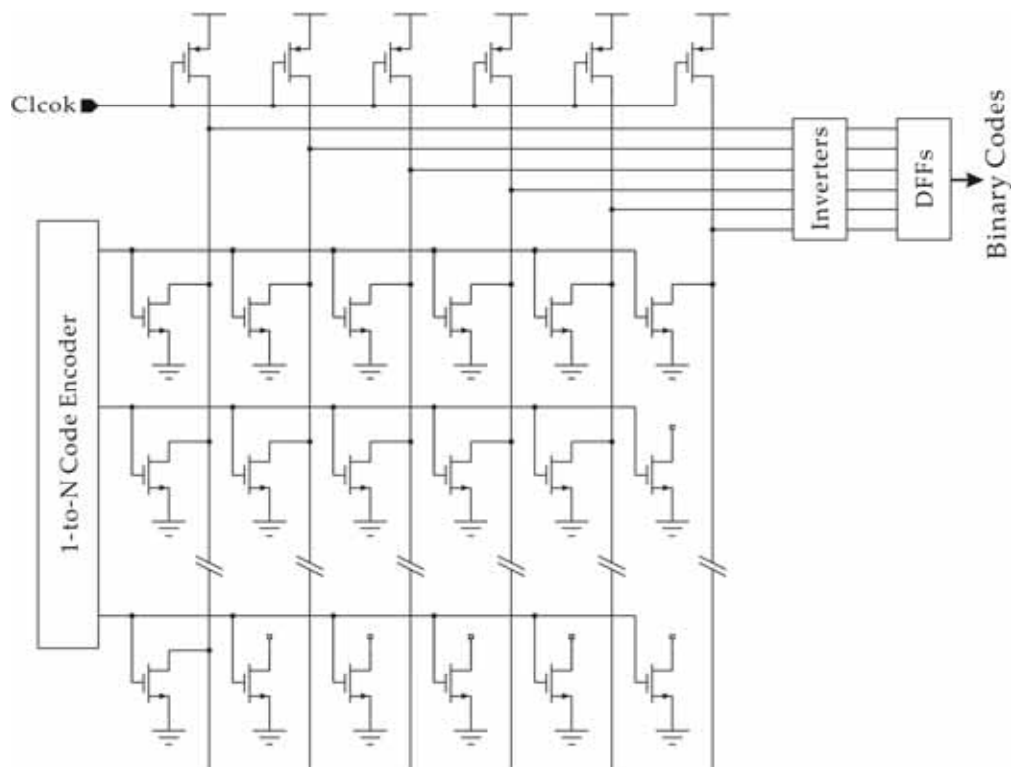


圖 3.56 記憶體編碼器(ROM Encoder)

圖 3.56 即是記憶體編碼器的電路圖，在時脈訊號(Clock Signal)為訊號 1 時，本

Chapter 3: 二階式類比數位轉換器的電路設計與實現

編碼器為重置的情形，所有的輸出將被充電至 V_{dd} ，但當時脈訊號為 0 時，此編碼器則根據由轉態點偵測器所輸出的 1-to-N 碼，決定放電路徑，再經反相器的放大後，送至由正緣觸發的正反器存值。

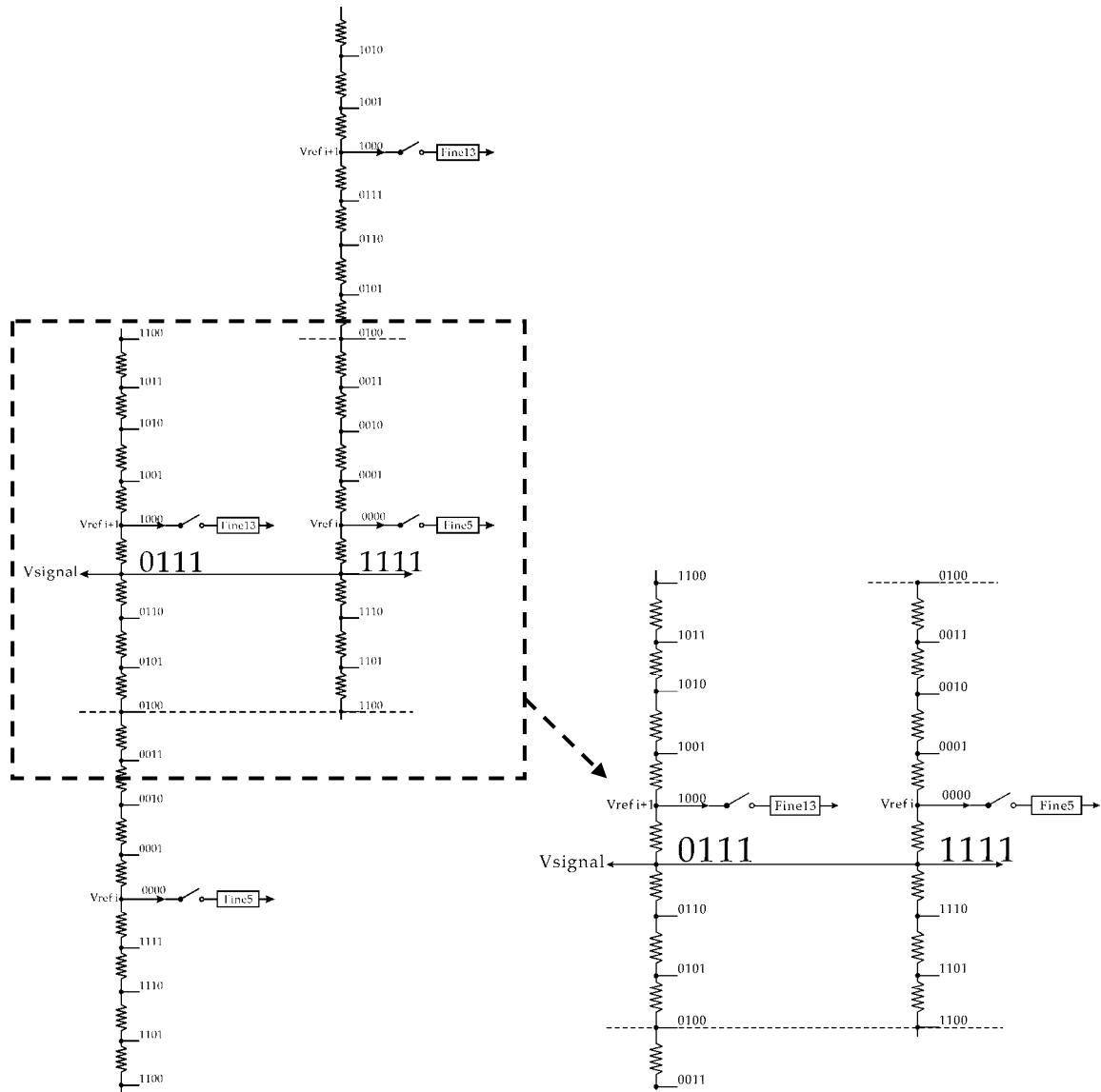


圖 3.57 四位元二進制編碼

在 3.2.2.2 節的參考電壓產生器中，可發現由於粗調類比數位轉換器的誤差，使得參考電壓的區間有誤，但更正這錯誤卻只透過對粗調類比數位轉換器輸出的二進

位碼做校正的動作，卻沒有對微調類比數位轉換器輸出做校正的動作。而在 3.2.2.3 節中所介紹的微調類比數位轉換器裡，提到經由微調類比數位轉換器所產生的五位元碼，在經過捨棄最高位元碼後，剩餘的四位元碼不經數位謬誤校正電路而直接輸出。然而可以不對微調類比數位轉換器輸出做校正的動作，乃是因為微調類比數位轉換器所輸出的 1-to-N 碼做特殊的編碼動作方可完成。

圖 3.57 中在每一個電阻旁所出現的四位元二進制碼，即是對每一個區間的所輸出的二進制編碼。假設由於粗調類比數位轉換器所輸出的 1-to-N 碼的錯誤，使開放的參考電壓區間較正確的電壓區間往上開了一個區間，導致輸出的碼 0111 跳至 1111，並產生了控制訊號，使得數位謬誤校正電路針對粗調類比數位轉換器所輸出的二進制碼作減 1 的動作。但在此可以注意到的是，雖然由於錯誤參考電壓區間的開啟，致使輸出碼從 0111 跳到 1111，但後三碼卻仍是為正確的情形。故可捨去最高位元的碼，而將剩下的碼直接輸出。

➤ 3.3.6.3 數位謬誤校正電路設計

在 3.2.2.2 節中，有簡略介紹過數位謬誤校正電路操作的原理(圖 3.5)，當 MSB 在圖 3.5 中的 Case 1 時，需對粗調類比數位轉換器的輸出做減 1 的動作(此時產生 0001 的二補數 1111，作加-1 的動作)，在 Case 2 時，則不作加減的動作(產生 0000)。在 Case 3 時則產生加 1 的動作(產生 0001)。然後上述所產生的訊號(1111、0000、0001)送入加法器與粗調類比數位轉換器的輸出作相加的動作，即完成數位謬誤校正的動作。圖 3.58 即為以四位元為例，數位謬誤校正電路的示意圖。

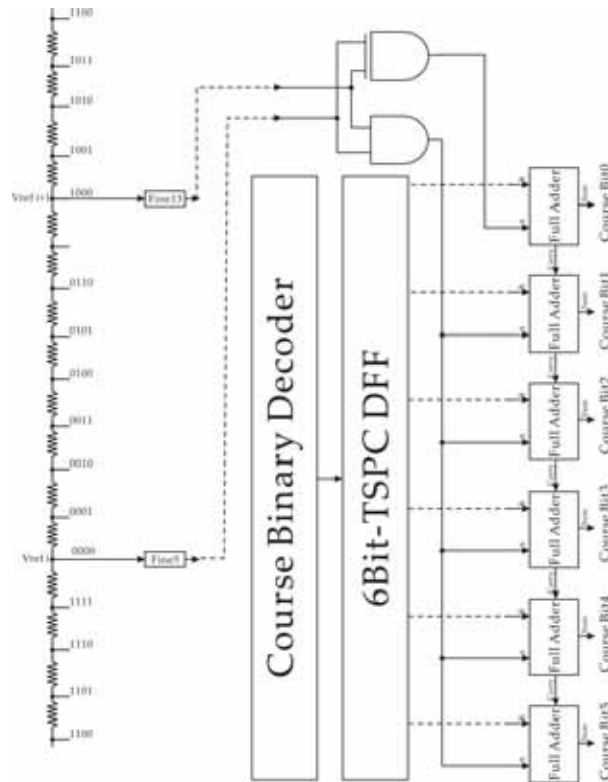


圖 3.58 數位謬誤校正電路示意圖

3.4 佈局考量

在介紹完本論文二階式類比數位轉換器的電路設計與實現後，在本節將約略介紹本電路在佈局時的一些特別考量。圖 3.59 中為本論文二階式類比數位轉換器的佈局圖。

止各級之間的影響。圖 3.60 即是電容內插電路一級前置放大器的佈局圖。可以清楚地看到，在本論文二階式類比數位轉換器的佈局方面，利用雙層的 Guard Ring 隔開類比電路與數位開關，並在前置放大器內，也利用 Guard Ring 隔開電流源、輸入級與負載，使彼此元件之間的影響減到最低。

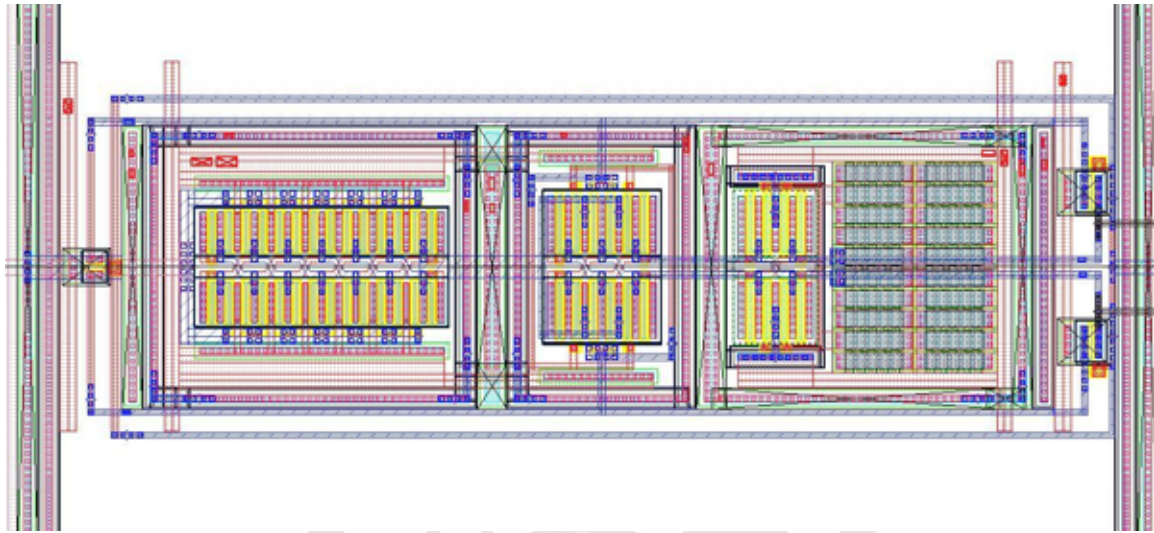


圖 3.60 電容內插電路前置放大器佈局圖

而在畫粗調與微調類比數位轉換器的佈局圖時，本論文刻意將所有訊號線所用到的金屬層(Metal Layer)的使用控制在 Metal 2 以下。而電源(VDD_{Analog} ， VSS_{Analog})的部份則全佈局在 Metal 1 上，而偏壓電壓(Bias Voltage)則佈局在 Metal 3 上，至於空出的 Metal 4~Metal 6 則用於產生 Decoupling Capacitor 之用。其佈局圖可以透過下頁二圖(圖 3.61)來觀察。取電容內插電路佈局圖的一部份(圖 3.61(A))為例，佈局圖中各層金屬層使用情形的俯視圖，如圖 3.61(B)所示。而從水平方向由左向右的側視圖將由圖 3.61(C)的上圖所示，而從水平方向由下向上的側視圖則同圖 3.61(C)的下圖所示。從下頁二圖中，可以發現通過電路上方的金屬層均在 Metal 4 以上，所造成的寄生電容效應較小，對電路表現的影響並不嚴重。且在做電路設計時，已在考慮寄生電容的效應下，進行電路的設計。並在模擬時，均有計算因金屬線橫跨

Chapter 3: 二階式類比數位轉換器的電路設計與實現

電路所造成的寄生效應，故在最後 Post Simulation 的模擬結果，還在可接受的範圍內(將在 3.5 節的本論文二階式類比數位轉換的 FFT 模擬結果介紹)。

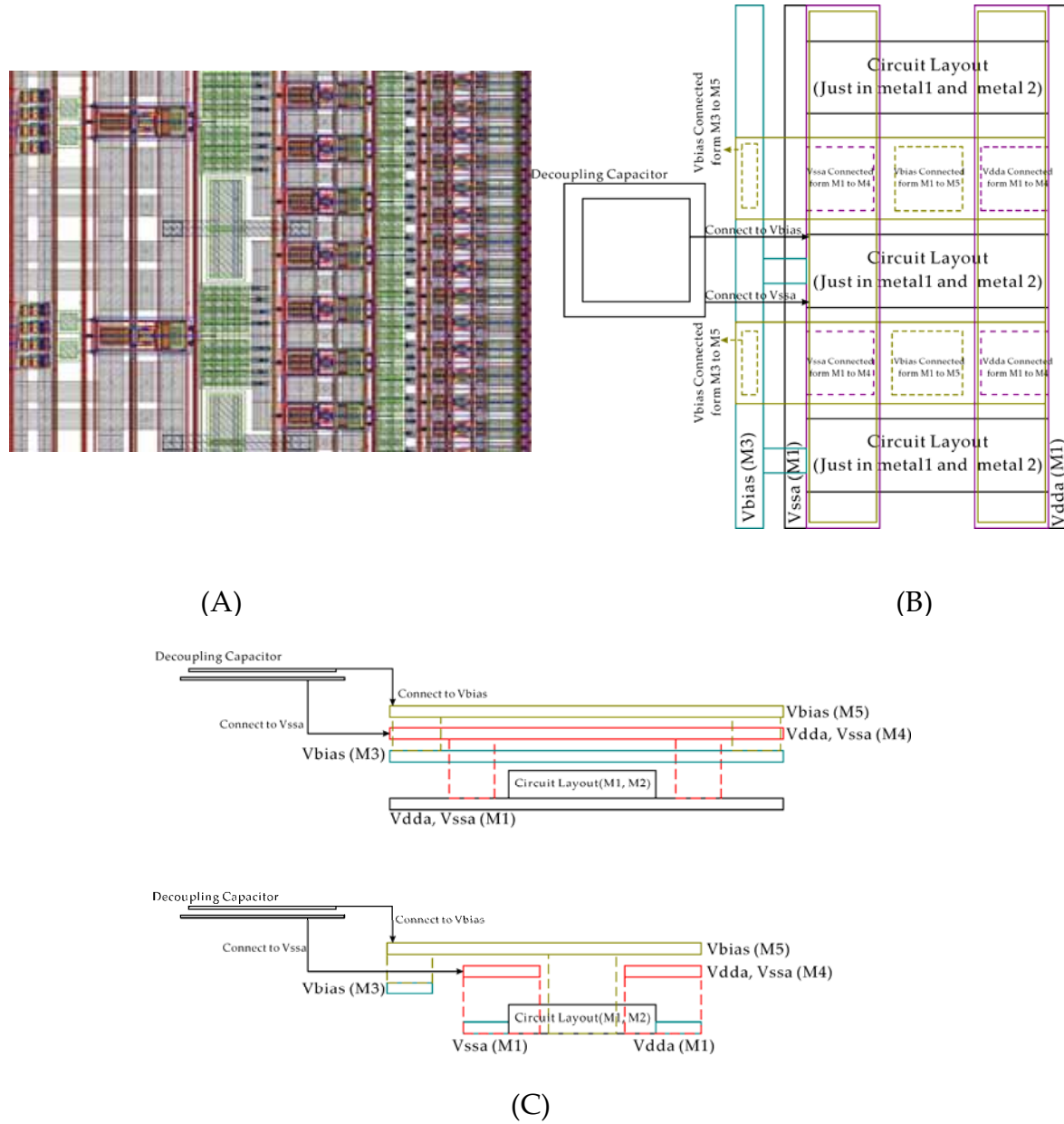


圖 3.61 Decoupling Capacitor 示意圖

透過上述的佈局方式，使得所有前置放大器的電流源附近均有 Decoupling Capacitor 的幫助，使偏壓電壓的電壓不會隨著訊號的轉換而有劇烈的跳動。同時，

上述的佈局方式，也使得當電源線(VDD_{Analog} ， VSS_{Analog})上突然產生大電流的抽放時，會透過 Decoupling Capacitor 的吸收，而使電壓的跳動程度降低。

而在時脈訊號繞線佈局的部份，為求時脈訊號的路徑長度相同。透過圖 3.62 的繞線佈局來達成。



圖 3.62 時脈訊號繞線佈局圖

最後，在本論文二階式類比數位轉換器的類比電路佈局與數位電路佈局間，均有雙層的 Guard Ring 分開(圖 3.63)。而在整體的電路佈局方面，本論文將類比電路的部份均在類比 Guard Ring 的保護下，而數位電路均隔在數位 Guard Ring 之外(圖 3.63)，以防止數位訊號所引起的雜訊影響類比電路。此外，本論文二階式類比數位轉換器在做佈局的同時，均有同時將寄生效應計算後再加入電路模擬，不僅在類比電路做更保守的設計，也在數位電路上，針對一些高負載的關鍵路徑(Critical

Path)也加上緩衝器(Buffer)來作訊號推動的動作，以期達到減少訊號延遲的目的。在本電路中，其中 3000 顆 MOSFET 作為數位緩衝器推動訊號之用。透過上述的設計，期許 Pre-Simulation 與 Post-Simulation 的差異不會相差太多，至於 Pre-Simulation 與 Post-Simulation 的 FFT 模擬結果將於下一節中介紹。

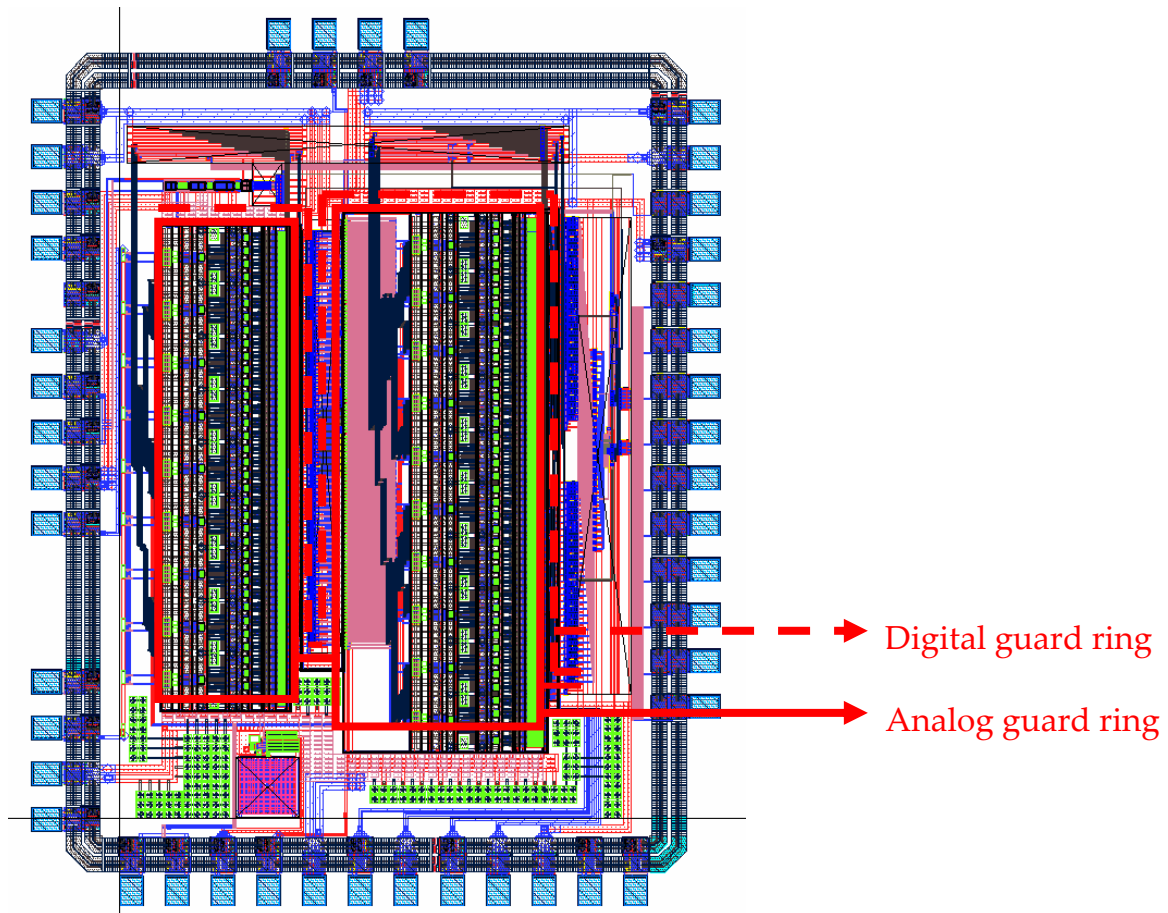


圖 3.63 本論文二階式類比數位轉換器 Guard Ring 佈局圖

3.5 本論文二階式類比數位轉換的 FFT 模擬結果

由於本論文所用的元件有 BJT(具 SS、FF、TT 共 3 種 Model)、Nominal MOS(具 SS、SF、TT、FS、FF 共 5 種 Model)、Medium-Vt MOS(具 SS、SF、TT、FS、FF 共 5 種 Model)，而溫度取 0°C、65°C(正常操作溫度)與 85°C，然而所有的狀況組合多達 225 種，所以為了節省模擬時間，只取 BJT 3 種 Model (SS、FF、TT)、Nominal MOS 3 種 Model(SS、TT、FF)、Medium-Vt MOS 3 種 Model(SS、TT、FF)，溫度取 65°C(正常操作溫度)與 85°C 兩種溫度，共 54 種狀況組合下的模擬，而表 3.2 為 54 種狀況下列舉典型(Typical)、最差(Worst)、最好(Best)三種情況下的 FFT 模擬結果整理。

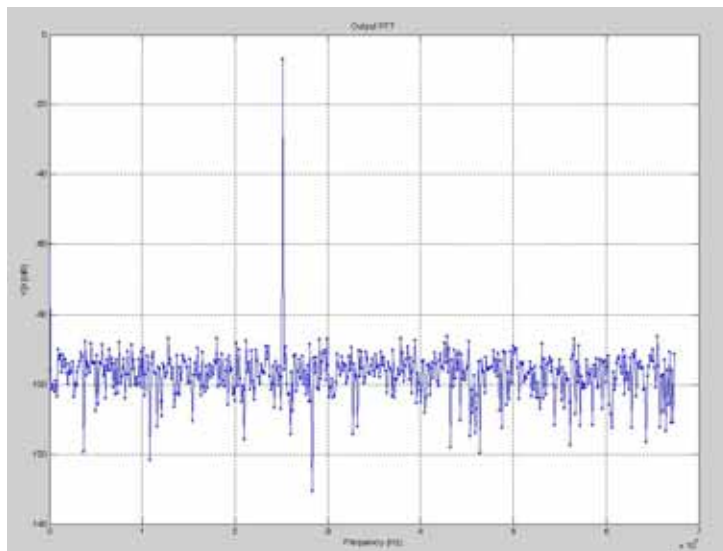


圖 3.64 FFT Pre-Simulation 模擬結果 ENOB=9.714bit
(Input Signal=25.18066406MHz -1dB Full Scale. Sample Rate=135MHz)
(Temp=65°C, BJT TT, Normal-Vt MOS TT, Medium-Vt MOS TT)

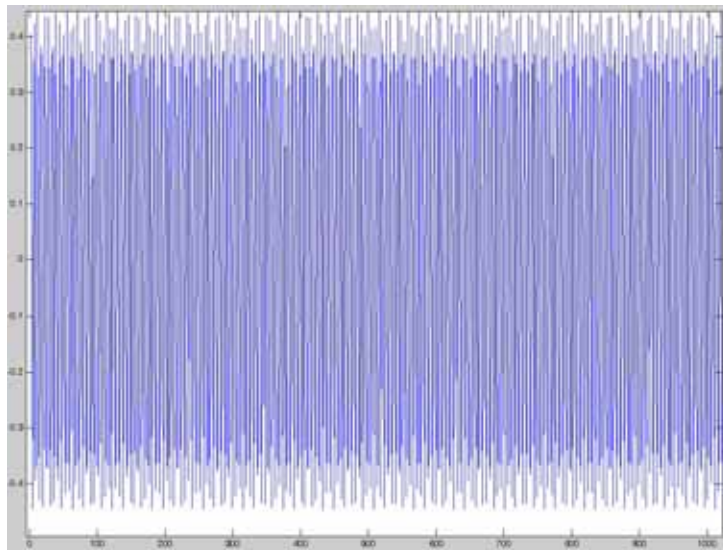


圖 3.65 Matlab 重建波型

The ADC Simulation Condition <i>Input Signal=25.18066406MHz -1dB Full Scale. Sample Rate=135MH</i>	ENOB Performance
The Typical Case <i>Temp=65 °C, BJT TT, Nominal-Vt MOS TT, Medium-Vt MOS TT</i>	9.714bit
The Worst Case <i>Temp=85 °C, BJT FF, Nominal-Vt MOS SS, Medium-Vt MOS SS</i>	8.76bit
The Best Case <i>Temp=65 °C, BJT SS, Nominal-Vt MOS TT, Medium-Vt MOS FF</i>	9.76bit

表 3.2 本論文二階式類比數位轉換器 Pre-Simulation 模擬結果整理表

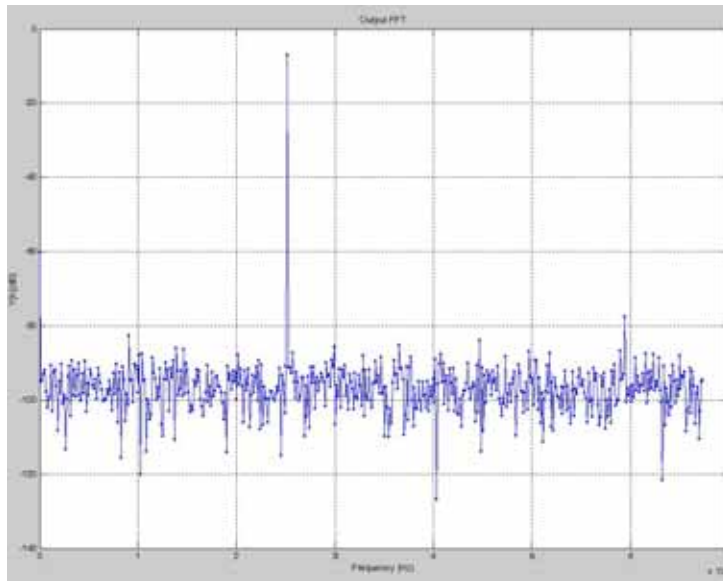


圖 3.66 FFT Post-Simulation 模擬結果 ENOB=9.217bit
 (Input Signal=25.18066406MHz -1dB Full Scale. Sample Rate=135MHz)
 (Temp=65°C, BJT TT, Normal-Vt MOS TT, Medium-Vt MOS TT)

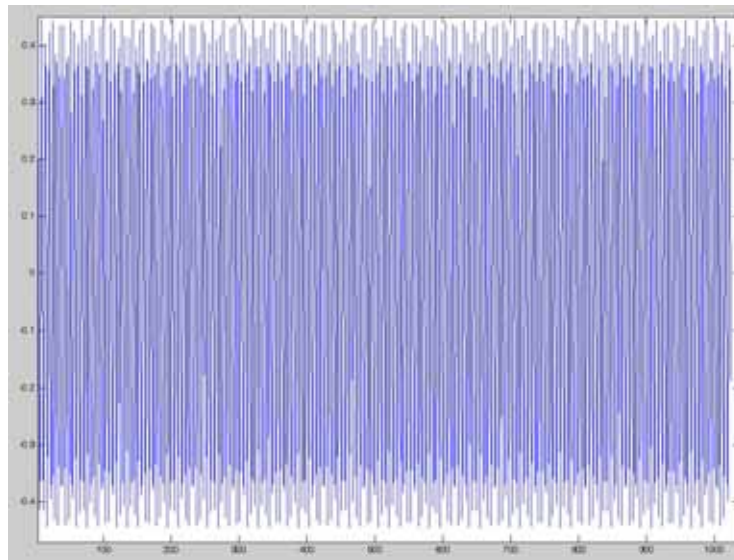


圖 3.67 Matlab 重建波型

The ADC Simulation Condition <i>Input Signal=25.18066406MHz -1dB Full Scale. Sample Rate=135MH</i>	ENOB Performance
The Typical Case <i>Temp=65 °C, BJT TT, Nominal-Vt MOS TT, Medium-Vt MOS TT</i>	9.217bit
The Worst Case <i>Temp=85 °C, BJT FE, Nominal-Vt MOS SS, Medium-Vt MOS SS</i>	7.96bit
The Best Case	9.314bit

<i>Temp=65 °C, BJT SS, Nominal-Vt MOS TT, Medium-Vt MOS FF</i>	
--	--

表 3.3 本論文二階式類比數位轉換器 Post-Simulation 模擬結果整理表

3.6 第三章總結

在本章中，本論文詳細介紹了本論文二階式類比數位轉換器的所有電路設計的相關資訊與佈局考量。透過從第一章到第三章的論述，相信可以給讀者從系統需求到電路細部考量，有一個完整的概念。在接下來的第四章將會開始介紹量測上的考量，與本論文二階式類比數位轉換器測試板的製作。而在最後的第五章，除介紹本論文的未來展望外，尚會介紹本論文在電路方面未來可改進的方向。

4.1 第四章簡介

本章節主要介紹測試環境，將在 4.2 節中介紹所使用的儀器與在測試板上所使用的電路元件。

4.2 測試設定

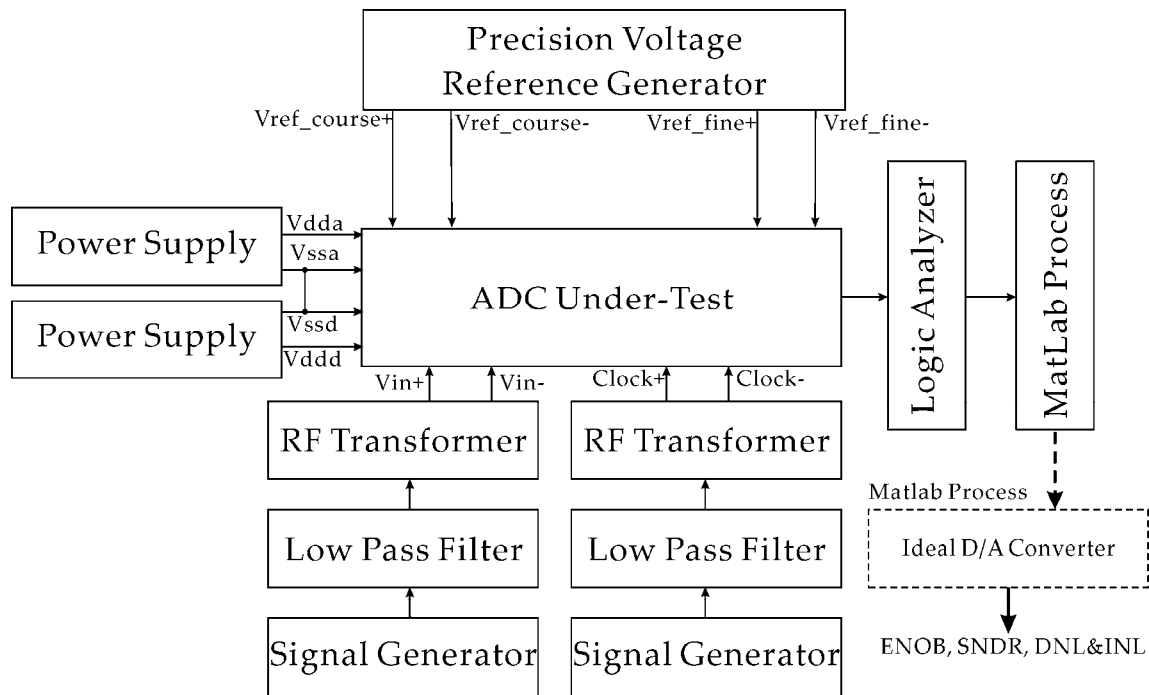


圖 4.1 測試環境設定示意圖

本論文二階式類比數位轉換器，需要兩組電源(Power Supply)分別供給類比電路與數位電路，而在第三章的部份也介紹過，本論文二階式類比數位轉換器的時脈產生，是由晶片外弦波輸入至晶片內，再由 3.3.3 節中所介紹的時脈緩衝器與時脈產生器(Clock Buffer and Clock Generator)產生類比數位轉換器所需要的控制時脈訊號，所以為測試本論文二階式類比數位轉換器，需要兩組的訊號產生器(Signal Generator)，一組產生測試弦波輸入訊號，另一組產生時脈產生器所需要的時脈弦波

訊號，而兩組弦波訊號再經過低通濾波器(Low Pass Filter)濾除高頻雜訊後，經 RF Transformer 轉換成差動輸入訊號後，再送入本論文二階式類比數位轉換器晶片。而從精確參考電壓產生器(Precision Voltage Reference Generator)產生兩組參考電壓 (Vref_coarse+ & Vref_coarse-, Vref_fine+ & Vref_fine-)提供給本論文二階式類比數位轉換器晶片作參考電壓所用。而類比數位轉換器所輸出的二進位碼將送入邏輯分析儀儲存後，再送入個人電腦利用 Matlab 軟體作各種參數(ENOB, SNDR, INL&DNL)的分析。

4.2.1 輸入訊號來源與終端電路

本論文將選用 Agilent 8644B 作為訊號產生器之用，該型號重要的參數將如表 4.1:

Form Factor	Benchtop
Minimum Frequency	0.252 MHz
Maximum Frequency	1.030 GHz
Frequency Resolution	0.01 Hz
Frequency Switching Time	350 ms
Minimum Output Power	-137 dBm
Maximum Output Power	16 dBm
Power Resolution	0.1 dB
Output Accuracy	1 dB
Output Impedance	50 Ohm
Maximum Single-Side-Band Noise	-136 dBc/Hz
Harmonics (noise)	-25 dBc
Non-harmonics (noise)	-105 dBc
Modulation	AM, FM, Pulse
External Modulation Inputs(Types)	No
Sweep Modes	Linear, Log

表 4.1 Agilent 8644B 效能參數

而在邏輯分析儀則將採用 HP 16517A 其重要效能參數將整理於下表 4.2:

Maximum State Clock	167 MHz
Maximum Timing Sample Rate (Full/Half Channel)	Conventional: 333/667 MHz
Channels/Module	68
Maximum Channels on a Single Time Base and Trigger	340
Maximum Channels in a System	680
Trigger Resources	Patterns: 16 Ranges: 15 Edge & Glitch: 2 Timers: (2 per module) -1 Occurrence Counter: [4] Global Counters: 2 Flags: 8
Trigger Sequence Levels	16
Trigger Sequence Level Branching	4-way arbitrary If/Then/Else Branching
Number of State Clocks/Qualifiers	4
Threshold Range	TTL, ECL, User-definable ± 6.0 V Adjustable in 10-mV increments
Setup/hold Time	2.5 ns Window Adjustable from 4.5/-2.0 ns to -2.0/4.5 ns in 100 ps Increments
Memory Depth (Full/Half Channel)	2/4M

表 4.2 HP 16517A 效能參數

而在 RF-Transformer 選取 ADT1-1WT 型號作為本論文 RF-Transformer 電路之用，而輸入終端電路將如圖 4.2 中所示。當輸入訊號由 Agilent 8644B 送入 RF-Transformer 後，轉成差動訊號送入晶片，其中圖 COM 的部份，即是透過調整可變電阻的阻值而給與 RF-Transformer 輸出的差動訊號直流準位(DC Level)。而差動對在進入 AIN 與 AIN-BAR 前，再經低通濾波器濾掉高頻雜訊後，再送入晶片處

理。

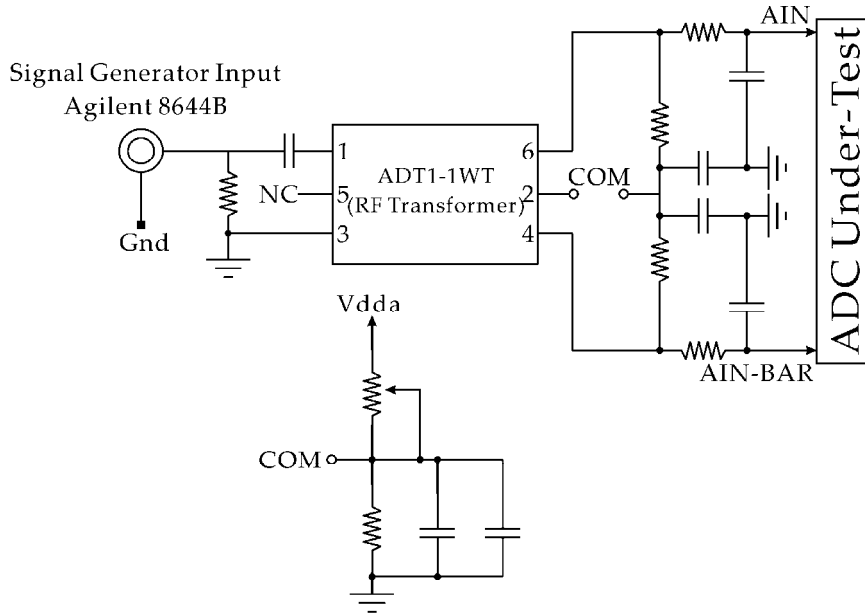


圖 4.2 輸入終端電路

而在輸出終端電路將由型號 CD74ACT541 的驅動器，推動排線負載將訊號送入邏輯分析儀 HP 16517A，而輸出終端電路如圖 4.3 所示。

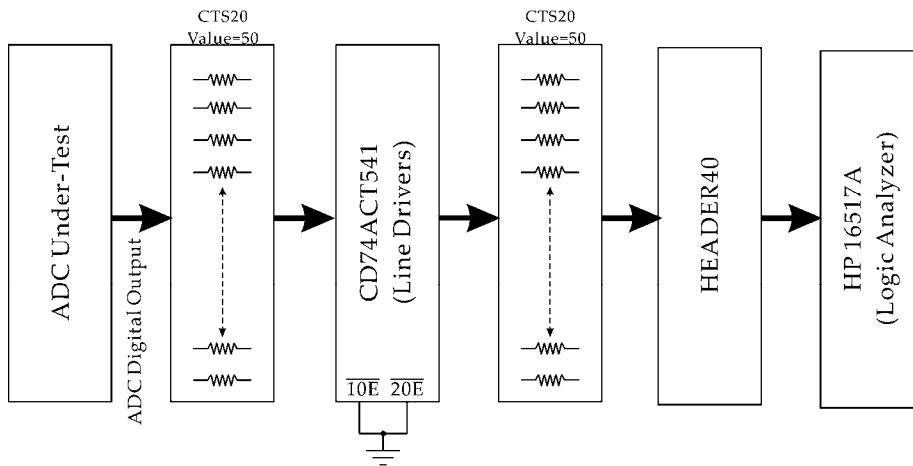


圖 4.3 輸出終端電路

4.2.2 電源提供電路

在電源功應方面，本論文可採用 LM1086-ADJ 晶片作為穩壓器之用(圖 4.3)，而由穩壓器所產生的 1.8V 電壓，在送入晶片作為電源供應前，先經過三顆濾波電容濾除雜訊，見圖 4.4 中的電源供應示意圖。而類比電源與數位電源之間加上 Bead Inductor，以防止從數位電源處反餽的高頻雜訊。

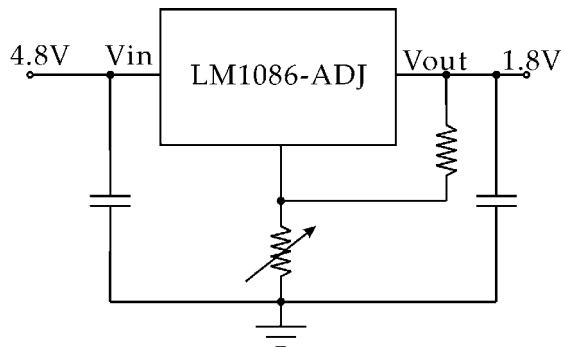


圖 4.4 LM1086-ADJ 穩壓器

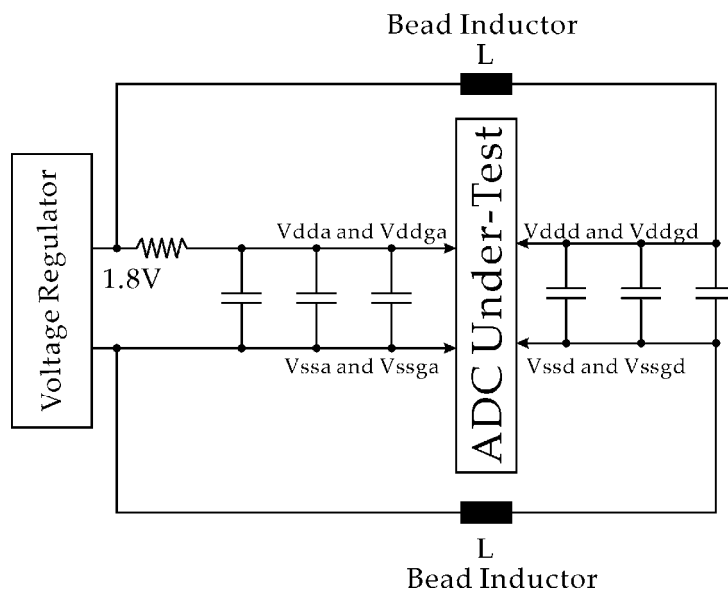


圖 4.5 電源供應示意圖

4.2.3 參考電壓產生器

由 LM1086-ADJ 穩壓器所產生的 1.8V 輸出，將經電阻串的分壓，透過調整可變電阻的阻值，產生本論文二階式類比數位轉換器晶片所需的兩組參考電壓，(Vref_coarse+ & Vref_coarse-, Vref_fine+ & Vref_fine-)，再由型號 OP290 運算放大器所組成的緩衝器提供給晶片所用。整體的參考電壓產生器(Reference Voltage Generator)將如圖 4.5 所示。

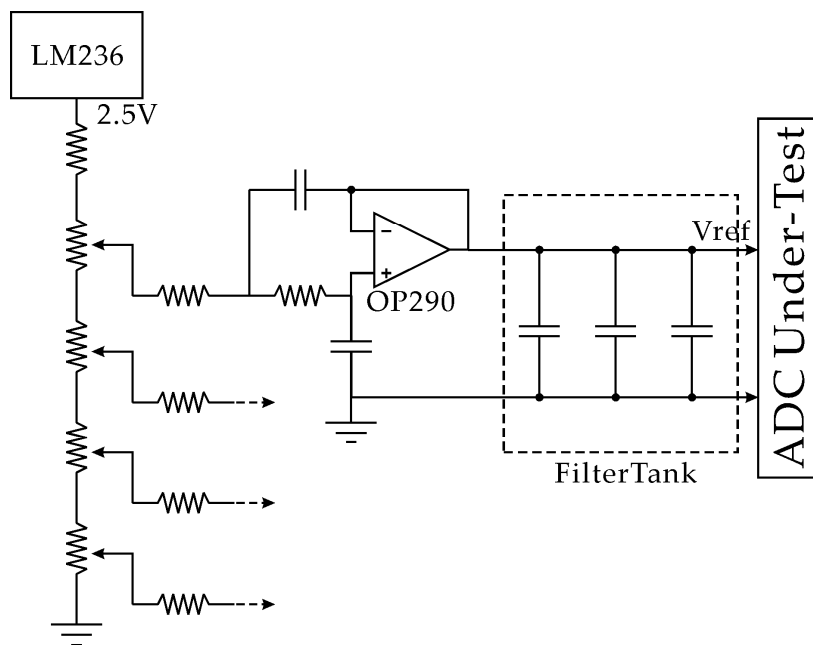


圖 4.6 參考電壓產生器

5.1 總結

在本章將介紹本論文二階式類比數位轉換器在未來可改進的方向，且在寫論文的同時，也有許多新的想法。故寫在本章，除給筆者自己省思的方向，也希望能給未來閱讀這篇論文的讀者供作參考之用。

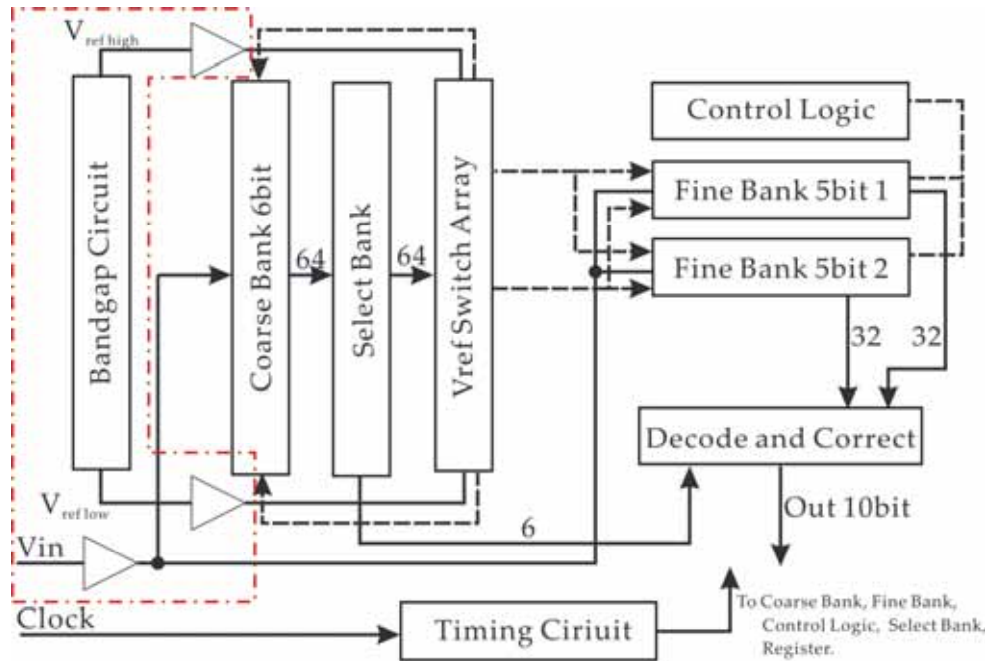


圖 5.1 本論文二階式類比數位轉換器改進示意圖

在圖 5.1 中，用---線框出的區域，即是本論文可再改進的地方，為考慮整合於 SOC 內，許多作於晶片外的元件，可再進一步的整合於晶片內，如推動粗調類比數位轉換器與微調類比數位轉換器所有分散式取樣電路的訊號源，在本論文中是將其設計在測試板上，利用 RF-Transformer 推動。但考慮在 SOC 計畫時，由於有前一級推動力不足的可能性，故需要設計驅動器(Driver)作為驅動訊號所用，而在參考電壓的部份，則是由內建的帶差參考電路提供，但考慮到本電路的參考電壓是由電阻串分壓而來，所以在負載效應的考量下，需設計緩衝器(Buffer)提供大電流並吸納因開關(Switch)切換所造成電阻串上的電壓擾動。而在驅動器的設計上，是

採取差動輸入差動輸出的二階式運算放大器(Two-Stage Differential Operational Amplifier)，在設計上需要兩個直流參考電壓，供作 CMFB 電路參考之用。而這兩個參考電壓可以經由內建於晶片內的帶差參考電路提供。上述的這些部份將在下一節中介紹。

5.2 未來改進的建議方向

在本節中將要介紹本論文三個電路方面的改進，首先是偏壓電路的改良，二是參考電壓緩衝器的設計，最後進入驅動器的設計。

5.2.1 偏壓電路的改善

偏壓電路的重點，即是產生一個精準的參考電流源，並將此電流盡可能完美地複製給每一個電流源。在第三章中，本論文利用改良過的帶差參考電路，產生一個溫度變化係數低的參考電流源，並利用校準疊接電流源的方式，產生偏壓點電壓，傳送給每一個電流源供作複製參考電流之用。

然而，雖然利用帶差參考電路產生精準參考電流源的效果不錯，但是如果從晶片外部精準控制參考電流，對於整體電路的可靠性將大幅的提升。而為了實現上述的構想，請看圖 5.2 中的改良式偏壓電路，利用做在測試板上的可調電阻 R1 控制輸入至晶片內的參考電流，透過 S1 與 S2 的開關設計，可以透過低阻抗的安培計觀察流入晶片的電流大小，再經由負載式接法的電晶體 M1，將電流訊號轉為參考電壓，利用 M2、M3、M4 與 M5 所組成的電流源，將參考電流複製送入偏壓電路(在圖 5.2 中為增進高擺動疊接電路(Improved High-Swing Cascode Circuit))。產生各個電流源所需要的偏壓電壓。

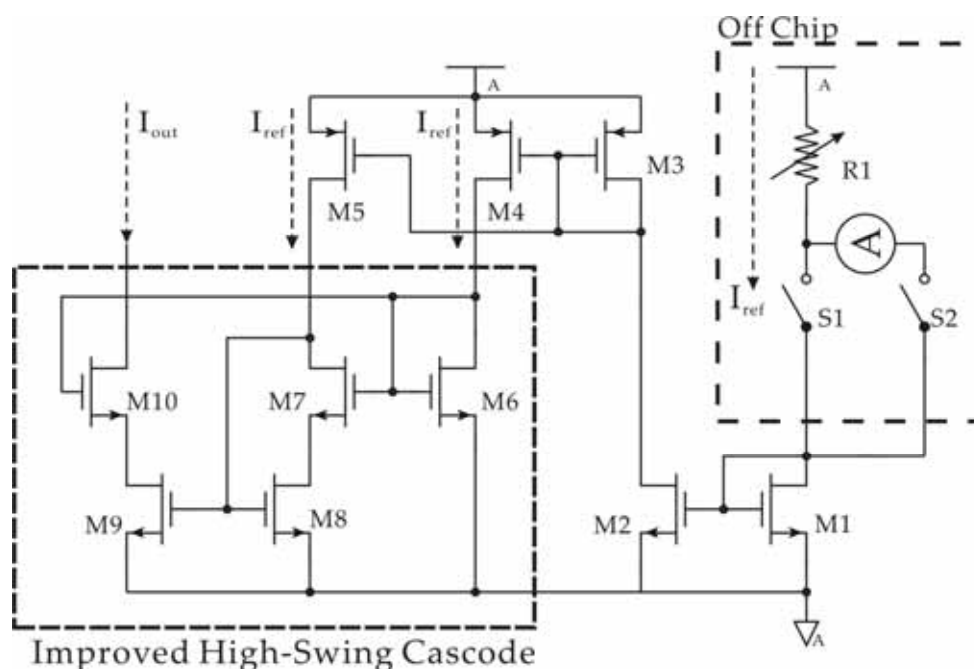


圖 5.2 改良式偏壓電路

5.2.2 參考電壓緩衝器的電路設計

在本論文二階式類比數位轉換器所需要的參考電壓是經由電阻串分壓而來，然而由於在第三章介紹的電容內插電路開關快速切換的緣故，造成電阻串上電壓的擾動。經由參考[4]，亦可得知電阻串上的單位電阻值計算式如下：

$$R = \frac{4\phi}{\pi 2^n f_{in} C}$$

其中 ϕ 為因為開關切換所造成的電壓擾動，以 LSB 為單位。而 n 為類比數位轉換器的解析度，C 為電阻串輸出電壓節點，所有電容的總合， f_{in} 為輸入訊號的頻率。在此舉一個例子以示說明，如果 ϕ 所能接受的容忍度為 1 個 LSB 的電壓擾動，而節點處的電容總合為 1pf，在輸入訊號頻率在 10Mhz 的 8 位元解析度類比數位轉換器情況下，所換算出來的電阻串單位電阻值為 500 Ω 。而在高解析度與高速輸入頻率的情況下，換算的電阻值將會越小，也導致流經電阻串的電流大增。從直觀的觀點

來觀察此現象，的確當流過越大的電流時，越能克服開關切換所造成的擾動，進而迅速將電壓拉回穩態。但這也意謂著緩衝器輸出級必須提供大電流，供給給參考電壓電阻串用。此外本緩衝器由於不只推到每一節點的電容，更推動整個參考電壓電阻串，所以在設計上需考慮負載效應的影響。故所需的緩衝器可以透過圖 5.3 中的電路來實現。

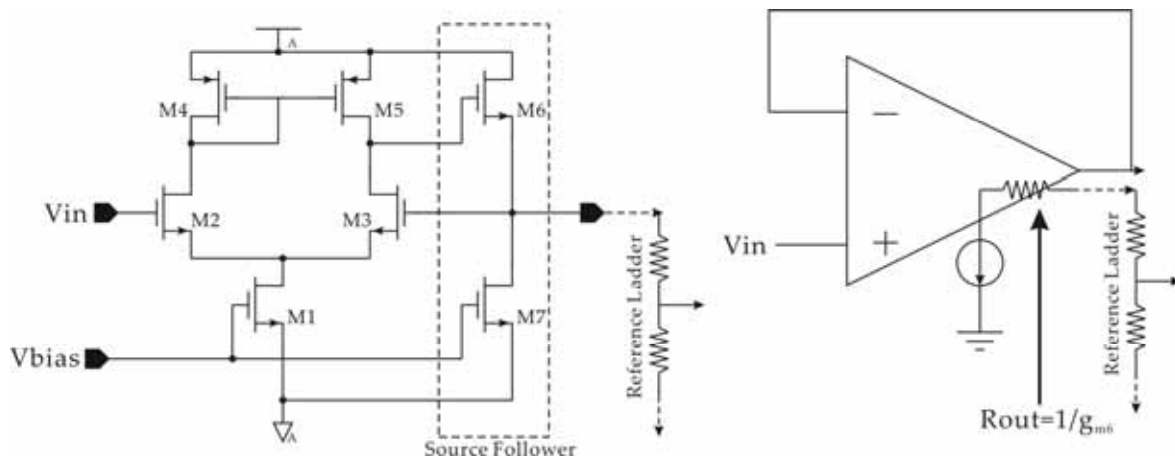


圖 5.3 參考電壓緩衝器

由於本緩衝器需要提供大電流，所以在等效放大器的輸出部份，等同於電流源串聯輸出電阻的存在方式，故考慮到負載效應的情形，此輸出電阻應該極小。所以將緩衝器的第二級設計成源級隨耦器(Source Follower)的型式，如此一來從緩衝器輸出端等效的輸出阻抗為 $R_{ds7} \parallel (1/g_{m6}) \cong 1/g_{m6}$ ，達到小輸出電阻的效果。

5.2.3 驅動器的電路設計

在 SOC 的整合情形下，類比數位轉換器的前一級可能無法推動類比數位轉換器內所有的分散式取樣電路，故在晶片整合時，需要在類比數位轉換器前，加上一級驅動器電路，供作訊號驅動之用。而實現方式是以差動輸入差動輸出的二階式運

算放大器(Two-Stage Differential Operational Amplifier)的方式來完成。圖 5.4 即是筆者所完成的差動輸入差動輸出的二階式運算放大器，圖 5.5 則是用於此運算放大器的共模回授(Common Mode Feedback, CMFB)電路。

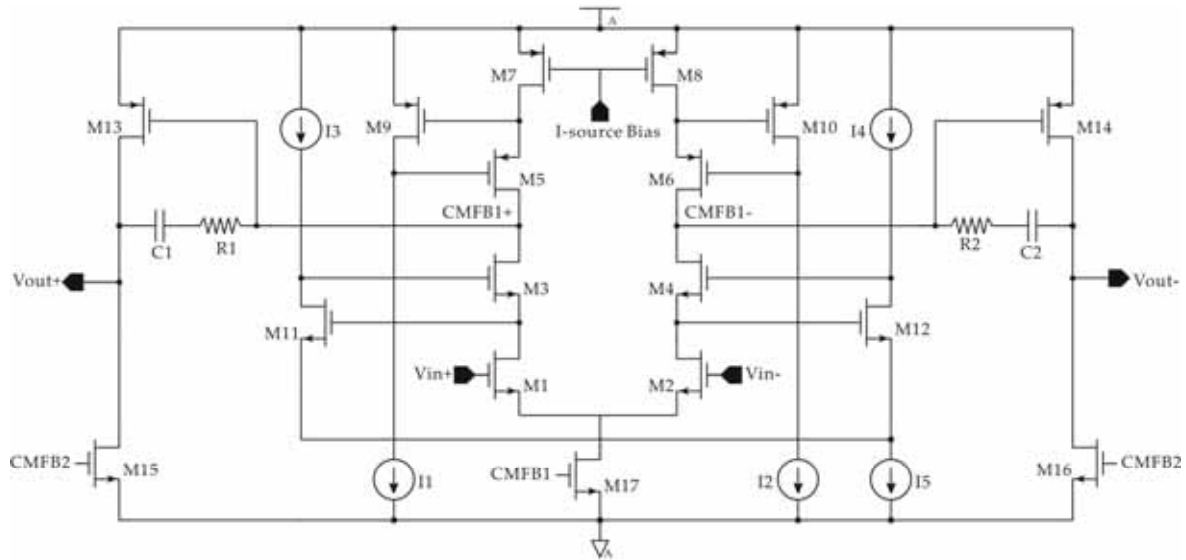


圖 5.4 二階式運算放大器

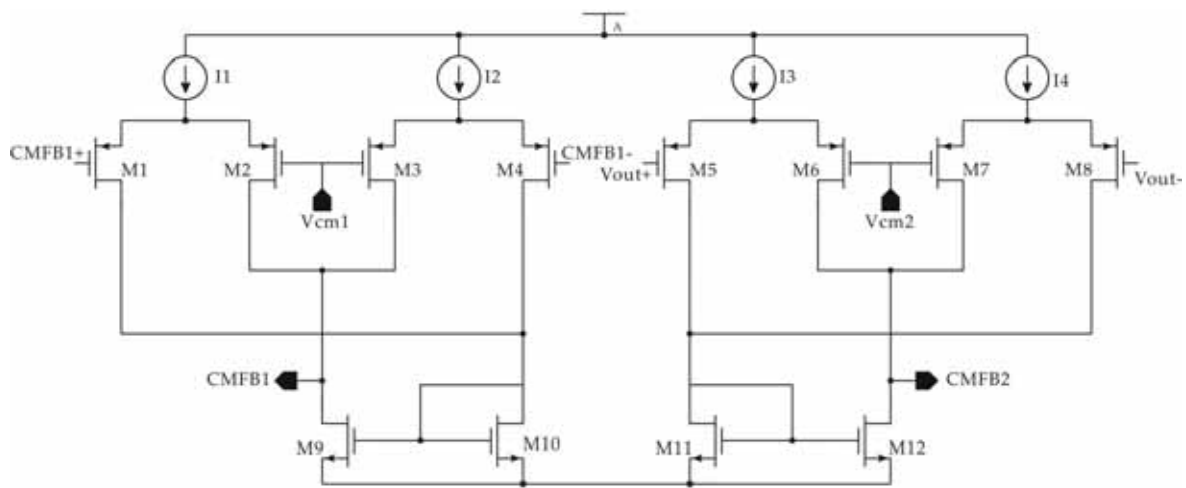


圖 5.5 共模回授電路

圖 5.4 即是二階式運算放大器的主體部份，圖中的 M11、M12、I3、I4、I5 與 M9、M10、I1、I2 用作增益提高 (Gain Boosting) 的功用。圖 5.5 中，利用四輸入

的差動對作為共模回授電路。而整體的放大器表現整理如下表 5.1:

	Best Case	Worst Case
Gain	119.1dB (BJT ff, MOS tt, Medium-Vt MOS ss, Temp 0°C)	108.7dB (BJT ff, MOS tt, Medium-Vt MOS ss, Temp 85°C)
Bandwidth	427.951Mhz (BJT tt, MOS ss, Medium-Vt MOS ff, Temp 0°C)	260.226Mhz (BJT ss, MOS tt, Medium-Vt MOS ss, Temp 85°C)
Phase Margin	79.9341° (BJT ff, MOS tt, Medium-Vt MOS ff, Temp 0 °C)	60.406 ° (BJT ss, MOS tt, Medium-Vt MOS ss, Temp 0 °C)
Output Swing	1.6Vpp	
Output Load	C=2pf	

表 5.1 二階式運算放大器效能整理表

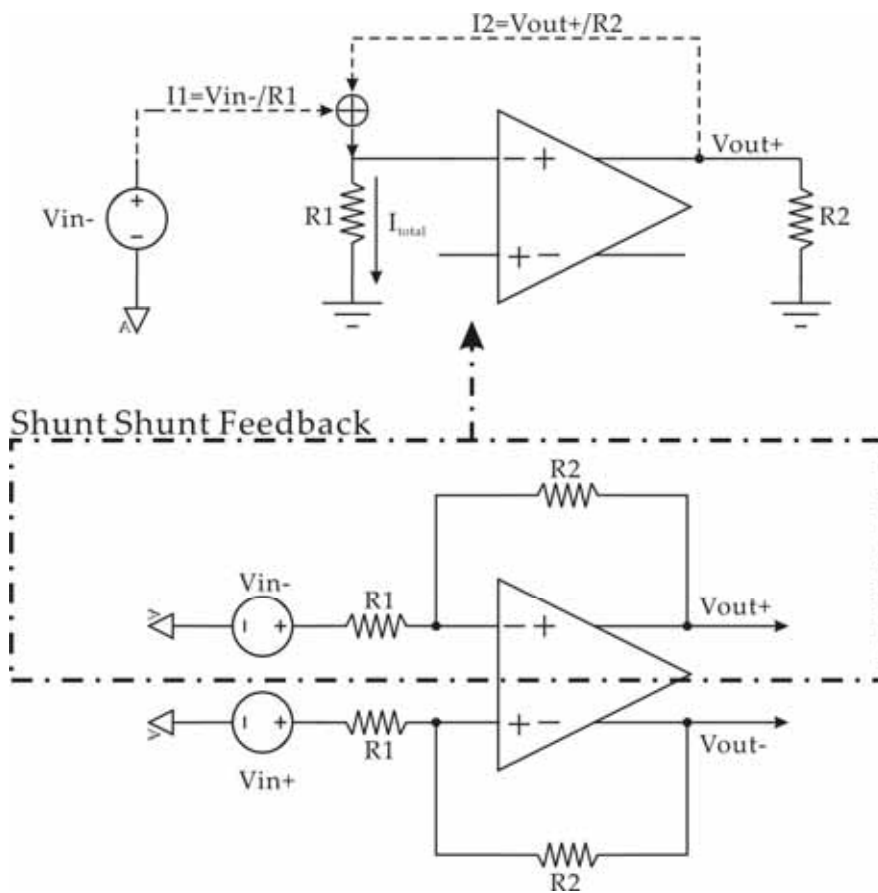


圖 5.6 輸入訊號緩衝器壓流回授模式

在完成差動输出的二階式運算放大器後，將其接成壓流回授(Shunt-Shunt Feedback)的型式，供作輸入訊號緩衝器之用。如圖 5.6 所示。

從圖 5.6 中，可以看出緩衝器的壓流回授模式。以緩衝器的上半部為例，輸出端的等效負載為 R_2 ，而輸入端的等效負載為 R_1 。而從輸出端回授的電流值為 $I_2=V_{out+}/R_2$ ，此電流 I_2 與輸入電流 $I_1=V_{in-}/R_1$ 匯流之後，經過 R_1 成為放大器輸入端的電壓。此乃壓流回授(Shunt-Shunt Feedback)的物理表現。而由於放大器需輸出電流給 R_2 ，故在二階式運算放大器的第二級設計上需給予龐大的電流以供驅動。

在完成輸入訊號緩衝器後，將其接上類比數位轉換器的分散式取樣電路。其示意圖將如圖 5.7 所示。其中為了線性度的考量，所有的分散式取樣電路均是以在第三章所介紹過的靴帶式開關(Bootstrapped Switch)來實現。

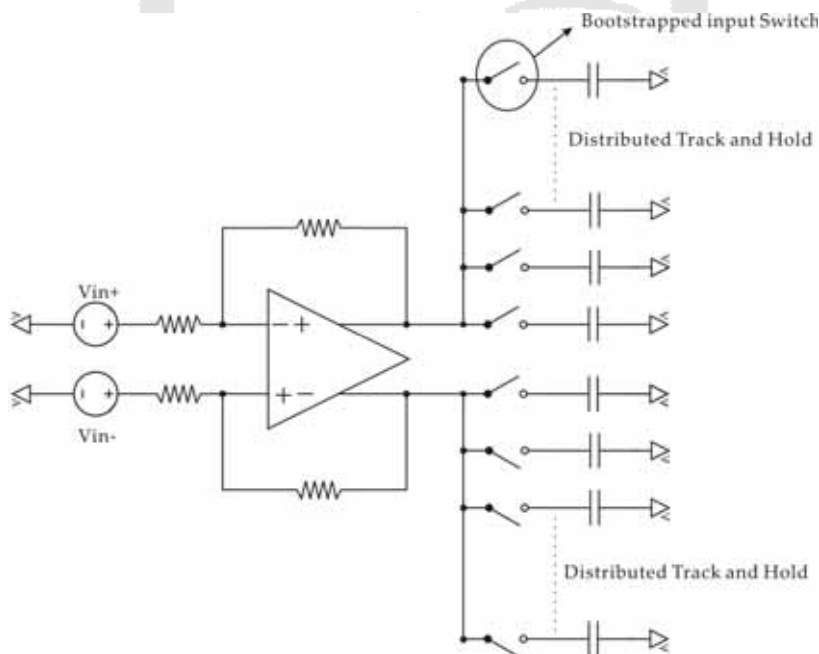


圖 5.7 訊號緩衝器與分散式取樣電路

圖 5.8 為訊號緩衝器與分散式取樣電路組合後，輸入訊號與分散式取樣電路所追蹤與取樣(Track and Hold)的模擬波型。而圖 5.9 則是針對分散式取樣電路所追蹤與取樣到的波型做 FFT 的分析結果。

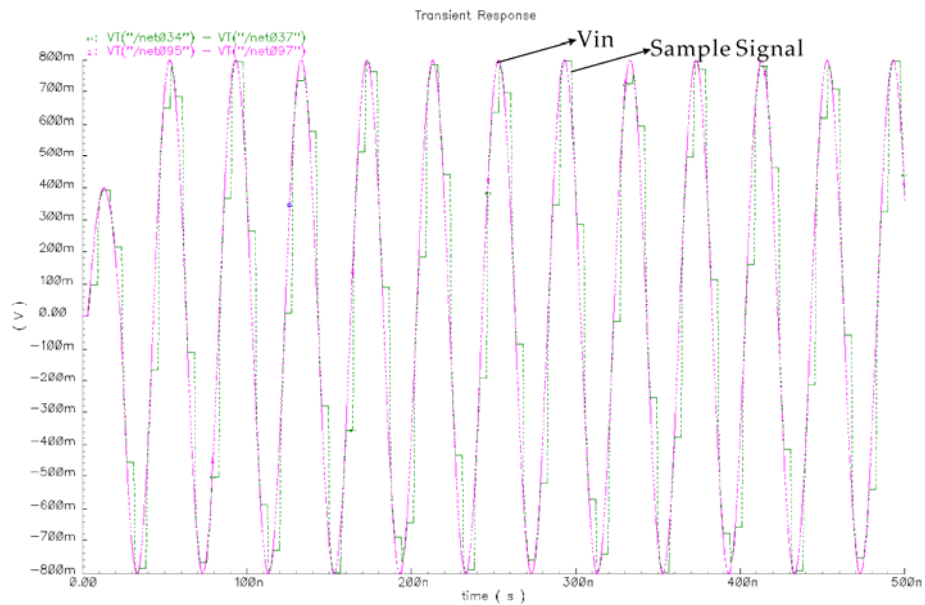


圖 5.8 訊號緩衝器與分散式取樣電路模擬波型

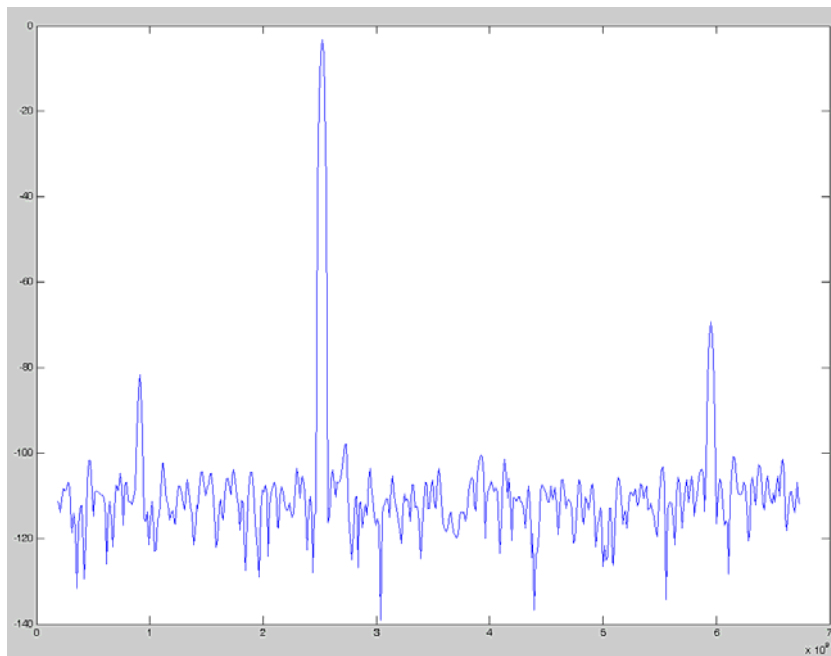


圖 5.9 訊號緩衝器與分散式取樣電路模擬波型 FFT 分析結果
SNR=77.7611dB，ENOB=12.6248

從 FFT 的分析結果觀測，可以驗證由訊號緩衝器與分散式取樣電路所取樣到的波型，高於本論文二階式類比數位轉換器的解析度至少兩個位元，故在訊號的失真度上仍在可接受的範圍內。而以上即為本論文二階式類比數位轉換器未來能再改進效能的方向，希望能給往後閱讀本篇論文的讀者一些參考，也請不吝賜教。

參考文獻

- [1] G. E. Moore, "Cramming more components onto integrated circuits," *Electronics*, vol. 38, no. 8, April 1965.
- [2] W. H. Wolf, *Modern VLSI Design: Systems on Silicon*, 2nd ed., New Jersey: Prentice Hall, 1998.
- [3] R. Gregorian and G. C. Temes, *Analog MOS Integrated Circuits for Signal Processing*, New York: John Wiley & Sons, 1986.
- [4] W. Kester, "High Speed Sampling and High Speed ADCs," in *High Speed Design Techniques*, W. Kester, Ed. Norwood, MA: Analog Devices, Inc., 1996.
- [5] H. D. Lüke, *Signalübertragung: Grundlagen der digitalen und analogen Nachrichtenübertragungssysteme*, 5th ed., Berlin, BRD: Springer-Verlag, 1992.
- [6] R. Harjani, "Data Converters: Analog-to-Digital Converters," in *The Circuits and Filters Handbook, The Electrical Engineering Handbook Series*, W.-K. Chen, Ed. New York: CRC Press, Inc., 1995.
- [7] K.-L. Lin, *Entwicklung von Schaltungstechniken zur Fehlerreduzierung in monolithischen Folding-Analog/Digital-Umsetzern*, Dipl.-Ing. thesis, Duisburg: Gerhard-Mercator-Universität Duisburg, 1998.
- [8] I. N. Bronstein and K. A. Semendjajew, *Taschenbuch der Mathematik*, 25th ed., Stuttgart, BRD: B. G. Teubner Verlagsgesellschaft, 1991.
- [9] W. Kaplan, *Advanced Mathematics for Engineers*, Reading, MA: Addison-Wesley, 1981.
- [10] R. J. v. d. Plassche, *Integrated Analog-to-Digital and Digital-to-Analog Converters*, Boston: Kluwer Academic, 1994.
- [11] IEEE, *IEEE Standard 1241 Draft: Standard for Terminology and Test Methods for Analog-to-Digital Converters*, Piscataway, NJ: IEEE, 2000.
- [12] D. Seitzer, G. Pretzl, and N. A. Hamdy, *Electronic analog-to-digital converters*, Chichester: John Wiley & Sons Ltd., 1983.
- [13] L. Gaddy, "Application Bulletin: Selecting an A/D Converter," Burr-Brown

- Corp., Tucson, AZ, Application Bulletin AB-098, 1995.
- [14] D. F. Hoeschele, *Analog-to-Digital and Digital-to-Analog Conversion Techniques*, 2nd ed., New York: John Wiley & Sons, 1994.
- [15] W. Kester, "High Speed A/D Conversion," in *High Speed Design Seminar*, W. Kester, Ed. Norwood, MA: Analog Devices, Inc., 1990.
- [16] R. J. v. d. Plassche, "Introduction to High-Speed A/D and D/A Converters," in *Advanced Engineering Course on High-Speed Data Converters*. Lausanne, Switzerland: École Polytechnique Fédérale de Lausanne, 1998.
- [17] R. J. v. d. Plassche, "Practical Examples of High-Speed A/D and D/A Conversion in Sub-Micron CMOS," in *Advanced Engineering Course on High-Speed Data Converters*. Lausanne, Switzerland: École Polytechnique Fédérale de Lausanne, 1998.
- [18] M. Choi and A. A. Abidi, "A 6 b 1.3 GSAMPLE/s A/D CONVERTER IN 0.35 μ m CMOS," in *IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, 2001.
- [19] G. Geelen, "A 6 b 1.1 GSAMPLE/s CMOS A/D CONVERTER," in *IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, 2001.
- [20] S. Gotoh, T. Takahashi, K. Irie, K. Ohshima, N. Mimura, K. Aida, T. Maeda, T. Yamamoto, K. Sushihara, Y. Okamoto, Y. Tai, T. Nakajima, M. Usui, T. Ochi, K. Komichi, and A. Matsuzawa, "A mixed-signal 0.18 μ m CMOS SOC FOR DVD SYSTEMS WITH 432 MS/S PRML READ CHANNEL AND 16 Mb embedded DRAM," in *IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, 2001.
- [21] H. v. d. Ploeg, G. Hoogzaad, H. A. H. Termeer, M. Vertregt, and R. L. J. Roovers, "A 2.5 V 12 b 54 MSAMPLE/s 0.25 μ m CMOS ADC IN 1 μ m/SUP 2," in *IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, 2001.
- [22] R. C. Taft and M. R. Tursi, "A 100-MS/S 8-b CMOS SUBRANGING ADC WITH SUSTAINED PARAMETRIC PERFORMANCE FROM 3.8 V DOWN TO 2.2 V," *IEEE Journal of Solid-State Circuits*, vol. 36, no. 3, pp. 331-338, March 2001.
- [23] L. Singer, "High-Speed Pipelined ADC Architectures," in *Advanced*

- Engineering Course on High-Speed Data Converters. Lausanne, Switzerland, 1998.
- [24] H.-S. Chen, B.-S. Song, and K. Bacrania, "A 14-b 20-Msamples/s CMOS pipelined ADC," *IEEE Journal of Solid-State Circuits*, vol. 36, no. 6, pp. 997-1001, June 2001.
- [25] A. Gerosa, R. Bernardini, and S. Pietri, "A fully integrated 8-bit, 20 MHz, truly random numbers generator, based on a chaotic system," in *Southwest Symposium on Mixed-Signal Design*, Austin, TX, 2001.
- [26] H. Liu and M. Hassoun, "High speed re-configurable pipeline ADC cell design," in *Southwest Symposium on Mixed-Signal Design*, Austin, TX, 2001.
- [27] D. Miyazaki and S. Kawahito, *A high-speed low-power area-efficient pipeline A/D converter and its design method*, Report, Hamamatsu, Japan: Shizuoka University, 2001.
- [28] B. Nejaati, A. Khakifirooz, S. J. Ashtiani, and O. Shoaie, "Pipeline analog-to-digital converters with radix <2," in *The 12th International Conference on Microelectronics (ICM)*, Tehran, Iran, 2000.
- [29] Y.-I. Park, S. Karthikeyan, F. Tsay, and E. Bartolome, "A 10 b 100 MSample/s CMOS pipelined ADC with 1.8 V power supply," in *IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, 2001.
- [30] P. P. Siniscalchi, J. K. Pitz, R. K. Hester, S. M. DeSoto, W. Minsheng, S. Sridharan, R. L. Halbach, D. Richardson, W. Bright, M. M. Sarraj, J. R. Hellums, C. L. Betty, and G. Westphal, "A CMOS ADSL codec for central office applications," *IEEE Journal of Solid-State Circuits*, vol. 36, no. 3, pp. 356-365, March 2001.
- [31] M. Waltari and K. A. I. Halonen, "1-V 9-bit pipelined switched-opamp ADC," *IEEE Journal of Solid-State Circuits*, vol. 36, no. 1, pp. 129-134, January 2001.
- [32] H. Pan, M. Segami, M. Choi, L. Cao, and A. A. Abidi, "A 3.3-V 12-b 50-MS/s A/D converter in 0.6- μ m CMOS with over 80-dB SFDR," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 12, pp. 1769-1780, December 2000.
- [33] C. Shi, Y. Wu, C.-H. Lin, S. Li, and M. Ismail, "Design and power

- optimization of high-speed pipeline ADC for wideband CDMA applications," in The 17th NORCHIP Conference, Oslo, Norway, 1999.
- [34] H. Bilhan and M. W. Gosney, "A 13 bit 20 MS/s current mode pipelined analog to digital converter," in The 42nd Midwest Symposium on Circuits and Systems, Las Cruces, NM, 1999.
- [35] S. Imai and Y. Sugimoto, "A design of a bit-block circuit applicable to a 1 V operational video-rate current-mode CMOS A/D converter," Transactions of the Institute of Electrical Engineers of Japan, Part C, vol. 120-C, no. 10, pp. 1325-1332, October 2000.
- [36] D. G. Nairn, "A 10-bit, 3 V, 100 MS/s pipelined ADC," in IEEE Custom Integrated Circuits Conference (CICC), Orlando, FL, 2000.
- [37] I. Mehr and L. Singer, "A 55-mW, 10-bit, 40-Msample/s Nyquist-rate CMOS ADC," IEEE Journal of Solid-State Circuits, vol. 35, no. 3, pp. 318-325, March 2000.
- [38] I. Galton, "Digital cancellation of D/A converter noise in pipelined A/D converters," IEEE Transactions on Circuits & Systems II-Analog & Digital Signal Processing, vol. 47, no. 3, pp. 185-196, March 2000.
- [39] D. Kelly, W. Yang, I. Mehr, M. Sayuk, and L. Singer, "A 3 V 340 mW 14 b 75 MSPS CMOS ADC with 85 dB SFDR at Nyquist," in IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, 2001.
- [40] B. Razavi, "Folding and Interpolating ADCs," in Advanced Engineering Course on High-Speed Data Converters. Lausanne, Switzerland: École Polytechnique Fédérale de Lausanne, 1998.
- [41] W. T. Colleran and A. A. Abidi, "A 10-b, 75-MHz two-stage pipelined bipolar A/D converter," IEEE Journal of Solid-State Circuits, vol. 28, no. 12, pp. 1187-1199, December 1993.
- [42] R. E. J. v. d. Grift and R. J. v. d. Plassche, "A monolithic 8-bit video A/D converter," in 9th European Solid-State Circuits Conference (ESSCIRC), Lausanne, Switzerland, 1983.
- [43] R. E. J. v. d. Grift and R. J. v. d. Plassche, "A monolithic 8-bit video A/D converter," IEEE Journal of Solid-State Circuits, vol. SC-19, no. 3, pp. 274-278, June 1984.

- [44] R. E. J. v. d. Grift, I. W. J. M. Rutten, and M. v. d. Veen, "An 8-bit video ADC incorporating folding and interpolation techniques," *IEEE Journal of Solid-State Circuits*, vol. SC-22, no. 6, pp. 944-953, December 1987.
- [45] R. J. v. d. Plassche and P. Baltus, "An 8-bit 100-MHz full-Nyquist analog-to-digital converter," *IEEE Journal of Solid-State Circuits*, vol. 23, no. 6, pp. 1334-1344, December 1988.
- [46] J. v. Valburg and R. J. v. d. Plassche, "An 8-b 650-MHz folding ADC," *IEEE Journal of Solid-State Circuits*, vol. 27, no. 12, pp. 1662-1666, December 1992.
- [47] M. P. Flynn and D. J. Allstot, "CMOS folding ADCs with current-mode interpolation," in *IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, 1995.
- [48] K. L. Lin, T. van den Boom, N. Stevanović, J. Driesen, D. Hammerschmidt, and B. Hosticka, "A basic design guide for CMOS folding and interpolating A/D converters-overview and case study," in *The 6th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, Pafos, Cyprus, 1999.
- [49] K.-M. Kim and K.-S. Yoon, "An 8-bit 42 Msamples/s current-mode folding and interpolation CMOS analog-to-digital converter with three-level folding amplifiers," in *The 39th Midwest Symposium on Circuits and Systems*, Ames, IA, 1996.
- [50] K.-M. Kim and K.-S. Yoon, "An 8-bit CMOS current-mode folding and interpolation A/D converter with three-level folding amplifiers," in *IEEE Asia Pacific Conference on Circuits and Systems (APCCAS)*, Seoul, South Korea, 1996.
- [51] M. P. Flynn and B. Sheahan, "A 400-Msample/s, 6-b CMOS folding and interpolating ADC," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 12, pp. 1932-1938, December 1998.
- [52] M. Flynn and B. Sheahan, "A 400 M sample/s 6b CMOS folding and interpolating ADC," in *IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, 1998.
- [53] X. Jiang, Y. Wang, and A. N. Willson, Jr., "A 200 MHz 6-bit folding and interpolating ADC in 0.5- μ m CMOS," in *IEEE International Symposium*

- on Circuits and Systems (ISCAS), Monterey, CA, 1998.
- [54] K.-M. Kim and K.-S. Yoon, "An 8 bit current-mode CMOS A/D converter with three level folding amplifiers," *IEICE Transactions on Fundamentals of Electronics Communications & Computer Sciences*, vol. E81-A, no. 2, pp. 252-255, February 1998.
- [55] H.-H. Kim and K.-S. Yoon, "A 12 bit current-mode folding/interpolation CMOS A/D converter with multipliers," in *IEEE Region 10 Conference (TENCON 99) 'Multimedia Technology for Asia-Pacific Information Infrastructure'*, Cheju Island, South Korea, 1999.
- [56] K.-M. Kim and K. S. Yoon, "An 8 bit current-mode CMOS A/D converter with three level folding amplifiers," *Analog Integrated Circuits & Signal Processing*, vol. 20, no. 2, pp. 139-143, August 1999.
- [57] M.-J. Choe, B.-S. Song, and K. Bacrania, "An 8 b 100 MSample/s CMOS pipelined folding ADC," in *Symposium on VLSI Circuits*, Kyoto, Japan, 1999.
- [58] H.-H. Kim and K.-S. Yoon, "A 12 bit current-mode folding/interpolation CMOS A/D converter with 2 step architecture," in *The 1st IEEE Asia Pacific Conference on ASICs (AP-ASIC)*, Seoul, South Korea, 1999.
- [59] M. Gustavsson, J. Jacob Wikner and Nianxiong Nick Tan, *CMOS Data Converters for Communications*, Kluwer Academic Publishers, ISBN: 0-7923-7780-X, 2000.
- [60] David A. Johns and Ken Martin, *Analog Integrated Circuit Design*, John Wiley and Sons, ISBN:0-471-14448-7, 1997.
- [61] A. R. Bugeja and B. S. Song, "A Self-Trimming 14-b 100MS/s CMOS DAC," *IEEE Journal of Solid-State Circuits*, vol. 35, pp.1841-1852, Dec. 2000.
- [62] D. Groeneveld, *et al.*, "A Self-Calibration Technique for Monolithic High Resolution D/A Converters," *IEEE Journal of Solid-State Circuits*, vol. 24, pp.1517-1522, Dec. 1989.
- [63] I. Galton, "Spectral Shaping of Circuit Errors in Digital-to-Analog Converters," *IEEE Trans. on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 44, no. 10, pp. 808-817, Oct. 1997.
- [64] H. T. Jensen and I. Galton, "A Low-Complexity Dynamic Element Matching

- DAC for Direct Digital Synthesis," *IEEE Trans. on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 45, no. 1, pp. 13-27, Jan. 1998.
- [65] P. K. Henderson and O. J. A. P. Nys, "Dynamic Element Matching Techniques with Arbitrary Noise Shaping Function," *International Symposium on Circuit and Systems*, vol. 1, pp. 293-296, 1996.
- [66] Y. H. Lin, D. H. Lee, C. C. Yang and T. H. Kuo, "High-Speed DACs with Random Multiple Data-Weighted Averaging Algorithm," *IEEE International Symposium on Circuits and Systems*, vol. 1, pp. 993-996, May 2003.
- [67] Z. Yu, D. Chen and R. Geiger, "1-D and 2-D Switching Strategies Achieving Near Optimal INL for Thermometer-Coded Current Steering DACs," *IEEE International Symposium on Circuits and Systems*, vol. 1, pp. 909-912, May 2003.
- [68] A. van den Bosch, M. Steyaert, and W. Sansen, "SFDR-Bandwidth Limitations for High-Speed High-Resolution Current-steering CMOS D/A Converters," *International Conference on Electronics, Circuits and Systems*, pp. 1193-1196, Sept. 1999.
- [69] A. van den Bosch, M. Borremans, M. Steyaert, and W. Sansen, "A 10-bit 1-GSample/s Nyquist Current-Steering CMOS D/A Converter," *Custom Integrated Circuits Conference*, pp. 265-268, May 2000.
- [70] Y. Yoo and M. Song, "Design of a 1.8V 10bit 300MSPS CMOS Digital-to-Analog Converter with a Novel Deglitching Circuit and Inverse Thermometer Decoder," *Asia-Pacific Conference on Circuits and Systems*, vol. 2, pp. 311-314, Oct. 2002.
- [71] Keh-La Lin, Armin Kemna, and Bedrich J. Hosticka, *Modular Low-Power, High-Speed CMOS Analog-to-Digital Converter for Embedded Systems*, MA: Kluwer Academic Publishers, Boston, ISBN: 1-4020-7380-1, pp. 254, April 2003.