

國立清華大學
碩士論文

低頻低功率軌對軌差動運算放大器
之雜訊改善積體電路設計

Noise Improvement of Low Frequency and Low Power
Dissipation Rail-To-Rail Differential Input
Operational Amplifier IC Design

系別所：電子工程研究所碩士班

學號姓名：9663549 陳永鴻 (Chen-Yung, Hung)

指導教授：龔正博士 (Prof. Jeng Gong)

黃智方博士 (Prof. Chin-Fang Huang)

中華民國九十八年七月

摘要

在本篇論文中，利用 TSMC 矽鍺 0.35 微米製程技術來設計應用於低頻操作的放大器，並且利用 H-SPICE 軟體對其進行模擬分析，此電路稱之為「低頻低功率軌對軌差動運算放大器之雜訊改善積體電路設計」。雜訊改善的方式是使用 BiCMOS 做為輸入級差動對的電路結構，以取代 CMOS 輸入級差動對的電路結構，然後透過設計出使用這兩種不同輸入級的運算放大器，並對其進行模擬分析與比較而得到本論文之研究結果。最後將其接成儀器放大器的電路架構，並再次進行模擬分析與比較而證實所設計出的運算放大器應用於儀器放大器上亦能有改善雜訊的效果。另外，本論文內有提及所設計的電路可應用於醫療電子方面的心電圖(ECG)儀器上，並對 ECG 認識進行簡單之介紹。

Abstract

In this work, TSMC SiGe0.35 μ m technology is used to design a low noise analog integrated circuit. This work is called 「 Noise Improvement of Low-frequency , Low-power Rail-To-Rail Differential Input Op-Amp 」 , and is simulated by H-SPICE. It uses BiCMOS technology replacing CMOS technology in the differential input stage to improve noise in Op-Amp circuits. Through simulation and comparison, the results show that noise in the BiCMOS rail-to-rail differential input Op-Amp is better than noise in CMOS rail-to-rail differential input Op-Amp. Finally, rail-to-rail instrumentation Amps are integrated by these two kinds of Op-Amp, and then they are simulated and compared again. The simulation and comparison results show that noise is significantly improved when using BiCMOS rail-to-rail differential input Op-Amps. In addition, this paper mentions the designed rail-to-rail instrumentation Amps could be applied as ECG Amplifier in the medical electronic. This paper also introduces what is ECG and ECG related electronics.

致 謝

兩年的研究生生活說長不長，說短不短，最慶幸的是自己能夠跟到一開始就想跟隨的指導教授龔正博士，經過老師兩年的指導後，心中對老師更是對老師只有滿滿的感謝，因為老師總是給予我們很大的空間，卻又適時得引導我們正確的學習態度與方法。除了專業的知識之外，生活上老師也會給予我們適當的意見，讓我們能夠擁有正確的人生觀與價值觀，而不只是成爲一位呆板的工程師而已。

其次要感謝我的家人的支持和我的女朋友依竹的陪伴，還有實驗室博班的學長姐們：俊孝、智閔、崇祐、如意、克濤、慧菁。碩班畢業的學長們：彥宏、耕宇、長鑫、范姜。一同奮鬥研究的好夥伴們：建豪、麗珍、貞吟、冠宇、仲璘、士豪。以及各位優秀的學弟妹們：富群、立凡、靖瑜、國軒、瑋倫、志銘、群侑、士豪。感謝學長姐們在我剛進研究所懵懂無知時，帶領我盡快的適應研究所的生活，並給予各種幫助及所需知識。而一同修課研究的好夥伴們，能夠跟你們一起克服研究所各個關卡，一同在人生道路上向前邁進，現在想起來都還是很感動不已。因為有你們每一個人所以才能夠組成一個這麼棒、這麼歡樂的實驗室，我真的很喜歡這個實驗室，是你們才能讓我的研究生生活這麼完整。

目錄

| | |
|---------------------------|-----|
| 摘要 | I |
| 致謝 | III |
| 目錄 | IV |
| 圖目錄 | VII |
| 表目錄 | IV |
| 第一章 緒論 | 1 |
| 1.1 研究動機與相關背景 | 1 |
| 1.2 論文簡介 | 4 |
| 第二章 基本原理與概論 | 5 |
| 2.1 心電圖(ECG)簡介 | 5 |
| 2.1.1 心臟的傳導系統 | 5 |
| 2.2.2 心電圖波形與相關參數 | 6 |
| 2.1.3 ECG 前級放大器需求規格 | 9 |
| 2.2 雜訊 | 10 |
| 2.2.1 通道熱雜訊 | 11 |
| 2.2.2 閃爍雜訊 | 14 |

| | |
|--------------------------------------|----|
| 2.2.3 轉折頻率 | 16 |
| 2.3 不匹配現象 | 17 |
| 第三章 軌對軌差動運算放大器架構設計與模擬分析 | 22 |
| 3.1 簡介 | 22 |
| 3.2 互補式-軌對軌差動運算放大器 | 22 |
| 3.2.1 電路架構 | 22 |
| 3.2.2 模擬結果 | 33 |
| 3.3 BJT 輸入對-軌對軌差動運算放大器 | 38 |
| 3.3.1 電路架構 | 38 |
| 3.3.2 模擬結果 | 43 |
| 3.4 全 N-channel 輸入對-軌對軌差動運算放大器 | 48 |
| 3.4.1 電路架構 | 48 |
| 3.4.2 模擬結果 | 51 |
| 3.5 電流源與電壓源電路 | 56 |
| 3.5.1 與溫度無關之電流源 | 56 |
| 3.5.2 帶差參考電壓源 | 58 |
| 3.5.3 V_{ctrl} 偏壓電路 | 60 |
| 第四章 儀器放大器電路模擬分析與討論 | 62 |

| | |
|------------------------------|----|
| 4.1 簡介 | 62 |
| 4.2 軌對軌差動運算放大器的雜訊特性比較 | 62 |
| 4.3 儀器放大器基本原理 | 64 |
| 4.3.1 儀器放大器與一般運算放大器之差別 | 64 |
| 4.3.2 電路結構與分析 | 65 |
| 4.4 儀器放大器電路模擬架構與模擬結果 | 69 |
| 4.4.1 模擬架構 | 69 |
| 4.4.2 模擬結果 | 75 |
| 4.5 電路模擬結果的討論與比較 | 88 |
| 第五章 結論 | 92 |
| 參考文獻 | 93 |

圖目錄

| | |
|--|----|
| 圖 2-1. 心臟細胞及傳導結構 | 6 |
| 圖 2-2. 心電圖波形圖 | 6 |
| 圖 2-3. 人體進行 ECG 量測時之示意圖 | 10 |
| 圖 2-4. 熱雜訊之白色頻譜 | 13 |
| 圖 2-5. 電阻熱雜訊模型 (a)等效電壓源 (b)等效電流源 | 13 |
| 圖 2-6. 閃爍雜訊頻譜 | 14 |
| 圖 2-7. 氧化層和矽界面間的懸浮不連接鍵 | 15 |
| 圖 2-8. (a)閃爍雜訊等效閘極電壓 (b)閃爍雜訊等效汲極電流 | 16 |
| 圖 2-9. 轉折頻率之概念於閃爍雜訊與熱雜訊綜合圖 | 17 |
| 圖 2-10. 元件尺寸微小變化產生之隨機不匹配現象及寬度增加對長度 不匹配現象之影響 | 18 |
| 圖 2-11. (a)MOS 誤差源等效模型 (b)BJT 誤差源等效模型 | 19 |
| 圖 3-1. N-channel 及 P-channel 差動輸入對 | 22 |
| 圖 3-2. 軌對軌差動輸入級 | 24 |
| 圖 3-3. 輸入共模電壓 VS. 轉導值 g_m 圖 | 25 |
| 圖 3-4. 使用三倍電流鏡對尾電流補償使 g_m 值固定的電路結構 | 27 |

| | |
|---|----|
| 圖 3-5. Class AB 輸出級電路結構圖 | 29 |
| 圖 3-6. 互補式-軌對軌差動運算放大器完整電路結構圖 | 32 |
| 圖 3-7. 互補式運算放大器之直流增益 & 相位邊限 | 33 |
| 圖 3-8. 互補式運算放大器之共模拒斥比 | 34 |
| 圖 3-9. 互補式運算放大器之延遲率 | 35 |
| 圖 3-10. 三倍電流鏡電路維持 g_m 固定值之模擬 | 35 |
| 圖 3-11. 互補式 OP 雜訊模擬(a)總等效輸入雜訊(b)總等效輸出雜訊 | 36 |
| 圖 3-12. NPN 差動輸入級電路結構 | 41 |
| 圖 3-13. NPN 輸入對-軌對軌運算放大器完整電路結構圖 | 42 |
| 圖 3-14. NPN 輸入對-運算放大器之直流增益 & 相位邊限 | 44 |
| 圖 3-15. NPN 輸入對-運算放大器共模拒斥比 | 44 |
| 圖 3-16. NPN 輸入對-運算放大器延遲率 | 45 |
| 圖 3-17. NPN 差動輸入級維持 g_m 固定值之模擬 | 45 |
| 圖 3-18. BJT-OP 雜訊模擬(a)總等效輸入雜訊 (b)總等效輸出雜訊 | 46 |
| 圖 3-19. 全 N-channel 差動輸入級電路結構 | 48 |
| 圖 3-20. 全N-channel輸入對-軌對軌運算放大器電路結構圖 | 50 |
| 圖 3-21. 全 N-channel 輸入對-運算放大器之直流增益 & 相位邊限 | 52 |
| 圖 3-22. 全 N-channel 輸入對-運算放大器之共模拒斥比 | 52 |

| | |
|---|----|
| 圖 3-23. 全 N-channel 輸入對-運算放大器之延遲率 | 53 |
| 圖 3-24. 全 N-channel 差動輸入級維持 g_m 固定值之模擬 | 53 |
| 圖 3-25. N-channel-OP 雜訊模擬(a)總等效輸入雜訊(b)總等效輸出雜訊 | 54 |
| 圖 3-26. 與溫度無關之電流生成電路結構 | 56 |
| 圖 3-27. 與溫度無關的電流源模擬(含製程 Corner : TT、FF、SS) | 57 |
| 圖 3-28. 帶差參考電壓源電路結構 | 58 |
| 圖 3-29. 與溫度無關的電壓源模擬(含製程 Corner : TT、FF、SS) | 60 |
| 圖 3-30. BJT 輸入級之 V_{ctrl} 偏壓電路 | 60 |
| 圖 4-1. 添增阻抗匹配器為前級 | 66 |
| 圖 4-2. 儀器放大器電路結構 | 67 |
| 圖 4-3. 使用各種 OP 的儀器放大器電路架構圖 | 69 |
| 圖 4-4. X1 之直流增益 & 相位邊限 | 75 |
| 圖 4-5. X1 之共模拒斥比 | 76 |
| 圖 4-6. X1 之延遲率 | 76 |
| 圖 4-7. X1 的雜訊模擬 (a)總等效輸入雜訊 (b)總等效輸出雜訊 | 77 |
| 圖 4-8. X2 之直流增益 & 相位邊限 | 77 |
| 圖 4-9. X2 之共模拒斥比 | 78 |
| 圖 4-10. X2 之延遲率 | 78 |

| | |
|--|----|
| 圖 4-11. X2 的雜訊模擬 (a)總等效輸入雜訊 (b)總等效輸出雜訊 | 79 |
| 圖 4-12. X3 之直流增益 & 相位邊限圖 | 79 |
| 圖 4-13. X3 之共模拒斥比 | 80 |
| 圖 4-14. X3 之延遲率 | 80 |
| 圖 4-15. X3 的雜訊模擬 (a)總等效輸入雜訊 (b)總等效輸出雜訊 | 81 |
| 圖 4-16. X4 之直流增益 & 相位邊限圖 | 81 |
| 圖 4-17. X4 之共模拒斥比 | 82 |
| 圖 4-18. X4 之延遲率 | 82 |
| 圖 4-19. X4 的雜訊模擬 (a)總等效輸入雜訊 (b)總等效輸出雜訊 | 83 |
| 圖 4-20. X5 之直流增益 & 相位邊限 | 83 |
| 圖 4-21. X5 之共模拒斥比 | 84 |
| 圖 4-22. X5 之延遲率 | 84 |
| 圖 4-23. X5 的雜訊模擬 (a)總等效輸入雜訊 (b)總等效輸出雜訊 | 85 |
| 圖 4-24. X6 之直流增益 & 相位邊限 | 85 |
| 圖 4-25. X6 之共模拒斥比 | 86 |
| 圖 4-26. X6 之延遲率 | 86 |
| 圖 4-27. X6 的雜訊模擬 (a)總等效輸入雜訊 (b)總等效輸出雜訊 | 87 |

表 目 錄

| | |
|--|----|
| 表 2-1. 心電圖參數 | 8 |
| 表 3-1. 互補式-軌對軌運算放大器內部各電晶體尺寸 | 33 |
| 表 3-2 互補式-軌對軌差動運算放大器的模擬結果 | 37 |
| 表 3-3. BJT 輸入對-軌對軌運算放大器內部各元件尺寸 | 43 |
| 表 3-4. BJT 輸入對-軌對軌差動運算放大器的模擬結果 | 47 |
| 表 3-5. 全 N-Channel-軌對軌運算放大器內部各元件尺寸 | 51 |
| 表 3-6. 全 N-Channel 輸入對-軌對軌差動運算放大器的模擬結果 | 55 |
| 表 3-7. 與溫度無關之電流生成電路各元件尺寸 | 57 |
| 表 3-8. 與溫度無關之電流生成電路各元件尺寸 | 59 |
| 表 3-9. BJT 輸入級之 V_{ctrl} 偏壓電路各元件尺寸 | 61 |
| 表 4-1. 三種軌對軌運算放大器雜訊特性比較 | 62 |
| 表 4-2. 儀器放大器中 OP 選用的各種配對組合 | 70 |
| 表 4-3. 各種組合之儀器放大器的模擬結果 | 88 |
| 表 5-1. 參考文獻 OPA 與本論文 BiCMOS OPA 之電流及功率比較 | 92 |

第一章 緒論

1.1 研究動機及相關背景

運算放大器(Operational Amplifier, Op Amp), 為許多類比和混合訊號系統中不可或缺的部分。以前, 大部分的運算放大器被設計為通用的建構方塊, 以滿足許多不同應用的需求, 通常, 我們希望能設計出理想的運算放大器, 也就是具有高電壓增益, 高輸入阻抗及低輸出阻抗的特性, 然而, 今日運算放大器的設計隨著各項參數間的交互限制而進展, 也就是說我們必須進行一多維的妥協(tradeoff)。舉例來說, 若是速度重要而增益較不重要時, 我們可以選擇犧牲後者以滿足前者需求的電路組態。

現實的世界當中充滿了各式各樣的類比訊號, 如: 溫度, 壓力, 速度。為了將這些物理量轉換成可處理的資訊, 必須使用特殊功能的感測器將這些物理量轉換成系統可讀取的電壓訊號。當我們要量測一個很微小的類比訊號時, 如果儀器背景的本質雜訊 (Intrinsic Noise) 通常存在於電子元件和電路本身如: Thermal noise、 $1/f$ noise 等等, 和所要量測的訊號不是相差很大時, 所量到的訊號就會有很大的誤差。此時便需要一個低雜訊的前級放大器 (Low Noise Preamp) 先將訊號正確的放大後, 使

量測訊號比雜訊大很多，則往後的測量便不至於有雜訊太大的問題。一個低雜訊的前級放大器除了可以用來將訊號正確無誤的放大，亦可以當作實驗裝置中的偵測器 (Detector)。評斷一個低雜訊放大器的好壞主要可以由下列指標看出：雜訊大小 (Noise Level)、放大率 (Gain)、頻寬 (Bandwidth)。

爲了設計出低雜訊的前級放大器，在運算放大器的輸入級使用差動輸入對來建構一個全 MOSFET 的 rail-to-rail 運算放大器，因爲差動運作比單端信號運作對於環境的雜訊免疫力較強。然而，MOSFET 的雜訊包含了兩個部分，第一部分是熱雜訊與第二部份的 $1/f$ 雜訊，大部分而言，MOSFET 的熱雜訊與 BJT 的熱雜訊是一樣的，但是 MOSFET 的 $1/f$ 雜訊卻比 BJT 的 $1/f$ 雜訊大得多。雖然， $1/f$ 雜訊會化成時脈周圍的頻率，而在高頻率下也會造成影響，但是在低頻中 $1/f$ 雜訊會顯得更重要，這是因爲它的變化本來就是與頻率成反比關係。

BJT 除了有優於 MOSFET 的 $1/f$ 雜訊特性，BJT 的匹配(matching)特性也比 MOSFET 優越，加上 BJT 本身具有高的 β -gain 這幾個因素。所以在此論文中，將會把全 MOSFET 的 rail-to-rail 運算放大器中的差動輸入對改成使用 SIGE0.35 μ m 的 BiCMOS 製程中的 NPN-BJT 當作差動輸入

對來建構 rail-to-rail 運算放大器。進而將使用 MOSFET 及 BJT 當輸入對的運算放大器進行一般特性及雜訊比較，以了解是否能進一步改善雜訊特性。

因為 $1/f$ 雜訊最主要影響的頻段是在低頻之中，所以在論文中的研究將鎖定在低頻帶，低雜訊的運算放大器。一般說來，低頻小訊號電晶體主要使用於音響機器之低頻放大、醫療儀器、物理化學儀器等。所以論文中的運算放大器將以醫療電子中的 ECG(心電圖)儀器中的前級放大器效能為電路實現的主要依據，而選定 ECG 中的運算放大器的理由是因為在 ECG 中的前級放大器為三顆電晶體組成的儀表放大器，使用上正好需要低頻且低雜訊的需求來使心跳的訊號能有良好的波形輸出，以供有效的分析及判讀。

1.2 論文簡介

本論文一共分成五章，以下就每一章節進行簡介。

第一章：說明本論文的研究動機、目的與論文簡介。

第二章：說明論文之中將使用到的 ECG 簡介、NOISE 的基本原理及儀器放大器電路架構及其操作原理。

第三章：首先將介紹全 MOSFET 的 rail-to-rail 運算放大器的內部電路架構，然後介紹輸入對改成 BJT 輸入對的 rail-to-rail 運算放大器的內部電路架構，最後將兩種運算放大器都接成儀器放大器。

第四章：對第三章所完成的兩種運算放大器進行模擬，然後將模擬特性的結果呈現出來，以進行最後的一般特性及雜訊之比較。

第五章：結論。

第二章 基本原理與概論

2.1 心電圖(ECG)簡介

2.1.1 心臟的傳導系統

心電圖 ECG (Electrocardiograph)是一種經由心臟跳動所產生的電子訊號，如圖 2.1 所示，在醫學上可以將這個電子訊號當成一項診斷的工具來檢驗一些心臟方面的症狀。

心臟的功能就像是一個自發性的血液幫浦(Pump)，這個幫浦的能量來自於心臟的節律點，也稱之為竇房結(SA node)，是位於右心房上壁的一組特化神經肌肉纖維組織，平均每分鐘大約有 60-100 次的去極化作用。當竇房結開始去極化時，電性脈衝首先會傳導至左右心房，使得左、右二個心房收縮，然後傳導至位於左、右心室間的房室節(AV node)，藉由左、右束枝的電性傳導，引起左、右心室的收縮並將血液輸出送至全身上下，因此，一般而言，心房與心室之間的收縮時間大約會差距 0.12 至 0.20 秒。然而，藉由心臟此種電性傳導作用與肌肉收縮之間的關係特性，並利用可以進行心電圖量測的裝置即可將心臟的電性傳導作用偵測並記錄下來，做為評估心臟活動健康狀況的依據。

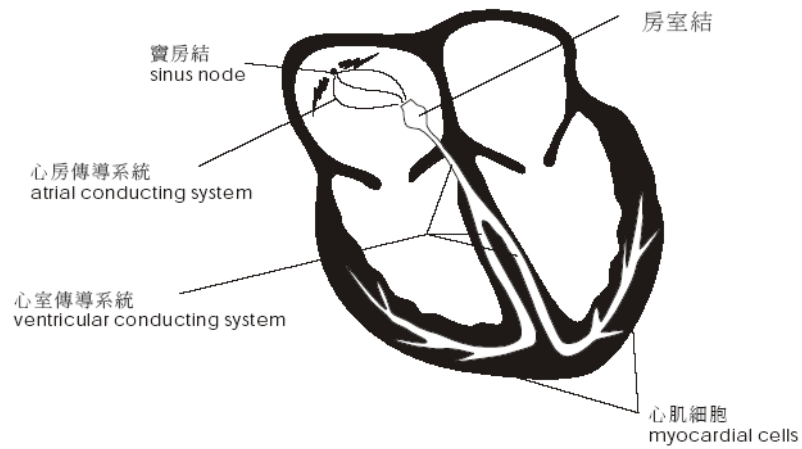


圖 2-1. 心臟細胞及傳導結構

2.1.2 心電圖波形與相關參數

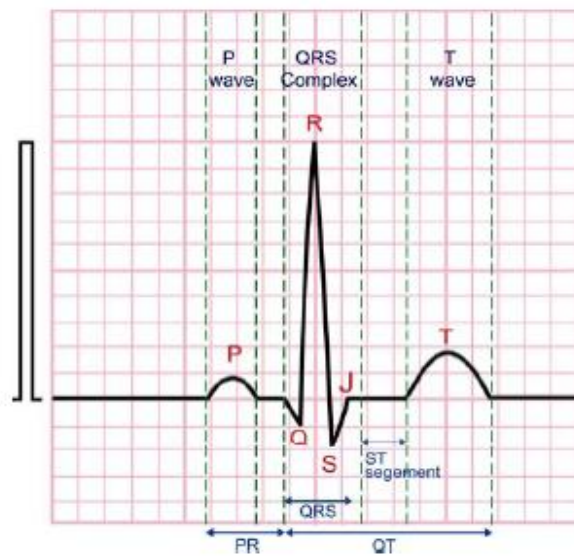


圖 2-2. 心電圖波形圖，橫軸表時間(單位:秒)；縱軸表電壓(單位:毫伏)

配合圖 2-2 中所示，以下介紹心電圖中波形含義及其相關參數[6]：

■ P 波：

P 波代表的是心房收縮的結果，一般正常值大約落在 0.25mv，且不大於 0.12 秒(SEC)。如果大於這個範圍時所代表的意思為可能心房增厚肥大的現象。

■ P-R 間期：

自 P 波的起始點至 Q 波的起始點為止的間距稱為 P-R 間期，主要意謂著心房的去極化。一般來說，P-R 間期的範圍為 0.12 秒至 0.2 秒之間，若 P-R 間期太長，通常表示房室結有阻滯狀況現象。

■ QRS 複合波(QRS complex)：

自 Q 波的起始點至 S 波的起始點為止的間距稱之為 QRS 複合波，主要意謂著心室的去極化。一般來說，QRS 複合波的範圍介於 0.08 秒至 0.12 秒之間，若超過這個範圍，通常意味著可能有束枝傳導阻滯或是 WPW 症候群發生的現象。

■ QT/QTc :

QT/QTc 的量測，是由 Q 波的起始點至 T 波的結束點的間距，QT 週期的長短與心跳速率成反比，而這項參數代表著左右心室去極化及再極化的時間。校正 QT 間期 (QTc) 的定義是由測量的 QT 間期除以 RR 間期的平方根得出，可以代替粗測的 QT 間期。藉由下列公式可計算得到 QTc 的值，一般 QTc 值大約為 0.44 秒。

$$QT_c = QT + 1.75(HR - 60) \quad (2.1)$$

- ST 間段：ST 間段的測量是由 J 轉折點後 0.04 秒開始，一直到 T 波開始間的電位變化，對於心肌梗塞、心肌缺血或缺氧，以及心肌壞死的症狀而言，是相當重要的評估指標。

| 參數 | 參考範圍 |
|-----------|-------------------------------|
| 平均心律 (HR) | 60 < HR < 100 bpm |
| PR 間期 | 0.12 ~ 0.20 秒 |
| QRS 間期 | 0.08 < QRS < 0.12 秒 |
| ST 間段 | -1 < ST < +1 mm |
| QT/QTc | 0.32 ~ 0.44 秒 / 0.41 ~ 0.44 秒 |

表 2-1. 心電圖參數

2.1.3 ECG 前級放大器需求規格

參考前兩節的內容及相關參考資料[5]得知，ECG 是屬於低頻的電子訊號，其訊號成分範圍大約為 0.05 Hz ~ 100Hz，而其需要放大的輸入訊號範圍通常為 0.5 mv ~ 4mv 之間，並且必須要具有能排斥 DC、60Hz 及高頻雜訊的能力。綜合以上的需求條件，列出一個 ECG 量測系統所需的基本規格如下：

- ✓ 差動輸入對(Differential input)
- ✓ 增益值：200 ~ 2000 x
- ✓ 頻寬(指中頻帶寬)：0.05 ~ 100 Hz
- ✓ 共模拒斥比(CMRR)：90 dB
- ✓ 帶通濾波器(Band-pass filter)及凹口濾波器(Notch filter)

由於雜訊大多屬於共模成份訊號，所以選用差動放大器可以消除大部份的雜訊，而爲了具有高共模拒斥比(CMRR)，因此引入儀器放大器 (Instrument amplifier)[20]來當作 ECG 量測系統的前級放大器使用，除了具有高共模拒斥比之外，還具有可調整增益的優點。所以至此爲止，於後面章節將使用的放大器所依據的規格已初步底定。

而帶通濾波器及凹口濾波器的目的在於濾掉高頻及 60Hz 的雜訊，將成爲前級放大器的下一級濾波器，但由於並非本論文所探討內容，所以在此只稍微提及而不再作深入介紹。

最後，於本節最後附上 ECG 量測系統對人體進行量測之示意圖，圖 2.3[5]爲人體心電圖於量測時電極所擺設的位置，其電極與心臟的相對位置如圖所示，並將電極接出至儀器放大器的兩個輸入端，在人體完全不著地的狀況下，右腳端的電極接至儀器放大器輸出端形成一個負回授使共模影響降至最低。

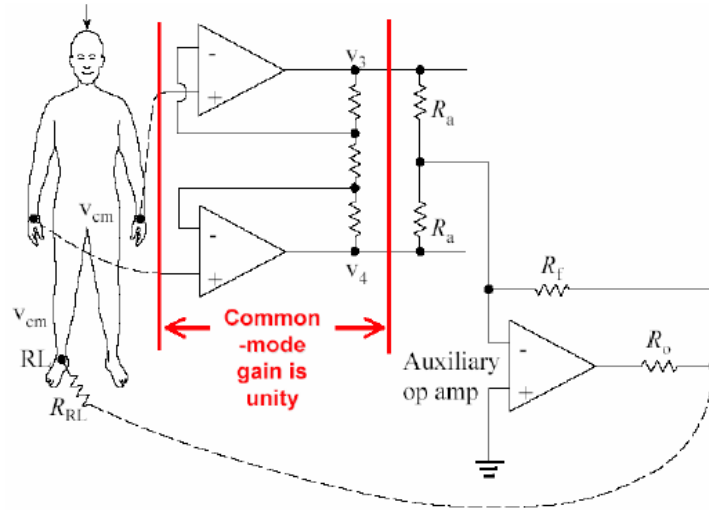


圖 2-3. 人體進行 ECG 量測時之示意圖

2.2 雜訊(Noise)

舉凡所有不希望被接受到的訊號都可稱之為雜訊，如：熱雜訊 (thermal noise)、閃爍雜訊(flicker noise, $1/f$)、散彈雜訊(shot noise)……等等 [1][2]。雜訊是一種隨機的雜亂訊號，即使已知過去的值，卻仍是無法預測現在的值。但是科學上可以經由長時間的觀察及量測結果來建立「統計模型」以描述雜訊特性，並藉此分析雜訊對於電路中的影響。

一般而言，使運算放大器的熱雜訊最小化的方式是將小訊號轉導值 g_m 放大，也就是需要藉由提高 W/L 比率以放大電流，則可縮小等效的輸入均方根(root-mean-square, rms)雜訊電壓。至於閃爍雜訊[1][7]，主要有三個方式可減少此類型雜訊，第一種為利用電路佈局以減少雜訊分佈

與選擇電晶體(NMOS/PMOS)，直流電流及 W/L 比率。第二種為改由 BJT 元件取代 MOSFET 元件。第三種則是利用外接方式，如截切器穩定原理。而本篇論文中主要即是採用第二種方式進行改善電路雜訊的效能。以下將說明電路中兩種主要的雜訊種類及其原理。

2.2.1 通道熱雜訊(channel thermal noise)

熱雜訊是於 1928 年時，由 J.B.Johnson 首次發表關於電阻雜訊之量測結果，而 H.Nyquist 則對這種現象進行解釋，所以熱雜訊又被稱為 Johnson noise 或者是 Nyquist noise。在導體中若平均電流為零時，由於導體中的電荷載子並不是處於絕對零度的環境下，因而產生隨機的熱擾動現象，類似於布朗運動(Brownian motion)的情形，而此種電子的隨機運動，將會形成一隨機變化的電流，進而引起導體跨壓之變動，此種機制即是熱雜訊之來源。

熱雜訊對於一般電子儀器所量測到的頻率範圍可視為白色雜訊(White noise)，而所謂的白色雜訊是指雜訊之功率頻譜密度(Power Spectral Density，PSD)的大小在任何我們所感興趣的頻帶中，呈現一平坦頻譜之雜訊即可稱之為白色雜訊[2]，如圖 2-4 所示，換言之，即是功率頻譜密度與所需量測的頻帶中之所有頻率無關。如圖 2.5(a)所示，電阻 R 之熱

雜訊模型可以一串聯電壓源來表示，其均方值如(2.2)式所示[2]：

$$\overline{e_n^2} = 4kTR\Delta f \quad (2.2)$$

其中 $k=1.38 \times 10^{-23}$ J/K 為波茲曼常數(Boltzmann constant)， T 為絕對溫度， Δf 為頻寬，除非有特別陳述，否則一般假設為 $\Delta f=1\text{Hz}$ ，單位以 V^2/Hz 表示。而電流之熱雜訊亦可用一並聯電流源表示之，如圖 2.5(b)所示，其電流雜訊之均方值如(2.3)式所示[2]：

$$\overline{I_n^2} = \left(4kT/R\right) \Delta f \quad (2.3)$$

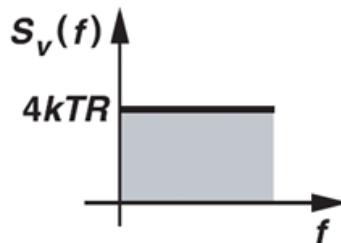


圖 2-4. 熱雜訊之白色頻譜

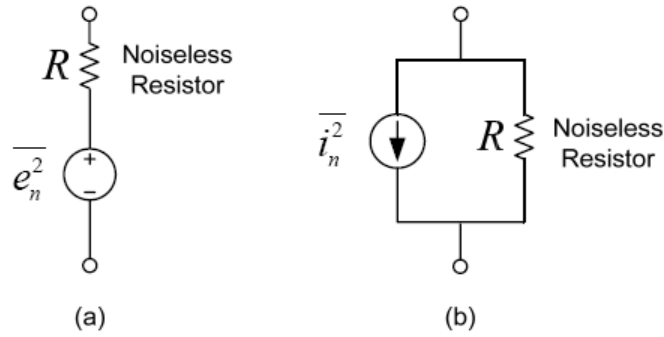


圖 2.5 電阻熱雜訊模型 (a)等效電壓源 (b)等效電流源

而在 MOS 電晶體中也存在著熱雜訊的現象，稱之為「通道熱雜訊」(channel thermal noise)，此雜訊來源是由於電荷載子於通道中之隨機熱運動所產生。對於一個長通道 MOS 元件，當其操作在飽和區時，可以使用一個連接在汲極與源極的兩端點間之電流源來模型化通道熱雜訊，其電流頻譜密度可以表示為(2.4)式[2]：

$$\overline{i_n^2} = 4kT\gamma g_{do}\Delta f \quad (2.4)$$

其中 g_{do} 是當 $V_{DS} = 0$ 時的汲極和源極間通道的電導值，對長通道元件而言，在飽和區下 $g_{do} = g_m$ ， Δf 是雜訊頻寬， γ 是雜訊參數，一般來說在長

通道元件中 γ 值為 $2/3$ ，但是在短通道元件中， γ 值將遠大於 $2/3$ ，其原因一部分是因為寄生電阻的熱雜訊所引起，另一部份是由於速度飽和 (velocity saturation)和通道調變(channel length modulation)等短通道效應所造成，通常短通道元件的 γ 值介於 $2\sim 3$ 之間。

2.2.2 閃爍雜訊(Flicker noise, $1/f$ noise)

在所有的固態元件中都含有一種雜訊會隨著頻率的降低而增加，而此種類型的雜訊頻譜之變化形式為 $1/f^\alpha$ ，而 α 值的大小通常接近於 1 ，所以閃爍雜訊又簡稱為 $1/f$ [2][7]，即如圖 2.6 所示[2]，雜訊頻譜密度與頻率成反比。

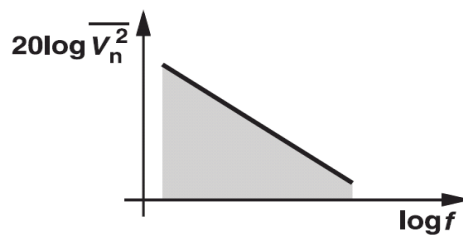


圖 2.6. 閃爍雜訊頻譜

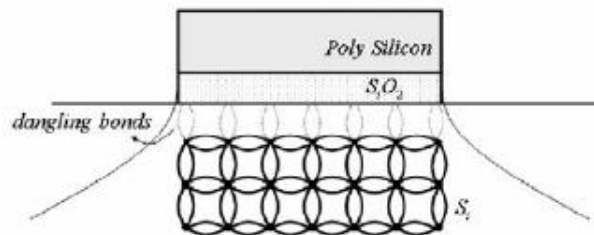


圖 2.7. 氧化層和矽界面間的懸浮不連接鍵

而閃爍雜訊在 MOSFET 元件中，一般認為產生雜訊的機制主要來自於閘極氧化層與矽基板界面之間，由於含有許多不連接之懸吊鍵結 (dangling bond)，而產生出多餘的能階態，如圖 2.7 所示[2]，當電荷載子移動經過此界面時，將會被這能階態隨機地捕捉和釋放，而這一過程即造成汲極電流中產生雜訊，即為閃爍雜訊。因此，閃爍雜訊與氧化層和矽界面之間的純淨度有關，而此因素則有賴於製程技術來決定其影響的程度。另外，閃爍雜訊之平均功率並無法像熱雜訊一般可以輕易地被預測出來，通常將閃爍雜訊之模型以一個和閘極串聯的電壓源來表示，如圖 2.8(a)所示，而其雜訊電壓均方值則如(2.5)式所示[2]：

$$\overline{V_n^2} = \frac{1}{C_{OX}WL} \cdot \frac{K}{f} \cdot \Delta f \quad (2.5)$$

亦可將其等效成汲極雜訊電流，如圖 2.8(b)所示，其雜訊電流均方值如(2.6)式所示[2]：

$$\overline{I_n^2} = \frac{g_m}{C_{OX}WL} \cdot \frac{K}{f} \cdot \Delta f \quad (2.6)$$

其中 W 為元件閘極之寬度， L 為元件閘極之長度， g_m 為電晶體之轉導值， K 為製程相關參數，隨著不同製程而呈現不同的數值，一般數量級約為 $10^{-25}(\text{V}^2\text{F})$ ， Δf 為雜訊頻寬。而由(2.5)式及(2.6)式可發現 WL 和 $1/f$ 雜訊成一反比關係，所以可藉由設計時增加閘極面積來使其閃爍雜訊降低。

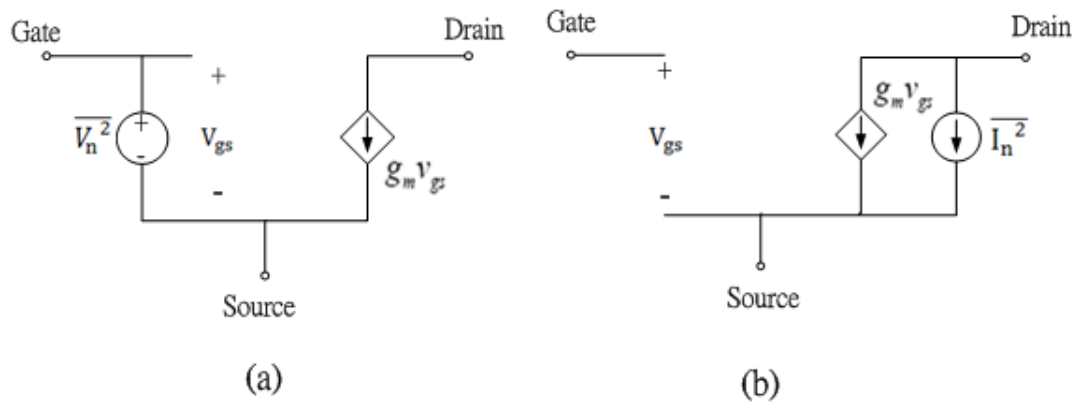


圖 2.8 (a)閃爍雜訊等效閘極電壓 (b)閃爍雜訊等效汲極電流

2.2.3 轉折頻率(corner frequency)

另外，由於 PMOS 元件是在氧化層和矽界面之下間隔一小段的距離攜帶電洞，也就是在「埋入通道」(buried channel)中攜帶電洞，所以使得界面間的不連接鍵結之影響比 NMOS 來的小，然而 BJT 的閃爍雜訊的數量級和 MOSFET 相比下又小得多。

由圖 2.9 所示[2]，在同一軸上同時繪出兩個頻譜密度，可觀察到閃爍雜訊對於熱雜訊之特性，在圖 2.9 中含有一個轉折點 f_c ，此交點可視為量測時閃爍雜訊破壞最多的頻帶，也是熱雜訊及閃爍雜訊影響力的分界點，而其輸出電流之 $1/f$ 雜訊轉折點 f_c ，可由(2.7)式表示之[2]：

$$f_c = \frac{K}{C_{OX}WL} g_m \frac{3}{8kT} \quad (2.7)$$

當頻率較高時，雜訊主要是由熱雜訊所控制，但是當低頻率時，閃爍雜訊的影響力則超過熱雜訊，所以在應用上若是低頻率的雜訊對我們是重要的，則選擇使用 PMOS 元件的抗雜訊效能理論上會優於 NMOS 元件，而選擇使用 BJT 元件理論上會優於 MOSFET 元件。

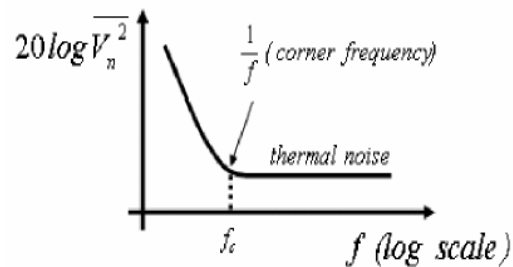


圖 2.9 轉折頻率之概念於閃爍雜訊與熱雜訊綜合圖

2.3 不匹配現象(Mismatch)

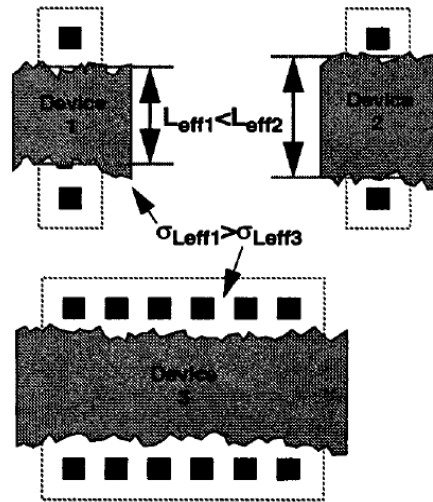


圖 2.10 元件尺寸微小變化產生之隨機不匹配現象

及寬度增加對長度不匹配現象之影響

雖然在設計端我們可以使用理想上完全相同的元件進行電路模擬，但是實際上則會因為製程上每一個步驟的不確定性而造成元件或電路上隨機、微小的差異，如圖 2.10 所示[10]，而這種現象即稱之為不匹配現象。一般而言，元件不匹配對於電路效能造成的影響主要有以下三個重要的現象[2]，分別是直流偏移(DC offset)、較低的共模排斥現象及有限偶次項失真對非線性特性的影響。

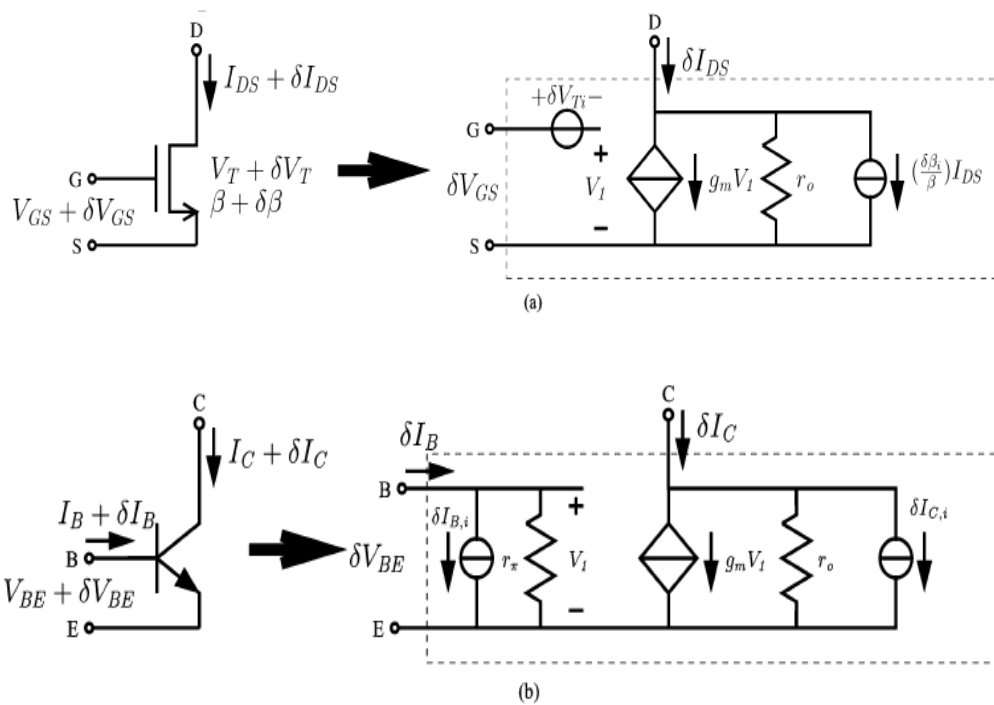


圖 2.11 (a)MOS 誤差源等效模型 (b)BJT 誤差源等效模型

在 MOSFET 元件中，造成不匹配現象最主要的兩個因素是臨界電壓 (threshold voltage, V_T)及電流因子(current factor, $\beta = \mu C_{ox} W/L$)，它們的模型以(2.8)式表示之。然而若是將誤差源(error source)建立在 MOSFET 元件對電流、電壓差異的等效模型中，則如(2.9)式、(2.10)式及圖 2.11(a)所示，在此模型中， V_T 是最主要的誤差源。除此之外，匹配度和偏壓點具有相關性[9]。

$$\sigma^2(\Delta V_T) = \frac{A_{V_T}^2}{W \cdot L} \quad \text{and} \quad \left(\frac{\sigma(\Delta\beta)}{\beta}\right)^2 = \frac{A_{\beta}^2}{W \cdot L} \quad (2.8)$$

$$\left(\frac{\sigma(\Delta I_{DS})}{I_{DS}}\right)^2 = \left(\frac{\sigma(\Delta\beta)}{\beta}\right)^2 + \left(\frac{g_m}{I}\right)^2 \sigma^2(\Delta V_T) \quad (2.9)$$

$$\sigma^2(\Delta V_{GS}) = \sigma^2(\Delta V_T) + \frac{1}{\left(\frac{g_m}{I}\right)^2} \left(\frac{\sigma(\Delta\beta)}{\beta}\right)^2 \quad (2.10)$$

A_{V_T} 、 A_{β} 是與 V_T 、 β 有關的比例常數， W 是閘極寬度， L 是閘極長度，而 $\left(\frac{g_m}{I}\right)$ 則顯示與偏壓點相關。

對於 BJT 元件，造成不匹配現象的最主要兩個因素是基極電流 I_B 和集極電流 I_C ，它們的模型以(2.11)式表示。而在 BJT 等效模型中，如(2.12)式、(2.13)式及圖 2.11(b)所示，最主要的誤差源則來自於集極電流的不匹配度。且匹配度和偏壓點無關[9]。

$$\left(\frac{\sigma(\Delta I_B)}{I_B}\right)^2 = \frac{A_{Ib}^2}{A_E} \quad \text{and} \quad \left(\frac{\sigma(\Delta I_C)}{I_C}\right)^2 = \frac{A_{Ic}^2}{A_E} \quad (2.11)$$

$$\left(\frac{\sigma(\Delta I_C)}{I_C}\right)^2 = 2\left(\frac{\sigma(\delta I_{C,i})}{I_C}\right)^2 \quad (2.12)$$

$$\sigma^2(\Delta V_{BE}) \approx 2\left(\frac{kT}{q}\right)^2 \left(\frac{\sigma(\delta I_{C,i})}{I_C}\right)^2 \quad (2.13)$$

A_{Ib} 、 A_{Ic} 是與基極電流和集極電流有關的比例常數， A_E 是射極面積， $\left(\frac{kT}{q}\right)$ 是熱電壓(thermal voltage)($\approx 26\text{mv}$ 在室溫下)。

BJT 的元件結構原本就較 MOSFET 元件結構來的對稱，越對稱的結構性，擁有越佳的不匹配度。並且根據參考資料[9]中之相關參數值，代入上述模型中可以得知 BJT 元件的不匹配現象確實較 MOSFET 元件來的小。除此之外，BJT 的不匹配現象與偏壓無關而 MOSFET 的不匹配現象則與偏壓相關。總合以上敘述，可知若欲改善電路的不匹配現象，我們可以將 MOSFET 元件改成使用 BJT 元件。

而改善電路的不匹配現象，除了上述所提到置換 BJT 元件的方式之外。一般最常見的有效方式，第一為增加元件尺寸使得隨機變化的微小差異可以受到較大的「平均」作用，也就是說較大的元件會產生較小的不匹配度，如圖 2.10 所示，元件三的寬度增加而使得長度不匹配現象小於元件一。其次是在佈局(layout)時盡可能提高電路對稱性(symmetry)，或是使用共質心(common-centroid)的佈局方式。最後，我們可以利用偏壓去調整不匹配現象使 MOSFET 電路達到最佳化(optimization)。

第三章 軌對軌差動運算放大器之架構設計與模擬

3.1 簡介

在第三章之中，將介紹這次研究中所使用的運算放大器，並運用三種不同的輸入級去實現運算放大器，第一種使用的是互補式的軌對軌運算放大器(Rail-To-Rail Operational Amplifier, R-T-R OPA)，第二種是將輸入級改成全 N-channel 輸入對的軌對軌運算放大器，第三種則是將全 N-channel 輸入對改成 BJT 輸入對的軌對軌運算放大器。以下各節將一一介紹各運算放大器內部各級的電路結構，並放上各電路模擬分析的結果。

3.2 互補式-軌對軌差動運算放大器

3.2.1 電路架構

a. 輸入級(Input stage)

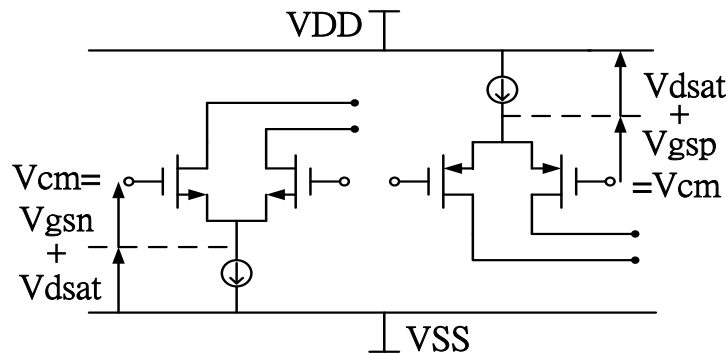


圖 3-1. N-channel 及 P-channel 差動輸入對

一般非軌對軌的運算放大器的輸入級如圖 3-1 所示[14]，若以其中之 NMOS 輸入對為例，則可知當輸入對導通時，輸入共模電壓(input common mode voltage， V_{cm} 或是 V_{in})將必須符合(3.1)式：

$$V_{cm,min} > V_{dsat} + V_{gsn} \quad (3.1)$$

換句話說，運算放大器將不能操作低於此最小值的範圍，同理，若是改成使用 PMOS 輸入對，則輸入共模電壓將有最大上限，如(3.2)式所示：

$$V_{cm,max} < V_{dsat} + V_{gsp} \quad (3.2)$$

尤其將電路使用在低電壓供應(power supply)時，單差動輸入對所能操作的範圍將更為有限，為了使得輸入共模電壓範圍(ICMR，input common mode range)有較大的操作空間，所以將單差動輸入對的結構改成雙差動輸入對，以一對 N-channel 差動輸入對並聯一對 P-channel 差動輸入對的方式整合成軌對軌差動輸入對，如圖 3-2 所示，N-channel 差動對可以使

輸入共模電壓達成正電壓供應軌道 V_{DD} ，而 P-channel 差動對則可以使輸入共模電壓達成負電壓供應軌道 V_{SS} ，至此結構則 ICMR 理論上可以達成由 V_{SS} 至 V_{DD} 電壓供應範圍內皆可操作在正常的狀態之下。而最小電壓供應範圍則如(3.3)式所示：

$$V_{sup,min} = V_{gsp} + V_{gsn} + 2V_{dsat} \quad (3.3)$$

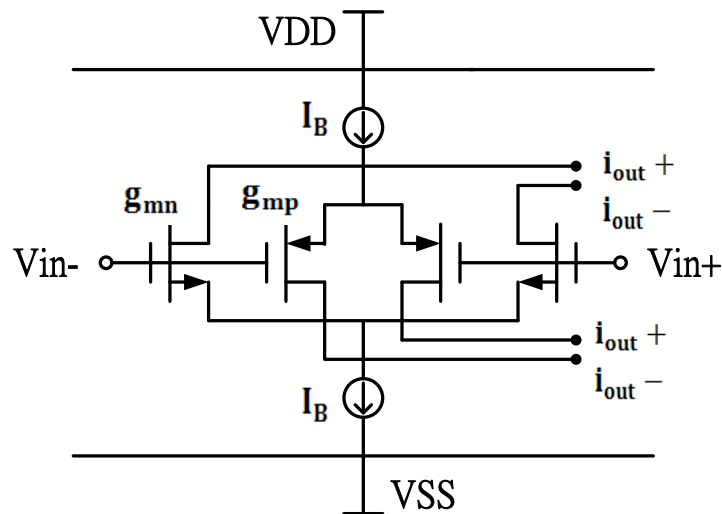


圖 3-2. 軌對軌差動輸入級

b. 三倍電流鏡補償尾電流使轉導值 g_m 固定

如圖 3-2 的輸入級結構，雖然改善了 ICMR 的特性，卻產生了新的問題，當 $V_{sup} > V_{sup,min}$ 時，將出現一個區域是兩對輸入對同時導通的共模輸入電壓範圍，而在這個區域內的轉導值(transconductance, g_m)將是其他區域 g_m 的兩倍，如圖 3-3(a)所示。由於運算放大器的增益頻寬(Gain-Bandwith, GBW)和輸入級的轉導值 g_m 成正比，所以 g_m 的變異將會造成頻率補償(frequency compensation)上變得較為困難。因此為了得到一個理想化的頻率補償，必須要使 g_m 在全部的共模輸入電壓範圍內能夠維持一個固定值(constant g_m)。接下來必須使得兩對輸入對同時導通的區域之外的 g_m 提升成兩倍 g_m ，如圖 3-3.(b)所示，由於當輸入對的電晶體操作在強反轉區(strong inversion)時， g_m 是正比於汲極電流 I_D 的平方根 因此當其中一對輸入對關閉時，另外一對輸入對的 I_D 必須變成原本電流值的四倍，則 g_m 的值將變成原本 g_m 值的兩倍，如此就可以達成在全部的共模輸入電壓範圍內的 g_m 維持固定值。

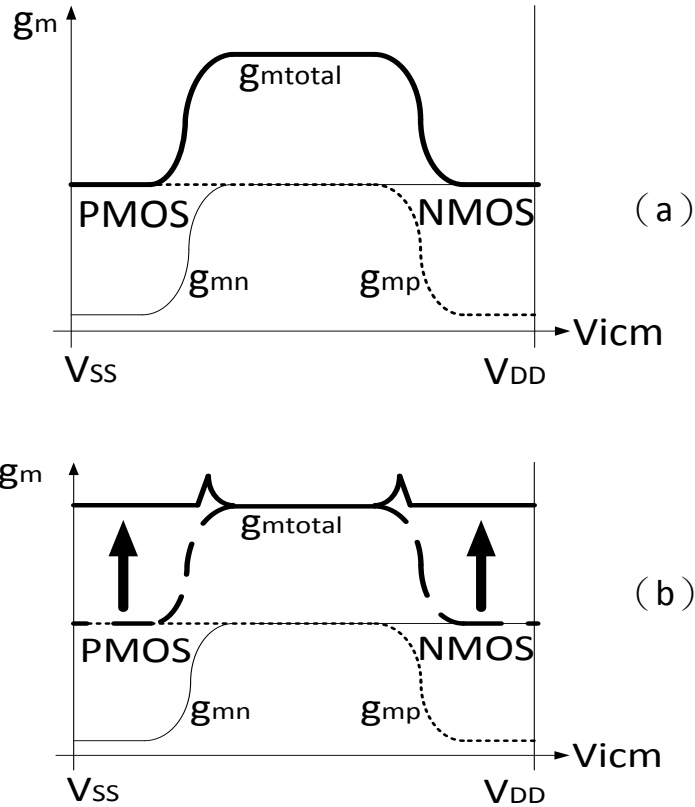


圖 3-3. 輸入共模電壓 VS. 轉導值 g_m 圖

(a)互補式-差動輸入級 (b)加上三倍電流鏡補償尾電流使 g_m 固定

而爲了達成上述目標，以下將使用一種三倍電流鏡(3X-current mirror)的電路結構[11][14]對圖 3-2 的電路進行尾電流補償(tail current compensation)，其電路結構如圖 3-4 所示，兩顆電晶體 M11 及 MA11 是用來當作電流轉換開關(current switch)操作，而另外兩對電晶體 M12、M13 及 MA12、MA13 則是 1 : 3 的電流鏡。當 V_{cm} 低到使得 M1、M2 關閉的時候，則在此時 M11 將會被導通，同時 MA11 是處於關閉的狀態，然後

通過 M3 電晶體的尾電流 I_B 會經由 M12、M13 的 1 : 3 電流鏡將尾電流 I_B 值放大三倍，因此流過 M13 的汲極電流值則會變成 $3I_B$ 並加上原本 MA3 的尾電流 I_B 同時注入導通的差動輸入對 MA1、MA2，而變成原本 I_B 的 4 倍 I_B 大。換句話說，正比於電流平方根值的 g_m 同時也被放大兩倍而維持住轉導值固定沒有降低，而當 M11 關閉時，M1、M2 則會導通。同理可知，另外一對電晶體 MA1、MA2 及三倍電流鏡 MA11、MA12、MA13 的操作原理也是相同，經由如此的過程，轉導值 g_m 則可以和輸入共模電壓 V_{cm} 的改變不相關。

然而實際上，轉導值 g_m 卻不是完全和輸入共模電壓 V_{cm} 呈完全不相關，由於要維持 g_m 值固定的狀態下，根據(3.4)式可推導出輸入對 N-channel 和 P-channel 的寬長比 $(\frac{W}{L})$ 會有如(3.5)式中的關係式[14]

$$g_m = \sqrt{KI_{ref}} \quad (3.4)$$

$$\text{with } K = \mu_P C_{ox} \left(\frac{W}{L}\right)_P = \mu_N C_{ox} \left(\frac{W}{L}\right)_N$$

其中， μ 是載子的遷移率， C_{ox} 是正規化後的氧化層電容，W、L 分別是

電晶體的寬度與長度，

$$\frac{\mu_N}{\mu_P} = \frac{\left(\frac{W}{L}\right)_P}{\left(\frac{W}{L}\right)_N} \quad (3.5)$$

但是由於製程上的變異會導致 μ_N ， μ_P 和設計時有所誤差，所以即使設計時符合(3.5)式，轉導值 g_m 也會因為這種因素而跟著產生變異，舉例來說，若 $\left(\frac{\mu_N}{\mu_P}\right)$ 的變異量是 15%，則轉導值 g_m 大約會存在 7.5% 的變異量[14]；而模擬結果 Δg_m 為 12.5%，並列於表 3-1 及圖 3-10 中。

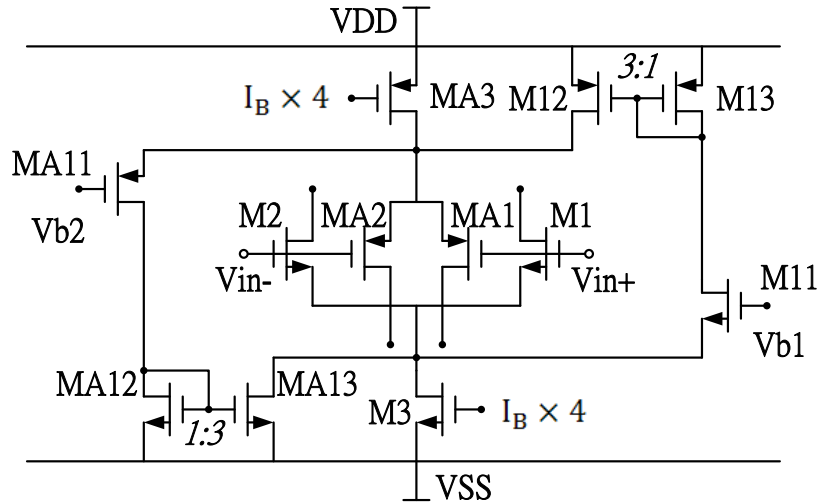


圖 3-4. 使用三倍電流鏡對尾電流補償使 g_m 值固定的電路結構

c. Class-AB 輸出級

功率放大器，主要分為兩大類，一類為傳統線性操作，有 Class A、Class B、Class AB、及 Class C 等種類，另一類為開關式非線性操作，有 Class D、Class E 及 Class F 等種類。在第一類的操作模式裡，電晶體當作一個電流源使用，它的輸入功率和輸出功率之間為一個線性的關係，故又稱為線性功率放大器。另一類功率放大器的電晶體，則是當成一個開關，操作時 ON 和 OFF 持續進行交換狀態的工作，當 ON 時電晶體是飽和，當 OFF 時電晶體則是截止，也就是說其大部分操作於三極管區，而線性放大器則是操作於飽和區，但是因為輸出訊號不是直接由輸入取得，所以線性度不佳，訊號準確度沒有線性放大器好，因此僅應用於固定封包的調變技術(例如：藍芽)，不過它有接近 100%的功率效益，這是線性放大器所不能比的優勢。

為了有效地利用供應的電壓及供應的電流，所以選擇使用接成共源極的 Class AB 電路架構作為輸出級。雖然 A 類放大器擁有絕佳的線性度但是其功率轉換效率卻是所有功率放大器類型中最差的一種。B 類放大器的功率轉換效率雖比 A 類及 AB 類都來得高，然而卻有輸出波形不連續的失真現象，稱之為交越失真(Crossover Distortion)，因此最後選擇使

用線性度及功率轉換效率都介於中間的 AB 類放大器，而 AB 類放大器在無輸入訊號時輸出電晶體仍會有靜態汲極電流 (Quiescent drain current) 存在，所以功率轉換效率不如 B 類放大器來的高，然而靜態汲極電流一般遠小於尖峰電流，故靜態電流功率的消耗對整體功率的影響小於消除交越失真的優點。

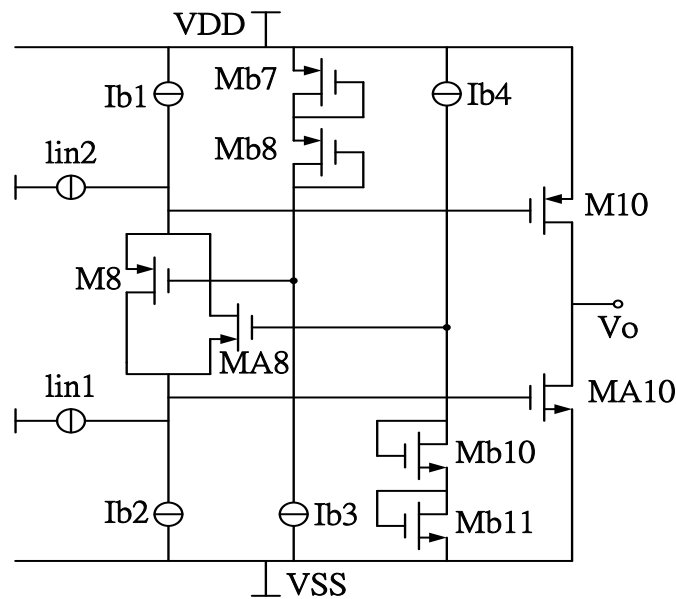


圖 3-5. Class AB 輸出級電路結構圖

除此之外，還要有效的利用面積，所以選擇使用如圖 3-5 所示[14]的電路架構，其中 M10、MA10 是兩個接成共源極的輸出電晶體，直接經由兩個同相的電流訊號，lin1、lin2 所驅動，而浮接的 Class AB 控制電晶體(Floating Class AB control)由 M8 及 MA8 兩顆電晶體所組成，並由兩

組接成二極體的電晶體 Mb7、Mb8 和 Mb10、Mb11 以疊接的方式各自對其進行偏壓。浮接的 Class AB 控制電晶體和疊接的二極體及輸出的電晶體組成兩組線性跨導迴圈(Translinear loop)，M8、Mb7、Mb8、M10 及 MA8、Mb10、Mb11、MA10，而這兩組迴圈可以決定輸出電晶體的靜態電流大小。

AB 類輸出放大級的運作方式是使介於兩顆輸出電晶體閘極之間的電壓差保持固定，假設同相的電流訊號源 I_{in1} 、 I_{in2} 是將電流推入 AB 類輸出放大級，當輸出端的 P-channel 電晶體 M10 的電流增加時則 N-channel 電晶體 MA10 的電流就會減少相同的量，結果兩顆輸出電晶體的閘極電壓將同時向上提升，而造成輸出級從輸出節點 V_o 將電流向內拉進來直到 P-channel 電晶體 M10 的電流值和 I_{b7} 相同為止，此時 P-channel 電晶體 M10 的電流值維持在最小值，並可經由浮接的 Class AB 控制電晶體 M8 及 MA8 的寬長比 $(\frac{W}{L})$ 來調整此最小電流值大小，於此同時，流過 N-channel 電晶體 MA10 的電流值仍然可以增加。同理，當電流訊號是將電流拉出 AB 類輸出放大級時，也可用同樣的方式討論之。

d. 頻率補償(Frequency compensation)

在輸出級電晶體的閘極及汲極之間跨接上一個電容 C_c 及電晶體

MR，其用途做為頻率補償之用，主要在電路的回授路徑上加入米勒補償使電路的相位邊限(Phase Margin)可以大一點，避免因為相位趨近 180 度而產生震盪不穩定。Cc 為米勒電容，可以將原本距離比較接近的兩個極點拉開，此法稱之為極點分裂(Pole splitting)，不過缺點則是會使得中頻帶頻寬降低；電晶體 MR 必須將其操作於線性區，以做為一個電阻使用，此電阻可以稱之為 Nulling Resistor，其主要功能是產生一個右半平面的零點來進行極零點補償，並將其控制在主要極點與次要極點間，使得相位在 90 度時能夠維持較長的頻帶不衰減，以增加其相位邊限。

最後將第 3.2.1 節的互補式差動輸入級、三倍電流鏡對尾電流補償電路、第二級疊接的主動式負載電路、浮接式 Class AB 輸出級、與溫度無關之電流源電路、Nulling Resistor 及米勒電容等電路區塊整合起來成爲一個完整的互補式-軌對軌運算放大器，而其電路結構圖則如圖 3-6 中所示之，並將其模擬圖與模擬結果表格一併整理於第 3.2.2 節。

3.2.2 模擬結果

表 3-1 互補式-軌對軌運算放大器內部各電晶體尺寸(單位： μm)

| | | | | | | | | | |
|------|------|-------|-------|-------|-------|-------|-------|-------|-------|
| Name | M1 | M2 | MA1 | MA2 | M3 | MA3 | M4 | M5 | M6 |
| W/L | 1/4 | 1/4 | 2.5/4 | 2.5/4 | 1.1/4 | 2.8/4 | 1.5/2 | 1.5/2 | 2/2 |
| Name | M7 | MA4 | MA5 | MA6 | MA7 | M8 | MA8 | M9 | MA9 |
| W/L | 2/2 | 1.5/2 | 1.5/2 | 1/2 | 1/2 | 3/8 | 1/8 | 3/4 | 1/4 |
| Name | M10 | MA10 | M11 | M12 | M13 | MA11 | MA12 | MA13 | Mb1 |
| W/L | 10/4 | 4/4 | 1/4 | 1/4 | 2/4 | 2/4 | 1/4 | 2/4 | 6/4 |
| Name | Mb2 | Mb3 | Mb4 | Mb5 | Mb6 | Mb7 | Mb8 | Mb9 | Mb10 |
| W/L | 2/4 | 0.4/8 | 1.6/8 | 0.4/8 | 7/4 | 1/8 | 1/8 | 1/8 | 1/8 |
| Name | Mb11 | Mb12 | Mb13 | Mb14 | Mb15 | Mb16 | Mb17 | MR1 | MR2 |
| W/L | 1/8 | 6/4 | 1/4 | 0.4/8 | 11/4 | 0.5/4 | 0.5/4 | 1.2/1 | 0.4/1 |

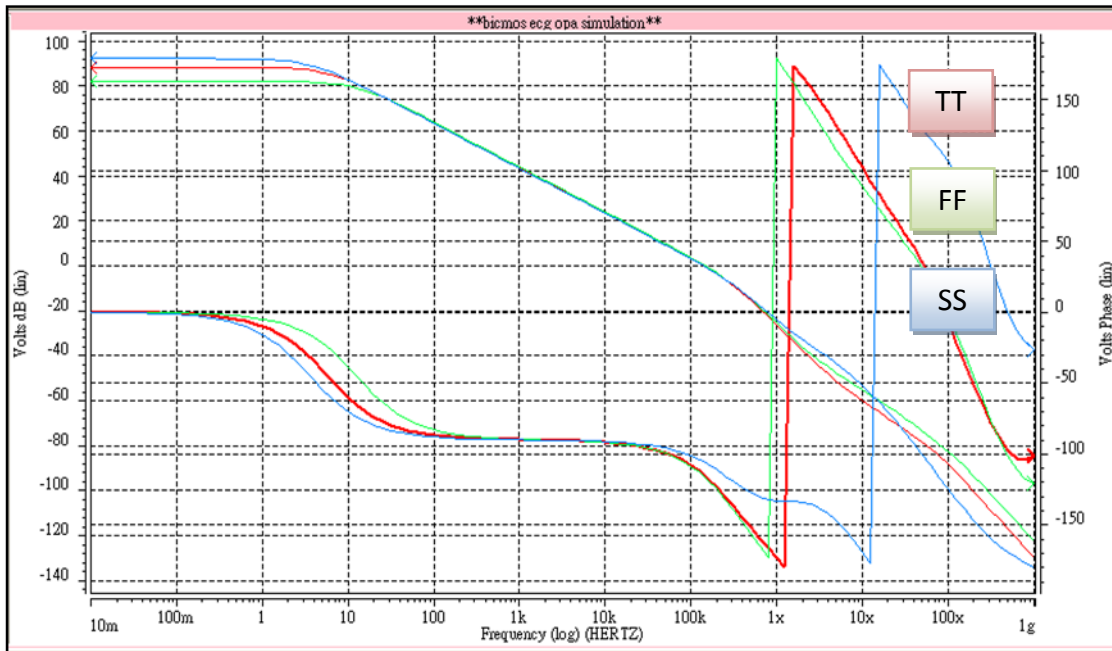


圖 3-7. 互補式運算放大器之直流增益 & 相位邊限

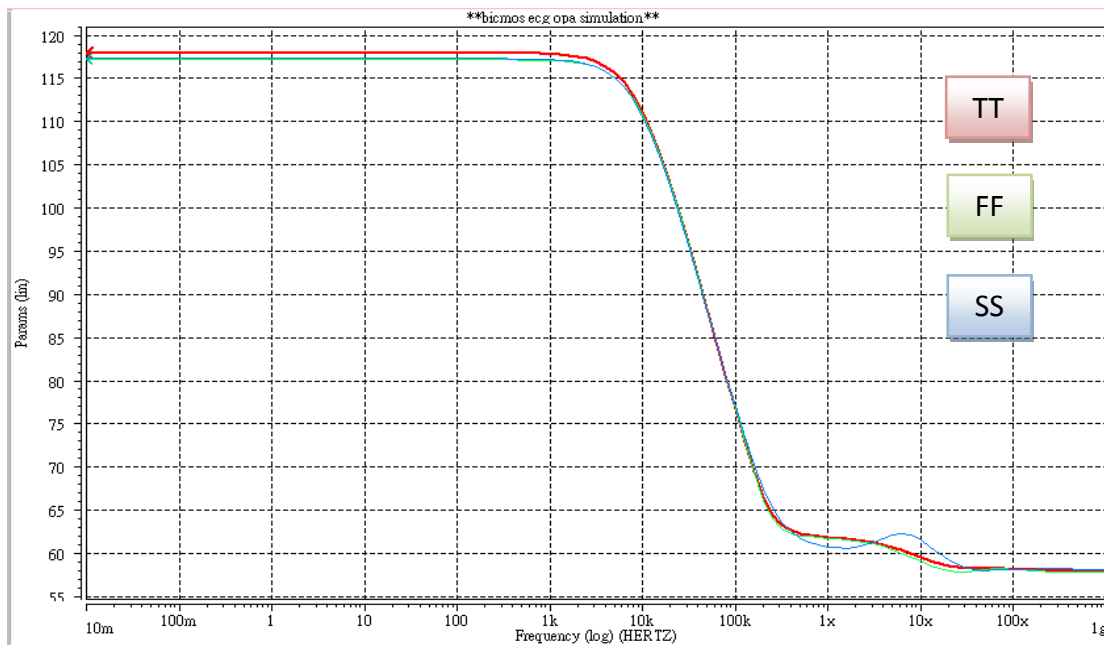


圖 3-8. 互補式運算放大器之共模拒斥比

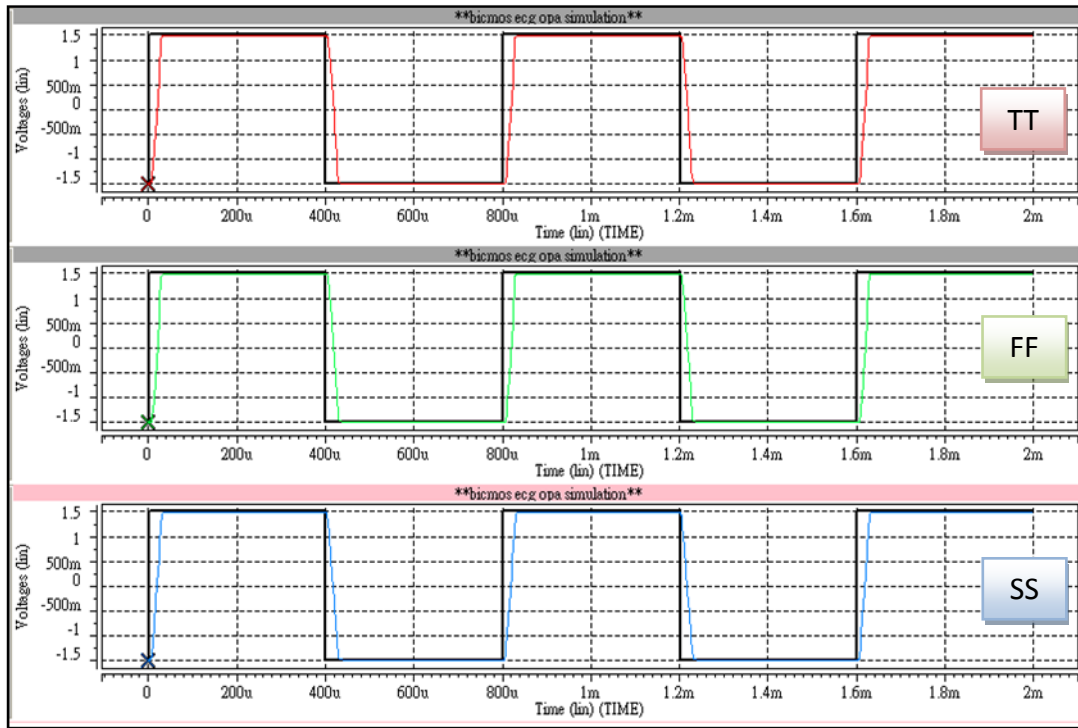


圖 3-9. 互補式運算放大器延遲率

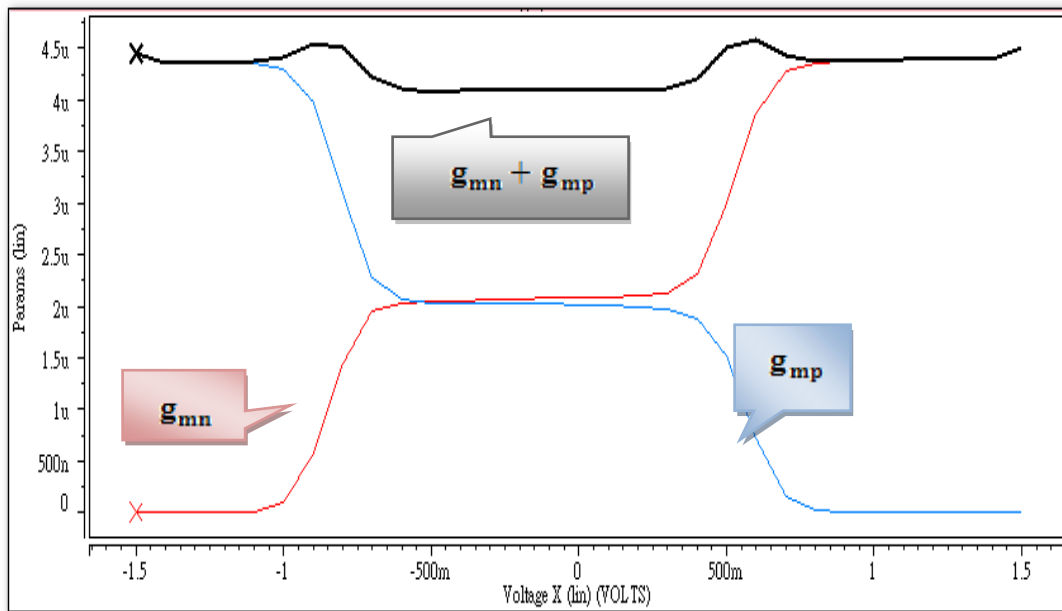
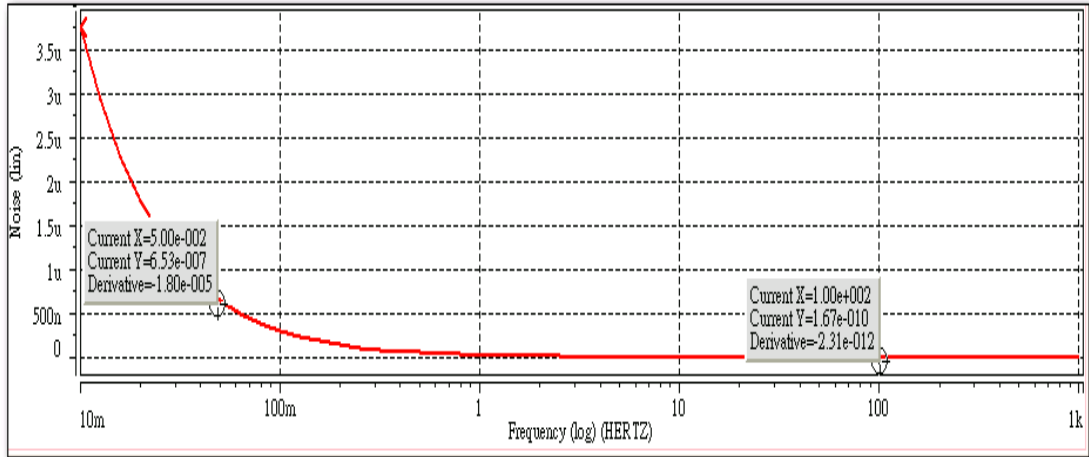
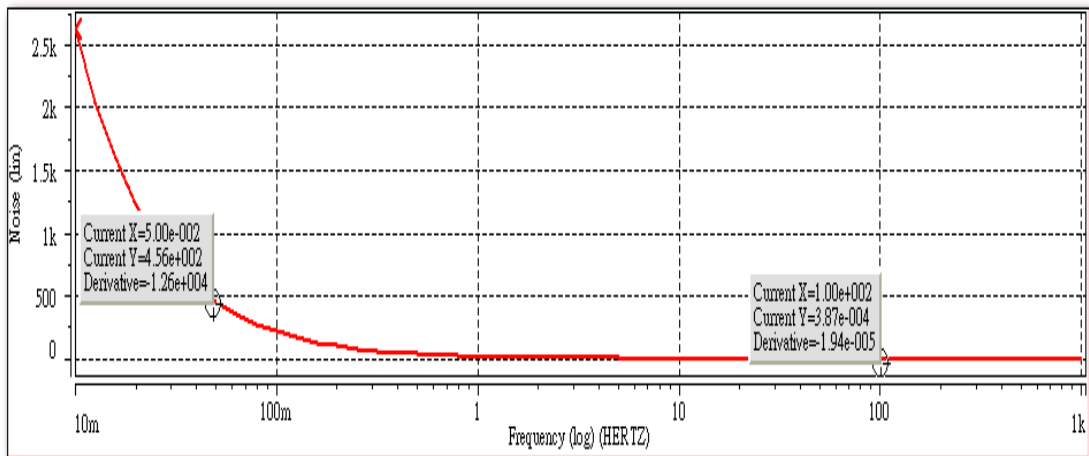


圖 3-10. 三倍電流鏡電路維持 g_m 固定值之模擬



(a)



(b)

圖 3-11. 互補式 OP 雜訊模擬

(a)總等效輸入雜訊 (b)總等效輸出雜訊

表 3-2 互補式-軌對軌差動運算放大器的模擬結果

$$V_{\text{supply}} = 3\text{V}, R_{\text{load}} = 1\text{M}\Omega, C_{\text{load}} = 20\text{pf}, T_A = 25^\circ\text{C}, C_C = 2\text{pf}$$

| Parameter | Simulation results |
|---|----------------------------------|
| DC Gain | 88 dB |
| Phase Margin | 64° |
| GWB | 140 kHz |
| ICMR V_{sup} : from -1.5V to 1.5V | VSS + 0.1V to VDD - 0.1V |
| CMRR | 117 dB |
| Quiescent Current | 9.4 μ A |
| Power Dissipation | 27.5 μ W |
| Slew Rate + | 0.123 V/ μ s |
| Slew Rate - | 0.123 V/ μ s |
| PSRR + | 145 dB |
| PSRR - | 129 dB |
| Noise @ 0.05 Hz | 808 μ V/ $\sqrt{\text{Hz}}$ |
| @ 100 Hz | 12.9 μ V/ $\sqrt{\text{Hz}}$ |
| $\Delta g_m(\%)$ | 12.5 % |

3.3 BJT 輸入對-軌對軌差動運算放大器

3.3.1 電路架構

在這一節之中，將進行 BJT 輸入級的電路架構實現。由於 TSMC SiGe0.35 的製程之中只有 NPN 雙載子電晶體，所以無法只是單純的將 N-channel 差動輸入對改成 NPN bipolar 差動輸入對，P-channel 差動輸入對改成 PNP bipolar 差動輸入對，因此在輸入級架構上面必須有所改變，如圖 3-12 中所示[12]，使用兩對 NPN bipolar 差動輸入對來實現軌對軌輸入電壓共模範圍，其中的 Q1、Q2 輸入對只有在電壓供應範圍的中間值 (mid supply voltage) 至正軌道(positive rail)的範圍之間導通，而另外一對 Q3、Q4 差動輸入對則是在電壓中間值至負軌道(negative rail)的範圍之間導通。接下來爲了實現 Q3、Q4 差動輸入對能在負軌道至電壓中間值之間導通，必須使用一個電壓準位平移電路(Level Shifter)將輸入電壓提高 [12][13]，如圖 3-12 中所示之 M2、M3 及 M4、M5 四顆電晶體，將輸入電壓 V_{in-} 、 V_{in+} 各自接上 M2、M4，然後給予 M3、M5 相同的固定偏壓，並在 Q3、Q4 差動輸入對之下端加上一個 NPN 雙載子電晶體 Q5 當作電流轉換開關(current switch)去控制 Q3、Q4 差動輸入對能在供應電壓中間值附近關閉，而開關電晶體 Q5 的基極電壓， $V_{control}$ 的範圍如(3.6) 所示：

$$V_{\text{control,min}} \geq V_{\text{BE2}} + V_{\text{DSsat4}} \quad (3.6)$$

而 V_{control} 大於 $V_{\text{control,min}}$ 越多，則兩對 NPN bipolar 差動輸入對同時導通的重疊(overlap)區域就越多。然而，轉導值 g_m 在這個重疊區域仍然會保持一固定值，因為兩對 NPN 差動輸入對是並聯狀態下共同使用同一個尾電流的電晶體 M1，而 M1 的汲極電流決定之後，差動輸入對全部的尾電流即成爲一個固定值，因此轉導值 g_m 不會和互補式的差動輸入對的架構一樣遇到重疊的操作區域 g_m 變成兩倍 g_m 的問題存在。但是電壓準位平移電路的增益值實際上卻小於一倍，增益值如(3.7)所示：

$$\frac{g_m M_3}{g_m M_3 + g_{mb} M_3 + g_{ds} M_3 + g_{ds} M_2} < 1 \quad (3.7)$$

由於這個不爲單倍增益值所造成的影響，輸入差動對的 g_m 值也會因爲這個因素而有所變異，而經由模擬結果得到這個結構 g_m 值的變異量大約是 10.5%，可參照圖 3-17 或表 3-3，但相較於第 3.1.1 節中的具有三倍電流鏡補償 g_m 的互補式差動輸入對架構的 12.5% 變異量來的稍微低上一點。

電壓準位平移電路在輸入共模電壓等於 V_{SS} 時，因為要維持 Q3、Q4 是導通的操作狀態，所以此時 M3、M5 的 $V_{SG3,5}$ ，也就是 Q3、Q4 輸入對的基極電壓必須如(3.8)所示，而當輸入共模電壓向上提升至電流轉換開關電晶體 Q5 關閉，Q3、Q4 輸入對進入截止狀態時，此時的 Q3、Q4 輸入對的基極電壓 $V_{BQ3,Q4}$ 則如(3.9)所示：

$$V_{SG3,5} \geq V_{BE3,4} + V_{CEsat5} + V_{DSsat1} \quad (3.8)$$

$$V_{BQ3,Q4} = V_{BE1,2} + V_{DSsat1} + V_{BE3,4} + V_{CEsat5} + V_{DSsat1} \quad (3.9)$$

而在電晶體 Q5 尚未關閉及 Q3、Q4 輸入對正常操作的狀態下，電壓準位平移電路中的 M2、M4 電晶體仍要維持在飽和區，所以電壓供應的最小範圍可以由(3.10)式所決定，

$$V_{sup, min} = V_{BE1,2} + V_{DSsat1} + V_{BE3,4} + V_{CEsat5} + V_{DSsat1} + V_{SDsat2} \quad (3.10)$$

由前文敘述可知，兩對 NPN 差動輸入對 Q1、Q2 及 Q3、Q4 的操作區域是經由 $V_{control}$ 的設定來決定它們是否操作於主動區，因此差動輸入對各自的操作區域如以下(3.11)式、(3.12)式所示：

$$Q_1 - Q_2 : V_{SS} < V_{cm} \leq V_{control} \quad (3.11)$$

$$Q_3 - Q_4 : V_{control} < V_{cm} \leq V_{DD} \quad (3.12)$$

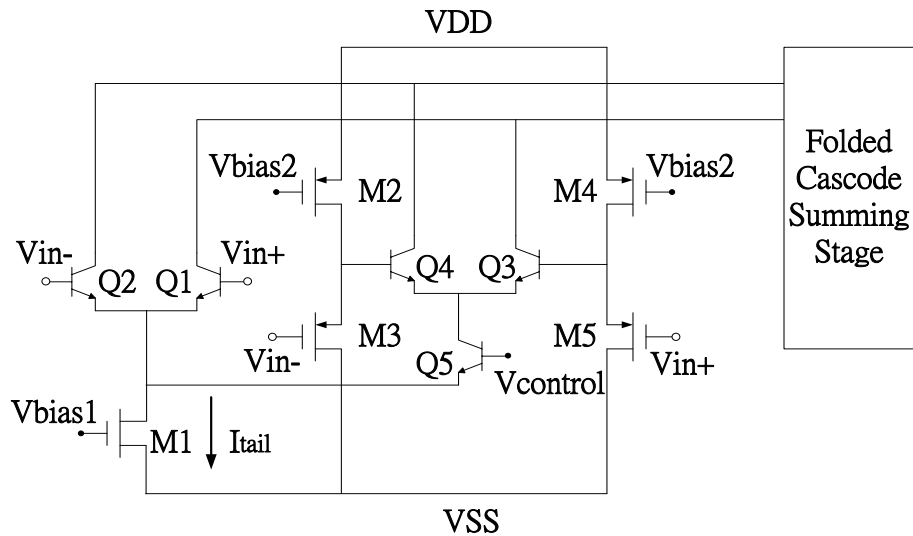


圖 3-12. NPN 差動輸入級電路結構

將原本互補式的差動輸入對結構更改成如圖 3-12 中的 NPN 差動輸入對的結構，其餘部分不變，但加上偏壓 Q5 電晶體基極的 V_{ctrl} 的偏壓

電路[12]，如第 3.5.3 節中圖 3-30 所示。將以上各級電路區塊結合成一個完整的「NPN 差動輸入對-軌對軌運算放大器」的電路架構則如圖 3-13 中所示之。並將其模擬圖與模擬結果表格一併整理於第 3.3.2 節。可由模擬結果得知此運算放大器的許多特性都優於互補式-軌對軌差動放大器，如：直流增益、單增益頻寬、CMRR 及雜訊。

3.3.2 模擬結果

表 3-3. BJT 輸入對-軌對軌運算放大器內部各元件尺寸(單位：μ m)

| | | | | | | | | | |
|------|-------|-------|-------|------|------|-------|-------|-------|------|
| Name | Q1 | Q2 | Q3 | Q4 | Q5 | M1 | M2 | M3 | M4 |
| W/L | 1w02 | 1w02 | 1w02 | 1w02 | 1w02 | 2/4 | 1/4 | 3/4 | 1/4 |
| Name | M5 | M6 | M7 | M8 | M9 | MP6 | MP7 | MP8 | MP9 |
| W/L | 3/4 | 1.5/2 | 1.5/2 | 1/2 | 1/2 | 1.5/2 | 1.5/2 | 2/2 | 2/2 |
| Name | M10 | MP10 | M11 | MP11 | M12 | MP12 | Mb1 | Mb2 | Mb3 |
| W/L | 1/4 | 3/4 | 1/8 | 3/8 | 5/2 | 8/2 | 0.4/8 | 1.6/8 | 7/4 |
| Name | Mb4 | Mb5 | Mb6 | Mb7 | Mb8 | Mb9 | Mb10 | Mb11 | Mb12 |
| W/L | 0.4/8 | 6/4 | 1/8 | 1/8 | 1/8 | 1/8 | 1/8 | 2/4 | 6/4 |
| Name | MR1 | MR2 | | | | | | | |
| W/L | 3/2 | 1/2 | | | | | | | |

(PS. 1w02 為 SiGe0.35 製程中所提供之 NPN 電晶體代碼)

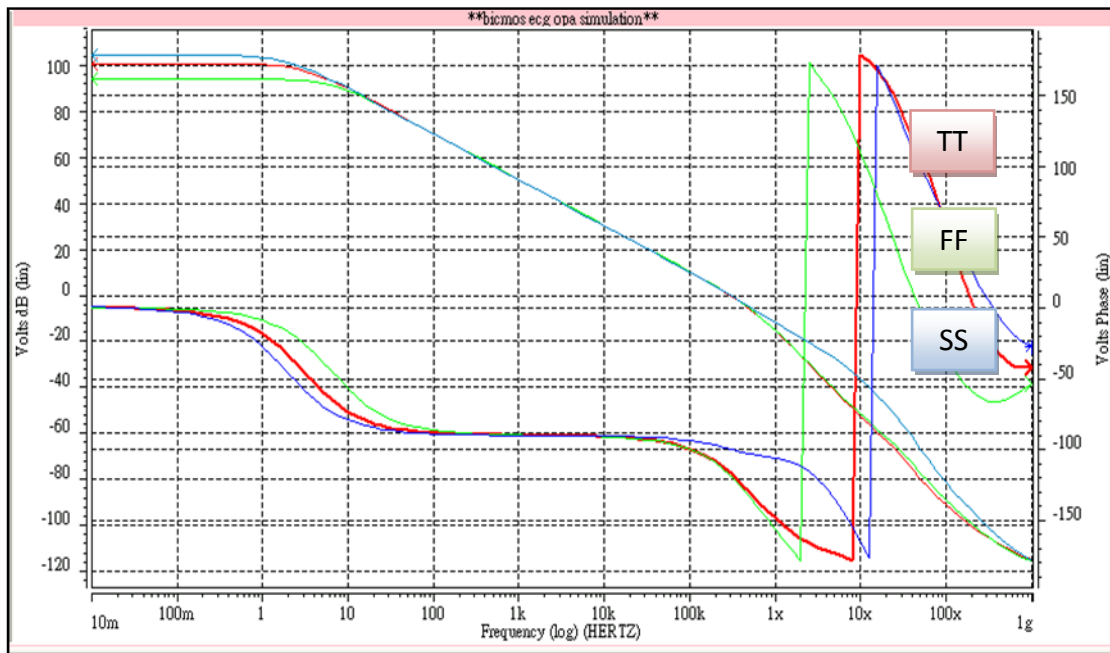


圖 3-14. NPN 輸入對-運算放大器之直流增益 & 相位邊限

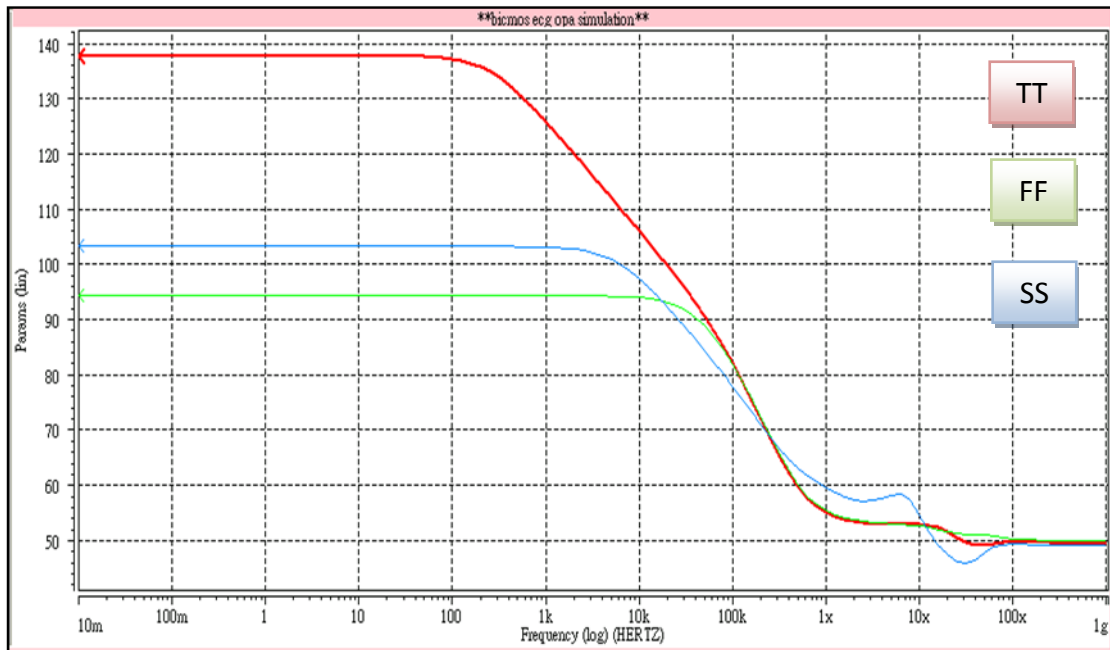


圖 3-15. NPN 輸入對-運算放大器共模拒斥比

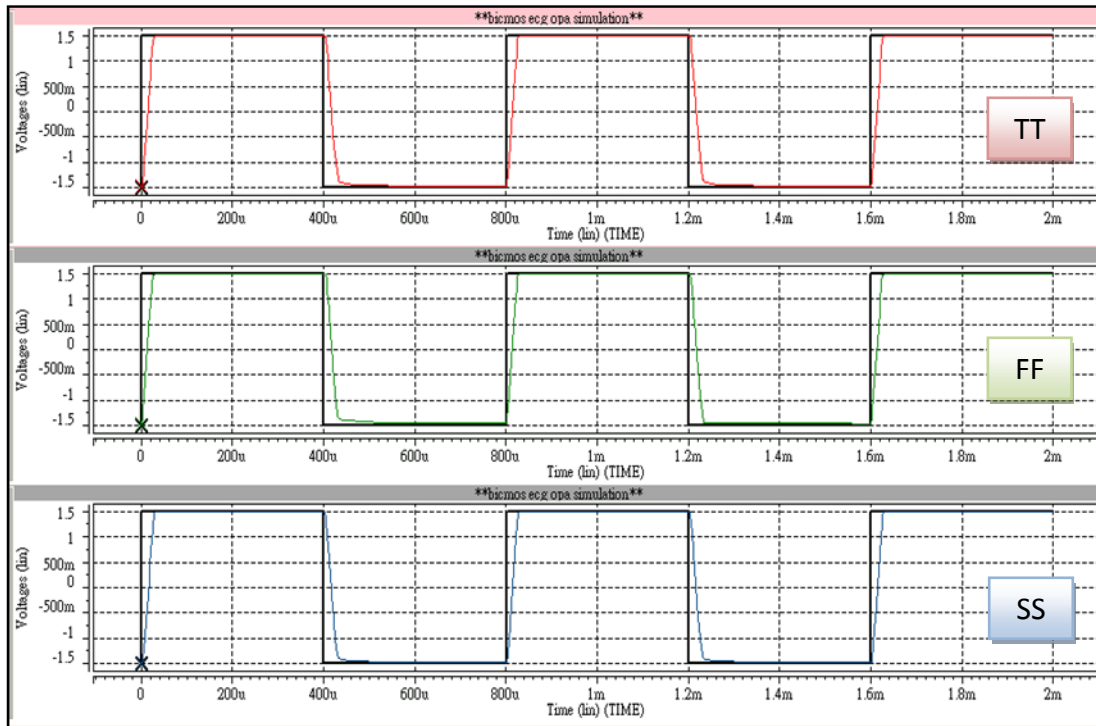


圖 3-16. NPN 輸入對-運算放大器延遲率

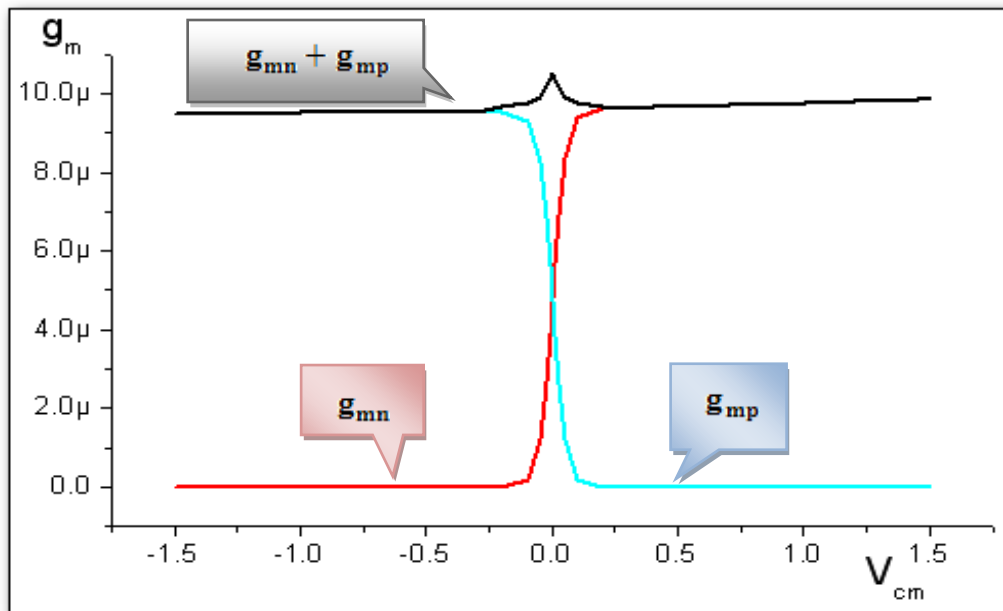
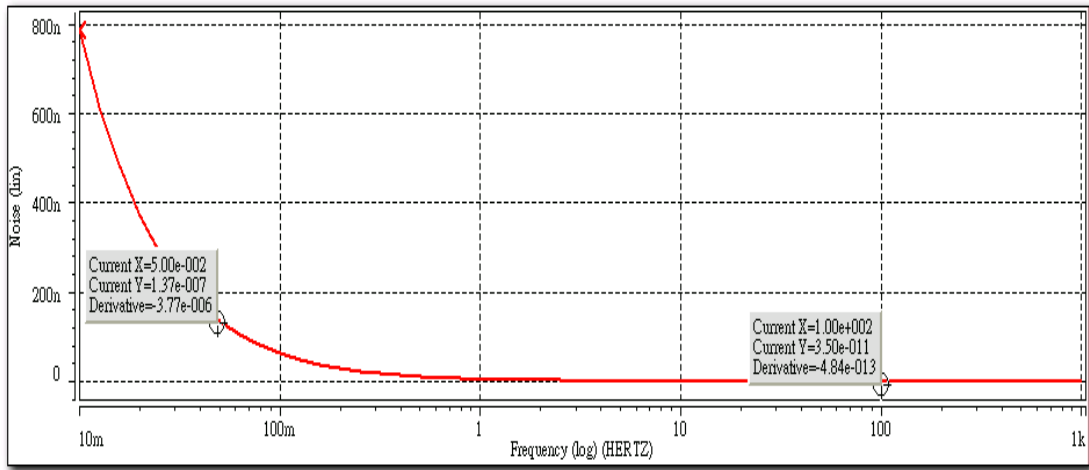
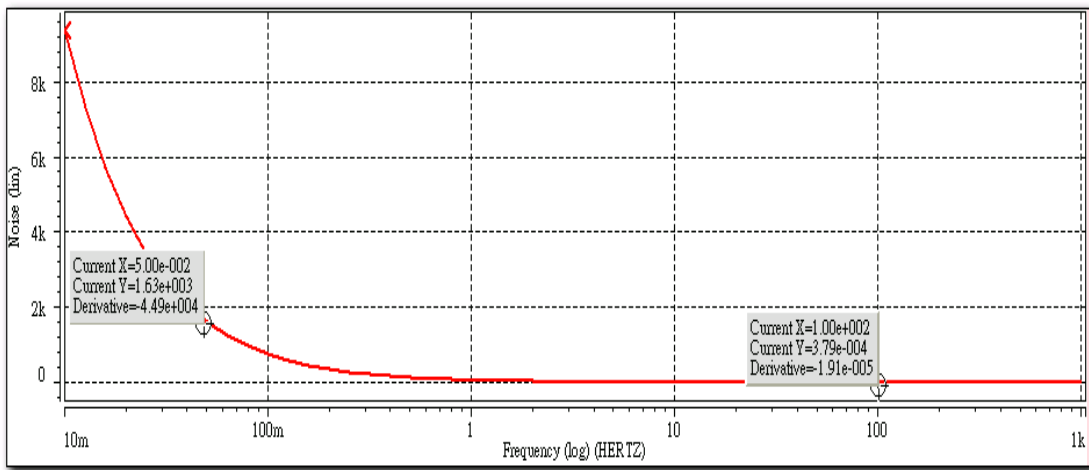


圖 3-17. NPN 差動輸入級維持 g_m 固定值之模擬



(a)



(b)

圖 3-18. BJT-OP 雜訊模擬

(a)總等效輸入雜訊 (b)總等效輸出雜訊

表 3-4. BJT 輸入對-軌對軌差動運算放大器的模擬結果

$V_{\text{supply}} = 3\text{V}$, $R_{\text{load}} = 1\text{M}\Omega$, $C_{\text{load}} = 20\text{pf}$, $T_A = 25^\circ\text{C}$, $C_C = 2\text{pf}$

| Parameter | Simulation results |
|---|---------------------------------|
| DC Gain | 101 dB |
| Phase Margin | 64° |
| GWB | 295 kHz |
| ICMR V_{sup} : from -1.5V to 1.5V | VSS + 0.1V to VDD - 0.1V |
| CMRR | 138 dB |
| Quiescent Current | 12.4 μ A |
| Power Dissipation | 36.5 μ W |
| Slew Rate + | 0.126 V/ μ s |
| Slew Rate - | 0.120 V/ μ s |
| PSRR + | 142 dB |
| PSRR - | 121 dB |
| Noise @ 0.05 Hz | 370 μ V/ $\sqrt{\text{Hz}}$ |
| @ 100 Hz | 5.9 μ V/ $\sqrt{\text{Hz}}$ |
| $\Delta g_m(\%)$ | 10.5 % |

3.4 全 N-channel 輸入對-軌對軌差動運算放大器

3.4.1 電路架構

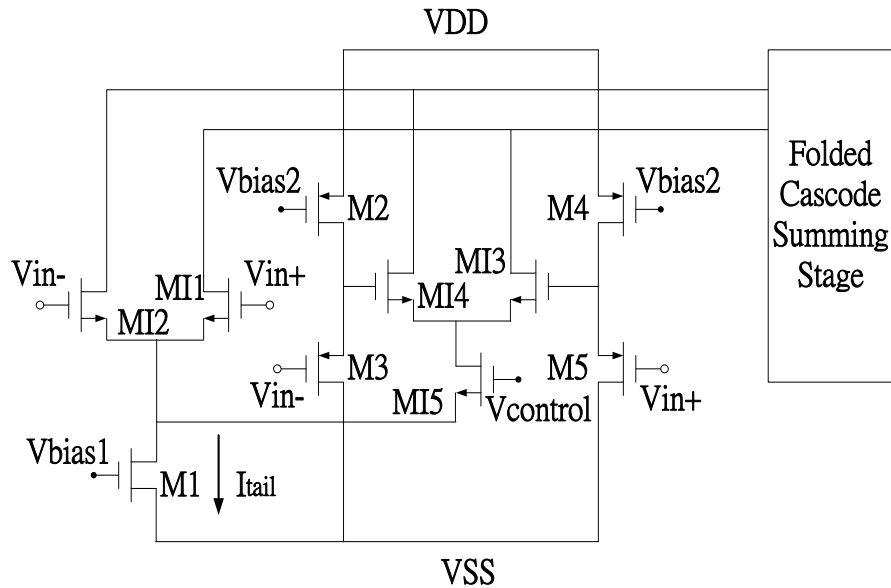


圖 3-19. 全 N-channel 差動輸入級電路結構

為了有效的將 Bipolar 電晶體做為輸入級和 MOSFET 電晶體做為輸入級的電路特性進行比較，因此整個軌對軌差動放大器的電路結構上越為接近則比較上越為理想，所以在這一節之中將第 3.3.1 節中的 BJT 輸入對-軌對軌運算放大器輸入級之中的兩對 NPN 差動輸入對置換成兩對 N-channel 差動輸入對，而電流轉換開關電晶體 Q5 亦置換成使用 N-channel 的電晶體來擔任開關的角色，置換後的電路結構如圖 3-19 所示，除此之外，加上對 MI5 閘極的偏壓電路，如第 3.5.3 節中圖 3-30 所

示。而運算放大器中其餘剩下的部分，如：電壓準位平移電路、第二級疊接式的主動負載、輸出級的浮接式 AB 類放大器的結構、Nulling Resistor、米勒電容補償、Bandgap reference 電壓源及與溫度無關的電流源，則保持原樣不進行任何更動。最後將以上各級電路區塊結合成一個完整的「全 N-channel 差動輸入對-軌對軌運算放大器」的電路架構則如下頁圖 3-20 中所示之。並將其模擬圖與模擬結果表格一併整理於第 3.4.2 節。而由模擬結果可以得知此運算放大器的優點是相位邊限相較於前面兩種類型的運算放大器來得好，其餘特性則和互補式-軌對軌運算放大器相去不遠，除了其 Δg_m 為 18 %特性較差之外，可參照表 3-5 及圖 3-24，其雜訊亦略差於補式-軌對軌運算放大器，而關於雜訊的比較將留置第四章在進行討論比較。

將表 3-2、表 3-4 及表 3-6 進行比較對照，不難發現總結本章中所設計的三個軌對軌差動運算放大器的整體特性表現來說，以 BJT 輸入對-軌對軌運算放大器是三種類型中最好的一種，尤其是其直流增益、單增益頻寬及雜訊特性都明顯優於其他兩種類型的運算放大器。除此之外，爲了降低運算放大器的功率損耗，這三種類型的運算放大器都設計爲使用低電流操作，以整顆運算放大器的總電流限定在 $10\mu A$ 左右，而爲了

使用低電流，設計上則難以避免使用之元件長度增加，也必須犧牲頻寬，不過還好本論文中的運算放大器著重於低頻帶的操作，所以頻寬窄的問題便自動消失。

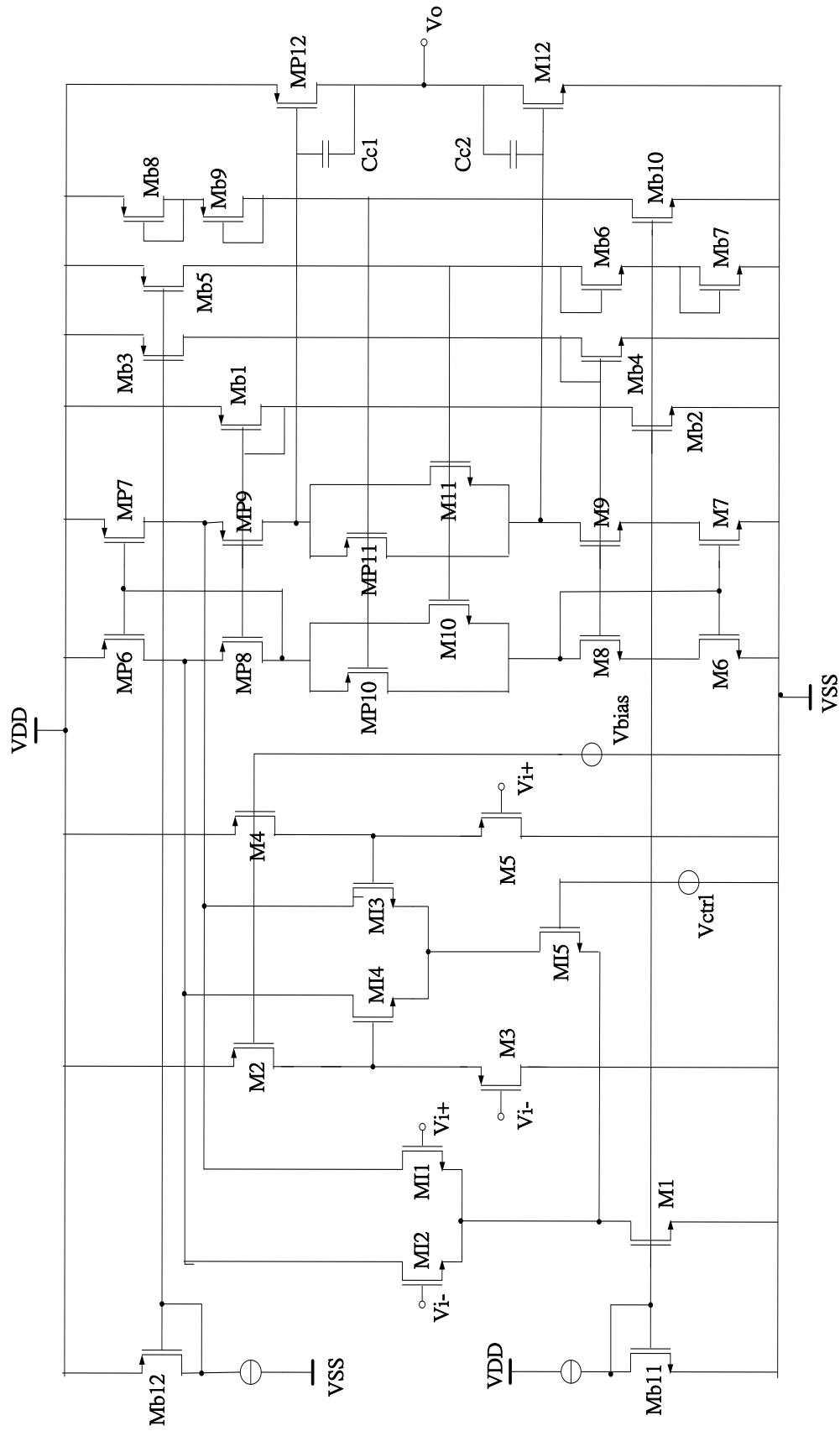


圖3-20. 全N-channel輸入對軌動運算放大器電路結構圖

3.4.2 模擬結果

表 3-5. 全 N-Channel-軌對軌運算放大器內部各元件尺寸(單位：μ m)

| | | | | | | | | | |
|------|-------------|-------|-------------|------|-----|-------|-------|-------|------|
| Name | MI1 | MI2 | MI3 | MI4 | MI5 | M1 | M2 | M3 | M4 |
| W/L | 1/4 | 1/4 | 1/4 | 1/4 | 2/4 | 2/4 | 1/4 | 3/4 | 1/4 |
| Name | M5 | M6 | M7 | M8 | M9 | MP6 | MP7 | MP8 | MP9 |
| W/L | 3/4 | 1.5/2 | 1.5/2 | 1/2 | 1/2 | 1.5/2 | 1.5/2 | 2/2 | 2/2 |
| Name | M10 | MP10 | M11 | MP11 | M12 | MP12 | Mb1 | Mb2 | Mb3 |
| W/L | 1/4 | 3/4 | 1/8 | 3/8 | 5/2 | 7/2 | 0.4/8 | 1.6/8 | 7/4 |
| Name | Mb4 | Mb5 | Mb6 | Mb7 | Mb8 | Mb9 | Mb10 | Mb11 | Mb12 |
| W/L | 0.4/8 | 6/4 | 1/8 | 1/8 | 1/8 | 1/8 | 1/8 | 2/4 | 6/4 |
| Name | MR1 | | MR2 | | | | | | |
| W/L | 6/16 , m=50 | | 2/16 , m=50 | | | | | | |

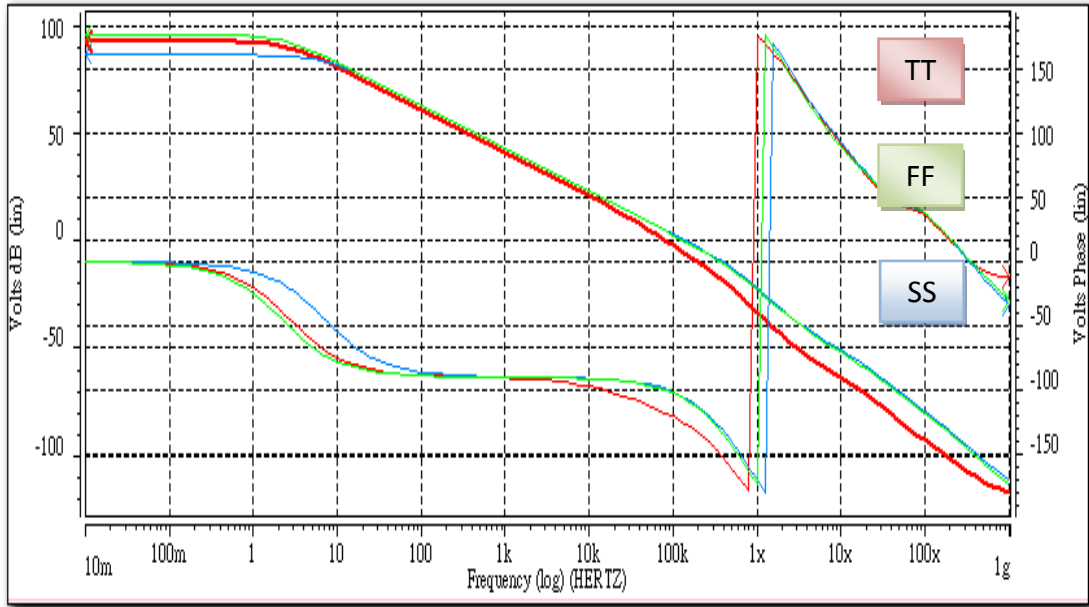


圖 3-21. 全 N-channel 輸入對-運算放大器之直流增益 & 相位邊限

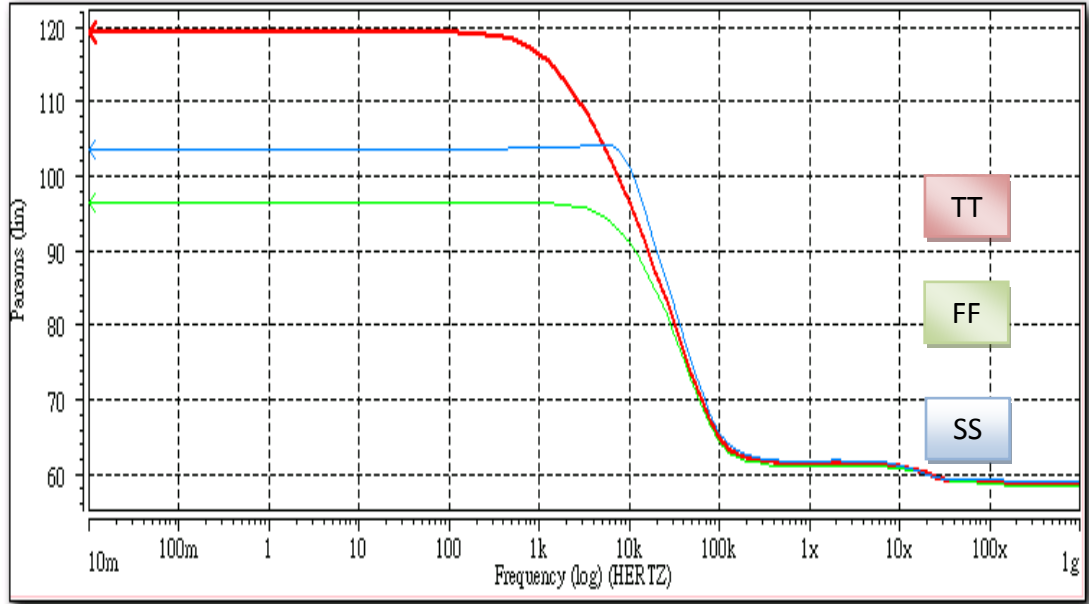


圖 3-22. 全 N-channel 輸入對-運算放大器之共模拒斥比

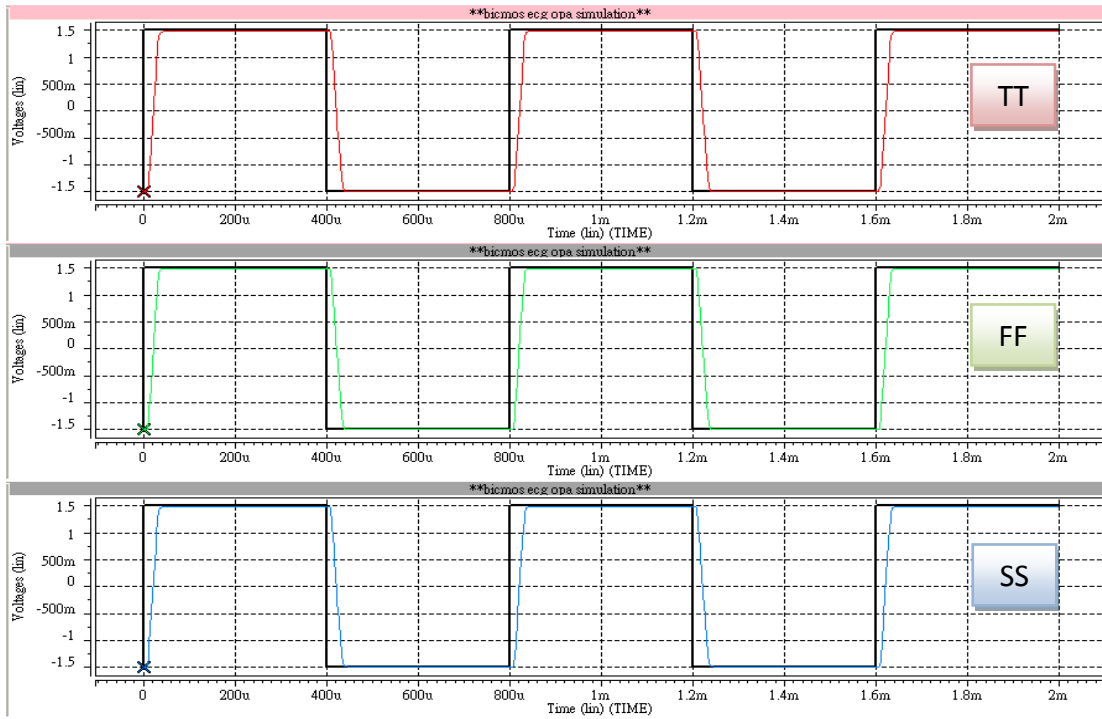


圖 3-23. 全 N-channel 輸入對-運算放大器之延遲率

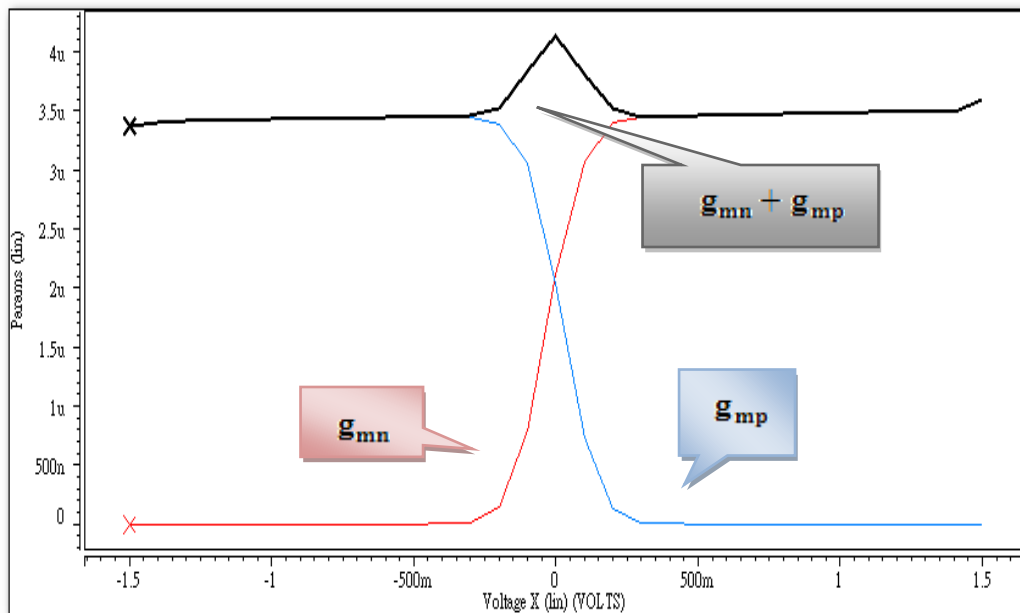
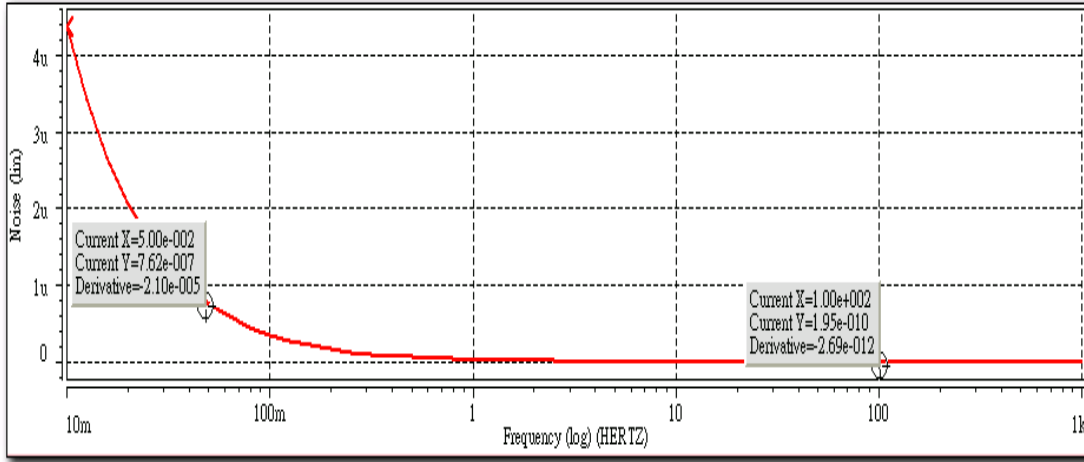
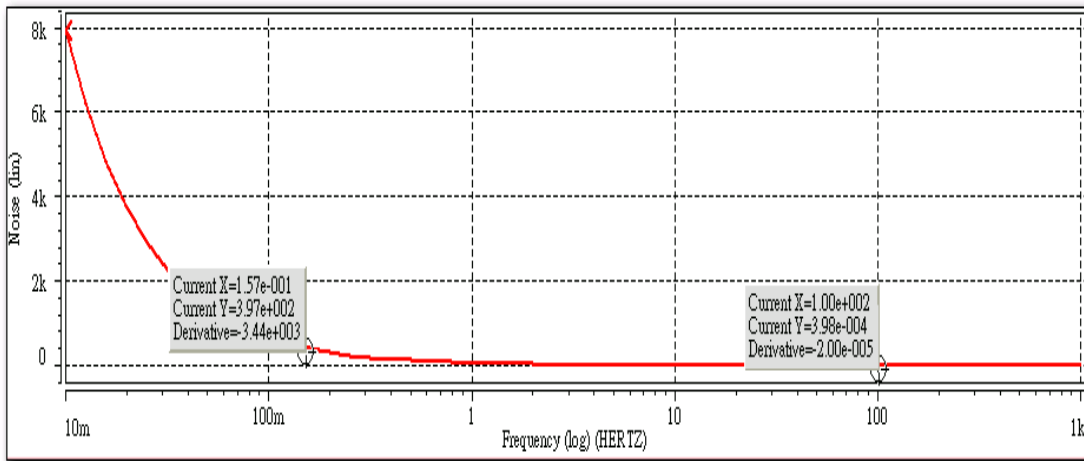


圖 3-24. 全 N-channel 差動輸入級維持 g_m 固定值之模擬



(a)



(b)

圖 3-25. N-channel-OP 雜訊模擬

(a)總等效輸入雜訊 (b)總等效輸出雜訊

表 3-6. 全 N-Channel 輸入對-軌對軌差動運算放大器的模擬結果

$$V_{\text{supply}} = 3\text{V}, R_{\text{load}} = 1\text{M}\Omega, C_{\text{load}} = 20\text{pf}, T_A = 25^\circ\text{C}, C_C = 2\text{pf}$$

| Parameter | Simulation results |
|---|---------------------------------|
| DC Gain | 93 dB |
| Phase Margin | 73° |
| GWB | 139 kHz |
| ICMR V_{sup} : from -1.5V to 1.5V | VSS + 0.1V to VDD - 0.1V |
| CMRR | 104 dB |
| Quiescent Current | 12.1 μ A |
| Power Dissipation | 35.7 μ W |
| Slew Rate + | 0.125 V/ μ s |
| Slew Rate - | 0.122 V/ μ s |
| PSRR + | 138 dB |
| PSRR - | 101 dB |
| Noise @ 1 Hz | 873 μ V/ $\sqrt{\text{Hz}}$ |
| @ 100 Hz | 14 μ V/ $\sqrt{\text{Hz}}$ |
| $\Delta g_m(\%)$ | 18 % |

3.5. 電流源與電壓源電路

3.5.1 與溫度無關之電流源

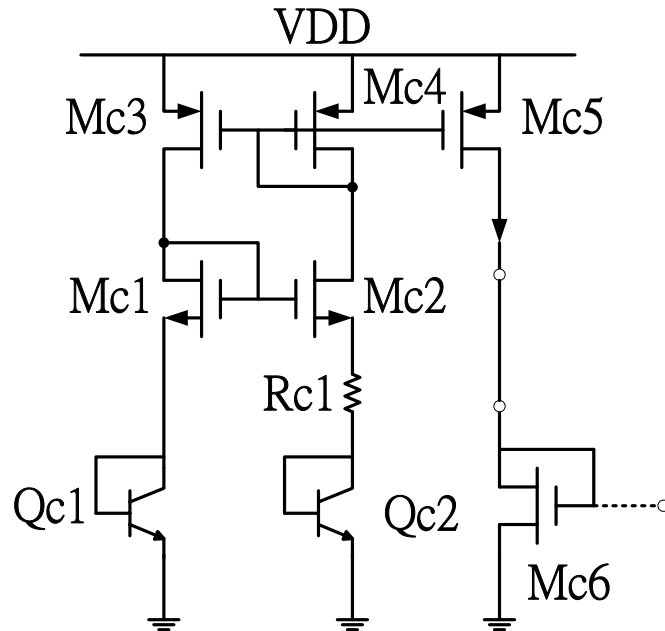


圖 3-26. 與溫度無關之電流生成電路結構

與溫度顯示低相關性的參考電壓和電流在許多類比電路中被證明為非常重要，因為大部分的製程參數都會隨著溫度變化，假使一參考電路與溫度無關時，則它通常也會和製程無關。

PTAT 之電流生成電路[2]，如圖 3-26 所示，其為帶差參考電路 (Bandgap References) 的其中一種，此電路的目的是建立供應電流和製程無關，但和溫度有關聯性之直流電壓電流的設計；而若要使產生出的電

流不隨溫度變動，則可以兩個方向相反的溫度係數 (temperature coefficient, TC) 利用適當之權重相加時，其結果可顯示一個零 TC 值進而改善與溫度有關的不良現象，因此可以藉由調整 R_{c1} 的值與 NPN 電晶體的面積生成一個與溫度無關的電流源，提供 $0.5\mu\text{ A}$ 的電流值給前述電路圖中的電流源使用，並由模擬結果可知其 $T_{CF}=63(\text{ppm}/^\circ\text{C})$ ，而設計時所使用的元件尺寸及模擬結果圖如表 3-7 及圖 3-27 所示，另外電阻 $rw3t$ 為製程模型中所附具有溫度係數之非理想電阻代號。

| Name | Mc1 | Mc2 | Mc3 | Mc4 | Mc5 | Mc6 | Qc1 | Qc2 | Rc1 |
|------|-----|-----|------|------|-------|-----|----------|----------|-----------|
| W/L | 1/1 | 1/1 | 25/1 | 25/1 | 2.5/1 | 1/1 | ln2 m=10 | ln2 m=10 | rw3t 1/10 |

表 3-7. 與溫度無關之電流生成電路各元件尺寸

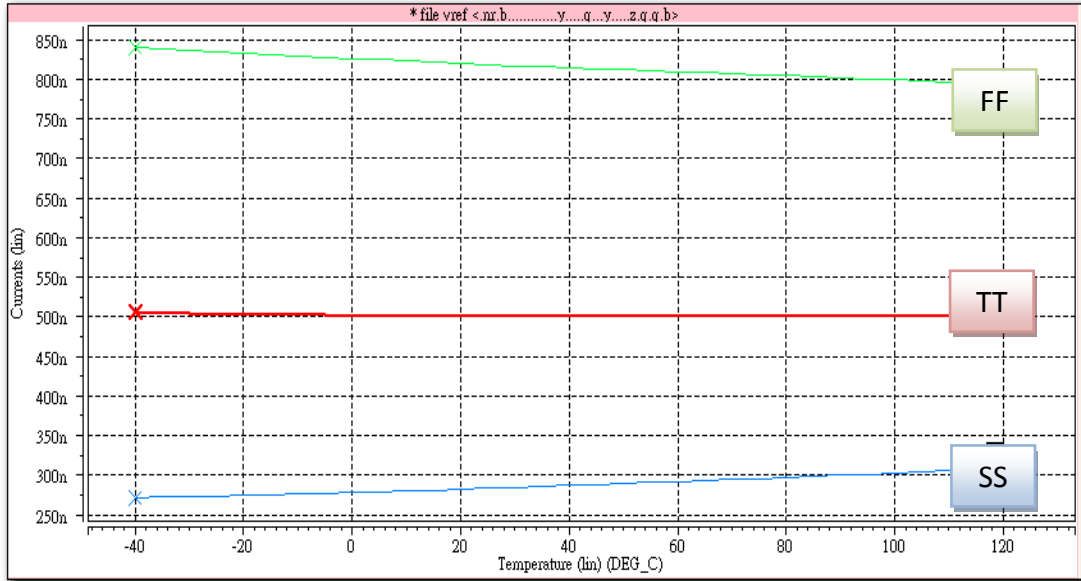


圖 3-27. 與溫度無關的電流源模擬(含製程 Corner：TT、FF、SS)

3.5.2 帶差參考電壓源 (Bandgap reference)

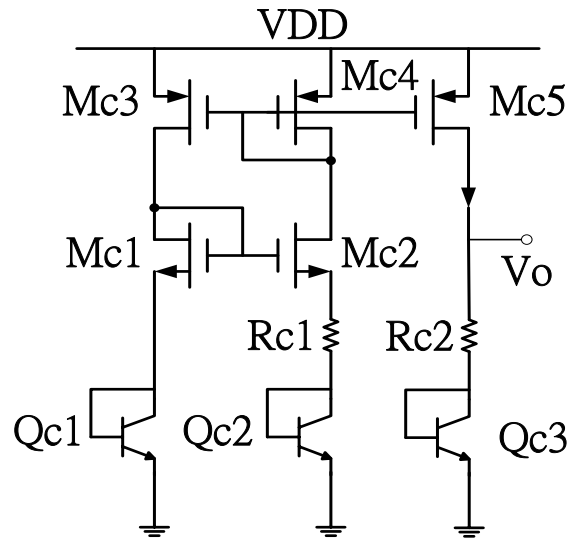


圖 3-28. 帶差參考電壓源電路結構

圖 3-26 可被輕易地修正成提供一帶差參考電壓[1][2]，如圖 3-28 所示，將圖 3-26 中的 M_{C6} 置換為圖 3-28 中的 Q_{C3} ，並加入一電阻 R_{C2} 即可，此概念利用加入一 PTAT 電壓 $I_{D,MC5}R_{C2}$ 至基極-射極電壓，因此輸出電壓如(3.13)式所示：

$$V_{REF} = V_{BE,QC3} + \frac{R_{C2}}{R_{C1}} V_{T1} \ln n \quad (3.13)$$

在這個電路中，負 TC 是由雙載子電晶體的基極-射極電壓，也就是由會和溫度相關的 V_{BE} 所提供，而正 TC 則是由兩個雙載子電晶體操作於不同的電流密度下，其基極-射極電壓差和絕對溫度成正比所提供，如(3.14)式所示：

$$\begin{aligned} \Delta V_{BE} &= V_{BE1,QC1} - V_{BE2,QC2} \\ &= V_{T1} \ln \frac{nI}{I_{S1}} - V_{T1} \ln \frac{I}{I_{S2}} = V_{T1} \ln n \end{aligned} \quad (3.14)$$

利用上述所提供之負 TC 和正 TC 電壓於圖 3-8 中的電路結構並使用(3.13)式經由適當的設計則可得到一與溫度無關的參考電壓，而所使用的元件尺寸及模擬圖如表 3-8 及圖 3-29 所示，此電壓源結構在本論文中可接於圖 3-12 及圖 3-19 中的 V_{bias2} 上使用，雖然也可以使用一般常用較簡易的偏壓方式，但由於 V_{bias2} 所需之偏壓值正好大約為此帶差參考電壓供應之電壓值 1.15V，因此可以給予其更為準確的偏壓電壓源。

| Name | Mc1 | Mc2 | Mc3 | Mc4 | Mc5 | Qc1 | Qc2 | Qc3 | Rc1 | Rc2 |
|------|-----|-----|-----|-----|-----|------------|------------|------------|-----------------|-----------------|
| W/L | 2/4 | 2/4 | 4/4 | 4/4 | 4/4 | ln2 m=1 | ln2 m=5 | ln2 m=1 | rph3t_b 1/10 | rph3t_b 1/98 |

表 3-8. 與溫度無關之電流生成電路各元件尺寸

(PS. rph3t_b 為製程模型中具溫度係數的非理想電阻代號)

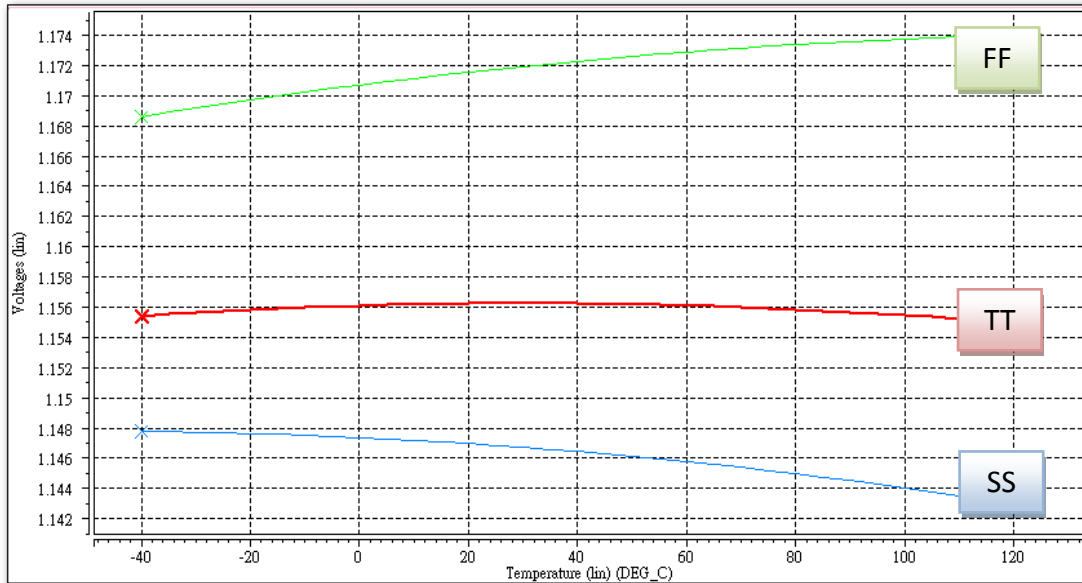


圖 3-29. 與溫度無關的電壓源模擬(含製程 Corner：TT、FF、SS)

3.5.3 Vctrl 偏壓電路

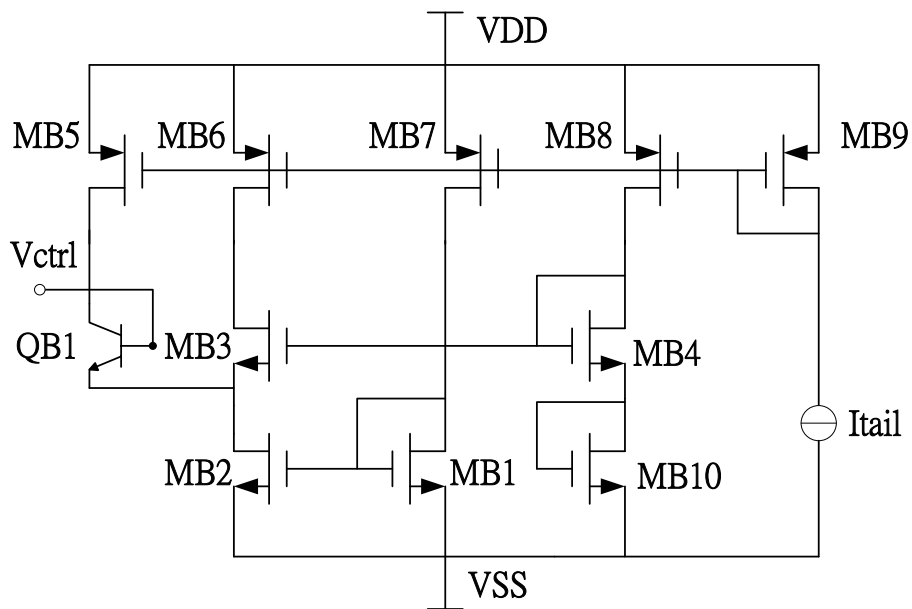


圖 3-30. BJT 輸入級之 Vctrl 偏壓電路

| | | | | | | |
|------|----------|------|-----|-------|-------|-----|
| Name | QB1 | MB1 | MB2 | MB3 | MB4 | MB5 |
| W/L | 1w02 m=2 | 2/4 | 2/4 | 0.4/4 | 0.4/4 | 6/4 |
| Name | MB6 | MB7 | MB8 | MB9 | MB10 | |
| W/L | 6/4 | 12/4 | 6/4 | 6/4 | 0.4/4 | |

表 3-9. BJT 輸入級之 Vctrl 偏壓電路各元件尺寸

在 BJT 輸入級與全 N-channel 輸入級兩種不同結構的輸入級中，如圖 3-12 與圖 3-19 所示，Q5 的基極及 MI5 的閘極都需要一個 Vctrl 的偏壓，而其詳細的偏壓電路結構則如圖 3-30 所示[12]，Vctrl 的偏壓值大小需依據圖 3-12 中的 $V_{BE2} + V_{DSSat1}$ 來決定，在此電路中當 $V_{cm}=0V$ 時，將 Vctrl 設計為 0.85V，而設計 BJT 輸入級 Vctrl 偏壓電路的各元件尺寸則列於表 3-9 中；全 N-channel 輸入級的 Vctrl 偏壓電路結構圖只需將圖 3-30 中的雙載子電晶體 QB1 取代為 NMOS 電晶體 MB0 即可，而其 MB0 的寬長比為 $W=2\mu m$ ， $L=4\mu m$ ，其餘元件尺寸皆相同。

第四章 儀器放大器電路模擬分析與討論

4.1 簡介

在第三章之中，完成三種不同輸入級結構的軌對軌運算放大器的設計，其模擬結果也已經列出於第三章的內容之中，於是接下來在第四章之中，將利用第三章中的模擬結果進行討論分析，以進一步設定出第四章的整體架構，首先在 4.1 節中，將以第三章模擬結果對三種軌對軌運算放大器的雜訊特性進行討論比較，以設定出 4.2 節內容中所要進行討論的儀器放大器的電路結構所選用之軌對軌運算放大器的配對組合，然後 4.3 節將列出其模擬結果與比較。

4.2 軌對軌差動運算放大器的雜訊特性比較

| OP 類型 | 互補式 | BJT 輸入對 | N-channel |
|-----------|----------------------------------|---------------------------------|---------------------------------|
| Noise | 運算放大器 | 運算放大器 | 運算放大器 |
| @ 0.05 Hz | 808 μ V/ $\sqrt{\text{Hz}}$ | 370 μ V/ $\sqrt{\text{Hz}}$ | 873 μ V/ $\sqrt{\text{Hz}}$ |
| @ 100 Hz | 12.9 μ V/ $\sqrt{\text{Hz}}$ | 5.9 μ V/ $\sqrt{\text{Hz}}$ | 14 μ V/ $\sqrt{\text{Hz}}$ |

表 4-1. 三種軌對軌運算放大器雜訊特性比較

由表 4-1 所示，BJT 輸入對-軌對軌運算放大器在低頻的等效輸入雜訊是三種軌對軌運算放大器中等效輸入雜訊特性最佳的一種，且由模擬結果可知，其雜訊約為互補式-軌對軌運算放大器及 N-channel 輸入對-軌對軌運算放大器的二分之一倍。將模擬結果與第 2.3 節的理論對照之下[2][7]，模擬結果確實顯示出使用 BJT 電晶體當作運算放大器的輸入級可以有效降低輸入雜訊。但由於 BJT 輸入對-軌對軌運算放大器受製程上的限制，只能使用 NPN 電晶體，所以其輸入級電路結構與互補式-軌對軌運算放大器的輸入級電路結構並不相同，其電路結構比較可對照圖 3-2 與圖 3-12。為了去除 BJT-輸入級的雜訊特性優於互補式-輸入級的雜訊特性是否是由於電路結構上的不同而有所改善的疑慮，因此設計出與 BJT-輸入級電路結構相同的 N-channel-輸入級電路結構與其進行比較，電路結構可對照圖 3-12 與圖 3-19。而由表 4-1 中顯示出模擬的結果互補式-輸入級電路結構的等效輸入雜訊稍微低於 N-channel-輸入級 $1.1\mu\text{ V}/\sqrt{\text{Hz}}$ 。由於 PMOS 電晶體的雜訊特性優於 NMOS 電晶體，如同第 2.2 節中所述，此點可能是其模擬結果優於 N-channel-輸入級的因素，不過由於其差距不大，故可以推論此兩種輸入級電路結構的差異對於等效輸入雜訊的影響並不大。換句話說，由互補式-輸入級及 N-channel-輸入級的比較，可做出以下結論，BJT 輸入對-軌對軌運算放大器的雜訊特性優於互

補式-軌對軌運算放大器是由於 BJT 電晶體本身的雜訊特性優於 MOS 電晶體，而並非是由於電路結構的不同使得雜訊特性得以改善。

由 N-channel 輸入級電路結構與互補式-輸入級電路結構的比較證實雜訊特性改善並非是由於電路結構的差異所造成，加上抗雜訊特性較互補式-軌對軌運算放大器稍差，因此在下一節的儀器放大器中將只選用互補式-軌對軌運算放大器及 BJT 輸入對-軌對軌運算放大器進行組合配對，然後進行模擬比較，以選出效能特性最符合需要的電路架構。

4.3 儀器放大器基本原理

4.3.1 儀器放大器與一般運算放大器的差別

在電子偵測儀器中的感測元件必須將這個世界上許多的物理量(如：溫度、壓力)轉換成電的訊號，才能夠進行信號處理。然而，經由感測元件轉換輸出的電壓訊號一般都是較弱的訊號，因此，必須再將訊號進行放大的處理。所以將放大器接在感測儀器後級以放大電壓訊號，一般而言，為了達成放大訊號的效能，運算放大器及儀器放大器都可以具有夠高的增益值(Gain)，然而，卻還有其他因素必須考量。

首先，當訊號由感測元件傳導至放大器之間的過程，往往會受到一些無可避免的干擾，譬如電磁波的干擾、溫度變化等等因素，於是產生

某種程度的雜訊。又因為感測元件的輸出訊號微弱，所以雜訊就會佔有一定程度的混合比例。因此，即使成功的放大了訊號，但相對地雜訊同時也將被放大，最後還是無法得到所需的輸出訊號。所以為了消除干擾，應該採用差動放大器來去除訊號間共同的雜訊。

除了上述的問題之外，感測元件通常具有頗大的內阻，並且所感測到的電壓訊號往往較為微弱，若是將其直接接到下一級放大器之上，將會產生明顯的負載效應>Loading effect)，結果將造成所要測的訊號大多都消耗於感測元件本身的內阻之上。為了讓微弱的輸出電壓訊號能有效傳送出來，放大器本身應具有夠高的輸入電阻，才能使得負載效應降至最低。

換句話說，應用在感測儀器中的訊號放大器應該選用「輸入電阻極高的差動(值)放大器」[4][20]。雖然一般的運算放大器都具有夠高的直流增益值、增益可調性，但即使是具有較高 CMRR 的差動(值)放大器，卻往往都具有輸入電阻不夠大的問題存在。因此，將一般運算放大器改良成儀器放大器的電路架構。

4.3.2 電路結構與分析

電路結構如圖 4-1 所示，在基本差值放大器之前，添加上電壓追隨器(Voltage follower)，以作為阻抗緩衝的用途，由於 OPA 輸入端不抽取電流，故可知兩輸入訊號所感受的 $R_i = \infty$ ，於是就沒有負載效應的問題。

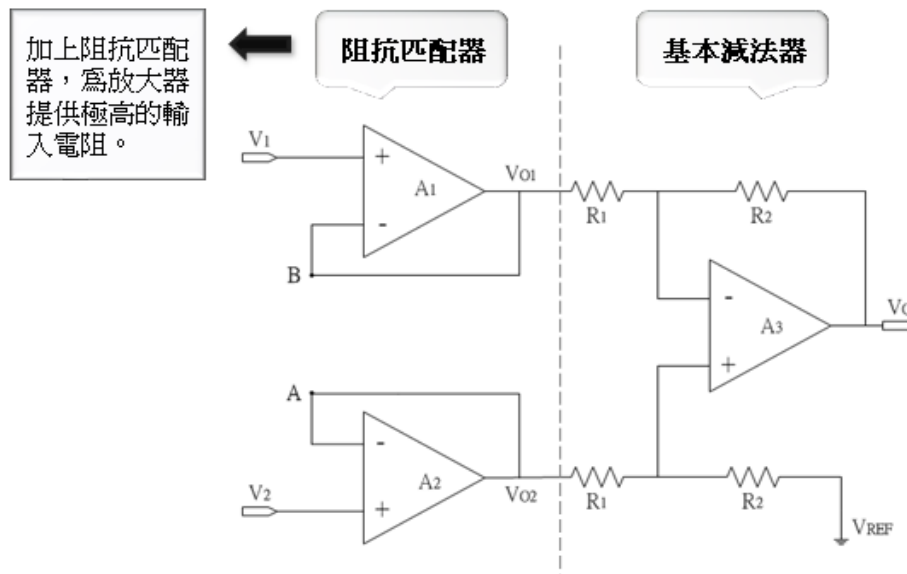


圖 4-1. 添增阻抗匹配器為前級

在添增阻抗匹配器為前級之後，還可以再對圖 4-1 的結構再做進一步的改良。由於一個開迴路增益值夠大的運算放大器(OPA)的輸出可視為一個內阻極小的訊號源，所以對基本差值放大器而言，其輸入訊號 V_{O2} 及 V_{O1} ，於是總輸出電壓可以表示成如 (4.1) 式所示：

$$V_O = \frac{R_2}{R_1} (V_{O2} - V_{O1}) \quad (4.1)$$

因此，在不改變 R_1 與 R_2 的前提之下，我們想要提高 V_o 的強度，則必須設法放大 $(V_{o2} - V_{o1})$ 的差值。

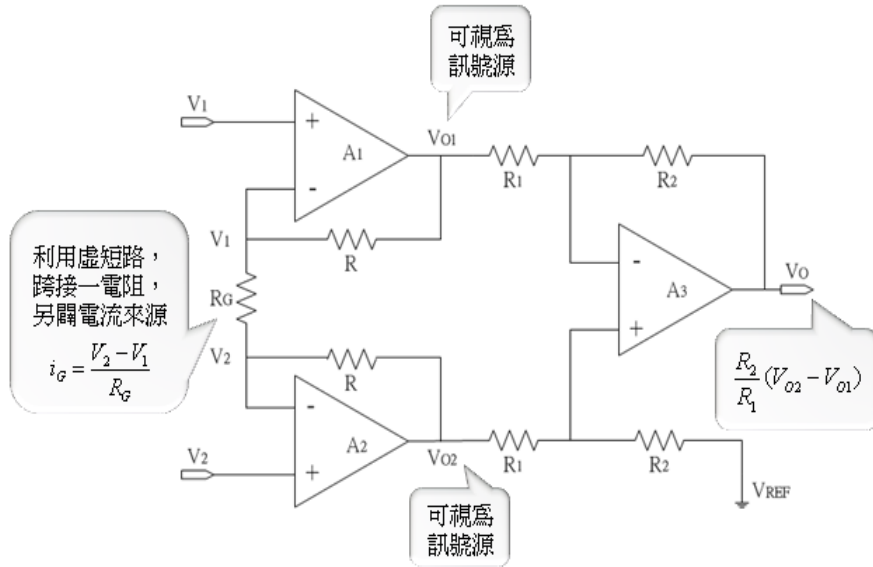


圖 4-2. 儀器放大器電路結構

在圖 4-1 之中，由於 A1 及 A2 運算放大器已由輸出端 V_{o1} 及 V_{o2} 接一個回授路徑至反相端 A 點及 B 點，在運算放大器開迴路增益值夠大的情況下，可以視為 A1 中的 V_B 被固定在 V_1 ，A2 中的 V_A 被鎖定在 V_2 ，而與其他元件無關，也就是虛短路現象。因此，如圖 4-2 中所示，在 A 點與 B 點之間跨接一個電阻 R_G ，開闢一個電流來源 i_G ，此電流大小 $(V_2 - V_1) / R_G$ ，並由 A2 輸出端傳出流經 R_G 而送至 A1 輸出端。接著，在 i_G 路徑之上加上兩個電阻 R ，則可進一步有效放大 $(V_{o2} - V_{o1})$ 的差

值。於是由圖 4-1 中的結構改良至圖 4-2 中的結構，除了具有圖 4-1 中阻抗匹配的功能之外，還增加了放大差值的能力，如以下式子(4.2)式~(4.5)式推導所示：

$$V_{O2} = V_2 + i_G R = V_2 + \frac{V_2 - V_1}{R_G} R \quad (4.2)$$

$$V_{O1} = V_1 - i_G R = V_1 - \frac{V_2 - V_1}{R_G} R \quad (4.3)$$

由 (4.2) 式減 (4.3) 式可得：

$$\begin{aligned} V_{O2} - V_{O1} &= \left(1 + \frac{2R}{R_G}\right) (V_2 - V_1) \\ &= \frac{2R + R_G}{R_G} (V_2 - V_1) \end{aligned} \quad (4.4)$$

然後將 (4.4) 式代入至 (4.1) 式中，即可得知輸出電壓為：

$$\begin{aligned} V_O &= \frac{R_2}{R_1} (V_{O2} - V_{O1}) \\ &= \frac{R_2}{R_1} \left(1 + \frac{2R}{R_G}\right) (V_2 - V_1) \end{aligned} \quad (4.5)$$

基本差值放大器是儀器放大器中共模增益的關鍵，理論上與前級的

阻抗匹配器無關，所以要有好的共模增益及共模拒斥比，必須要把基本差值放大器的部分設計調整好。也就是說，儀器放大器只要兩組 R_1 與 R_2 相同即可，與 R_G 或是 R 無關。 R_G 的功能在於另闢電流以放大電壓訊號差值，當 R_G 縮小時，差值增益會提高。除此之外，在應用上是使用者外裝的可變電阻，提供使用者調整增益的靈活性。兩個 R 的作用也是提高 $(V_{O2} - V_{O1})$ ，但並不一定要有相同的值，在製程上會和 R_1 、 R_2 及放大器同時製作於 IC 之中，以保持較高的電阻匹配性。

4.4 儀器放大器電路模擬架構與模擬結果

4.4.1 模擬架構

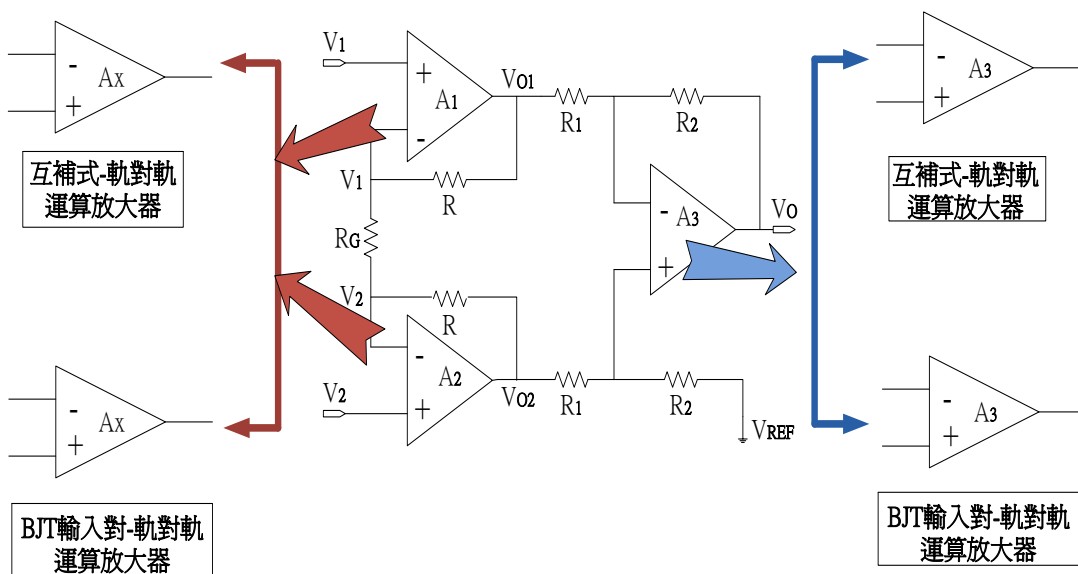


圖 4-3. 使用各種 OP 的儀器放大器電路架構圖

根據第 4.1 節中所述，將把兩種運算放大器應用在第 4.3 節之中的儀

器放大器電路架構中使用，如圖 4.3 所示。圖中左半部阻抗匹配器的部分與圖中右半部的基本差值放大器的部分，將選用第 3.2 節中的互補式-軌對軌運算放大器及第 3.3 節中的 BJT 輸入對-軌對軌運算放大器去連接成完整的儀器放大器電路架構，並將其所有的配對組合列出於表 4-2 中，接著在本節中對各種組合進行模擬分析，最後將結果進行討論與比較。

| | A1 | A2 | A3 |
|----|--------|--------|--------|
| X1 | 互補式-OP | 互補式-OP | 互補式-OP |
| X2 | 互補式-OP | BJT-OP | 互補式-OP |
| X3 | BJT-OP | BJT-OP | 互補式-OP |
| X4 | BJT-OP | BJT-OP | BJT-OP |
| X5 | BJT-OP | 互補式-OP | BJT-OP |
| X6 | 互補式-OP | 互補式-OP | BJT-OP |

表 4-2 儀器放大器中 OP 選用的各種配對組合

表 4-2 中的六種配對組合，以下進行模擬時將各自以 X1－X6 的代

號簡稱之，並將其模擬圖統一整理置放於本節內容最後面部分。首先第一個進行的是對 X1 結構的模擬，如圖 4-3 中所示，由於根據第 2.1.3 節的內容可知一個 ECG 儀器大約需要 200 至 2000 倍左右的電壓增益，若預估儀器放大器之後接上的下一級濾波器可以再提供 5~10 倍的電壓增益，所以設計儀器放大器時所需的電壓增益值則大約為 300 倍左右，因此根據 (4.5) 式，模擬 X1 儀器放大器時選用以下的各電阻值為 $R=49\text{K}\Omega$ 、 $R_G=1\text{K}\Omega$ 、 $R_i=10\text{K}\Omega$ 、 $R_2=30\text{K}\Omega$ ，其餘如負載電阻 $R_L=1\text{M}\Omega$ ，及負載電容 $C_L=20\text{pF}$ ，電源供應電壓範圍由 -1.5V 至 $+1.5\text{V}$ ，並且由於調整頻率響應的因素，所以將 X1 中的阻抗匹配器區塊的運算放大器 A1、A2 中的米勒電容由第 3.2 節中的 2pF 調整為 3pF ，基本差值減法器區塊的運算放大器 A3 的米勒電容則由第 3.2 節中的 2pF 調整為 0.5pF 。由於本章節主要所著重的部分在於 X1~X6 各種儀器放大器之間的比較，因此製程中其餘 corner 則在此不加贅述，僅將其結果一同列出於模擬圖中。圖 4-4 為 X1 的直流增益及頻率響應圖，其中包含 TSMC-SiGe0.35 製程的所提供的各種 corner 在 $T=25^\circ\text{C}$ 下的模擬結果，其 TT corner 的直流增益為 47.7dB ，相位響應在 0dB 時為 116° ， $\text{PM}=64^\circ$ ；圖 4-5 為 X1 的 CMRR 模擬圖，其 TT corner 的 $\text{CMRR}=103\text{dB}$ ；若要看延遲率 SR，則要把 V_{OUT} 和 V_i^- 連接在一起，然後在 V_i^- 輸入一個方波的訊號，看 V_{OUT} 的輸出波形，

皆有上昇和下降的延遲時間，取其斜率即為 SR 值，圖 4-6 為 X1 的延遲率 SR 模擬圖，由圖中可知其 TT corner 的 $SR_{+}=42.8$ (V/ms)、 $SR_{-}=53.1$ (V/ms)，由單位可知其 SR 與一般放大器相比之下其 SR 速度並不快，但由於所需接受的訊號亦屬於速度較慢的訊號，故此 SR 模擬結果使用上仍是相當足夠；圖 4-7 為雜訊模擬圖，其敘述將與 X2~X5 留待後面一同進行討論。

接下來進行 X2 儀器放大器的模擬分析，基本上在六種類型的儀器放大器模擬的過程中，除了 A1、A2、A3 三種運算放大器的置換之外，盡量維持其餘部分條件不變。因此其電阻值同 X1 為 $R=49K\Omega$ 、 $R_G=1K\Omega$ 、 $R_1=10K\Omega$ 、 $R_2=30K\Omega$ ，負載電阻 $R_L=1M\Omega$ ，及負載電容 $C_L=20pF$ ，A1、A2 中的米勒電容為 3pF，A3 的米勒電容則為 0.5pF。而運算放大器 A2 內部做為 Nulling Resistor 使用的 MR1、MR2 其電晶體長度則將其由第 3.3 節中的 $L=2\mu m$ 調整為 $L=4\mu m$ 。圖 4-8 為 X2 的直流增益及頻率響應圖，其 TT corner 的直流增益為 47.9dB，相位響應在 0dB 時為 115 度， $PM=65^\circ$ ；圖 4-9 為 X2 的 CMRR 模擬圖，其 TT corner 的 CMRR=69dB；圖 4-10 為 X2 的延遲率 SR 模擬圖，由圖中可知其 TT corner 的 $SR_{+}=56.1$ (V/ms)、 $SR_{-}=47.3$ (V/ms)。

然後在進行 X3 儀器放大器的模擬分析時，其電阻值 $R=49\text{K}\Omega$ 、 $R_G=1\text{K}\Omega$ ，但 R_1 、 R_2 需稍做調整為 $R_1=3\text{K}\Omega$ 、 $R_2=9\text{K}\Omega$ ，由於在同樣條件之下，負載電阻 $R_L=1\text{M}\Omega$ ，及負載電容 $C_L=20\text{pF}$ ，A1、A2 中的米勒電容調整為 3.6pF ，A3 的米勒電容則為 0.5pF 不變。而 A1、A2 運算放大器內部做為 Nulling Resistor 使用的 MR1、MR2 其電晶體長度則將其由第 3.3 節中的 $L=2\mu\text{m}$ 調整為 $L=8\mu\text{m}$ 。X3 的其相位邊限 PM 的表現相較於 X1 及 X2 來的差，且其補償上也較為困難，除了需要使用較大的米勒電容，還須加長 MR1、MR2 其電晶體長度，雖然 R_1 、 R_2 可使用較小的電阻值降低些面積。但儘管如此，補償後的 PM 雖然有 60° ，但相較於 X1、X2 仍然較差。圖 4-12 為 X3 的直流增益及頻率響應圖，其 TT corner 的直流增益為 48.2dB ，相位響應在 0dB 時為 93.3 度， $\text{PM}=60^\circ$ ；圖 4-13 為 X3 的 CMRR 模擬圖，其 TT corner 的 $\text{CMRR}=69\text{dB}$ ；圖 4-14 為 X3 的延遲率 SR 模擬圖，由圖中可知其 TT corner 的 $\text{SR}+=31.0$ (V/ms)、 $\text{SR}-=30.2$ (V/ms)。

接下來繼續進行對 X4 儀器放大器的模擬分析，其電阻值同 X1 為 $R=49\text{K}\Omega$ 、 $R_G=1\text{K}\Omega$ 、 $R_1=10\text{K}\Omega$ 、 $R_2=30\text{K}\Omega$ 維持不變，負載電阻 $R_L=1\text{M}\Omega$ ，及負載電容 $C_L=20\text{pF}$ ，A1、A2 中的米勒電容為 3pF ，A3 的米勒電容

則為 0.5pF，而運算放大器 A1、A2 內部做為 Nulling Resistor 使用的 MR1、MR2 其電晶體長度則將調整為 $L=8\mu\text{ m}$ 。圖 4-16 為 X4 的直流增益及頻率響應圖，其 TT corner 的直流增益為 49dB，相位響應在 0dB 時為 114 度， $PM=66^\circ$ ；圖 4-17 為 X4 的 CMRR 模擬圖，其 TT corner 的 $CMRR=117\text{dB}$ ；圖 4-18 為 X4 的延遲率 SR 模擬圖，由圖中可知其 TT corner 的 $SR+=54.1$ (V/ms)、 $SR-=50.3$ (V/ms)。

然後繼續進行對 X5 儀器放大器的模擬分析，其電阻值同 X1 為 $R=49\text{K}\Omega$ 、 $R_G=1\text{K}\Omega$ 、 $R_1=10\text{K}\Omega$ 、 $R_2=30\text{K}\Omega$ 維持不變，負載電阻 $R_L=1\text{M}\Omega$ ，及負載電容 $C_L=20\text{pF}$ ，A1、A2 中的米勒電容為 3pF，A3 的米勒電容則為 0.5pF，而運算放大器 A1 內部做為 Nulling Resistor 使用的 MR1、MR2 其電晶體長度則將調整為 $L=8\mu\text{ m}$ 。圖 4-20 為 X5 的直流增益及頻率響應圖，其 TT corner 的直流增益為 48.8dB，相位響應在 0dB 時為 125 度， $PM=55^\circ$ ；圖 4-21 為 X5 的 CMRR 模擬圖，其 TT corner 的 $CMRR=69\text{dB}$ ；圖 4-22 為 X5 的延遲率 SR 模擬圖，由圖中可知其 TT corner 的 $SR+=42.8$ (V/ms)、 $SR-=42.8$ (V/ms)。

最後進行對 X6 儀器放大器的模擬分析，其電阻值同 X1 為 $R=49\text{K}\Omega$ 、 $R_G=1\text{K}\Omega$ 、 $R_1=10\text{K}\Omega$ 、 $R_2=30\text{K}\Omega$ 維持不變，負載電阻 $R_L=1\text{M}\Omega$ ，及

負載電容 $C_L=20\text{pF}$ ，A1、A2 中的米勒電容維持與第 3.2 節中相同為 2pF ，A3 的米勒電容則為 0.5pF 。圖 4-24 為 X6 的直流增益及頻率響應圖，其 TT corner 的直流增益為 47.7dB ，相位響應在 0dB 時為 106° ， $\text{PM}=74^\circ$ ；圖 4-25 為 X6 的 CMRR 模擬圖，其 TT corner 的 $\text{CMRR}=116\text{dB}$ ；圖 4-26 為 X6 的延遲率 SR 模擬圖，由圖中可知其 TT corner 的 $\text{SR}^+=64(\text{V/ms})$ 、 $\text{SR}^- = 66(\text{V/ms})$ 。X6 儀器放大器相較於其他 X1~X5 儀器放大器擁有最佳的相位邊限特性，即使 A1、A2 中的米勒電容只使用 2pF ，卻還是明顯優於 X1~X5 的 PM，擁有頻率補償較為簡單的特性。以上所敘述的 X1~X6 儀器放大器的模擬結果和其餘沒有用圖貼出來的模擬結果全部都統一整理於下一節的表 4-3 之中。

4.4.2 模擬結果

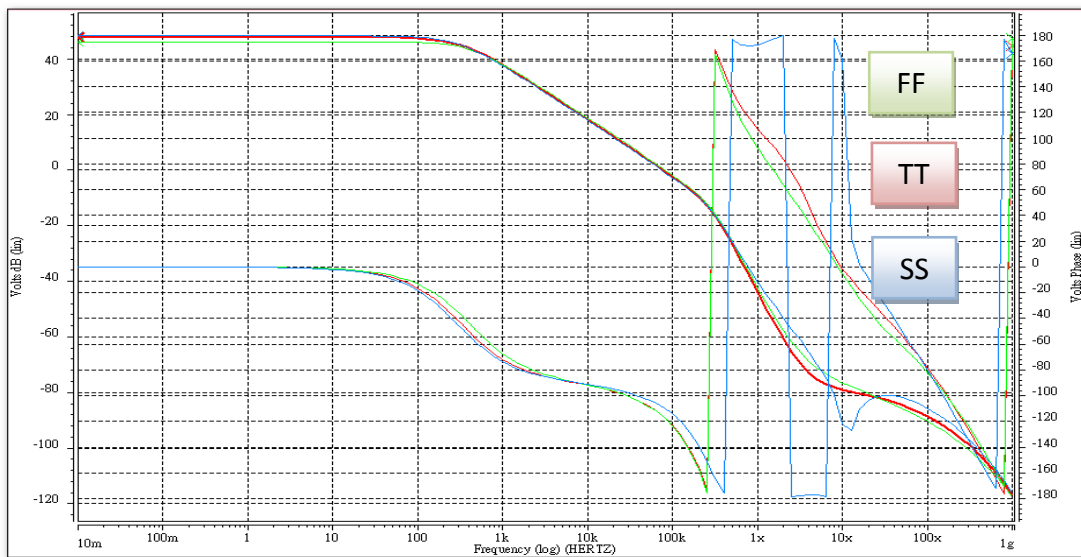


圖 4-4. X1 之直流增益 & 相位邊限

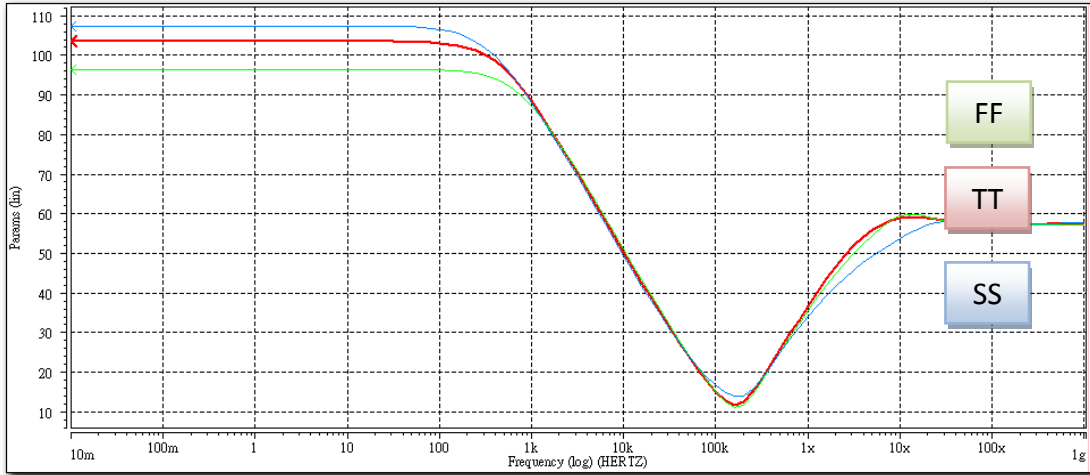


圖 4-5. X1 之共模拒斥比

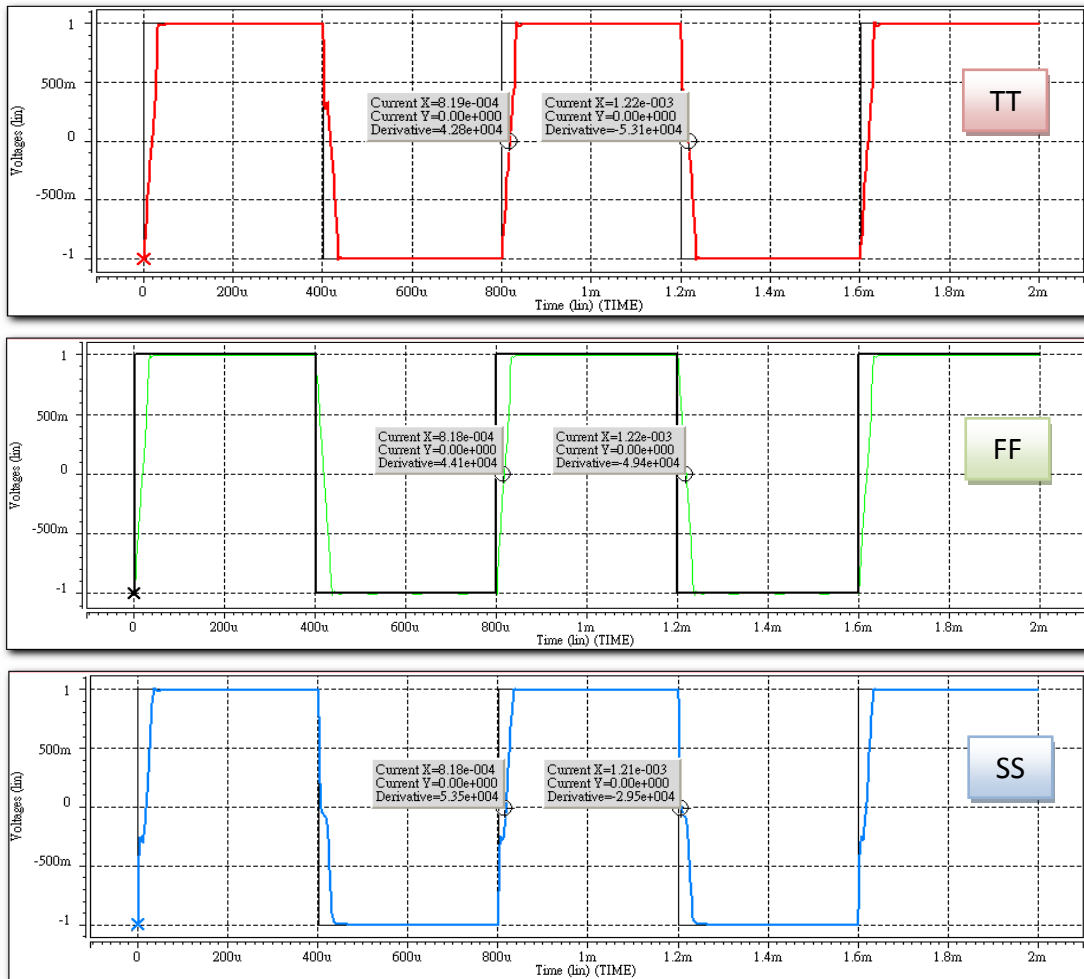
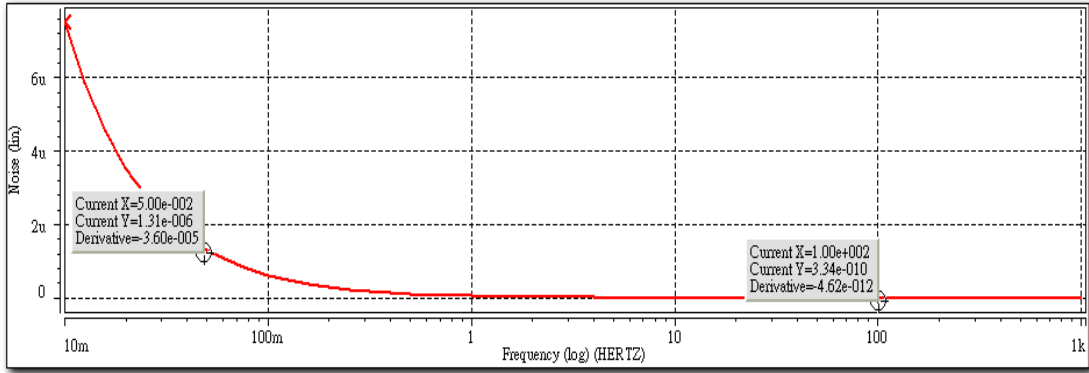
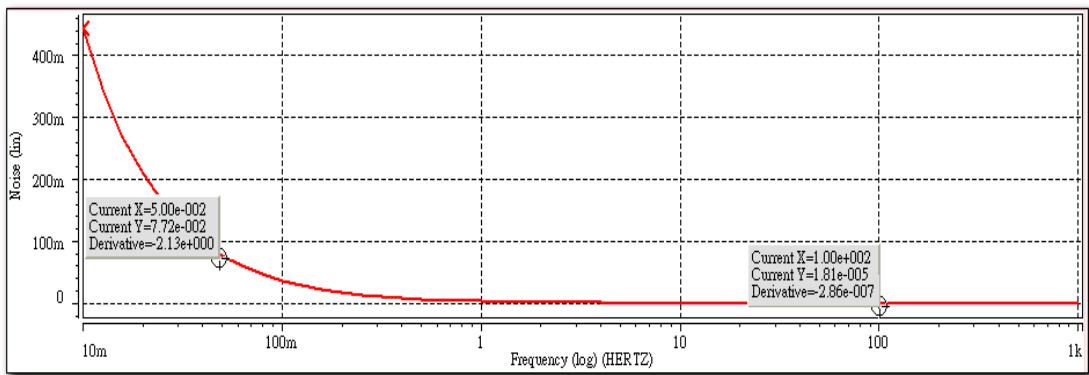


圖 4-6. X1 之延遲率



(a)



(b)

圖 4-7. X1 的雜訊模擬 (a)總等效輸入雜訊 (b)總等效輸出雜訊

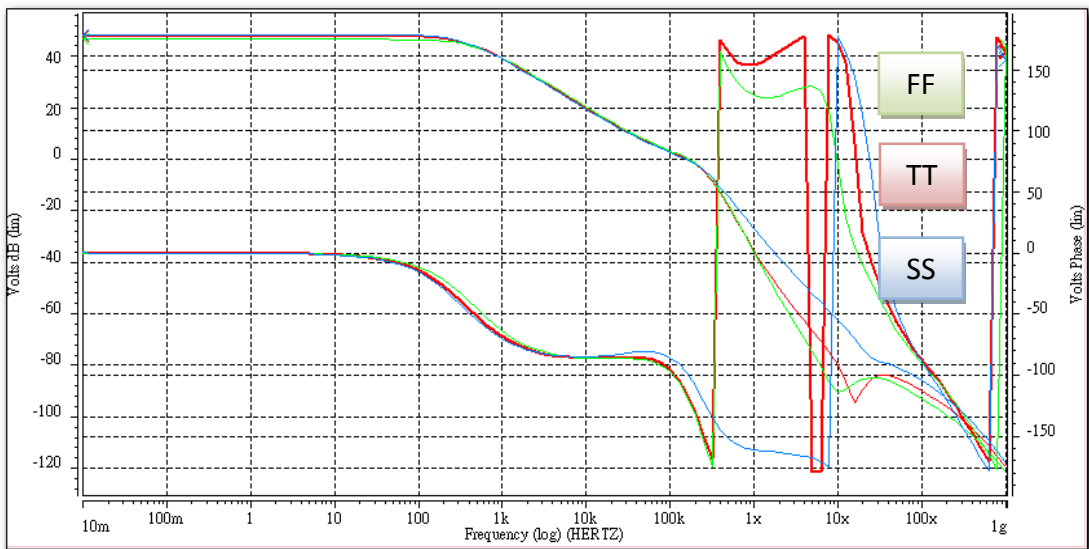


圖 4-8. X2 之直流增益 & 相位邊限

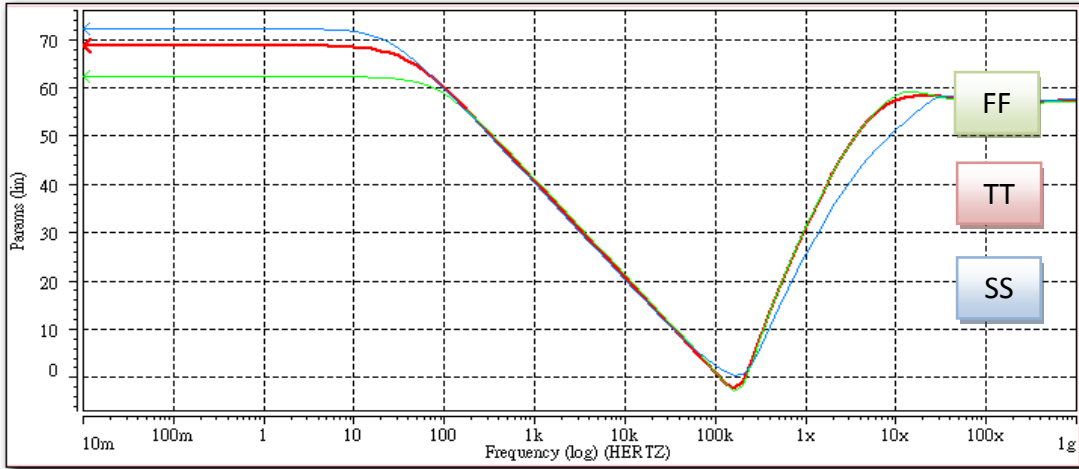


圖 4-9. X2 之共模拒斥比

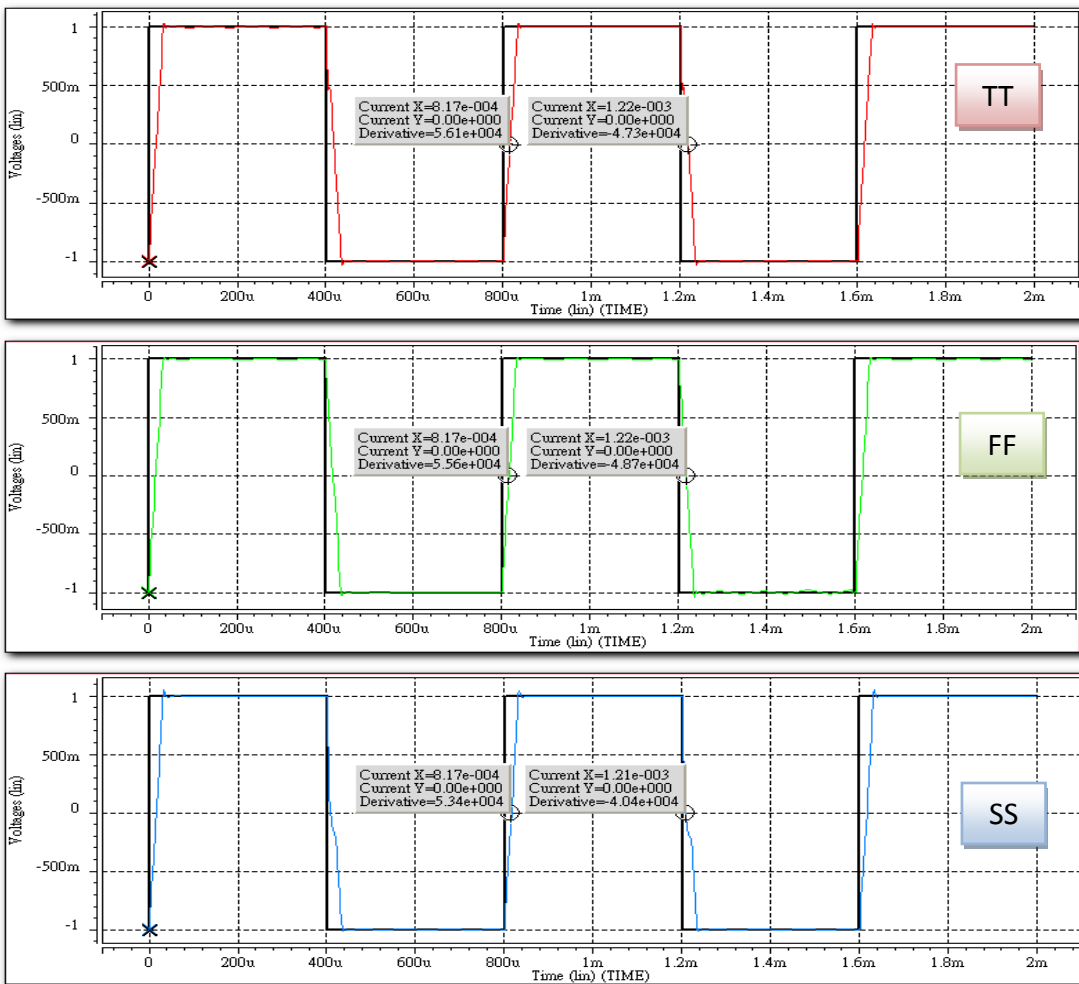
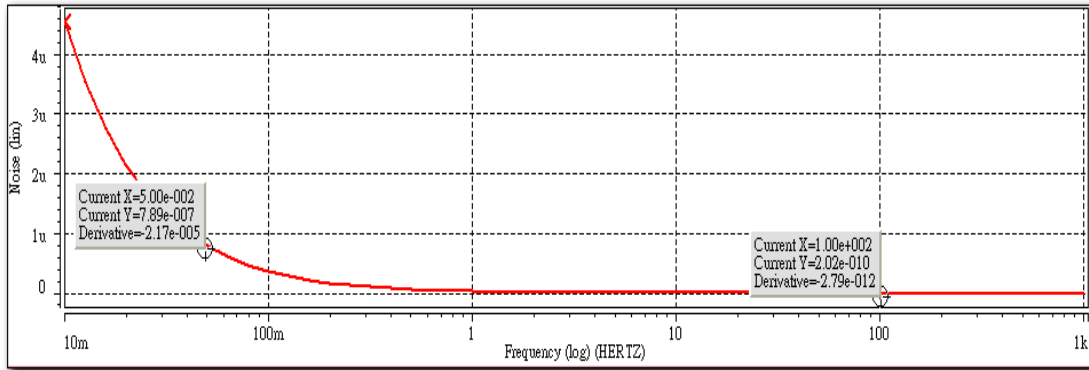
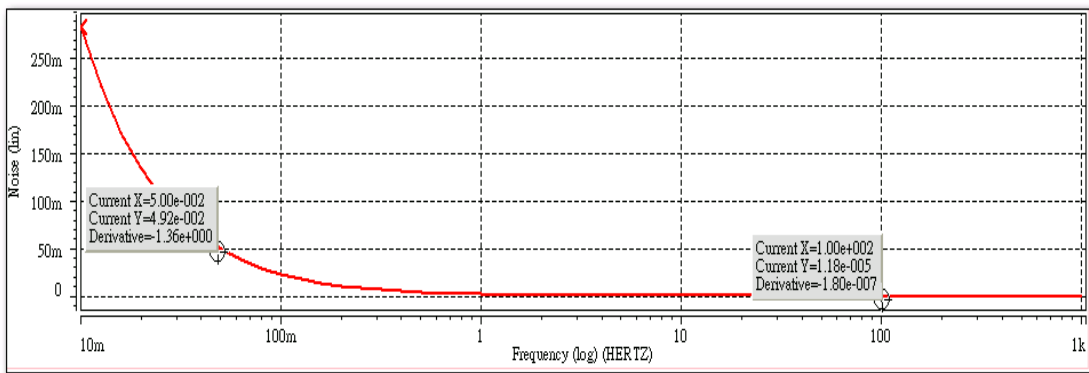


圖 4-10. X2 之延遲率



(a)



(b)

圖 4-11. X2 的雜訊模擬 (a)總等效輸入雜訊 (b)總等效輸出雜訊

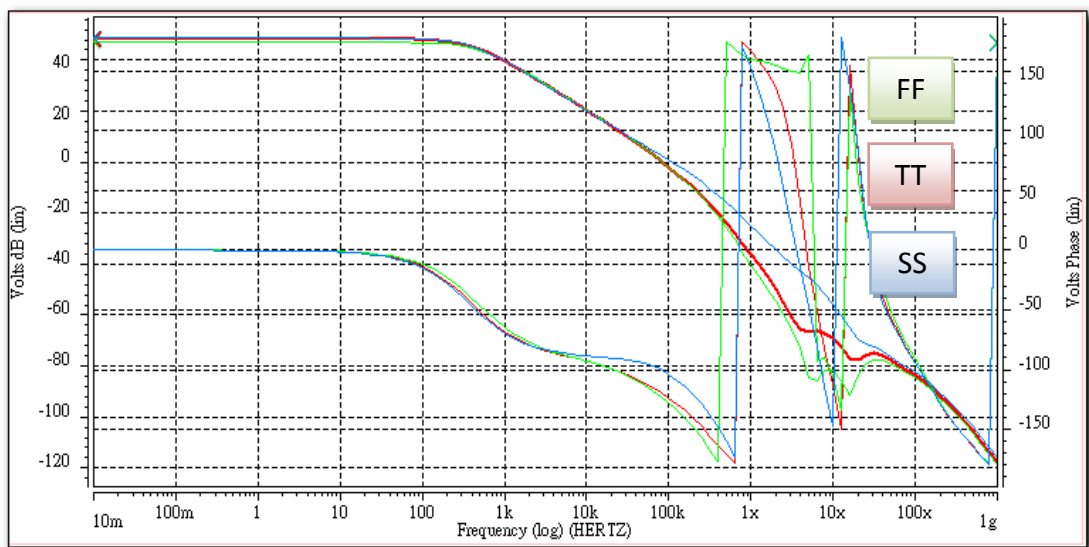


圖 4-12. X3 之直流增益 & 相位邊限

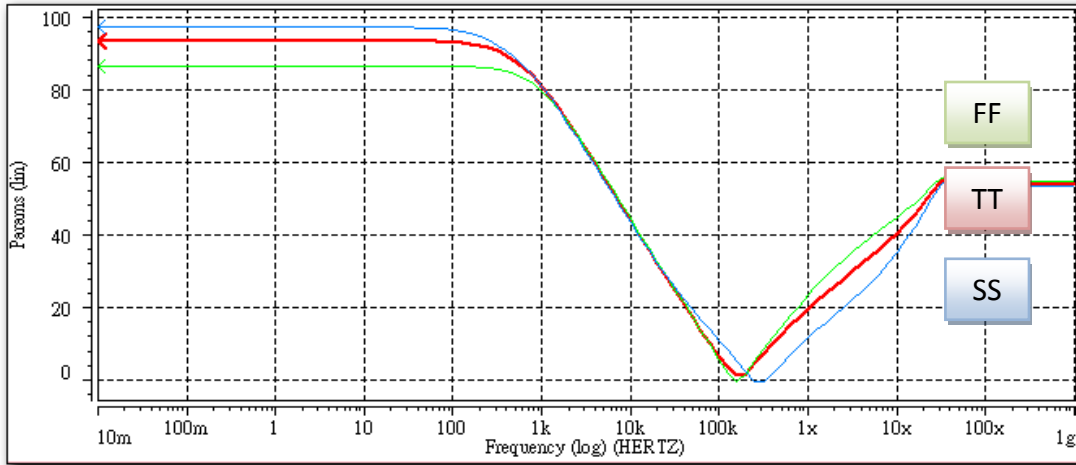


圖 4-13. X3 之共模拒斥比

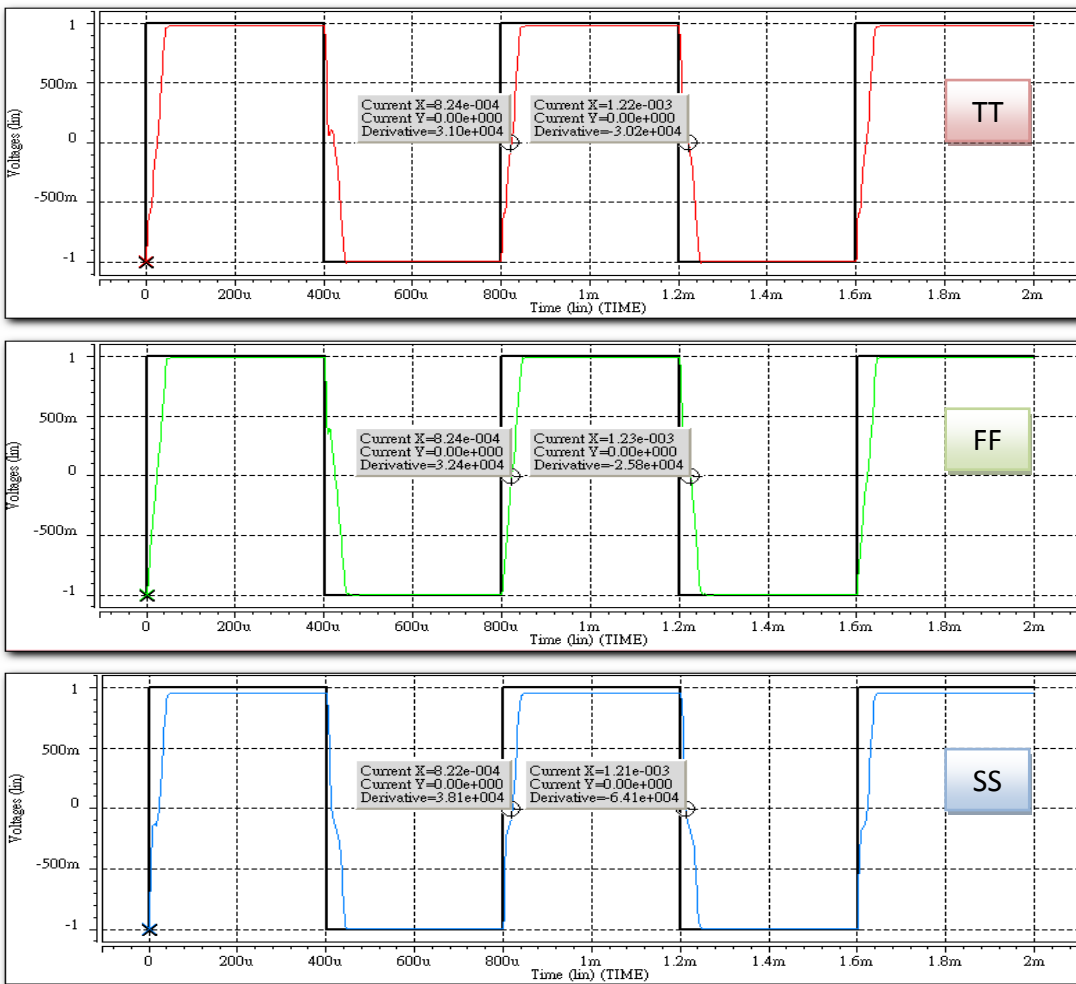
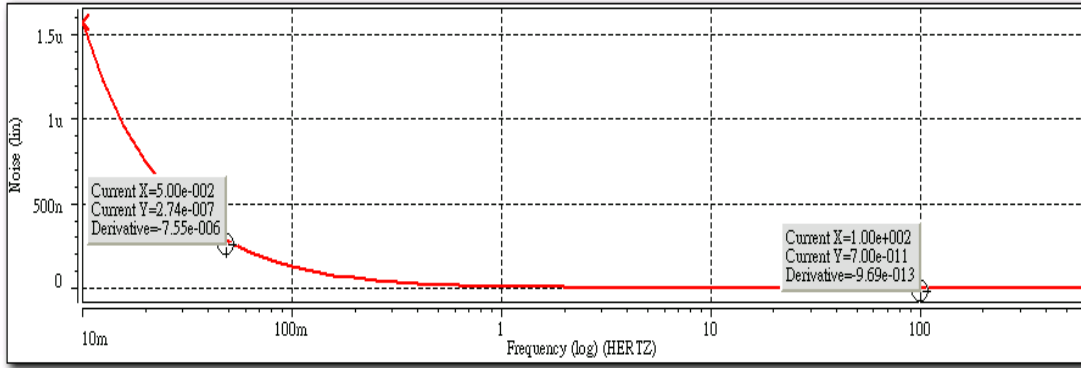
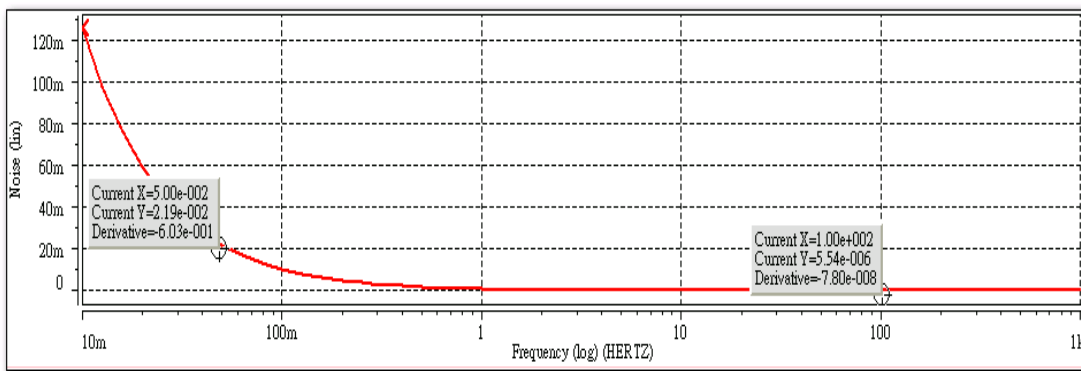


圖 4-14. X3 之延遲率



(a)



(b)

圖 4-15. X3 的雜訊模擬 (a)總等效輸入雜訊 (b)總等效輸出雜訊

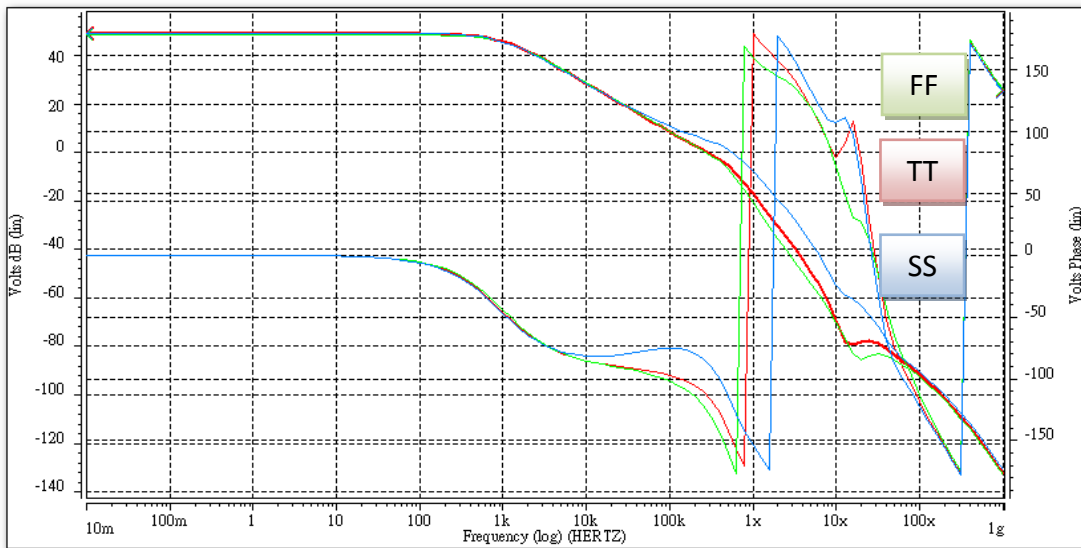


圖 4-16. X4 之直流增益 & 相位邊限

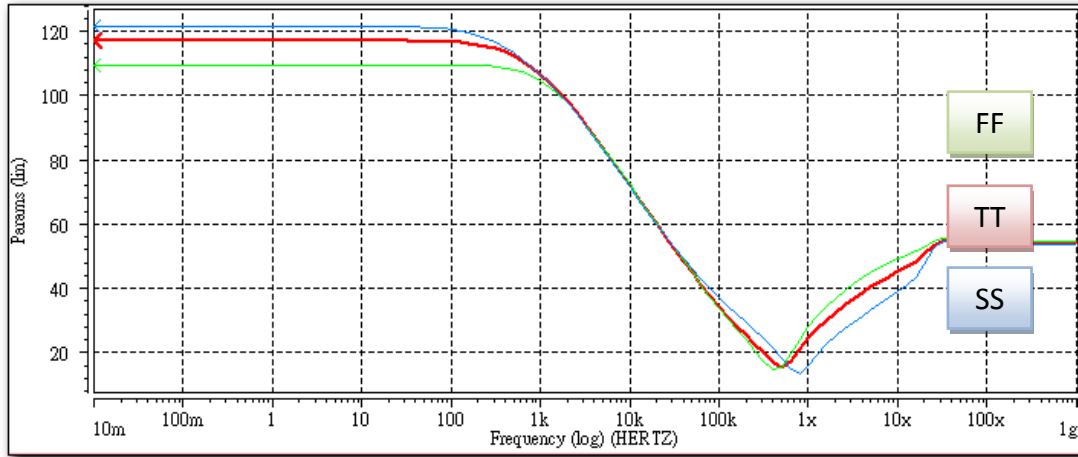


圖 4-17. X4 之共模拒斥比

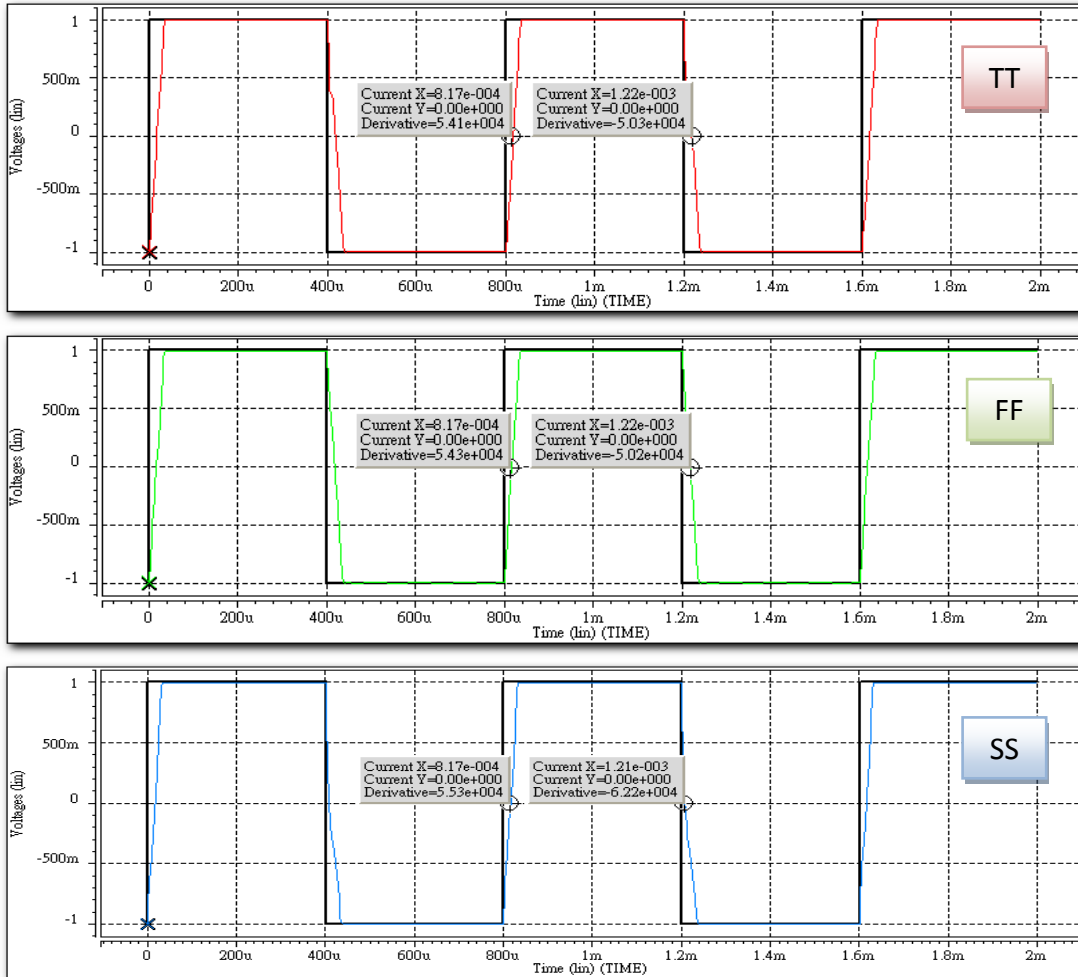
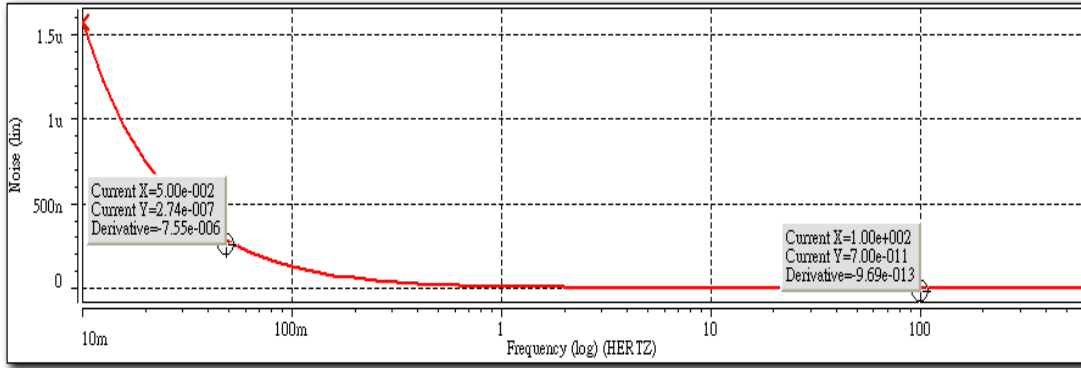
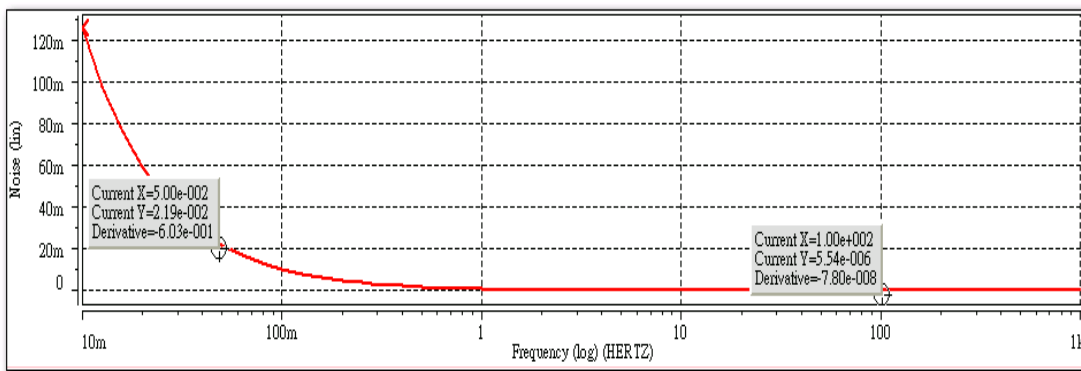


圖 4-18. X4 之延遲率



(a)



(b)

圖 4-19. X4 的雜訊模擬 (a)總等效輸入雜訊 (b)總等效輸出雜訊

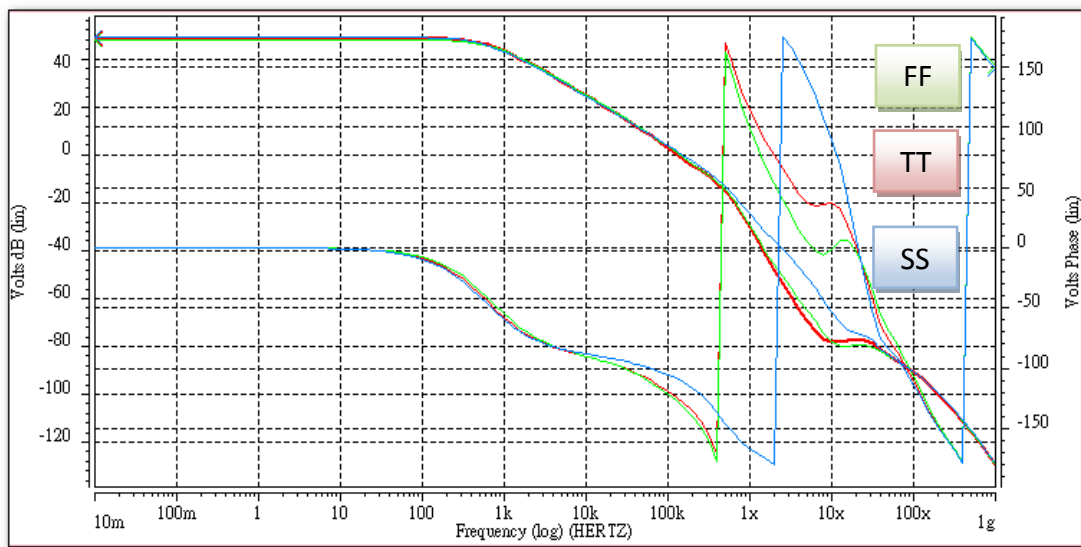


圖 4-20. X5 之直流增益 & 相位邊限

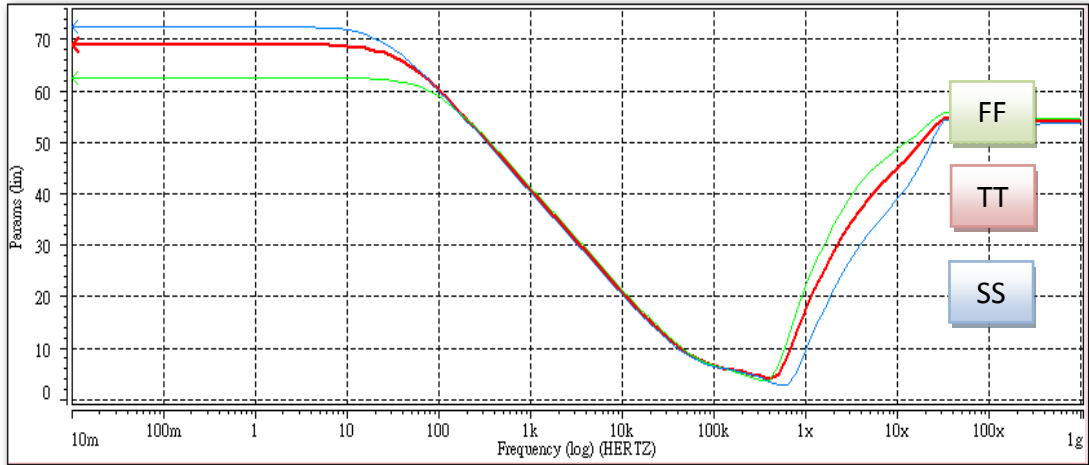


圖 4-21. X5 之共模拒斥比

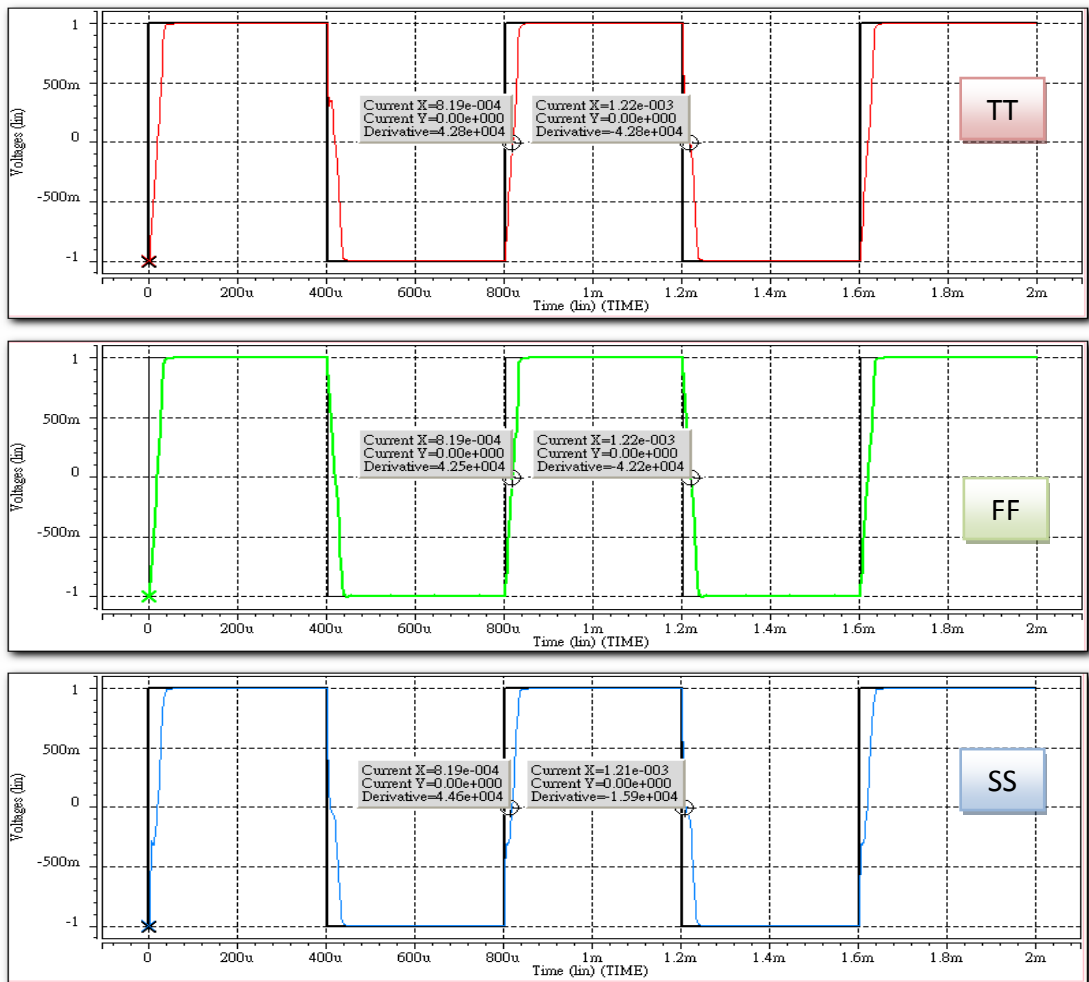
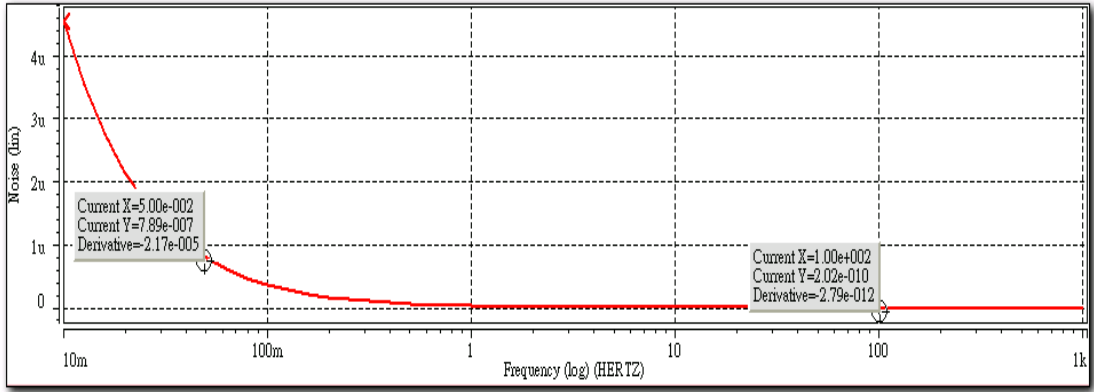
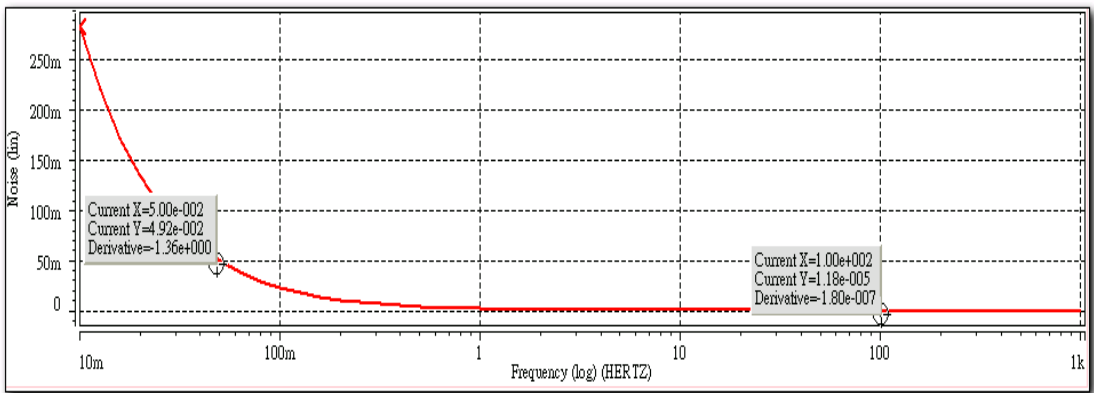


圖 4-22. X5 之延遲率



(a)



(b)

圖 4-23. X5 的雜訊模擬 (a)總等效輸入雜訊 (b)總等效輸出雜訊

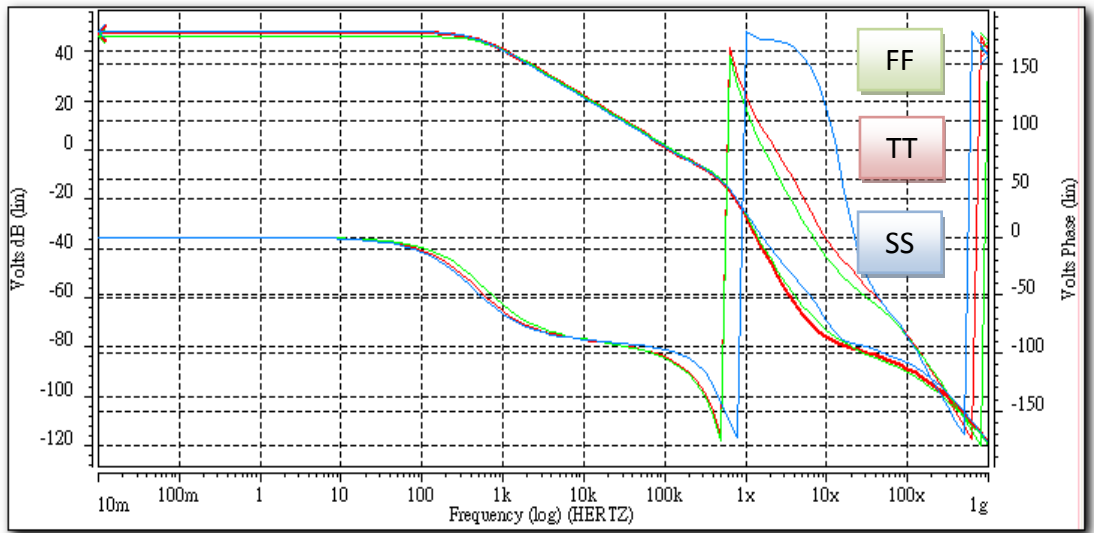


圖 4-24. X6 之直流增益 & 相位邊限

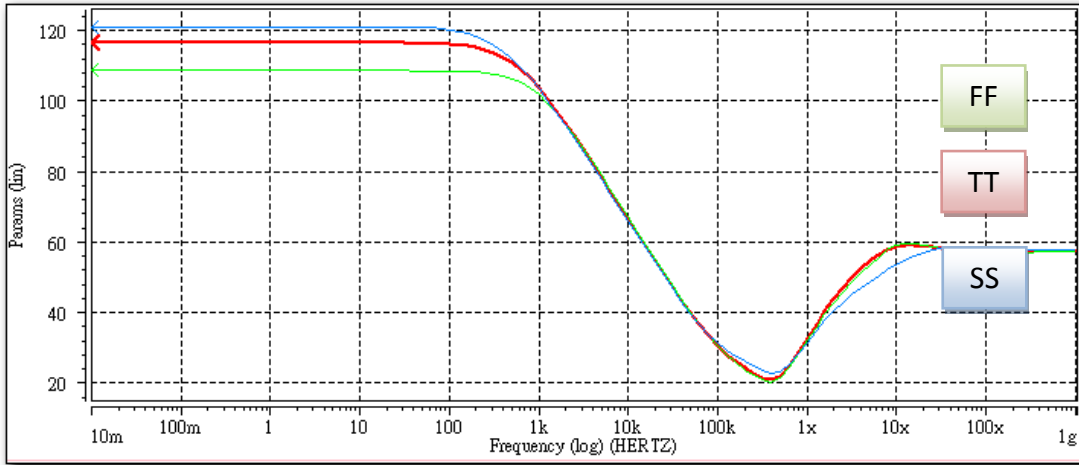


圖 4-25. X6 之共模拒斥比

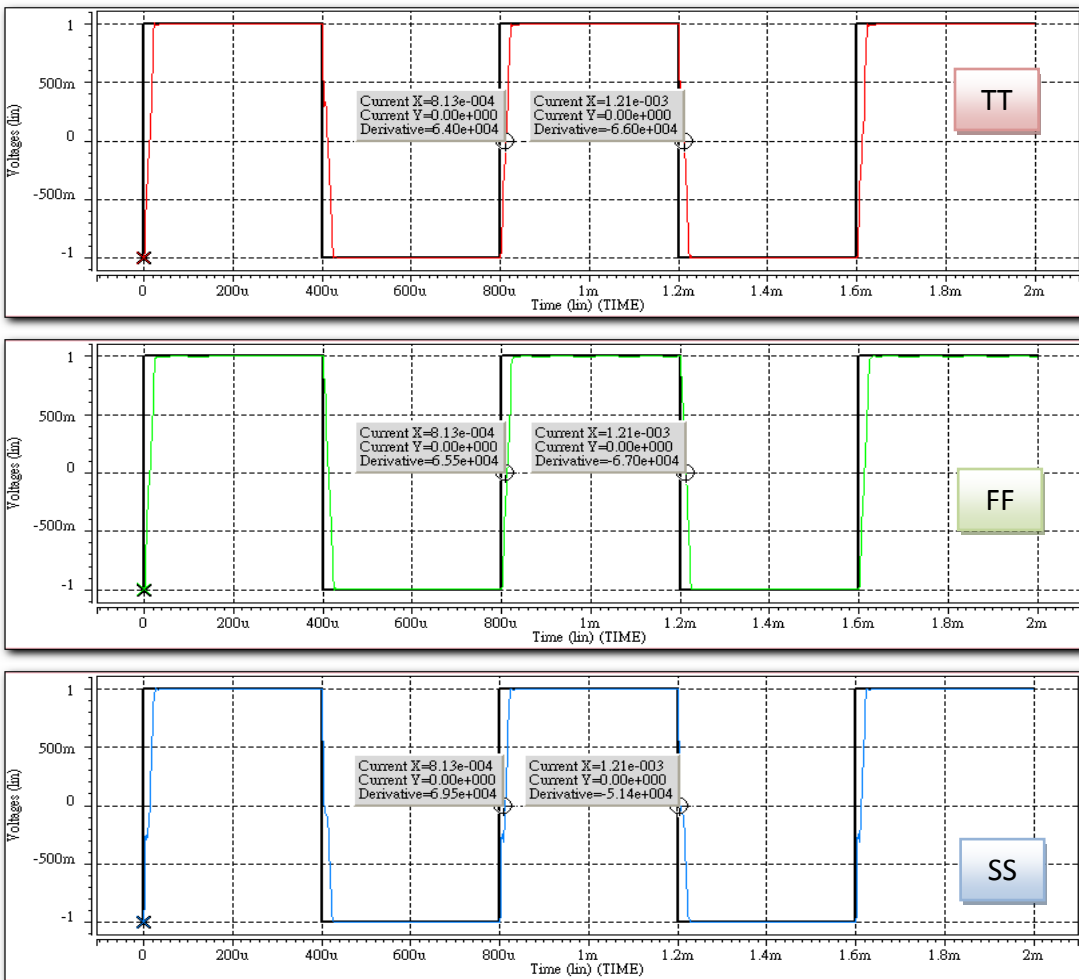
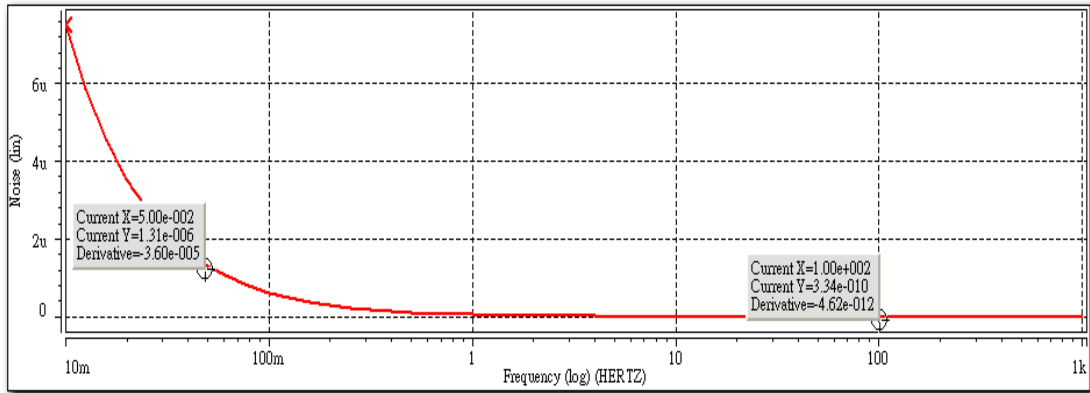
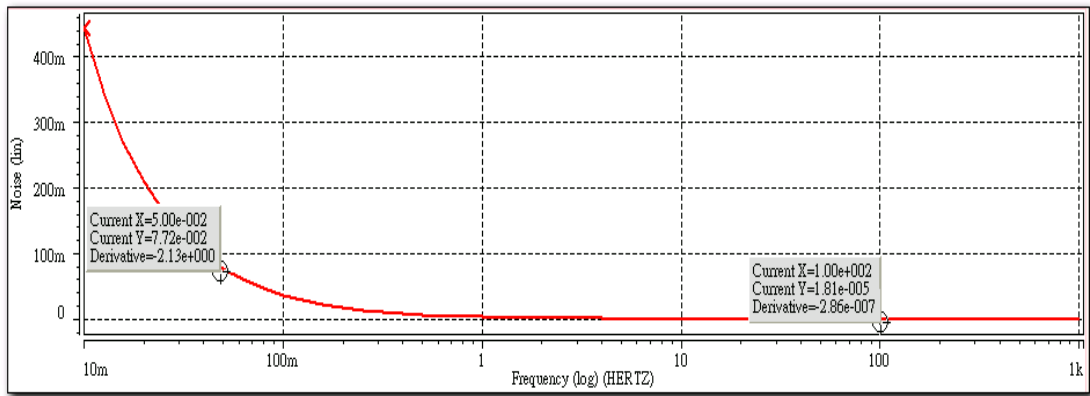


圖 4-26. X6 之延遲率



(a)



(b)

圖 4-27. X6 的雜訊模擬 (a)總等效輸入雜訊 (b)總等效輸出雜訊

4.5 電路模擬結果的討論與比較

表 4-3 各種組合之儀器放大器的模擬結果

$V_{\text{supply}} = 3V$, $R_{\text{load}} = 1M\Omega$, $C_{\text{load}} = 20\text{pf}$, $TA = 25^{\circ}\text{C}$, TT corner

| Type Parameter | X1 | X2 | X3 | X4 | X5 | X6 |
|---------------------------------------|------|------|------|------|------|------|
| DC Gain (dB) | 47.7 | 47.9 | 48.2 | 49 | 48.8 | 47.7 |
| PM (°) | 64 | 65 | 60 | 66 | 55 | 74 |
| GWB (kHz) | 76.5 | 158 | 83.1 | 287 | 133 | 120 |
| CMRR (dB) | 103 | 69 | 93.3 | 117 | 69 | 116 |
| Quiescent Current (μ A) | 25.2 | 27.7 | 30.2 | 32.6 | 30.2 | 27.7 |
| Power (μ W) | 82.5 | 90 | 97 | 104 | 97 | 90 |
| Slew Rate + | 42.8 | 56.1 | 31.0 | 54.1 | 42.8 | 64 |
| Slew Rate - (V/ms) | 53.1 | 47.3 | 30.2 | 50.3 | 42.8 | 66 |
| PSRR + | 180 | 137 | 181 | 179 | 137 | 178 |
| PSRR - (dB) | 166 | 105 | 155 | 158 | 105 | 158 |
| Noise (μ V/ $\sqrt{\text{Hz}}$) | | | | | | |
| @ 0.05 Hz | 1145 | 888 | 523 | 523 | 888 | 1145 |
| @ 100 Hz | 18.3 | 14.2 | 8.4 | 8.4 | 14.2 | 18.3 |

此節中首先討論雜訊模擬結果，在第 4.4 節中的圖 4-7、圖 4-11、圖 4-15、圖 4-19、圖 4-23 及圖 4-27 為 X1~X6 的總等效輸入雜訊及總等效輸出雜訊的模擬圖，對照圖中所標示出的值與表 4-3 中的模擬雜訊結果會發現並不相同，這是因為表 4-3 的雜訊值是由 HSPICE 中的 Netlist 檔所讀取出來，其單位是一般雜訊所使用的單位 $V/\sqrt{\text{Hz}}$ ，然而雜訊模擬圖中所顯示的單位卻是 V^2/Hz ，因此要將表 4-3 的數據及圖中的數據做連結的話，首先必須先將標示在模擬圖中的總等效輸出雜訊值對其開根號，此時得到的是單位為 $V/\sqrt{\text{Hz}}$ 的總等效輸出雜訊值，接著將此值再除以電路的轉移函數(Transfer Function)則可得到表 4-3 中的總等效輸入雜訊模擬結果，單位即為表 4-3 中所標示 $V/\sqrt{\text{Hz}}$ ，而若要與模擬圖中所標示出的總等效輸入雜訊值連結的話，則只需將表 4-3 中的值對其進行平方的動作即可。

接下來將表 4-3 中所列出的 X1~X6 的雜訊數據進行分析與比較，仔細觀察模擬結果的數據可以發現其中 X1、X6 的總等效輸入雜訊值相同，此現象亦發生在 X2、X5 和 X3、X4 之中，對照表 4-2 的配對組合表可以發現 X1、X6 的相同之處是其阻抗匹配部分的 A1、A2 運算放大器皆使用相同的運算放大器，而 A3 則使用不同的運算放大器，因此可以

推論基本差值放大器的部分並不影響雜訊的特性，換句話說，雜訊是由接受輸入訊號端的部分來決定其雜訊特性的優劣；接下來再觀察 X2、X5 這組，雖然它們在接受訊號端的運算放大器 A1、A2 是不同的運算放大器但是它們的雜訊特性表現出一樣的結果，且總等效輸入雜訊優於 X1、X6 這組，由以上這個結果可以推論出即使接受訊號端的運算放大器 A1、A2 使用不同的放大器，甚至將其位置對換，皆不影響其雜訊特性的表現，但是將 X1、X6 和 X2、X5 這兩組進行對照時，可以推論出 A1、A2 皆使用互補式-軌對軌運算放大器的雜訊特性相較於將 A1、A2 其中一顆運算放大器置換成 BJT 輸入對-軌對軌運算放大器的雜訊特性來的差；最後再觀察 X3、X4 這組，其接受訊號端的運算放大器皆使用 BJT 輸入對-軌對軌運算放大器，和其它組相比之下，由表 4-3 中，可以明顯的觀察出其擁有最佳的雜訊特性，換句話說，此模擬結果與理論相符合，使用 BJT 做為輸入級的運算放大器的確能有效為儀器放大器的電路降低雜訊。根據表 4-3 及以上討論分析可以對儀器放大器的雜訊特性做出以下的結論：

- 雜訊特性是由接受輸入訊號端的部分來決定其雜訊的優劣，與其基本差值放大器部分的運算放大器無關。

- 雜訊特性最好至最壞的排序為接受訊號端所使用的 BJT-軌對軌運算放大器的數量來決定：(以下大於的符號表示特性較佳)

A1、A2 皆用 BJT-OP > 其中之一用 BJT-OP > 皆不用 BJT-OP

在本論文中最後要進行討論的是要從表 4-3 中去選出 X1~X6 中最好的儀器放大器設計，換句話說，也就是最符合所需規格的儀器放大器。由於本論文中主要著重的就是改善雜訊的部分，因此從 X1~X6 中先選出 X3 及 X4 兩種儀器放大器，接下來再比較其他特性，由表 4-3 中可以觀察出 X4 儀器放大器的直流增益比 X3 的更準確的接近根據 (4.5) 式所設計的 300 倍，而其相位邊限、單增益頻寬、共模拒斥比及延遲率都優於 X3 儀器放大器，雖然 X4 消耗功率及電流的部分略差於 X3，但差距微小，優劣相比之下，在此總結本論文最後所選出之最佳化的儀器放大器即為阻抗匹配部分的 A1、A2 運算放大器及基本差值放大器部分的 A3 運算放大器全部皆使用 BJT 輸入對-軌對軌差動放大器的 X4 儀器放大器。

第五章 結論

在本篇論文中使用 TSMC 的矽鍺 0.35 微米製程設計低頻、低功率儀器放大器，而主要設計重點在於採用 BiCMOS 架構設計軌對軌差動運算放大器的輸入級來改善 CMOS 架構的雜訊特性。然後將設計完成的兩種軌對軌差動運算放大器使用在儀器放大器結構中，最後經由比較使用這兩種架構的儀器放大器雜訊特性，而得到使用 BiCMOS 架構確實在於雜訊特性方面能夠有效地優於 CMOS 架構之結論。

對照下表 5-1 對參考文獻[14]–[18]的整理，可知本論文所設計的電路對於軌對軌差動運算放大器的電流大小及功率消耗也有確實地降低。因此其它電路架構中，如：ECG(心電圖)儀器…等，需使用到針對改善雜訊、低功率消耗及低頻操作需求的運算放大器，將建議應用此架構提升性能。

| | [14] | [15] | [16] | [17] | [18] | 本論文 |
|--------------------|------|------|------|------|------|-------|
| Supply Voltage (V) | 3 | 3 | 1.15 | 4 | ±10 | ±1.5 |
| 電流 (mA) | 3 | 1.6 | 0.8 | 0.2 | 1.25 | 0.012 |
| 功率 (mW) | 9 | 4.8 | 0.92 | 0.8 | 12.5 | 0.037 |

表 5-1. 參考文獻 OPA 與本論文 BiCMOS OPA 之電流及功率消耗比較

參 考 文 獻

- [1]E. Allen and Douglas R. Holberg , “CMOS Analog Circuit Design” , Second Edition , OXFORD UNIVERSITY PRESS , 2002.
- [2]Razavi , “Design of Analog CMOS Integrated Circuits” , Mc Graw Hill , 2002.
- [3]Johan H. Huijsing , “OPERATIONAL AMPLIFIERS Theory and Design” , KLUWER ACADEMIC PUBLISHERS , 2001.
- [4]Murugavel Raju , “Heart-Rate and EKG Monitor Using the MSP430FG439” , TEXAS INSTRUMENTS Application Report , Publications Number SLAA28A-October 2005-Revised Sep. 2007.
- [5]Xiyao Zhang , “A Design of ECG Amplifier , ECE 525 Project#1” , Sep. 2003.
- [6]DailyCare BioMedical Inc , “[http ://www.dcbiomed.com/material/ECG3CH.pdf](http://www.dcbiomed.com/material/ECG3CH.pdf)” .
- [7]W. Timothy Holman and J. Alvin Connelly , “A Compact Low Noise Operational Amplifier for a 1.2 μm Digital CMOS Technology” , IEEE Journal of Solid State Circuits , VOL.30 , NO. 6 , June 1995.
- [8]JEAN-CLAUDE BERTAILS , “Low-Frequency Noise Considerations for MOS Amplifiers Design” , IEEE Journal of Solid State Circuits , VOL. SC-14 , NO. 4 , pp.773-776 , Aug. 1979.
- [9]Peter R.Kinget , “Device Mismatch and Tradeoffs in the Design of Analog Circuits” , IEEE Journal of Solid State Circuits , VOL. 40 , NO. 6 , June 2005.
- [10]Patrick G.Drennan , “Device Mismatch in Bicos Technologies” , IEEE BCTM 6.1 , 2002.
- [11]Yung-Chih Liang , Meng-Lieh Sheu , Wei Hung Hsu , “A RAIL-TO-RAIL , CONSTANT GAIN CMOS OP-AMP” , The 2004 IEEE Asia-pacific on Circuits and Systems , Dec. 6-9 , 2004.
- [12]Vijay Rentala , Saroj Rout , Edward Lee and Robert J. Weber , “A CONSTANT G_M RAIL-TO-RAIL OPAMP WITH A NOVEL INPUT STAGE FOR BICMOS PROCESS” , IEEE , (I-224)-(I-227) , 2001.

- [13]Minsheng Wang , Terry L. Mayhugh , Jr. , Sherif H. K. Embabi , and Edgar Sanchez-Sinencio , “Constant- g_m Rail-to-Rail CMOS OP-AMP Input Stage with Overlapped Transition Regions” , IEEE Journal of Solid State Circuits , VOL. 34 , NO. 2 , Feb. 1999.
- [14]R.Hogervorst et.al. , “A Compact Power-Efficient 3V CMOS Rail-to-Rail Input/Output Operational Amplifier for VLSI Cell Libraries” , IEEE Journal of Solid State Circuits , SC-29(12) : 1505-1513 , Dec. 1994.
- [15]Juan M.Carrillo , Jose L.Ausim , J. Francisco Duque-Carrillo and Guido Torelli , “Constant- g_m Constant-Slew Rate High-Bandwidth Low-Voltage Rail-to-Rail CMOS Input Stage for VLSI Cell Libraries” , IEEE Journal of Solid State Circuits , VOL. 38 , pp.1364-1372 , Aug. 2003.
- [16]J. Ramirez-Angulo , R. G. Carvajal , J. Tombs and A.Torralba , “Low-Voltage CMOS Op-Amp with Rail-to-Rail Input and Output Signal Swing for Continuous-Time Signal Processing Using Multiple-Input Floating-Gate Transistors” , IEEE Trans. Circuits Syst. II , VOL. 48 , pp.111-116 , Jan. 2001.
- [17]Timothy Wayne Fischer , Aydm Ilker Karsilayan and Edgar Sanchez-Sinencio , “A Rail-to-Rail Amplifier Input Stage With $\pm 0.35\%$ g_m Fluctuation” , IEEE Trans. Circuits Syst. I , VOL. 52 , pp.271-282 , Feb. 2005.
- [18]Vadim Ivanov and Shilong Zhang , “250 MHz CMOS rail-to-rail IO OpAmp: Structural Design Approach” , European Solid State Circuits Conference , pp.183-186 , 2002.
- [19]Franco Fiori and Paolo Stefano Crovetto , “A New Compact Temperature - Compensated CMOS Current Reference” , IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS-II : EXPRESS BRIEFS , VOL. 52 , NO. 11 , November 2005.
- [20]INA326 , INA327 , “ Precision , Rail-to-Rail I/O INSTRUMENTATION AMPLIFIER” , Burr-Brown Products from TEXAS INSTRUMENTS , Publications Number SBOS222D-Nov. 2001-Revised Nov. 2004.