

# Design of a sample-and-hold circuit for high speed CMOS image sensor

CAI Kunming, DING Koubao\*, LUO Hao, HAN Yan

(Institute of Microelectronics and Optoelectronics, Zhejiang University, Hangzhou 310027 China)

**Abstract:** A sample-and-hold circuit utilized in high speed integrator array is designed. In this paper, a new T type switch which can restrain the substrate biasing effect is designed to replace the traditional CMOS transmission gate switch. Thus, the linearity of the switch's turn-on resistance can be assured due to the changes of threshold voltage caused by the substrate biasing effect is limited. Also, this new T type structure can reduce the charge feed through effect under high frequency input, thus, better turn-off isolation characteristic can be achieved. Based on SMIC 0.13  $\mu\text{m}$  Standard CMOS technique, a sample-and-hold circuit applicable to the CMOS image sensor is designed. Spectre simulation results show that the Signal-to-Noise Distortion Ratio and Spurs Free Dynamic Range is 85.5dB and 92.87dB respectively under the Nyquist input frequency, the power consumption is only 32.8mW.

**Keywords:** image sensor; substrate biasing effect attenuated T switch; integrator array; sample-and-hold circuit;

## 一种适用于高速 CMOS 图像传感器中的采样保持电路设计

蔡坤明, 丁扣宝\*, 罗豪, 韩雁

(浙江大学 微电子与光电子研究所, 杭州, 310027)

**摘要:** 设计了一种适用于高速 CMOS 图像传感器中积分器阵列的采样保持电路。在采样保持电路的保持路径中采用一种抑制衬底偏压效应的 T 型开关, 取代传统的 CMOS 传输门开关, 可以抑制衬底偏压效应带来的阈值变化, 保证开关导通电阻的线性度, 同时由于在开关设计中引入了 T 型结构, 减少高速输入下寄生电容引入的信号馈通效应, 可以实现更为优化的关断隔离。基于 SMIC (中芯国际) 0.13  $\mu\text{m}$  标准 CMOS 工艺设计了一个适用于高速采样积分器阵列中的 CMOS 采样保持电路。Cadence Spectre 仿真结果表明在输入信号达到奈奎斯特频率时, 电路信噪失真比 (SINAD) 达到了 85.5dB, 无杂散动态范围 (SFDR) 达到 92.87dB, 而功耗仅为 32.8mW。

**关键词:** 图像传感器; 衬底偏压抑制 T 型开关; 积分器阵列; 采样保持电路

**中图分类号:** TN402

**EEACC 代码:** B10、B60

## 1 引言

积分器阵列作为 CMOS 图像传感器的核心模块, 主要完成模数转换之前的信号处理功能。积分器阵

列由多通道积分器、采样保持电路、时序控制电路和降噪机制<sup>[1]</sup>组成。其中的采样保持电路主要对多通道积分器产生的电压信号进行采样和输出, 其

\*通信作者, email: dingkb@zju.edu.cn

性能高低直接决定了整个系统性能的好坏。随着 CMOS 图像传感器在医疗成像、安全检测和军事侦查等领域的广泛应用，对积分器阵列的性能提出了更高的要求。特别在当今数字信号处理技术不断发展，军事侦查应用不断出现的背景下，出现了高速高精度积分器阵列的需求，这些都给阵列积分器电路的设计带来了新的挑战<sup>[2]</sup>。

采样保持电路作为高速高精度阵列积分器电路中最重要模块之一，它的设计却是困难的，特别是开关这一基本单元的设计。小尺寸的开关带来大的导通电阻和非线性；大尺寸的开关则带来大的寄生电容，影响电路的工作速度。此外，在高频输入下，开关寄生电容的影响会使开关输入与输出发生信号馈通现象。不理想的关断特性带来了保持的误差，同时衬底偏压效应所带来的阈值电压变化也使电路的线性度下降。

已有的关于采样保持电路的研究主要集中在提高采样开关的性能，主要的技术有自举开关的设计、衬底同步采样设计等<sup>[3-4]</sup>。但现有技术并不能很好解决寄生电容引入的信号馈通、衬底偏压效应引起的阈值电压变化等问题。

为解决以上问题，本文提出了一种关断特性良好的高速高精度采样保持电路的设计方法。设计了一种可以抑制衬底偏压效应的 T 型结构开关用于保持阶段的反馈路径中。基于 SMIC（中芯国际）0.13  $\mu\text{m}$  标准 CMOS 工艺设计了一个高速高精度采样保持电路。Spectre 仿真结果表明，本采样保持电路具有很好的线性度和信噪失真比，能满足高性能 CMOS 图像传感器对采样保持电路的要求。

## 2 采样保持电路的设计

### 2.1 电路拓扑结构

采样保持电路主要有两种拓扑结构：电荷重分配型和电容翻转型<sup>[5]</sup>。电荷重分配型可以处理较大的输入共模变化，但其反馈系数小、对运放带宽要求高、占用面积大等缺点使得它的应用一直受限。本文采用电容翻转型架构，如图 1 所示，它在功耗和噪声性能方面具有很大优势， $\Phi 1$ 、 $\Phi 2$  是两相不交叠时钟， $\Phi 1p$  是与  $\Phi 1$  同步但提前关断的时钟信号。当  $\Phi 1$  信号有效时，电路处于采样状态，输入差分信号被采样到电容  $C$  上， $\Phi 1$  关断前， $\Phi 1p$  提前关断，使得电容  $C$  不再有电荷泄放的直流通路，因此不会有来自采样开关的电荷注入和时钟馈通到采样电容。当  $\Phi 2$  信号有效时，电容  $C$  发生翻转，其底极板接到运放的输出端，电路处于保持状态，由于电荷守恒，运放的输出端将保持  $\Phi 1$  相断开前的电压值。在两相不交叠时钟下，电路完成了采样保持的功能。

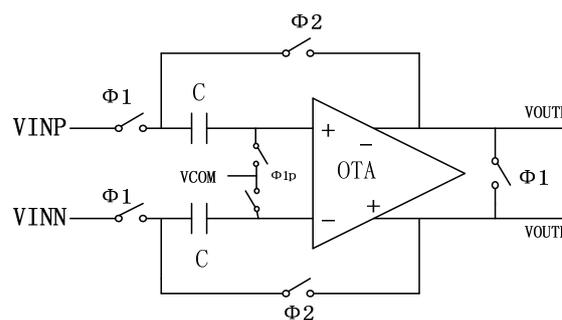


图 1 电容翻转型采样保持电路

对于  $\Phi 1$  所对应的采样开关，在采样相时，其可以等效为一个阻抗为  $R_{on}$  的电阻。在设计中，开关导通阻抗的非线性在很大程度上影响着开关的线性特性，特别是对无杂散动态范围的影响<sup>[6]</sup>。忽略衬偏效应，开关电阻  $R_{on}$  可表示为：

$$R_{on} \approx \frac{1}{\mu C_{ox} \frac{W}{L} (V_g - V_{in} - V_{TH})} \quad (1)$$

显然， $R_{on}$  是一个与输入信号  $V_{in}$  相关的非线性电阻，这会在输出信号中引入谐波失真，影响电路的动态特性<sup>[7]</sup>。因此，对于采样开关，一般采用自举开关，其导通电阻与输入信号无关，因而可以实现更好的动态特性。

通过以上分析可知，输入采样开关的设计可以采用具有恒定栅源电压的自举开关和利用一相提前关断的开关来减少电路的非线性、电荷注入和时钟馈通效应。而对电容翻转后，电路的保持过程，在传统的设计中往往只采用普通的 CMOS 传输门作为保持路径的开关<sup>[8]</sup>。下面分析采用传统的设计方法所带来的问题。

图 1 中， $\Phi_2$  所对应的保持开关若采用 CMOS 传输门来实现，其在高频下的等效模型可以由图 2 来表示。

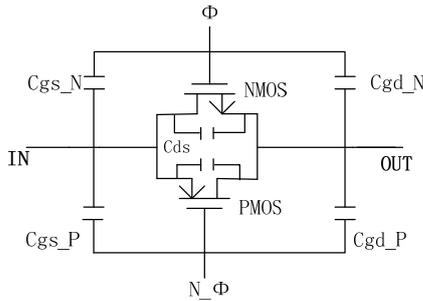


图 2 CMOS 传输门寄生电容模型

当传输门闭合时，输入与输出相连，传输门开关中存储一定的电荷以形成沟道。当开关断开时，一方面沟道电荷的泄放和时钟馈通效应将在输出端叠加一个误差信号。另一方面，虽然开关断开，但在高频输入信号下，传输门的寄生电容  $C_{gs}$ 、 $C_{gd}$ 、 $C_{ds}$  由于串联相连，形成了交流小信号通道，引入

的馈通电荷也影响电路的输出保持。再考虑衬底偏压效应，当 CMOS 传输门传输高电平时，nMOS 管的衬底和源极均为地电位，但随着电压的传输，输出电压不断抬高，源电位不断升高，在衬底和源之间就形成了偏置电压，最大可达  $V_{DD}$ 。这个衬底偏压将使 nMOS 的阈值电压升高，从而使导通电阻改变，影响电路的线性性能，甚至可能会因阈值损失而直接影响到输出信号的幅度。

在不考虑衬底偏压影响时，阈值电压可表为<sup>[9]</sup>：

$$V_{Th0} = \Phi_{ms} + 2\Phi_F + \frac{Q_{dep}}{C_{ox}} \quad (2)$$

其中，

$\Phi_{ms}$  为多晶硅和衬底的功函数之差的电压值

$$\Phi_F = (kT/q) \ln(N_{sub}/n_i) \quad (3)$$

$Q_{dep}$  为耗尽层电荷  $C_{ox}$  单位面积的栅氧化层电容。

考虑衬底偏压效应后，阈值电压为：

$$V_{Th} = V_{Th0} + \gamma(\sqrt{|2\Phi_F + V_{SB}|} - \sqrt{|2\Phi_F|}) \quad (4)$$

其中  $\gamma = \sqrt{2q\epsilon_{si}N_{SB}/C_{ox}}$ ，称为体效应系数，一

般介于  $0.3V^{1/2}$  和  $0.4V^{1/2}$  之间。

衬底与源极的电压差将影响 MOS 管的阈值，进而影响电路的线性度。

由上分析可知，在高速高精度的采样保持电路设计中，对于保持支路，传统的 CMOS 传输门开关不能解决高频输入下电荷馈通效应和阈值电压变化的影响，从而使电路的线性度下降，信噪比降低。

## 2.2 保持开关设计

为解决以上两个问题，重新设计了用于保持支路的开关。如图 3 所示。

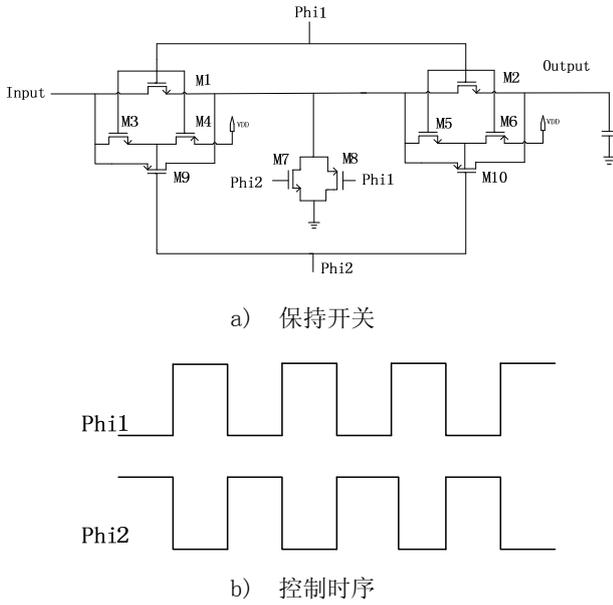


图 3 保持开关及控制时序

Phi1、Phi2 是两相不交叠时钟，M1 与 M9，M2 与 M10，M7 与 M8 分别构成了三个 CMOS 传输门 T1、T2、T3。其中，T1、T2 在同相时钟信号作用下工作，T3 的工作时序与 T1、T2 相反。M3~M6 构成了抑制衬底偏压效应的结构。

设计的保持开关工作原理如下：

当 Phi1=1、Phi2=0 时，T1、T2 闭合，T3 关断，输入信号通过开关 T1、T2 传送至输出端。设 T1 与 T2 的宽长比相同，认为它们的阻值一样，设为  $R_{on}$ 。则  $2R_{on}$  与负载电容 C 构成了滤波器。在设计中为使开关电路足够快，滤波器的时间常数必须小于系统要求的工作时间，即：

$$2R_{on} \cdot C < \frac{1}{f_u} \quad (4)$$

$f_u$  为系统的工作频率，在本设计中是 100MHz。根据负载的大小，在设计中可以选择合适的开关宽长比以满足系统要求。由于采用的是 N 阱 CMOS 工艺，

pMOS 管的衬底偏压效应最为严重。可以通过独立的 N 阱，针对 pMOS 管进行抑制衬偏效应的设计。T1 管的工作机理是这样的：

pMOS 管 M9 是单独制作在一个 N 阱里，且该阱不接电源电压而通过另一 nMOS 管 M3 接到开关管 T1 的输入端，成为输入自偏置的工作方式。当输入信号增大时，M9 的衬底偏压也随之升高，使衬底电位与输出电位可以同步变化，保持固定偏压。反之亦然。同时，由于有 M4 管，当传输门 T1 截止时，M4 导通，将衬底接到电源电压，不使 pMOS 管 M9 衬底浮置，并且可以防止干扰并增加模拟开关的关断电阻。

当 Phi1=0，Phi2=1 时，T1、T2 关断，T3 闭合。若无 T3，如图 4 所示，T1 与 T2 间的栅源、栅漏、源漏寄生电容将使输入信号馈通到输出端。特别是在高频输入信号下，这种影响更不能忽视。而在本设计中，由于采用了 T3 管提供了交流小信号到地的

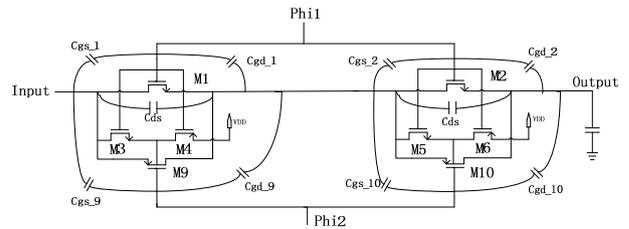


图 4 含寄生电容的保持开关模型

的通路，输入馈通信号将通过 T3 旁路到地，避免了输入信号耦合到输出造成的误差。从而实现了更为精确的保持功能。

### 2.3 运放的设计

利用增益增强技术<sup>[10]</sup>，设计的增益增强型套筒式运算放大器如图 5 所示。电路由三部分构成：主运放、辅助运放、共模反馈电路。主运放是套筒式架构<sup>[8]</sup>，可以达到很高的带宽；辅助运放不需要有

大的摆幅，采用折叠共源共栅架构；共模反馈电路用来稳定电路的输出，由开关电容共模反馈电路和连续时间共模反馈电路组成<sup>[11]</sup>。

对于精度为 12bit 的采样保持电路来说，要求运放的建立误差  $V_{error}$  小于  $LSB/2$ 。其中：

$$V_{error} = V_{in} - V_{out} = V_{in} - AV_{in} = V_{in}(1-A) \quad (5)$$

$$LSB/2 = V_{in} / 2^{N+1} \quad (6)$$

由式 2, 3 可得， $A > 8192$ ，即 78.26dB。

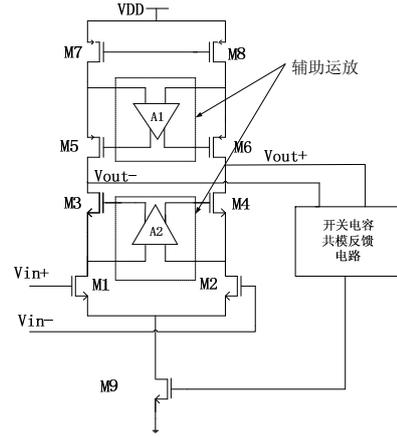
运放有限的建立时间也将造成系统建立的误差。对于输入信号频率为 100MHz 的采样保持电路，要求运放在半个时钟周期内 ( $t=5ns$ ) 建立到所需要的精度。在简单的单极点阶跃响应中，运放的输出为：

$$V_{out} = V_{ideal}(1 - e^{-\frac{t}{\tau}}) \quad (7)$$

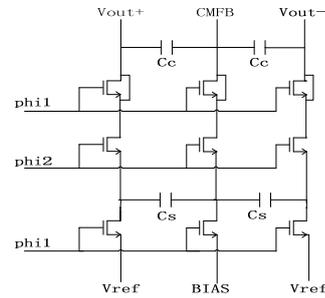
其中， $V_{ideal}$  是运放理想的输出。建立误差小于  $LSB/2$ ，有：

$$e^{-\frac{t}{\tau}} < \frac{1}{2^{N+1}} \quad (8)$$

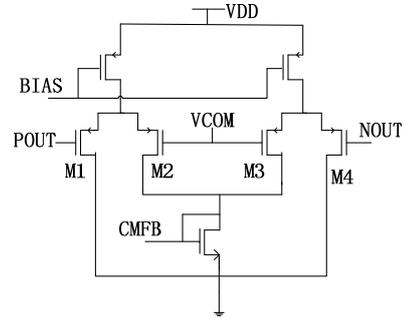
根据式 (8)，可以求得运放的单位增益带宽应大于 358MHz。若综合考虑时钟馈通、电荷注入、工艺误差等非理想因素，应当放宽对指标的要求<sup>[12]</sup>。因此本文的设计目标是增益大于 90dB，带宽大于 500MHz。



a) 增益增强型套筒式运放



b) 开关电容共模反馈电路



c) 连续时间共模反馈电路

图 5 增益增强型套筒式运放及共模反馈电路

### 3 电路仿真与对比

在 SMIC 0.13  $\mu m$  标准 CMOS 工艺下对采样保持电路进行了瞬态仿真和 FFT 变换。表 1 为增益增强型运放在各个工艺角下仿真的情况。

在电源电压 3.3V，输入信号频率 20MHz，采样时钟 100MHz 时的瞬态仿真波形如图 6 所示。图 7 为输入信号频率为 49.85MHz (奈奎斯特频率) 时进

行 2048 点 FFT 分析的频谱图。由频谱图可知，电路的 SINAD 为 85.5dB, SFDR 达到 92.87dB, 具有很高的信噪失真比和动态范围。而功耗仅为 32.8mW。

图 8 为采用抑制衬底偏压效应 T 型开关与普通 CMOS 传输门开关, 在不同输入信号频率下, 信噪失真比和动态范围的比较。由比较可知, 作为衡量采样保持电路性能高低的主要动态指标: 信噪失真比、无杂散动态范围, 采用本设计的高速高精度采样保持电路具有更好的性能, 完全可以满足高速高精度应用场合对 CMOS 图像传感器的要求。

表 1 运放在不同工艺角下的仿真结果

工艺角	增益 (dB)	单位增益带宽 (Hz)	相位裕度 (°)	建立时间 (nS)
TT	105.8	983.6M	53	4
FF	99.8	1.06G	54	3.37
SS	110.4	935.7M	54	4.9

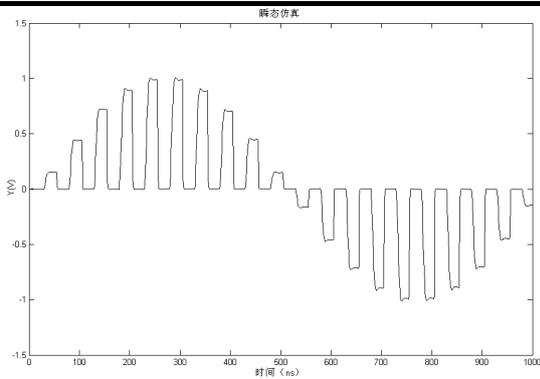


图 6 采样保持电路瞬态仿真

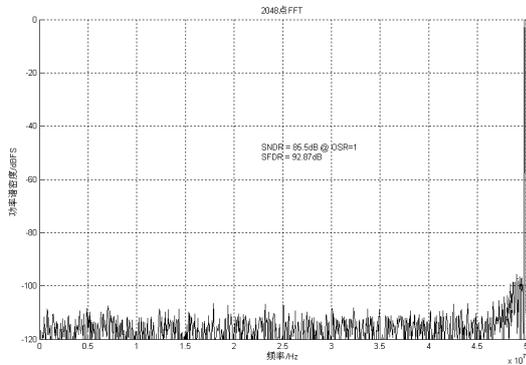


图 7 输入奈奎斯特频率时 2048 点 FFT 分析频谱图

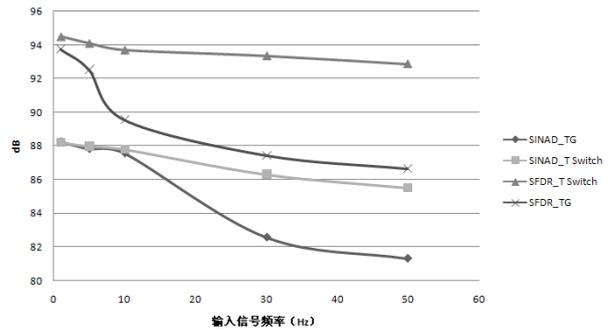


图 8 不同输入信号频率下两种采样保持电路的性能比较

## 4 结论

本文基于 SMIC0.13  $\mu\text{m}$  标准 CMOS 工艺设计了采样保持电路。通过一种既可以抑制衬底偏压效应又可以减少高频输入下信号馈通的保持开关的设计实现了采样保持电路更好的线性度和信噪比。仿真结果表明, 该高性能采样保持电路可以用于高精度高速应用的场合的 CMOS 图像传感器的设计中。

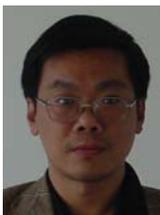
### 参考文献:

- [1] 田里, 姚素英, 周津. CMOS 图像传感器的自适应降噪方法研究[J]. 传感技术学报, 2008, 21 (9): 1561-1565.
- [2] 侯舒志, 姚素英, 周津等. CMOS 图像传感器时序控制方法研究与实现[J]. 固体电子学研究与进展, 2007, 27 (1): 119-122.
- [3] Yang W, Dan K, Iuri M, et al, A 3-V 340-mW 14-b 75-Msample/s CMOS ADC with 85-dB SFDR at nyquist input [J]. IEEE Journal of Solid-State circuits, 2001,36(12):1931-1936.
- [4] Park J B, Yoo S M, Kim S W, et al, A 10-b 150-Msample/s 1.8-V 123-mW CMOS A/D converter with 400-MHz input bandwidth [J]. IEEE Journal of Solid-State circuits, 2004,39(8):1335-1340
- [5] Waltari M, Halonen K, A 220-Msample/s CMOS sample-and-hold circuit using double-sampling [J]. Analog Integrated Circuits and Signal Processing, 1999, 18:21.
- [6] Germano Nicollini, Pierangelo Confalonieri, Daniel Senderowicz, A Fully Differential Sample-and-Hold Circuit for High-Speed Applications[J]. IEEE Journal of Solid-State Circuits, 1989, 24(5):1461-1465
- [7] 潘星, 王永禄, 斐金亮. 一种高性能采样/保持电

- 路的设计[J].微电子学, 2008, 38 (3): 442-444.
- [8]杨斌, 殷秀梅, 杨花中.一种高速高精度采样/保持电路[J].半导体学报, 2007, 28 (10): 1642-1644
- [9] Behzad Razavi. Design of Analog CMOS Integrated Circuits[M]. Mc Graw Hill Education,2001,ch2.
- [10] Imran Ahmed, David A. Johns. A High Bandwidth Power Scalable Sub-Sampling 10-Bit Pipelined ADC with Embedded Sample and Hold [J].IEEE Journal of Solid-State Circuits, VOL. 43, NO.7, July 2008
- [11] S.Chatterjee and P.Kinget. A 0.5V 1-MSps track-and-hold circuit with 60-dB SNDR [J]. IEEE Journal of Solid-State Circuits, 2007;41(4):722-729
- [12] Francesco Centurelli,Pietro MonsurrÒ, Salvatore Pennisi, Giuseppe Scotti and Alessandro Trifiletti. Design Solutions for Sample-and-Hold Circuits in CMOS Nanometer Technologies [T]. IEEE Transactions on Circuits and Systems-II: Express briefs,VOL.56, NO.6, June 2009.



蔡坤明 (1985-), 男, 硕士研究生,  
研究方向为模拟集成电路设计,  
[kunmingcai@126.com](mailto:kunmingcai@126.com)



丁扣宝 (1965-), 男, 副教授, 研究  
方向为半导体器件物理、集成电路  
设计, [dingkb@zju.edu.cn](mailto:dingkb@zju.edu.cn)