

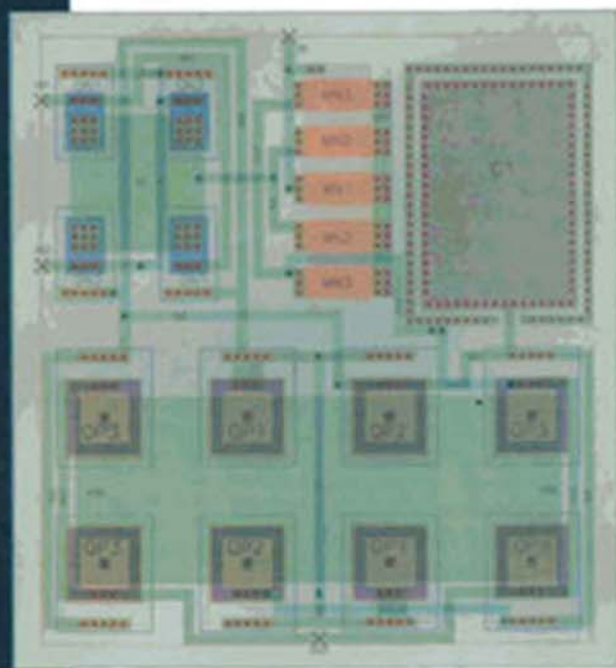
国外大学优秀教材 —— 微电子类系列 (影印版)

Alan Hastings

模拟电路版图的艺术

The Art of

ANALOG LAYOUT



Alan Hastings



清华大学出版社

前言

The art of Analog Layout 是一本非常不错 *EDA* 方面的书。尤其对版图设计者来说是一本难得的好书。由于国内没有这本书的中文版，英文版看起来又比较累。我自己出于学习的目的翻译这本书。其中难免有一些错误，只能是我自己能力有限。希望放在网上和网上的朋友交流一下。用来提高自己的知识水平。

我自己只是一个版图设计的初学者，虽然也成功地画过版图，也首次投片成功。但是还是觉得自己的水平太低。希望能学到多的知识。自从看到这本书后，就静下心来对此书进行翻译。首先声明，我自己的英语水平有限，自己又是理工科出身，文中的翻译难免措辞不准，希望能得到大家的帮助。

有问题的话可 *E-mail* 给我。 Nathan5135@126.com

注：请勿用于商业目的，仅供学习研究使用！

Flatman 中国西安
2005-12-15

1 器件物理

在 1960 年以前，大部分电路是依靠真空管进行放大和整流的关键任务。一个大量生产的普通调幅(AM)收音机需要 5 个真空管，而一台彩色电视机则需要多达 20 个真空管。真空管又大又易碎，而且价格昂贵。它们要消耗很多热，而且也不稳定。只要电子学还依靠它们的话，使用它们那几乎不可能来构建系统所需的成千上万的有源器件。

1947 年双极结型晶体的出现标志着使用电晶体革命的开始。这些新的器件又小又便宜，而且结实且稳定。使用电晶体的电路使得便携式晶体管收音机、助听器、石英手表、按键式电话、CD 播放器和个人电脑的发展成为可能。

使用电晶体的器件是由表面有掺入杂质的区域的晶体组成的。这些杂质改变了晶体的电气特性，允许晶体放大或者调制电信号。需要有一个器件物理的应用知识来解释这些是怎么发生的。本章不仅覆盖了基本的器件物理，而且也覆盖了 3 个最重要的使用电晶体的器件的运作：结型二极管、双极晶体管和场效应晶体管。第二章将对如何制造这些器件和别的器件的制造工艺作一个描述。

1.1 半导体

本书内封面画了一个长形状的周期表。元素按照相同性质编组排列而形成行和列。周期表最左手边元素被称为金属(*metals*)，而最右边的那些元素称为非金属(*nonmetals*)。金属通常是热和电的良导体。它们也有可延展性并且显示出特有的金属光泽。非金属是热和电的不良导体，并且它们这些固体易碎也缺少金属光泽。在周期表中间部分一些少量的元素，例如硅(*silicon*)和锗(*germanium*)，它们的电气特性介于这些金属和非金属之间。这些元素称之为半导体(*semiconductors*)。金属、半导体和非金属之间的不同是由它们各自原子的电子结构决定的。

每一个原子都是由被大量电子包围的带正电的原子核(*nucleus*)组成。电子的数量等于原子核中质子(*protons*)的数量，它也等于该元素的原子数。因为碳(*carbon*)的原子数是 6，所以它的原子有 6 个电子。这些电子占据一系列的有点类似于洋葱的层的层(*shells*)。随着电子的增添，这些层将按顺序从最里面的向外填充。最外面的层或者原子价(*valence*)层可以不填充。占据最外层的电子称为价电子(*valence electrons*)。元素价电子的个数决定着它的大部分化学特性和电特性。

周期表的每一行就对应着一层的填充状况。在最左边每一行元素都有一个价电子。然而最右边元素的价电子层则被填满。填充了价电子层的原子拥有一个特别受欢迎的结构。而没有填充价电子层的原子则进行交换或者共享电子来使每一个原子都有一个填满的价电子层。静电吸引在那些进行交换或者共享电子的原子之间形成化学键(*chemical bond*)。根据填充价电子层的不同方法，三种类型键的任一种都会出现。

金属键(*metallic bonding*)出现在金属元素的原子之间，比如钠(*sodium*)。假设有一群距离非常近的钠原子，每一个钠原子都有一个围绕填满的内层而运行的价电子。想象一下所有的钠原子都丢掉它们的价电子。这些被丢弃的价电子仍然被带正电的钠原子吸引，因为现在每一个原子都有一个填满的价电子层，没有原子会接纳它们。图 1.1A 描述了一个纳晶体简图。静电力使得钠原子维持一个规则的晶格。被丢弃的价电子在这种晶格里自由移动。由于大量自由电子的存在，所以钠金属是一个非常优秀的导体(一些金属是用空穴而不是电子来导电的，但本书中的结论仍旧可以应用)。这些电子同样也是造成这种元素有金属光泽和高导热性的原因。其它金属也有这些类似的晶体结构，它们都是靠自由价电子和带正电的原子核晶格之间的金属键保持在一起的。

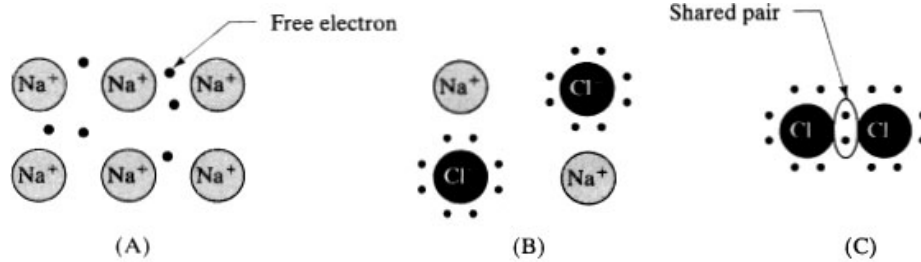


图 1.1 不同化学键简图：钠晶体的金属键 (A)，氯化钠的离子键 (B)，和氯分子的共价键 (C)

离子键(ionic bonding)发生在金属和非金属原子之间。假设一个钠原子和一个氯原子距离非常近。钠原子有一个价电子，然而氯(chlorine)原子缺一个电子就能填满价电子层。钠原子会捐献它的一个电子给氯原子，并且通过这种方法两个原子都能达到最外层填满。捐献结束以后，钠原子将有一个获得的正电荷，氯原子也将获得一个负电荷。这两个带电原子(或者叫离子)将相互吸引。因此固态氯化钠(sodium chloride)是由钠离子和氯离子排列成规则的晶格所组成，形成一个晶体(图1.1B)。晶状的氯化钠导电性很差，因为它的所有电子都被束缚在不同原子的层中。

共价键(covalent bonding)发生在非金属原子之间。设想两个氯原子距离非常近。每一个原子都有7个价电子，然而每一个原子的价电子层填满都需要8个电子。假定这两个原子每一个都贡献出一个价电子来形成一个公共电子对。现在每一个氯原子都声称自己有8个价电子：6个是自己的，再加上2个共享电子。这两个氯原子连在一起通过使用共享电子对而形成分子(图1.1C)。共享电子对形成一个共价键。自由电子的缺乏可以解释为什么非金属元素不导电而且没有金属光泽。许多非金属在室温下是气体，因为这些电中性的分子不能相互吸引，因此也不会凝结形成液体或者固体。

半导体原子也能形成共价键。设想硅原子，一个典型的半导体。每一个硅原子有4个价电子并且还需要4个价电子来填满它的价电子层。理论上，两个硅原子将试图共享它们的价电子来填满它们的价电子层。但实际上这种现象不会出现，因为8个电子紧密地结合在一起相互之间会有强烈的排斥。相反，每一个硅原子和它周围的4个硅原子共享一个电子对。通过这种方法，价电子将分散到4个不同的位置，并且它们之间的排斥也会降到最低。

图1.2显示了一个硅晶体简图。每一个小圆圈代表一个硅原子。两个小圆圈之间的每一根线代表一个由一个共享电子对组成的共价键。每一个硅原子有8个电子(4个共享电子对)，所以所有的原子都有一个填满的价电子层。这些原子连接在一起，靠它们之间的共价键形成分子网络。这些无边际的格子代表硅晶体结构。整个晶体就是一个分子，因为晶状的硅又坚固又硬，并且它在非常高的温度下才能熔化。硅通常导电性很差，因为它的价电子都被用来形成晶格。

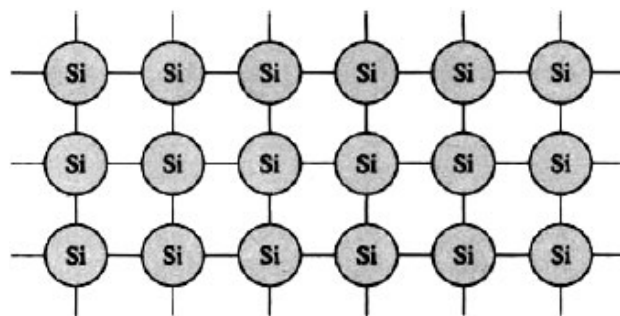


图 1.2 硅晶格二维简图

理论上使用任何IV族元素都能形成类似的大分子晶体。包括碳(carbon)、硅(silicon)、锗(germanium)、锡(tin)和铅(lead)。金刚石形式的碳，它具有IV族任何元素中最强的键。金刚

石晶体的强度和硬度是出了名的。硅和锗有稍微微弱的键，这是由于填满的内部层部分屏蔽了来自原子核的价电子的缘故。锡和铅由于许多的内部层所以也有虚弱的键；典型的它们形成金属键晶体而不是共价键的大分子晶体。在IV族元素中仅仅只有硅和锗有中间强度的键。这两个作为真正的半导体，然而碳是非金属，并且锡和铅都是金属。

1.1.1 产生和复合

IV族元素的导电性随着原子数而增加。金刚石形式的碳是真正的绝缘体。硅和锗有很高的导电性，但是与锡和铅这些金属元素比较就差的多。因为它们介于中间的导电性，所以硅和锗被认为是半导体。

导电暗示着自由电子的存在。至少有一些半导体的价电子必须由于某些原因逃离晶格来形成导电。实验的确检测到在纯硅和纯锗中有小量的可测量的自由电子浓度存在。这些自由电子的存在暗示着一些机制提供了所需的能量打破了共价键。热力学统计原理认为这个能量来自搅乱晶格的随机热运动。即使一个电子的平均热能量相对很小(小于0.1电子伏特)，这些能量随机分布，并且一些电子拥有很大的能量。这些需要来释放晶格价电子的能量称之为带隙能量(*bandgap energy*)。带隙能量大的物质拥有强的共价键，因此包含很少的自由电子。带隙能量小的物质包含更多的自由电子，并且拥有相应高的导电性(表 1.1)。

Element	Atomic Number	Melting Point, °C	Electrical Conductivity (Ωcm) ⁻¹	Bandgap Energy, eV
Carbon (diamond)	6	3550	$\sim 10^{-16}$	5.2
Silicon	14	1410	$4 \cdot 10^{-6}$	1.1
Germanium	32	937	0.02	0.7
White Tin	50	232	$9 \cdot 10^4$	0.1

IV族元素一些特性

无论什么时候有电子离出晶格将会出现一个空位。过去拥有填满最外层的原子现在将失去一个价电子，因此变得带正电。这种情况在图 1.3 作了简单描述。如果电离的原子获得一个来自邻近原子的电子，它会再次获得一个填满的最外层。这是很容易完成的，因为它仍然和邻近的 3 个原子共享电子。这个电子空位不会消失；它只不过是移动到邻近的原子。当这个空位从一个原子到一个原子进行传递，它好像在通过晶格迁移。这个移动的电子空位称之为空穴(*hole*)。

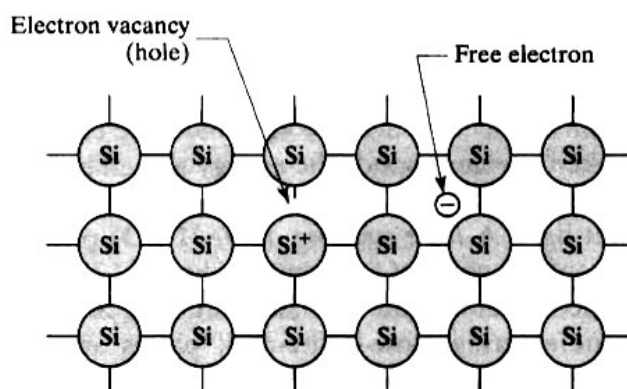


图 1.3 本征硅中的热运动简图

假定通过晶体加一电场。那么带负电荷的自由电子将朝晶体正的一端移动。空穴好像也是带正电的粒子朝晶体负的一端移动。空穴的移动和水中气泡作比较，就好像气泡是一个没有水存在的地方，而空穴是没有价电子的地方。气泡朝上运动是因为包围它们的液体朝

下运动。而空穴朝晶体负的一端运动是因为周围的电子朝晶体正的一端移动。

空穴通常被看作好像它们也是实际的亚原子粒子一样。空穴朝晶体负的一端移动可以解释为空穴是带正电的。同样地，它们通过晶体的移动速度被一个叫做迁移率(*mobility*)的量来测量。空穴的迁移率比电子低；在衬底(*bulk*)硅上空穴迁移率的典型值是 $480\text{cm}^2/\text{V}\cdot\text{sec}$ ，电子的迁移率典型值是 $1350\text{cm}^2/\text{V}\cdot\text{sec}$ 。空穴低的迁移率使得它们有很低的电荷载流子。因此一个器件的性能取决于是否它工作时包含空穴还是电子。

无论什么时候有价电子离开晶格就会有电子和空穴产生。这两种粒子是带电的，并且它们在电场的影响下移动。电子朝正电位移动，将产生电子电流。空穴朝负电位移动，也将产生空穴电流。总的电流等于电子电流和空穴电流之和。因为它们传输电荷的作用所以空穴和电子都叫做载流子(*carriers*)。

因为晶格中转移一个价电子的同时会出现一个空穴，所以载流子总是成对产生。无论什么时候晶格获得能量就会产生电子空穴对。热振荡能产生载流子，光、核辐射、电子轰击、快速加热、机械摩擦和其它别的方法都能产生载流子。举例来说，波长足够短的光就能产生电子空穴对。当一个晶格原子吸收一个光子，则产生的能量将能打破共价键而产生自由电子和自由空穴。只有当光子有足够的能量打破共价键时，这种光学作用才会产生，这就要求这种光的波长非常短。可见光有足够的能量在很多半导体上产生电子空穴对。太阳能电池就是使用这种现象将光转换成电流。光电池和固使用晶体的摄像检测器也使用这种光学原理。

正像载流子是成对产生一样，它们也是成对的复合。载流子复合的真正机制和半导体的性质有关。在直接带隙半导体(*direct-bandgap semiconductor*)里这种复合尤为简单。当一个电子和一个空穴发生碰撞，这个电子就会掉入这个空穴里从而修补了这个破坏的共价键。电子获得的能量将以光子的形式辐射出去(图 1.4A)。当有适当的激励，直接带隙半导体也能发光。发光二极管(*light-emitting diode*)(*LED*)能通过电子和空穴的复合产生光。发光二极管的发光颜色和制造它的半导体带隙能量有关。同样地，用于制造夜光(*glow-in-the-dark*)画和塑料的所谓的荧光体(*phosphors*)中也包含直接带隙半导体材料。无论什么时候荧光体遇到光线，就会有电子空穴对产生。大量的电子和空穴逐渐地在荧光体中积累。这些载流子缓慢的复合将引起光的发射。

硅和锗是间接带隙半导体(*indirect-bandgap semiconductors*)。在这些半导体中，空穴和电子的碰撞不会引起两种载流子的重新结合。电子可能即刻掉入空穴，但是量子力学补偿(*quantum mechanical consideration*)会阻止光的产生。因为电子不能释放出过多的能量，所以它很快就被从晶格中逐出，并且电子空穴对再次形成。在间接带隙半导体这种情况下，重新复合仅仅发生在晶格的特有的位置，这个位置称之为陷阱(*traps*)。在这个地方是有缺陷或者是外来的原子扭曲的晶格(图 1.4B)。一个陷阱能立刻捕获一个通过它的载流子。这个捕获的载流子将变得很容易复合，因为陷阱能吸收被释放的能量。

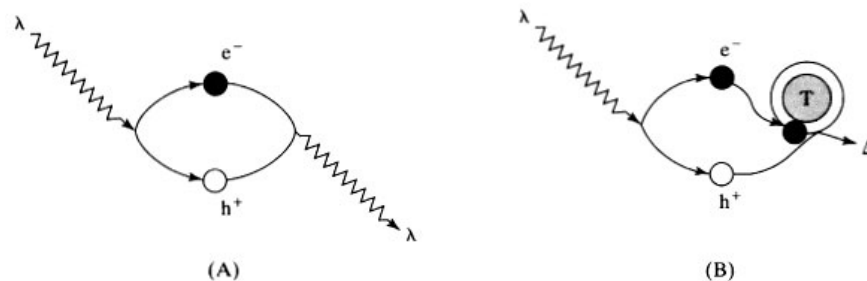


图 1.4 复合过程原理图 (A)直接复合，一个光子 λ 产生一个空穴 h^+ 和一个电子 e^- ，它们碰撞重新产生一个光子 (B)间接复合，一个载流子被一个陷阱 T 捕获，在陷阱出发生复合，并放射出热， Δ

帮助载流子重新复合的陷阱称之为复合中心(*recombination centers*)。半导体中包含的复

合中心越多,载流子产生和重新复合之间所需的平均时间就越短。这个量被称之为载流子寿命(*carrier lifetime*)。它限制了半导体器件开关速度。有时复合中心也被故意引入一些半导体来增加开关速度。金原子在硅里能形成高效的复合中心,所以使用硅作的高速二极管和晶体管有时也会添加少量的金。金不是唯一形成复合中心的物质。许多过渡金属,比如铁(*iron*)和镍(*nickel*)(*如果不需要金那么有效的话*)也有相似的效果。一些有缺陷的晶体也能作为复合中心。使用晶体的器件必须使用极度纯净的单晶体材料制作,目的是确保有一致的电气特性。

1.1.2. 非本征半导体(杂质半导体)(*Extrinsic Semiconductors*)

半导体的电导率与它们的纯净度有关。绝对纯净的,或者本征的(*intrinsic*)半导体它们的电导率很低,这是由于它们仅仅包含很少的热运动产生的载流子。某些杂质的引入可以大大增加可用载流子的数量。这些掺杂的,或者非本征的半导体的电导率和金属的电导率接近。轻掺杂的半导体是包含每十亿中有一小部分的掺杂物。就连重掺杂的半导体中包含每百万中有几百的掺杂物,这是由于杂质在硅中有限的固体溶解度。半导体对杂质的存在是极其敏感的,使得它近乎不可能来制造本征半导体。因此,实际的半导体器件制造几乎专门由非本征材料制成的。

掺杂磷的硅是非本征半导体的一个例子。假设将一少量的磷加入到硅晶体中。磷原子将被并入到原本硅原子占有的晶格位置中(图 1.5)。磷是 V 族元素,它有 5 个价电子。磷原子和它邻近的 4 个硅原子共享其中的 4 个电子。这 4 个结合的电子对使得磷原子总共有 8 个共享电子。这些电子中,加上一个没有共享的电子,使得总共有 9 个价电子。因为填满价电子层只需要 8 个电子,没有位置来容纳第 9 个电子。所以这个电子从磷原子中除去,并且自由的游荡在晶格中。硅晶格中每引入一个磷原子就会产生一个自由电子。

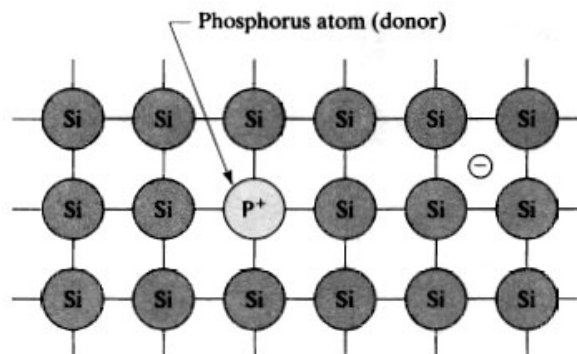


图 1.5 掺杂磷的硅晶体结构简图

磷原子丢失第 9 个电子后将带正电。尽管这个原子是电离的,但它不会形成一个空穴。空穴是原子价电子层失去电子而留下的电子空位。磷原子有一个填满的价电子层,尽管它带正电。因此电离的磷原子带的电荷不能移动。

其它 V 族元素也有和磷一样的特性。一个 V 族元素中的每一个原子被加入到晶格中都会产生一个而外的自由电子。以这种方式给半导体捐出电子的元素称之为施主(*donors*)。砷(*arsenic*)、锑(*antimony*)和磷(*phosphorus*)都被使用在半导体制造中作为硅的施主。

掺杂大量施主元素的半导体有电子作为载流子的优势。虽然有热运动产生的空穴存在,但是它们的数量实际上在额外电子存在情况下减小了。这种现象是由于额外电子几率的增加使得空穴很容易和一个电子复合。在 N 型硅中的大量自由电子增强了它的电导率(并且也大大降低了它的电阻)。

掺杂施主元素的半导体叫做 N 型半导体。重掺杂的 N 型硅有时用 N⁺表示,轻掺杂的 N 型硅用 N⁻表示。加号和减号表示相对的施主元素的数量,不是电荷数量。由于电子在 N 型

硅中的数量，所以它们被称为多数载流子(*majority carriers*)。同样，空穴在 N 型硅中被称之为少数载流子(*minority carriers*)。严格的来讲，本征半导体既没有多数载流子也没有少数载流子，因为这两种载流子的数量相等。

硼(*boron*)掺杂的硅能形成另一个类型的非本征半导体(杂质半导体)。设想将少量的硼原子添加到硅晶格中(图 1.6)。硼，一个三价元素，它有 3 个价电子。硼原子试图和 4 个邻近的原子共享它的价电子。但是，因为它有 3 个价电子，所以它不能形成第 4 个键。结果仅仅只有 7 个电子围绕这硼原子。因此这个电子空位就形成了空穴。这个空穴是可移动的，不久它将从这个硼原子离开。一旦空穴脱离，由于它的价电子层上一个额外的电子的存在，所以硼原子带上了负电。和磷的情况一样，这个电荷是不能移动的，它也不会对导电有什么贡献。每一个被加入到硅的硼原子都会贡献出一个可移动的空穴。

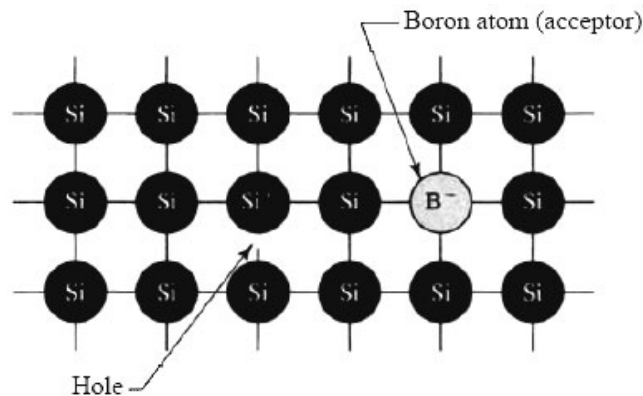


图 1.6 掺杂硼的硅晶体结构简图

其它 III 族元素也能接受电子和产生空穴。但是技术上的困难阻止了其它 III 族元素在硅制造中的使用。但是铟(*indium*)有时也用来掺入到锗(*germanium*)中。作为杂质使用的任何 III 族元素都能从邻接的原子接受电子，所以这些元素被称之为受主(*acceptors*)。掺杂受主元素的半导体称之为 P 型半导体。重掺杂的 P 型半导体硅有时用 P+ 表示，轻掺杂的 P 型半导体硅用 P- 表示。在 P 型硅中空穴是多数载流子，而电子则是少数载流子。表 1.2 总结了描述非本征半导体的术语。

Semiconductor Type	Dopant Type	Typical Dopants for Silicon	Majority Carriers	Minority Carriers
N-type	Donors	Phosphorus, arsenic, and antimony	Electrons	Holes
P-type	Acceptors	Boron	Holes	Electrons

表 1.2 非本征半导体术语

半导体既能用受主进行掺杂也能使用施主进行掺杂。大量杂质的存在能确定硅的类型和载流子浓度。如果添加一些过量的施主元素，则它可能从 P 型硅转换成 N 型硅。同样地，如果添加一些过量的受主元素，则他可能从 N 型硅转换成 P 型硅。通过有意添加一个对立极性的添加剂来转换半导体类型，这被称之为补偿掺杂(*counterdoping*)。许多现代半导体是通过有选择性的补偿掺杂硅来形成一系列的 P 型和 N 型区域。在下一章将有更多的关于这些的讨论。

如果补偿掺杂到了极点，则整个晶格将有同比率的受主和施主原子组成。这两种原子将以相同的数量存在。最终的晶体将有非常少的载流子，并且这看起来像本征半导体。像这样的复合半导体也的确存在，最熟悉的例子就是砷化镓(*gallium arsenide*)，它是镓(III 族元素)

和砷(V族元素)的混合物。这个种类的材料叫做III-V族复合半导体。这种材料不但包括砷化镓、也包括磷化镓(*gallium phosphide*)、锑化铟(*indium antimonide*)和其它一些材料。许多III-V族复合半导体也是直接带隙半导体,并且有些被用来制作发光二极管和半导体激光。砷化镓也被用来作为一个有限的扩展生产超高速的使用电晶体的器件,包括集成电路。II-VI族复合半导体由等量的II族元素和等量的VI族元素组成。硫化镉(*Cadmium sulfide*)也是典型的II-VI族混合物,被用来制造光敏元件(*photosensors*)。其它II-VI族混合物被用来作为阴极射线管的荧光体。最后一类半导体包括IV-IV族混合物,例如碳化硅(*silicon carbide*),近来被用来小规模的生产蓝色发光二极管。

1.1.2 扩散和漂移

载流子通过在硅晶体中的移动将产生两种单独的过程:扩散(*diffusion*)和漂移(*drift*)。扩散是一个载流子的随机运动,它随时随地发生。而漂移是在电场的影响下,载流子的单向运动。这两种过程对半导体的导电都有贡献。

扩散有点类似于布朗运动(*Brownian motion*)。也就是说,单独的载流子通过半导体移动,直到它们和晶格原子发生碰撞。这些碰撞将以一种不可预知的角度分散载流子。经过一些碰撞后,载流子的运动将完全变得随机化。载流子漫无目的地到处游荡,就像醉汉走路一样(图1.7A)。

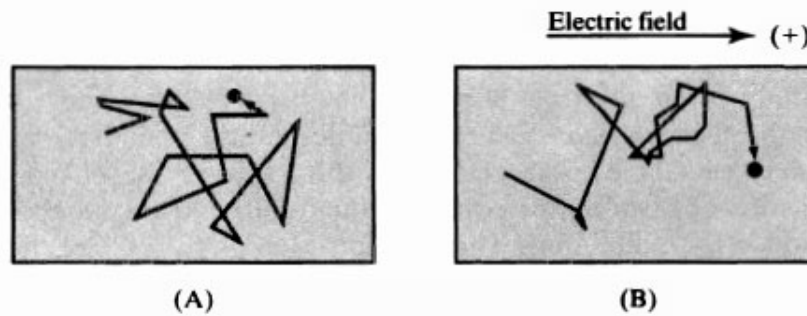


图1.7 电子导电机制的比较: 扩散(A) 边扩散边漂移(B)
电子逐渐朝正电位移动

半导体中载流子的扩散和静止的水中染料分子的扩散是比较类似的。当一滴浓的染料滴入水中,最初所有的染料分子将占有一小部分液体。然后这些分子逐渐地从高浓度区域向低浓度区域扩散。最终这些染料将均匀分布,遍及整个溶液中。同样地,载流子在浓度梯度上的扩散将产生一个扩散电流(*diffusion current*)。除非一些机制能不断地添加更多的载流子,最终扩散将在整个硅中再次均匀分布,并且扩散电流减退。

载流子在电场影响下的运动称之为漂移(*drift*)。虽然载流子仍然和晶格发生碰撞并且也像醉汉一样的移动,但它会逐渐地漂移到特定的方向(图1.7B)。这个微妙的偏向是电场的作用。无论载流子向那个方向移动,电场总是不屈不挠的影响着它。如果载流子逆着电场移动,它的运动速度将减缓;如果它顺着电场的方向,那么它的运动速度将加速。频繁的碰撞阻止了载流子的速度增大。但形成了一个微妙的总体运动。电子朝正电位移动,即使很慢又无规律。同样地,空穴朝负电位移动。漂移有点类似于弹球戏机器里钢球的运动。虽然缓冲器和木钉可以将球转移到任何方向,但是板的倾斜最终会引起钢球朝下运动。同样地,电场偏置载流子朝一个特定的方向移动,从而产生漂移电流。

1.2 PN结

均匀掺杂的半导体很少使用,几乎所有的使用电晶体的器件都是由多个P型和N型区域的组合。P型区域和N型区域之间的交界面称之为PN结(*junction*),或者简单称为结。

图1.8A显示了两片硅。在左边是一片P型硅，在右边是一片N型硅。只要这两片硅没有相互接触的话，就没有结存在。每一片硅里都包含着均匀分布的载流子。P型硅有大量的空穴和少量的电子；而N型硅有大量的电子和少量的空穴。

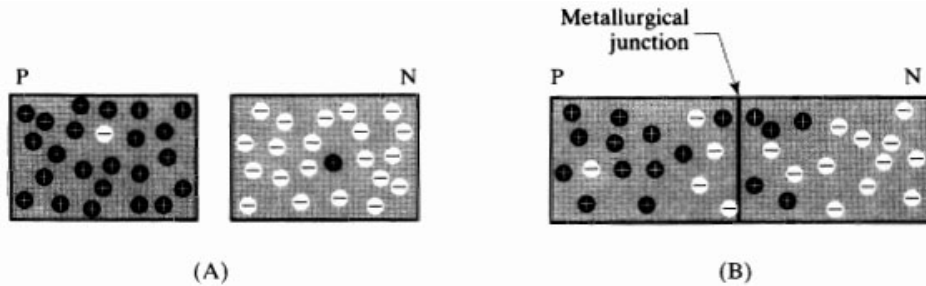


图1.8 (A)结合前硅中总体的载流子 (B)合并后的硅中总体载流子

现在，设想一下这两片硅开始相互接触到而形成一个结。载流子运动不存在物理障碍。P型硅中存在大量的过剩空穴，并且N型硅中也存在大量过剩电子。一些空穴将从P型硅向N型硅扩散，同样地，一些电子将从N型硅向P型硅扩散。图1.8B显示了扩散的结果。许多载流子通过结双向相互扩散。结两边的少数载流子浓度都上升到超过单独掺杂的水平。通过结的扩散造成少数载流子过剩的现象被称之为少数载流子浓度过剩(*excess minority carrier concentration*)。

1.2.1 耗尽区

结两边过剩少数载流子的存在会有两种影响。第一，这些载流子将产生一个电场。N型硅中的额外空穴代表正电荷，而P型硅中的过剩电子代表负电荷。这样就通过PN结建立了一个电势，相对于P型硅这边，N型硅被偏置为正极。

当载流子通过结扩散时，在它们后面留下相同数量已电离的杂质原子。这些电离的原子被牢牢地固定在晶格里面而不能移动。在结的P型硅一边存在着电离的带负电荷的受主。在结N型硅一边也存在着电离的带正电荷的施主。这样一个电势再次形成，它相对于结的P型这边，结的N型的一边被偏置为正极。这个电势将和带电载流子分离而产生的电势叠加在一起。

电场的存在使得载流子倾向于漂移。空穴被吸引到负电位的P区。同样地，电子被吸引到正电位的N区。因此载流子的漂移倾向于阻止它们的扩散。从P区到N区扩散的空穴又被漂移回来。从N区到P区扩散的电子也会被漂移回来。当扩散电流和漂移电流大小相等方向相反时，平衡就建立了。随着通过结的两边电势的平衡，在结两边的过剩少数载流子浓度也会达到一个平衡。

平衡时通过PN结的电压差称之为内电势(*built-in potential*)，或者称为接触电势(*contact potential*)。在典型的PN结中，内电势的范围从零点几伏到差不多1伏。重掺杂的结比轻掺杂的结有大的内电势。因为高的掺杂级别，所以更多的载流子通过重掺杂的结，并且引起一个大的扩散电流。为了重新获得平衡，也需要一个大的漂移电流。因此就建立了一个强电场。因此重掺杂的结比轻掺杂的结有大的内电势。

虽然内电势的确存在，但使用伏特表却不能测量到。这个难题可以通过一个包含PN结和伏特表的闭合电路来解释(图1.9)。伏特表的两个探针使用金属制作，而不是用硅制作。金属探针和硅之间的接触点也能形成结，每一个结都有它们自己的接触电势。因为这两个探针下面的硅有不同的掺杂级别，所以探针点的两个接触电势也就不相等。这两个接触电势之差正好抵消了PN结的内电势。所以没有电流流过外部电路。这种情况是必然的，因为任何电流的流过就意味着组成一个免费的能量源，或者一个永动机。内电场的抵消保证了在一个平

平衡的PN结中不会有能量泄漏出来，也就不可能违反热力学定律。

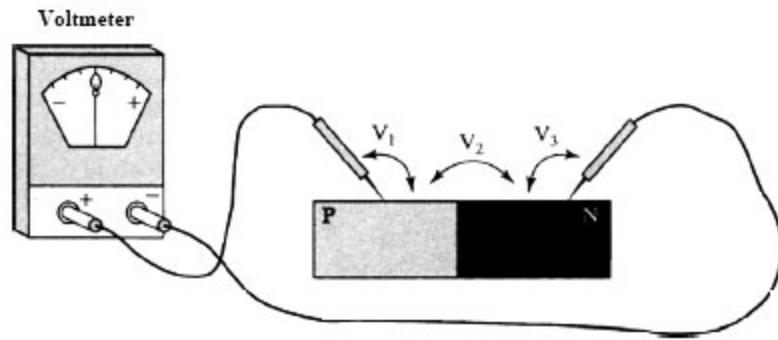


图1.9 不可能直接测量内电势的演示，接触电势 V_1 和 V_3 抵消了内电势 V_2

内电势有两种起因：电离的杂质离子的分离和带电载流子的分离。这些载流子可以自由地移动，但这些杂质原子却被牢牢地束缚在晶格里。如果杂质原子可以移动的话，那么它们会由于带相反的电荷而相合吸引。由于它们被固定在晶格上，所以相合分离。被带电原子占领的区域常遭受到一个强的电场。任何进入这个区域的载流子必须迅速移动或者将再次被电场驱逐出去。结果，这个区域在任何时候只有少数的载流子。这个区域有时被称之为空间电荷区(space charge layer)，因为带电杂质原子的存在。更普遍的，由于这个区域相对来说载流子浓度比较低，所以它也被叫做耗尽区(depletion region)。

如果耗尽区包含少的载流子，那么过剩的少数载流子就必须堆积在它的两边。图1.10用图表示出了过剩少数载流子的分布状况。浓度梯度使得这些载流子扩散到结以外的电中性区。带电载流子产生的电场又将它们拉回到结。不久一个平衡就建立了，少数载流子的稳态分布结果类似于图1.10所示。

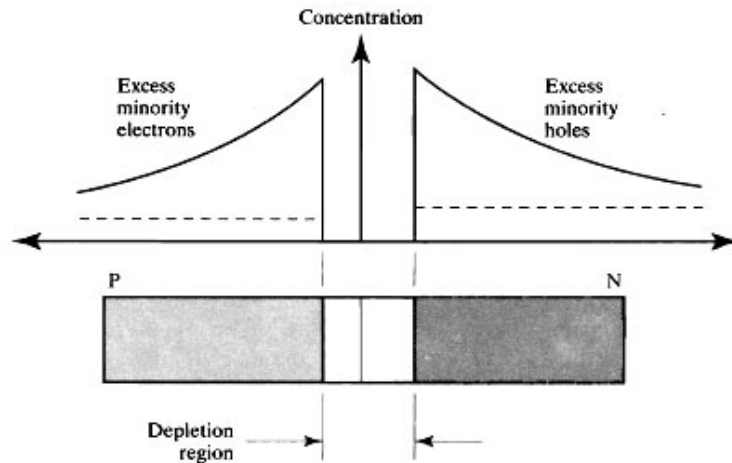


图1.10 平衡时PN结两边过剩少数载流子浓度分布

PN结的特性总结如下：通过结的载流子的扩散在耗尽区两边引起过剩少数载流子浓度。电离的杂质原子的分离引起一个通过耗尽区的电场形成。这个电场阻止大部分多数载流子穿越耗尽区，并且那些少数穿过耗尽区的载流子最终也被电场推回到原来的区域。

耗尽区的厚度与结两边的掺杂程度有关。如果两边都是轻掺杂，那么硅真正的厚度必须耗尽，目的是露出足够的杂质原子来维持内电势。如果两边都是重掺杂，那么仅仅需要露出一个薄的耗尽区来产生所需的电荷。因此重掺杂的结有薄的耗尽区，而轻掺杂的结有厚的耗尽区。如果结的一边比另一边掺杂重的话，那么耗尽区会更远的扩展到轻掺杂区一边。在这种情况下，轻掺杂硅真正的厚度必须未被覆盖来产生足够的电离杂质。重掺杂硅仅仅需要一薄层未被覆盖的耗尽区来产生平衡量电荷。图1.10显示了结的N区比P区掺杂的更轻的这种情

况。

1.2.2 PN二极管

PN结能形成一个非常有用的使用电晶体的器件称之为二极管(*diode*)。图1.11显示了一个PN结二极管结构简图。根据它的名字可以猜到,二极管有两个端。一端叫做阳极(*anode*),连接结的P区。另外一个端叫做阴极(*cathode*),连接结的N区。这两端用来将二极管连接到电路中。二极管的原理图符号由一个代表阳极的箭头和一个代表阴极的正交线组成。二极管单向导电,箭头指示导电方向。

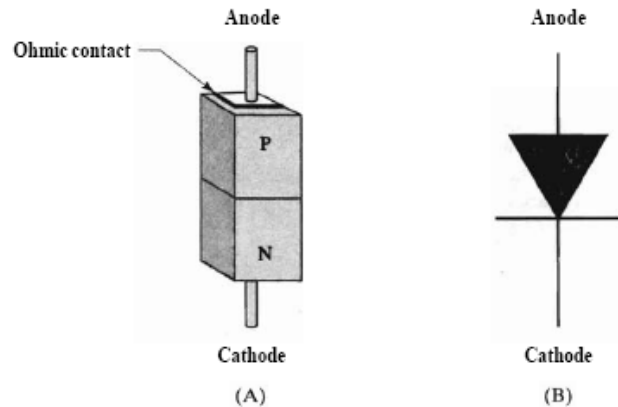


图1.11 PN结二极管结构简图(A) 标准原理图符号(B)

为了说明二极管怎样工作的,设想将一个可调节的电压源连接到二极管上。如果电压源电压被设置成0V,那么二极管处于零偏置。没有电流流过零偏置的二极管;如果电压源被设置成阳极接负极,阴极接电压源正极的话,那么二极管处于反向偏置,有非常小的电流流过反向偏置的二极管;如果二极管阳极接电压源正极,阴极接电压源负极的话,那么二极管就处于正向偏置,并且有大的电流流过二极管。这和二极管符号一致:电流顺着箭头方向流动,而不是逆着箭头流动。单向导电的器件被称之为整流器(*rectifiers*)。它们频繁的使用在电源供给、收音机和信号处理电路中。

二极管整流取决于结的存在。二极管的三个偏置状态的每一个都能通过对载流子流过的适当分析来说明。二极管零偏置的情况非常简单,是因为它和我们已经讨论过的结平衡状况一样。通过结存在唯一的电位就是内电势。当二极管被连接到电路,导线和硅的接触电势平衡了结的内电势,因此没有电流流过电路。

二极管反向偏置的情况也可以简单的说明。反向偏置使得二极管结的N区相对于P区为正电位。通过结的电压增加,所以过剩的少数载流子继续被推回去,多数载流子则继续被固定在它们原来的地方。通过结增加的电压引起结两边其它杂质离子的电离。所以在反向偏置情况下,耗尽区变宽。

二极管正向偏置的情况稍微有点复杂。电压被加到和内电势相反的端上。因此通过结的电压减低并且耗尽区变窄。由于电场引起的漂移电流同时地减小。越来越多的多数载流子变得可以越过耗尽区,再不用被电场推回去。图1.12用图显示了全部载流子流:空穴通过结被从阳极注入到阴极(从左到右),而电子通过结被从阴极注入到阳极(从右到左)。在图示的二极管中,通过结的空穴电流大于电子电流,这是因为阳极比阴极掺杂重,并且在阳极多数空穴要比阴极的多数电子还多。一旦这些载流子通过结被注入,那么它们将变成少数载流子,并且和存在于另外一边的多数载流子复合。来自二极管两端的电流被画出,目的是补充电中性硅中的多数载流子。这个描述有点简单,因为它仅仅显示了通过二极管的载流子总体流向。一些通过结注入的载流子在它们被复合以前会被电场推回去。这些载流子对流过二极管的电

流没有什么贡献，所以它们在图中没有标出。同样地，热运动产生的能通过结的少数载流子中微小数量的载流子没有标出，是因为它们在正向偏置的二极管电流中占非常小的一部分。

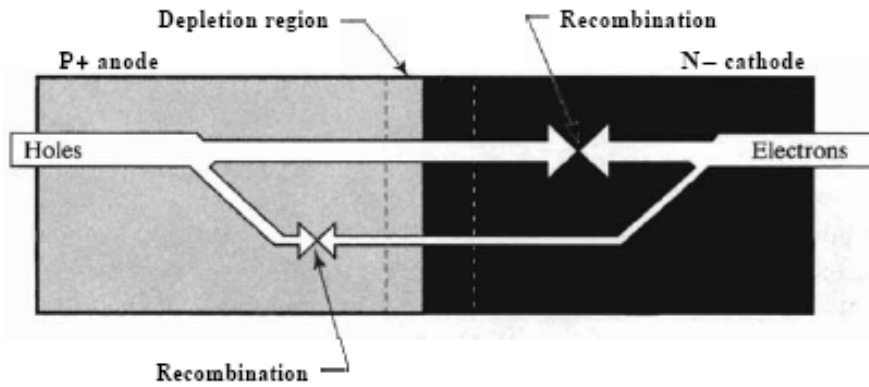


图1.12 正向偏置的PN结载流子流向

通过正向偏置的二极管电流和所加的电压成指数关系(图1.13)。在室温条件下,大约0.6V电压就能使硅PN结真正的正向导通。因为载流子的热运动引起扩散,所以温度越高,扩散电流将按指数增加。因此通过PN结的正向电流随着温度的增加也按指数增加。另一种描述,是为了维持硅PN结稳定的电流所需的正向偏置电压大约按2mV/C减少。

图1.13也显示了当二极管反向偏置时小级别的电流。这个电流称之为反向饱和电流(reverse conduction)或者漏电流(leakage)。漏电流是硅中很少的少数载流子热运动产生的。通过反向偏置结上的多数载流子运动方向和电场方向相反,但它却有助于少数载流子移动。反向偏置的作用使得这些少数载流子通过结。因为在衬底硅中少数载流子的产生率基本和电场无关,所以反向偏置下漏电流变化不会很大。热运动随着温度的上升而增加,因此漏电流是和温度有关的。在硅中,温度每上升8°C,漏电流就翻一倍。在高温下,漏电流开始接近于电路的工作电流。因此漏电流限制了半导体器件的最高工作温度。硅集成电路中广泛接受的最大结温是150°C。

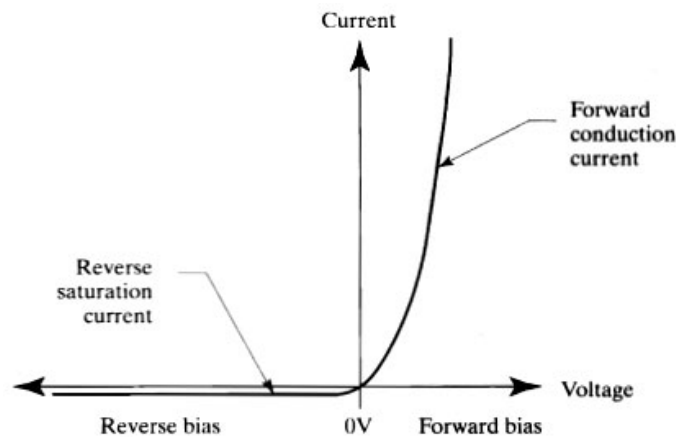


图1.13 二极管导电特性。为了看出25°C时不超过几微微安的反向饱和电流,电流轴被放大了

1.2.3 肖特基二极管(Schottky Diodes)

通过在半导体和金属之间也能形成整流结。这种结被称之为肖特基势垒(Schottky barriers)。肖特基势垒特性和PN结势垒特性有点相似。例如,肖特基势垒能被用来制造肖特基二极管。它的特性有点像PN结二极管。肖特基势垒也能用来形成集成电路互连系统的接触区。

物质的逸出功(work function)等于将一个电子从该物质中移出所需的最小能量。每种物质都有它们自己特有的逸出功,这些逸出功和它们晶格特性和组成有关。当两个具有不同逸

出功的物质接触在一起时,在每一个物质上的电子都有不同的初始能量。因此存在两个物质之间的电压差被称之为接触电势(*contact potential*)。想一下PN结这种情况下,在结的两边的两个半导体有相同的晶格结构。PN结的接触电势,或者它的内电势,仅仅与掺杂有关。在肖特基势垒这种情况下,金属和半导体不同的晶格结构也有助于接触电势。

当铝金属接触到轻掺杂的N型硅(图1.14B)时就会有一个典型的整流肖特基势垒形成。为了平衡接触电势,载流子必须重新分布。电子从半导体往铝中扩散,在那儿电子堆积形成一薄层负电荷。硅中电子的大量离去将留下一个电离的杂质原子区,而形成耗尽区(图1.14A)。耗尽区产生的电场又将电子从金属中来回到半导体里。当漂移和扩散电流相等时,平衡就建立了。现在通过肖特基势垒的电势差等于接触电势。只有少量的少数载流子存在于肖特基势垒半导体一边,所以肖特基二极管也叫做多数载流子器件(*majority carrier device*)。

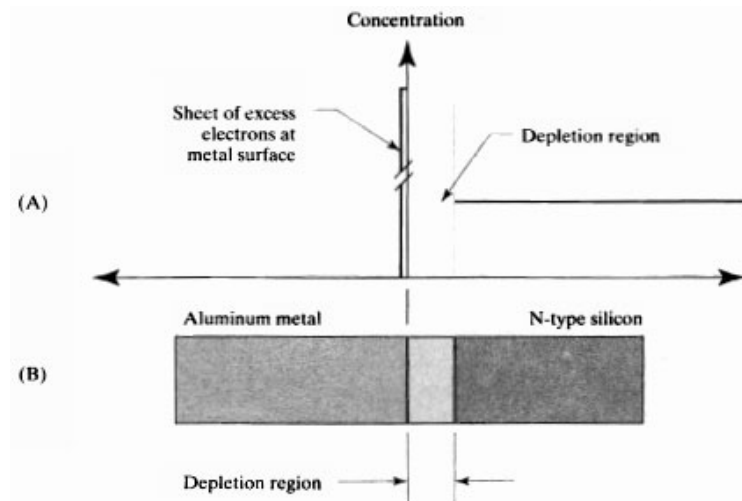


图1.14 肖特基势垒两边过剩载流子浓度线图(A) 和相应的肖特基结构的剖面图(B)

在偏置情况下肖特基二极管特性也能同样被分析。N型硅形成二极管阴极,而金属盘则形成了二极管的阳极。零偏置的肖特基二极管情况和上面分析的肖特基势垒平衡时情况一致。反向偏置的肖特基有一个外部连接电压,它的目的是将半导体一端接电源正极,金属盘一端接电源负极。这个电压差和接触电势叠加,耗尽区变宽平衡了增加的电压差,平衡再次形成,并且有小电流流过二极管。

正向偏置的肖特基二极管也接外部电压,金属盘一端接电源正极,N型半导体一端接电源负极。通过结的电压差和接触电势方向相反,并且耗尽区的宽度收缩。最后接触电势完全被偏移,耗尽区试图在结的金属一侧形成。金属是导体,所以不能支持电场,并且不会有和外加电势方向相反的耗尽区被建立。这个电势开始通过结将半导体里的电子送到金属中,所以有电流流过二极管。

肖特基二极管呈现出和PN结二极管一样的电流-电压特性。肖特基二极管也显示出有低级别的少数载流子从金属注入到半导体中所引起的漏电流。高温也能加速这些导电机理,它和PN结二极管一样也对温度有依赖性。

尽管有许多明显的相似,但是肖特基二极管和PN结二极管还是有一些基本的差别。因为肖特基二极管主要依赖多数载流子导电,所以它是一个多数载流子器件。在高电流密度下,只有很少的空穴从金属流向半导体,但是它们对整个电流贡献一小部分。肖特基二极管不支持大量过剩的少数载流子群体。因为二极管的开关速度是过剩少数载流子复合所需时间的函数,所以肖特基二极管能快速开关。一些类型的肖特基二极管也显示出比PN结二极管低正向偏置电压。低正向偏置电压和快速的开关速度使得肖特基二极管成为非常有用的器件。

肖特基二极管也能使用P型硅制造，但是导通所需的正向偏置通称很低。这样制作出来的P型肖特基二极管反而易漏电，因此它们很少被使用。许多实际中使用的肖特基二极管是使用轻掺杂的N型硅和一种称为硅化物(*silicides*)的物质合成制造的。这些物质是硅和特定金属合成的，例如铂(*platinum*)和钯(*palladium*)。硅化物显示出非常稳定的逸出功，因此这种物质制造的肖特基二极管有着稳定的、可重复的特性。

1.2.4 齐纳二极管(*zener diodes*)

在正常情况下，仅仅只有小股电流通过反向偏置的PN结。漏电流大约保持常数直到反向偏置电压超过一个临界电压，超过临界电压以后PN结突然开始导通大电流(图1.15)。这个突然的重要开始的反向导通被称之为反向击穿(*reverse breakdown*)。如果电流流量不通过

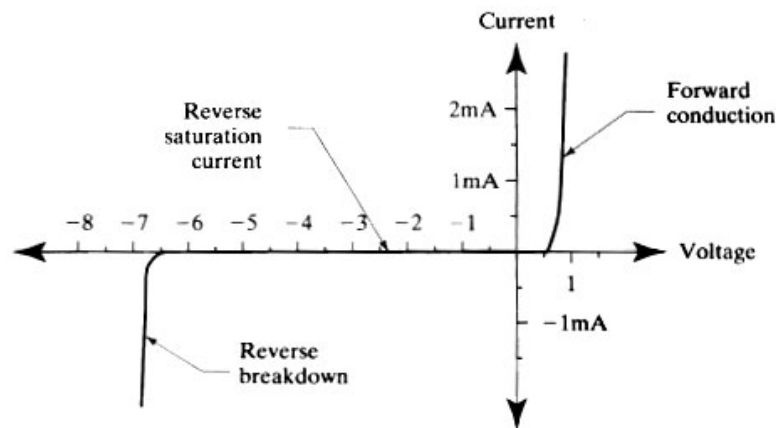


图1.15 PN结二极管的反向击穿

一些外部方法限制的话，那么它会导致器件损坏。反向击穿通常都设置了使用电晶体的器件的最大工作电压。然而，如果使用适当的措施来限制电流流量的话，那么这个反向击穿下的结能提供一个相当稳定的参考电压。

导致反向击穿的一个机制是雪崩倍增(*avalanche multiplication*)。考虑一个反向偏置下的PN结。由于偏置耗尽区宽度增加，但是它还不是足够的快来阻止电场的增强。这个强电场加速一些载流子以极高的速度通过耗尽区。当这些载流子和晶格原子发生碰撞，它们撞松了这些原子上的价电子，所以产生了额外的载流子。这个过程被合适的命名，是因为通过碰撞一个载流子能产生数千的额外载流子。就像一个雪球能造成雪崩一样。

导致反向击穿的另一个机制是隧道效应(*tunneling*)。隧道效应是一个量子力学的过程，它允许粒子短距离移动，而不管任何其它障碍物的存在。隧道效应电流大小和耗尽区宽度、通过结的电压差密切相关。由隧道效应引起的反向击穿被称之为齐纳击穿(*zener breakdown*)。

结的反向击穿电压和它的耗尽区宽度有关。耗尽区越宽，击穿电压就越高。正如前面所说明的，结的掺杂越轻，它的耗尽区就越宽，击穿电压就越高。当击穿电压低于5V，耗尽区太薄导致齐纳击穿占优势；当击穿电压高于5V，雪崩击穿占优势。一个被设计来工作在反向导通状况下的二极管根据占主导地位的工作机制被称之为齐纳二极管或者雪崩二极管。齐纳二极管的击穿电压低于5V，而雪崩二极管的击穿电压高于5V。传统上工程师将所有击穿二极管都成为齐纳二极管，不管它们优先工作在什么机制。因为主要靠雪崩击穿的7V导通齐纳二极管会使人产生混淆。

在实际中，结的击穿电压不仅和它的掺杂分布有关，还和它的几何形状有关。上面我们讨论分析了一个在平表面上相交的两个均匀掺杂的半导体区域所组成的一个平面结。虽然一些实际的结很接近这种理想化的结，但是它们都有弯的侧墙(*sidewalls*)。这种弯曲增强了电场，并且降低了击穿电压。曲率半径越小，击穿电压就越低。这个效应在浅结的击穿电压

上会有一个惊人的冲击。很多肖特基二极管在金属-硅交界处边缘都有一个明显的间断。电场强化能强有力的减小肖特基二极管的标准的击穿电压,除非有特殊的预防措施来减轻肖特基势垒边缘的电场。

图1.16显示了上面所讨论的所有二极管的原理图符号。PN结二极管使用一个直线来表示阴极,而肖特基二极管和齐纳二极管则通过修改阴极的直线来表示。在所有情况下,箭头表示了通过正向偏置二极管的传统电流方向。在齐纳二极管这种情况下,这个箭头稍微有点误解,因为齐纳管通常工作在反向偏置状况下。对于不经意看到的人来说,这个符号旁边应该插入一句“方向反了”。

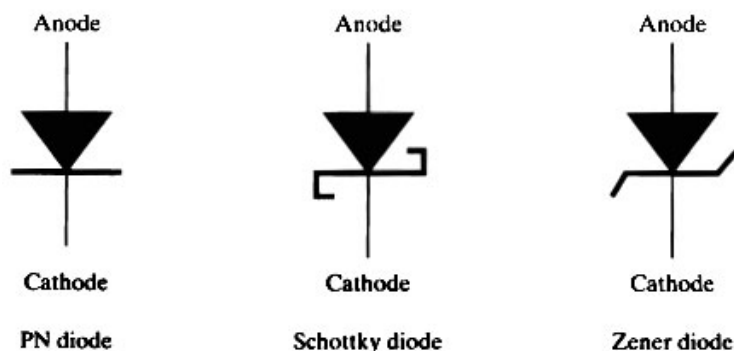


图1.16 PN结二极管、肖特基二极管和齐纳二极管原理图符号

1.2.5 欧姆接触(Ohmic Contacts)

在金属和半导体之间必须做接触,目的是将使用晶体的器件连接到电路。这些接触因该是理想的完美导体,但是实际中它们是有很小电阻的欧姆接触。不像整流接触(rectifying contacts),这些欧姆接触在任何一个方向上传导电流都同等的好。

如果半导体材料是足够的重掺杂的话,肖特基势垒就能表现出欧姆传导。杂质原子的高浓度使得耗尽区变薄到载流子能很容易的隧道穿越它。不像一般的齐纳二极管,在非常低的电压下,欧姆接触能支持隧道效应。因为载流子能通过隧道效应通过它而有效的旁路掉了肖特基势垒,所以不会出现整流。

如果肖特基势垒的接触电势能引起表面堆积而不是表面耗尽的话,那么欧姆接触也能形成。在堆积发生时,在半导体表面会堆积一薄层多数载流子。在N型半导体这种情况下,这个薄层由过剩电子组成。金属是导体,因此不能形成耗尽区。所以金属表面出现一薄层电荷来平衡硅上堆积的载流子。势垒两边耗尽区的缺乏阻止了来自支持电压差接触,并且任何外接电压将把载流子送过去。载流子能双向流动,所以这种类型的肖特基势垒能形成一个欧姆接触,而不会出现整流现象。

在实际中,轻掺杂的硅中能形成整流接触,并且重掺杂的硅中形成欧姆接触。因为所有的欧姆接触在本质上表现的都一样,所以欧姆导通后的任何精确机制都不是很重要了。只有当接触孔(contact)下面有一层更重掺杂的硅的薄层时,轻掺杂硅区才能通过欧姆接触。如果一个重掺杂的硅层和一个适合的金属系统相结合的话,那么就能得到电阻小于 $50\Omega/\mu\text{m}^2$ 的接触孔。这个电阻是足够的小,所以很多系统都忽略掉它。

不同材料的任何结都表现出接触电势等于这两种物质之间逸出功之差。这个规则能用到欧姆接触上,同样也能用到PN结和整流肖特基势垒上。如果所有的接触孔和结都保持在相同的温度下,那么围绕任何封闭回路的接触电势之和都等于零。然而接触电势是温度的强函数。如果其中的一个结相对于其它结出在不同的温度下,那么它的接触电势将偏移,并且这个接触电势总合也不等于零。这个热电效应(thermoelectric effect)对集成电路的设计有着重要影响。

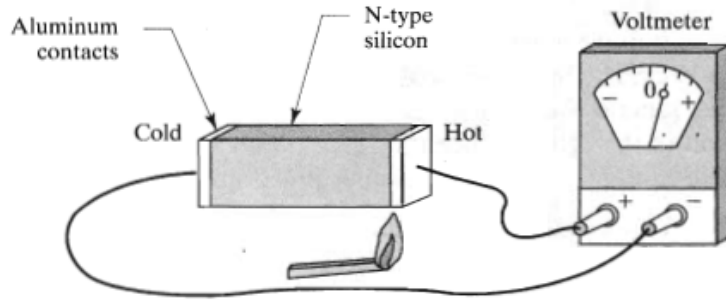


图1.17如果两个接触端处于不同的温度，那么因为热电效应可以测量到一个净电压

图1.17显示了一个两边被金属铝连接的N型硅块。如果这个块的一端被加热，那么由于两个接触电势的不匹配，一个可以测量的电压将通过这个块。这个电压下降典型值是 $0.1\sim 1.0\text{mV}/\text{C}$ 。所以许多集成电路信赖的匹配电压在1到2mV，甚至非常小的温度差异都足够造成电路故障。

1.3 双极结型晶体管(Bipolar Junction Transistors)

虽然二极管是非常有用的器件，但是它们却不能放大信号，并且几乎所有的电路都需求从一个电路到另一个电路的放大。一个能放大信号的器件被称之为双极结型晶体管(BJT)。

图1.18中显示出两种类型的双极结型晶体管的结构。每一个晶体管由被称之为发射区(emitter)，基区(base)和集电区(collector)的3个半导体区域组成。基区总是被加在发射区和集电区中间。一个NPN晶体管由一块N型发射区、一个P型基区和一个N型集电区组成。同样地，一个PNP晶体管由一个P型发射区、一个N型基区和一个P型集电区组成。在这些剖面简图中，晶体管的每一个区域都由均匀掺杂的矩形硅组成。现在双极晶体管和这些剖面图有些不一样，但是工作原理仍然相同。

图1.18也显示了两种类型晶体管的符号。发射极线上的箭头指示了通过正向偏置的发射结的传统电流方向。即使集电结也存在电流，但是没有箭头出现在集电极线上。在图1.18简化晶体管图中，发射结和集电结看起来似乎一样。将发射极和集电极互换，表面上对器件性能没有什么影响，但是实际上，这两个结的掺杂分布和几何形状根本不同，所以不能互换。发射极线和集电极线的区别就是通过这个箭头来区分。

双极结型晶体管可以看作是两个背靠背的PN结连接起来的。晶体管的基区非常薄(大约 $1\sim 2\mu\text{m}$)。当两个结如此靠近的接在一起，在载流子复合前它们能从一个结到另一个结进行扩散。因此一个结的导通也会影响另外一个结。

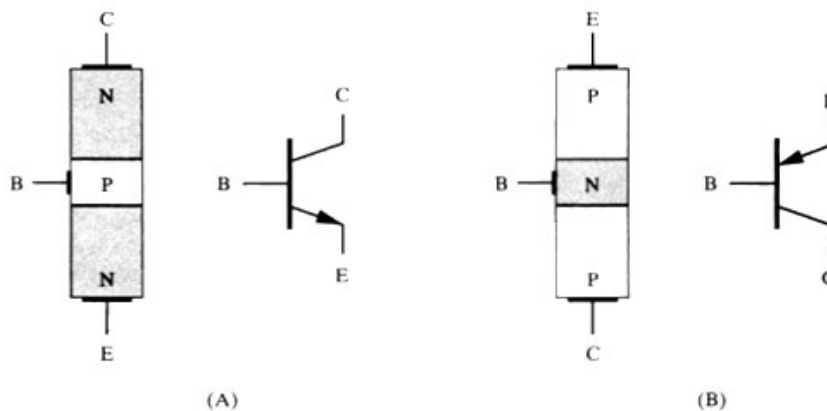


图1.18 NPN晶体管原理图符号和结构(A) PNP晶体管原理图符号和结构(B)

图1.19显示了一个发射结上加0V电压和集电结加5V电压的NPN晶体管。两个结都没有

正向偏置,所以晶体管的三个端都会有非常小的电流。两个结都反向偏置的晶体管被称之为处于截止(*cutoff*)状态。图1.19B显示了一个从基极注入 $10\mu\text{A}$ 电流的相同的晶体管。这个电流使得发射极正偏约 0.65V 。一个是基极电流100倍的集电极电流通过集电结,即使集电结处于反向偏置状态下。这个电流是正向偏置的发射结和反向偏置的集电结共同作用的结果。无论什么时候晶体管处于这种情况下,它都被称为工作在正向放大区(*forward active region*)。如果发射极和集电极两端互换的话,那么发射结将被反向偏置,集电结将被正向偏置。这个晶体管就工作在反向放大区(*reverse active region*)。在实际中,晶体管很少工作在这种方式下。

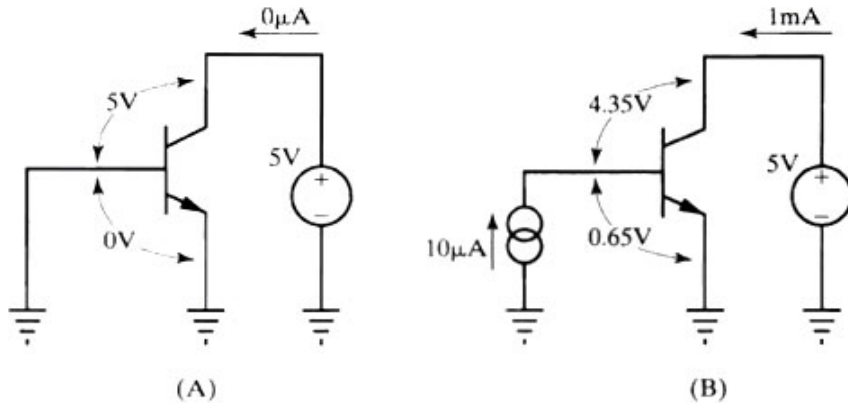


图1.19 工作在截至区的NPN管(A) 工作在正向放大区的NPN管(B)

图1.20有助于解释为什么集电极电流能通过反向偏置的集电结。发射结一旦处于正向偏置状态下,载流子就会通过发射结。通过发射结的大部分电流是由重掺杂的发射区注入轻掺杂的基区的电子组成的。这些大部分电子在它们复合前将扩散到窄的基区里。由于集电结处于反向偏置状态下,所以只有非常少的多数载流子能从基区到达集电区。阻止大多数载流子的同一电场实际上却有助于少数载流子的移动。在基区电子是少数载流子,所以它们被通过这个反向偏置的集电结送到了集电区。在这儿电子再次变成了多数载流子朝集电极一端移动。集电极的电流是由那些成功地从发射区到达集电区且没有在基区复合的完成旅程的电子组成的。

注入基区的一部分电子没有到达集电区。这些没有到达集电区的电子在基区复合。基区复合所消耗掉的空穴将被来自基极的电流所补充。一些空穴也从基区注入到发射区,在那儿它们快速复合。这些空穴代表基极电流的第二个来源。这些复合过程通常消耗不到1%的发射极电流,所以仅仅需要很小的基极电流就能维持发射结正向偏置。

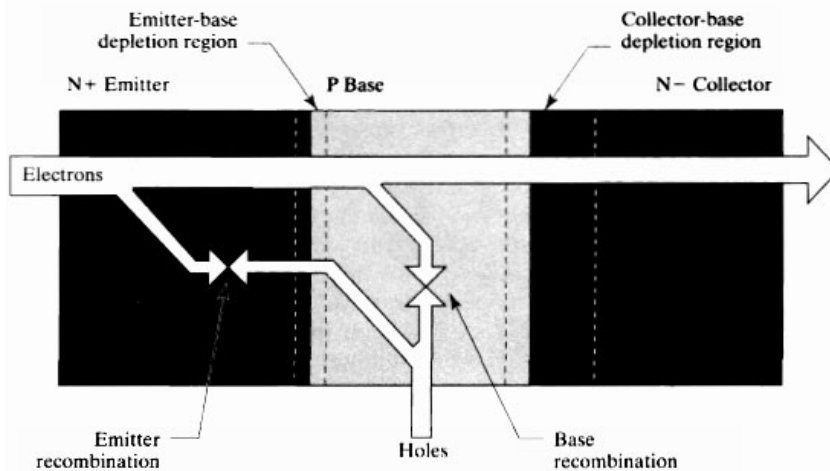


图1.20 正向放大状态下NPN管的电流流向

1.3.1 放大倍数

晶体管的电流放大能力等于集电极电流和基极电流的比率。这个比率有不同的名字，包括电流增益(*current gain*)和放大倍数(*beta*)。同样地，不同的作者用不同的符号表示它，包括 β 和 h_{FE} 。一个典型的集成NPN晶体管的放大倍数大约是150。特殊类型的器件的放大倍数超过了10000。晶体管的放大倍数和图1.20中所示的两个复合过程有关。

基区复合主要发生在两个耗尽区之间的基区部分。这个区域被称之为*neutral base*区。有3个影响基区复合率的因素：*neutral base*区宽度、基区的掺杂和复合中心的浓度。窄的*neutral Base*区能减小少数载流子穿越极基区的距离，因此也就减少了复合的几率。同样地，一个更轻掺杂的基区通过减少多数载流子的浓度也使复合的几率将到最低。古墨尔数(*Gummel number*) Q_B 能测量这两种效应。它是通过对沿着横跨*neutral base*区的一条线的掺杂物浓度作积分而计算出来的。在均匀的掺杂情况下，古墨尔数等于基区掺杂浓度和*neutral base*区宽度的乘积。而放大倍数和古墨尔数是成反比例的。

晶体管的开关速度主要与基区过剩少数载流子的去除快慢有关，或者通过基极或者通过复合去除过剩的少数载流子。在双极结型晶体管中有时故意引入金来增加复合中心的数量。高的复合率有助于提高晶体管的开关速度，但它也同时减低了晶体管的放大倍数。由于低的放大倍数，所以很少在模拟集成电路上使用金掺杂工艺。

典型的双极晶体管都使用轻掺杂的基区和重掺杂的发射区。这种组合确保了几乎所有的由载流子组成的电流由发射区通过发射结注入到基区，反过来则不一样。重掺杂增强了在发射区的复合率，但这种碰撞是有限的，因为只有很少的载流子能被注入到发射区。注入发射区的电流和注入到基区的电流比值称之为发射区注入效率(*emitter injection efficiency*)。

大多数NPN晶体管由一个宽的、轻掺杂的集电区和一个重掺杂的发射区，中间是一个薄的、适度掺杂的基区组成。轻的集电区掺杂允许在中性的(*neutral*)集电区形成一个宽的耗尽区。这也就允许集电结在没有雪崩的情况下能承受高的集电极工作电压。非对称的集电区和发射区掺杂有助于解释为什么将发射结和集电结互换的情况下双极晶体管工作不是很好的原因。一个典型的集成NPN晶体管的正向放大倍数是150，而反向放大倍数则小于5。这个差异主要是由于轻掺杂的集电极和重掺杂的发射极互换而引起发射区注入效率的急剧下降所引起的。

放大倍数也和集电极电流有关。放大倍数也会由于低的漏电流和耗尽区低的复合率而降低。在合适的电流下，这些因素变得就不重要了，晶体管的放大倍数上升到尖峰值由以上讨论的机制所决定。一个被称之为高级注入(*high-level injection*)的效应会影响高的集电极电流产生*roll off*。在基区，当少数载流子浓度接近多数载流子浓度时，额外的多数载流子将会堆积来维持电荷平衡。额外的基区多数载流子会导致发射区注入效应减小，接着会引起放大倍数减小。为了避免*roll off*，很多晶体管都工作在适合的电流级别上，但是由于尺寸的约束，电源晶体管必须经常工作在高级别注入。

PNP晶体管和NPN晶体管的性能非常相似。相同尺寸和掺杂浓度的PNP晶体管比NPN晶体管的放大倍数低，因为空穴的迁移率比电子低。在许多情况下，PNP管的性能下降的更多些，因为人们有意地在PNP管损失的基础上优化NPN管。例如，被用来制造NPN管基区的材料经常被使用来制造PNP管的发射区。所以这样制造的PNP管的发射区就有相当低的掺杂，发射区注入效率也就降低，并且在合适电流级别下也会发生高级注入。尽管它们有这些限制，但是PNP晶体管是非常有用的器件，并且很多双极工艺都支持它们这种结构。

1.3.2 I-V特性

双极晶体管的性能可以通过画一组基极电流、集电极电流和集电极-发射极电压的相关曲线来用图形形式表描述。图1.21显示了集成NPN晶体管的典型曲线。纵轴表示集电极电流

I_C ，而横轴表示集电极-发射极电压 V_{CE} 。在这个图上有许多曲线，每一条曲线代表不同的基极电流 I_B 。这组曲线显示了双极结型晶体管的许多有趣的特性。

在饱和区(*saturation region*)，集电极-发射极之间的电压太小以至于集电结稍微正向偏置。能使少数载流子通过集电结的电场依然存在，所以晶体管能继续导通电流。集电极-发射极之间的电压依然很低，以至于晶体管的欧姆电阻(尤其在轻掺杂的集电区)变得重要了。因此，饱和区的电流要比正向放大时的电流小的多。集成电路设计者对这个饱和区有着特殊的兴趣。因为集电结的正向偏置能注入少数载流子到中性的(*neutral*)集电区。节8.14将详细讨论集成双极晶体管的饱和效应。

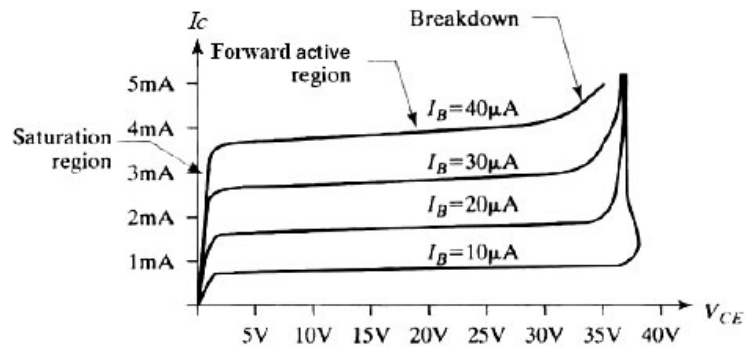


图1.21 NPN晶体管典型I-V曲线

在正向放大区集电极-发射极之间的电压足够大，以至于集电结反向偏置。在集电区的欧姆电阻将下降到不在明显的减少通过集电结的电场，所以现在通过晶体管的电流只是依靠放大倍数。电流曲线稍微的向上倾斜会导致早期效应(*early effect*)，当集电结反向偏置增加，那么在集电结上耗尽区的宽度增加，因此中性区变窄。因为放大倍数和基区宽度有关，所以当集电极-发射极之间电压上升的话，放大倍数会稍微增加。通过使用非常轻掺杂的集电区可以最小化这种早期效应，所以耗尽区主要扩展进集电区而不是基区。

超过一定的集电极-发射极之间的电压，集电极电流将快速增加。这个现象限制了晶体管的最大工作电压。一个典型的集成NPN晶体管，它的工作电压大约30V~40V。上升的电流是由两个现象引起的，第一个就是雪崩击穿。如果集电结反向偏置过分，那么集电结将会导致雪崩。一个宽的轻掺杂的集电区能在很大程度上增加雪崩电压等级，并且离散的电源晶体管能达到超过一千伏的工作电压。

第二个限制就是基区击穿现象(*base punchthrough*)。当集电区-基区之间的耗尽区一路上穿过基区并且和发射区-基区的耗尽区合并起来，则击穿现象就会发生。一旦击穿现象发生，载流子将直接从发射区到达集电区，并且仅仅只有中性的集电区和发射区电阻能限制这个电流。集电极电流的快速上升模拟雪崩击穿现象。

基区击穿现象通常出现在高增益的晶体管中。例如，高放大倍数的晶体管使用一个非常薄的基区来获得上千倍的放大倍数。基区击穿现象将这些器件的工作电压限制到几十伏。高放大倍数的晶体管也显示出一个明显的早期效应，因为集电区-基区的耗尽区很大程度地侵入到中性的基区。普通使用的晶体管使用比较宽的基区来减少早期效应，并且它们的工作电压通常被雪崩限制，而不是基区击穿现象(节8.12)。

1.4 MOS晶体管

双极结型晶体管放大一个小的变化输入电流而输出一个大的变化的输出电流。因此双极晶体管的增益被定义为输出电流和输入电流之比(放大倍数)。另一个类型的晶体管，叫做场效应晶体管(*field-effect transistor*)(FET)，它能将输入的变化电压转换成变化的输出电流。场效应晶体管的增益是使用它的跨导(*transconductance*)来测量的，跨导定义为变化的输出电

流和变化的输入电压之比。

场效应晶体管如此命名是因为它的输入端(称之为栅)通过在一个绝缘层上加一个电场来影响通过晶体管的电流。实际上没有电流流过绝缘层,所以FET晶体管的栅电流基本等于零。最普通的FET晶体管在栅电极下使用一个薄的二氧化硅层作为电介质。这种类型的晶体管叫做金属氧化物半导体(MOS)晶体管,或者作为选择的,叫做金属氧化物半导体场效应晶体管(MOSFET)。由于MOS晶体管很小并且能低功耗工作,所以它在很多方面替换了双极晶体管。

为了能更好的理解MOS晶体管,首先看一个简单的MOS电容的构成。这个器件由两个电极构成,一个是金属,一个是非本征半导体(杂质半导体),它们被一薄层二氧化硅隔离开(图1.22A)。金属电极形成栅(gate),半导体厚层形成背栅(backgate)或者衬底(body)。在这两个电极之间的绝缘层叫做栅电介质。图中显示的器件有一个由轻掺杂的P型硅组成的衬底。这个MOS电容的电气特性通过将衬底接地,栅极加不同电压来说明。图1.22A中的MOS晶体管的栅极电压是0V。金属栅和半导体衬底逸出功的差异引起一个通过电介质的小的电场出现。在图中所示的器件,这个电场使金属极带稍微正电荷,P型硅带稍微负电荷。这个电场将硅深处的电子吸引到硅表面上,而排斥将硅表面上的空穴。这个电场很弱,所以载流子浓度变化很小,并且在这个器件上的整体特性效应就很小。

图1.22B显示了当MOS电容栅极正偏,衬底反偏情况下发生的情况。通过栅电解质的电场增强,并且更多的电子被从衬底(bulk)拉出来。同时硅表面上的空穴也被推离表面。当栅压的增加,在表面上将出现比空穴过多的电子。由于这些过剩的电子,硅的表层就好像是一个N型硅。掺杂物极性表面上的反转被称之为反型(inversion),硅被反型的这层被称之为通道(channel)(也叫反型层)。当栅压继续增加的话,越多的电子将堆积在表面,反型层将被更深的反转。开始形成反型层的电压被称之为阈值电压(threshold voltage) V_t 。当栅压和衬底电压之差小于阈值电压时,就不会有反型层形成。当电压差超过阈值电压的话,反型层就形成了。

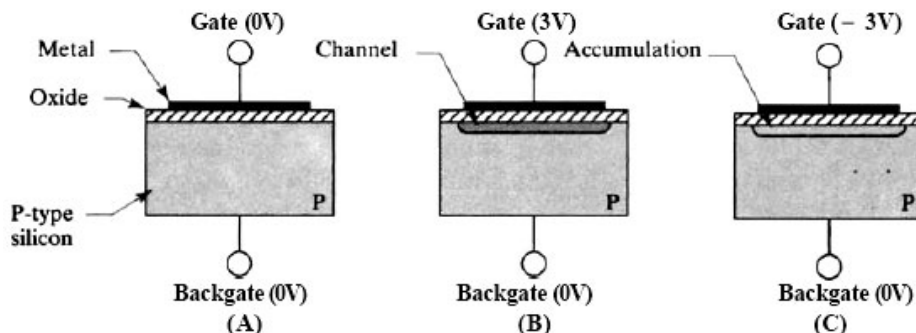


图1.22 MOS电容 (A)没有偏置($V_{BG}=0V$) (B)反型($V_{BG}=3V$) (C)堆积($V_{BG}=-3V$)

图1.22C显示了如果MOS电容栅压偏置为负,衬底电压偏置为正所发生的情况。现在电场反转,图上画的空穴超表面移动,而电子则被排斥离开表面。硅表面这层现在好像变得重掺杂,并且器件处于堆积状态。

MOS电容这种特性能被用来制作一个真正的MOS晶体管。图1.23A显示了一个这种MOS晶体管的剖面图。栅、绝缘层和衬底与前面的一样依然保留。通过有选择性的在栅的两边掺杂硅来形成两个额外的区域。一个区域被叫做源极(source),另外一个叫做漏极(drain)。设想一下,源极和衬底都接地,并且漏极接电源正极。只要栅-衬底之间电压小于阈值电压,就不会有反型层形成。在漏和衬底之间形成的PN结被反偏,所以只有很小的电流从漏极流到衬底。如果栅压超过阈值电压,在栅电介质下将有反型层形成,这个反型层就像一个薄的N型硅在源极和漏极之间形成短路。由电子组成的电流将从源极通过反型层到达漏极。总之,

如果栅-源极之间电压 V_{GS} 超过阈值电压 V_T ，那么就会有漏极电流。

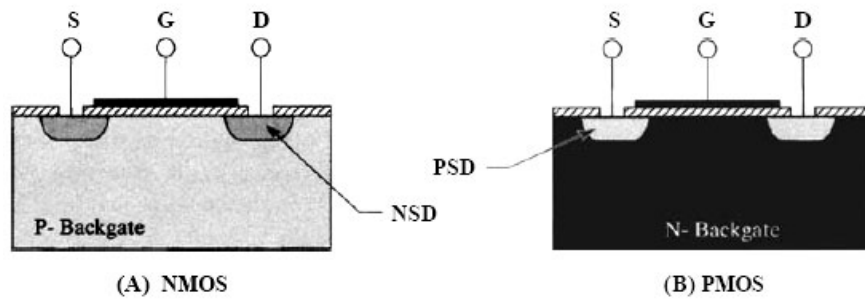


图1.23 MOS晶体管剖面图: (A) NMOS (B) PMOS

MOS管的源漏极可以互换，因为两个都是在P型衬底(backgate)上简单形成的N型区域。在许多情况下，这两个区域是相同的，并且两个端都能颠倒而不会影响器件的性能。这样的器件被称之为是对称(symmetric)器件。在对称的MOS晶体管上标示源漏极就稍微随意些。根据定义，载流子从源极流出进入漏极。因此源漏极的区分就与器件的偏置有关。有时加在器件上的偏压不定的情况下，两端就可以互换角色。在这种情况下，电路设计者就必须任意指定一个端为源极，另一个端为漏极。

非对称的MOS晶体管是使用了不同的源漏掺杂和几何尺寸设计的。为什么晶体管被做成非对称的，是有许多原因的。但在任何情况下，最终结果是相同的。一个端被优化作为漏极，那么另外一个端则作为源极。如果源漏极交换的话，那么器件的性能将受到损失。

在图1.23A中描述的晶体管中有一个N型的通道(反型层)(channel)，因此N通道MOS晶体管，或者NMOS。P通道MOS(PMOS)晶体管也存在。图1.23B中显示了一个在轻掺杂的N型衬底上带源漏极的简单PMOS晶体管。如果这个晶体管的栅结正极，衬底结负极。那么电子将拉出到表面，而空穴则被排斥开表面。硅表面就堆积，没有通道形成。如果栅相对于衬底被反向偏置的话，那么空穴将被拉到表面，通道形成。因此PMOS晶体管有一个负的阈值电压。工程师通常忽略掉阈值电压的符号，因为一般情况下NMOS的阈值电压为正，而PMOS的阈值电压则为负。工程师可以说：“PMOS的阈值电压从0.6V上升到0.7V”，而实际上PMOS的阈值电压是从-0.6V降到-0.7V。

1.4.1 阈值电压

MOS晶体管的阈值电压(threshold voltage)等于晶体管的衬底连接到源极时形成通道的栅源之间的偏置电压。如果栅源之间的偏置电压小于阈值电压，则通道(反型层)不会形成。一个特定的晶体管的阈值电压和很多因素有关，包括衬底掺杂、电介质厚度，栅的材料和电介质上的过剩电荷。这些每一个因素都会被简单的介绍一下。

衬底掺杂是影响阈值电压的一个主要因素。如果衬底是重掺杂的话，那么就很难进行反转。也就需要一个强的电场来完成反转，并且阈值电压也会上升。MOS晶体管的衬底掺杂可以通过在栅电介质表面下面进行一个浅的注入来掺入沟道区域来调节。这种注入类型称之为阈值调节注入(threshold adjust implant)或者成为 V_T 调节注入。

考虑一个在NMOS晶体管上的 V_T 调节注入的影响。如果注入由受主(acceptors)组成。那么硅表面就更容易反转，而且阈值电压也就上升。如果注入由施主(donors)组成。那么表面也就更容易反转，而且阈值电压也就降低。如果足够多的施主被注入，硅表面实际上就成了补偿掺杂(counterdoped)。在这种情况下，在零的栅压偏置下，一薄层N型硅就形成了一个永久性的通道。当栅压上升时，这个通道就变得非常容易反转。当栅压下降时，这个通道就变得很难反转，并且有的点上将消失。NMOS晶体管的阈值电压实际上是负的。这样的晶体管被称之为耗尽型(depletion-mode)NMOS，或者简称耗尽NMOS。相反，阈值电压为正的NMOS

晶体管被称之为增强型(*enhancement-mode*)*NMOS*, 或者简称增强*NMOS*。商业上大量制造的*MOS*晶体管都是增强型器件, 但是也有一些场合需要耗尽型器件。耗尽型的*PMOS*也能制造, 这种器件有一个正的阈值电压。

耗尽型器件同样因该明确的标注出来。不能靠阈值电压的符号来判断, 因为许多工程师通常会忽略阈值电压极性。因此, 器件因该标明“阈值电压0.7V的耗尽型*PMOS*”, 而不是阈值电压0.7V的*PMOS*。很多工程师都会把后者解释为阈值电压为-0.7V的增强型*PMOS*而不是阈值电压为+0.7V的耗尽型*PMOS*。明确地指出耗尽型器件, 这样就可以避免混淆的可能性。

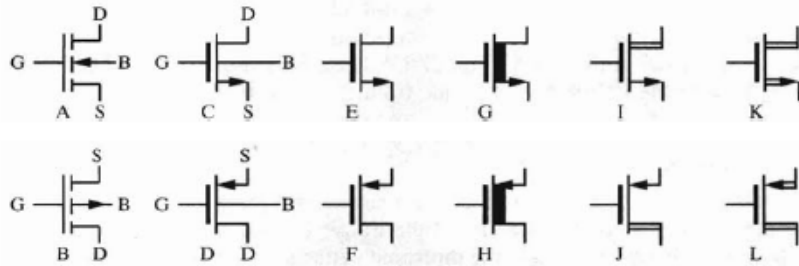


图1.24 *MOS*晶体管符号

常常使用特殊符号来区分不同类型的*MOS*晶体管。图1.24显示了一组典型的标示符号。符号A和B分别是*NMOS*和*PMOS*晶体管标准的符号, 这些符号通常不在工业上使用; 符号C和D分别是首先得替代*NMOS*和*PMOS*晶体管的符号。这些符号故意地类似于*NPN*和*PNP*晶体管符号。这样的约定有助于突出*MOS*晶体管和双极晶体管之间的基本相似点。当晶体管的衬底(*backgate*)连接到确定的电极上时, 符号E和F有时也用来表示*NMOS*和*PMOS*晶体管。每一个*MOS*晶体管都有一个衬底, 所以它的端就通常必须连接到特定的位置。符号E和F可能会混淆, 因为读者必须猜想衬底的连接。虽然如此这些符号依然非常流行, 因为它们使得原理图更易读。符号E和F往往使用在耗尽型器件上, 符号上漏极和源极之间的直线表示在零偏置下的通道。符号I和J有时用在高电位漏极的非对称晶体管上, 符号K和L使用在源漏间高压的对称晶体管上。除了这些, *MOS*管还有其它很多符号; 图1.24仅仅是一部分典型的示例。

回到阈值电压的讨论上, 在决定阈值电压的问题上电介质也扮演着一个重要的角色。厚的电介质用厚的距离来分离电荷从而削弱了电场强度。因此, 厚的电介质增加了阈值电压, 而薄的电介质则会减小阈值电压。理论上来说, 电介质的材料也影响着电场强度。实际上, 几乎所有的*MOS*晶体管都使用纯的二氧化硅作为栅的电介质。这种材料能生长成一层极端纯度和均匀性的薄膜; 没有别的材料能和它来比较。因此其它作为替代的电介质材料使用在很小的范围内。

栅极材料也影响着晶体管的阈值电压。正如上面所提到的, 当栅和衬底通过短路连接在一起时, 在栅和氧化物上会出现一个电场。这个电场是栅和衬底材料的逸出功差异所产生的。许多实用的晶体管是使用重掺杂的多晶硅(*polysilicon*)作为栅电极。通过改变它的掺杂可以使多晶硅的逸出功有有限范围的变化。

一个来自栅氧化物或者是沿着氧化物和硅表面的界面上的过剩电荷的存在会导致一个潜在的棘手的阈值电压变化的来源。这些电荷可能由电离的杂质原子、捕获的载流子或者结构缺陷组成。在电介质上捕获电荷的存在或者沿着它的界面的电荷都会改变电场, 从而影响阈值电压。如果捕获电荷的数量随时间、温度或者偏置电压变化的话, 那么阈值电压也会随之变化。这个将在节4.22作更详细的讨论。

1.4.2 I-V特性

*MOS*晶体管的特性能通过画一组和双极晶体管类似的I-V曲线来表示。图1.25显示了一

个增强型NMOS晶体管的一组典型曲线。源极和衬底都接在一起而得到了这些特殊的曲线。纵轴表示漏极电流 I_D ，而横轴表示源漏间电压 V_{DS} 。每一个曲线代表一个特定的栅源间电压 V_{GS} 。这组曲线的一般特征和图1.21中双极晶体管的曲线类似。但是MOS晶体管这组曲线是通过一步步改变栅压得到的，而双极晶体管是通过一步步改变基极电流得到的。

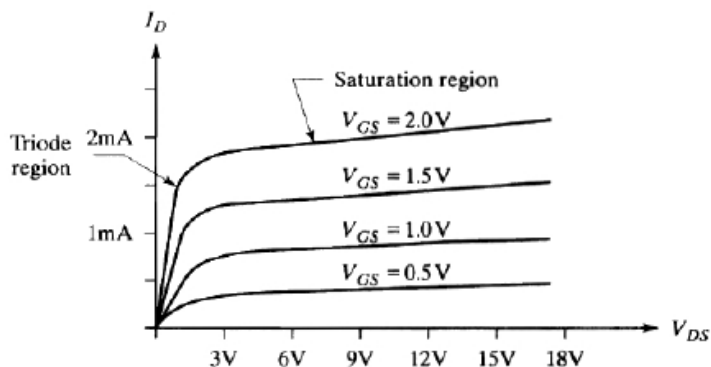


图1.25 NMOS晶体管典型I-V曲线

在低的源漏间电压下，MOS通道表现出有电阻特性，并且漏极电流随电压线性增加。这个工作区域被称之为线性区(*linear region*)或者三极区(*triode region*)。这个区域粗略的对应于双极晶体管的饱和区。当源漏间电压超过栅源间电压和阈值电压之差时，漏极电流将变平到大约一个常数值。这个区域被称之为饱和区(*saturation region*)，并且它粗略的对应于双极晶体管的正向放大区。因此饱和区这个用语在MOS晶体管和双极晶体管中是不同的。

在线性区的MOS晶体管的特性很容易解释。这个担当着一个有电阻特性的掺杂质的硅薄膜的通道和载流子浓度有关。电流随电压线性增加，就更像一个电阻。栅压升的越高则载流子浓度就越大，因此就减少了通道的电阻。PMOS晶体管的特性和NMOS晶体管很类似。但是由于空穴比电子的迁移率低，所以外观上看这个通道的电阻就更大了。工作在三极区的MOS晶体管的有效电阻用符号 $R_{DS(on)}$ 表示。

一个被称之为夹断(*pinch-off*)的现象是MOS晶体管产生饱和。当源漏间电压维持很小时，有一个均匀厚的耗尽区包围通道(图1.26A)。当漏极相对于源极为正时，耗尽区在漏极末端开始变厚。这个耗尽区闯入通道并使通道变窄。最后这个通道被耗尽，被称为夹断(*pinched off*) (图1.26B)。载流子沿着相对弱的电场向下推进通道运动。当它们到达夹断区边缘，它们就被耗尽区的强电场吸引。当漏极电压增加时，通过通道的电压并不上升；而夹断区会变宽。因此漏极电流达到一个界限后会停止增加。

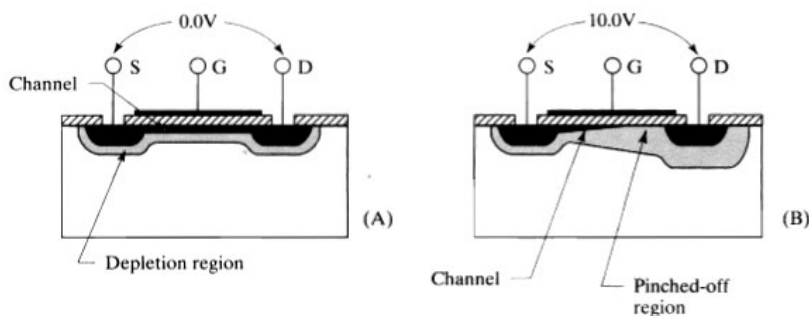


图1.26 MOS晶体管在不同偏置(A) $V_{DS}=0V$ (三极区) (B) $V_{DS}=10V$ (饱和区)的行为

在饱和区漏极电流曲线是稍微向上倾斜的。这个倾斜是由通道长度调变(*channel length modulation*)引起的。它是MOS早期效应的等价物。漏极电压的增加引起夹断区变宽，并且通道长度变短。短的通道仍然有同样的电势通过它，所以电场增强，载流子移动速度更快。因此当增加源漏间电压时，漏极电流微微上升。

图1.25的I-V特性曲线是将晶体管衬底接电源情况下得到的。如果衬底单独使用电源偏置,那么晶体管的阈值电压将会有所变化。如果NMOS晶体管的源极偏置高于衬底电压的话,那么阈值电压就会明显的增加。如果PMOS晶体管的源极偏置电压低于它的衬底电压,那么它的阈值电压就会降低(会变得更负)。这个衬底效应(*body effect*)就会上升,因为源极与衬底之间的电压调制了通道下面的耗尽区的缘故。当衬底和源极之间的电压差升高,则耗尽区变宽。高的衬底和源极间的电压差会将通道变窄,也增加了阈值电压。当衬底掺杂增加,耗尽区侵入通道变得很重要,也增加了衬底效应的等级。

MOS晶体管通常被认为是多数载流子器件,它仅仅在通道形成后才开始导电。这个过分简单的看法没有解释在栅源间电压正好小于阈值电压情况下出现的低级别导通现象。通道的形成是一个逐渐的过程。当栅源间电压增加,栅极首先吸引一小部分少数载流子到达表面。当电压增加时,少数载流子浓度也随着增加。当栅源间电压超过阈值电压时,少数载流子的数量变得很大以致硅表面反转,并且通道形成。在通道形成以前,少数载流子仍然能通过扩散同源极移动到漏极。这个亚阈值(*subthreshold conduction*)导通能产生比通道存在时流过的电流小的多的电流。然而它们仍然比结漏电流大很多个数量级。仅仅当栅源间电压不超过阈值电压大约0.3V时,亚阈值导通就比较明显。在低 V_t 器件里,它足够引起严重的泄漏(*leakage*)问题。一些电路实际上就利用了亚阈值导通时电压和电流的指数函数关系。但这些电路工作温度不能超过100°C,这是因为结的泄漏变得太大以致于淹没了微小的亚阈值电流。

如同双极晶体管的情况一样,MOS晶体管也能被雪崩或者击穿现象所毁掉。如果在漏极通过耗尽区的电压太大的话,雪崩倍增就会发生,漏极电流就会快速上升。同样地,如果整个通道夹断,那么源漏极将被最终的耗尽区所短路,并且晶体管将发生击穿现象。

MOS晶体管的工作电压通常被限制在一个称之为热载流子注入(*hot carrier injection*)的长期老化机制下的雪崩或者击穿现象开始值之下。横穿漏极夹断部分的载流子被存在这里的强电场所加速。这些载流子能获得远比正常室温下热扩散时载流子运动的还高的速度。所以它们被称之为热载流子(*hot carriers*)。这些载流子和硅表面的原子发生碰撞,它们中的一些被偏转而向上进入栅氧化物中,并且它们中很少的一部分被捕获。慢慢的经过长时间后,这些被捕获的载流子浓度开始增加,并且阈值电压移位。热空穴注入比热电子注入更少发生,因为空穴低的迁移率限制了它们的速度,因此也限制了它们克服氧化物界面的能力。由于这个原因,相同结构的NMOS晶体管通常被限制在要比相同结构的PMOS晶体管低的工作电压下。一些技术已经被设计来限制热载流子注入(节12.1)。

1.5 结型场效应管(JFET Transistors)

MOS晶体管仅仅是场效应晶体管中的一个类型。另一个是结型场效应晶体管(*junction field transistor*)或者JFET。这种器件使用耗尽区包围反偏的结来作为一个栅电介质。图1.27A显示了一个N通道JFET的剖面图。这个器件有一块被叫做衬底(*body*)的轻掺杂的N型硅,在这个N型硅里扩散了两个相对的P型区。两个结之间的N型硅薄区域就形成了JFET的通道。这两个扩散作为栅(*gate*)和背栅(*backgate*),并且N型衬底相对的两端形成了源极和漏极。

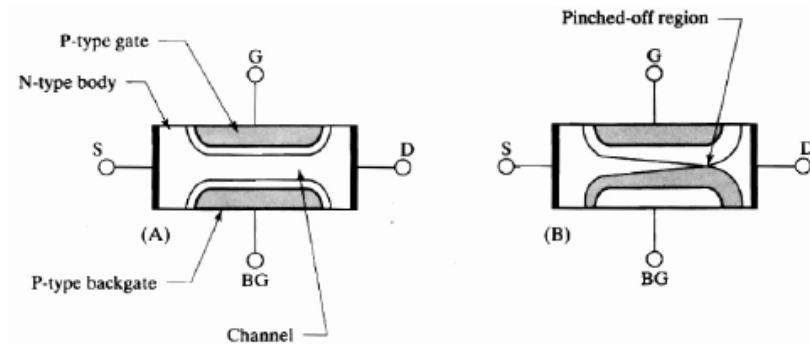


图1.27 N通道JFET晶体管的剖面图

假定N通道JFET晶体管的所有四个端都接地。耗尽区将围绕栅-衬底和背栅-衬底结而形成。这些耗尽区扩展进入轻掺杂的通道，但它们实际上没有相互接触上。因此在源漏极之间就存在了一个通道。如果漏极电压上升超过源极电压的话，那么从漏极到源极就有一个电流流过。电流的大小和通道的电阻有关，这个电阻又和通道的几何尺寸和掺杂有关。只要源漏间电压保持很小，它就不会明显的使耗尽区进入通道。因此通道的电阻保持常数，并且源漏间电压随漏极电流线性变化。在这种情况下，JFET被认为工作在线性区。这个工作区类似于MOS晶体管的线性区(三级区)。由于在 $V_{GS}=0$ 时通道就能形成，则JFET有点类似于耗尽型的MOSFET，而不是增强型的MOSFET。

当漏极电压增加，JFET的漏极末端耗尽区变宽。这个通道日益地被两个相对的耗尽区所侵入而变得狭窄。最后耗尽区相交而夹断通道(图1.27B)。即使通道被夹断，漏极电流仍然能通过晶体管。这个电流来自源极，并且由多数载流子(电子)组成。这些载流子将通道移至低处，直到它们到达夹断区。通过这个区的大的横向电场有助于这些载流子进入中性的漏极。

一旦通道被夹断，漏极电压更多的增加只能产生很小的影响。夹断区稍微的变宽，但通道的尺寸仍然维持原样。通道的电阻决定着漏极电流的数量，所以它几乎维持着常数。在这些状况下，就认为JFET处于饱和状态。

栅和衬底(backgate)电极也影响着通过通道的电流。当栅-衬底和背栅-衬底之间电压数量增加，通过栅-衬底和背栅-衬底结的反向偏置也慢慢增加。包围这些结的耗尽区也变宽，并且通道收缩。只有很小的电流能流过收缩的通道，并且需要夹断通道的源漏极间的电压变小。当栅和衬底电压数量级的继续增加时，最终通道在 $V_{DS}=0$ 情况下夹断。一旦夹断发生，就没有电流流过晶体管，不管源漏极间的电压，就认为晶体管工作在夹断状态下。

图1.28显示了一个N通道JFET晶体管的I-V特性。它的栅和衬底电极相互连接在一起。每一个曲线代表不同的栅源电压 V_{GS} 。当 $V_{GS}=0$ 时，漏极电流最大。并且它们随着栅压的减小而减小。当栅压等于关断电压(turnoff voltage) V_T ，这个导通结束。这个关断电压定性的看相当于MOS管的阈值电压。由于这两个器件的导电原理大不相同，所以不能完全的作比较。

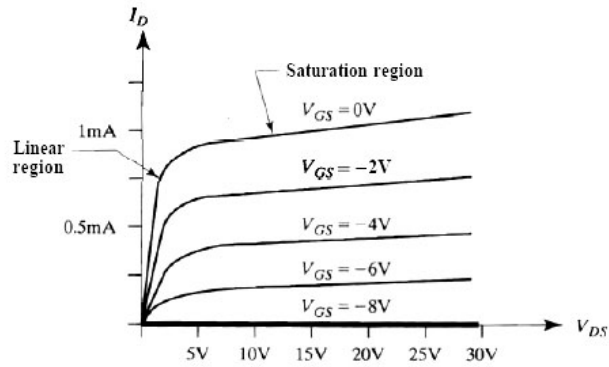


图1.28 $V_T=-8V$ 的N通道JFET晶体管的I-V特性曲线

N型JFET的漏极电流曲线在饱和时稍微有点向上倾斜，这是由于通道长度调变。这个效应类似于MOS晶体管发生的一样。JFET的夹断区随着源漏极间的电压增加而变长。夹断区长度上任何增加都会相应使通道变短。这个通道长度调变效应通常比较小，因为通道长度比夹断区的长度大的多。

JFET晶体管的源漏极通常能呼唤而不影响器件的性能。图1.27A的JFET结构就是这样一个对称器件的例子。有时许多复杂的JFET结构在源漏极的几何尺寸结构上不同，所以它们是非对称器件。

几乎所有的JFET结构都将栅和背栅(backgate)短路连接。考虑图1.27A中的器件。这个通道的范围，左边是源极，右边是漏极，上边是栅极，下边是背栅。图上没有画出通道的前面和后面是什么。在很多情况下，通道的各边都被栅-衬底和背栅-衬底所扩展的反向偏置的结所包围。这样的布置不可避免的缩短的栅和背栅。

图1.29 显示了N通道和P通道JFET晶体管的传统原理图符号。在栅上的箭头指明了器件的栅和衬底之间PN结的方向。这个符号没有明显的指出源漏极，但许多电路设计者定义这个期间，N通道JFET的漏极和P通道JFET的源极在上边。

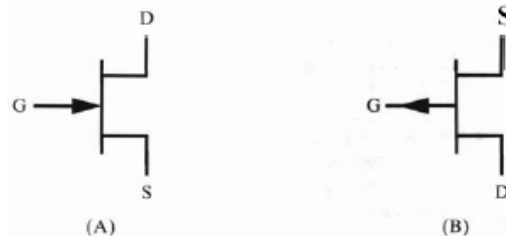


图1.29 N通道JFET和P通道JFET原理图符号

1.6 总结

器件物理是一门复杂的、日益发展的科学。研究者不断的研发出新的器件，并且也在重新诠释现存的器件。很多进行的研究是非常理论性的，因此远远超过了本书介绍的范围。大多数半导体器件的功能都能使用相对简单和直观的概念进行满意的解释。

本章强调了通过PN结的多数载流子和少数载流子的导电作用。如果结反偏，那么结两边的多数载流子将被推开，并且耗尽区形成。如果结正向偏置，那么多数载流子将通过结进行扩散和复合来形成一个通过PN结的电流。PN结二极管就是使用这个现象来整流信号的。

当两个结被放的很近时，通过一个结发射的载流子在复合前将被另一个结所收集。双极结型晶体管(BJT)就是由这样一对靠的很近的结组成。通过BJT发射结上的电压控制着从集电极到发射极的电流。如果晶体管被正常设计的话，那么一个小的基极电流就能控制大的集电极电流。因此BJT就能作为一个将微弱信号转化成大信号的放大器。例如，BJT能放大一

个收音机接收器收到的微弱信号到一个足够驱动扬声器的大信号。

金属氧化物半导体(MOS)晶体管依靠通过电介质上的电场来调制半导体材料的导通。放在MOS晶体管栅上适合的电压能产生一个将衬底电子吸引到硅表面而形成导通通道的电场。栅和晶体管的其它部分保持绝缘，所以没有栅电流来需要去维持导通。因此MOS电路能在低功耗下工作。

结型二极管、双极结型晶体管和MOS晶体管是三个最重要的半导体器件。它们和电阻、电容一起能组成现代集成电路的大多数器件。在下一章将介绍这些器件在生产环境下怎么制造。

2 半导体制造

在电子技术中半导体器件已经使用了很长的时间。19 世纪晚期，第一个固态整流器被发明。1907 年方铅矿(*galena*)晶体传感器被发明，它被广泛的使用在制造晶体收音机上。1947 年，随着人们对半导体物理的深入了解，*Bardeen* 和 *Brattain* 发明了第一个双极结型晶体管。1959 年，*Kilby* 制作出了第一个集成电路，它开创了现代半导体制造的新纪元。

阻碍制造大量的可靠半导体器件，本质上说是技术而不是科学。高纯度材料和精确定位控制的需要阻碍了早期晶体管和集成电路来发挥他们全部潜力。第一个半导体器件和实验室的古董毫无差别。大量生产半导体器件需要一套完整的新技术，这种技术仍然在快速的发展。

本章将对当前使用制造集成电路的工艺技术作一个简要的描述。然后在第三章将研究 3 个制造特殊类型模拟集成电路的工艺流程。

2.1 硅加工

集成电路通常使用硅来制造，硅是一种非常普通和分布广泛的元素。石英矿石完全由二氧化硅(SiO_2)组成，也叫做硅石。普通的沙子主要由细小的石英颗粒组成，因此它也主要由二氧化硅组成。

尽管它的化合物非常丰富，但是硅却在自然界中不会出现。通过人工生产的办法，在电炉中加热硅石和碳可以制造出硅来。碳和硅石中的氧结合，便留下了多多少少纯净的液态硅。当冷却时大量微小的硅便形成，并且生长成有细密纹理的灰色固体。这种形式的硅被称之为多晶硅，因为它包含了大量晶体。杂质和一些杂乱的晶体结构使得这种冶金级多晶硅不适合半导体制造。

冶金级的硅能被进一步的精炼来生产高纯度的半导体材料。精炼的开始是将原始的硅转换成易挥发的混合物，通常是三氯硅烷(*trichlorosilane*)。经过反复蒸馏以后，再使用氢气将高纯度的三氯硅烷还原成硅。最终生成的产品是高纯度的，但它仍然是多晶硅。所以下一步将由生长成一个我们所需要的晶体组成。

2.1.1 晶体生长

晶体生长的原理既简单又熟悉。设想往一个饱和溶液中加入一些糖晶体，然后蒸发。那么糖晶体将作为额外糖分子的籽晶(*seed*)形成沉淀。最终糖晶体将生长的非常大。甚至在没有籽晶的情况下晶体生长也会发生。但是这种产品是由一些交生的杂乱晶体组成。使用籽晶，通过抑制一些不需要晶核形成区允许生长成又大又完美的晶体。

理论上来说，单晶硅的生长和糖晶体的生长在很大程度上方法一致。但是实际上不存在适合硅的溶剂。并且硅生长必须在超过 1400°C 高温下的熔化的硅中形成。生长成的晶体至少长度 1 米、直径 10 厘米。如果它们适合半导体产业制造的话，那他们必须有一个几乎完美的晶体结构。这个需求使工艺技术有了挑战性。

生长半导体级单晶硅的常用方法被称之为切克劳斯基方法(又称直拉法)。图 2.1 所示，这种方法使用了一个充满半导体级多晶硅的石英坩锅。使用电炉提升坩锅温度直到所有的多

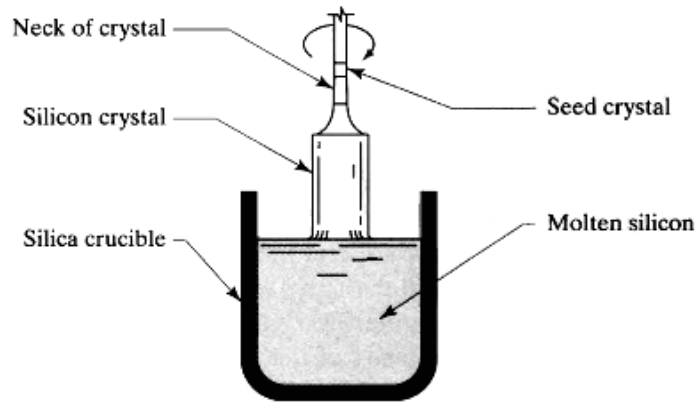


图 2.1 切克劳斯基方法的晶体生长

晶硅熔化。然后轻微地降低温度，将一个小籽晶从高处放入坩锅。控制熔化硅的冷却会使硅原子一层的淀积在籽晶上。固定籽晶的棒慢慢地提升仅仅使生长晶体的最下部分与熔化的硅接触。使用这种方法，一个大的单晶硅能一厘米一厘米地从熔化的多晶硅中拔出。装有晶体的轴缓慢的旋转保证晶体均衡的生长。熔化硅的表面张力打乱了晶体形成了圆柱棒，而不会形成有小面的棱柱。

切克劳斯基方法要求仔细的控制才能得到所需的纯度和尺寸。自动控制系统可以校准熔化硅的温度和单晶硅生长的速度。把一些少量的掺杂多晶硅加入到熔化的硅中可以改变晶体的掺杂浓度。除过故意引入杂质外，来自石英坩锅的氧气和来自加热的碳将溶解到熔化的硅中，而混合到生长的单晶硅中。这些杂质巧妙的影响着生长单晶硅的电气特性。一旦单晶硅达到它最终的尺寸，它将被从熔化的硅中提出，并且允许慢慢的冷却到室温。这样形成的单晶硅圆柱被称为晶锭 (*ingot*)。

由于集成电路是在单晶硅的表面上加工的，并且进入单晶硅表面不是很深。所以晶锭通常被切成许多薄的圆形部分，称之为晶片 (*wafers*)。每一个晶片上集成电路的产量数百甚至数千。晶片越大集成电路越多，产生的经济效益也越大。许多先进的工艺使用 150mm (6 寸) 或者 200mm (8 寸) 晶片。一个典型的晶锭长度有 1 到 2 米，能提供数千片晶片。

2.1.2. 晶片制造

晶片 (*wafers*) 的制造由一系列的机械工艺组成。晶锭的两个锥形末端将被切掉并废弃。剩余的部分放在地面上像一个圆柱体。晶锭的直径决定着晶片的尺寸。研磨后晶片没有明显的晶向指示。通过实验的方法可以确定晶向，并且沿着晶锭的一边会磨出一个平面。每一个从晶锭切下的晶片将有一个小平面，称为定位边 (*flat*)。它明白的标识了晶片的晶向。

研磨定位边后，制造商使用尖的金钢石锯将晶锭锯成单独的晶片。使用这种工艺，大约 1/3 宝贵的单晶硅将作为无用的粉末浪费掉。由于锯割工艺会导致晶片表面产生刮痕和凹坑。集成电路微小的尺寸都需要非常平滑的表面，所以晶片的一面必须抛光 (*polish*)。这道工艺开始于机械研磨剂结束于化学研磨。最终抛光的晶片的表面就像镜子一样，带点暗灰色，这也是硅特有的接近金属光泽的特性。

2.1.3. 硅的晶体结构

每片晶片是由单晶硅组成的薄片。下面的晶状结构决定着当打破时晶片怎样裂开。大多数晶体都倾向于从原子间结合最薄弱键的分裂面 (*cleavage planes*) 裂开。例如，使用一个金属楔猛击金钢石晶体时会裂开。一个合适的方向的敲击会使金钢石裂成两片，每一片上都会有一个非常完美的平直的分裂面。如果敲击方向不正确，那么金钢石将被敲的粉碎。硅晶片也显示出这种分裂样式，通过使用一个废料晶片、一叠纸和一根木质铅笔可以验证。将晶片

放在这叠纸上，再将纸放在膝盖上。取一根木质铅笔，用带橡皮的一端挤压晶片中央。晶片将裂成4片或者6片规则的楔形碎片。许多部分像饼形，见图2.2所示。裂开图案的规则性验证了晶片是由单晶硅组成。

图2.3显示了一个硅晶体一小部分的三维模型。18个硅原子全部或者部分位于一个想象的立方体边界里，称为晶胞(*unit cell*)。6个原子位于立方体6个面的中心。8个位于立方体的8个顶点上。2个背靠背的晶胞共享4个顶点原子和一个面心(*face-centered*)原子。另外的晶胞也能放在这个晶胞的所有面上用来在所有方向上扩展晶体。

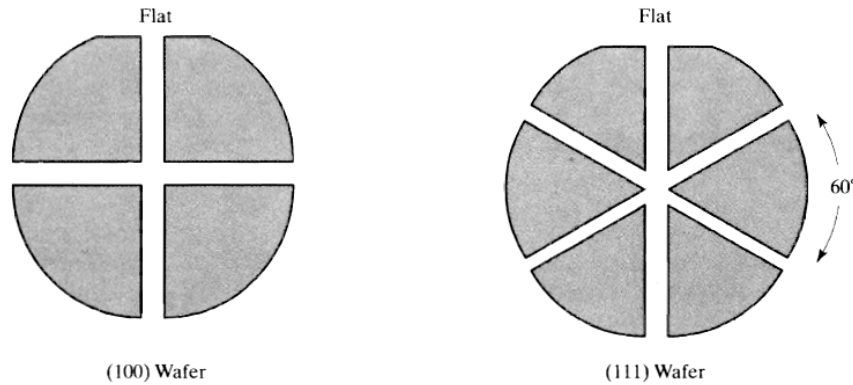


图 2.2 (100)和(111)硅晶片典型破裂图。一些晶片还有第二个小的定位边，它指示了晶向和掺杂。这些微小的定位边没有在图上标出。

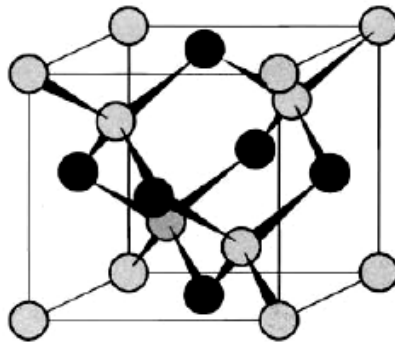


图 2.3 金刚石晶格的晶胞显示了一个面心的立方体结构。面心的原子使用暗灰色以示强调。

当锯条面通过硅晶锭形成晶片时，最后的关于晶胞表面方向决定晶片许多特性。例如，一个通过晶胞面或者晶胞对角线的切割，两种不同的切割将显示不同的原子样式，同样在各自表面上加工的电气特性也有所不同。然而不是所有的通过硅晶体的切割必然不同。因为立方体的各个表面是不可能区分开的。通过晶胞的任何面的切割看起来和别的面切割没有什么不同。换句话说，平行于单位立方体平面的任何面切割都具有相同的表面。

因为用语言很难描述不同的平面，所以一个称之为米勒指数(*Miller indices*)的3组数字被用来表示通过晶格的每一个可能的平面(见附录B)。图2.4显示了2个非常重要的平面晶向。一个平行于立方体的一个面的平面成为(100)面，一个通过单元立方体横断3个顶点的对角切面成为(111)面。通常情况下，硅晶片或按(100)面切割或按(111)面切割。虽然有其他切法存在，但是它们都没有商业意义。

一个三组米勒指数引上括号用来表示晶体平面的垂线方向。例如，一个(100)平面有一个[100]方向的垂线垂直于它；一个(111)平面有一个[111]方向的垂线垂直于它。附录B将讨论米勒指数如何计算，解释不同符号表示他们的意思。

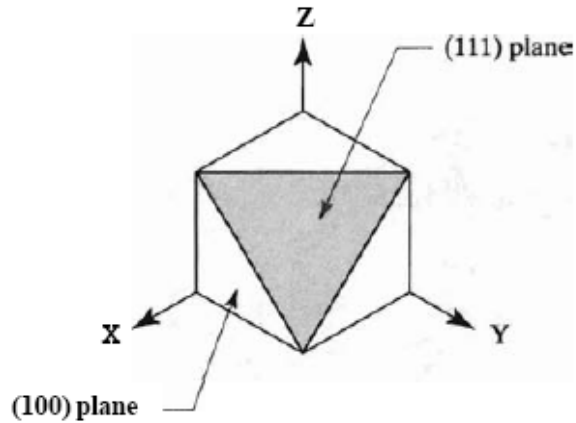


图 2.4 立方体晶体(100)和(111)平面标识

2.2 光刻

硅晶片的生产仅仅是组成集成电路制造的第一步。很多余下的步骤是在晶片上淀积物质或者再次的刻蚀掉它们。虽然存在多种复杂的淀积和刻蚀技术，当它们中许多是没有选择性的，无可选择性，或者称之为 *blanket*，这种没有选择性的工艺影响晶片的整个表面而不是局部。很少的可选择工艺太慢或者太昂贵以致对于高产量生产是没有价值的。一种叫做光刻的技术允许可选择的阻止淀积和刻蚀复杂图形的摄相复制。集成电路制造使得这种光刻得到了广泛使用。

2.2.1 光刻胶

光刻开始于一种易感光的乳胶的使用，称之为光刻胶 (*photoresist*)。图像能被影像到光刻胶上，并且一种显影剂 (*developer*) 能产生所需要的掩模图形。光刻胶溶液通常被旋涂到晶片上。如图 2.5 所示，晶片安装在一个每分钟数千转的转盘上，几小滴光刻胶溶液从自转的晶片上方滴到晶片中心，离心力使得液体通过晶片表面扩展。光刻胶溶液粘在晶片表面而形成

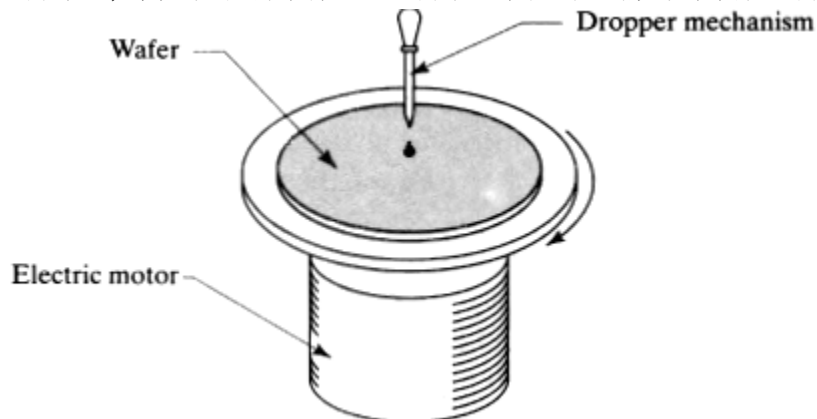


图 2.5 光刻胶溶液在旋转晶片上的应用

成一层均匀的薄膜。过量的液体从自转的晶片边缘上被甩飞。薄膜在几秒钟内会达到它最终的厚度。液体快速蒸发，一层薄的光刻胶涂层将留在晶片表面。涂层通过烘焙去掉最后剩下的溶剂而且使光刻胶变硬以便进一步处理。有涂层的晶片对特定波长的光很敏感，尤其是紫外线光。它们对其它波长的光不很敏感，包括那些红光、橙光和黄光。因此很多光刻车间都有特定的黄光系统。

根据光刻胶暴光时的不同化学反应分为两种基本类型。负性光刻胶 (*negative resist*) 在紫外线下聚合，未暴光的负性光刻胶部分仍然保持着在特定溶剂中的可溶性，然而聚合的光刻

胶变的不可溶解。当晶片被放入特定溶剂, 未暴光的部分溶剂, 暴光的部分仍然保持着涂层。另一方面, 正性光刻胶 (*positive resist*) 在紫外线下以化学的方法分解。这些光刻胶通常情况下不溶于显影剂溶液。当晶片放入溶剂中, 暴光的部分被冲洗掉, 未暴光的部分仍保持着涂层。负性光刻胶在显影时出现膨胀, 所以工艺工程师通常喜欢使用正性光刻胶。

2.2.2 光掩模版和中间掩模

现代光刻依赖于一种概念上类似于放大照相底片的投影印刷技术。图 2.6 显示了一个简单的暴光过程。一个透镜系统对准一个强大的紫外线光源。一个称为光掩模版 (*photomask*)

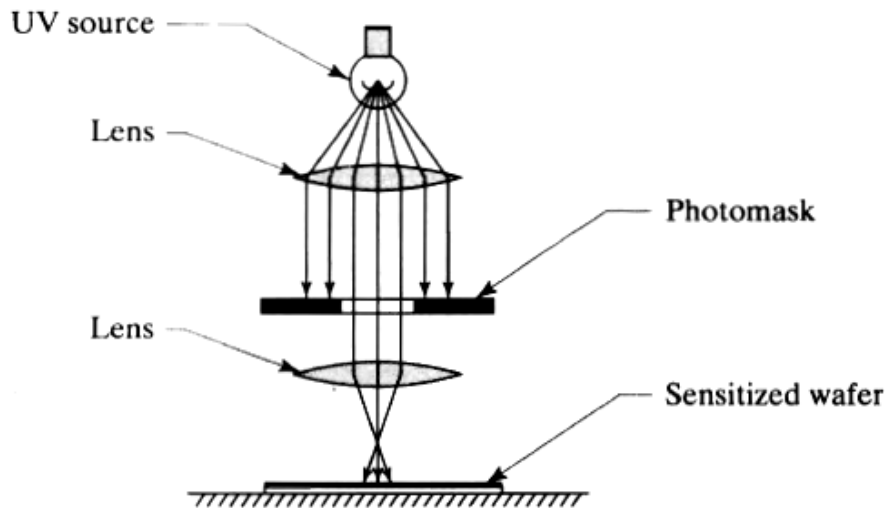


图 2.6 使用对准器掩模版暴光简图

的面板挡住光束路径。紫外线光通过光掩模版透明的部分和另外聚焦图像的透镜到达晶片上。图 2.6 上的这种装置称为对准器 (*aligner*), 因为它必须确保光掩模版上的图形和晶片上的图形精确对准。

作为光掩模版的透明衬底必须在尺寸上保持稳定, 否则它投影的图形将和上次光掩模版投影的图形不一致。这些衬底板常常由熔凝的硅石组成 (*往往被错误的称为石英*)。在衬底板一面上做一层薄的金属层后, 用任何一种不同的高精度, 但非常慢和昂贵的方法去使光掩模版形成图形。光掩模版上的图形是做到晶片上图形的 5 倍或者 10 倍大小。照相缩影缩小光掩模版上的任何缺陷或者误差, 因此提高了最终图形的质量。这种根据放大倍数确定光掩模版的类型称为 5X 或者 10X 中间掩模 (*reticle*)。

中间掩模能直接在晶片上使用形成图形, 但是这样做有一些机械上的难度。对准器能接纳光掩模版的尺寸在机械上有一定的考虑, 包括制作所需精度大透镜的难度。因此许多商业对准器只接受和晶片大小尺寸一样的光掩模版。一次就能在整片晶片上形成图形的 5X 中间掩模版是晶片尺寸的 5 倍, 所以它也不适用于对准器。实用制作的 5X 或者 10X 中间掩模仅仅暴光晶片的一个小的矩形区域而形成图形。中间掩模必须逐步在晶片上移动和在不同的位置暴光, 目的是在整个晶片上复制图形。这个工艺被称为步进 (*stepping*), 一个被设计来步进中间掩模的对准器称为步进电机 (*stepper*)。步进电机比一般的对准器还要慢, 因此它也是相当昂贵的。

有一种暴光晶片的很快的方法被用在制作一些尺寸要求不是很高的集成电路上。中间掩模不是在激活的晶片上步进, 而在别的光掩模版上步进作为代替。现在这块光掩模版具有所需图形 1X 的图像。最终的光掩模版被称为 *stepped working plate*。它一次能使整片晶片暴光。用 *stepped working plate* 制作光刻又快又便宜, 但是效果没有直接在晶片上步进中间掩模精确。

甚至很微小的灰尘斑点也大到能挡住一部分图形的传输而毁掉至少一块集成电路。一些特殊的空气过滤技术和防护服在晶片制作中被普遍使用。但是还是会有一些灰尘避开这些防护措施。所以光掩模版的一面或者两面经常使用薄膜套住防止暴光时灰尘的干扰。这种薄膜由很薄且透明的塑料膜组成，它被放在一个能轻微的把握住薄膜的环形隔离物 (*spacers*) 上，并且紧贴在晶片上面。光线通过薄膜时候不会被聚焦，所以薄膜上的粒子不会出现在成形的图形上面。这种薄膜密封了晶片的表面从而阻止灰尘的干扰。

2.2.3 图形形成

暴光的晶片被喷上一种合适的显影剂，通常是一些有机溶剂的混合物。显影剂可以溶解部分保护层而露出晶片的表面。淀积和蚀刻仅仅影响这些露出的区域。一旦这些选定的工艺完成，光刻胶将被使用溶剂去掉。或者光刻胶也能在有氧的环境下使用粒子反应化学刻蚀掉（节 2.3.2）。这个过程被称为灰化 (*ashing*)。

许多重要的制作工艺需要能承受住高温的掩模层。因为大多数使用的光刻胶都是有机化合物，他们很显然不适合。两个最常用的高温掩模材料是二氧化硅和氮化硅 (*silicon nitride*)

（又称四氮化三硅）。这些材料通过在硅表面加合适的气体进行反应制成。然后再涂上光刻胶、形成图形和使用刻蚀工艺在氧化层或者氮化层上面开洞。现代工艺技术广泛使用氧化层和氮化层作为高温沉淀和扩散的掩模版。

2.3 氧化物的生长和去除

硅可形成好些氧化物，最重要的一种就是二氧化硅 (SiO_2)。这种氧化物有很多重要的特性以致于硅在半导体中具有重要的地位。别的半导体也有好的电气特性，但是只有硅能形成非常好的氧化物。通过在有氧的环境下简单的加热硅晶片可以生长二氧化硅。生成的保护层非常牢固可以抵挡大多数溶剂。然而它却容易地溶解于氢氟酸 (*hydrofluoric acid*) 里。氧化层是极好的电绝缘体。它非常有用，不但能绝缘金属导线而且也能在形成电容和MOS晶体管的电介质。二氧化硅在硅工艺中是如此的重要以致成为大家众所周知的氧化物。

2.3.1 氧化物的生长和淀积

生长氧化层最简单的方法是在有氧的环境下加热硅晶片。如果使用纯净的干氧气，那么生成的氧化层被称为干氧化物。图 2.7 显示了一个典型的氧化设备。晶片被放在一个称为晶片船 (*wafer boat*) 的溶凝的硅石架子上。将晶片船慢慢的插入一个有电加热覆盖的溶凝的硅石管道中。当晶片船移动到加热区中心时，逐渐地提升晶片的温度。氧气通过一个管道吹过每一个晶片表面。在提升的高温下，氧分子通过氧化层扩散能到地下的硅。氧气和硅反应，氧化物的厚度逐渐加厚。当氧化层逐渐变厚，氧扩散的速度逐渐变慢。所以生长速度随时间减小。表 2.1 显示了高温能加速氧化层的生长。晶向也影响氧化层生长速度，(111) 硅的氧化速度比(100)硅快。一旦氧化层达到它期望的厚度(通过时间和温度校准)，晶片将慢慢的从氧化炉中撤出。

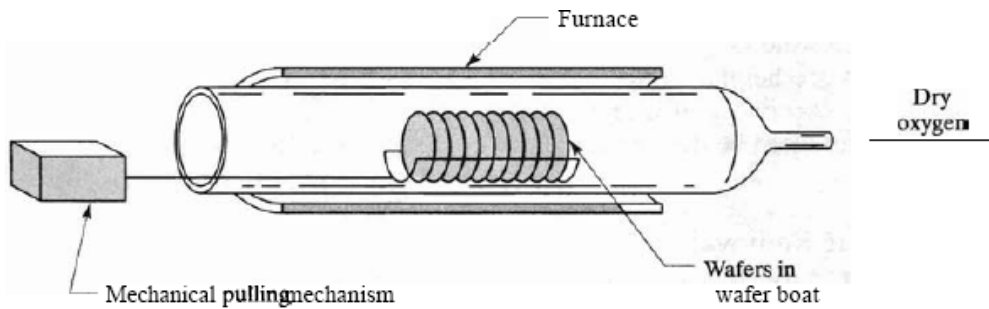


图 2.7 氧化炉的简单示意图

Ambient	800°C	900°C	1000°C	1100°C	1200°C
Dry O ₂	30 hr	6 hr	1.7 hr	40 min	15 min
Wet O ₂	1.7 hr	20 min	6 min		

表 2.1 在(111)硅上生长 0.1 μ 的氧化物所需时间

干的氧化物生长非常慢，但它的质量确是非常高的，因为几乎没有缺陷存在氧化物和硅表面间。这些缺陷，或者称为表面状况(*surface states*)会干扰半导体器件的正常工作，尤其是 MOS 晶体管。表面状况密度被用一个称为表面状况电荷(*surface state charge*)或者 Q_{ss} 的参数来测量。使用热生长的(100)硅的干氧化物层有特别低的表面状况电荷，因此它是做 MOS 晶体管电介质的理想材料。

湿的氧化物使用和干的氧化物相同的方法生成，所不同的是蒸汽被注入到氧化炉管道中加速硅的氧化。水蒸汽快速通过氧化物薄层，但是水分子分解出来的氢原子产生的缺陷会降低氧化层质量(湿氧化状况下氢的带入，减小了 *dangling bonds* 的浓度，但是它却增加了固有的氧化物的电荷。所以湿氧化和干氧化并不像本文介绍的那么简单)。湿氧化通常用在没有有源器件的地方生长一层厚的场氧(*field oxide*)。干氧化在高压环境下也能加速氧化物的生长速度。

有时氧化层必须在别的物质上形成而不是在硅上。例如，氧化物频繁的作为绝缘体在两层金属间使用。在这种情况下，就需要使用淀积氧的方式而不是前面讨论的氧的生长。淀积氧化物层可以通过在气态的硅化合物和气态氧化剂之间的不同反应制成。例如，硅烷气体和氮的氧化物反应而形成氮气、水蒸汽和硅氧化物。淀积氧化物往往有低密度和大量的缺陷，所以它们不适合作为 MOS 晶体管的栅(*gate*)电介质使用。不过它仍然能作为多层导电层之间的绝缘层使用或者作为保护层(*protective overcoat*)使用。

由于薄膜干涉(*thin-film interference*)的缘故所以氧化物薄膜的颜色是明亮的。当光通过一层透明薄膜时，在入射和反射波振面之间的破坏性干涉引起特定波长的光将被有选择性的吸收。不同厚度的薄膜吸收不同颜色的光。薄膜干涉会导致肥皂泡和水面上的油膜出现彩虹样的颜色。同样它也使集成电路微缩照片产生鲜明的彩色效果。这种颜色有助于在显微镜下或者微缩照片上区别集电路上不同的区域。氧化物薄膜大致的厚度可以使用一张氧化物颜色表来确定。

2.3.2 氧化物去除

图 2.8 描述了如何形成特定图形氧化物层的过程。第一步是在晶片上生长一层薄氧。接下来晶片自转时涂上光刻胶。然后用烤箱烘焙去掉光刻胶溶液的最后痕迹，并使光刻胶变硬以便进行后期处理。光刻曝光后，晶片将被喷上一种能溶解光刻胶曝光部分的溶剂从而露出下面的氧化层。组成图案的光刻胶充当氧化层刻蚀的掩模材料。由于它的作用，光刻胶最后被剥掉而留下成图形的氧化层。

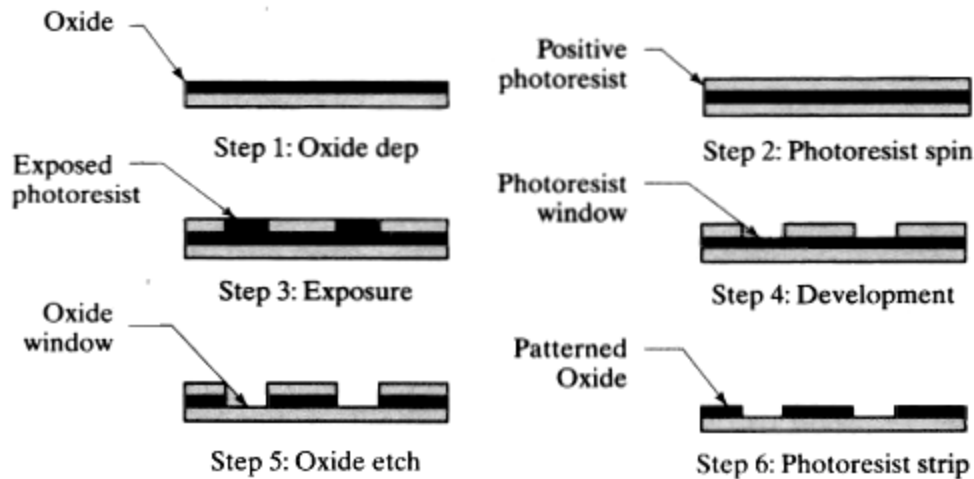


图 2.8 氧化层的生长和去除步骤

氧化物能通过两种方法的任一种被刻蚀掉。湿刻蚀 (*Wet etching*) 使用一种能溶解氧化物的液体溶剂，但它不能溶解光刻胶或者下面的硅。干刻蚀 (*Dry etching*) 使用反应等离子来达到同样的功能。湿刻蚀简单，然而干刻蚀却能提供很好的控制线宽。

大多数湿刻蚀使用一种有缓冲作用的氢氟酸溶液 (*HF*)。它有非常高的腐蚀性更利于溶解硅氧化物，它既不会侵蚀硅，也不会侵蚀有机光刻胶。刻蚀工艺是将晶片 (*Wafer*) 浸入到装有氢氟酸溶液的塑料容器里放特定长的时间，接下来就是彻底的将酸从晶片上冲洗掉。湿刻蚀是各向同性 (*isotropic*) 的，因为它在横向和纵向同时进行，由于酸的使用会在光刻胶边缘的下方产生类似于图2.9A中的倾斜的侧墙 (*sidewalls*)。因为刻蚀要进行足够长的时间来保证所有的开孔上的氧化物已被完全清除掉，不可避免的会有一些过刻蚀的现象出现。这样晶片还在酸中浸泡，酸还会继续刻蚀侧墙。侧墙侵蚀的程度取决于不同的刻蚀条件、氧化层厚度和别的因素。由于这些的变化，所以湿刻蚀不能提供现代半导体工艺中严格的线宽控制要求。

干刻蚀有好几种类型的工艺 (*反应离子刻蚀 (RIE)* 仅仅是实际上3种干刻蚀类型中的一种，另外两种是等离子体刻蚀和化学气体刻蚀。*RIE*是它们中最常用的一种，因为它能产生高的各向异性特性)。一个称为反应离子刻蚀 (*reactive ion etching (RIE)*)，它使用等离子轰击去刻蚀晶片 (*Wafer*) 的表面。一个静止的电的放电在低压混合气体中被传递而形成高能分子的过程称为反应离子 (*reactive ions*)。刻蚀装置高速发射这些离子向下到晶片 (*Wafer*) 表面上。由于离子以陡峭的角度冲击晶片，所以垂直刻蚀比水平刻蚀速度更快。反应离子刻蚀的各向异性允许形成像图2.9B中几乎垂直的侧墙。图2.10描述了一个简单的反应离子刻蚀仪器图。

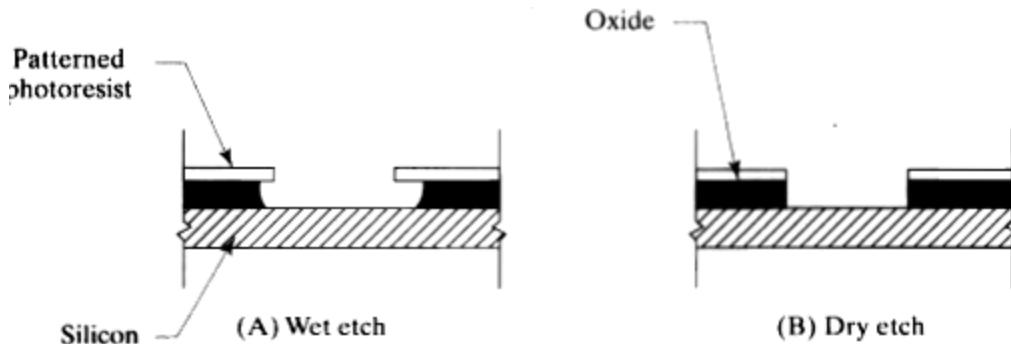


图2.9A 湿刻蚀各项同性(A)和干刻蚀各向异性(B)的比较，注：湿刻蚀带来氧化层的侧凹

RIE系统中使用的刻蚀气体通常由一些有机卤素混合物组成，例如三氯乙烷 (*trichloroethane*)，或许也混合了一些例如氩的惰性气体在里面。这些混合物中的反应离子会优先选择二氧化硅攻击，而不是光刻胶或者硅。刻蚀气体的不同混合已经发展到允许各向异性刻蚀的蚀氮化硅、硅和其他物质。

现代工艺依赖于使用干刻蚀去得到严格的亚微米级几何形状而不能通过其它途径制造。高的封装密度和器件的高性能大大弥补了干刻蚀的复杂性和成本。

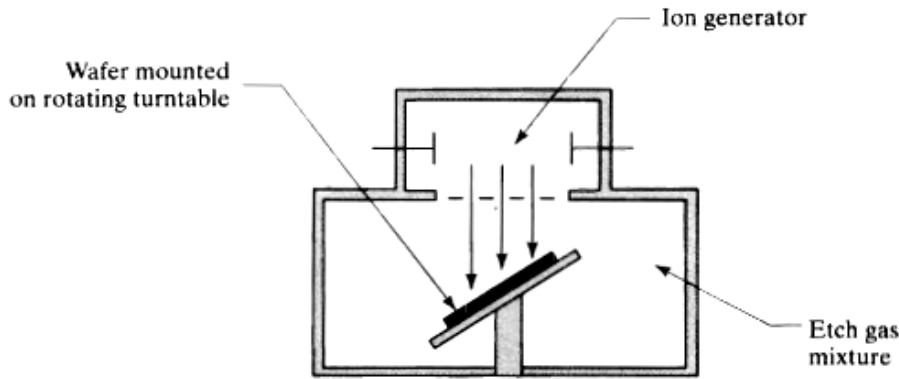


图2.10 反应离子刻蚀仪器简图

2.3.3 氧化物生长和去除的其他效应

在典型的工艺次序中，晶片被反复的氧化和刻蚀从而形成连续的掩模层。这些多层的氧化层会引起硅表面变的不平坦。生成的表面的无规则性应相当被关注。因为现代精细的线光刻有很窄的空间深度。如果表面无规则性太大，那么它将变的不能在光刻胶上聚焦图形。

仔细看一下图2.11A上的晶片。一个平坦的硅平面已经被氧化过、形成图形和刻蚀过而形成一系列氧化物开孔(图2.11A)。随后形成图形的晶片进行热氧化而形成图2.11B中所示的截面图。

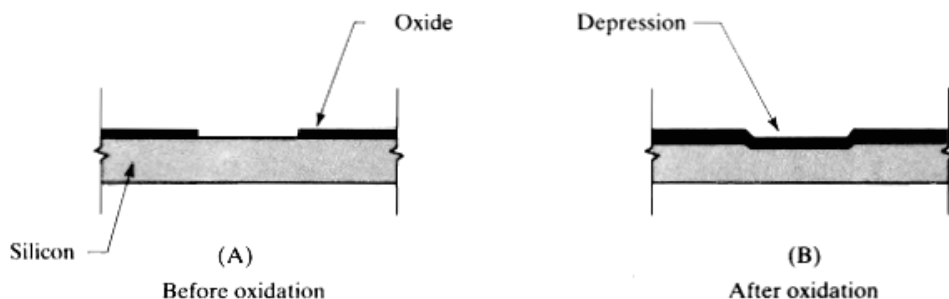


图2.11 晶片上图形氧化的外形效果

上次氧化刻蚀左边的开孔很快的被氧化，然而表面已经涂上了一层氧化层的表面氧化起来比较慢。硅表面大约被刻蚀掉氧化物厚度增长的45%。因此原来氧化物开孔下面的硅比硅平面周围的硅凹下去很多。原来开孔处氧化物的厚度总是小于它周围氧化物的厚度，因为硅表面上的氧化物是在原来氧化物基础上开始生长起来的。氧化物的厚度和硅表面上深度的差别产生了一个表面不连续特性，称之为氧化阶梯 (*oxide step*)。

热氧化的生长也影响硅下面掺杂级别。如果杂质更易溶于氧化物而不是硅，那么在氧化的过程中杂质将趋向于从硅向氧化物中迁移。因此硅的表面将形成一个杂质的耗尽区。硼更易溶于氧化物中而不是硅中。所以它更趋向于转移到氧化物中。有时这种效应称为硼吸入 (*boron suckup*)。相反地，如果杂质能更稳定的溶解在硅中而不是氧化物中。那么氧化物和硅界面会把杂质推进硅里而在硅表面上形成一个仅限于局部的杂质级别的增加。磷(就像砷和锑)易迁移到硅里面，所以它更趋向于积累在硅表面而成为氧化物的继续。有时这种效应

成为磷堆积 (*phosphorus pileup*) 或者 *phosphorus plow*。图 2.12A 和 2.12B 的掺杂图分别说明了硼积累 (*phosphorus pileup*) 和 *phosphorus plow*。在这两种情况下, 预氧化时掺杂分布是个常数并且靠近表面的掺杂浓度变化是完全不同的。隔离机制的存在使集成器件的杂质剖面设计任务变的复杂。

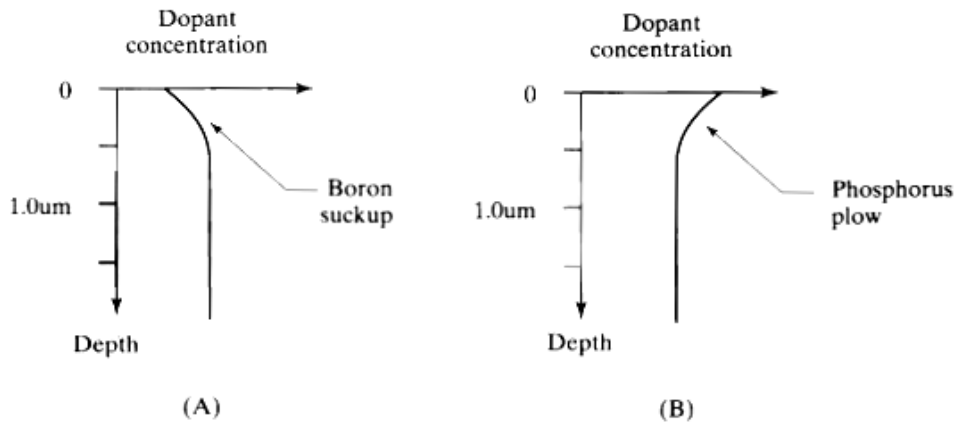


图 2.12 氧化隔离机制 (A) *phosphorus pileup* 和 (B) *phosphorus plow*

硅的杂质也影响氧化物的生长速度。一个浓的 N+ 扩散区通过一个称之为掺杂增强氧化 (*dopant-enhanced oxidation*) 的工艺可以加速它周围氧化物的生长。在氧化界面上由于施主原子 (*donors*) 干扰了硅原子共价键的现象出现, 引起了硅原子错位和晶格缺陷。这种缺陷促进了氧化, 因此也加速了覆盖的氧化物的生长。在这种工艺下, 一个长时间的热驱动和氧化之前, 当一个重掺杂的 N+ 淀积出现早的话, 这种缺陷变的尤其重要。图 2.13 显示了 N+ 区淀积后, 长时间的热氧化完成后的晶片。在 N+ 区上的氧化层实际上比临近区域的氧化层还要厚。掺杂增强氧化被用来增厚场氧 (*field oxide*) 目的是减少单位面积上的电容。因此深 N+ 扩散区上形成的对下极板和衬底的寄生电容比轻掺杂区上形成的寄生电容小的多。

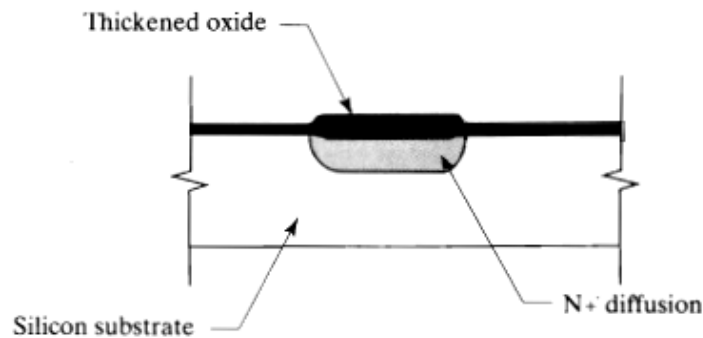


图 2.13 掺杂增强氧化效果

2.3.4 硅局部氧化

一种被称为硅局部氧化 (*local oxidation of silicon*) (*LOCOS*) 的技术用来有选择性的生长厚氧层。这种工艺开始于一个能保护硅表面免受机械应力包括以后的工艺产生的应力的薄衬垫氧化层 (*pad oxide*) 的生长 (图 2.14)。化学气相淀积 (*Chemical vapor deposition*) 在衬垫氧化层上方生成一层氮化物薄层。氮化物层被形成图形而暴露出部分可进行选择性的氧化。氮化物层阻止了氧和水分子的扩散。所以只有在氮化物的开口处才出现氧化。一些氧化剂只能在氮化物边缘下扩散一小段距离, 产生一个过渡区域的特性剖面, 称之为“鸟嘴” (*bird's beak*)。一旦氧化完成, 氮化物层将从形成图形的氧化物上去除。

CMOS 和 BiCMOS 工艺使用 LOCOS 在晶片电惰性区域上生长一层厚的场氧 (*field oxide*)。没

有覆盖场氧的区域是隔离槽(*moat*)区, 因为它们在晶片的地形上形成浅的开槽。随后一个非常薄且高质量的栅氧将在在隔离槽区形成作为MOS晶体管的栅电介质。

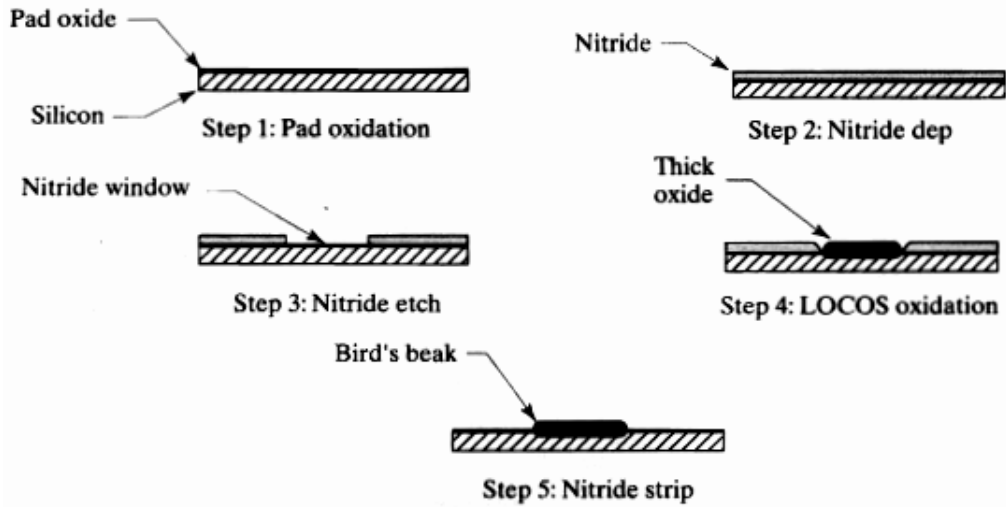


图2.14 硅局部氧化工艺

一个称为库依效应(*Kooi effect*)的机制使得栅氧化层生长变的复杂。通常使用水蒸气来加速硅局部氧化, 但同时也侵蚀了氮化物薄层而产生氨水。有一部分氨水进入到氮化物开口边缘附近的衬垫氧化层(*pad oxide*)下面。然后氨水和下面的硅发生反应而再次形成氮化硅(图2.15)。由于这些氮化物淀积位于衬垫氧化物下面, 所以硅局部氧化的氮化物去除后, 而

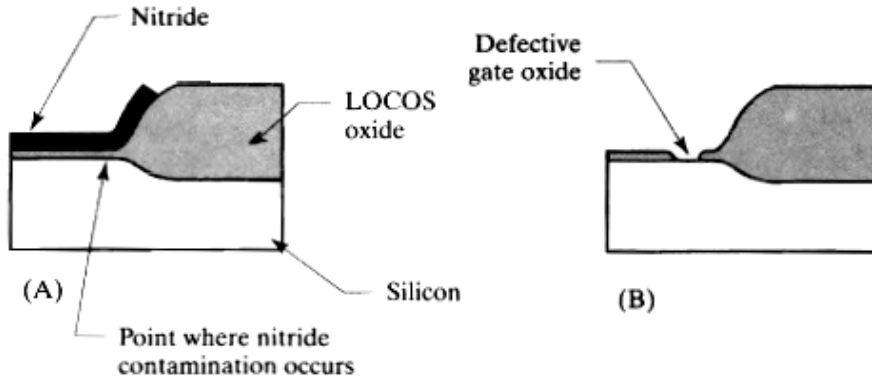


图2.15 生长在鸟嘴下的氮化物引起的库依效应(A), 在后来的氧化中阻止栅氧的形成

它却依然存在。在生长栅氧之前删除衬垫氧化物却不能除掉这些淀积, 因为刻蚀是有选择性的刻蚀氧化物而不是氮化物。在栅氧生长过程中, 残存的氮化物无意识的充当了延迟隔离槽(*moat*)区周围边缘氧化物生长的LOCOS的掩模作用。在这些地方的栅氧不是足够的厚而来承受全部的工作电压。通过先生长一层薄氧然后在将其去除可以避免产生库依效应。因为氮化硅氧化很慢, 所以这个临时的栅氧(*dummy gate oxidation*)可以去掉氮化物残渣而且立刻提升了后来真正的栅氧生长的完整性。

2.4 扩散和离子注入

离散二极管和晶体管能在晶体生长过程中通过在硅晶锭中形成结来制成。假定开始就是一个P型晶体硅锭。一个短时间生长之后, 通过一个能控制磷数量的设备将磷进行补偿掺杂。现在晶体继续生长这将会产生一个PN结嵌入在晶锭上。连续的技术掺杂能在晶体上产生多个结, 这就允许生长结(*grown-junction*)晶体管的制造。集成电路上不能生长, 这是因为

在晶片的不同部分没有办法生长出不同的掺杂区。就连生产简单的生长结晶体管也出现了挑战，因为形成的结的厚度和平面度很难得到控制。每一次的技术掺杂也增加了整个的掺杂浓度。硅的一些特性（例如少数载流子的存在时间(lifetime)）依赖于掺杂原子的整体浓度，而不是依赖于多于别的掺杂物的过剩量。因此重复的补偿掺杂会逐渐的降低硅的电气特性。

历史上，生长结的工艺不久就被受大家喜爱的更易用的平面工艺(planar process)所取代。这种工艺被用在生产大量的现代离散器件，也用在生产所有的现代的集成电路。图2.16显示了任何在一个晶片上使用平面工艺制作离散二极管的过程。首先均匀掺杂的硅晶体被切

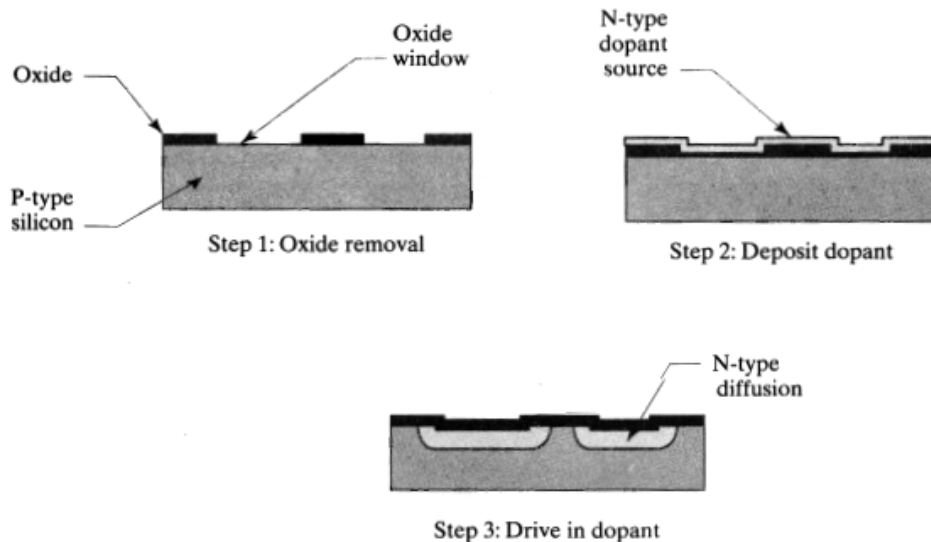


图2.16 使用平面工艺的PN结二极管扩散区的形成

成单片的晶片。然后在这些晶片上生长一层氧化层，再进行光刻图形和刻蚀。接着在形成图形的晶片上的去掉氧化层的地方自旋式的涂上一层杂质源。再将晶片放进加热炉中加热促使杂质进入到硅中，这将形成一个浅的补偿掺杂区。完成的晶片将被切成成百上千个单独的二极管。平面工艺不需要像硅锭那样多层掺杂，因此可以得到更精确的结深控制和杂质分布。

2.41 扩散

杂质原子在热扩散下通过硅晶格移动的方式和载流子通过扩散(节1.1.3)移动的方式非常相似。由于杂质原子被牢牢的束缚在晶格里面，所以只有在800℃到1250℃的高温下才有合理的扩散速度。一旦杂质原子被驱动到所期望的结深度，晶片将被冷却，杂质原子将变的在晶格里面固定不动。以这种方式形成的掺杂区称为扩散。

形成一个扩散通常工艺有两个步骤：初始的淀积(或者预先淀积)和随后的驱动(或者驱使)。淀积通过加热晶片让它和外部的杂质源相接触。其中一些从杂质源扩散到硅晶片的表面而形成一层薄的重掺杂区。然后将外部的杂质源去除，再将晶片被加热到一定的高温并保持一定的时间。淀积过程中引入的杂质将被驱赶到更深且浓度较低的扩散区域。如果需要一个重掺杂的结，那么通常无需将晶片上面的杂质源去掉，而是淀积和随后的驱动作为一个操作来完成。

在硅工艺中有4中广泛使用的杂质：硼(boron)、磷(phosphorus)、砷(arsenic)和锑(antimony)。只有硼是受主(acceptor)；其他三个都是施主(donors)。硼和磷扩散相对比较迅速，然而砷和锑扩散相对就比较慢点(表2.2)。砷和锑对于要求扩散速度慢的地方比较适合，例如希望得到非常薄的结时候。硼和磷甚至在温度低于800℃是都不会有丝毫的扩散，所以就必须有特殊高温的扩散熔炉。

Dopant	950°C	1000°C	1100°C	1200°C
Boron	0.9	1.5	3.6	7.3
Phosphorus		0.5	1.6	4.6
Antimony			0.8	2.1
Arsenic			0.7	2.0

表2.2 典型的微米级下的结深(1020 原子/cm³, 1016 原子/cm³ background, 15 分钟淀积, 1 小时drive)

图2.17显示了一个进行磷扩散的典型工艺简图。一个长的溶凝硅石管通过一个能在管子中央产生一个非常温定高温区的电熔炉。将晶片装上晶片船后, 晶片船将被一个能控制插入速度的机械装置慢慢的推入到熔炉里面。干氧被吹入到一个装有三氯化磷($POCl_3$, 通常也叫做pockle)溶液的烧瓶中。一小部分三氯化磷蒸发并被气流带着通过晶片表面。磷原子通过三氯化磷的分解被释放而扩散到氧化层, 形成能充当淀积源的杂质氧化层。当时间足够长, 硅上将淀积充足的杂质。晶片将从电炉中撤出, 并且掺杂的氧化层将被去掉(这个过程称为脱釉 (deglaizing))。然后晶片在重新被装入另一个电炉中, 在那里通过加热可以驱使磷到达所期望的扩散。如果希望非常集中的磷扩散的话, 在驱使磷扩散前晶片就不需要进行脱釉。只有对杂质源做适当的调整, 这种设备也能用力进行4种杂质中任何一种的扩散。

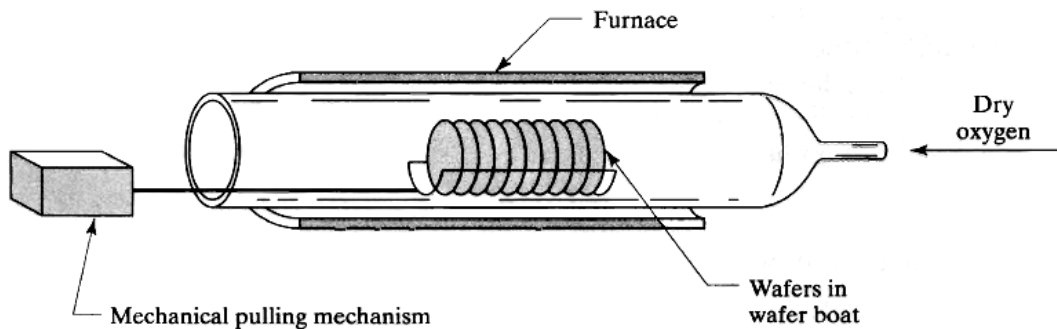


图2.17 使用三氯化磷源进行磷扩散熔炉的简图

许多可替代的淀积源已经被研发出来。一种气态杂质例如乙硼烷(*diborane*) (代替硼)或者磷化氢(*phosphine*) (代替磷)能被直接注入到载体气流中。放在硅晶片之间的薄的氮化硼圆片能作为硼的固体淀积源。在高温氧化环境中, 从这些圆片释放出来的三氧化硼气体会接近晶片。其他不同专利的旋涂玻璃(*spin-in glasses*)也被作为杂质源出售。这些由掺杂氧化物组成的杂质源分散的分布在易挥发的溶剂中。当溶液被旋涂到晶片上以后, 一个暂短的烘培逐出溶剂而在晶片上留下一层掺杂氧化层。这就是所谓的玻璃(*glass*)它能作为一个杂质源在随后的扩散中使用。

这些淀积方案都不是能很好的控制。即使是气体源(被精确测量过)不均匀的流过晶片周围也会不可避免的产生掺杂偏移。对那些要求不是很苛刻的工艺, 比如标准双极工艺, 这些方案的任何一种都可以达到满意的结果。现代CMOS和BiCMOS工艺要求比传统的淀积技术所达到的掺杂控制级别和结深度更为精确。离子注入(*Ion implantation*)在更复杂和更昂贵的设备为代价前提下能提供所需的精确度。

2.4.2 扩散的其它效应

扩散工艺遭受了很多限制。扩散仅仅能在晶片的表面上进行, 限制了能制造的几何形状。杂质扩散的不均衡性, 最终导致扩散没有恒定的掺杂分布。随后的高温工艺步骤延续了驱动先前淀积杂质, 所以在这个工艺中较早形成的结在后面的工艺中将被直接地驱使的更

深。杂质向往扩散到氧化物窗口边缘下，导致了扩散图形的延伸。由于隔离机制的存在，扩散和氧化相互作用，而使掺杂级表面耗尽或者增强。扩散甚至之间也相互作用，因为一种杂质扩散的存在也会改变其它杂质的扩散速度。这些和别的因素的复杂化使得扩散工艺远比它起初出现时复杂的多。

扩散只是产生相对浅的结，实际的驱使时间和温度限制了结深大约到15微米。因为扩散使用一个氧化物模版进行形成图形，所大多数扩散都要浅的多。图2.18描述的杂质扩散的横剖面图和通常实际的比较类似。杂质一般以相同的速度在各个方向上向往扩散。在氧化物窗口边缘下结的横向移动距离大约是结深的80%。横向移动就是我们熟知的向外扩散 (*outdiffusion*)，引起最终的扩散区尺寸超过了氧化物窗口的外形尺寸。因为薄膜干涉引起氧化物颜色的改变与氧化物去除的位置一致，而与最后结的位置不一致，所以向外扩散在显微镜下是看不见的。

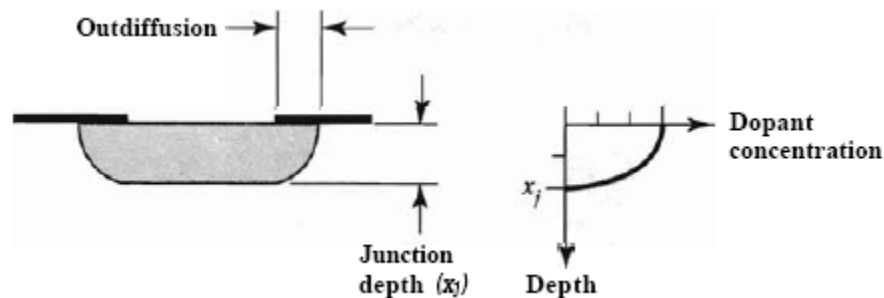


图2.18 一个典型的平面扩散横截面和掺杂分布

扩散的掺杂级别随着结深而变化。忽略隔离机制，表面上杂质浓度最高，随着结深而逐渐减少。最后的掺杂分布 (*doping profile*) 能在理论上预计并且也能实验检验。图2.18显示了氧化物窗口中心一点的理论掺杂分布。这个理论剖面假定氧化物隔离仍然可以忽略，当然也不总是这样的。硼吸取可以充分地减少P型扩散区表面掺杂并且能引起一个反转为一个N型轻掺杂扩散区。磷堆积确不能引起表面反转，但它仍然会影响表面掺杂级别。

正如上面所提到的，扩散速度可以通过其它掺杂物的介入而有所改变。考虑一个磷重掺杂的发射极扩散到硼轻掺杂的基极的NPN晶体管。在发射极高浓度施主 (*donors*) 的存在引起晶格产生缺陷应力。这些部分缺陷应力将迁移到表面。在那里将引起杂质增强氧化。别的缺陷将向下移动，在那里他们加速了下面的基极区硼的扩散。这种机制我们称之为发射极陷落 (*emitter push*)。它会引起发射极下面产生一个比周围区域深的基极扩散 (图2.19A)。扩散区下NBL (*N型埋层*) 的存在可以减少由于NBL上扩散 (*updiffusing*) 和基极扩散交集的结深。这个效应有时也称为N型掩埋层陷落 (*NBL push*) 和我们周知的发射极陷落类似。即使它们下面的机制有所不同 (图2.19B)。NBL陷落能干扰精确扩散电阻的布局。

一个类似的机械装置能促进氧化区下面杂质的扩散。由于氧化工艺产生的缺陷，所以一些缺陷将向下迁移提供生长中氧化物下杂质的扩散速度。这种机制被称为氧化增强扩散 (*oxidization-enhanced diffusion*)。它影响所有的扩散，可以在LOCOS场氧下产生比邻近隔离槽区域更有效的扩散 (图2.19C)。

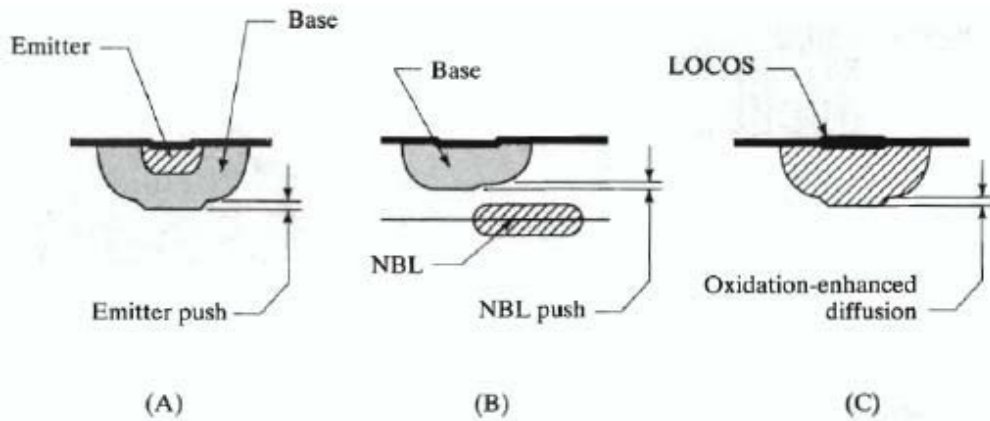


图2.19 能改变扩散速度原理图 (A)发射极陷落 (B)NBL陷落 (C)氧化增强扩散

由于许多的相互作用的发生,即使那些使用很久的计算机程序也不能预知实际的掺杂分布和结深。工艺工程师必须小心的进行实验来找到一个能在晶片上生产出给定组合器件的方法。工艺越复杂,这些相互作用就越复杂,也就更难找到一个适合的方法。由于工艺设计浪费了很多时间和工作,所以大多数公司只使用一些工艺来生产他们的所有产品。把新工艺步骤合并到现存的方法中的困难也说明了工艺工程师不情愿修改他们工艺。

2.4.3 离子注入

由于传统扩散技术的限制,使用离子注入使得现代工艺变的广阔。离子注入机(*Ion implanter*)实际上就是一个用来加速杂质原子的粒子加速器,以致它能穿透到硅晶体好几微米的深度。离子注入不需要在高温下进行。所以一个形成图形的光刻胶层能作为一个掩模版来阻止杂质的注入。离子注入比传统淀积和扩散有更好的杂质浓度和剖面控制。然后大量的离子注入需要相对长的注入时间。离子注入机也是复杂和昂贵的设备。所以许多工艺使用扩散和注入结合的方法来减少整体费用。

图2.20显示了一个离子注入机的简图。离子源提供了一个被微型线性加速器电场加速过的已电离杂质原子流。一个磁分析器(*magnetic analyzer*)选出所需的离子,然后一对偏转极板将扫描最终通过晶片表面的离子束。整个系统必须处于高真空状态下,所以这个设备被放入一个钢罩(*steel housing*)中。

一旦离子进入硅晶格中,它们由于和周围原子的碰撞开始立刻减速。每一次的碰撞将动能从一个移动的离子传送到一个固定的原子上。离子束一边发射能量一边快速移动,引起以一种向往扩散的方式四处的进行离子注入。由于碰撞有的原子也被撞出晶格外,引起广泛的晶格破坏,这种破坏可以通过在一定适合的高温(800°C到900°C)下对晶片进行几分钟的退火(*annealing*)处理来修复。

硅原子变得可移动并且离子注入区边缘周围未碰撞的晶体结构可是作为晶体生长的籽种。破坏从离子注入区向中心慢慢的退火。如果晶片随后被加热到一个充分的高温。通过离子注入掺杂的杂质将通过热扩散重新分布。所以一个深的轻掺杂扩散可以通过第一次所需掺杂的离子注入来完成,随后向下驱动它们到所需的结深。

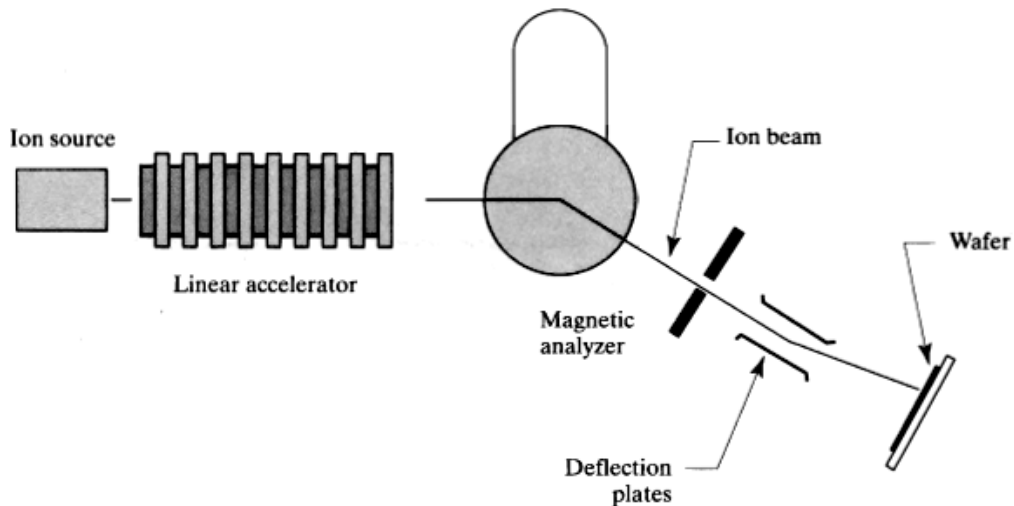


图2.20 离子注入机简图

离子注入提供的杂质浓度和注入剂量 (*implant dose*) 直接成比例的，注入剂量等于离子束电流和时间的乘积。注入剂量能精确的监控和控制，所以它比传统的淀积工艺能提供非常好的可重复性。掺杂分布可以通过给单个离子赋予的能量来决定，一个称之为注入能量 (*implant energy*) 的量。低能量注入是非常浅的，然而高能量注入实际上在硅表面下安置大多数杂质离子。离子注入可用来补偿掺杂一个表面下的区域而形成一个埋层 (*buried layer*)。实际上由于注入能量的限制，这些埋层通常比较浅。

离子注入稍微有点各向异性。尤其是离子注入的边缘，一个低能量的浅注入没有热扩散产生的扩展宽。这有助于自对准 (*self-aligned*) 结构的制造，能大大提高MOS晶体管的性能。图2.21描述一个通过离子注入制造自对准MOS晶体管源漏极区域的过程。一层多晶硅被淀积和形成图形到一层薄栅氧上。多晶硅不仅能形成MOS晶体管的栅极而且同时还能作为一个离子注入的掩模 (*mask*)。多晶硅阻止了栅极下面区域的离子注入。正好形成了精确对齐的源区和漏区。离子束的扩张引起的小量的扩散，它影响栅极作为源漏的对齐仅仅是有限的。如果不使用自对准离子注入，那么栅极和源漏扩散区会出现光刻未对准，会产生重叠电容将在相当大的程度上降低MOS晶体管的开关速度。

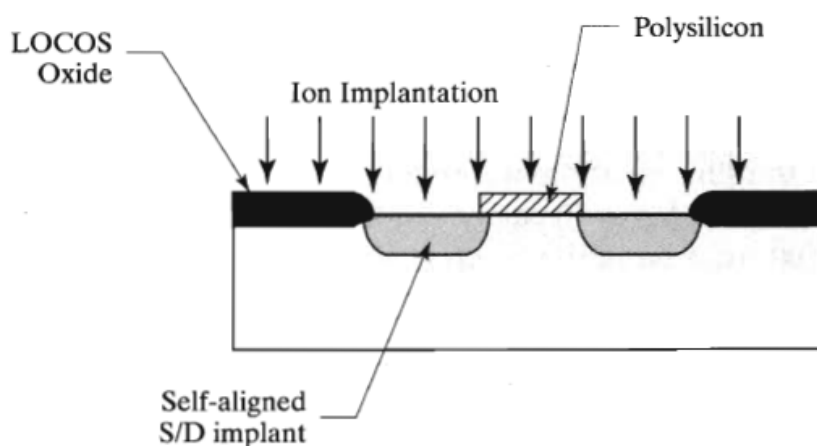


图2.21 通过离子注入形成自对准的源漏区

当从某一个角度观察硅晶格，硅原子列之间的空隙称之为通道 (*channels*)，就变得可见。当硅晶体稍微的转动，这些通道将消失。当垂直地观察(100)硅和(111)硅表面时，这种通道是可以看见的。如果离子束垂直冲击在(100)和(111)硅表面上，那么这些离子在开始发散前将很深的移动到晶体里。最终的杂质分布关键在于离子束入射的角度。为了避免这些的发生，

很多离子注入机设计离子束以 7° 的入射角度入射到晶片的表面上。

2.5 硅淀积

纯净的或者掺杂质的硅薄膜可是使用化学方法在晶片表面上生长。底下表面的特性决定了生成的薄膜是单晶还是多晶。如果这个表面由暴露的单晶组成, 那么它将作为晶体生长的籽晶并且淀积的薄膜也会是单晶。如果淀积是在氧化物或者氮化物薄膜上进行, 那么底下的晶格都不会作为形成晶核的籽晶。那么这些淀积将形成有细密纹理的多晶硅 (*poly*) (*polycrystalline silicon*) 聚合物。现代集成电路广泛使用单晶和多晶淀积薄膜。

2.5.1 外延生长

在适合衬底上生长单晶硅薄膜被称为外延生长 (*epitaxy*)。通常衬底是由和淀积的半导体有相同材料的物质组成, 但也不总是这样的。高品质的单晶硅薄膜是在合成的蓝宝石或者尖晶石的晶片上生长的, 因为这些材料拥有和硅非常相似的允许晶体成核的晶体结构。合成蓝宝石或者间晶硅晶片的成本大大地超过了同尺寸硅晶片的成本以致大量的硅薄膜的外延淀积还是在硅衬底上进行。

生长外延层有好几种不同的方法。一个相对粗糙的方法是在衬底上浇注熔化的硅材料, 经过一段时间结晶, 再擦除多余外泄液体。然后晶片表面重新研磨和抛光而形成外延层。晶片再次研磨的高成本和外延层厚度精确控制的困难很明显成为液体方法生长外延层 (*liquid-phase epitaxy*) 的缺点。

现代很多外延层淀积使用低压化学汽相淀积 (*low pressure chemical vapor deposited*) (*LPCVD*) 进行外延生长。图2. 22显示了一个早期的LPCVD外延反应器的简图。晶片被装到一个感应加热的载具上, 二氯甲硅烷 (*dichlorosilane*) 和氢气 (*hydrogen*) 的混合气体从它们上方通过, 这些气体将和晶片表面反应而形成一层缓慢生长的单晶硅。通过调节温度、压力和反应器里使用的混合气体可以控制生长速度。由于气体外延生长如实的复制了底下表面的地形, 所以不需要为了适应后续步骤而抛光外延层表面。外延层薄膜也可以通过在气流中加入少量的杂质气体进行掺杂, 比如磷化氢 (*phosphine*) 或者乙硼烷 (*diborane*)。

在开始的晶片上生长外延层有几个好处。第一个好处: 外延层不需要和下面的晶片有相同的掺杂极性。比如N型外延层能在一个通常被用来制作标准双极工艺的P型衬底上生长。多层外延层也能连续的生长, 且它们也能用来形成晶体管或别的器件。外延生长的潜能主要受限于外延慢的生长速度和所需复杂的且昂贵的设备, 这些设备比图2. 22描述的更高档。

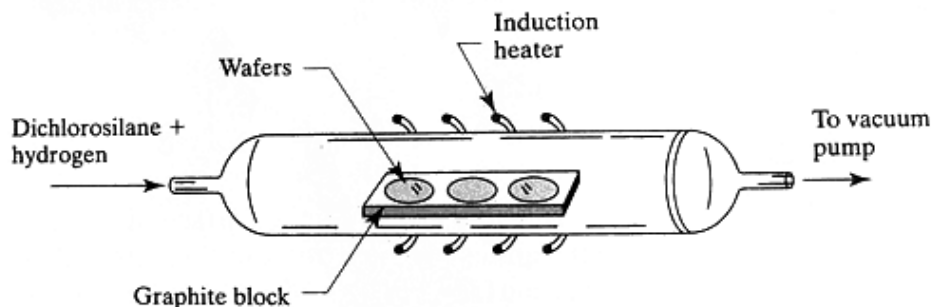


图2. 22 外延生长发生器简图

外延层也可以形成埋层。一个N+型埋层构成了走进大多数双极工艺的钥匙, 因为它使得低集电极电阻的纵向NPN管成为可能。图2. 23描述了这样一个N型埋层 (*NBL*) 的生长。砷和锑是制作NBL首选的掺杂物, 因为在随后的高温工艺中它们低的扩散速度使埋层向外扩散的

最小。通常使用锑替代砷是由于它在外延生长中较小的横向扩散倾向(称为**横向自掺杂效应**)。埋层制造开始于一个轻掺杂的P型晶片。晶片被氧化并且在生成的氧化层上形成图形窗口。砷或者锑任何一个通过这个窗口被注入,并且晶片被简单的退火来去除注入产生的破坏。在退火的过程中热氧化发生,所以在氧化窗口边缘周围形成间断。接下来,去掉晶片上所有的氧化物,并且淀积一层N型外延层。最终的结构由外延层下的N+型埋层区域组成。

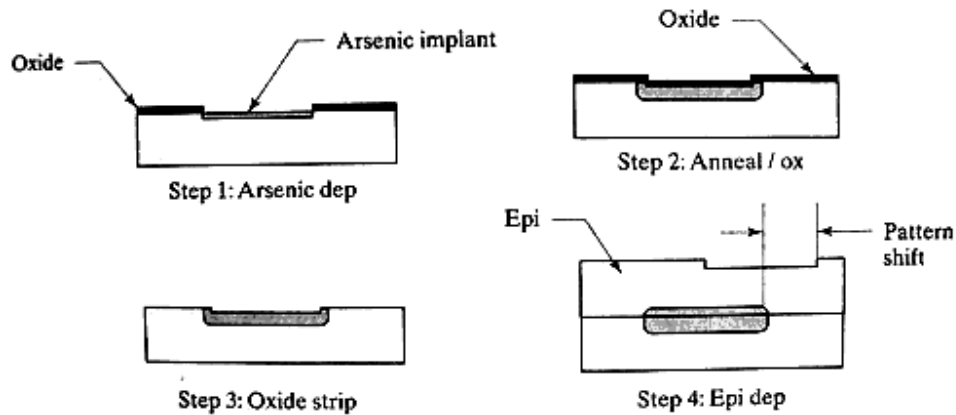


图2.23 N型埋层的形成, 显示出图形移位

正如前面所提到的, NBL在退火过程中的氧化引起氧化窗口边缘周围表面的轻微间断。外延层如实地复制了最终晶片表面的这些间断。在显微镜下,最终形成一个模糊可见的轮廓,被称之为NBL阴影(*shadow*)。接下来的光掩模将和这个间断对齐。另一个作为选择的对齐方法是使用红外线在覆盖的硅上的NBL掺杂成像。但是这需要更多复杂的设备。

在外延层生长过程中NBL阴影边缘的硅原子堆积横向移动了它,这个效应称之为图形移位(*pattern shift*) (图2.23)。移位的大小取决于很多因素,包括温度、压力、气体组成、衬底晶向和倾斜(*tilt*) (见节7.2.3)。当别的层对准到NBL阴影上时,这些层必须被偏移来补偿图形移位。

2.5.2 多晶硅淀积

如果在非晶体的材料上淀积硅,那么下面就没有晶格存在来对齐晶体生长。最终生成的硅薄膜将由小的交叉的晶体聚合体组成。这种多晶硅薄膜有颗粒大小尺寸的颗粒状结构。它取决于淀积情况和随后的热处理。多晶硅(*poly*)颗粒状的边界显示了晶格缺陷,这种缺陷能为漏电流提供一个隐蔽的通道。因此,PN结一般不用对晶硅制作。多晶硅通常用来制作自对准MOS晶体管的栅极。因为,不像铝,它能承受住源/漏注入所需要退火时的高温。此外,由于磷掺杂的多晶硅有固定杂质离子的能力(节4.22)所以使用多晶硅可以更好的控制MOS管的阈值电压(*threshold voltages*)。合适掺杂杂质的多晶硅(*poly*)能用来制作非常细的电阻,它比扩散器件寄生效应要小得多的。重掺杂的多晶也能用来作为能承受信号通路中相当大电阻的信号的额外的金属层。

使用和外延生长使用的基本类似设备(见图2.22),为了制作形成图形的多晶硅层首先可以在晶片上进行多晶硅淀积,然后晶片将被涂上一层光刻胶,形成图形,并且有选择性的刻蚀掉不需要的多晶硅。由于精确控制的栅极尺寸非常重要,所以现代工艺常常使用干刻蚀代替湿刻蚀。

2.6 金属化

一个集成电路的有源器件由扩散、离子注入、和生长在硅衬底上的外延层组成。当这些工序完成后,生成的器件将使用一层或多层的形成图形的连线连接来形成集成电路。这些

连线由绝缘材料隔离的金属层和多晶硅层组成，通常使用淀积的氧化物隔离。同样这些物质也被用来制作无源器件，例如电阻和电容。

图 2.24 显示了一个典型的单层金属(*single-level-metal*) (*SLM*)互连系统的形成。最终的离子注入和扩散完成后，在这个晶片上生长或者淀积一层氧化物，并且被选择的区域将被形成图形和刻蚀来创建露出硅的氧化物窗口。这些窗口将在下面的硅和金属化之间形成接触孔(*contact*)。一旦这些接触孔被打开，一层薄的金属薄膜将被淀积和刻蚀来形成互连的图形。

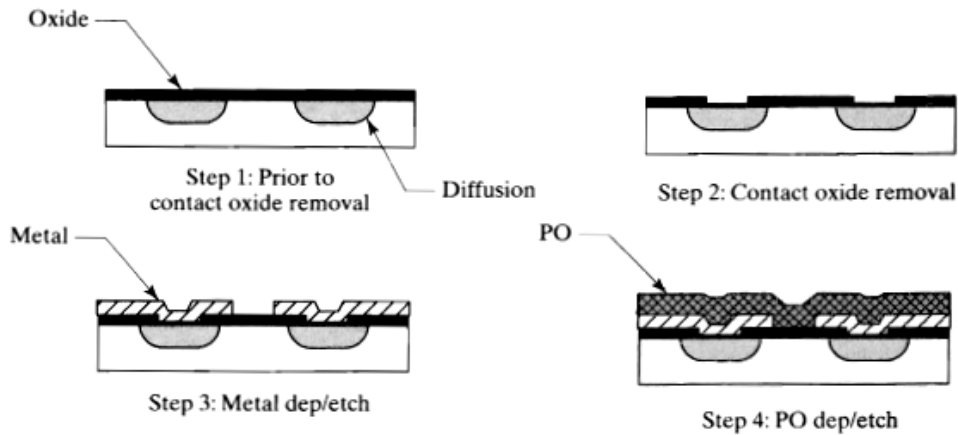


图 2.24 单层金属系统的形成

暴露的铝线很容易受到机械破坏和化学腐蚀。所以一层氧化物或者氮化物薄膜将淀积在完成的晶片上作为一个保护层(*protective overcoat*) (*PO*)。这层作为一个密封保护在原理上有时和使用在印刷电路板(*printed circuit boards*)上的塑料保护覆盖层很类似。通过保护层来刻蚀窗口有选择的露出敷铝区域以便键合线(*bondwires*)能被连接到集成电路上。

这道工艺在图 2.24 中描述的只是单层铝的制作。其它金属化层也能连续的通过淀积和形成图形来形成多层金属系统。多金属层增加了集成电路的成本，但它允许进行致密的器件填充因此减少了整个管芯(*die*)的尺寸。管芯面积的节省往往作为而外工艺步骤地弥补。多层金属层也简化了互连并且缩短了版图制作时间。

CMOS 工艺常常使用低电阻率的多晶硅来制作自对准 *MOS* 晶体管的栅极。它也能自由的作为互连的而外层使用。即使是最低方阻的多晶硅的电阻仍然是铝电阻的好几倍，所以设计者必须非常小心的避免使用多晶硅作为高电流或者高速信号的连线。高级工艺可以增加第二层或者第三层多晶硅层。这些附加层被用来制作不同类型的 *MOS* 晶体管。这些附加层的每一层都能被暂时征用来作为互连的另外一层。

2.6.1 铝的淀积和去除

许多敷金属系统使用铝或者铝合金来制作最初的互连层。铝的导电能力几乎和铜或者银一样好，并且铝也容易淀积在半导体制造中粘附所有物质制造的薄膜上。一个短时间的加热将使铝合成进硅而形成低电阻的接触孔(*contact*)。

铝通常使用和图 2.25 类似的仪器通过蒸发进行淀积。晶片被安放在一个能使其表面面向一个装有少量铝的坩埚的架子上。当加热坩埚，一部分铝将蒸发淀积到晶片表面。一个高真空必须被维持来贯穿整个蒸发系统，在铝淀积到晶片以前阻止铝蒸气的氧化。这个有插图的蒸发系统仅仅能处理纯净的铝，但许多稍微复杂的系统也能蒸发铝合金。

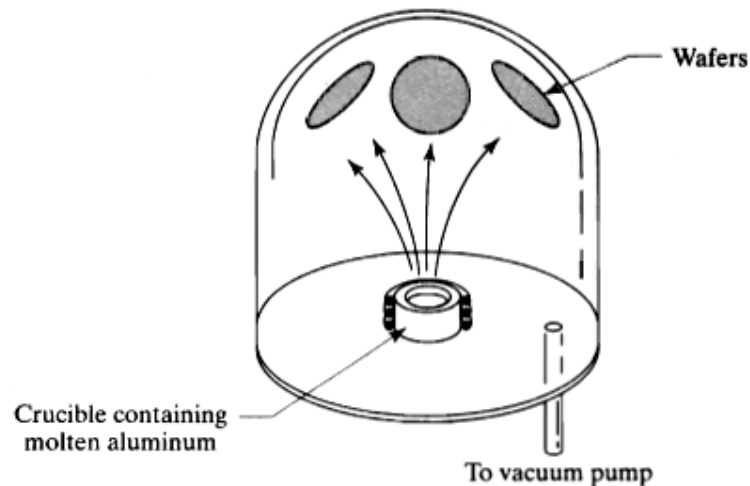


图 2.25 铝蒸发仪器简图

在适合的温度下铝和硅会形成合金。一个短时间的加热将在接触孔下形成一个非常薄的有铝掺杂的硅薄层。这个工艺称之为烧结(*sintering*)，由于铝作为受主(*acceptor*)所以能获得一个到 P 型硅的欧姆接触(*Ohmic contact*)。铝硅合金形成一个浅的重掺杂的 P 型扩散区能成为铝和 P 型硅的连接桥梁。不是很明显的，当铝接触重掺杂的 N 型硅时欧姆接触也能发生。在这些接触孔下形成结，但它们的耗尽区太薄以致载流子能通过量子隧道越过它们。如果失主(*donor*)浓度下降的太低，那么将发生整流(*rectification*)。所以欧姆接触不能直接在铝和轻掺杂的 N 型硅之间建立。浅的 N+ 扩散的添加能使得这些区域有欧姆接触。

烧结引起一部分少量的铝溶解在下面的硅里，同时一些硅也融解在铝金属里，侵蚀了硅表面。一些扩散太薄以致侵蚀能整个通过它们，引起一个失效的机制称之为接触刺穿(*contact spiking*)。历史上第一次发现这种现象的是在一个 NPN 晶体管发射扩散区的连接点，所以它也叫做发射极击穿现象(*emitter punchthrough*)。接触刺穿能通过使用铝硅合金代替纯铝来使之达到最小。如果淀积的铝已经和硅饱和，那么至少理论上它不能再溶解的更多。实际上，在烧结期间合金中的硅倾向于脱离而留下一个未饱和的铝基质(*matrix*)。仔细控制烧结时间和温度能最小化这种效应。

另一个失效机制在高密度数字逻辑中被发现。随着集成电路的尺寸日益减小，流过金属线的电流密度增大。在高温下一些器件数千小时工作后最终会出现金属失败的开路现象。当有问题的单元被检查出，它们中的一些导线将受到意想不到的冲击，这最终的结果将来自一个被称为电迁移(*electromigration*)的失效机制。载流子流过金属线和晶格原子发生碰撞。当电流密度过量于每平方米几百万安培，这些碰撞将变得频繁以致金属原子开始移动。原子位移引起了在金属聚合体单个颗粒之间形成空隙。最后这些空隙一起生长通过整个导线形成了一个间隙，引起了一个开路失效(节 4.1.2)。在铝合金中加入一些铜能将电迁移强度提高一个数量级。因此很多金属系统既使用铝-铜-硅也使用铝铜合金。

2.6.2 难溶金属(*Refractory Barrier Metal*)

随着大约相同硅面积上器件数目的不断增加，集成电路的尺寸在稳步缩小。为了获得所需的封装密度，接触孔和通孔(*via*)开孔处的侧墙(*sidewalls*)已经变得越来越陡。蒸发的铝在淀积时不是各向同性的；通过氧化物台阶的地方的铝越薄(图 2.26A)。导线横截面的任何区域的减少将引起电流密度的增加和加速电迁移。若干技术已经开发出来用来提高通过后氧薄膜上使用反应离子刻蚀形成非常陡的侧墙的台阶覆盖。

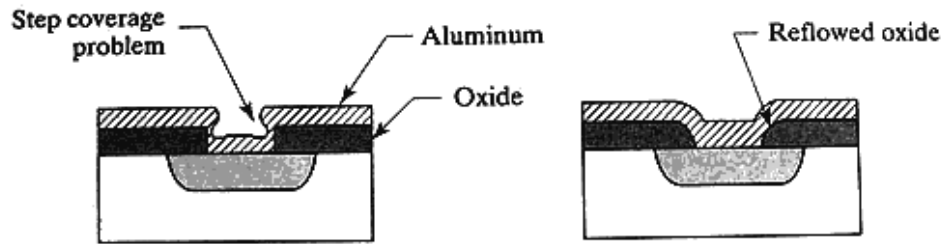


图 2.26 (A) 未使用回流(reflow)的台阶覆盖 (B) 使用回流(reflow)的蒸发铝台阶覆盖

通过减缓侧墙的角度能在很大程度上增强蒸发铝的台阶覆盖。这个能靠加热晶片直到氧化物熔化并且坍塌形成一个倾斜的表面来实现。这个工艺称之为回流(reflow)(图 2.26B)。纯净的氧化物在非常的高温下可形成回流，所以在氧化物中添加磷和硼可以降低它的熔点。这种生成的掺杂氧化物薄膜叫做磷硅玻璃(*phosphosilicate glass*)(PSG)或者是硼磷硅玻璃(*borophosphosilicate glass*)(BPSG)，依靠添加剂成分而定。

在铝淀积后不能进行回流，因为它不能忍受软化 PSG 和 BPSG 时所需的高温。有时回流能帮助提高第一层金属的台阶覆盖，因此它必须通过其它技术的补充来成功的制作多层金属系统。一个选择是使用各向同性的金属在陡峭的斜侧墙上淀积，例如，钼(*molybdenum*)、钨(*tungsten*)、钛(*titanium*)。这些难溶金属(*refractory barrier metal*)有着非常高的熔点，不适合作为蒸发淀积。一种称之为溅射(*sputtering*)的低温工艺能成功地淀积它们。图 2.27 显示了一个溅射仪器简图。晶片被放在一个用氩气填充的低压室里的平台上。正对着晶片的是用难溶金属作为一对高压电极的一个极板。氩原子轰击难溶金属板。这种撞击将使难溶金属的原子松动然后在晶片上淀积而形成一层薄的金属薄膜。

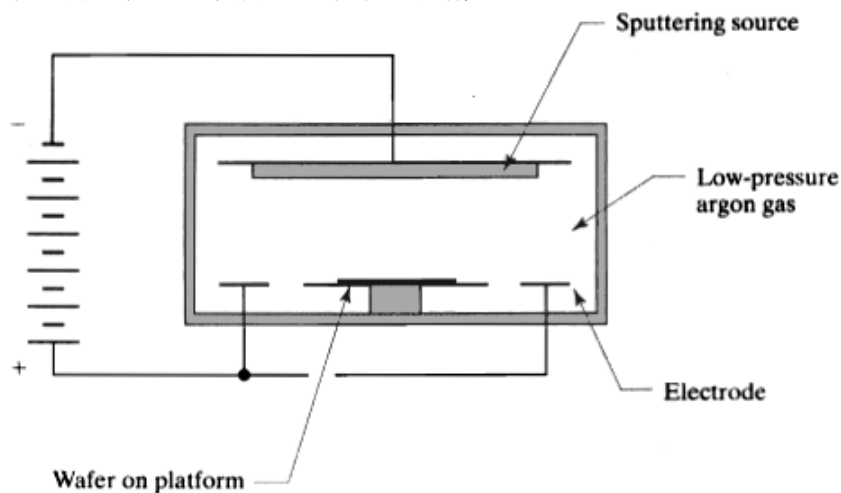


图 2.27 溅射仪器简图

这种难溶金属薄膜不仅能提供优良的台阶覆盖，而且实际上也能消除发射极击穿现象。如果台阶覆盖仅仅是选择金属系统的标准，那么铝就能完全可以替代难溶金属。不幸的是，难溶金属相对铝来说有高的电阻率并且也不像铝那样很容易的在厚的薄膜上淀积。因此许多金属系统使用了这两种材料的夹层。在铝下面淀积一层薄的难溶金属便可以在金属铝比较薄的接触孔处获得合适的台阶覆盖。在其它地方，铝降低了金属连线的电阻。接触孔处难溶金属相对短的部分对整个互连系统的电阻不会有大的影响。

难溶金属对电迁移有非常好的抵抗能力。所以在接触孔和通孔的侧墙上薄的铝不会出现电迁移的危险。难溶金属也倾向于能通过桥接铝金属化系统上的开路而抵制典型的电迁移故障。由于电迁移被移位的铝仍然能缩短附件的连线，所以除过在接触孔和通孔开孔处的侧

墙外，不能依赖难溶金属去补充铝线的运载电流的能力。

正如前面所提到的，难溶金属实际上能去除发射极击穿现象。硅和难溶金属的合金配制程度是微不足道的，并且铝不能穿透难溶金属而接触到硅。因此许多难溶金属系统使用铝铜合金而不使用铝铜硅合金，因为铝硅合金不能发生。

2.6.3 硅化

标准金属化流程的另一个改良包括硅化物的添加。硅元素和许多金属发生反应形成一个确定的化合物，包括铂(*platinum*)、钯(*palladium*)、钛(*titanium*)和镍(*nickel*)。这些硅化物不仅能形成低阻的欧姆接触，某些硅化物在一定情况下还能稳定地整流肖特基势垒。因此硅化物不仅能改善由于势垒金属系统问题带来的接触孔电阻，而且也能在不而外成本的情况下形成肖特基二极管。硅化物比更重掺杂的硅还有更低的电阻率，所以它们也被用来减小被选择硅区域的电阻。许多 MOS 工艺硅化物多晶硅(也叫 *clad poly*) 来形成高速 MOS 晶体管的栅。一些工艺也在晶体管的源/漏区上进行覆盖(*clad*)用来减小它们的电阻。由于很多硅化物相对比较难溶，所以它们的淀积不排除随后的高温工艺。因此，硅化物栅能被使用来形成自对准的源/漏区。

图 2.28 显示了在晶片选择区域上淀积铂硅化物层的步骤。接触孔被打开后，立即在整个晶片表面生淀积一层薄的铂金属。然后晶片被加热引起接触孔中的部分铂金属和硅发生反

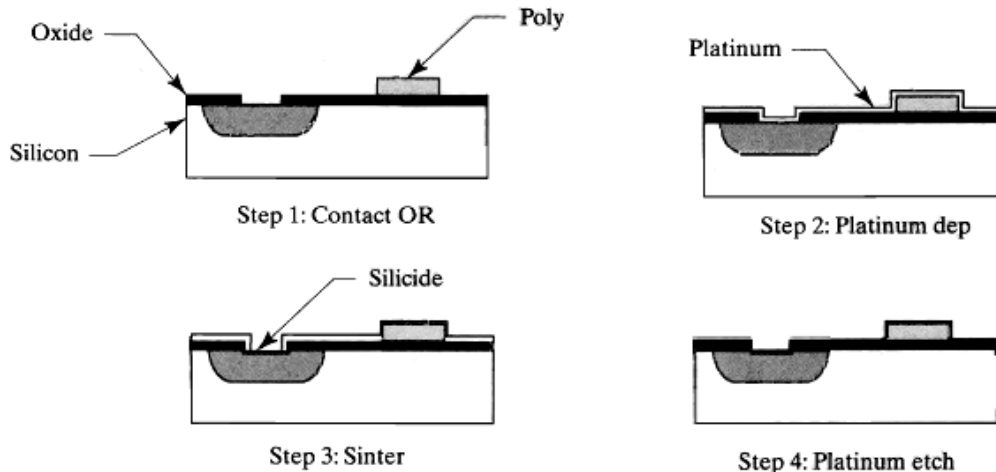


图 2.28 接触孔和多晶硅(*poly*)的硅化过程

应而形成铂的硅化物。未发生反应得铂将被使用一种叫做王水(*aqua regia*)的酸的混合物去除掉。这个过程中不但接触孔进行了硅化，而且所有露出的多晶硅(*poly*)也进行了硅化。如果需要的话，一个而外的掩模版可用来对所需选择区域进行硅化。使用覆盖多晶硅的工艺必须加入一个硅化物阻滞(*block*)模板来制造多晶硅电阻。如果不这么作的话，硅化将把所有的多晶硅变成一个低阻材料。

一个典型的硅化物(*silicided*)金属系统最下层是铂硅化物层，中间层是难溶金属层，最上面一层是掺杂铜的铝层。这种三明治结构表现出低电阻、高的电迁移免疫、稳定接触孔电阻和合金深度的精确控制。要获得这三层所有的益处的花费要比一层简单铝合金金属化的花费高的多。但是性能的提升是实实在在的。

2.6.4 层间氧化、层间氮化和保护层

图 2.29 显示了一个典型的现代金属化系统的剖面图。硅上面第一层的材料是由热生长的氧化物组成。在氧化物上面是一层形成图形的多晶硅，它最后将形成 MOS 晶体管的栅。在这层多晶硅上面是一薄层被称之为多层氧化物(*multilevel oxide*)(*MLO*)的氧化层，它能隔离多晶硅和加厚热生长的氧化层。通接触孔开孔过 *MLO*和热生长氧化物被刻蚀来连接硅，通过

*MLO*也能连接多晶硅。接下来回流(*reflow*)，接触孔开孔被硅化来减小接触孔电阻。在 *MLO* 上是第一层金属层，它由难溶金属薄膜和一个很厚的铜掺杂的铝层组成。在第一层金属层上是另一层被称之为层间氧化(*interlevel oxide*)(*ILO*)的淀积氧化层。它隔离第一层金属层和上面的第二个金属层。通孔(*via*)通过 *ILO*进行刻蚀。在 *ILO*上是第二层金属层，它再一次由难溶金属和掺杂铜的金属铝组成。最上面也是最后一层由压缩的氮化薄膜组成，这层称之为保护层(*protective overcoat*)(*PO*)。这个金属化系统一共有6层(一个多晶硅层、两个金属层、*MLO*、*ILO*和保护层)和5个掩模步骤(多晶硅、接触孔、金属1、过孔、金属2和保护层)。一些高级的工艺使用多达3层多晶硅层和5层金属层。

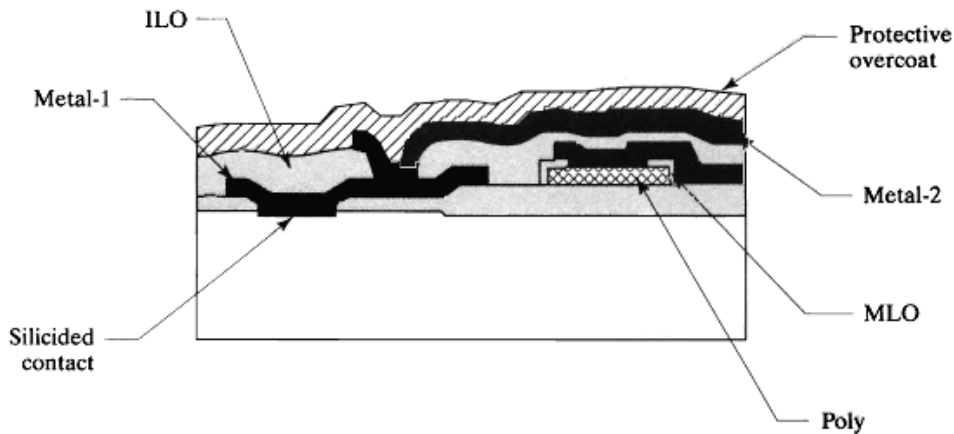


图 2.29 双金属层、单多晶硅金属化系统剖面图

层间氧化层一般通过低温淀积制作。例如，通过硅烷和氮化物反应或者通过四乙氧基甲硅烷(*tetraethoxysilane*)(*TEOS*)的分解来制作。一个相对厚的 *ILO*能使导电夹层之间的寄生电容降到最小，但它能在通孔开口处引起台阶覆盖(*step coverage*)问题。正如前面所讨论的，一旦铝被淀积，回流就不可能在发生，所以难溶金属通常被使用来提高第二层金属层的台阶覆盖。

一个极好的电容能在两层金属或者多晶硅之间形成。在这两层之间淀积一薄层绝缘电介质来完成这个电容的制作。电介质越薄，单位面积上的电容就越大。一种形成电容的技术包括淀积一层多晶硅层，氧化它去形成一薄层电介质和淀积第二层多晶硅来完成这个电容的制作。两层多晶硅重叠的任何区域将形成一个被一薄层氧化物电介质隔离的两个多晶硅极板组成的电容。氧化层形成一个理想的电容电介质，因为它是一个近乎完美的绝缘体，并且极薄的氧化层生长时只有很小的针孔和缺陷危险。使用氧化物电介质的电容被氧化物电压破裂所限制。氧化层越厚单位面积上承受的高压也相对的就越小。

提升给定工作电压下单位面积上电容的方法是使用高介电常数的材料。氮化硅的介电常数是氧化物的2.3倍，通常使用它来制作高单位面积电容的薄膜。不幸的是，氮化物薄膜比同厚度的氧化物薄膜更倾向于形成气孔。所以有时氧化物和氮化物薄膜混合形成一个介电常数介于氧化物和硅化物之间的层叠式电介质。一个典型的氧化物-硅化物-氧化物堆叠的电介质能形成一个介电常数大约是氧化物介电常数的2倍的电介质。

保护层是由一层厚淀积的氧化物或者氮化物薄膜覆盖整个集成电路组成的。它将最上层金属层和外部世界隔离，以致(例如)导电灰尘颗粒都不会将临近的导线短路。因为金属铝是软的，在压力下容易变形。所以保护层能作为一个必须的保护措施有助于加固集成电路。由于金属化的铝和下面的硅是易受能穿透塑料密封的特定污染物的损伤，所以保护层也有助于防止污染物进入。一个适当配制的保护层是阻止这些污染物的屏障。有时重掺杂的磷硅玻璃(*phosphosilicate glasses*)也被用来形成保护层，但是许多现代工艺已转向使用压缩的氮化物薄膜来提供良好的机械硬度和化学抵抗能力。

2.7 装配

晶片的加工以保护层的淀积结束，但仍然有许多需要完成集成电路制造步骤。由于这些大多数步骤不像晶片制造那样需要一个非常严格的洁净度环境，所以它们通常在一个被称为装配/测试车间(*assembly/test site*)的分开上来完成。

图 2.30 显示了一个典型的完成的晶片的简图。晶片上每一个小方块代表一个完成的集成电路。这个晶片大约包含 300 个被排列在一个通过一步重复一下的工艺创建的步进工作平台上的矩形图形里集成电路芯片(*dice*)。在这些阵列(*array*)上有很小一部分被用来制作工艺控制结构(*process control structures*)和测试芯片(*test dice*)而不是实际的集成电路。

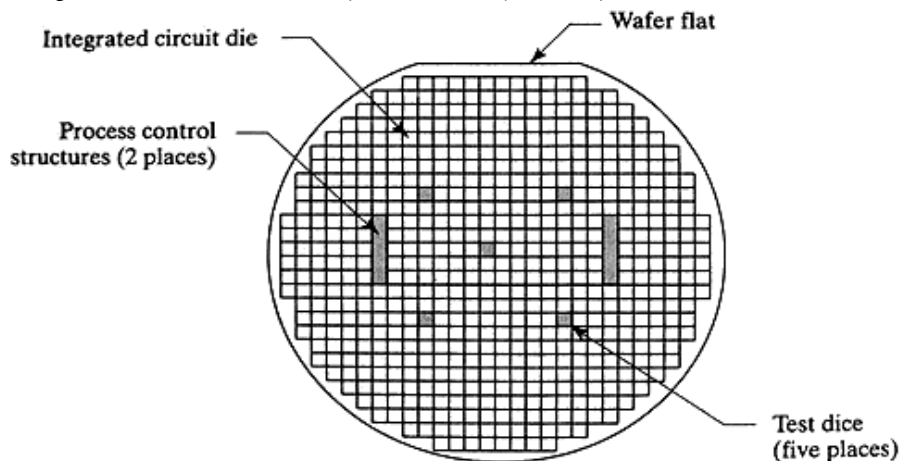


图 2.30 在步进工作平台创建的典型晶片图形

工艺控制结构(*process control structures*)由晶体管、电阻、电容和二极管，以及像接触孔和通孔串等特殊结构组成的大范围的阵列。晶片制造商(*wafer fab*)使用这些机构去评估整个制作工艺的成败。自动测试设备在每一个晶片采集数据，那些不符合条件的将被丢弃。这些数据也用作统计走向的分析，以致在变得足够大偏差所引起的成品率损失前能进行校正。工艺控制结构是标准化的，同样也被用在大范围的生产上。

测试芯片(*test dice*)是设计工程师用来评估集成电路的样品(*prototypes*)。不像工艺控制结构，测试芯片是针对特定的产品的，并且在很多情况下它是随集成电路版图而变化的。一个专用的测试金属模板允许进行那些在完成的芯片上很难测试的特殊器件和子电路的探测(*probing*)。有时也会使用测试接触孔或者保护层掩模版，但几乎在很多情况下测试芯片和集成电路共用同一块扩散掩模版。一般情况下测试芯片的制作是在集成电路版图的数据库中加入几层掩模版(例如，测试金属、测试氮化物)。这些层上有一些独立的中间掩模可以用来曝光步进工作平台上一部分选定的区域(*spots*)。图 2.30 中的晶片上仅仅有 5 个测试芯片位置。当测试完成后这些位置就变得不再需要了。有时创建一套新的掩模版用来将测试芯片替代成产品芯片以便获得产量一到两个百分点的增加。在其它情况下，芯片产量的微小的增加不能弥补新的掩模版制造的成本，所以在生产程序控制中依然还保留着测试芯片。

图 2.30 描述了一个在步进工作平台上加工的晶片。通过 *direct-step-on-wafer(DSW)* 工艺制作的晶片几乎不包括任何测试芯片，因为在每一次曝光至少必须包括一个测试芯片。这将导致每片晶片上有 20 或者更多的测试芯片，这些芯片将占用掉相应的区域面积。如果在 *DSW* 设计中包括测试芯片，那么整套产品掩模版无疑因该进行修改，用产品芯片来替代它们而提高芯片产量。

正如前面所提到的，所有完成的晶片都要经过测试来判断整个工艺执行的是否正确。如果晶片通过了测试，那么每一个芯片将被独立测试来判断它的功能。高速自动测试设备测

试一个芯片通常需要不到 3 秒钟。好的芯片的百分率取决于很多因素，最多最明显的包括芯片尺寸和制造它的工艺的复杂程度。

许多产品的成品率超过 80%，有的成品率甚至是 90%。显而易见，高的成品率是值得期待的，因为每一个废弃的芯片代表这利润的损失。测试晶片的设备也会标记出那些未被通过测试的芯片。通常使用一滴墨水在每一个未被通过测试的芯片上作标记，但一些现代化测试系统不使用墨水而是用电子仪器记录这些坏的芯片的位置。

晶片测试(*Wafer-level testing*)，或者晶片探测(*waferprobing*)需要接触集成电路互连图形的特定的位置。这些位置通过保护层上的口暴露出来，允许在锋利的金属针或者探针(*probes*)阵列的帮助下进行连接。这些探针被固定在一个叫做探针板(*probe card*)的板上，自动测试机器降低探针板直到电路连接建立。集成电路被测试完后，探针板提升并且移位伺服电机将移动晶片去对准探针板下面的下一个芯片。

一旦晶片测试完成，单独的芯片将被使用尖的金金刚石锯条从晶片上锯下。然后另一个自动系统将从划线的晶片上选择好的芯片进行装配(*mounting*)和键合(*bonding*)。被拒绝的芯片(包括所有工艺控制结构和测试芯片)将被丢弃。

2.7.1 装架(*mount*)和键合(*bond*)

现在许多制造商也提供未装配的集成电路芯片，但这些裸露的芯片(*bare dice*)的销量却很少。大多数客户没有设备和技术来处理这些裸露的芯片，所以需要来封装它们。因此封装便属于集成电路制造的范畴。

封装集成电路的第一步就是在引线架(*leadframe*)上安装芯片。图 2.31 显示了一个八个管脚的双列直插式封装(*dual-in-line package*)(*DIP*)的引线架简图，管芯(*chip*)已经被装上。引线架本身是由一个装管芯的矩形安装焊盘(*mount pad*)和一系列最终将被修整成 *DIP* 八个引线的引线手指(*lead fingers*)。引线架通常是条状的，所以许多管芯将单独作为一个安装被处理。

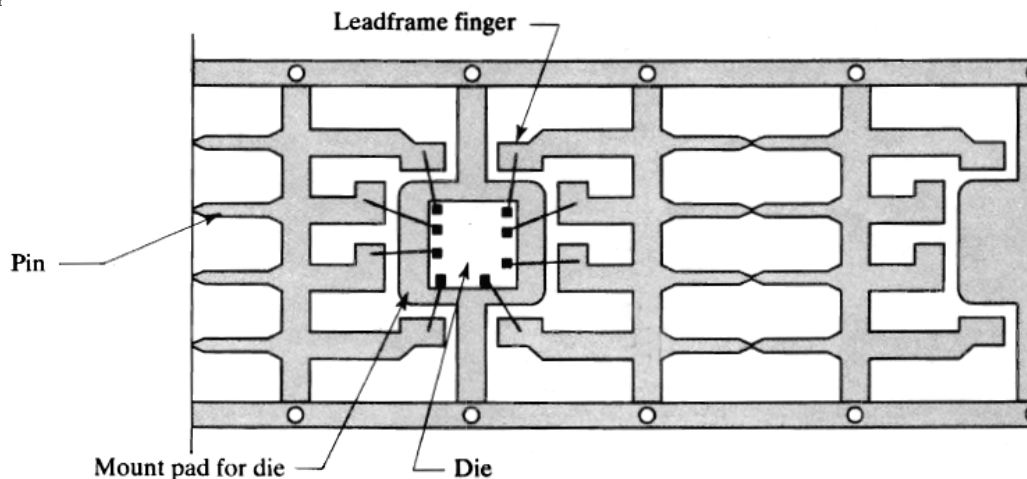


图 2.31 8 管脚的 DIP 引线架简图

引线架要么使用薄的金属薄片制作，要么使用像印刷电路板形成图形的摄影技术进行刻蚀。通常引线架由铜或者铜合金制成，常常使用锡(*tin*)或者锡铅(*lead*)合金进行电镀。铜不是一个理想的制作引线架的材料，由于它相对于硅而言有一个不同的热膨胀系数。当封装的部分被加热或者冷却，管芯和引线架不同的膨胀产生的机械的应力对管芯的性能是有害的。不幸的是，很多和硅有相似膨胀系数的材料却有很低的机械和电器特性。这些材料的一些偶尔会被使用来进行特殊部件的低应力封装；一个被叫做合金-42 (*Alloy-42*) 的镍铁合金是很频繁被用到的。

通常使用一种环氧树脂(*epoxy resin*)将管芯装架到引线架上。在一些情况下，在树脂中

加入一些银粉能提高它的导热性。这种树脂不完全是刚性的，它可以减小由于引线架和管芯的热膨胀带来的应力。另一个可以使用的方法能在硅和引线架之间提供良好的导热连接，但它的代价是会产生很大的机械应力。例如，管芯的背面可以使用金属或者金属合金进行电镀并且焊接到引线架上。换句话说，一个叫做 *gold preform* 的矩形金箔能被连接到引线架上；加热管芯将引起它和 *gold perform* 合金化来产生一个固体的机械结合。结合(*solder*)连接和 *gold perform* 都能在管芯和引线架之间产生极好的热接触。这两种方法也都能在管芯的衬底和管脚之间建立一个电气连接。传导的环氧树脂能改善热传导，但通常不会信赖它来提供电气连接。

管芯被装到引线架上以后，下一步就是用键合线(*bondwires*)来连接它们。键合(*bonding*)只能在管芯保护层的引线孔上露出金属的位置进行；这些位置被称之为键合焊盘(*bondpad*)。晶片探测时使用的探针板将用来连接键合焊盘为了测试目的，但是这些探针也可以用来连接一些不需要进行键合的焊盘。这些为了测试目的保留的焊盘通常称之为测试焊盘(*testpad*)，来和实际中使用的键合焊盘区分开。测试焊盘通常比键合焊盘小，由于一般探针能比键合线能到更小的区域。

键合(*bonding*)使用一种能用光识别判断键合焊盘位置的高速自动化机器来完成。这种机器通常使用 1mil (25 微米) 的金线进行键合，尽管通常使用的金线小到 0.8mil，大到 2mil。直径 10mil 的铝线也能使用，尽管这些需求更适合不同的键合机器。在同一时间内仅仅同一直径同一型号的线能被键合，所以很少管芯使用它。通常的做法是在所有的焊盘上使用 1mil 的金线。多根的 1mil 的金线能被并行的键合来运载高电流或者能提供低电阻，而不需要用大直径的金线进行第二次键合。

键合金线最常用的技术称之为球焊(*ball bonding*)。由于铝线不能焊成球形，一个称之为楔入键合(*wedge bonding*)的替代技术用到铝线键合上。图 2.32 显示了一个球焊工艺的基本步骤。

键合机器通过一个称之为毛细管(*capillary*)的的细长管供给金线。氢气火焰熔化金线末端形成一个小的金球体，或者金球(图 2.32, *step 1*)。一旦金球形成，毛细管将朝着键合焊盘压下去。在压力下金球将变形，并且金和铝将一起溶合形成一个焊接(*weld*)(*Step 2*)。下一步毛细管将提升并移动到邻近的引线手指处(*step 3*)。毛细管再次下降，猛烈将金线压在引线手指上。这将引起金线和下面的铝合金化而形成一个焊接(*step 4*)。因为此时没有金球存在，所以这种生成的键合称之为缝合(*stitch*)键合而不是球焊。最后，毛细管将从引线手指上提升并且氢气火焰通过金线，将金线熔成两段(*step 5*)。现在键合完成并且在毛细管伸出的线上另一个金球已经形成，允许重复的进行键合。高精度的键合机器能一秒钟重复这些步骤 10 次。这些机器的极端高速和高的准确度产生巨大的节省，并且整个键合过程花费不超过 1 到 2 个美分。

铝线不能球形键合，因为氢气火焰能点燃好的铝线。作为替代，可以在毛细管上辅助上一个小的楔形工具来达到键合。当毛细管带着铝线接近键合焊盘，这个工具将对着键合焊盘猛击(*smash*)来形成一个缝合键合。这个过程也在引线手指上重复，然后当这个工具提起后它再次猛烈撞击引线手指。在最薄弱点上铝线的张力猛地收缩，立刻形成焊接。这个过程能按需要进行重复。

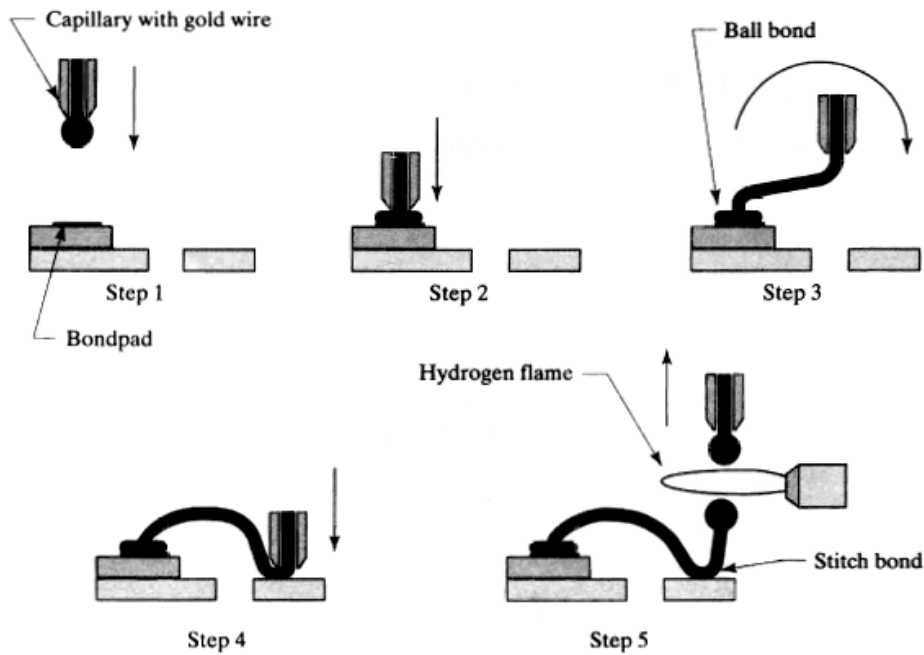


图 2.32 球焊过程步骤

球焊过程要求一个大约是金线直径的 3 倍正方形的键合焊盘。因此 1mil 的金线能连接到边长 3mil 的正方形键合焊盘上。楔入键合一般没有过多的要求，通常只要键合焊盘是矩形就可以。这些键合焊盘必须和楔入工具位于同一个方向上。典型地它们一般宽是铝线厚度的两倍，长是铝线厚度的四倍。楔入键合的实际规则变得相当复杂，特别是对更厚的铝线而言。

图 2.31 显示了键合工艺完成后一个装架到引线架上的管芯。键合线连接不同的键合焊盘到它们相应得引线上。虽然这些线比管脚小的多，但是每一根仍然能有承载 1 安培电流的能力。

2.7.2 封装

装配工艺的下一步就是注模(*injection molding*)。一个模型(*mold*)被夹在引线架周围并且加热的塑料树脂从下方被注入。塑料树脂将涌出到管芯周围，在平缓的循环中提升金线远离它。从侧面或者上面注入塑料树脂通常会损坏集成电路连线，因此它不是很实用。在注模温度下集成电路使用的塑料树脂很快愈合，一旦愈合完成，它将形成一个很坚硬的塑料块。

当注塑过程结束后，引线将被修剪而形成它们最后的形状。通过使用一对特殊成形的冲模的机械压力(*dies*)，它同时也能修剪掉各自引线之间的连接并且使它们弯曲到所需的形状。由引线架的材料决定，焊料浸渍或者电镀可能需要防止管脚表面氧化和污染。现在完成的集成电路将被使用部分数字和一些指定的代码(这些通常包括生产日期和批号等代码)进行标注。完成的集成电路再次被测试以确保在封装过程中没有受到损坏。最后，完成的器件将被包装入管子(*tube*)、托盘(*tray*)或者卷轴(*reel*)中来发给客户。

2.8 总结

现代半导体工艺利用了硅特性的优点来制造大量便宜的集成电路。光刻也允许在每一个晶片的上对复杂的图形进行成百上千次复制，来产生巨大的经济效益。

结能通过三种方法的任一种形成：外延淀积、扩散或者离子注入。通过精确控制的掺杂物浓度，低压化学气相淀积外延层能产生非常高质量的硅薄膜。仅仅一层光掩模版步骤就能来自表面源的杂质扩散形成大量的结。离子注入能形成相同的但更高成本的结图案，通过

高级的掺杂级别控制和分布。

许多物质也能在晶片表面淀积。这些包括多晶硅(*poly*)、氧化物、氮化物和大量的金属及金属合金。典型的半导体工艺将由许多扩散组成一个许多材料淀积在最终晶片上的衬底(*bulk*)硅。下一章将讨论怎样使用不同的半导体制造技术组合来制造三个最成功的集成电路工艺。