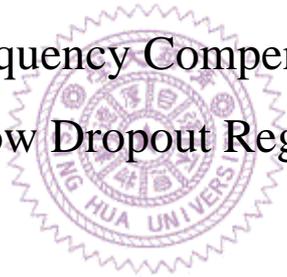


國立清華大學

碩士論文

題目：低壓降線性穩壓器頻率補償  
之改善方法

An Improved Frequency Compensation Technique  
for Low Dropout Regulator



系所別：電子工程研究所碩士班

學號姓名：915009 黃志揚(Chih-Yang Huang)

指導教授：連振炘 博士(Prof. Chen-Hsin Lien)

中華民國九十三年六月

# 摘要

隨著攜帶式電子產品的蓬勃發展，低功率消耗與高效率漸漸成為電源 IC 設計的主要考量，由於多數利用電池來提供電源的電子產品，必須工作在低電流與低電壓下，以減少功率消耗進而延長電池壽命。此外，為了配合不斷進步的製程技術，工作電壓也必須逐步降低，為了節省功率的消耗，通常需要穩壓器來做轉壓的動作。而低壓降線性穩壓器在其中更是盛行，由於其簡單易做、成本低，且輸出輸入壓差可以很小，可以達到低功率消耗的目的。論文中探討了幾個低壓降線性穩壓器中，頻率補償的改善方法。低壓降線性穩壓器為一負回授系統，因此有穩定度的問題，若系統的開迴路轉移函數沒有足夠的相位邊限，輸出便會發生振盪。要確保系統穩定，必須維持足夠的相位邊界。但是，低壓降線性穩壓器之開迴路直流增益與主極點的頻率，均會隨著負載不同而變動，進而造成單增益頻率、相位邊限的改變。因此，要在各種負載下均能保持系統的穩定，需要做適當的頻率補償的電路，以確保他的穩定性不受輸出負載電流影響。

論文中提出了可使輸出端電壓不受負載影響之頻率補償，以及可增加其相位邊限之補償技巧，最後一種補償方法能讓所使用的電容值大幅降低，達到節省晶片面積的目的。

# 誌謝

回想幾年前才掛著生澀的面孔與幾分稚氣來到新竹唸書，沒想到時間流逝如此迅速，今天即將踏出校門面對另一個未知的挑戰。首先要感謝指導教授連振炘老師的教導，讓我感受到追求學問與思考問題的樂趣，老師總是要我們跳脫傳統思維來面對問題，才能有新的突破，真的很感謝您。再來要感謝我的父母，不會干涉我的學業，並在背後支持著我，讓我得以在求學期間專心唸書無後顧之憂，我心中也是充滿無限感激。

在研究所期間，難免遭遇到種種挫折和困難，感謝實驗室學長猷淳、俊谷、智元，以及同學仲盛、順源、和泰、敬文、小豪和每個學弟，大家互相鼓勵，一起伴我度過一段美好的日子，在這裡由衷的感謝大家。

最後，謹將此論文獻給我家人，尤其是我的父母，感謝你們多年來的關懷與支持，讓我順利地念完研究所。並再次謝謝這一路上所有幫助過我的人。謝謝你們！

黃志揚

誌於 水木清華 九三年六月

# 目錄

摘要	I
誌謝	II
目錄	III
圖目錄	VI
<b>第 1 章、緒論</b>	
1.1 研究動機.....	1
1.2 研究目標.....	2
1.3 論文組織.....	3
<b>第 2 章、低壓降線性穩壓器之重要特性參數</b>	
2.1 低壓降線性穩壓器概論.....	4
2.2 低壓降線性穩壓器的重要參數.....	5
2.2.1 輸出電壓差(Dropout voltage).....	5
2.2.2 線性調節率(Line regulation).....	7
2.2.3 負載調節率(Load regulation).....	8
2.2.4 接地電流(Ground current).....	9
2.2.5 電源效率(Efficiency).....	10
2.2.6 輸出準確率(Output accuracy).....	11

2.2.7 暫態響應(Transient response).....14

2.2.8 頻率響應(Frequency response).....16

### 第 3 章、低壓降線性穩壓器之內部結構電路

3.1 能隙參考電壓源.....22

3.1.1 負溫度係數的電壓.....23

3.1.2 正溫度係數的電壓.....23

3.1.3 零溫度係數參考電壓之產生.....25

3.1.4 電路上的實現.....25

3.2 誤差放大器.....27

3.2.1 單級運算放大器.....28

3.2.2 串疊運算放大器.....29

3.2.3 折疊串疊運算放大器.....31

3.3 輸出結構.....33

3.3.1 雙載子電晶體輸出.....33

3.3.2 MOS 電晶體輸出.....34

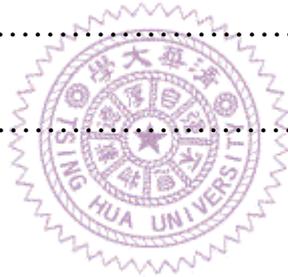
3.4 回授穩定度及頻率補償.....35

3.4.1 等效串聯電阻.....36

3.4.2 極零點補償.....38

3.4.3 追蹤零點補償.....40

3.5 其它保護電路.....	43
<b>第 4 章、本論文中低壓降線性穩壓器之設計</b>	
4.1 參考電壓源之設計.....	46
4.2 誤差放大器之設計.....	50
4.3 輸出結構.....	54
4.4 頻率補償.....	54
<b>第 5 章、結果討論</b>	
5.1 暫態響應.....	62
5.2 結果討論及建議.....	69
<b>參考文獻 References.....</b>	<b>71</b>



# 圖目錄

## 第 1 章、緒論

圖 1.1 直流轉壓示意圖.....	2
--------------------	---

## 第 2 章、低壓降線性穩壓器之重要特性參數

圖 2.1 低壓降線性穩壓器.....	4
---------------------	---

圖 2.2 壓降範圍.....	6
-----------------	---

圖 2.3 線性調節率.....	7
------------------	---

圖 2.4 負載調節率.....	8
------------------	---

圖 2.5 接地電流.....	10
-----------------	----

圖 2.6 輸出電壓誤差.....	11
-------------------	----

圖 2.7 誤差放大器電壓偏移.....	13
----------------------	----

圖 2.8 電阻值誤差.....	13
------------------	----

圖 2.9 低壓降線性穩壓器及其輸出電容.....	14
---------------------------	----

圖 2.10 輸出電壓對於負載電流變化之反應.....	15
-----------------------------	----

圖 2.11 交流分析等效模型.....	17
----------------------	----

圖 2.12 低壓降線性穩壓器的頻率響應.....	19
---------------------------	----

圖 2.13 等效串聯電阻過大之情形.....	20
-------------------------	----

圖 2.14 等效串聯電阻過小之情形.....	21
-------------------------	----

### 第 3 章、低壓降線性穩壓器之內部結構電路

圖 3.1 正溫度係數電壓之產生.....	24
圖 3.2 零溫度係數參考電壓之產生.....	25
圖 3.3 電路實現能隙參考電壓源.....	26
圖 3.4 另一種能隙參考電壓源.....	26
圖 3.5 單級運算放大器.....	28
圖 3.6 基本串疊組態.....	29
圖 3.7 主動式串疊組態.....	30
圖 3.8 望遠鏡式串疊運算放大器.....	31
圖 3.9 NMOS 差動輸入組態之折疊串疊運算放大器.....	32
圖 3.10 PMOS 差動輸入組態之折疊串疊運算放大器.....	32
圖 3.11 線性穩壓器輸出結構.....	33
圖 3.12 輸出阻抗示意圖.....	37
圖 3.13 利用電容前饋產生零點.....	38
圖 3.14 產生左半平面的零點.....	39
圖 3.15 極零點補償低壓降線性穩壓器.....	39
圖 3.16 主極點及頻寬隨負載電流之變化.....	40
圖 3.17 用 NMOS 取代補償電路中的電阻.....	41
圖 3.18 改變 $V_{DS}$ 時電阻值的變化.....	41

圖 3.19 追蹤零點補償低壓降線性穩壓器.....	42
圖 3.20 短路保護電路之一.....	43
圖 3.21 短路保護電路之二.....	44
圖 3.22 電池倒置保護.....	45

#### 第 4 章、本論文中低壓降線性穩壓器之設計

圖 4.1 能隙參考電壓源.....	46
圖 4.2 輸出參考電壓 $V_o$ 隨 $V_{DD}$ 變化.....	47
圖 4.3 輸出參考電壓 $V_o$ 隨溫度變化.....	47
圖 4.4 增加輸出阻抗之作法.....	48
圖 4.5 參考電壓源加入啟動電路.....	49
圖 4.6 增強 PSRR 之 OP 放大器.....	50
圖 4.7 增強 PSRR 及共模輸入範圍之 OP 放大器.....	51
圖 4.8 誤差放大器之增益以及相位響應.....	52
圖 4.9 輸出訊號對於一步階輸入訊號之反應時間(a)輸入步階訊 號 0V~5V (b)輸入步階訊號 5V~0V.....	53
圖 4.10 無頻率補償時之頻率響應(a)輸出電流 30mA (b)輸出電流 300mA.....	55
圖 4.11 追蹤零點補償之頻率響應(a)輸出電流 30mA (b)輸出電流 300mA.....	56

圖 4.12 加入電容產生額外的零點.....	56
圖 4.13 加入雙零點補償之頻率響應(a)輸出電流 30mA (b)輸出電 流 300mA.....	58
圖 4.14 利用兩個零點補償之電路.....	59
圖 4.15 利用回授電容的補償方法.....	59
圖 4.16 利用回授電容補償之頻率響應(a)輸出電流 30mA (b)輸出 電流 300mA.....	61

## 第 5 章、結果討論與建議

圖 5.1 (a)步階電流 0~30mA (b)輸出電壓變化.....	63
圖 5.2 (a)步階電流 0~300mA (b)輸出電壓變化.....	64
圖 5.3 (a)步階電流 30~0mA (b)輸出電壓變化.....	65
圖 5.4 (a)步階電流 300~0mA (b)輸出電壓變化.....	66
圖 5.5 線性調節率(a)輸出電壓變化 (b)計算其線性調節率. ...	67
圖 5.6 負載調節率(a)輸出負載電流 0mA~300mA (b)計算其負載調 節率.....	68
圖 5.7 LDO 電路實現.....	69

# 第一章 緒論

## 1.1 研究動機

在半導體製程一直不斷進步的今日，不論是各式電子系統或是消費性電子產品，其體積及成本都是一直在縮小，相對的製程上也就從  $0.5\ \mu\text{m}$  快速演進到  $0.35\ \mu\text{m}$ ，然後  $0.25\ \mu\text{m}$ 、 $0.18\ \mu\text{m}$ 、 $0.13\ \mu\text{m}$ ，一直到現今的 90 奈米還在逐漸往下遞減中，所以為了因應這樣小的製程技術，需要消耗的電源功率自然要盡量減少，故使用的電源電壓也同樣從 5V 遞減至 3.3V、2.5V、1.8V，由於此緣故，外接電源與內部電路所需要的電壓不盡相同，這也就是需要穩壓器做直流轉壓的原因之一。

電壓轉換的方式可大致分為兩種：一種為切換式 (switch-mode) 穩壓器，另一種則為線性穩壓器 (linear regulator)。一般而言，線性穩壓器的優點是其輸出電壓對輸入電壓或負載的變化反應較迅速、輸出電壓的漣波與雜訊較低、電路架構較簡單、體積較小、價格較為低廉，而主要的缺點在於轉換效率較低，且只能作降壓的轉換。近年來低壓降線性穩壓器 (low dropout linear regulator，簡稱 LDO) 更因為其轉換效率的提昇，加上其小體積、低雜訊的特性，成為小功率降壓與穩壓電路的主流。在各式由電池供應電源的可攜式系

統以及通訊相關的電子產品上，如手機、數位相機、筆記型電腦…等，由於是利用內部電池來維持運作的，因此在電源功率消耗的部份更是格外受到重視，這些產品所需要的是低功率消耗、高操作效率，為了能夠讓電池壽命更長久，低壓降線性穩壓器在這些產品之中，均被大量地使用。

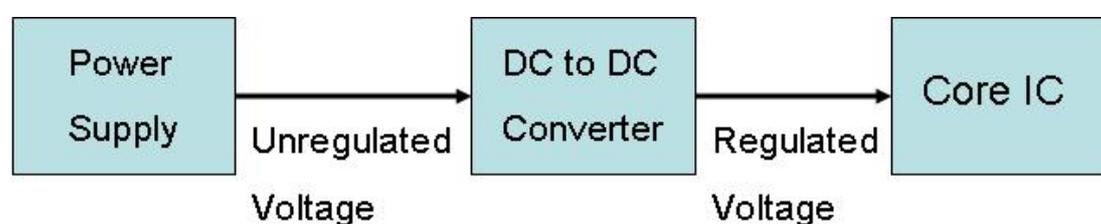


圖 1.1 直流轉壓示意圖

## 1.2 研究目標

低壓降線性穩壓器為電源管理系統一不可或缺的元件，在較低電壓、較小功率的電壓轉換場合，低壓降線性穩壓器是相當經濟的選擇。而低壓降線性穩壓器根據應用場合的需要，也分成許多不同種類：針對低輸出雜訊、高速暫態響應、低靜態電流、大輸出電流等不同的需求，均要作電路架構上的修改，方能達到理想的特性。

本論文針對低壓降線性穩壓器，操作在不同負載電流下，其穩定度的問題加以研究，為了能夠在負載電流改變時，維持良好的暫態響應以及頻率響應，達到輸出電壓迅速穩定的功用，將在論文中提出低

壓降線性穩壓器的頻率補償方式，以改進目前低壓降線性穩壓器的最大缺點。

除了主要頻率補償電路架構的修改，系統中參考電壓的產生也是值得研究的課題。要在低靜態電流或低電壓的情形下，產生極為精準的參考電壓，此外整個電路的電源拒斥比、靜態電流，也都納入設計時的考量之一。

### 1.3 論文組織

論文共分 5 章，首先第一章介紹研究動機、相關發展和論文組織。第二章，針對低壓降線性穩壓器特項特性做詳細說明。第三章，將低壓降線性穩壓器的內部電路，各個區塊設計上的考量作一探討。第四章則是本論文最後所使用的完整電路設計，以及模擬結果。最後一章，再對本論文所採用之低壓降線性穩壓器作一個總結，並提出未來研究之建議。

## 第二章 低壓降線性穩壓器之重要特性參數

### 2.1 低壓降線性穩壓器概論

線性穩壓器在近十幾年來一直廣泛地被應用在各式電子產上，由於它們能提供一個穩定且精準的輸出電壓[1]。其中，低壓降線性穩壓器是目前一般攜帶性電子產品最喜愛使用的，原因是它大大地降低了輸出電晶體的飽和電壓，使得輸入電壓可以非常接近輸出電壓，以致於節省了不少功率消耗，使得電池壽命可以維持很久[2]。圖 2.1 顯示了一個低壓降線性穩壓器的基本結構。

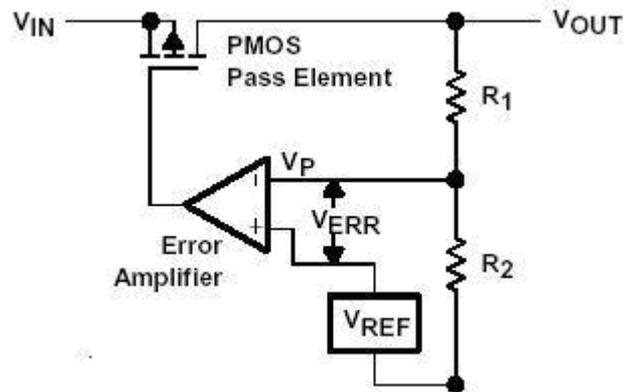


圖 2.1 低壓降線性穩壓器[5]

如圖所示一個低壓降線性穩壓器它包含了一個參考電壓源、一個誤差放大器、一個輸出功率電晶體以及兩個回授電阻。其功能為：一個準確的參考電壓連接至誤差放大器的正端，另一端接到負回授網路上，誤差放大器會放大參考電壓和回授電壓的差，進而去調節輸出電晶體的電壓。當回授電壓大於參考電壓時，誤差放大器就會控制輸出電晶

體流出的電流減小，以降低輸出電壓，反之亦然。如此一來，輸出電壓就可以一直控制在一個準確的位置，當輸入電壓或負載有任何變化的時候，輸出電壓都可以在短時間內拉回至一定的準位。輸出電壓可以用下面的式子表示：

$$V_{\text{OUT}} = V_{\text{REF}} \left(1 + \frac{R_1}{R_2}\right)$$

控制兩個回授電阻的比值即可得到所需要的輸出電壓[4]。

## 2.2 低壓降線性穩壓器的重要參數

在這一節中，針對低壓降線性穩壓器設計上所需考量到的一些參數加以說明，這些參數包括了：輸出電壓差(Dropout voltage)、線性調節率(Line regulation)、負載調節率(Load regulation)、接地電流(Ground current)、電源效率(Efficiency)、暫態響應(Transient response)、頻率響應(Frequency response)、輸出準確率(Output accuracy)…等等，將一一詳細介紹。

### 2.2.1 輸出電壓差(Dropout voltage)

輸出電壓差在線性穩壓器中是一個非常重要的參數，它指的就是在提供穩定輸出電壓的前提下，最低的輸入電壓和輸出電壓的

差，簡單來說就是輸出功率電晶體的汲極和源極的壓差，直接關係到的就是電源功率的消耗，越大的跨壓所損失的功率就越大，所以說，輸出電壓差是越小越好，一般常見的低壓降線性穩壓器約為250mv~350mv 左右。

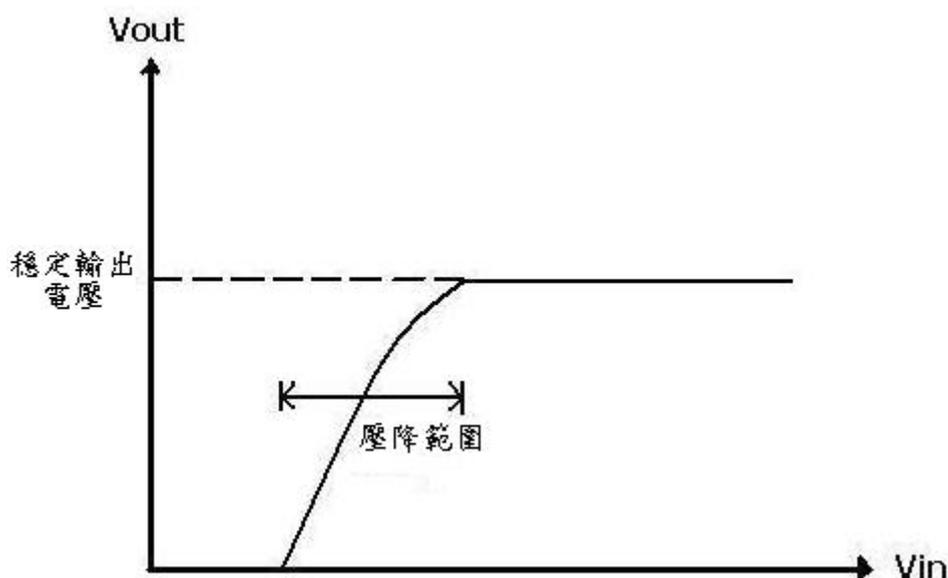


圖 2.2 壓降範圍[3]

圖 2.2 顯示了輸出電壓差，對輸出PMOS電晶體而言，其汲極是連接到輸出端，因此當輸入端很小時電晶體是關閉狀態，當源極加大後，電晶體開啟，輸出端電壓開始爬升，一直到穩定的設定值之間的這段輸入電壓差，即是輸出電壓差。其實對於輸出電晶體來說，就是它的飽和電壓差( $V_{dsat}$ )，當MOS電晶體大小確定，且閘極電壓固定之後，其飽和電壓差基本上就不會改變，所以提供閘極電壓的前一級放大器和輸出電晶體的大小在設計上都要能達到理想的輸出電壓差。

對於電源功率消耗的部份，將飽和變壓差乘上輸出端所流過的電

流，即是消耗功率，對於一個攜帶式電源產品來說，一般都是由電池來提供電源，這部份的電源消耗當然是越小越好，以求電池壽命能夠長久，低壓降線性穩壓器能夠如此受歡迎的原因，就是在這方面能夠節省很多的電力。

### 2.2.2 線性調節率(Line regulation)

這項參數在線性穩壓器中也是非常重要的，指的是當輸入電壓產生變化時，相對於輸出端電壓的改變。

$$\text{Line Regulation} = \frac{\Delta V_{\text{OUT}}}{\Delta V_{\text{IN}}}$$

圖 2.3 顯示了輸出電壓的變化(虛線部分)：

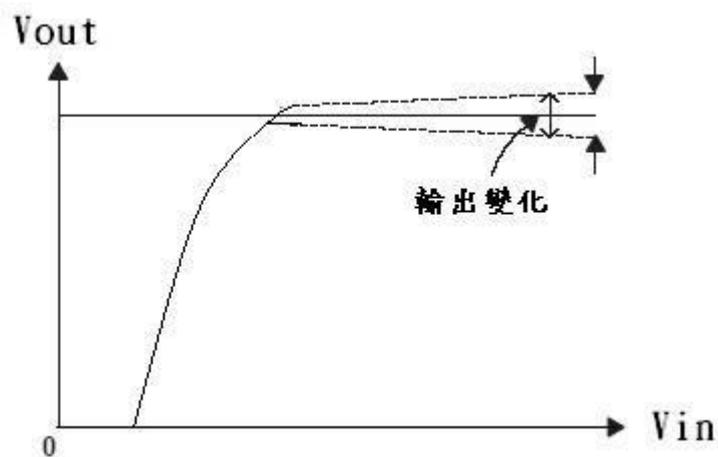


圖 2.3 線性調節率[6]

我們預期當輸入變壓改變時，輸出電壓能一直維持穩定，但是實際上是有一小幅度改變，通常以百分比%表示。由於輸入電壓改變時，會造成

回授電壓的改變，再由誤差放大器加以調節輸出電晶體，來控制輸出電壓，因此若增加整個電路的開迴路增益，對於線性調節率的提升有很大的幫助。

### 2.2.3 負載調節率(Load regulation)

相對於線性調節率，線性穩壓器另一個主要考量就是負載調節率，表示當負載端有變化，也就是輸出電流有改變時，輸出電壓的變化率。

$$\text{Load Regulation} = \frac{\Delta V_{\text{OUT}}}{\Delta I_{\text{OUT}}}$$

當負載有變化時，輸出電壓會跟著改變，再藉由回授網路讓誤差放大器對於電壓變化作反應，控制輸出電晶體，輸出電流也會隨之改變來因應整個電壓的變化。

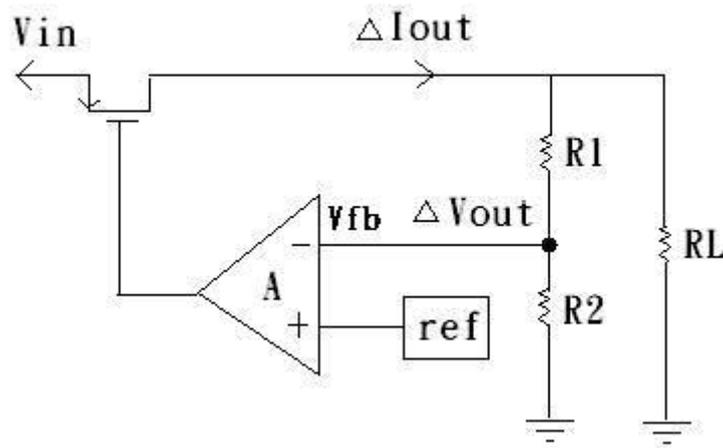


圖 2.4 負載調節率[3]

$$\Delta V_{\text{OUT}} = \Delta I_{\text{OUT}} \times (R_1 + R_2) // R_L$$

$$\Delta I_{\text{OUT}} = G_m \times \Delta V_{\text{fb}} = G_m \times \left( \frac{R_2}{R_1 + R_2} \right) \Delta V_{\text{OUT}}$$

$$\frac{\Delta V_{\text{OUT}}}{\Delta I_{\text{OUT}}} \approx \frac{1}{G_m} \times \frac{R_1 + R_2}{R_2}$$

由圖 2.4 和上面的式子可以看出，負載的改變造成電壓的變化，經誤差放大器放大之後，輸出電流也跟著做變化。明顯的，最後的式子可以得知，負載調節率被線性穩壓器的轉導( $G_m$ ，也就是誤差放大器的增益 $A$ 乘上輸出電晶體的電流增益)所限制，所以要改善負載調節率，可以增加DC的電流增益，可以得到不錯的效果。



#### 2.2.4 接地電流(Ground current)

接地電流又稱為暫態電流(Quiescent current)，就是輸入電流輸出電流間的差，關係到整體的電流效率。

$$I_q = I_{\text{IN}} - I_{\text{OUT}}$$

一般而言，靜態電流包括了電路中的偏壓電流(如：誤差放大器、參考電壓源)和驅動輸出電晶體的電流，這些對於輸出效率並無幫助，造成無謂的消耗電源，因此在設計上是越小越好。

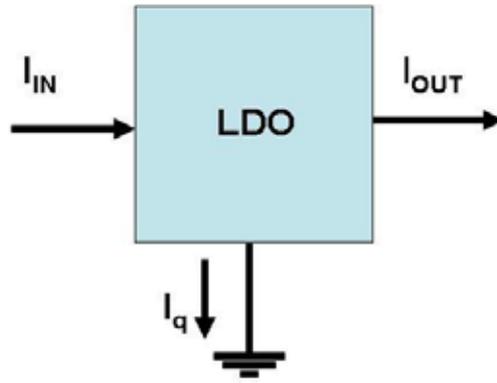


圖 2.5 接地電流

一個以雙載子電晶體做為輸出端的線性穩壓器，天生就存在有蠻大的靜態電流，也就是基極電流，且基極電流是正比於輸出電流，因此它的靜態電流是會隨輸出電流增加而變更大。在低壓降線性穩壓器中，是使用MOS電晶體來當作輸出電晶體，MOS電晶體是用 $V_{GS}$ 來控制電流，而其閘極並無電流通過，因此其靜態電流可以保持固定，且無視於負載端的變化，這也是用MOS當輸出端優於雙載子電晶體的好處之一 [7]。

### 2.2.5 電源效率(Efficiency)

低壓降線性穩壓器的效率，定義為輸出功率和輸入功率的比值：

$$\text{Efficiency} = \frac{I_{OUT} \times V_{OUT}}{(I_q + I_{OUT}) \times V_{IN}} \times 100\%$$

由上式可以看出，主要限制是接地電流，要想提升穩壓器的效率， $I_q$

必須降到越低越好[3]。另外也可看出，既有的輸出和輸入電壓差，也是影響效率的因素之一，當 $I_q$ 很小可以忽略的時候，明顯的效率是由輸出電壓和輸入電壓的比值決定。此外，當穩壓器操作在無負載的時候，也就是輸出電流為0時，上式就不適用來計算整體效率，此時 $I_q$ 就顯的格外重要， $I_q$ 越小自然電池壽命也就得以維持更長久。

### 2.2.6 輸出準確率(Output accuracy)

輸出電壓的準確度和低壓降線性穩壓器的各個部份的電壓誤差關  
係密切，像是：線性調節率( $\Delta V_{LIR}$ )、負載調節率( $\Delta V_{LOR}$ )、參考電壓  
偏移( $\Delta V_{REF}$ )、誤差放大器電壓偏移( $\Delta V_A$ )、外部回授電阻的誤差( $\Delta V_R$ )、溫度係數( $\Delta T_C$ )...等。

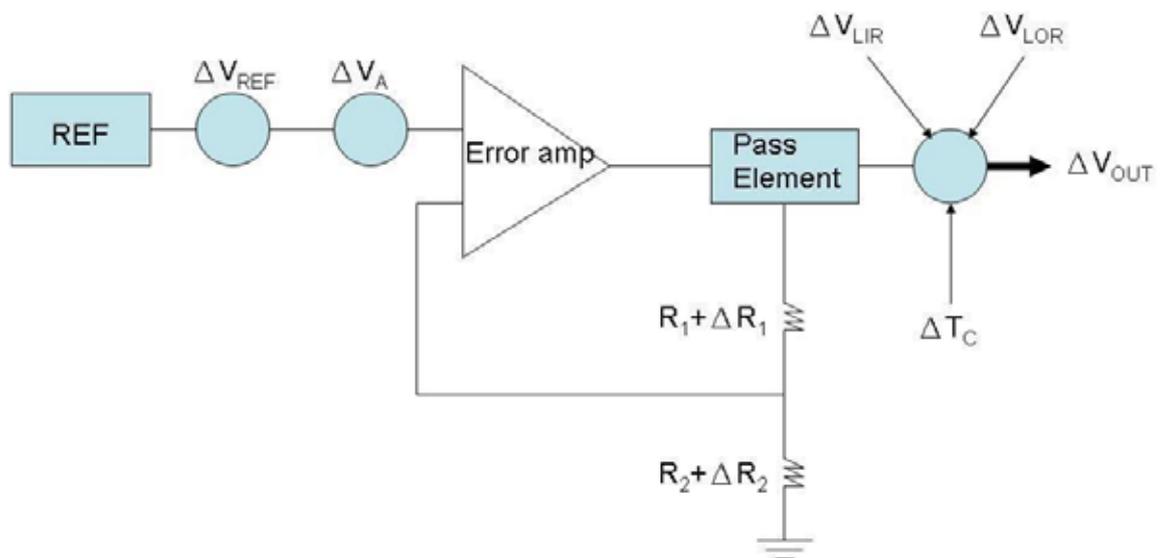


圖 2.6 輸出電壓誤差

$$\text{Accuracy} \approx \frac{|\Delta V_{\text{LIR}}| + |\Delta V_{\text{LOR}}| + \sqrt{\Delta V_{\text{REF}}^2 + \Delta V_{\text{A}}^2 + \Delta V_{\text{R}}^2 + \Delta T^2 C}}{V_{\text{OUT}}} \times 100\%$$

輸出電壓誤差主要是由環境溫度改變所造成的參考電壓偏移、誤差放大器的特性改變(增益誤差、偏移電流)、電阻值誤差，這些誤差加上線性調節率和負載調節率通常會使得精確度改變1%~3%[3]。另外，製程上的變異也同樣會造成上述各部份產生誤差。

接下來仔細討論各部份造成的誤差，就參考電壓源的部份，和輸出電壓的關係式為：

$$V_{\text{OUT}} + \Delta V_{\text{O,REF}} = \left(1 + \frac{R_1}{R_2}\right)(V_{\text{REF}} + \Delta V_{\text{REF}})$$

$$\Delta V_{\text{O,REF}} = \left(1 + \frac{R_1}{R_2}\right)V_{\text{REF}}$$

$$\rightarrow \frac{\Delta V_{\text{O,REF}}}{V_{\text{OUT}}} = \frac{\Delta V_{\text{REF}}}{V_{\text{REF}}}$$

從上述式子可以得到，參考電壓的誤差會直接影響到輸出電壓，而且是直接正比於誤差百分比。

再來是關於誤差放大器的誤差部分：

$$\Delta V_{\text{O,a}} = \beta \Delta V_{\text{a}} R_{\text{L}} + A \beta \Delta V_{\text{fb}} R_{\text{L}}$$

$$\Delta V_{\text{fb}} = \frac{R_2}{R_1 + R_2} \Delta V_{\text{O,a}}$$

考慮  $A\beta \gg 1$ ，將上兩式合併的結果：

$$\rightarrow \Delta V_{O,a} = \frac{\Delta V_a (R_1 + R_2)}{\beta R_2}$$

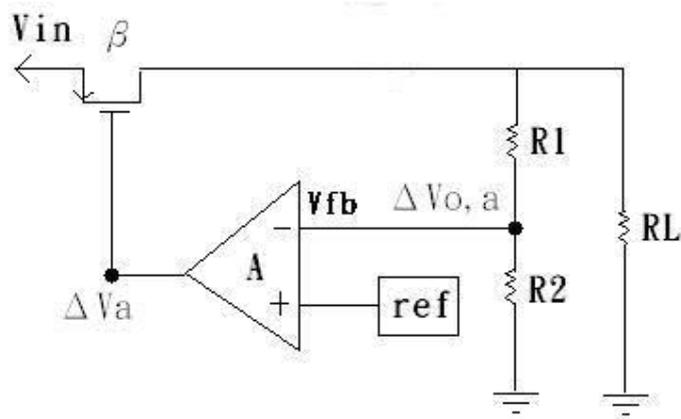


圖 2.7 誤差放大器電壓偏移[3]



最後是電阻的誤差部分：

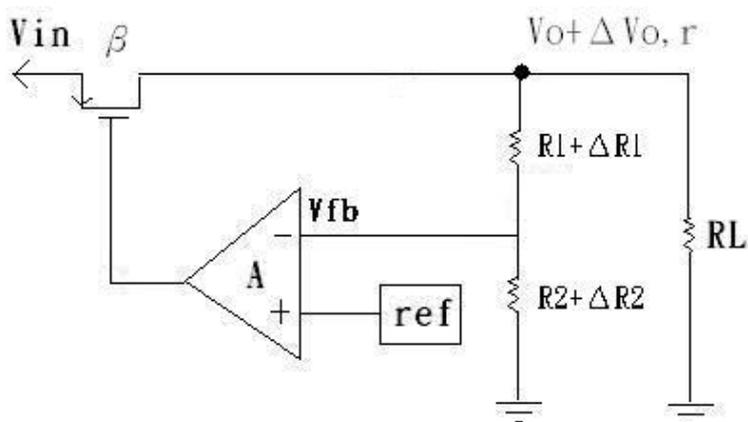


圖 2.8 電阻值誤差[3]

$$V_o + \Delta V_{O,r} = \frac{(R_1 + \Delta R_1) + (R_2 + \Delta R_2)}{R_2 + \Delta R_2} V_{REF}$$

$$\rightarrow \Delta V_{O,r} = \frac{\Delta R_1 + \Delta R_2}{R_2 + \Delta R_2} V_{REF}$$

關係式如上式，顯然的，電阻誤差影響輸出電壓相對於前面幾項來得比較小，且 $R_2$ 的影響要比 $R_1$ 還要大。

### 2.2.7 暫態響應(Transient response)

這一節要討論的是低壓降線性穩壓器的暫態響應。

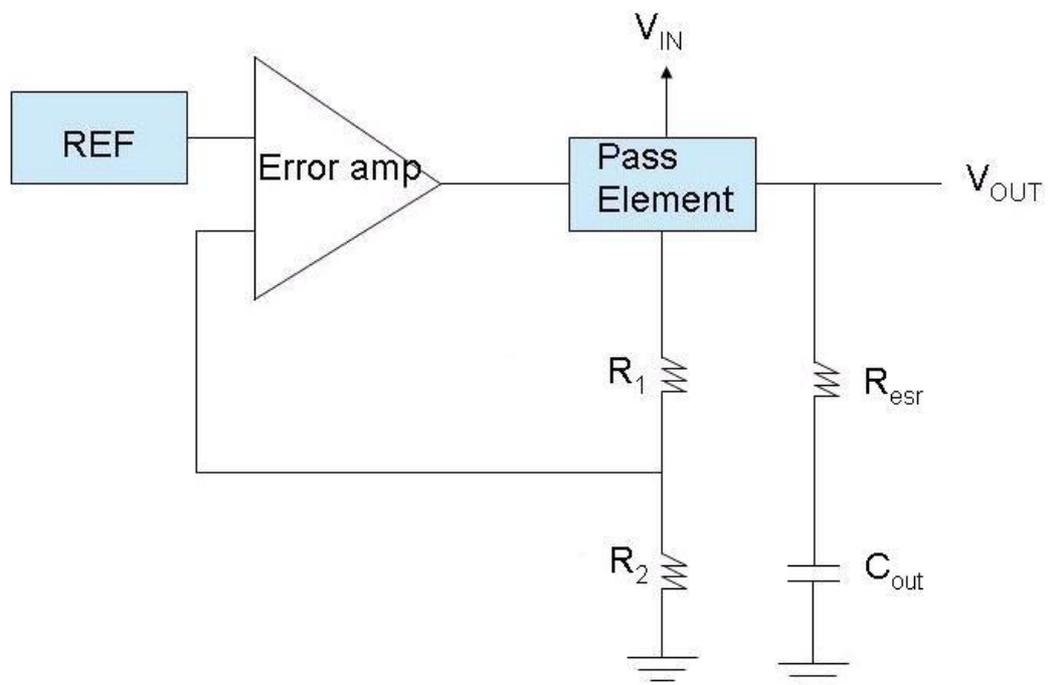


圖 2.9 低壓降線性穩壓器及其輸出電容

主要是當負載電流在瞬間改變時，輸出電壓變化的情況以及電壓回穩的時間。影響到暫態響應的包括：輸出電容、輸出電容的等效串聯電阻、最大負載電流…等。

如圖 2.10 所示，接下來分成幾個部分來分析當負載改變時，輸出電壓的變化。首先先看負載電流以一個步階瞬時增加，相對的輸出

電壓反應，當負載端忽然從穩壓器抽取大量電流，此時由於穩壓器頻寬的關係，反應不及造成無法及時提供負載端足夠的電流，輸出電壓就如圖中 $t_1$ 時間內的反應，產生一段不小的壓降，這段時間內由輸出電容暫時提供負載所需的大量電流，由 $C_{OUT}$ 流向 $V_{OUT}$ 。

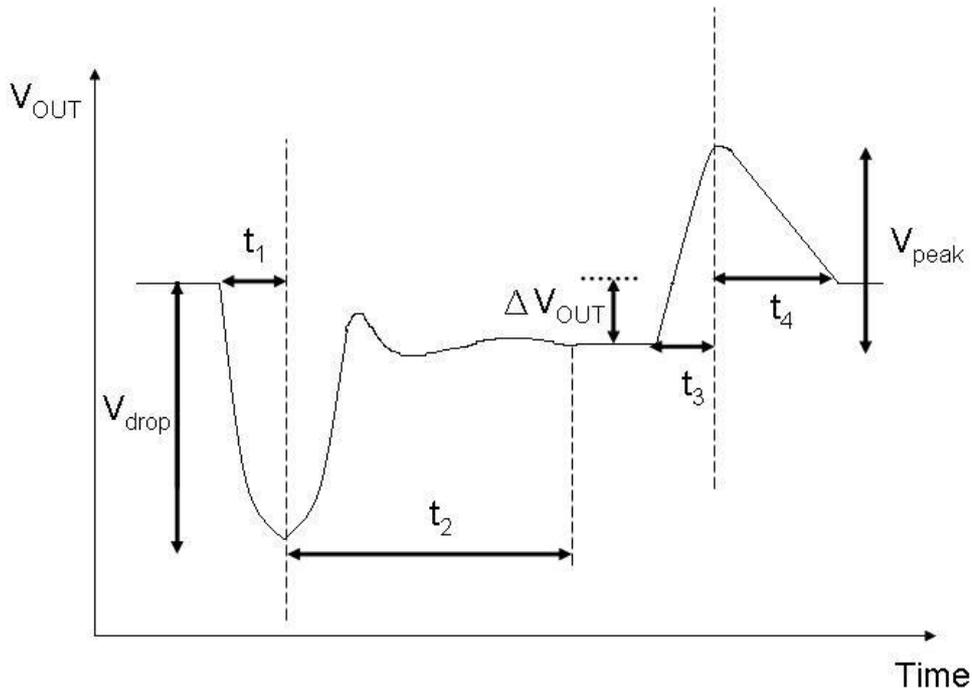


圖 2.10 輸出電壓對於負載電流變化之反應[8]

這段壓降我們可以經由計算得到：

$$V_{drop} = \frac{I_{OUT}}{C_{OUT}} \times t_1 + \Delta V_{esr}$$

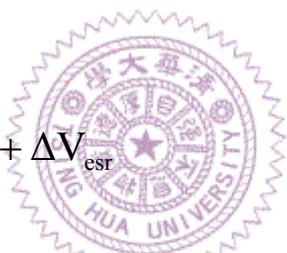
$t_1$ 這段時間主要受限於低壓降線性穩壓器的頻寬和變化率(slew rate)，一個頻寬大反應快的低壓降線性穩壓器自然可縮短這段時間，此外夠大的輸出電容，足以用來提供瞬時負載電流，才能保持住

輸出電壓，減少瞬間的壓降。接下來，當過了 $t_1$ 這段時間後，回授網路感測到電壓變化，並加以做穩定的工作，也就是 $t_2$ 時間內的反應。其中的穩定值和原來零負載時的輸出電壓有一段差距 $\Delta V_{OUT}$ ，就是之前提到的負載調節率。

$t_2$ 長短即輸出電晶體對輸出電容充電所需時間，和整個電路閉迴路的相位邊限也有關係。

相對於上面的情況，現在考慮將加在輸出端的負載抽離，輸出電壓的反應剛好和之前相反， $t_3$ 時間內產生一段不小的電壓脈衝，其值可以經由計算得到：

$$V_{peak} = \frac{I_{OUT}}{C_{OUT}} \times t_3 + \Delta V_{csr}$$



同樣地，脈衝過後電壓回穩，不過此時輸出端電流為0，故必須透過回授電阻放電，放電電流固定由圖中 $t_4$ 斜率可知。

總之，想要有良好的暫態響應，必須提升低壓降線性穩壓器的頻寬，並增加其變化率(slew rate)，或降低等效串聯電阻值，諸如：瞬時壓降、穩定時間、順時脈衝…等暫態現象，都可以獲得改善。

## 2.2.8 頻率響應(Frequency response)

為了分析低壓降線性穩壓器的頻率響應，將其迴路打斷後顯示如下圖：

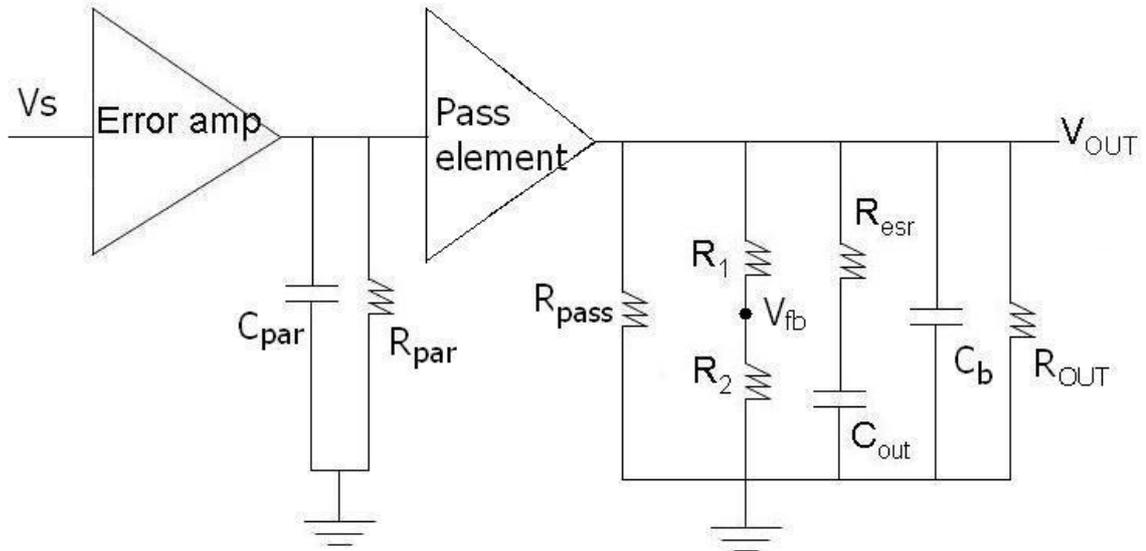


圖 2.11 交流分析等效模型[8]

其中 $R_{pass}$ 是輸出電晶體的輸出阻抗， $C_b$ 則是估計下一級電路的輸入電容，通常 $C_b$ 遠小於 $C_{out}$ 。進一步計算其轉換函數：

$$T(s) = \frac{V_{fb}}{V_s} = \frac{R_2}{R_1 + R_2} g_{m,a} \left( R_{par} \parallel \frac{1}{sC_{par}} \right) g_{m,pass} Z_{OUT}$$

其中  $Z_{OUT} = R_{pass} \parallel (R_1 + R_2) \parallel R_{OUT} \parallel \left( R_{esr} + \frac{1}{sC_{out}} \right) \parallel \frac{1}{sC_b}$  表示

其輸出阻抗。

由上式，可以得知整個迴路中存在 3 個極點以及一個零點，這對於低壓降線性穩壓器的穩定度來說，是非常重要的訊息。

首先，第一個極點，也就是主極點，是由輸出電容以及低壓降線性穩壓器的輸出阻抗所形成：

$$f_{p1} = \frac{1}{2\pi(R_{OUT} // R_{pass} + R_{esr})C_{OUT}}$$

因為等效串聯電阻通常遠小於輸出阻抗，故可做此近似。

第二個極點，是由誤差放大器到輸出電晶體之間的寄生電容和電阻所形成：

$$f_{p2} = \frac{1}{2\pi R_{par} C_{par}}$$

第三個極點，是由輸出電容的等效串聯電阻以及 $C_b$ 所形成：

$$f_{p3} = \frac{1}{2\pi R_{esr} C_b}$$

而唯一的零點，是由輸出電容以及其等效串聯電阻所形成：

$$f_z = \frac{1}{2\pi R_{esr} C_{OUT}}$$



至於，極點和零點的位置，就看實際上的電路如何設計了，和誤差放大器及輸出電容大小，都有關係。不過就常理來說，主極點是確定小於其他極點，因此  $f_{p1} < f_{p2} < f_{p3}$  這個關係是確定的。因此，為了讓整個電路達到良好的穩定度，接下來的極點和零點位置的分布，就顯的很重要。一般作法是用零點來消除其中一個極點的影響，將零點位置控制在單增益頻率( $f_T$ )附近，可有效提昇電路的相位邊限，進而使穩定度更高。

因為系統穩定度的考量，低壓降線性穩壓器的各項效能如：線性調節率、負載調節率、穩態精確度及負載暫態響應都受到了限制。線性調節率、負載調節率與精確度的限制，是因為開迴路直流增益由於穩定度的限制而無法提高造成。一般而言，若有要最佳的線性調節率和負載調節率與精確度，需提昇開迴路直流增益，但無限制地提高開迴路直流增益，則會造成相位邊限不足。

由上面所述，一個沒有補償的低壓降線性穩壓器，會因為兩個極點的效果，使得相位在單增益頻率時變為 $-180^\circ$ ，整個電路也會因此而震盪，故由等效串聯電阻所形成的零點，對於一個低壓降線性穩壓器而言十分重要，以下對於這個等效串聯電阻加以討論：

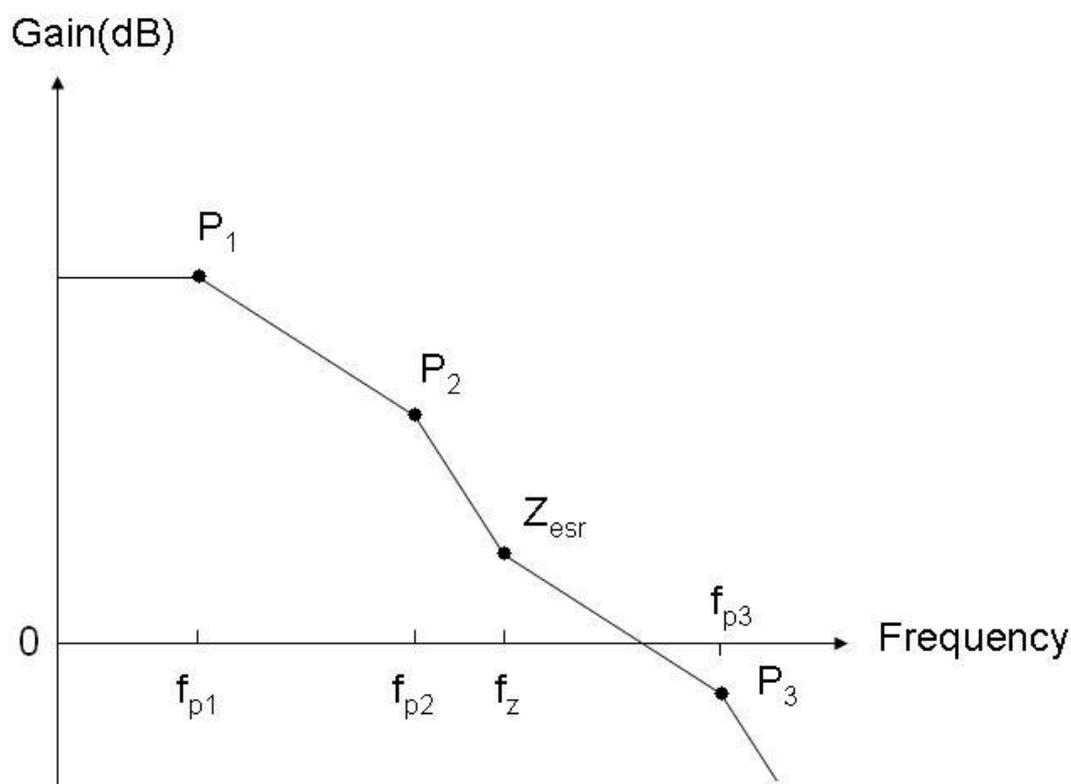


圖 2.12 低壓降線性穩壓器的頻率響應

等效串聯電阻的值關係到的就是零點的位置，太大或者太小對於電路的穩定度都有影響[9]，先看等效串聯電阻太大的情形，如圖 2.13 所示，造成零點位置過小，使得原本在單增益頻率之下的第三個極點也跑到前面，又拉低了相位邊限，導致電路不穩定。

再看等效串聯電阻太小的情形，如圖 2.14 導致零點位置低於單增益頻率，致使相位邊限並沒有獲得提升，原本要對電路作補償的效果就消失了。

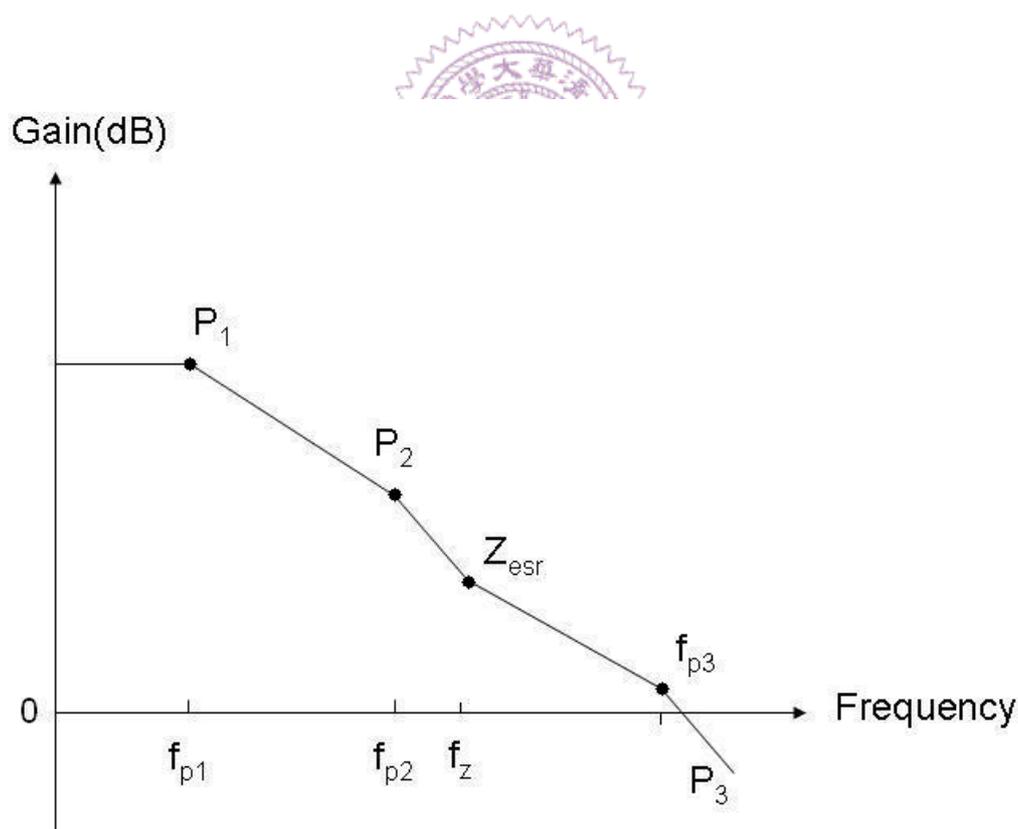


圖 2.13 等效串聯電阻過大之情形

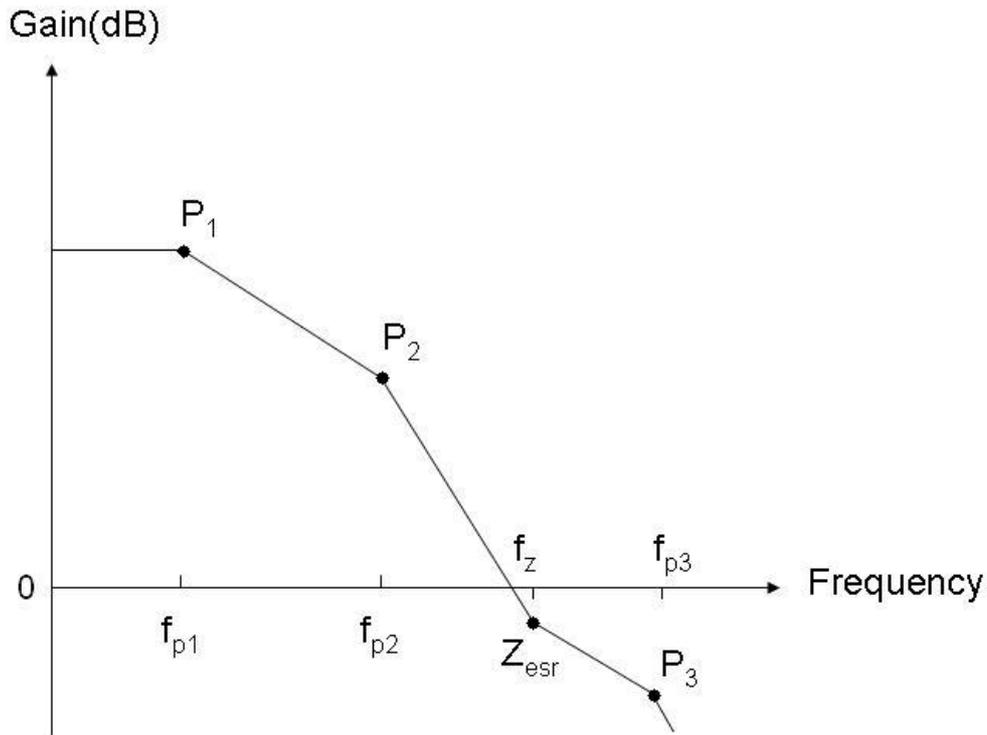


圖 2.14 等效串聯電阻過小之情形

總而言之，等效串聯電阻的值有一個適合的範圍，在這範圍內都可以使低壓降線性穩壓器更加穩定。因此輸出電容的選取，也顯得重要許多，一般認為鉭質電容是最佳選擇， $4.7\mu$  的電容值在  $25^{\circ}\text{C}$  時齊等效串聯電阻值約  $1.3\Omega$ 。其它如大於  $1\mu\text{F}$  的陶瓷電容，由於其等效串聯電阻值非常小，約  $20\text{m}\Omega$  左右，易使得電路震盪，所以如果要選用這類電容，常常需要再外掛小電阻和其串聯，增加其等效串聯電阻值 [10]。

## 第 3 章 低壓降線性穩壓器之內部結構電路

前一章大略敘述過了低壓降線性穩壓器的內部組成電路，包含了一個參考電壓源、一個誤差放大器、一個輸出功率電晶體以及兩個回授電阻。本章就針對各個部份結構，加以仔細討論。

### 3.1 能隙參考電壓源

參考電壓源在低壓降線性穩壓器中，是用來讓誤差放大器和回授電壓做比較，好讓誤差放大器能判斷該如何調節輸出電壓，因此一個準確的參考電壓源，在設計低壓降線性穩壓器中，是必須經過仔細考慮的。一般而言，參考電壓源要準確，除了製程上的變異要考慮到之外，外在溫度的變化，也會造成參考電壓的變動，所以目前最好的作法就是使用能隙參考電壓源，來用以消除由溫度變化造成的參考電壓誤差。

想法是將一個隨溫度遞減的電壓(具有負溫度係數)，和一個隨溫度遞增的電壓(具有正溫度係數)做比例上的相加，讓參考電壓在某一個溫度下，其溫度係數剛好為零，也就是不會隨溫度改變[11]。接下來就說明如何去產生這兩種正負溫度係數的電壓。

### 3.1.1 負溫度係數的電壓

其實在正常情形下，一個 PN 接面的二極體其順向電壓就具有負的溫度係數，就以雙載子電晶體的基極-射極電壓為例，基極-射極電壓為：

$$V_{BE} = V_T \ln\left(\frac{I_C}{I_S}\right) \quad , \quad \text{其中 } I_S = cT^{4+m} \exp\left(\frac{-E_g}{kT}\right) \quad , \quad E_g \text{ 為矽的能}$$

隙， $c$ 、 $m$ 是常數。

將上式對溫度  $T$  微分：

$$\begin{aligned} \rightarrow \frac{\partial V_{BE}}{\partial T} &= \frac{\partial V_T}{\partial T} \ln \frac{I_C}{I_S} - \frac{V_T}{I_S} \frac{\partial I_S}{\partial T} \\ \rightarrow \frac{\partial V_{BE}}{\partial T} &= \frac{V_{BE} - (4+m)V_T - E_g/q}{T} \end{aligned}$$

在室溫  $T=300\text{K}$ 、 $V_{BE}=0.75\text{V}$  時，基極-射極間的電壓其溫度係數約為  $-1.5\text{mV/K}$ [11]。

### 3.1.2 正溫度係數的電壓

至於正溫度係數的部份，由圖 3.1 所示，由兩個操作在不同集極電流下的雙載子電晶體，其基極射極間的電壓相減，即可得到一具有正溫度係數的電壓。

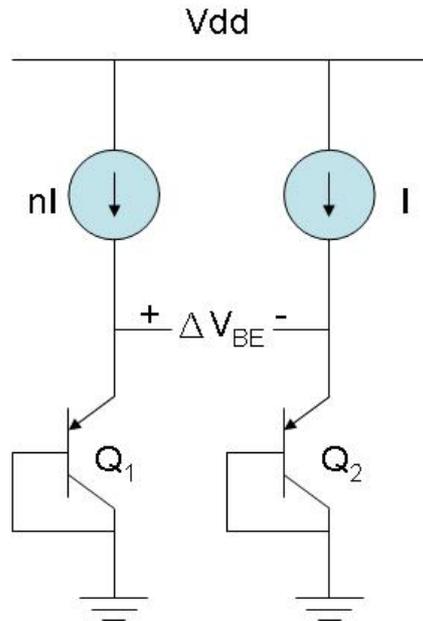


圖 3.1 正溫度係數電壓之產生

$$\begin{aligned}
 \Delta V_{BE} &= V_{BE1} - V_{BE2} \\
 &= V_T \ln \frac{nI}{I_{S1}} - V_T \ln \frac{I}{I_{S1}} \\
 &= V_T \ln n
 \end{aligned}$$

將上式對溫度  $T$  微分：

$$\rightarrow \frac{\partial \Delta V_{BE}}{\partial T} = \frac{k}{q} \ln n$$

如此就可得到一正溫度係數的電壓，係數大小就由集極電流的比值來決定。另外也可以利用並聯電晶體的方式，改變兩顆雙載子電晶體的

$I_S$ ，同樣可以達到控制其係數大小的效果。

### 3.1.3 零溫度係數參考電壓之產生

如圖 3.2，將前面提到的正負溫度係數的電壓，做比例上的相加，就可以產生一個零溫度係數的參考電壓。

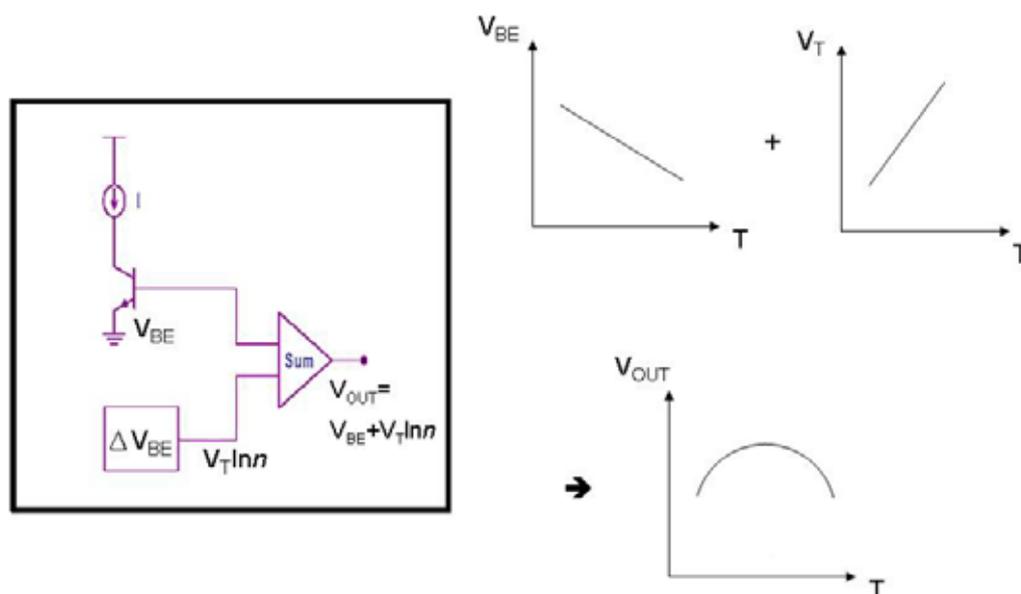


圖 3.2 零溫度係數參考電壓之產生

至於產生零溫度係數時的溫度，就可以依照電路需求來設計，因其附近範圍內溫度的改變，對於輸出電壓來說，變化都非常小。

### 3.1.4 電路上的實現

利用之前的理論，實際上電路的作法。如圖 3.3 所示。首先，要先確保  $X$ 、 $Y$  兩點電壓相等，如此一來在  $R_3$  上就可以產生一個  $\Delta V_{BE}$ ，藉由一個 OP 就可以使得  $X$ 、 $Y$  具有相同的電壓，同時上的電流通過  $R_2$  和  $R_3$  後產生了正溫度係數的電壓，加上  $Q_2$  的  $V_{BE}$ ，輸出電壓即為正負

溫度係數電壓之和，不過要達到零溫度係數，還必須控制  $R_2$  和  $R_3$  的比值。最後，一個零溫度係數的能隙參考電壓源就產生了。

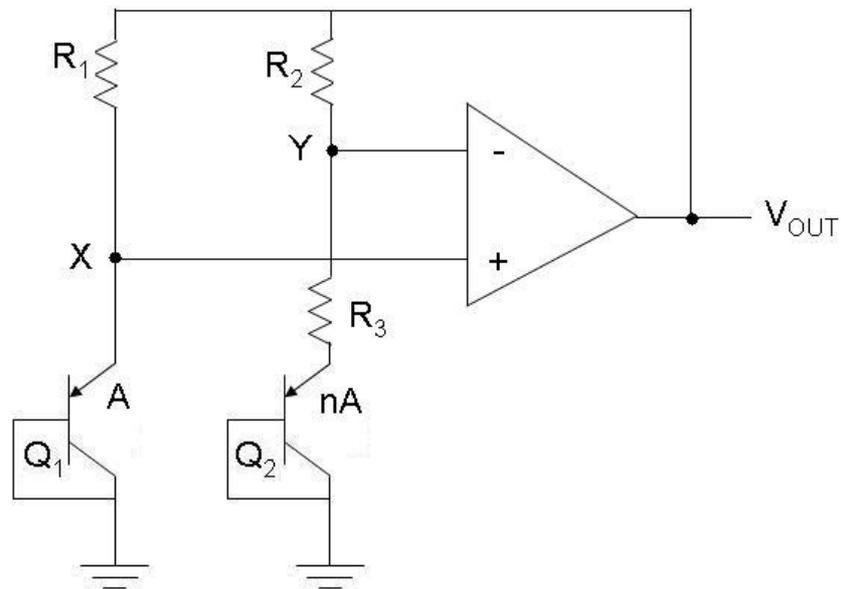


圖 3.3 電路實現能隙參考電壓源[11]

另外電路實現上，還有另外一種較簡單的方法，如圖 3.4。

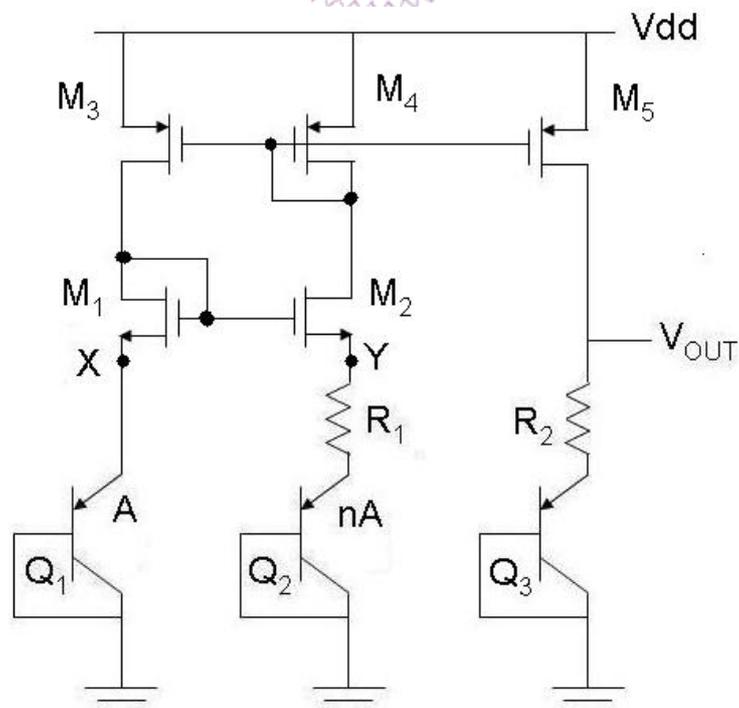


圖 3.4 另一種能隙參考電壓源[11]

利用 PTAT 的電流產生正溫度係數的電壓，再與負溫度係數的電壓相加，來做到零溫度係數的效果。圖中  $M_1$  和  $M_2$ 、 $M_3$  和  $M_4$  必須互相匹配，以求達到兩路的電流大小相等，此電路還須確保 X、Y 兩點電壓一樣，即可在  $R_1$  上產生一隨溫度增加的電流，再藉由電流鏡複製到  $M_5$  通過  $R_2$  和  $Q_3$  的  $V_{BE}$  相加，係數大小可用電阻比來調整，便可以產生準確的能隙參考電壓源了。

$$V_{OUT} = V_{BE3} + \frac{R_2}{R_1} V_T \ln n$$

### 3.2 誤差放大器

誤差放大器在一個低壓降線性穩壓器中通常扮演著非常重要的角色，整個穩壓器性能表現的好壞，往往受限於誤差放大器的設計。一般來說，在低壓降線性穩壓器的設計上，速度增益往往是最需要考量的一點，而速度就跟所採用的誤差放大器有著絕對的關係。速度快的誤差放大器需要夠高的單增益頻寬，以及夠短的穩定時間。

以下就針對幾種運算放大器的架構作討論，根據其各項特性在選用適合的運算放大器，作為誤差放大器來使用。歸納其中所需要設計考量的參數如下：

- 低頻增益(DC Gain)
- 單增益頻寬(Unit Gain Frequency,  $f_t$ )

- 穩定時間(Settling Time)
- 輸入振幅(Input Swing)
- 輸出振幅(Output Swing)
- 變動率(Slew Rate)
- 相角邊限(Phase Margin)

### 3.2.1 單級運算放大器

通常若只考慮高速的設計，一個單級的運算放大器是個不錯的選擇，也由於它只有單一極點，所以也沒有穩定度上的問題。主極點位於運算放大器之輸出端，次要極點位於  $M_3$  閘極，兩者間通常有相當大的差距，因此可視為單極點系統，單增益頻寬約為  $\frac{g_m}{2\pi C_L}$ ， $g_m$  為  $M_1$ 、 $M_2$  之轉導。

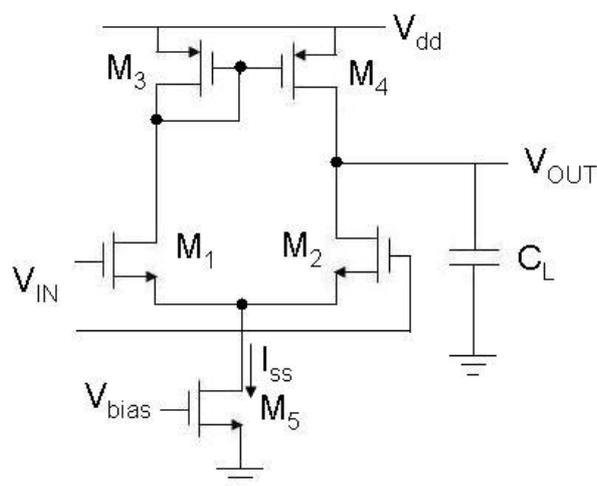


圖 3.5 單級運算放大器

藉由適當的控制  $g_m$  及  $C_L$  可決定單增益頻寬和相角邊限。此單級運算放大器在變化率方面也不錯，變化率為  $\frac{I_{SS}}{C_L}$ ，且輸出輸入振幅都有不錯的表現。唯一缺點就是直流增益不夠大，計算其直流增益為  $g_m(ro_2 // ro_4)$ 。直流增益對於低壓降線性穩壓器來說，能夠把輸出電壓極小的誤差分辨出來加以放大，所以對於一個需要高直流增益的低壓降線性穩壓器來說，或許一個單級運算放大器並不適合。不過若是規格不嚴苛，只求電路簡單好用，那單級運算放大器就是一個不錯的選擇。

### 3.2.2 串疊運算放大器

串疊組態是用來改善前面所提到的直流增益不夠的缺點，要增加直流增益不外乎就是增加放大器的輸出阻抗，而增加輸出阻抗的方法如圖 3.6，為一基本串疊組態，其輸出阻抗增加了  $g_m r_o$  倍，因此輸出阻抗為  $g_{m2} r_{o1} r_{o2}$ 。

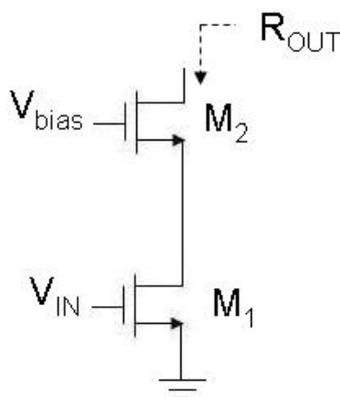


圖 3.6 基本串疊組態

而圖 3.7 為一主動式串疊組態，其輸出阻抗增加了  $A g_m r_o$  倍，因此輸出阻抗為  $A g_m r_{o1} r_{o2}$ 。串疊組態的架構雖然能在不影響頻寬的條件下提高直流增益，但在輸出及輸入共模電壓範圍及輸出振幅上都會受到一定程度的限制。不過在高增益運算放大器的用上，此種串疊組態的技巧仍然大量的被使用。

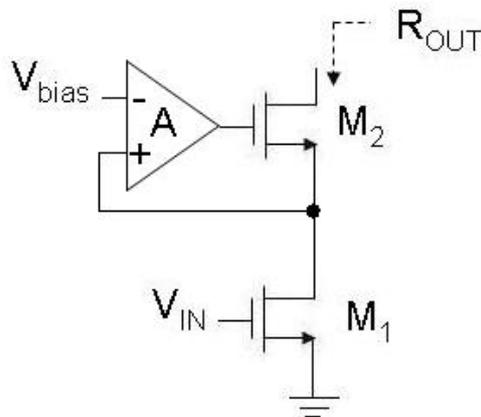


圖 3.7 主動式串疊組態

應用了上面的技巧，產生了望遠鏡式串疊(Telescopic cascode)運算放大器，如圖 3.8。其主極點也是位於運算放大器的輸出端，次要極點則位於  $M_1$  的閘極，兩者之間也是相差好幾個數量級，因此可以視為單極點的系統。特性參數大都和單級運算放大器相同，單增益頻寬約為  $\frac{g_m}{2\pi C_L}$ ，相角邊限就由  $M_1$ 、 $M_2$  之轉導  $g_m$  以及  $C_L$  來控制，變化率為  $\frac{I_{SS}}{C_L}$ 。主要差別就是其直流增益，因為串疊組態的關係，使得原本的輸出阻抗變成  $g_m (g_{m4} r_{o2} r_{o4} // g_{m6} r_{o6} r_{o8})$ ，但此種架構之輸入振幅與輸出振幅將同時受串疊組態之影響而受到限制，尤其受  $M_3$  與  $M_4$  之影響輸入振幅與輸出振幅的設計上將難以同時兼顧。

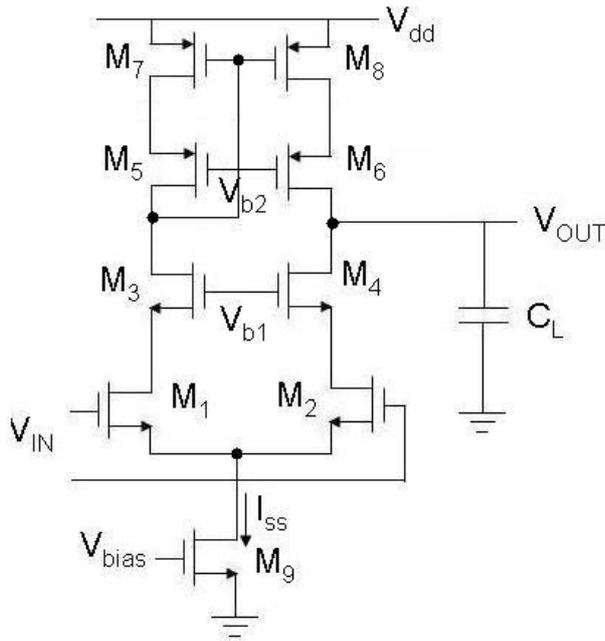


圖 3.8 望遠鏡式串疊運算放大器

### 3.2.3 折疊串疊運算放大器

折疊串疊架構(Folded cascode)的運算放大器，也是一種常用的架構。其輸入端有 NMOS 和 PMOS 兩種組態，這裡就先介紹運用 NMOS 差動輸入的組態，如圖 3.9 所示。這個組態的主極點也是落在運算放大器的輸出端，同樣的次要極點遠大於主極點，可視為一個單極點的系統，單增益頻寬約為  $\frac{g_m}{2\pi C_L}$ ，相角邊限就由  $M_1$ 、 $M_2$  之轉導  $g_m$  以及  $C_L$  來控制，變化率為  $\frac{I_{SS}}{C_L}$ ，皆如之前所述。其中輸出阻抗因為串疊組態的關係，變為  $g_m((g_{m8}r_{o8}(r_{o10} // r_{o2})) // (g_{m5}r_{o5}r_{o4}))$ 。在輸入振幅與輸出振幅的表現上，折疊串疊架構相較於望遠鏡式串疊架構提供了較佳的表現，大幅提昇了此電路輸出入動態範圍的性能。

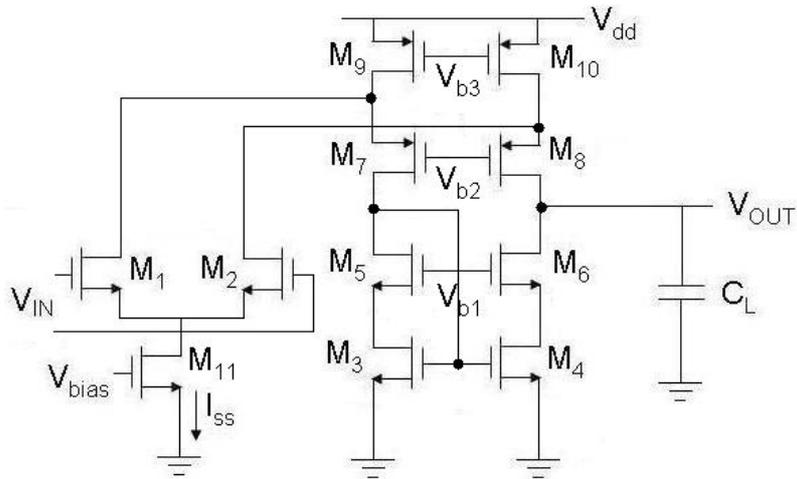


圖 3.9 NMOS 差動輸入組態之折疊串疊運算放大器

圖 3.10 為 PMOS 差動輸入組態折疊疊串架構運算放大器。其中與 NMOS 差動輸入組態主要的差異在於 PMOS 之轉導較 NMOS 小，因此在相同元件尺寸下增益的表現會比較差。其輸出阻抗因為串疊組態的關係，變為  $g_m((g_{m6}r_{o6}(r_{o4} // r_{o2})) // (g_{m8}r_{o8}r_{o10}))$ 。雖然 PMOS 差動輸入組態在增益的表現上不如 NMOS 差動輸入組態來的優越，但在考量到各種運用上對輸出入動態範圍的不同以及頻寬與雜訊等設計考量上的不同需求，PMOS 差動輸入組態仍然廣泛地被採用。

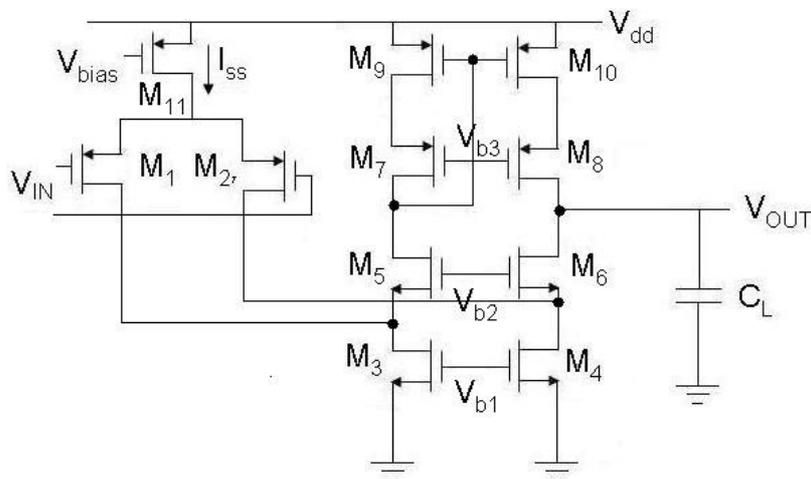


圖 3.10 PMOS 差動輸入組態之折疊串疊運算放大器

### 3.3 輸出結構

線性穩壓器的輸出結構不外乎就是雙載子電晶體或是 MOS 電晶體，輸出結構對於一個線性穩壓器來說，關係到它的輸出電壓差、接地電流和電源消耗功率，因此選擇輸出結構時要特別注意。

#### 3.3.1 雙載子電晶體輸出

首先先來看傳統的輸出結構，即利用雙載子電晶體作為輸出端的結構。如圖 3.11。

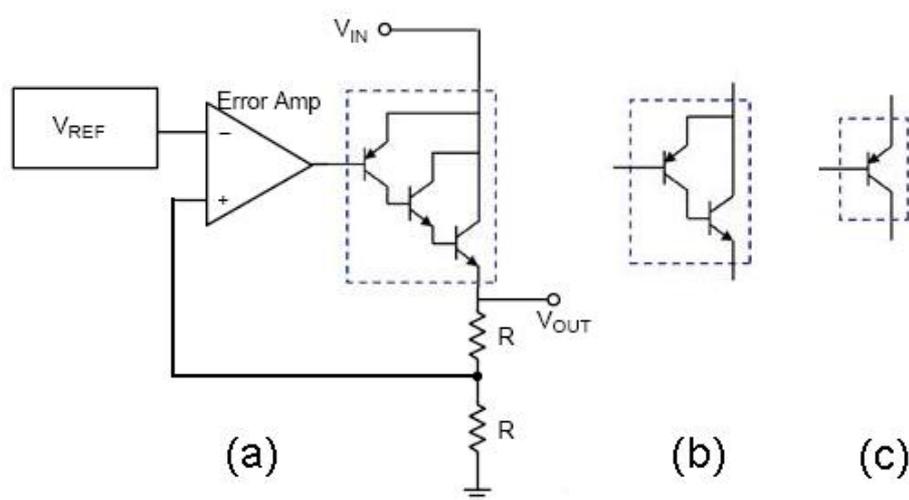


圖 3.11 線性穩壓器輸出結構[13]

利用(a)的結構，可以有效降低當負載改變時輸出電壓的變化，且此結構的最大好處是只需要小量的偏壓電流( $\frac{I_{OUT}}{\beta^3}$ )，即可提供大量的(>1A)輸出電流。而且只需要小的輸出補償電容，佔用晶片的面積可以很小。不過最大的缺點就是輸出電壓差很大，對於靠電池來維持生命的產品來說不適合。

$$V_{drop(b)} = 2 \times V_{BE}(NPN) + V_{CE(sat)}(PNP) \approx 2\text{v}$$

要改善輸出電壓差可以改用圖 3.11(b)的結構，輸出電壓差減少成：

$$V_{drop(b)} = V_{BE}(NPN) + V_{CE(sat)}(PNP) \approx 1.25\text{v}$$

付出的代價就是偏壓電流要增加，從原本的  $\frac{I_{OUT}}{\beta^3}$  變成  $\frac{I_{OUT}}{\beta^2}$ ，電源消耗

功率勢必增加。另一種更簡單的結構如圖 3.11(c)，輸出電壓差剩下：

$$V_{drop(c)} = V_{CE(sat)}(PNP) \approx 100\text{mv} \sim 600\text{mv}$$

當然偏壓電流又更加大了，變成  $\frac{I_{OUT}}{\beta}$ 。由上所述，3 種結構之間存在

著電源功率消耗的取捨：

$$Power\ dissipation = (V_{IN} - V_{OUT}) \times I_{OUT} + V_{IN} \times I_q$$

從上式可以看出輸出電壓差和偏壓電流(包含在  $I_q$  內)都會影響電源功率消耗，如何去取捨就要看電路設計上的考量了[13]。

### 3.3.2 MOS 電晶體輸出

前面提到的雙載子電晶體輸出的最大缺點，會有基極偏壓電流，會造成電流的浪費，且輸入輸出電壓差也較高。因此在低壓降線性穩壓器中，漸漸改用金氧半場效電晶體 (MOSFET) 作為輸出元件，由於 MOS 電晶體阻態在開極幾乎沒有電流，固不會造成電流的浪費，且 MOS 電晶體所需輸入輸出電壓差也較小，故較適合用於低壓降線性穩壓器的架構[7]。而若以 NMOS 電晶體作為輸出元件，所需的面積大小可以

比 PMOS 電晶體來得小，因其導電率比 PMOS 電晶體高，但是需要比輸入電壓更高的電壓來驅動輸出元件，否則輸出電壓差會被限制在  $V_{gs}$ ，使得電路的困難度與複雜性增加。因此 PMOS 電晶體為目前低壓降線性穩壓器最常使用的輸出元件，其輸出電壓差為 PMOS 電晶體的  $V_{ds}$ ，可以控制到很小，所以本論文所設計的系統也均以 PMOS 電晶體作為輸出元件。

### 3.4 回授穩定度及頻率補償

低壓降線性穩壓器為一負回授系統，因此有穩定度的問題。若系統的開迴路轉移函數沒有足夠的相位邊限，輸出便會發生振盪。要確保系統穩定，必須維持足夠的相位邊界。但是，低壓降線性穩壓器之開迴路直流增益與主極點的頻率，均會隨著負載不同而變動，進而造成單增益頻率、相位邊限的改變。因此，要在各種負載下均能保持系統的穩定，其輸出電容與等效串聯電阻均需嚴格地限制。通常低壓降線性穩壓器的使用說明上，均會列出建議使用的輸出電容值及其等效串聯電阻的範圍。而且之前提過，穩定度關係到低壓降線性穩壓器的各項效能，若要有最佳的電源和負載調節率與輸出精確度，需提昇開迴路直流增益，但是容易造成相位邊限不足。負載響應則是受限於輸

出電容之等效串聯電阻以及單增益頻率的限制。當負載瞬間發生 $\Delta I$ 的變動時，因為系統無法即時反應，此 $\Delta I$ 的電流均由輸出電容提供，而輸出電容之等效串聯電阻與負載變化，會造成輸出電壓有瞬間壓降。輸出電壓的穩定時間則與單位增益頻率成反比，單位增益頻率越高，表示頻寬越大，反應的時間越短，也就能越快達到穩定。因此輸出電容之等效串聯電阻越小、單位增益頻率越高，負載響應便越優異。但是因為穩定度的考量，輸出電容之等效串聯電阻無法為零，單位增益頻率也無法提昇至十分高頻。

由以上的討論可知，低壓降線性穩壓器主要缺點是輸出電容與其等效串聯電阻受到限制。由於等效串聯電阻會隨著溫度、頻率等因素而變動，又要配合適當的電容值，令低壓降線性穩壓器在使用上不甚方便，且等效串聯電阻的存在亦會影響負載響應的效能。此外由於開迴路直流增益不能太高，無法有效地提昇電源和負載調節率與輸出穩態精確度之效能。所以目前在低壓降線性穩壓器的設計上，無非是希望降低或去除輸出電容與其等效串聯電阻的限制，或是有效提昇開迴路直流增益。

### 3.4.1 等效串聯電阻

前一章有討論過，利用等效串聯電阻來產生一個零點，對提升相

位邊限有幫助，這一節就說明一下等效串聯電阻如何產生零點，如圖

3.12。

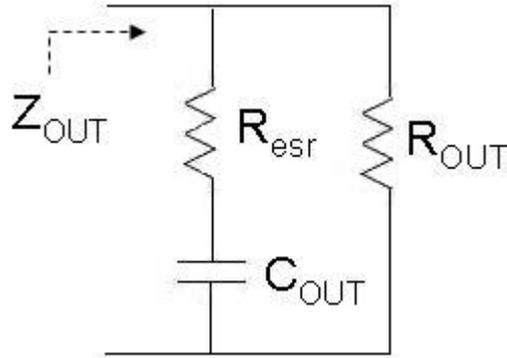


圖 3.12 輸出阻抗示意圖

$$\begin{aligned}
 Z_{OUT} &= \frac{(ESR + 1/sC_{OUT})R_{OUT}}{ESR + 1/sC_{OUT} + R_{OUT}} \\
 &= \frac{R_{OUT}(1 + sC \times ESR)}{1 + sC(ESR + R_{OUT})} \\
 &= \frac{1 + Z}{1 + P}
 \end{aligned}$$

從上面的式子，可以看出透過等效串電阻，產生了一個零點和一個極

點，其頻率為：

$$\begin{aligned}
 f_Z &= \frac{1}{2\pi(ESR \times C_{OUT})} \\
 f_P &= \frac{1}{2\pi(ESR + R_{OUT}) \cdot C_{OUT}}
 \end{aligned}$$

此極點即為低壓降線性穩壓器的主極點，藉由等效串聯電阻多產生了一個零點，且零點位置可以由等效串聯電阻值的大小來控制，要挑選到適合的輸出電容，才能配合適當的等效串聯電阻值，達到使電路穩

定的效果[14]。

### 3.4.2 極零點補償

極零點補償這種方式是目前最常用的補償方法[17]，其作法是利用補償電容的前饋效果(feedforward)，來產生零點並用來提升相位邊限。首先來敘述一下電容的前饋如何產生零點，如圖 3.13 所示。

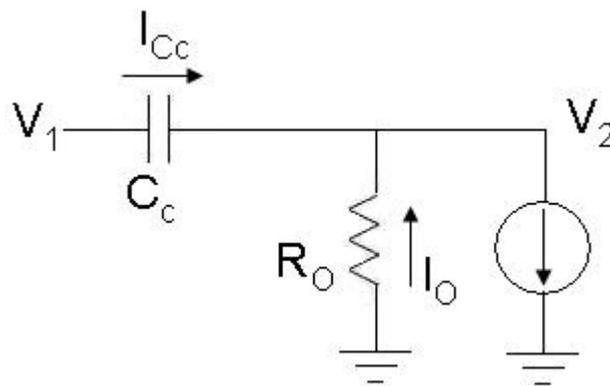


圖 3.13 利用電容前饋產生零點

考慮一個跨在兩級放大器之間的補償電容，原本 $V_2$ 的輸出電壓是由輸出電流 $I_o$ 流過輸出電阻 $R_o$ 來提供，若是此時電容前饋效果使得通過補償電容的前饋電流 $I_{Cc}$ ，剛好等於原本的 $I_o$ ，即此時 $I_o$ 為零， $V_2$ 也變成零，也就是產生了一個零點。換句話說，此種零點產生的方式就是在原本的輸出電流路徑上，因為加了補償電容，造成另一條路徑可以產生輸出電流，取代了原本的路徑，讓輸出電壓變成零。但此種方法所產生的零點，有可能在右半平面，不但對相位沒有幫助，反而是使得相位下降更快，因此就有些方法來防止產生右半平面的零點，在

此不另加贅述。

有了上面的觀念，要產生一個零點就很容易了，但是要確保此零點是位於左半平面，作法如圖 3.14：

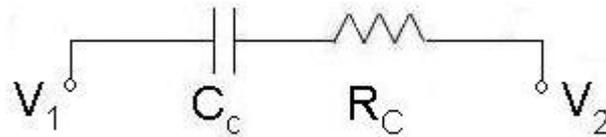


圖 3.14 產生左半平面的零點

其產生零點的位置為：

$$f_z \approx \frac{1}{2\pi(R_c \times C_c)}$$

如此一來，調整  $R_c$  的值，就可以控制零點的位置來達到提升相位的  
效果。實際應用到低壓降電性穩壓器上，就如下圖 3.15。

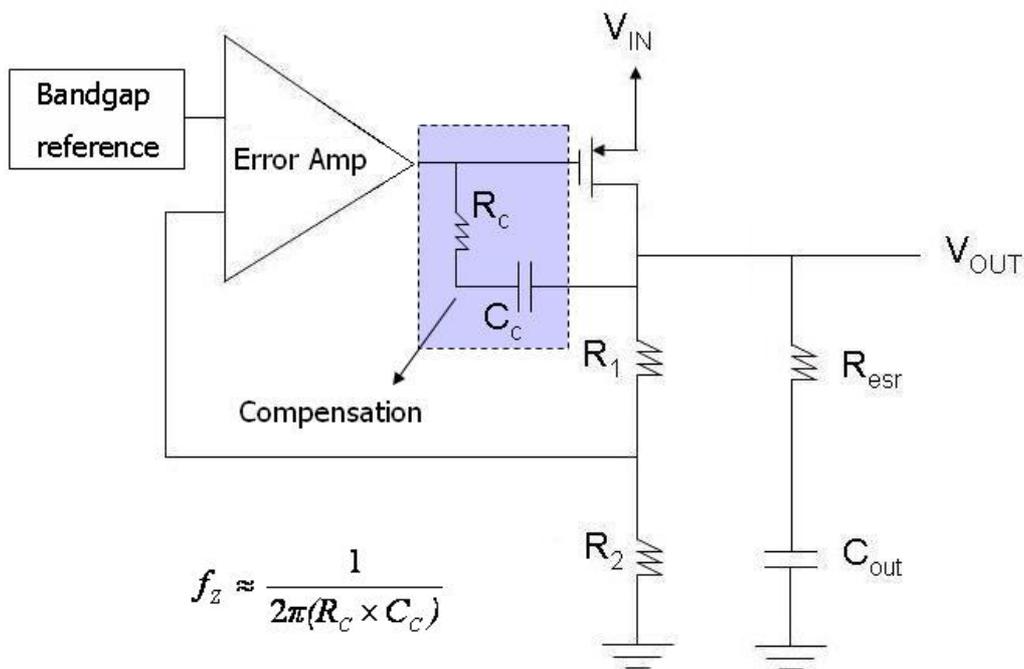


圖 3.15 極零點補償低壓降線性穩壓器

### 3.4.3 追蹤零點補償

根據前一節所述，極零點補償對於低壓降線性穩壓器來說，確實是個不錯的方法，不過若要使得穩壓壓操作負載範圍更廣，可以更進一步改善零點產生的方式。仔細觀察的零點位置，可以發現它的位置是固定的，並不會因為負載改變而變動，而低壓降線性穩壓器有個很重要的特性，就是它的主極點位置會隨著負載改變[15]。當負載電流小的時後，因為等效輸出阻抗變大，所以由輸出電容和輸出阻抗形成的主極點位置就會往前，造成頻寬縮減，容易使電路發生震盪。因此一般低壓降線性穩壓器設計時都會限制其操作負載範圍，以免產生電路不穩的現象。圖 3.16 顯示了當負載電流改變時主極點及頻寬的變化。

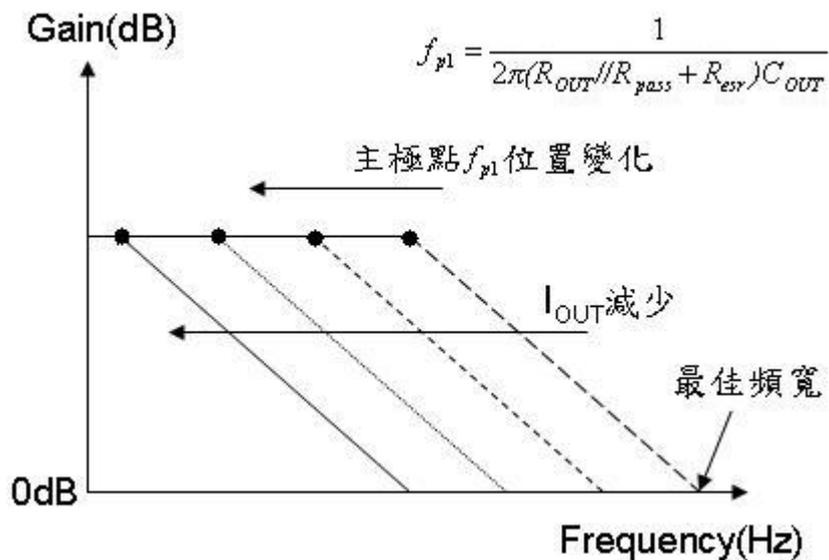


圖 3.16 主極點及頻寬隨負載電流之變化[15]

為了讓負載電流的改變盡量不要影響到頻寬，就需要一個可以移

動的零點，讓它也可以隨著負載電流變化，並且和主極點同步，如此即可讓頻寬不受影響。要產生可以移動的零點，可以利用之前的極零點補償的方法，將其中的電阻改成操作在線性區(linear region)的MOS電晶體，當作一個可變電阻使用，如下圖所示。

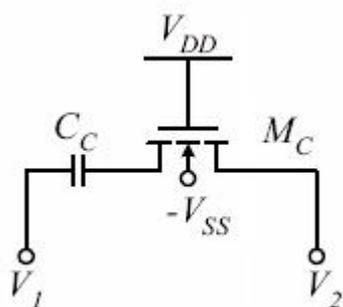


圖 3.17 用 NMOS 取代補償電路中的電阻

經由計算，可以算出利用電晶體來當作電阻的值及其範圍，該電晶體操作在線性區，將線性區的電流對兩端電壓微分的倒數就是其對應的電阻，表示如下：

$$I_{DS} = \frac{\mu_n C_{OX}}{2} \frac{W}{L} [2(V_{DD} - V_2 - V_{th})V_{DS} - V_{DS}^2]$$

$$\Rightarrow R_C = \left( \frac{\partial I_{DS}}{\partial V_{DS}} \right)^{-1} \Big|_{V_{DS}=0} = \left[ \frac{\mu_n C_{OX}}{2} \frac{W}{L} 2(V_{DD} - V_2 - V_{th}) \right]^{-1}$$

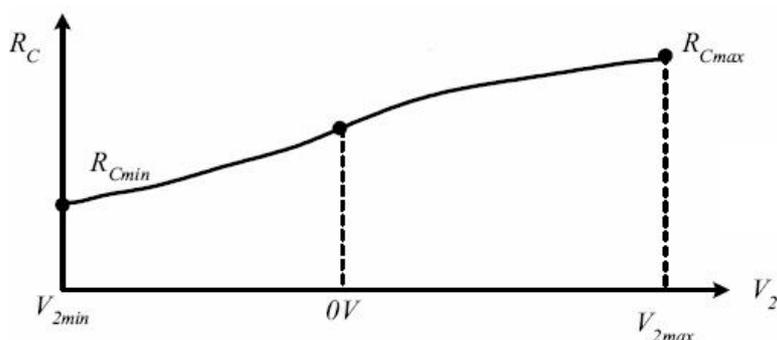


圖 3.18 改變  $V_{DS}$  時電阻值的變化

從上面的式可以得知，電阻的值可以用電晶體的  $V_{gs}$  或是寬長比來控制，改變  $V_{gs}$  (也就是  $V_{DD} - V_2$ ) 來觀察電阻值的變化，如圖 3.18，電阻值並不是呈規則的線性變化，不過大致上還是隨  $V_{gs}$  增加而減少。

有了可移動的零點之後，接下來就要針對主極點的變化，來放置零點的位置，主極點頻率約為  $\frac{1}{2\pi R_{OUT} C_{OUT}}$ ，而零點頻率約為  $\frac{1}{2\pi R_C C_C}$ ，其中  $C_{OUT}$  和  $C_C$  比值是固定的，所以在設計上只要讓  $R_{OUT} C_{OUT} \approx R_C C_C$ ，如此一來產生的零點，便會跟隨主極點移動，使得頻寬在主極點往前移時不會迅速縮減，此即追蹤零點(tracking zero)補償的方法。實際應用到低壓降線性穩壓器上，如下圖 3.19。

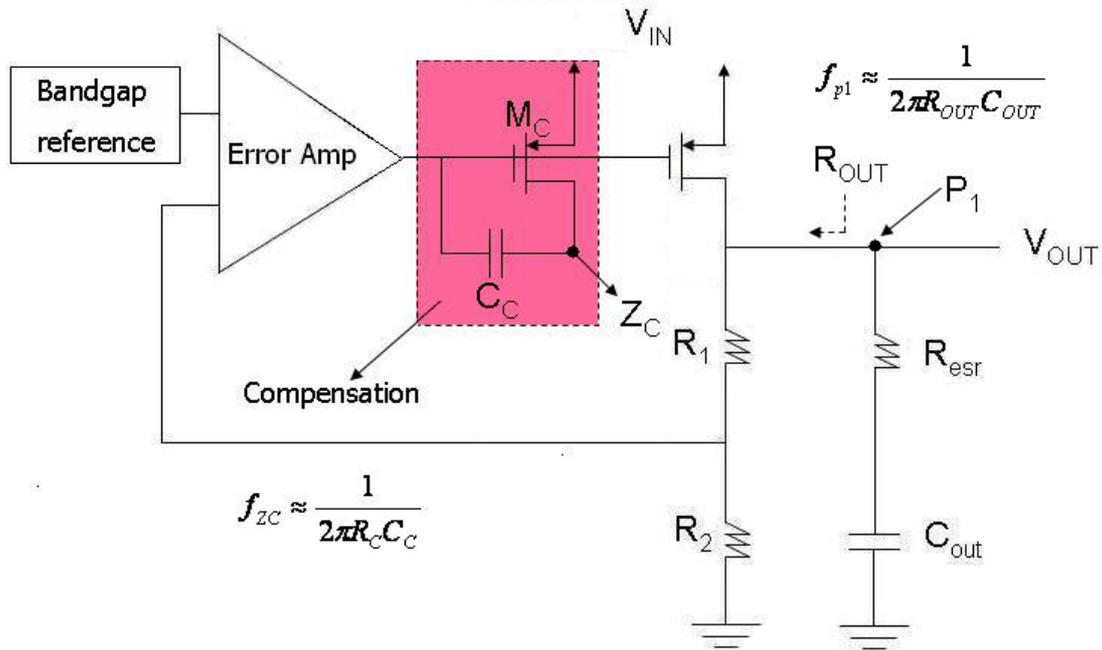


圖 3.19 追蹤零點補償低壓降線性穩壓器[15]

利用輸出電晶體的閘極同時控制當做電阻補償用電晶體  $M_C$  的閘極，當負載有變化時， $M_C$  的閘極同時跟著做變化，只要設計時調整  $M_C$  和

輸出電晶體的大小比例，再藉由同樣的  $V_{gs}$  控制可變電阻的值，就可以讓零點的位置追蹤主極點，達到補償頻寬及相位邊限的效果。

### 3.5 其它保護電路

線性穩壓器在某些情況下很容易被破壞，譬如線路發生短路或者負載電流過大等。因此為了保護穩壓器，通常都會加上一些保護電路，以下就介紹幾種常見的保護電路。

第一當然就是短路保護電路(short circuit protection)，根據輸出電晶體的類型，有不同的保護方法[18]。若是採用雙載子電晶體輸出，保護電路如圖 3.20。

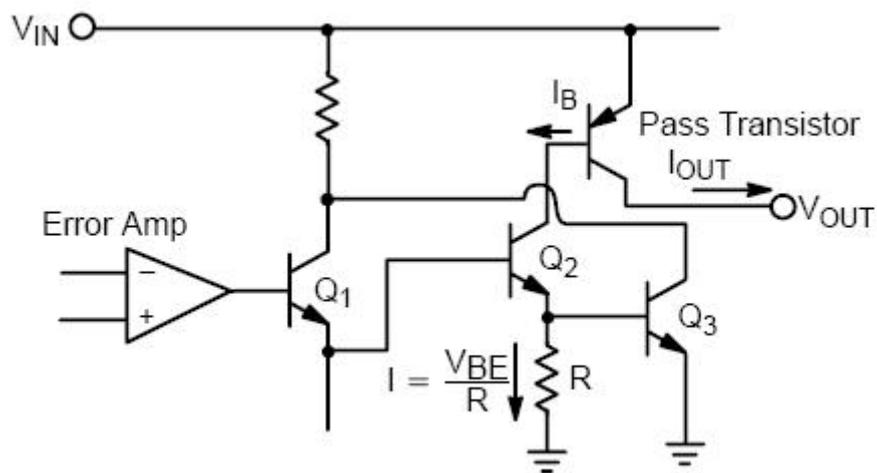


圖 3.20 短路保護電路之一[16]

當輸出電流  $I_{OUT}$  增加時， $I_B$  就依據  $I_{OUT}/\beta$  增加，當  $I_B$  增加時， $Q_3$  基極電壓就會同時上升，直到打開  $Q_3$ 。此時  $Q_3$  的集極就會從  $Q_1$  的集極抽

取電流，導致 $Q_1$ 射極和 $Q_2$ 基極電壓降低。如此輸出電流 $I_{OUT}$ 就會維持在一個平衡值，也就是設計上所謂的最大輸出電流。另外，若是用MOS電晶體來當作輸出的低壓降線性穩壓器，其短路保護的作法，就是在輸出電晶體上並聯一個較小的電晶體，作為偵測輸出電流用，再通過電阻轉成電壓後，可以利用數位邏輯電路，來回授控制輸出電晶體。譬如用比較器，當偵測到的電壓超過額定值時，比較器輸出邏輯高準位，將輸出電晶體的閘極電壓拉高，此時輸出電流自然就會減少，如此一來輸出電流也是維持在一個平衡值，至於這個最大值的控制，可以利用比較器另一端的參考電壓來決定。

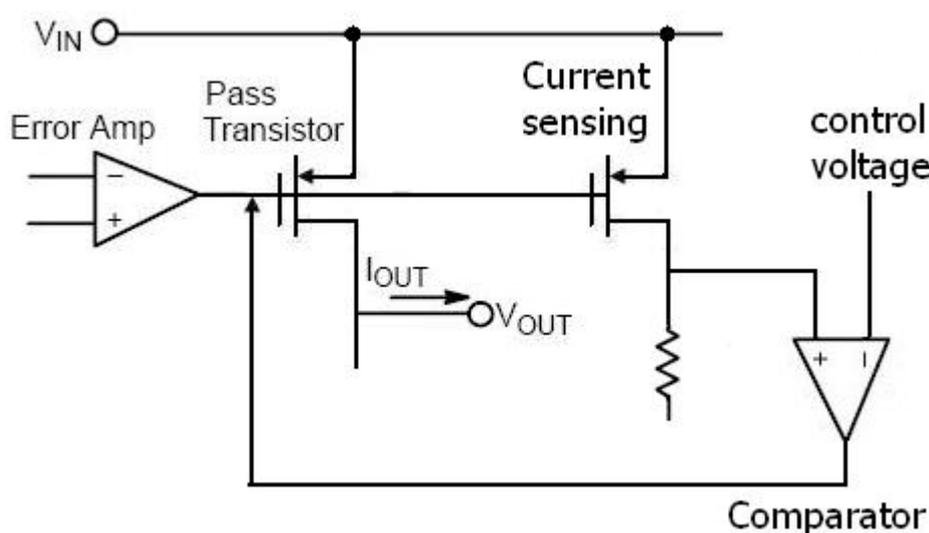


圖 3.21 短路保護電路之二

第二種就是由電池提供電源的電子產品中常見的倒置電池的保護(reverse battery protection)。當使用者將電池倒置之後，原本的電壓正負極性顛倒，將使得寄生在 $V_{DD}$  (通常連接至 n-well) 和 GND

(通常連接至 p-sub) 之間的二極體被順向導通，導致大量漏電流產生，為了防止這種情形，可以在  $V_{DD}$  及穩壓器之間加上另一個反向的二極體，如此一旦電池被倒置，就不會有漏電流的路徑產生了。如下圖 3.22 所示。

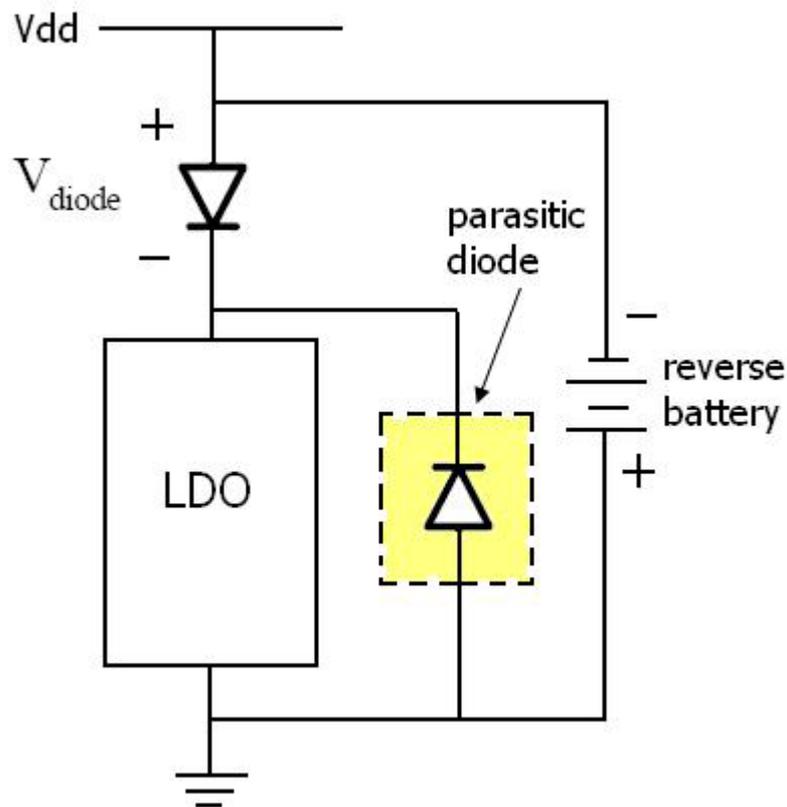


圖 3.22 電池倒置保護[8]

## 第 4 章 本論文中低壓降線性穩壓器之設計

這一個章節就詳細說明本論文中，所採用的低壓降線性穩壓器整個設計上的考量，以及整個設計過程和整個電路。

### 4.1 參考電壓源之設計

根據前面一章所說明的能隙參考電壓源，論文中就採用 PTAT 電流架構所產生的能隙參考電壓源，如下圖。

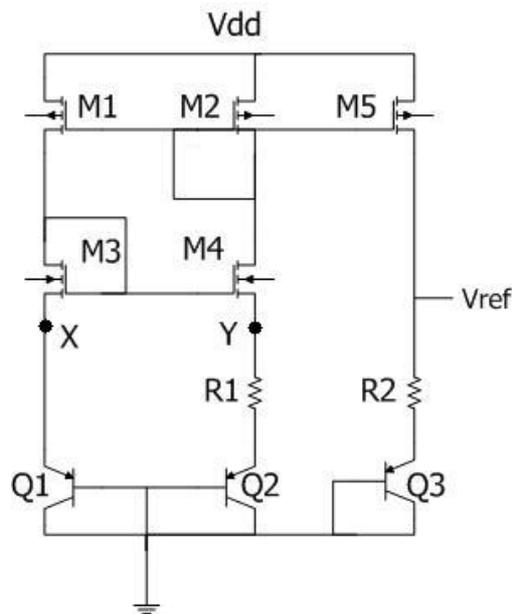


圖 4.1 能隙參考電壓源

利用兩個電阻的比值可調整參考電壓的值，以及其溫度係數。其輸出

參考電壓根據前一章所述：

$$V_{\text{ref}} = V_{\text{BE3}} + \frac{R_2}{R_1} V_T \ln mn$$

其中  $n$  為左邊兩路之電流比， $m$  為  $Q_2$  並聯個數。

接下來模擬其輸出電壓及其溫度係數，觀察輸出電壓，如下圖：

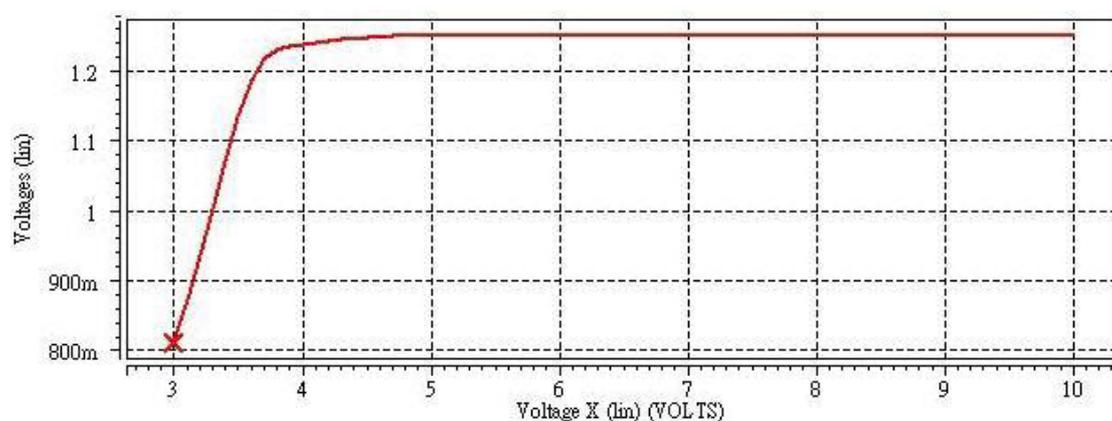


圖 4.2 輸出參考電壓 V. S. Vdd 變化

一個準確的參考電壓就產生了，再觀察其隨溫度之變化情形：

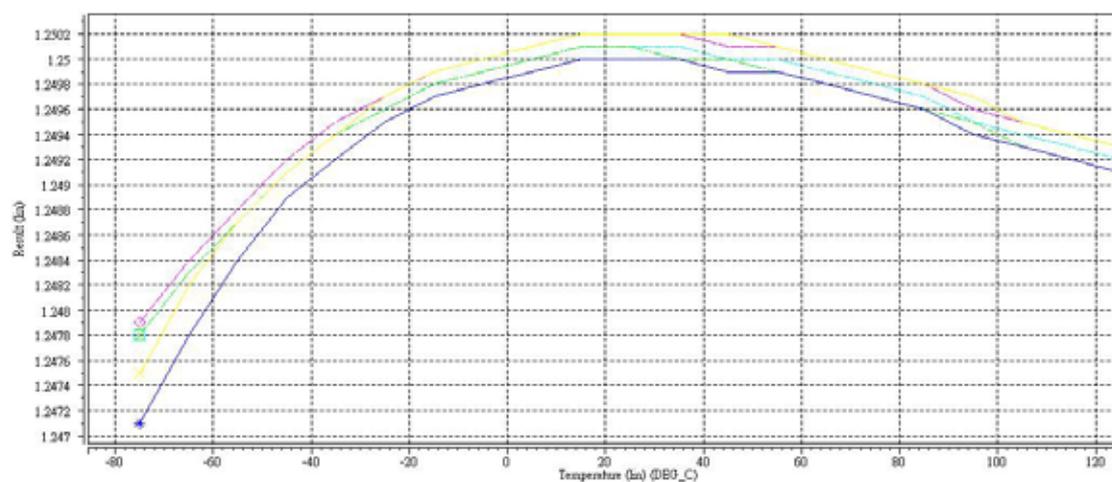


圖 4.3 輸出參考電壓 V. S. 溫度變化

將零溫度係數之處，控制在常溫附近，可以讓此區段的電壓，受溫度的影響降低許多。

另外，在設計上很重要的一點，就是保證 X 點和 Y 點電壓要相等，論文的设计上是採用兩路電流相等，改變 BJT 的並聯數目來控制參考電壓，因此如果當 XY 兩點電壓有誤差時，兩路電流也會不相等，進

而影響到參考電壓的值，所以要改善這種情形，可把  $Q_2$  並聯數目增加，讓  $m$  值遠大於  $n$  值，不過這樣會浪費掉很多面積，因此把兩路電流盡量縮小是不錯的作法，讓兩點誤差可以降至最低，還能減少電源功率消耗。還有另外一點，設計上常有通道長度調變的情形產生，就是參考電壓會隨著  $V_{dd}$  增加而微幅增加，並不會如圖 4.2 般保持一定值，此時就必須將電晶體的通道長度  $L$  加大，可以有效改善。或是可以增加輸出阻抗，來降低  $V_{dd}$  對於參考電壓的影響，作法是將原本的電路上下再多串疊一級，使得輸出阻抗倍增，如圖 4.4。不過仍舊需要額外的面積，設計上就看電路應用上的取捨了。而且串疊作法可以多提供幾組偏壓給後面使用，即  $M_1, M_3, M_5, M_7$  之閘極電壓，偏壓也比較

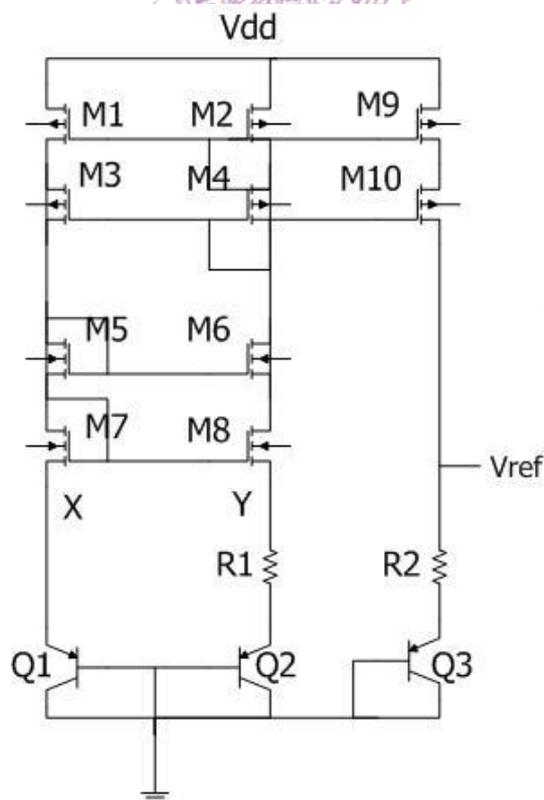


圖 4.4 增加輸出阻抗之作法

不易受 Vdd 影響。

然而，在圖 4.4 的電路中，會發生所有的電晶體皆沒有電流的情形，因為此種電路它屬於正回授，存在有兩個穩態，起始穩定狀態是全部電晶體皆無電流的穩態，為了避免這種情形，我們必須在電路中加入啟動電路(strat-up)的機制。下面就分析啟動電路運作的原理。一開始電路處於無電流狀態，啟動電路中的  $MS_2$  是關閉的，而  $MS_1$  閘極接地所以永遠在導通狀態，於是 Z 點電壓逐漸升高，隨後電晶體  $MS_3$  和  $MS_4$  便會打開，使得迴路開始有電流，直到整個電路正常工作時  $MS_2$  也會導通，再將 Z 點電壓逐漸拉低，使得啟動電路關閉。

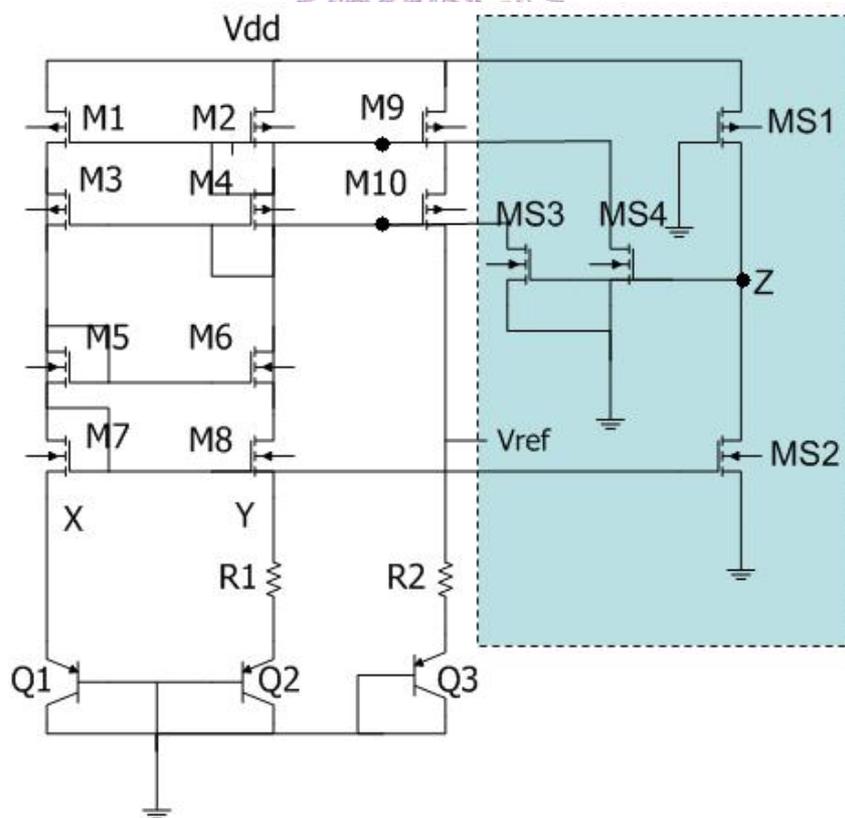


圖 4.5 參考電壓源加入啟動電路

## 4.2 誤差放大器之設計

在低壓降線性穩壓器之中，誤差放大器首重直流增益以及其反應時間，另一項考量，則是 PSRR(power supply rejection ratio)，顧名思義就是電源供應器的小訊號擾動，對於穩壓後的輸出電壓造成的影響。基於以上的緣故，單級的 OP 放大器由於增益不大，不適合用於高準確率的線性穩壓器中。另一種望遠鏡式串疊的 OP 組態，則是兼顧了直流增益以及反應速率，也擁有比較充足的頻寬，且 PSRR 也有不錯的表現，但是由於其串疊組態的關係，輸出訊號振幅大小受到嚴重的限制。因此在眾多架構中，本論文還是採用類似折疊串疊組態的 OP 放大器，更能提升輸出輸入訊號的振幅大小。

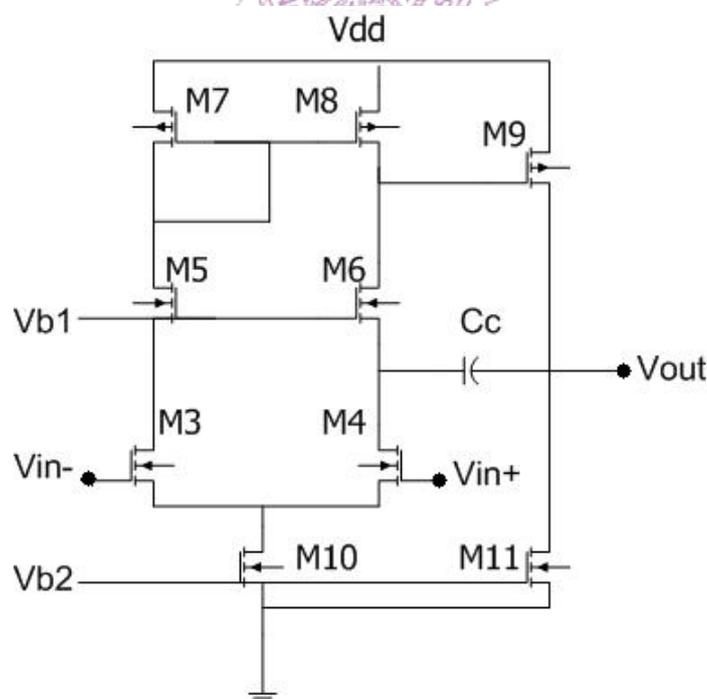


圖 4.6 增強 PSRR 之 OP 放大器

為了能兼顧 OP 的各項特性，設計時將原本兩級(two-stage)放大

器的第一級，中間多串疊二顆電晶體，也就是  $M_5$  和  $M_6$ ，用以增加訊號對於  $V_{DD}$  的小訊號擾動抵抗力，也就是 PSRR 會更好，見圖 4.6。

接下來要改善共模輸入訊號的範圍(common-mode input range)，將架構再作類似折疊串疊的變化，如圖 4.7。不但增強了整個電路的 PSRR 以及共模輸入範圍，偏壓電路也有類似共模回授的效果，當輸入共模訊號超過設計邊限時，同時連接到輸入正端的電晶體  $M_{13}$ ，將會強迫  $M_{11}$  和  $M_{12}$  的電流作同樣的變化，在經由電流鏡  $M_{14}$  將電流複製到  $M_3$  及  $M_4$ ，對整個共模輸入作反應。也就是說，當共模訊號使得  $M_3$  及  $M_4$  電流增加時，基於 OP 兩路電流和要相等， $M_{12}$  電流會減少，再透過  $M_{11}$ 、 $M_{13}$  及  $M_{14}$  將電流變化反映回  $M_3$  及  $M_4$ ，讓  $M_3$  及  $M_4$  電流減小 [19]。共模輸入範圍就有了很好的控制，且補償電容也被  $M_9$  閘極隔開，不會產生右半平面的零點。

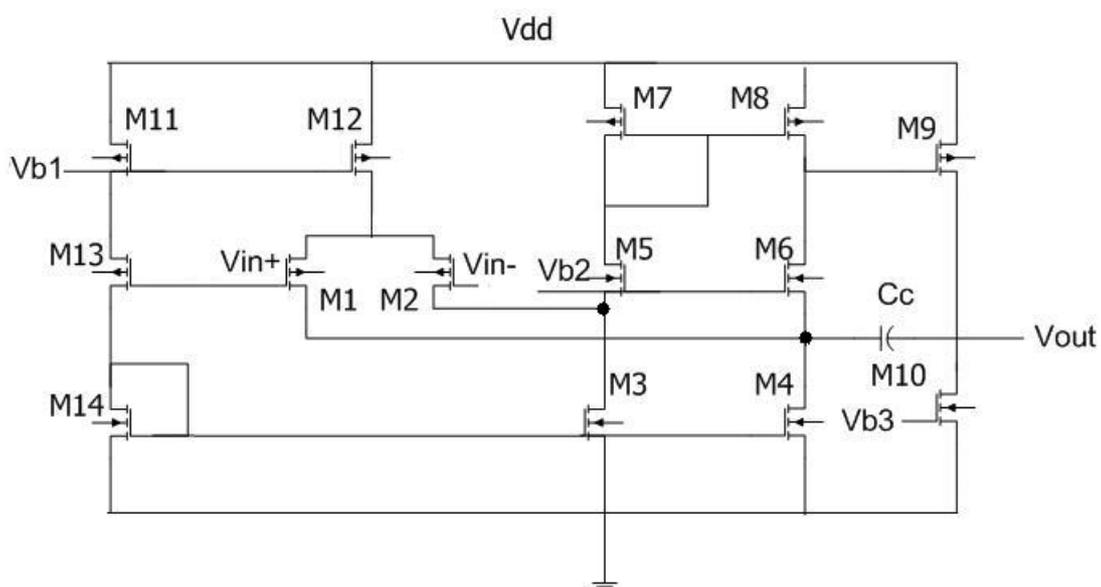


圖 4.7 增強 PSRR 及共模輸入範圍之 OP 放大器

下圖 4.8 顯示了此電路之迴路增益以及相位響應，在 40dB 的直流增益下，單增益頻寬約有 500MHz，以及  $70^\circ$  左右的相位邊限。增益不大的原因是誤差放大器之後，還有第二級放大器以及輸出級也會有放大作用，為了考慮到整體的增益，第一級誤差放大器的增益就將之控制在適當範圍。接下來將輸入給一個步階訊號，觀察其對應之輸出穩定時間，如圖 4.9 所示，其中圖 4.9(a)為輸入 0V~5V 之步階電壓時對應之輸出結果；圖 4.9(b)為輸入訊號為 5V~0V 之步階電壓時對應之輸出結果。

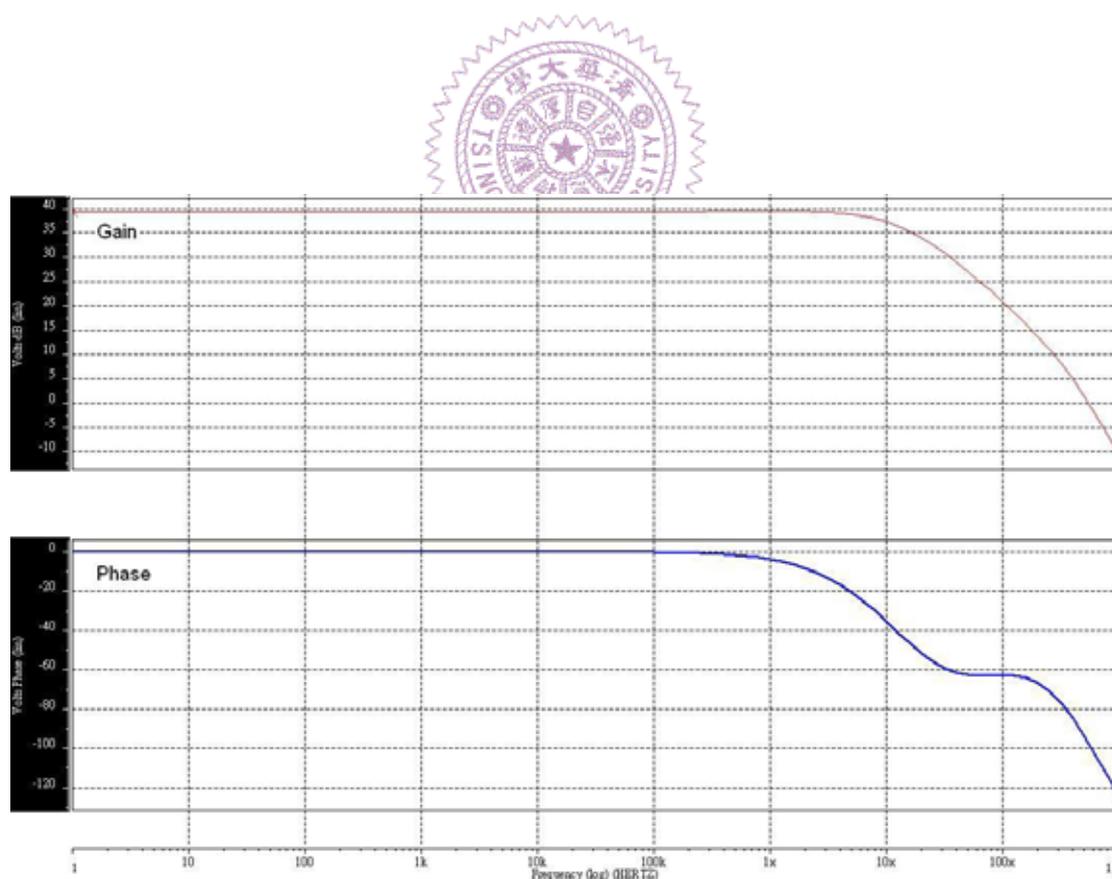
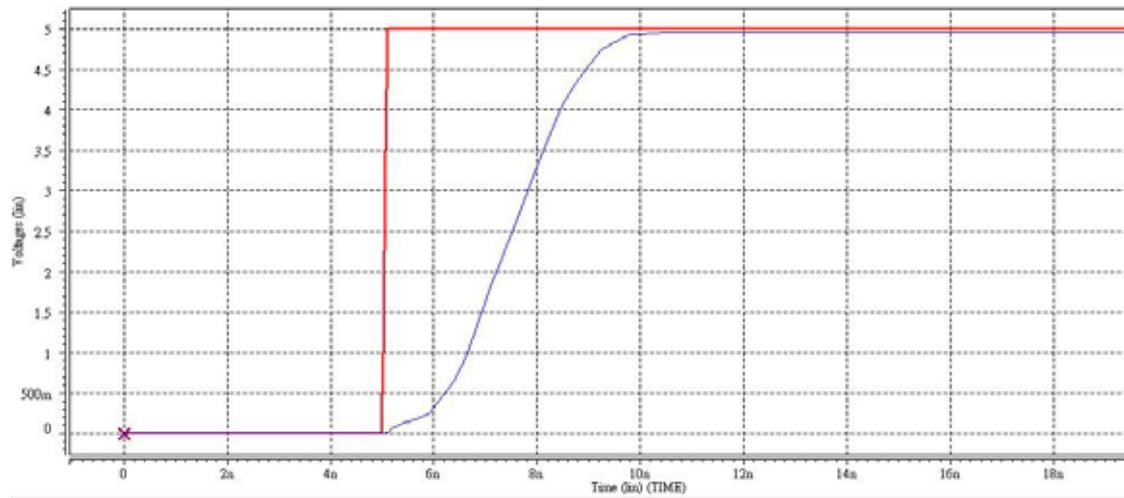
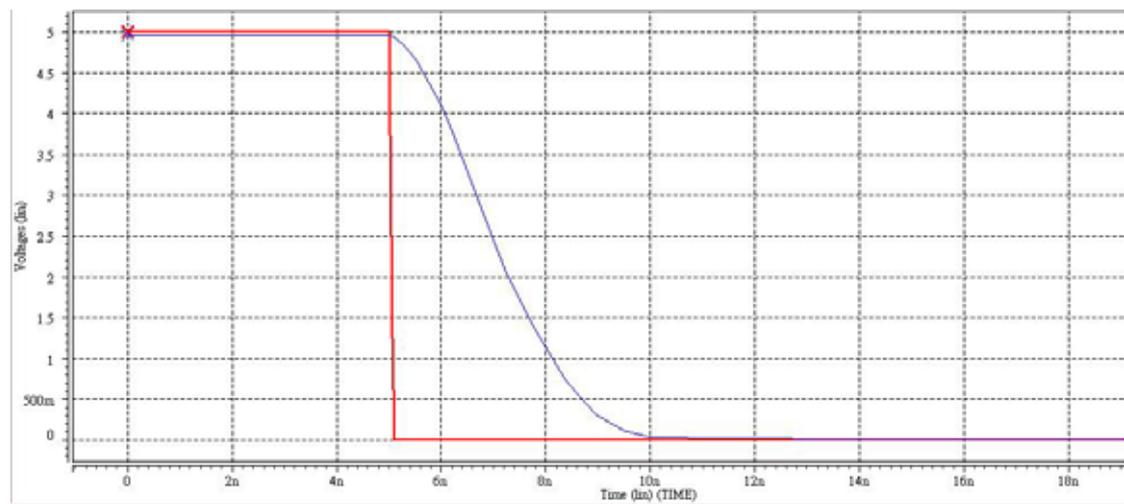


圖 4.8 誤差放大器之增益以及相位響應



(a)



(b)

圖 4.9 輸出訊號對於一步階輸入訊號之反應時間

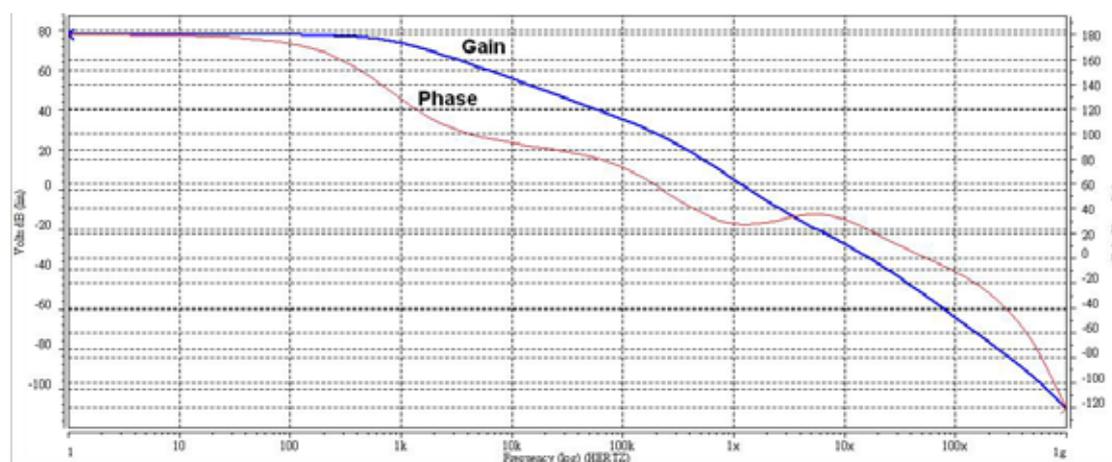
(a)輸入步階訊號 0V~5V (b)輸入步階訊號 5V~0V

### 4.3 輸出結構

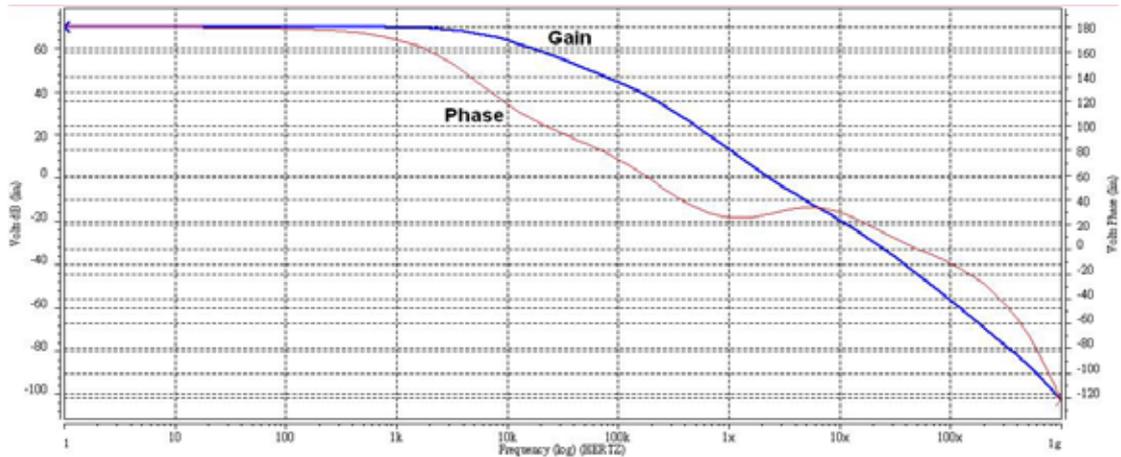
基於低功率消耗的緣故，低壓降線性穩壓器的輸出端這裡採用是 P-type 的 MOS。其好處之前都已經說明過，在此就不再贅述。由於輸出端要提供大電流，因此輸出電晶體往往尺寸都需要畫很大，也會佔用很多面積。

### 4.4 頻率補償

之前有討論過低壓降線性穩壓器需要頻率補償的原因，這一節就顯示其電路設計之原理和結果。首先先比較一下無頻率補償下的狀態，圖 4.10(a)為輸出小電流時之相位變化。顯然其相位邊限不足，容使得輸出電壓不穩；圖 4.10(b)為輸出大電流時之相位變化，由於主極點向後移之關係，頻寬稍有增加，但相位邊限仍然不足，所以都需要頻率補償電路，增加其相位邊限。



(a)

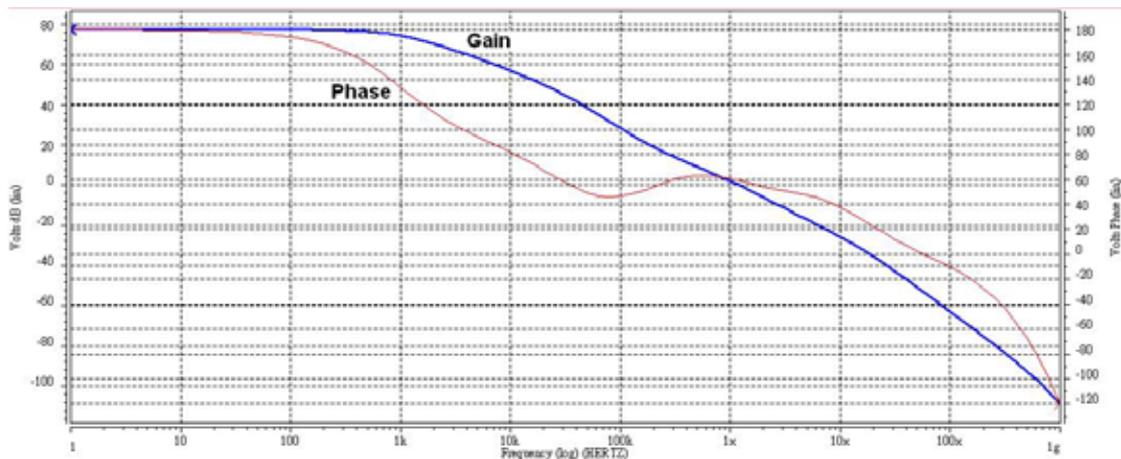


(b)

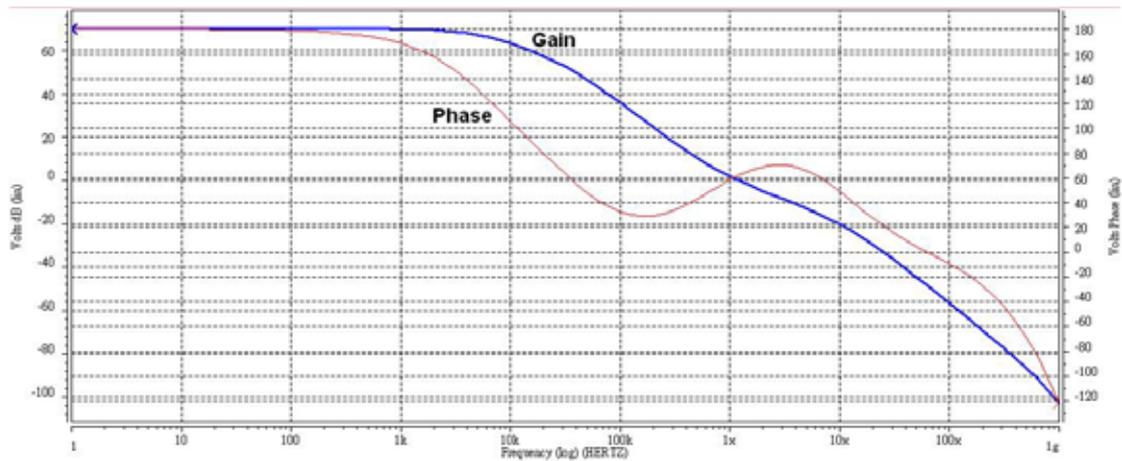
圖 4.10 無頻率補償時之頻率響應

(a)輸出電流 30mA (b)輸出電流 300mA

首先，將前一章所介紹之追蹤零點電路加到其中，電路如圖 3.19 所示。再觀察其頻率響應，結果如下。圖 4.11(a)為輸出小電流時之相位變化，和之前比較相位邊限增加到  $60^\circ$ 。圖 4.10(a)為輸出小電流時之相位變化；圖 4.11(b)為輸出大電流時之相位變化，其頻寬增加，但其零點也跟著往後移，所以相位邊限仍然維持在  $60^\circ$ 。



(a)



(b)

圖 4.11 追蹤零點補償之頻率響應

(a)輸出電流 30mA (b)輸出電流 300mA

欲再提升其相位邊限，必須再加入另一個零點，且此零點必不能產生額外的極點在單增益頻寬之內，否則此零點將無法再提升相位邊限。圖 4.12 顯示了額外加入的零點。

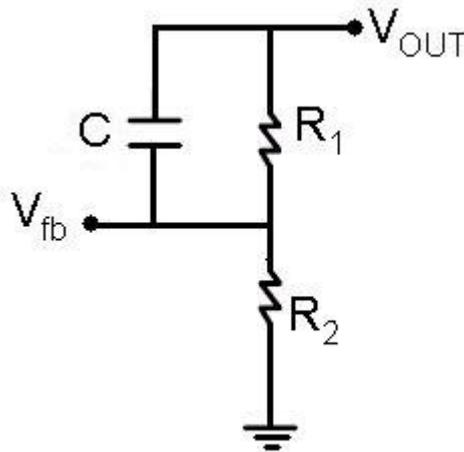


圖 4.12 加入電容產生額外的零點

進一步推導此電路的轉移函數，以了解其及零點的位置，如何去對電路作頻率補償的效果。

$$\frac{V_{fb}}{V_{OUT}} = \frac{R_2}{(R_1 // \frac{1}{sC}) + R_2} = \frac{R_2}{\frac{R_1}{1 + sCR_1} + R_2}$$

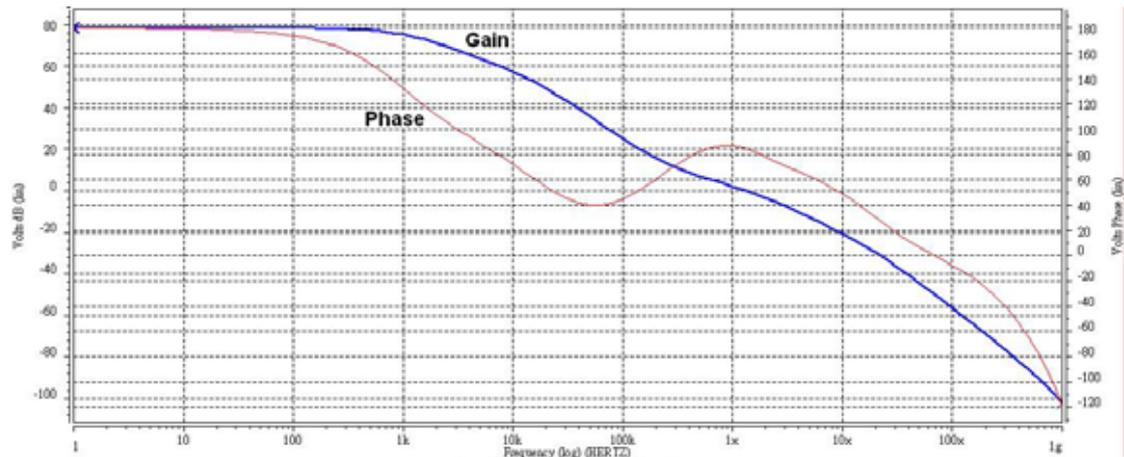
$$= \frac{(1 + sCR_1)R_2}{R_1 + R_2 + sCR_1R_2}$$

$$\Rightarrow \text{zero: } \frac{1}{CR_1} \quad \text{pole: } \frac{R_1 + R_2}{CR_1R_2}$$

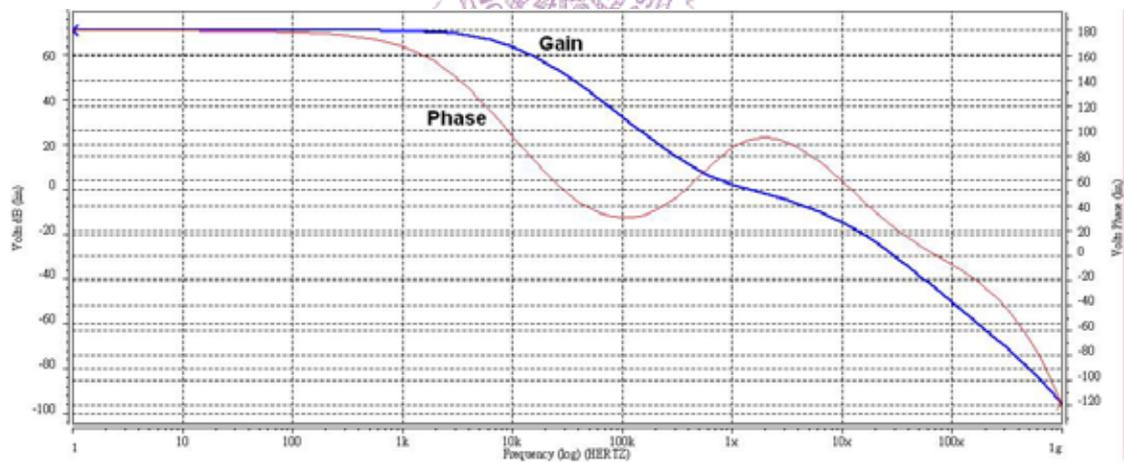
$$\frac{\text{zero}}{\text{pole}} = \frac{R_2}{R_1 + R_2}$$

仔細觀察上式，發現它隱含著重要的意義，就是零點的位置確實是在極點之前，且其比值就是穩壓器的輸出電壓和參考電壓源的比值，在輸出電壓和參考電壓都固定值的時候，此對極零點的相對位置也就固定了，在本論文的設計中，此比值約為 2.64。也就是說此電路產生極點會位於零點頻率的 2.64 倍之處，設計上只要將零點位置控制在單增益頻寬之前緣附近，即可將極點位置盡量推往高頻，對相位響應的效果也會最好。不過使用上有受到限制，在某些參考電壓源和輸出電壓接近的穩壓器上，極零點相對位置也就非常靠近，頻率補償的效果也會大打折扣，所以要應用此電路，必須要考慮到參考電壓源和輸出電壓的關係，在輸出電壓固定的情形下，可相對壓低參考電壓的準位，以拉開極零點的相對位置，如此才能有較佳的頻率補償效果。下圖為模擬之後的結果。圖 4.13(a)為輸出小電流時之相位變化，其相

位邊限相較於之前又提升到  $80^\circ$  以上；圖 4.13(b) 為輸出大電流時之相位變化，相位邊限對於之前也是更加提升到約  $90^\circ$  左右。



(a)



(b)

圖 4.13 加入雙零點補償之頻率響應

(a)輸出電流 30mA (b)輸出電流 300mA

圖 4.14 為加入雙零點補償後的整個穩壓器電路。

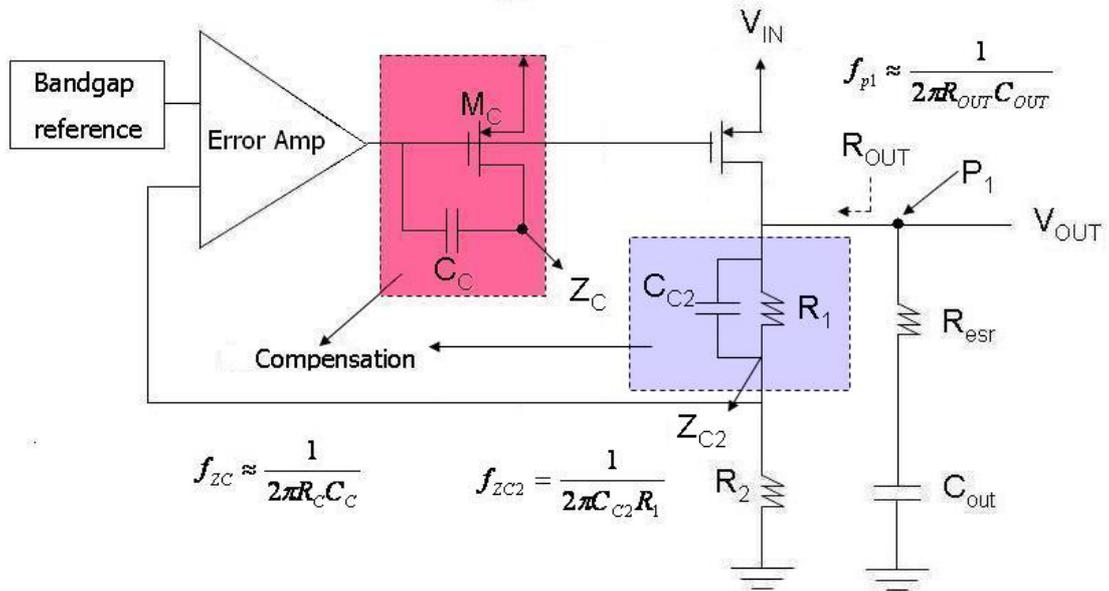


圖 4.14 利用兩個零點補償之電路

以下再提出另一種方法，可以有效增加其相位邊限，且可減少前面的補償電容大小，達到節省面積的效果。做法如下圖 4.15。

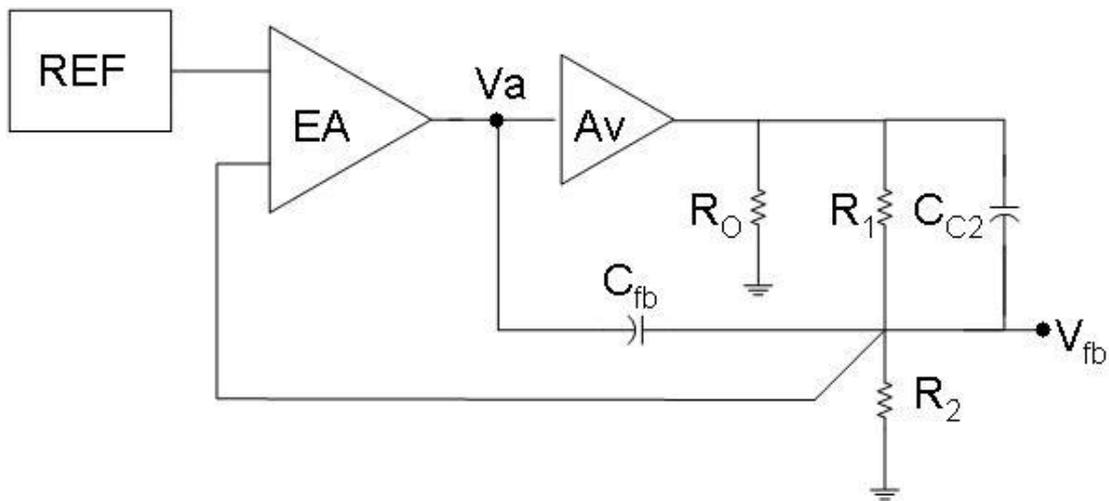


圖 4.15 利用回授電容的補償方法

在誤差放大器之後多加一級，用來控制回授電容補償的效果，假設其增益為  $A$ ，接下來，推導其轉移函數，利用電流相等列出以下式子：

$$\frac{V_a - V_{fb}}{sC_{fb}} + \frac{AV_a - V_{fb}}{R_o + \frac{R_1}{1 + sC_2R_1}} = \frac{V_{fb}}{R_2}, \quad R_o \text{ 為等效輸出阻抗}$$

繼續化簡如下：

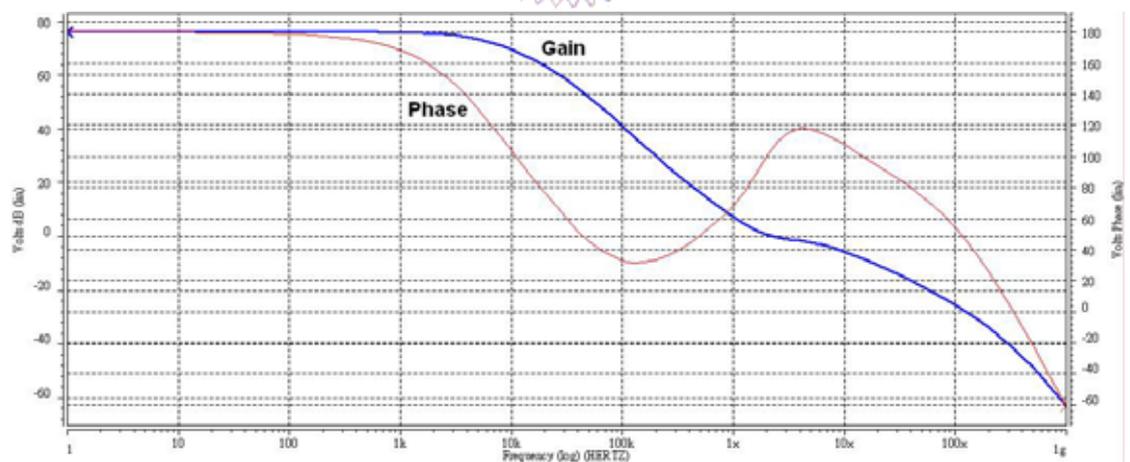
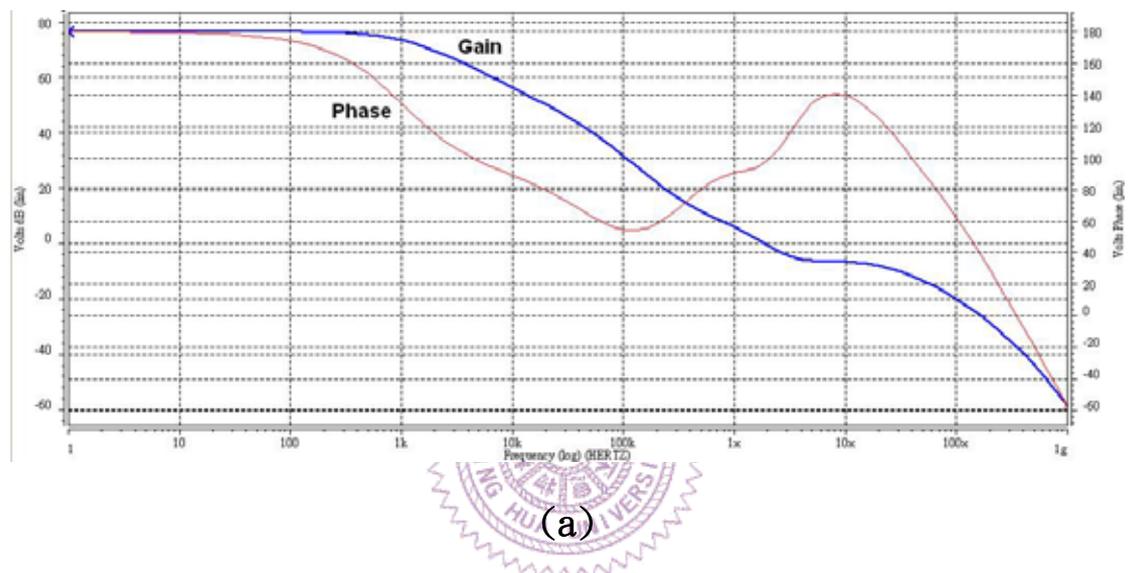
$$\begin{aligned} \Rightarrow sC_{fb}V_a + \frac{AV_a}{R_o + \frac{R_1}{1 + sC_2R_1}} &= \frac{V_{fb}}{R_2} + sC_{fb}V_{fb} + \frac{V_{fb}}{R_o + \frac{R_1}{1 + sC_2R_1}} \\ \Rightarrow V_a \left[ sC_{fb} + \frac{A(1 + sC_2R_1)}{R_1 + R_o(1 + sC_2R_1)} \right] &= V_{fb} \left[ \frac{1}{R_2} + sC_{fb} + \frac{1 + sC_2R_1}{R_1 + R_o(1 + sC_2R_1)} \right] \\ \Rightarrow \frac{V_{fb}}{V_a} \text{ 最終如下所示：} & \end{aligned}$$

$$\frac{s^2C_{fb}C_1R_1R_2R_3 + s(C_{fb}R_oR_2 + C_{fb}R_1R_2 + AC_2R_1R_2) + AR_3}{s^2C_{fb}C_1R_1R_2R_3 + s(C_{fb}R_oR_2 + C_{fb}R_1R_2 + C_2R_1R_2 + C_2R_oR_1) + R_1 + R_2 + R_3}$$

我們發現利用增益  $A$  可以控制零點的位置，讓零點產生位於極點之前，就可以達到所需要的補償效果，而且所用電容之值相較於前面所用的要來得小很多，只需要幾十 fF 左右的電容即可，並不需要到 pF 這樣大，所以在面積上可以節少不少成本。唯一的缺點是，要增加一路電流，因此消耗掉的電源功率會較之前大。

模擬結果如下：

圖 4.16(a)為輸出小電流時之相位變化，其相位邊限保持在  $80^\circ$  以上；圖 4.16(b)為輸出大電流時之相位變化，相位對於之前也是更加提升到約  $90^\circ$  左右。



(b)

圖 4.16 利用回授電容補償之頻率響應

(a)輸出電流 30mA (b)輸出電流 300mA

## 第5章 結果討論

這一個章節，將顯示整個低壓降線性穩壓器最後的暫態響應輸出結果，並對其他重要特性做一個比較與討論。

首先將 3 種方法做一比較如下：

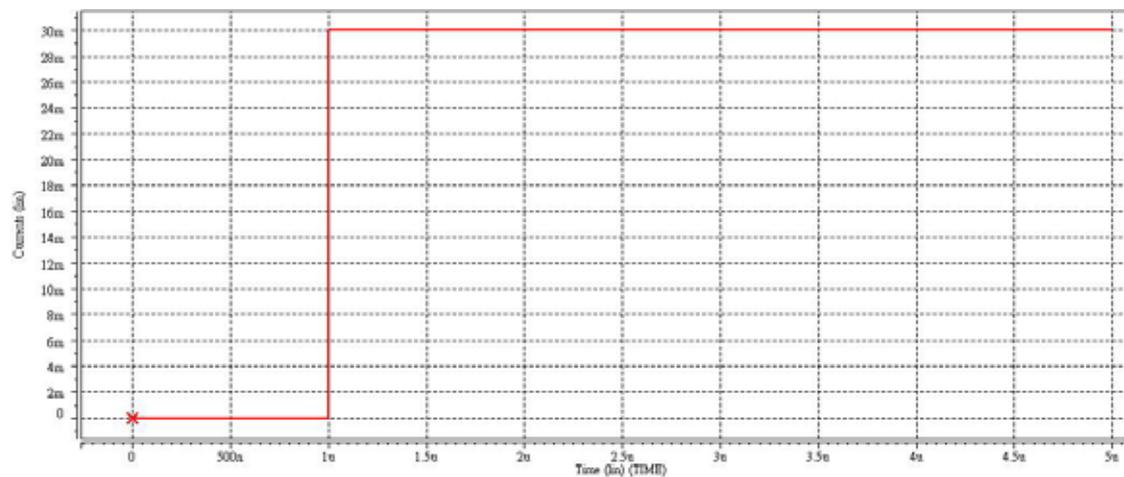
補償方法	比較
追蹤零點	零點會自動調整位置，使得輸出電壓穩定 不受到負載變化影響
回授電阻並聯電容	能提升其相位邊限，不過極零點位置受限 於參考電壓和輸出電壓的比值
回授電容	可以使用值很小的電容，且可利用第二級 增益來控制零點位置

### 5.1 暫態響應

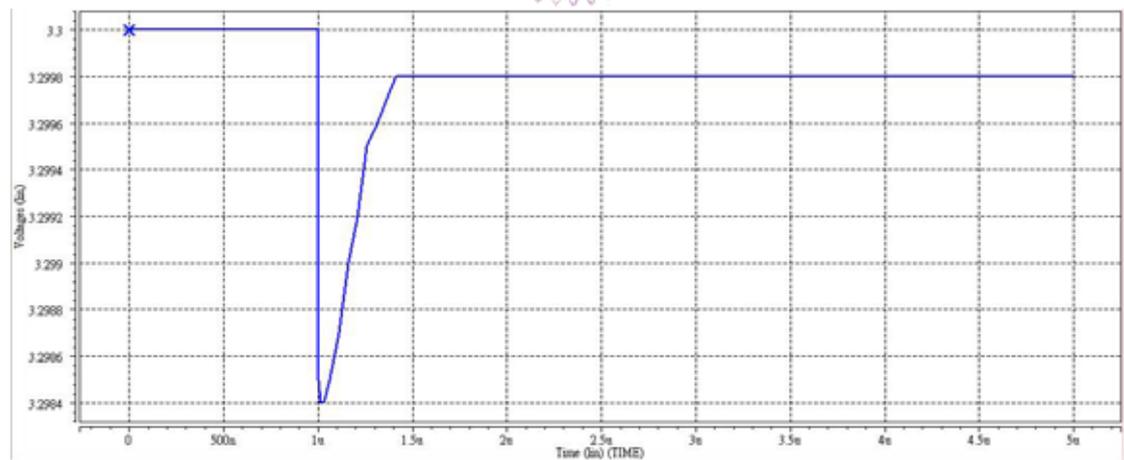
應用了上一章所設計的電路，以及其頻率補償方法，整個低壓降線性穩壓器就完成了。這一節就顯示整個電路最重要的暫態響應結果。

此模擬結果可以看出，良好的頻率響應，不但使得整個低壓降線性穩壓器輸出穩定，也會影響其暫態響應，穩定時間也會縮小許多。

首先，先比較穩壓器在輸出端為小電流及大電流情形下，其輸出電壓的不同，如以下各圖。圖 5.1(a)為輸出為 0~30mA 的步階電流，觀察其輸出電壓的改變，如圖 5.1(b)。其瞬間輸出電壓落差約 1.6mV 左右。



(a)

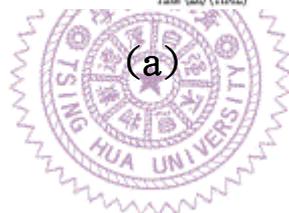
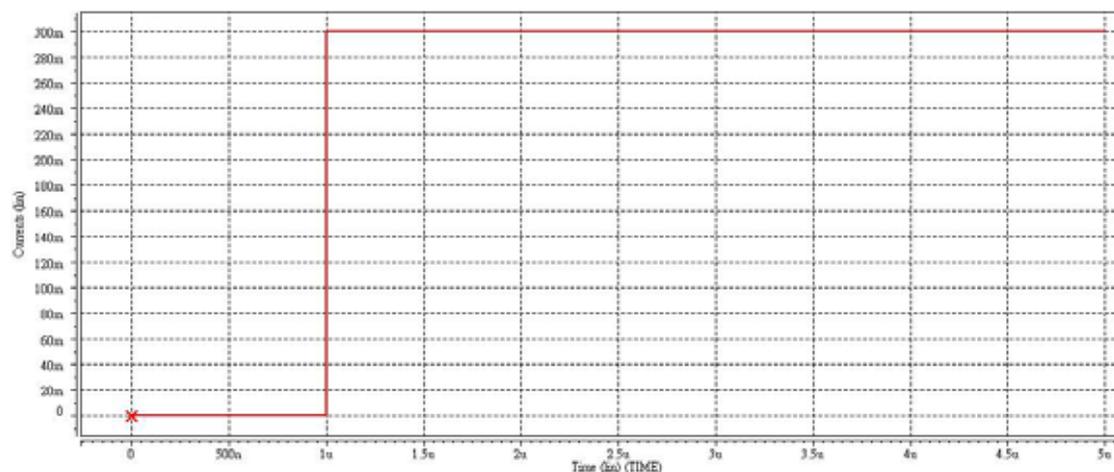


(b)

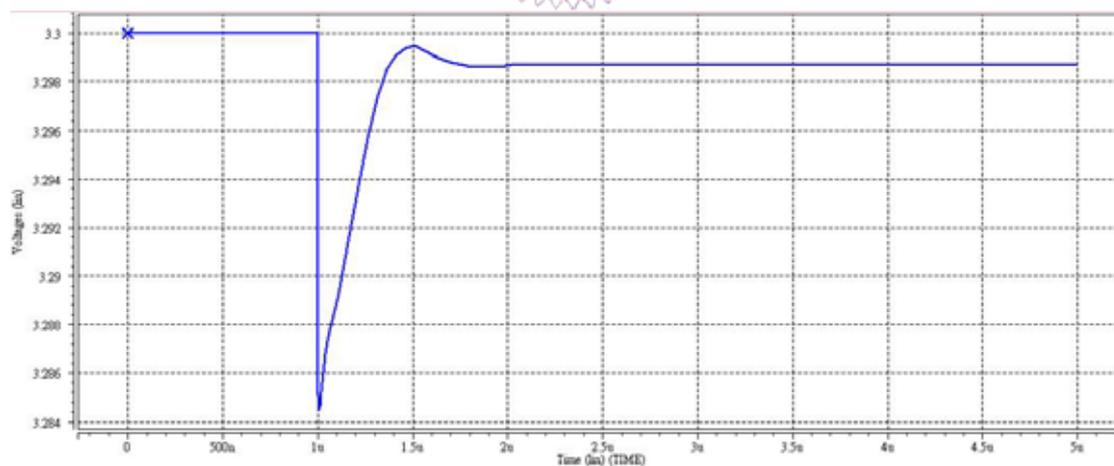
圖 5.1 (a)步階電流 0~30mA

(b)輸出電壓變化

將輸出步階電流加大為 0~300mA，再觀察輸出電壓的變化情形，  
如圖 5.2。其輸出電壓落差顯然較小電流時要大。瞬間輸出電壓落差  
約 16mV。



(a)

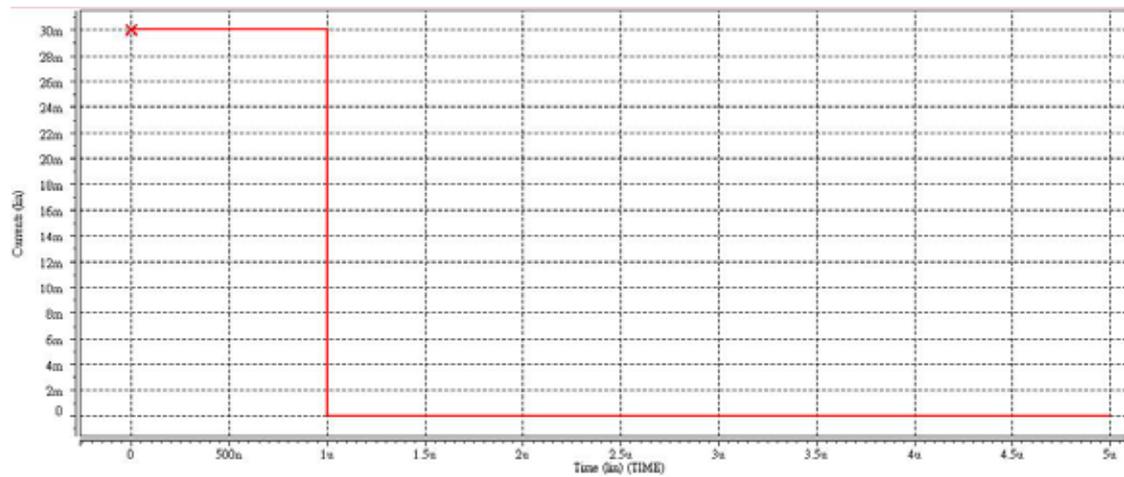


(b)

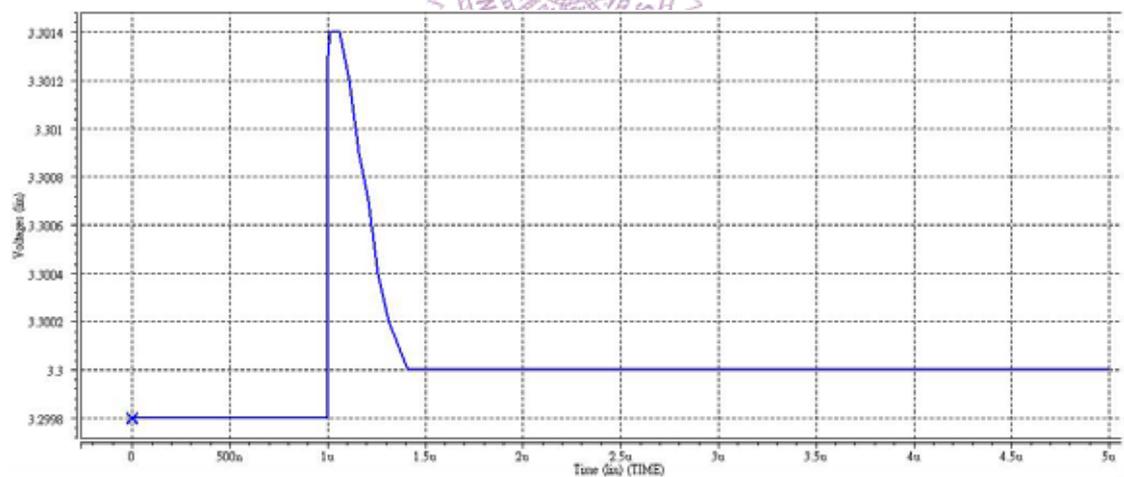
圖 5.2 (a)步階電流 0~300mA

(b)輸出電壓變化

以下，將步階電流改成負的，再對輸出電壓作觀察。如圖 5.3 所示。其輸出電壓脈衝約 1.4mV 左右。



(a)

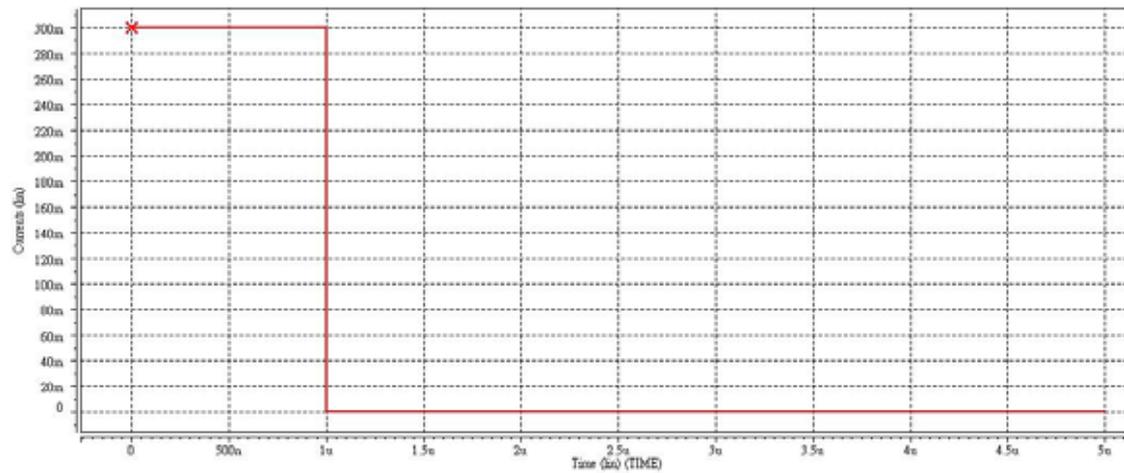


(b)

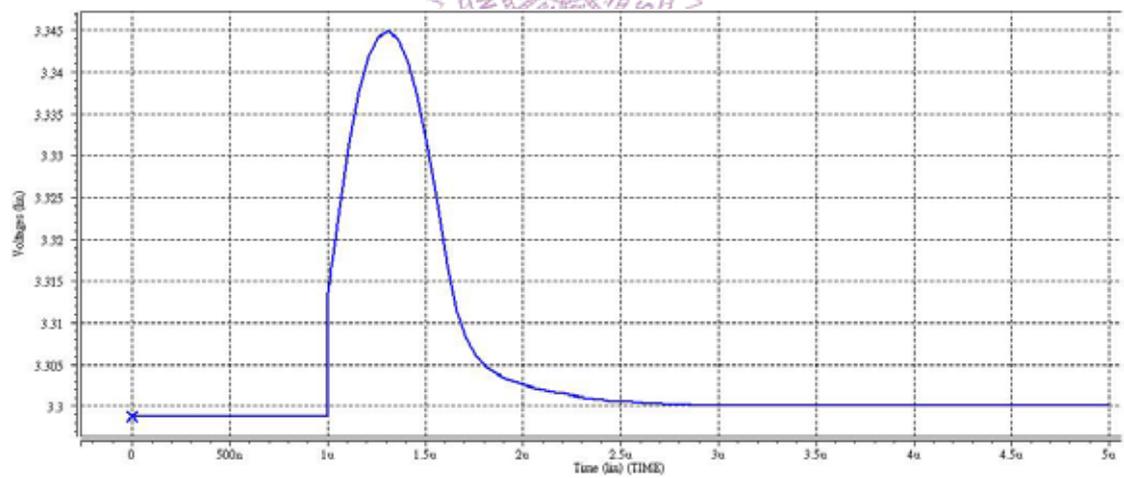
圖 5.3 (a)步階電流 30~0mA

(b)輸出電壓變化

加大輸出負步階電流至 300mA，觀察其輸出電壓變化，如圖 5.4 所示。輸出電壓脈衝相對於小電流時也是較大，約 45mV。



(a)

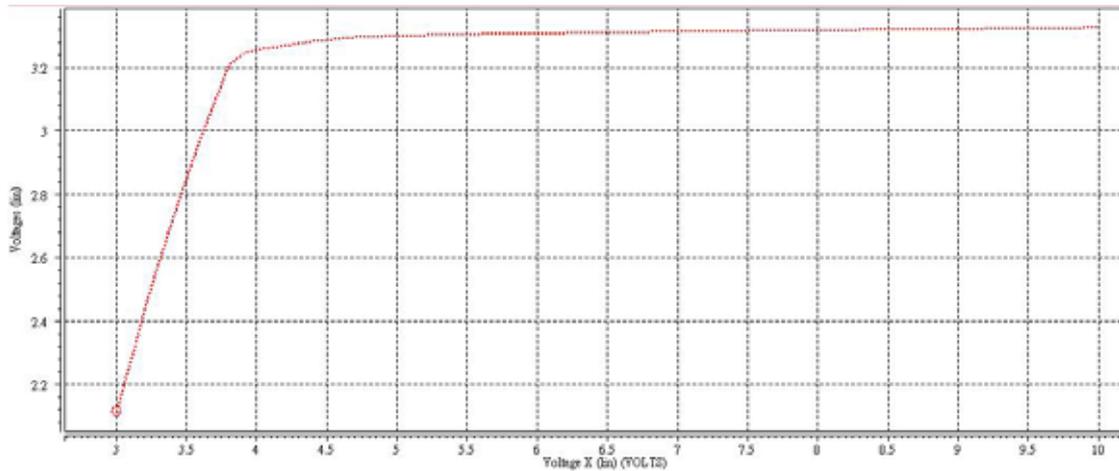


(b)

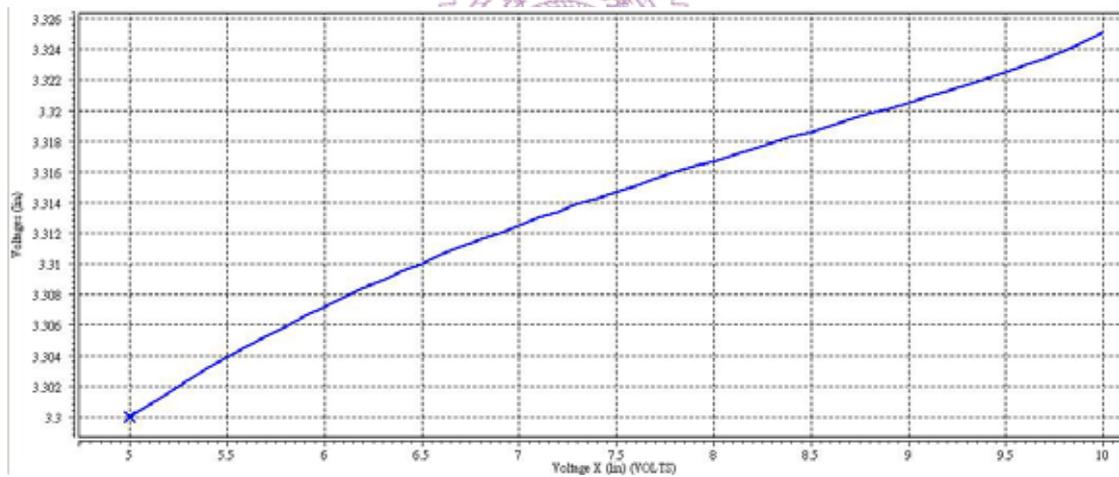
圖 5.4 (a)步階電流 300~0mA

(b)輸出電壓變化

下一步計算其線性調節率(line regulation)，輸入電壓從 3V 一直掃到 10V 觀察其輸出電壓，如圖 5.5。



(a)



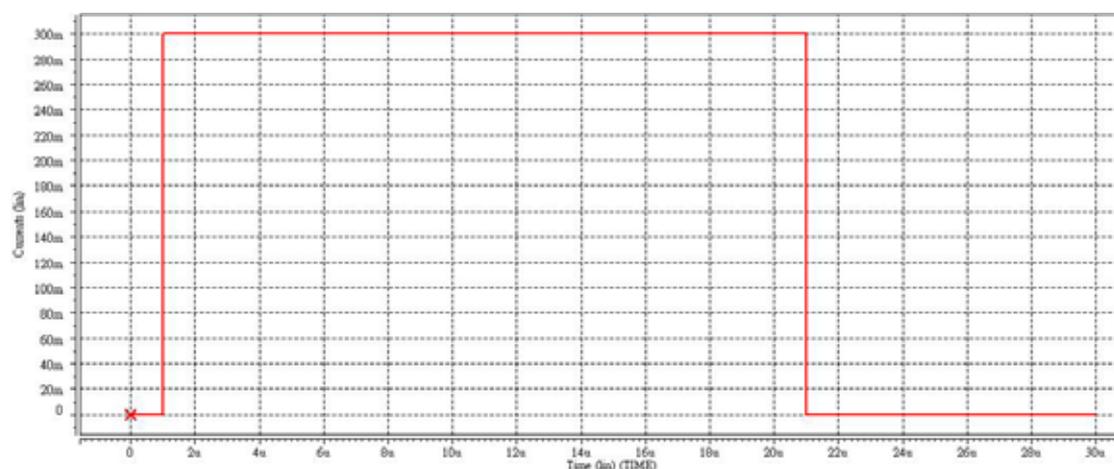
(b)

圖 5.5 線性調節率 (a) 輸出電壓變化

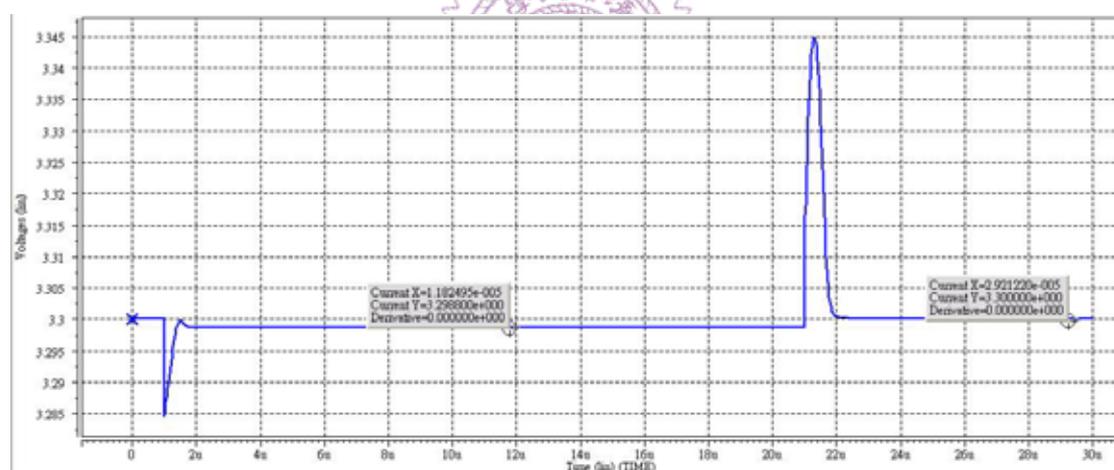
(b) 計算其線性調節率

由圖 5.5(b)可得，輸入電壓變化從 5V 至 10V，輸出電壓偏移約 25mV，線性調節率為 0.15%/V。

再計算其負載調節率，輸出負載電流給一個脈衝，觀察其輸出電壓變化，如圖 5.6。



(a)



(b)

圖 5.6 負載調節率 (a) 輸出負載電流 0mA~300mA

(b) 計算其負載調節率

由圖 5.6(b)可知，負載電流從 300mA 變化至 0mA，平衡時輸出電壓改變了 1.2mV，所以其負載調節率約為 0.00012%/mA。

## 5.2 結果討論及建議

整個電路結構實現如下圖 5.7 所示，在輸出電流為零的情況下，接地電流約 150mA，較正常來得大，原因是其中多加上一級用來控制頻率補償的放大器，和 OP 中用來調整共模訊號的偏壓電晶體，這些都會多消耗掉電流。欲縮小這些不必要的接地電流，以及如何增進其電流效率[20]，或是 PSRR[21]方面，頻率補償[22][23]近來也是值得探討的地方，仍有數篇論文針對這些方面做討論，可以作為將來設計上進一步改善的地方。

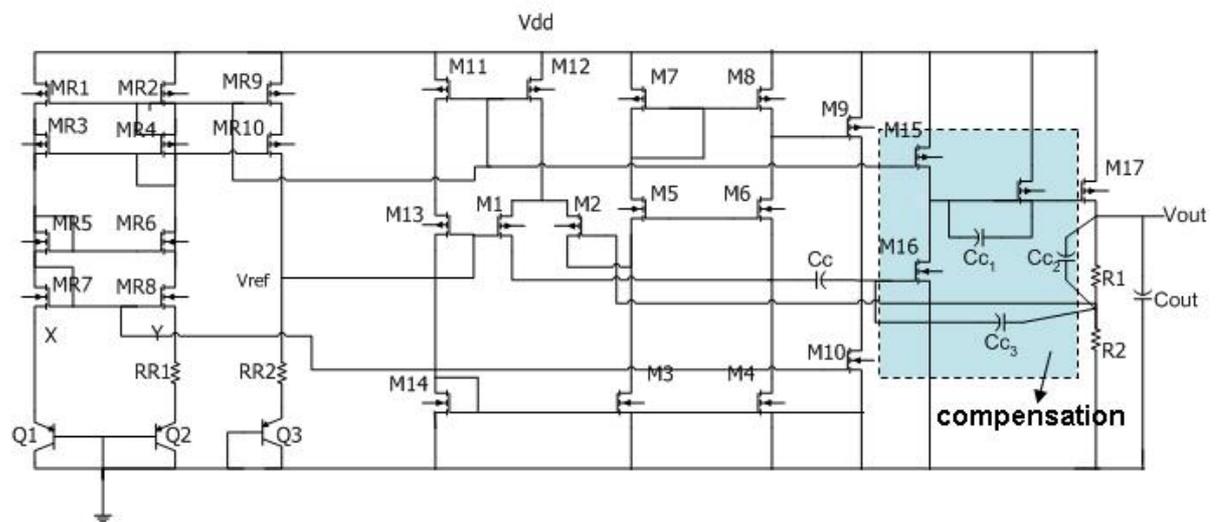


圖 5.7 LDO 電路實現

將整個低壓降線性穩壓器重要特性參數結果整理列表如下：

Vin	5V
Vout	3.3V
Iquiescent@Iout=0	150uA
Line Reg.@Vin=5V to 10V	0.15%/V(25mV/5V)
Load Reg.@Iout=0 to 300mA	0.00012%/mA(1.2mV/300mA)
Voltage Drop@Iout=0 to 300mA	16mV
Voltage Overshoot@Iout=300mA to 0	45mV
Dropput Voltage	350mV
Cout	<1 $\mu$ F
I <sub>max</sub>	300mA

## References

- [1] S. Franco, *Design with Operational Amplifiers and Analog Integrated Circuits*. New York: McGraw-Hill Publishing Company, 1998.
- [2] G. A. Rincon-Mora and P. E. Allen, "Study and Design of Low Drop-Out Regulators," Submitted to *IEEE Trans. Circuits Syst.*
- [3] "Technical Review of Low Dropout Voltage Regulator Operation and Performance," Application Report, *Texas Instruments*, Aug. 1999.
- [4] B. Wolbert, "Design with Low Dropout Voltage Regulators," Application Note, *Micrel Semiconductor*, Dec. 1998.
- [5] "Fundamental Theory of PMOS Low-Dropout Voltage Regulators," Application Report, *Texas Instruments*, Apr. 1999.
- [6] Bang S. Lee, "Understanding the Terms and Definitions of LDO Voltage Regulators," Application Report, *Texas Instruments*, Oct. 1999.
- [7] Brian M. King, "Advantages of Using PMOS-Type Low-Dropout Linear Regulators in Battery Applications," *Analog Application*

*Journal*, Aug. 2000.

- [8] Y. S. Shyu, "Low Operating Current Analog Integrated Circuits," *National Chiao Tung University, Taiwan, PhD Thesis*, Jun. 2002.
- [9] C. Simpson, "A User's Guide to Compensating Low-Dropout Regulators," *Wescon Conference, Santa Clara, CA*, pp. 270–275, Nov. 1997.
- [10] C. Simpson, "Linear Regulators: Theory of Operation and Compensation," Application Note 1148, *National Semiconductor*, May 2000.
- [11] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, Inc., 2001.
- [12] P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, New York: John Wiley & Sons, Inc., 1993.
- [13] K. O'Malley, "Linear Regulator Output Structures," Application Note, *ON Semiconductor*, 2000.
- [14] K. O'Malley, "Compensation for Linear Regulators," Application Note, *ON Semiconductor*, 2000.
- [15] K.C. Kwok and P.K.T. Mok, "Pole-Zero Tracking Frequency Compensation For Low Dropout Regulator," *IEEE International*

*Symposium on Circuits and Systems*, Scottsdale, Arizona, USA, Vol. IV, pp. 735-738, May 2002.

[16] K. O'Malley, "Linear regulator protection circuitry," Application Note, *ON Semiconductor*, 2000.

[17] M. Layachi & Y. Chouia, "Low Dropout Voltage Regulator," *Department of Electrical Engineering*, Ecole Polytechnique de Montreal.

[18] C. Simpson, "Linear and Switching Voltage Regulator Fundamentals," Power Management Applications, *National Semiconductor*.

[19] Ribner D.B., Copeland M.A., "Design techniques for cascoded CMOS op amps with improved PSRR and common-mode input range," *IEEE Journal of Solid-State Circuits*, Vol. 19 , Issue 6 , Dec. 1984, Pages 919 – 925.

[20] G. A. Rincon-Mora and P. E. Allen, "A Low-voltage, Low Quiescent current, Low Drop-Out Regulator," *IEEE J. Solid-State Circuits*, vol. 33, no. 1, pp. 36–44, Jan. 1998.

[21] K. M. Tham and K. Nagaraj, "A Low Supply Voltage High PSRR Voltage Reference in CMOS Process," *IEEE J. Solid-State Circuits*,

vol. 30, pp. 586–590, May 1995.

[22] Chava, C.K.& Silva-Martinez, & J., “A robust frequency compensation scheme for LDO regulators,” *Circuits and Systems*, 2002. *ISCAS 2002. IEEE International Symposium on* , Volume: 5 , 26-29 May 2002 Pages:V-825 - V-828 vol.5

[23] Ka Nang Leung; Mok, P.K.T.; Wing Hung Ki , ”A novel frequency compensation technique for low-voltage low-dropout regulator;” *Circuits and Systems*, 1999. *ISCAS '99. Proceedings of the 1999 IEEE International Symposium on* , Volume: 5 , 30 May-2 June 1999 Pages:102 - 105 vol.5

