

Chap 1

簡介

1.1 動機

近來無線通訊發展迅速，對射頻電路的需求也越來越大，目前電子產品的趨勢均走向輕薄、低耗電及低成本，因此若能將通訊電路中射頻模組和基頻模組整合至同一晶片當中，減少分離式元件的數目，可有效的降低產品的成本及尺寸，因此 SOC(System On Chip)一直是通訊電路設計者努力的目標。

目前無線區域網路技術不斷進步，頻寬的要求也越來越大，以原本 IEEE 802.11b 中的 11Mbps 傳輸速率，升級至 IEEE 802.11a 中的 54Mbps，但是操作頻率也從 ISM band 2.4GHz 提高至 5.2GHz，也同時提高射頻電路的設計難度。此外，IEEE802.11a 的調變方式為 BPSK、QPSK、16QAM 及 64QAM，對功率放大器的線性度要求較高，因此如何以 CMOS 技術設計一個 5GHz 的線性功率放大器，且同時要能和其他電路整合於同一晶片中是一個值得研究的題目。

1.2 射頻功率放大器規格簡介及定義

一般而言，設計功率放大器的需要考慮的規格如下：

1. **輸出功率(P_{OUT})**：在輸出端的 50Ω 上所量測到的基頻訊號(Fundamental Frequency)之功率。
2. **功率增益(Power Gain)**：功率放大器將輸入功率放大的程度，單位通常用 dB 表示，定義為輸出功率 P_{OUT} 除以輸入功率 P_{IN} 。
3. **效率(Efficiency)**：假設直流電源提供給此功率放大器的功率為 P_{DC} ，功率放大器的效率有兩種定義，一為 Drain Efficiency(PE)，指的是輸出功率除以直流電源所提供給電路的功率 P_{DC} ，另一種定義為 PAE(Power Added Efficiency)，為輸出功率和輸入功率間的差除以直流功率，若功率放大器的

功率增益夠大，則 PE 和 PAE 會很接近[1]。

4.輸出 P_{1dB} ：將基頻輸出功率(dBm)對基頻輸入功率(dBm)作圖，在線性區操作時輸出功率和輸入功率成一次線性關係，當功率增益下降 1dB 時相對的輸出功率即為輸出 P_{1dB} 點，見圖 1.2.1。

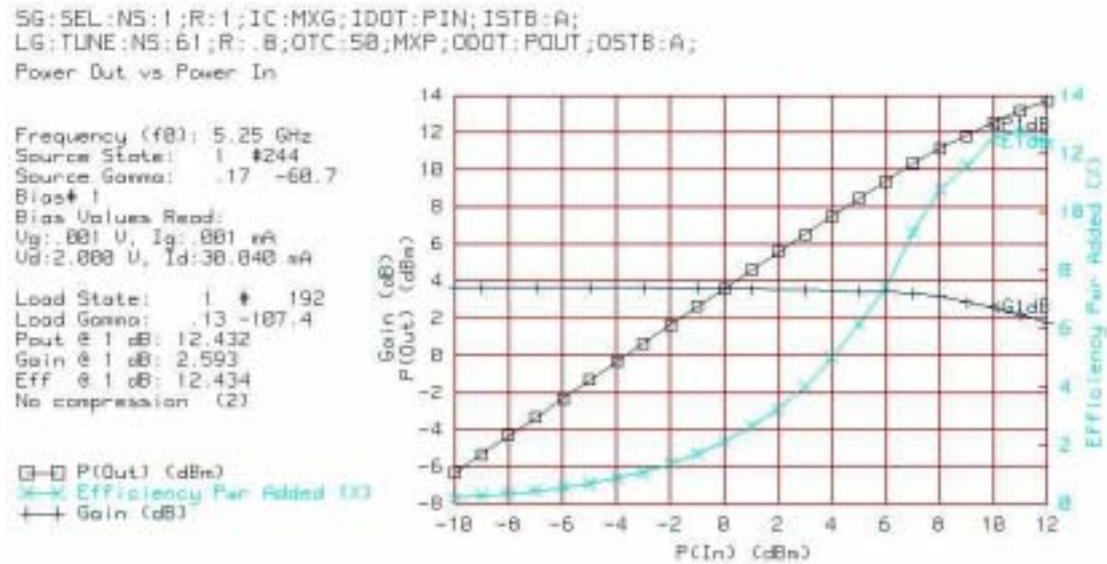


圖 1.2.1 Pout 對 Pin 的關係圖

5.IIP3&OIP3：在 Two-Tone Test 中，將兩個頻率很接近(f_1 及 f_2)的訊號輸入至功率放大器，輸出端訊號由於功率放大器的非線性特性照成需多高階諧波的 Inter-Modulation，其中一項頻率為 $2f_1-f_2$ 或是 $2f_2-f_1$ 的三次諧波會出現在主要頻率訊號兩旁，會造成主訊號的失真且會干擾其他頻道的訊號，若將此三次諧波對基頻輸入功率 P_{IN} 作圖，延伸出斜率為三的直線，此斜率為三的直線延長後和 P_{OUT} 對輸入功率作圖中斜率為一的延長線交錯(見圖 1.2.2)，其交錯點對應的輸入功率即為 IIP3，對應的輸出功率為 OIP3[1]。

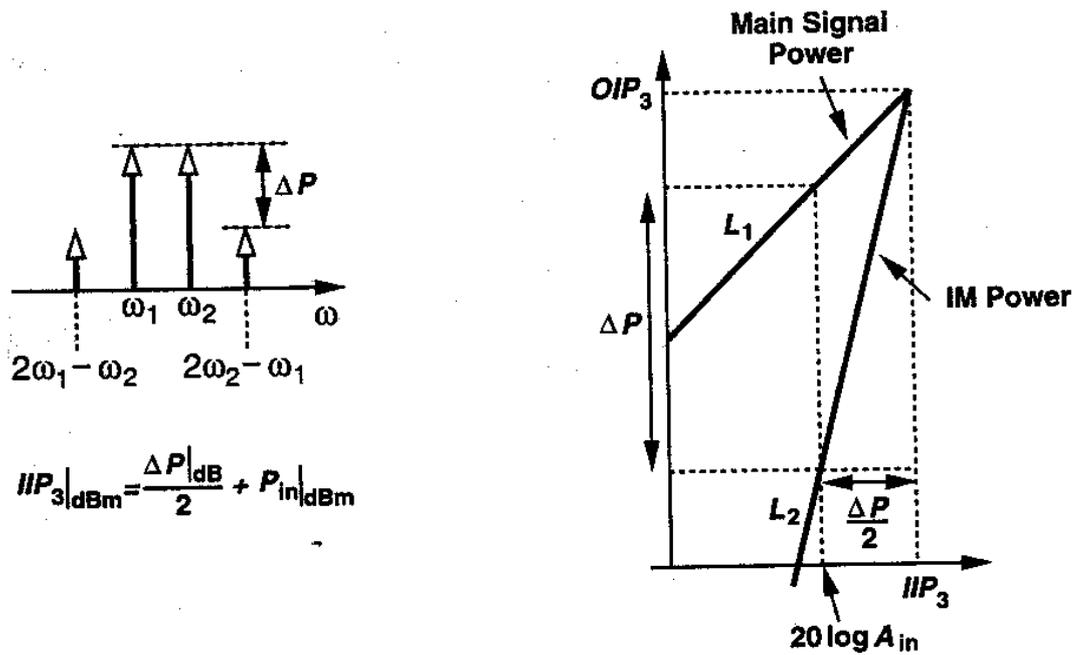


圖 1.2.2 IIP3 及 OIP3

6. ACPR (Adjacent Channel Power Ratio)：由於功率放大器的非線性效應，當訊號（類比或是數位）通過此功率放大器會產生的頻譜的”擴散”的現象。ACPR 的定義如下，在中心頻率為 f_c ，頻寬為 B_1 頻道中之功率，除以距離中心頻率 f_0 且頻寬為 B_2 的頻帶之功率之值即為 ACPR，見圖 1.2.3 [3]。

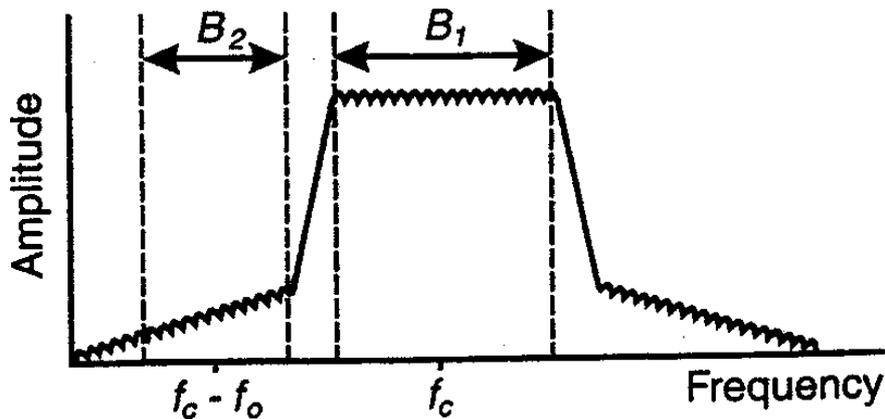


圖 1.2.3 Adjacent Channel Power Ratio

一般而言，設計功率放大器首先考量的是輸出功率是否達到系統規格的要求（以 IEEE802.11a 的規格來說，輸出功率需要 30~50mW，約 13~17dBm），在可以達到輸出功率的條件下，針對線性度、效率及增益作最佳化（視系統需求），同時也要注意功率放大器的穩定度[4]。

1.3 線性功率放大器設計

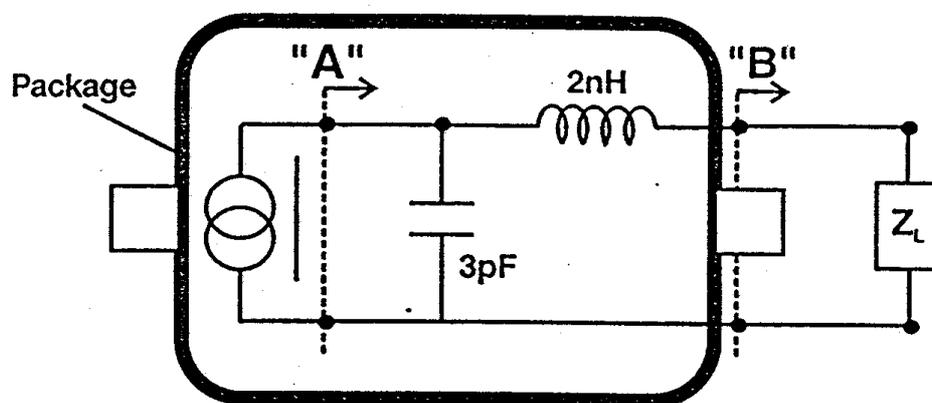
功率放大器的操作模式有許多種，傳統上常見的有 Class A、Class AB、Class B 及 Class C，其他還有開關式的功率放大器如 Class D、Class E 及 Class F。但是若需要線性的功率放大器，則通常只有 Class A 及 Class AB 可以符合其要求，下面將簡單介紹 Class A 線性功率放大器的設計方法。

1.3.1 Class A 功率放大器設計方法

設計功率放大器最重要的就是要取得最佳功率輸出阻抗(R_{OPT})的資訊(也就是一般 Load-Pull 的結果)，下面有三種方式是目前設計功率放大器最常用的三種方式，可以直接或間接得到功率放大器的 Load-Pull 結果：

a. Cripps 方法

在 1983 年，Cripps 提出了一個簡單卻又可以準確預測 Load-Pull Contour 的方法，又叫 Cripps 方法。Cripps 方法一開始先假設主動元件本身為一組壓控電流源，且其轉導(trans-conductance)在線性區均保持固定，因此可由元件本身的 IV 曲線畫出 Load-line，進而由 Load-line 的斜率求得 R_{OPT} 。但是實際的電晶體模型還包含許多寄生效應，其中最主要的為汲級對源級的電容 C_{DS} ，因此 Cripps 也探討電容效應加入後如何修正 R_{OPT} (見圖 1.3.1)，最後結果顯示，Load-line 方式所估計到的 R_{OPT} 和實際由 Load-Pull 量到 R_{OPT} 點相距不遠[2]。



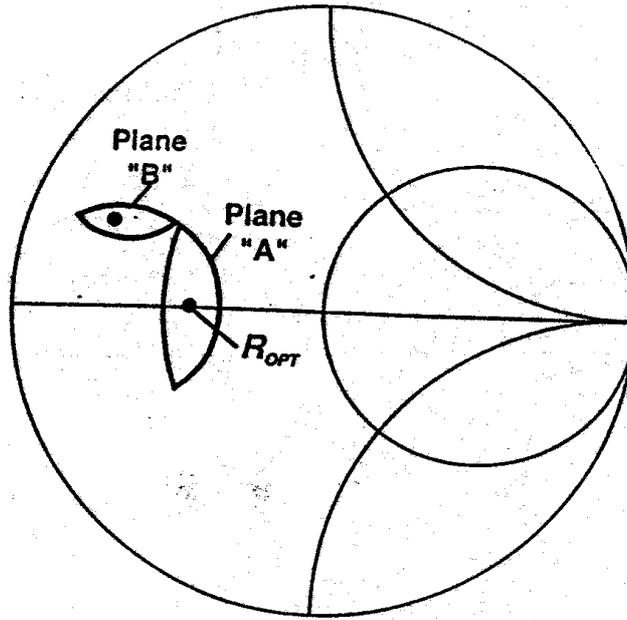


圖 1.3.1 修正寄生電容後的 R_{OPT} 點

b. Load-Pull 方法

Load-Pull 是一種實際去量測輸出負載和輸出功率關係間的儀器系統，包含了輸出 Tuner、輸入 Tuner 及功率感測器，見圖 1.3.2，藉由改變輸出 tuner，可以在 Smith Chart 上畫出 Power Contour，如圖 1.3.3，至於輸入端 Tuner 只是再提供元件整體的功率增益，通常和輸出功率的關係較小(至少對 MOSFET 而言)。

Load-Pull 提供了功率放大器設計時非常實際的考量，透過 Load-Pull 量測結果，可以把非線性電路設計簡化成線性電路設計，同時又不失去準確性。

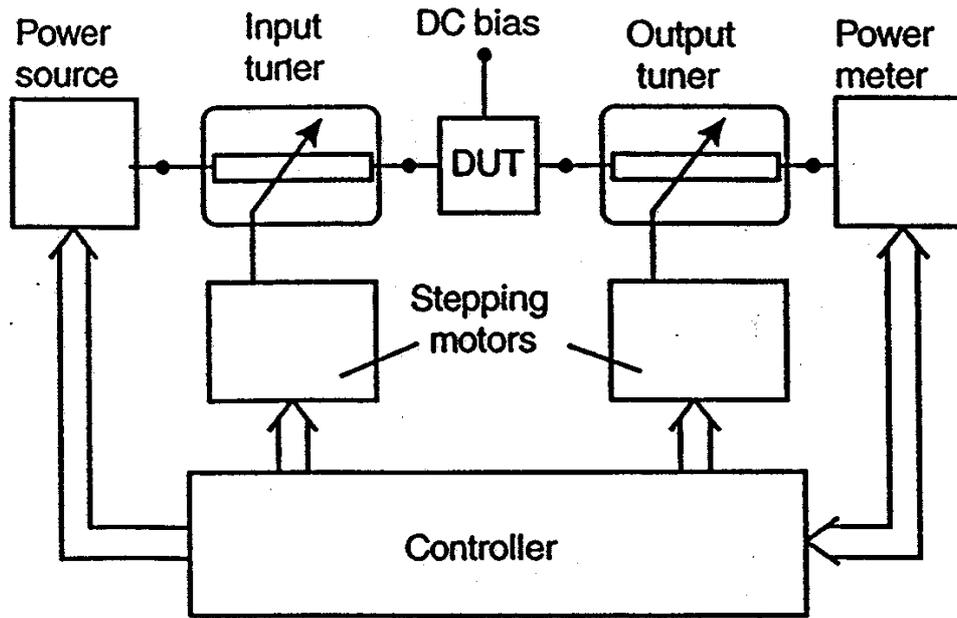


圖 1.3.2 Load-Pull 儀器架構圖

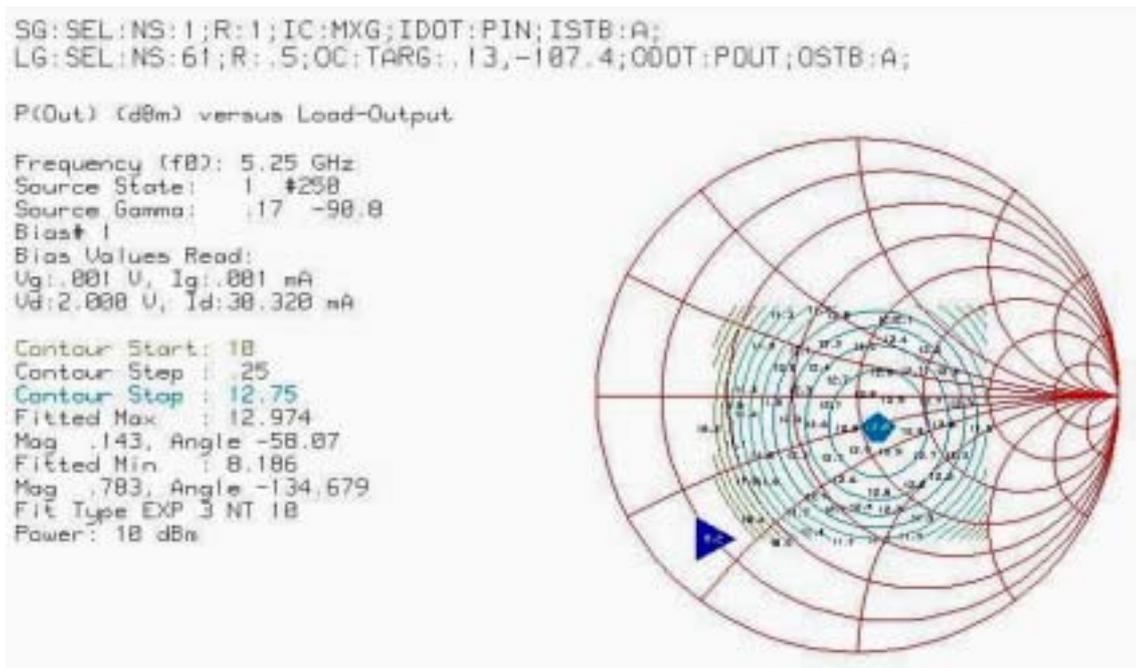


圖 1.3.3 經由 Load-Pull 儀器所量測的 Power Contour

c. 非線性模型和非線性模擬軟體輔助設計

目前許多提供功率電晶體的廠商，會同時提供非線性模型，使用者可以配合非線性模擬軟體進行電路設計，也可以利用模擬軟體直接畫出 Power Contour。

非現行模型可分為 Physical 模型和 Empirical 模型，其中 Physical 模型是針對元件物理結構來建立模型，而 Empirical 模型則是經由量測結果作擬合(Fitting)，利

用數學公式來敘述電晶體的非線性行爲。以目前 CMOS 的製程而言，Foundry 廠提供的均爲 BSIM3V3 的模型，在加上高頻的寄生效應(如 C_{GS} 和 C_{DS} 等)，即可應用於一般的非線性電路設計，如圖 1.3.4。

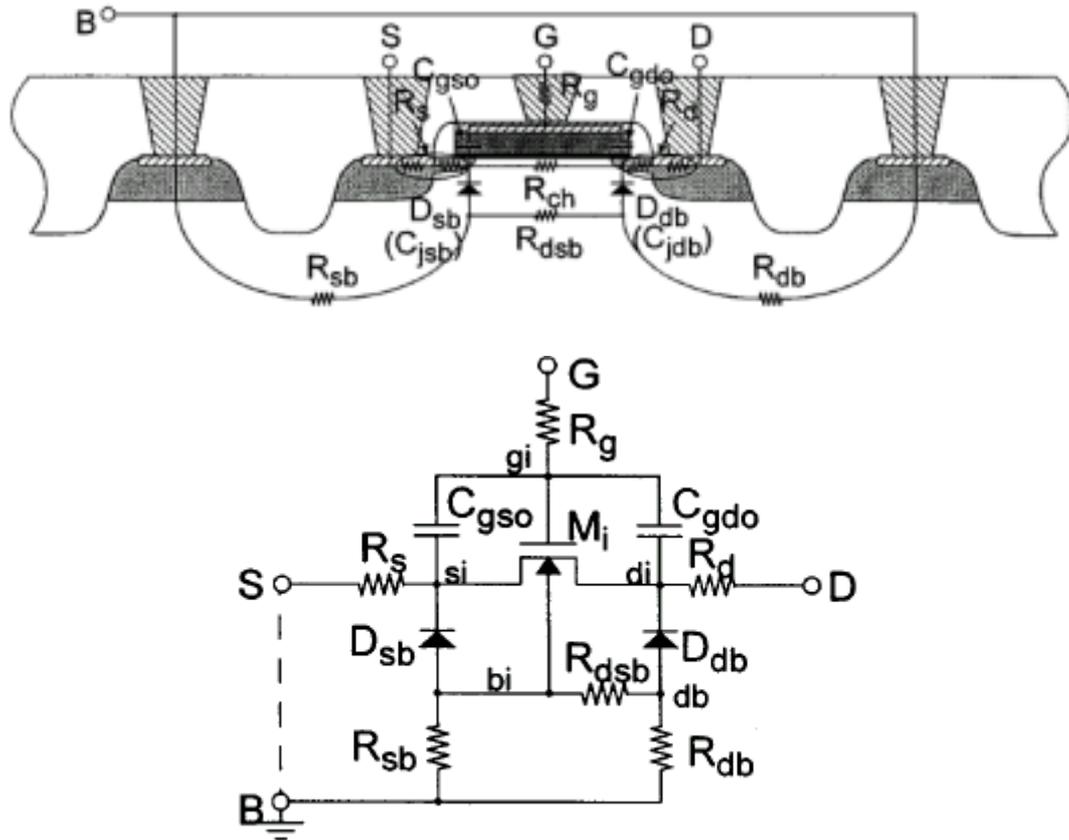


圖 1.3.4 MOSFET 高頻模型

線性放功率大器的設計方式必須對線性度和效率作妥協，通常線性功率放大器只會將其操作於最線性的 Class A 的模式，且爲了避免接近飽和時的非線性效應，通常會採取 Back-off 的方式(一般而言爲 5~8dB)，其最大的缺點是必須犧牲功率放大器的效率。

1.4 論文組織

本論文在第二章中第一節和第二節分別介紹設計 CMOS RFIC 所使用的主動元件及被動元件，第三節分析以 CMOS 製程設計功率放大器時所受到的限制，以及應用方向，第四節及第五節則介紹功率放大器的非線性效應及解決方式。

第三章和第四章分別探討 5GHz 之 CMOS 驅動放大器及功率放大器的設計過程、量測結果及誤差討論。

第五章的第一節探討螺旋電感的模型建立及量測結果，並由電路量測結果驗證電感模型，第二節則介紹單晶螺旋轉壓器的研究。

Chap 2

CMOS 射頻功率放大器積體電路設計

2.1 CMOS 主動元件及高頻模型

在本論文裡電路設計是利用 0.25 μm 的 CMOS 製程技術，其主動元件為 NMOS，電晶體結構及其高頻寄生效應如圖 2.1.1 所示，利用晶圓廠提供的 BSIM3v3 之 SPICE 模型，再加上外部的高頻寄生效應，此模型可以用於非線性的高頻電路設計。

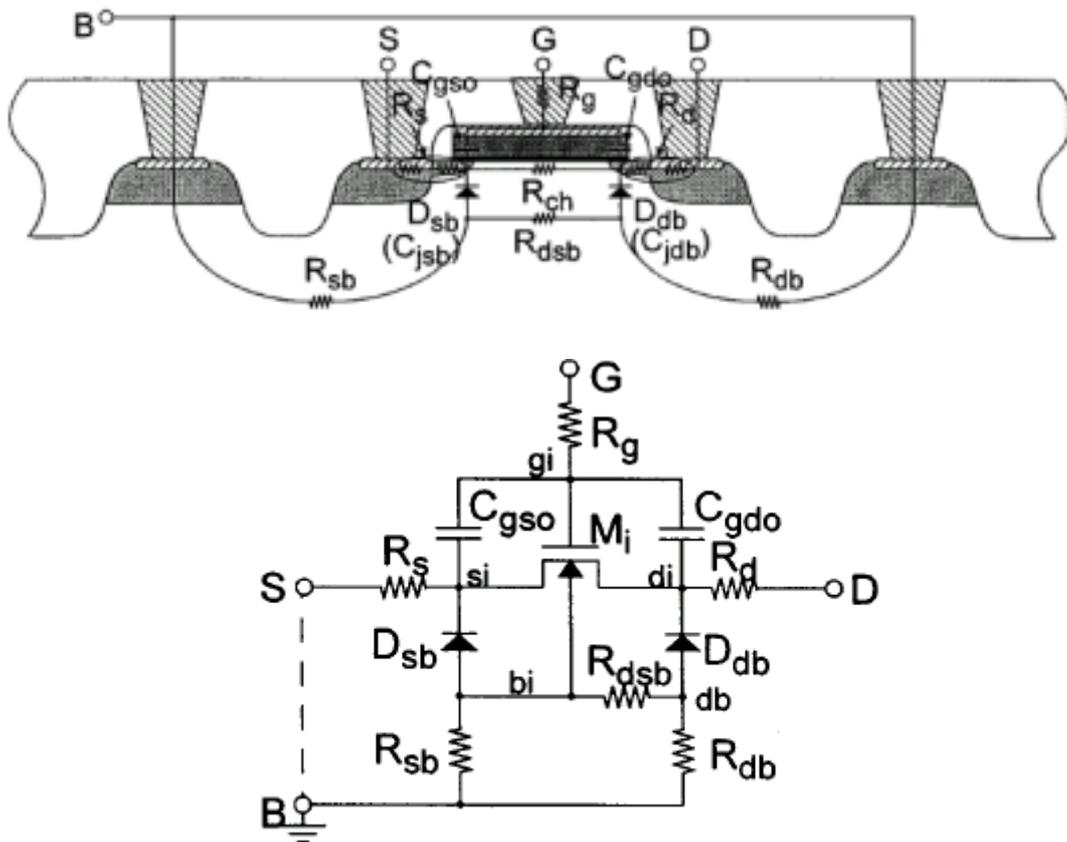


圖 2.1.1 MOS 的截面圖及高頻模型

在電晶體佈局方面，見圖 2.1.2，利用並聯的方式減少閘級因為寬度(Width)過長造成訊號輸入的不對稱。另外，在佈局時我們也需要考慮金屬的電流承受能力，特別是功率放大器電路中需要高電流驅動外界電路，若將汲級或源級的連接金屬畫太細，則容易過熱燒斷。

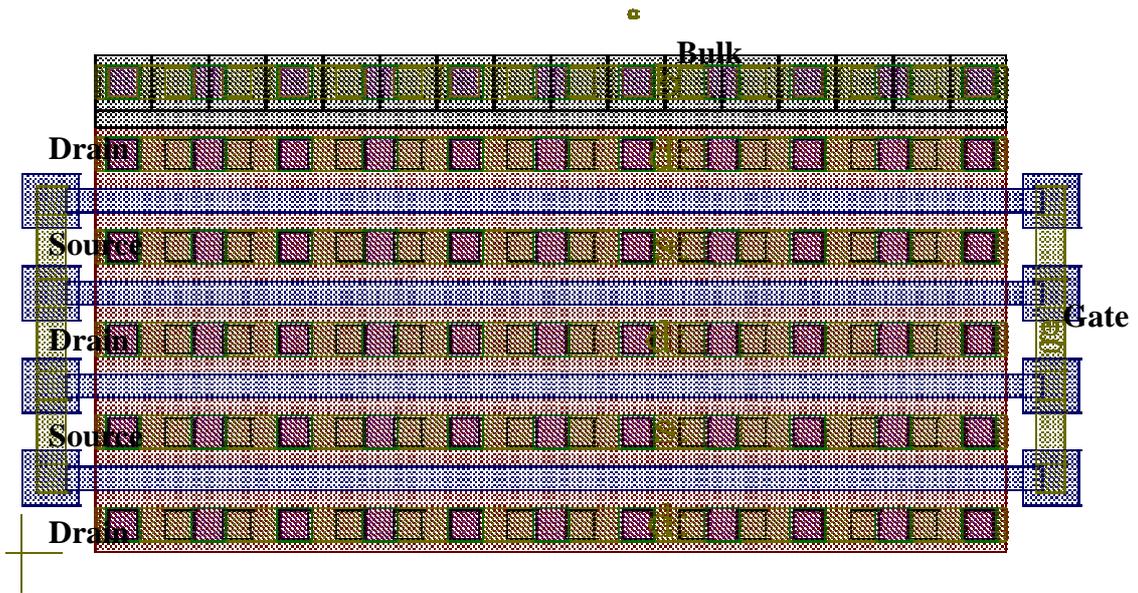


圖 2.1.2 CMOS 電晶體佈局

2.2 CMOS 被動元件

在 RFIC 設計過程中，被動元件扮演了很重要的角色，如偏壓、阻抗匹配及直流阻隔等，在本節當中將介紹 CMOS 0.25um 製程當中所提供的被動元件，包括 MIM 電容，螺旋電感及 Poly 電阻。

2.2.1 MIM 電容

MIM 電容是由 Metal4 及另一層較接近 Metal4 的 CTM(Capacitor Top Metal) 夾著 Capacitor Dielectric 行成平板式電容(見圖 2.2.1)，由平板電容公式

$$C \approx \epsilon \frac{A}{H} = \epsilon \frac{W \cdot L}{H}$$

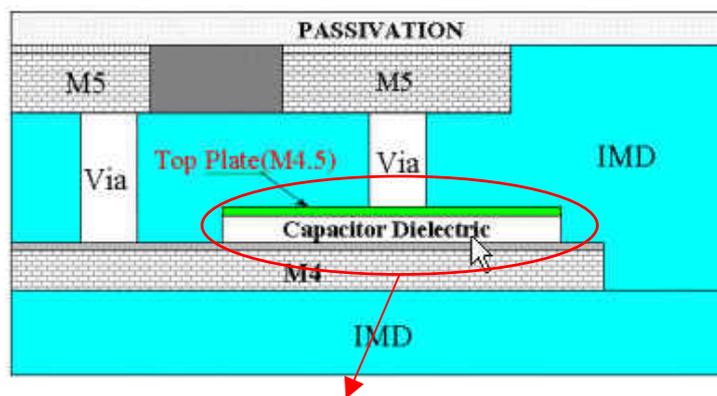
(其中 ϵ 是電容之介電常數，

W 是金屬寬度，

L 為金屬長度，

H 為平板電容間的距離)

中可以估算容值，因為 ϵ 、H 已經固定，調整 W 及 L 可以得到想要的容值[4]。



MIM capacitor

圖 2.2.1 MIM 電容

一般而言，MIM 電容的 Q 值大約介於 20~80 間，容值則大約介於 0.2P 至 10P 之間，容值可隨著佈局的面積增加而上升，但是電容面積如果過大，會因為 fringing effect 而導致 Q 值下降，見圖 2.2.2。

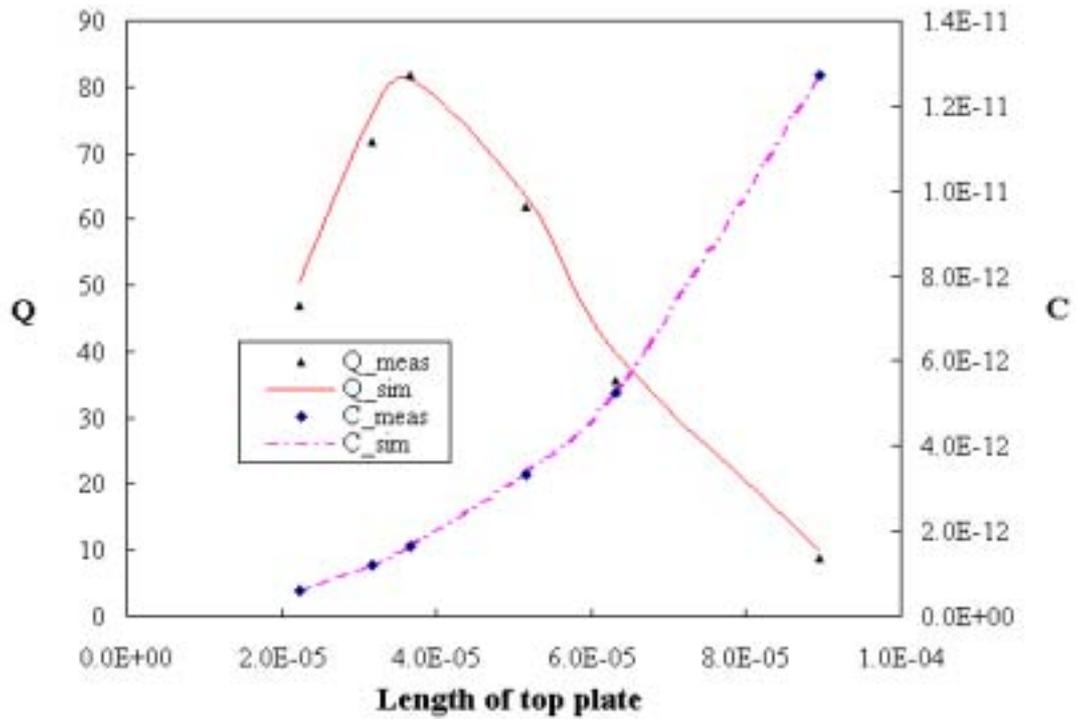


圖 2.2.2 MIM 電容之 Q 值與佈局寬度的關係

2.2.2 螺旋電感

CMOS 標準製程中只能設計平面式結構的被動元件，因此電感就利用平面螺旋狀的方式產生，其截面圖及佈局圖如圖 2.2.2 及圖 2.2.3 所示，

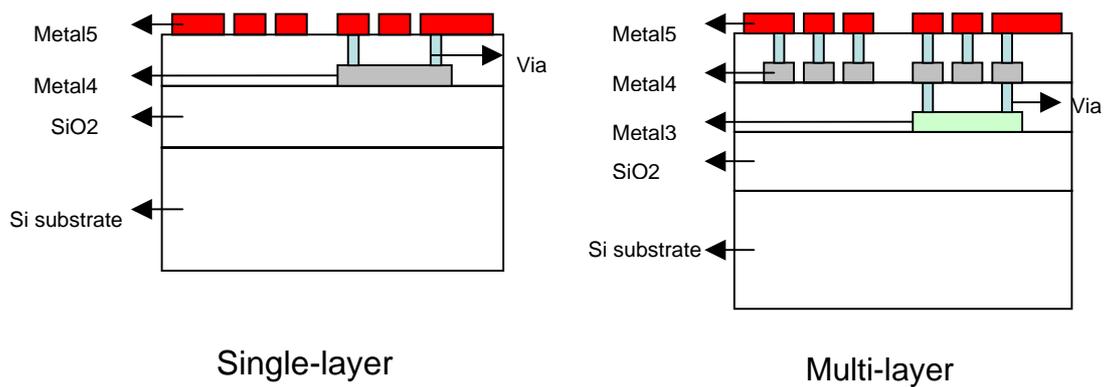


圖 2.2.2 螺旋電感截面圖

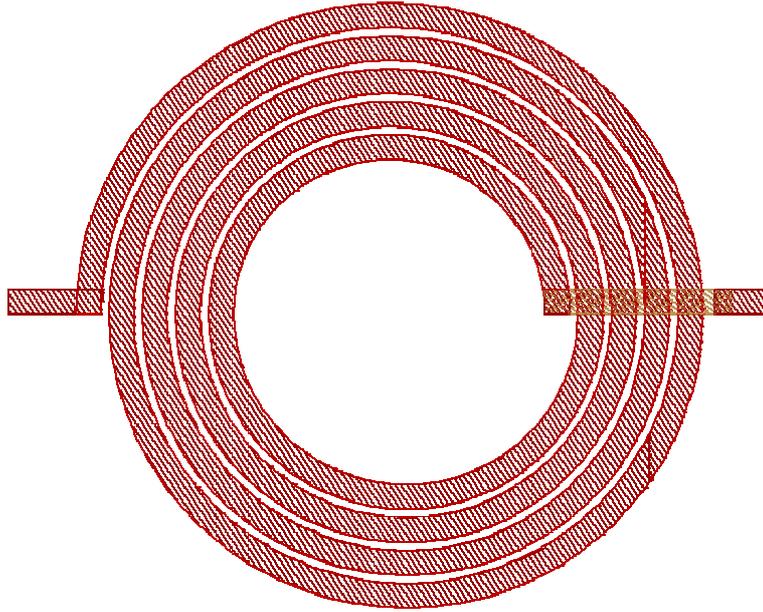


圖 2.2.3 螺旋電感佈局圖

螺旋電感的模型如圖 2.2.4，可分為兩部分討論，其中 L_s 、 R_s 及 C_s 是金屬層所產生的寄生效應，而 C_{ox} 、 R_{si} 及 C_{si} 是由於矽基板中的損耗所造成[5]。

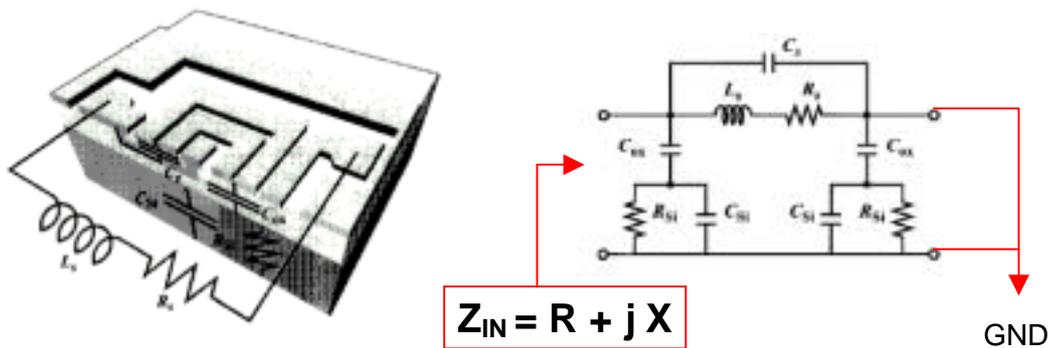


圖 2.2.4 矽基板上螺旋電感等校模型

若將電感的輸入阻抗分為實部 R 及虛部 X ，可定義等效感值 L_{EFF} 及等效品質因數 Q_{EFF} 如下：

$$L_{EFF} = \frac{X}{\omega}$$

$$Q_{EFF} = \frac{X}{R}$$

(其中 ω 為角頻率)

螺旋電感是 CMOS RFIC 中扮演很重要的角色，但因為矽基板中的損耗高，使得電感的 Q 值降低，也同時衰減功率放大器的功率增益和效率，所以提升螺旋電感的 Q 值一直是值得研究的主题。

2.3 CMOS 射頻功率放大器

0.25um CMOS 製程的電晶體截止頻率(F_t)可以達到 25GHz，因此用來設計 5GHz 電路原則是可行的，但是以 CMOS 製程設計功率放大器有許多先天上的限制如下：

1. **Breakdown 電壓太小**：一般而言，0.25um CMOS 元件的 Breakdown 約為 4V 左右，比起一般 HBT 的 Breakdown 電壓(約 8V)小了許多，因此在功率放大器設計上限制了輸出電壓的振幅，也因此限制的最大功率輸出。
2. **高損耗的被動元件**：在功率放大器設計中，最佳功率輸出組抗通常很小(約 10ohm)，因此將 50ohm 轉換到小電阻時所需的轉換比例高，因此需要較高 Q 值的被動元件才可以使電路有較好的特性，但是 CMOS 製程中的被動元件如電感和 MIM 電容之 Q 值都不高(電感的 Q 值約 8，MIM 的 Q 值約 20)，因此造成阻抗轉換的困難。
3. **矽基板的損耗**：因為矽基板為半導體材質，因此金屬層和矽基間會產生許多寄生電容及電阻，造成電路特性整體的衰減。[13]

雖然 CMOS 技術在設計功率放大器上有許多限制，但是其最主要的優點是可以降低通訊模組的成本，以目前的技術而言，在 6GHz 以下的消費性通訊產品中，除了功率放大器用額外的功率電晶體來設計以提供高輸出功率外(或其他規格)外，其餘射頻電路模組(LNA、Mixer、VCO 等)均可用 CMOS 技術整合於通訊晶片中，但是若通訊規格中輸出功率不高(20dBm 以下)，且其他功率放大器之規格(PAE、Power Gain 等)均可達到，用 CMOS 技術設計功率放大器可以將其整合於同一晶片中，同時達到降低產品的成本和複雜度。

Chap 3

CMOS 驅動放大器設計及量測結果

3.1 電路設計方式

在發射電路中，功率放大器前必定會加一級驅動放大器，其功用是在於提供驅動功率放大器的能力，同時也可提升整個系統的功率增益，因此設計驅動放大器首先應先考慮其輸出 P_{1dB} 是否大於功率放大器的輸入 P_{1dB} 點，之後再針對功率增益作最佳化，同時放大器的穩定度也是需要考量的地方。

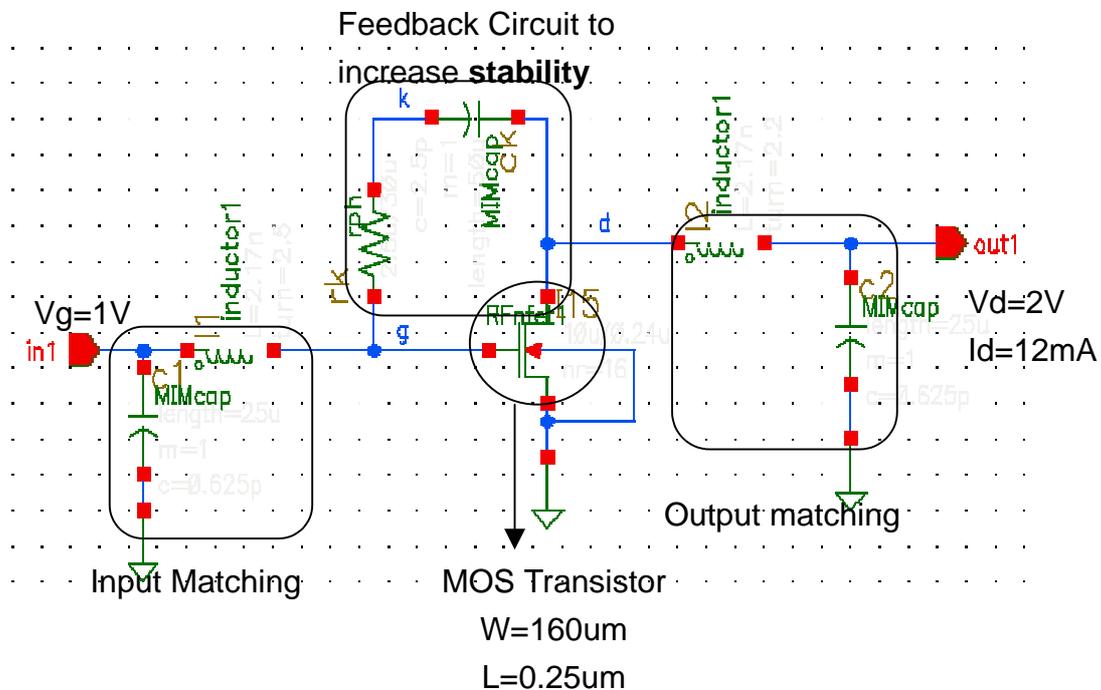


圖 3.1.1 5GHz CMOS 驅動放大器電路架構

3.1.1 匹配電路及偏壓電路

圖 3.1.1 為驅動放大器的電路架構，在輸出端(L1、C1)及輸入端(L2、C2)利用 L 型匹配來達到 5.5GHz 的共軛匹配以得到最高功率增益，由於在我們所使用的台積電 0.25um CMOS 製程中只提供五種螺旋電感作為設計使用，在 5GHz 的設

計頻段中早已接近電感本身自振頻率，因此我們設計多兩組自振頻率(SRF)更高的螺旋電感(見圖 3.2.2)以提供設計電路時需求，並下線 testkey 作量測，最後應用於電路之中。

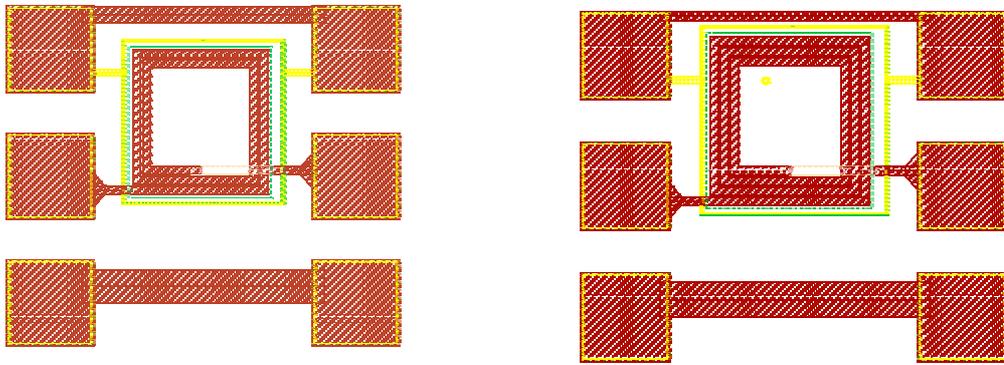


圖 3.1.2 電感 testkey

在偏壓方面，電晶體閘級(Gate)是偏壓於 1.2V，汲級(Drain)偏壓於 2V，偏壓電流為 25mA，偏壓電路是通過匹配電路中的電感及晶片外的 Bias-T 來達成，以減少晶片中使用電感的數量，其 IV 特性可參考圖 3.1.3。

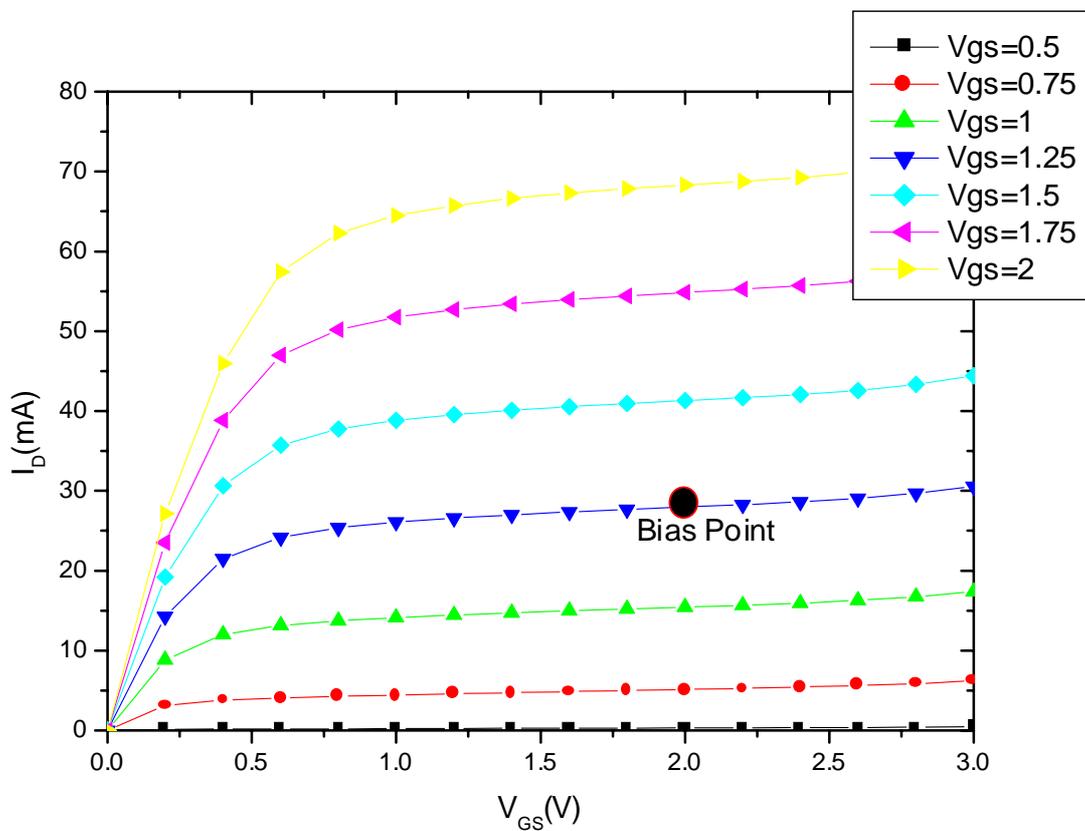


圖 3.1.3 驅動放大器的 IV 特性

3.1.2 穩定電路

電路穩定度考量方面，原本電晶體的 k 值(穩定參數)均小於 1，因此我們在在電晶體的輸出端及輸入端上利用電容串聯電阻(C_k 、 R_k)作回授，一方面可以有效的增加電晶體的穩定度，可減少電路震盪的機會，見圖 3.1.4，在各個頻率之 K 均提高至 1 以上，另一方面可以增加其頻寬，可從 5.25 至 5.8GHz，但是缺點是再操作頻率內的功率增益會被衰減。

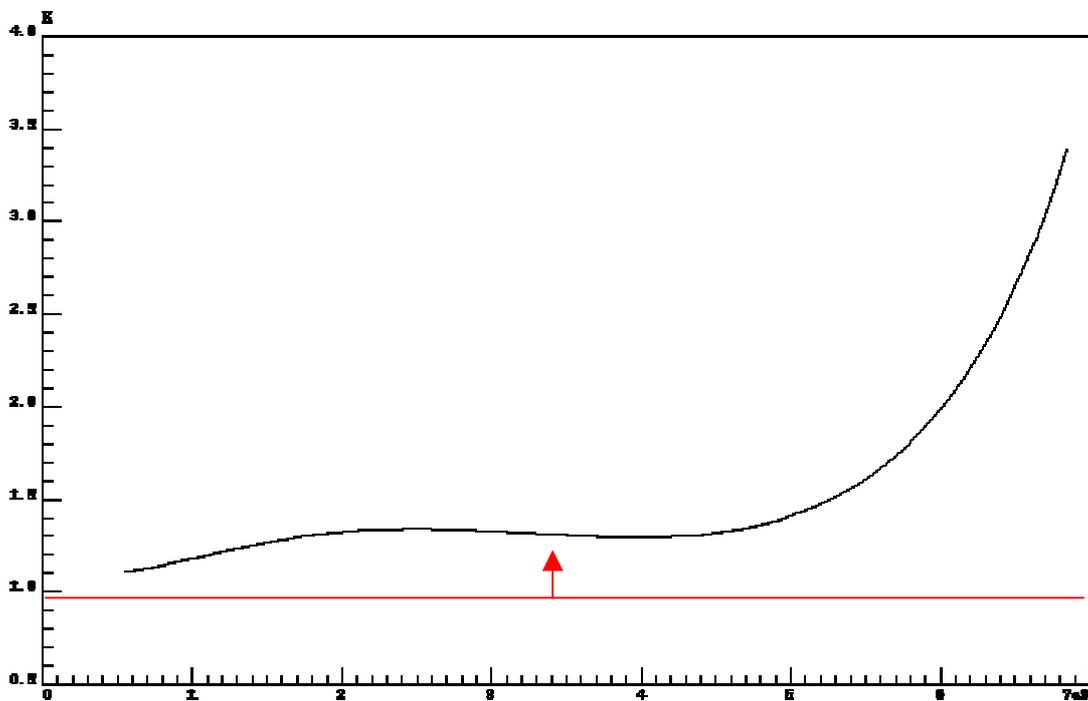


圖 3.1.4 電路穩定度參數 K V.S. 頻率

3.1.3 晶片佈局

在晶片佈局方面，見圖 3.1.4，我們採用 GSG 的方式，以方便作高頻 On-Wafer 量測。

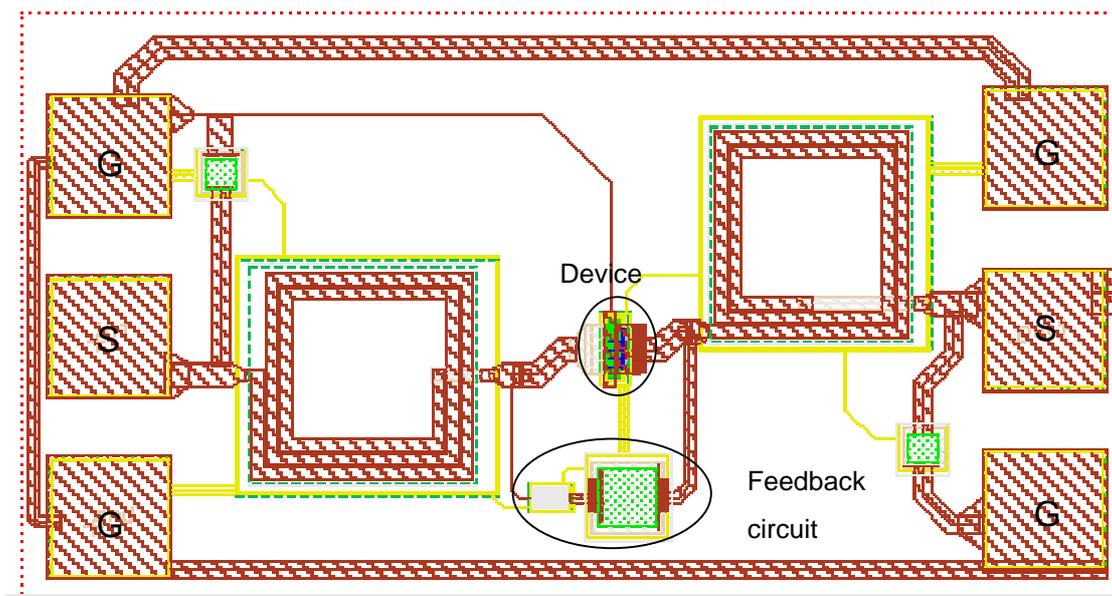


圖 3.1.5 CMOS 驅動放大器 IC 佈局

3.2 晶片量測結果

3.2.1 量測方式及環境

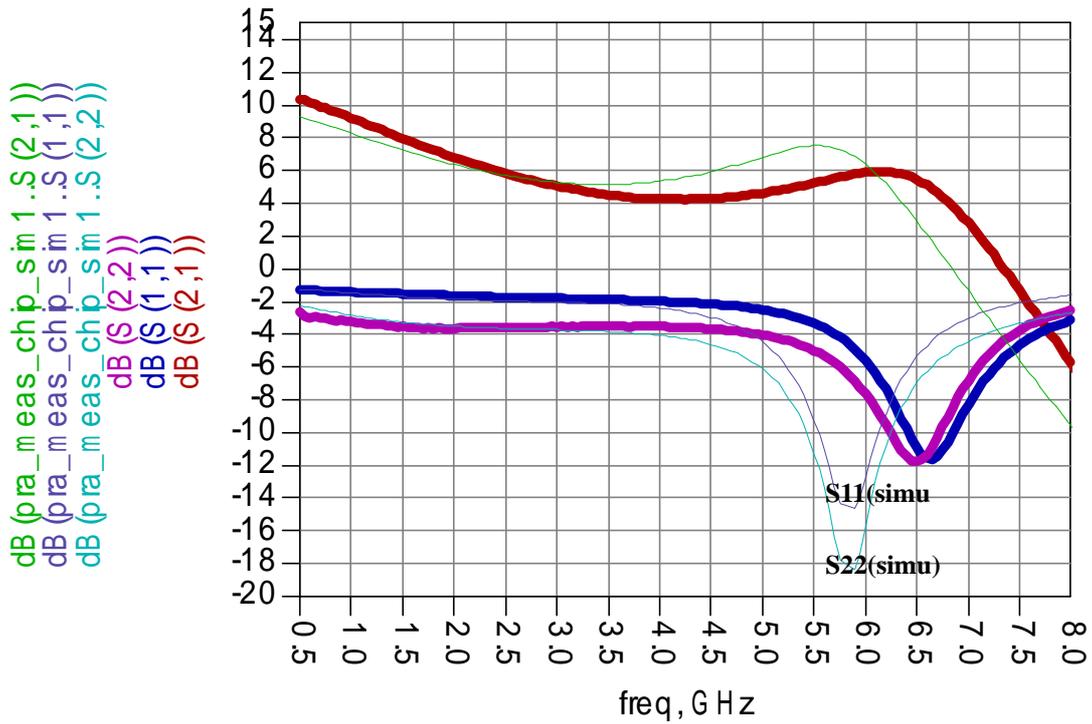
量測是透過國家毫微米中心高頻量測實驗室，S 參數方面是利用 50GHz 向量網路分析儀 HP8510c 進行 GSG On-Wafer 量測，P1dB 及 IIP3 則是利用國家毫微米中心高頻量測實驗室的 ATN LP1 及 HP85122A Load-Pull 量測系統進行功率量測。

3.2.2 小訊號 S 參數量測結果

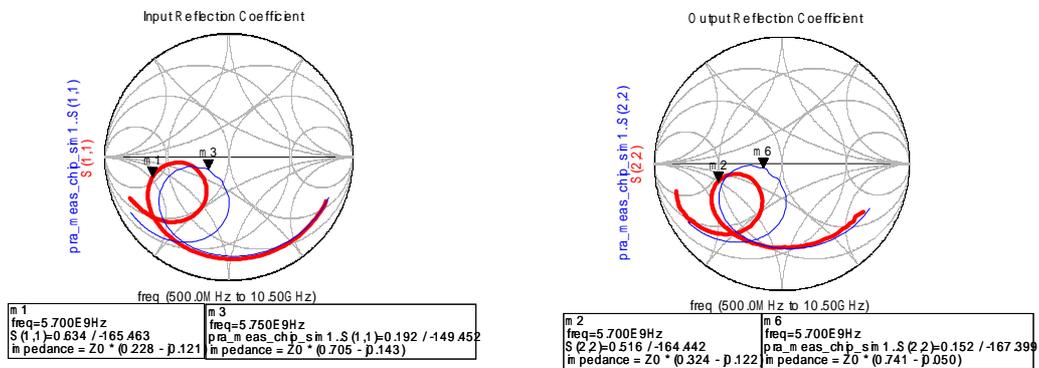
電路 On-wafer 量測結果及模擬結果如圖 3.2.1 所示，其中細線為模擬結果，粗線為量測結果，由比較可知，模擬和量測結果有頻率飄移的現象，原本設計時是針對 5.7~5.9GHz 作設計，中心頻率為 5.8GHz，但是量測結果顯示頻率漂移至 6.5GHz。

另外，若從史密斯圖來觀察 S11 及 S22 可以知道在低於 3GHz 的高頻特性和模擬結果很相近，而高於 3GHz 的相位和振幅則有一些不同，但是整體趨勢仍然

接近。



(a) dB(S₂₁)、dB(S₁₁)、dB(S₂₂) VS Freq



(b) S₁₁

(c) S₂₂

圖 3.2.1 量測結果(粗線) V.S. 模擬結果(細線)

3.2.3 輸出 P1dB 及 IIP3 量測結果

當操作頻率為 5.25GHz，偏壓點為 V_{GS}=0.9V 和 V_{DS}=2V 時的輸出 P1dB 點可由圖 3.2.2 可得為 6.7dBm，G1dB 為 3dB，而輸出 IIP3 可由圖 3.2.3 可得為 17dBm。

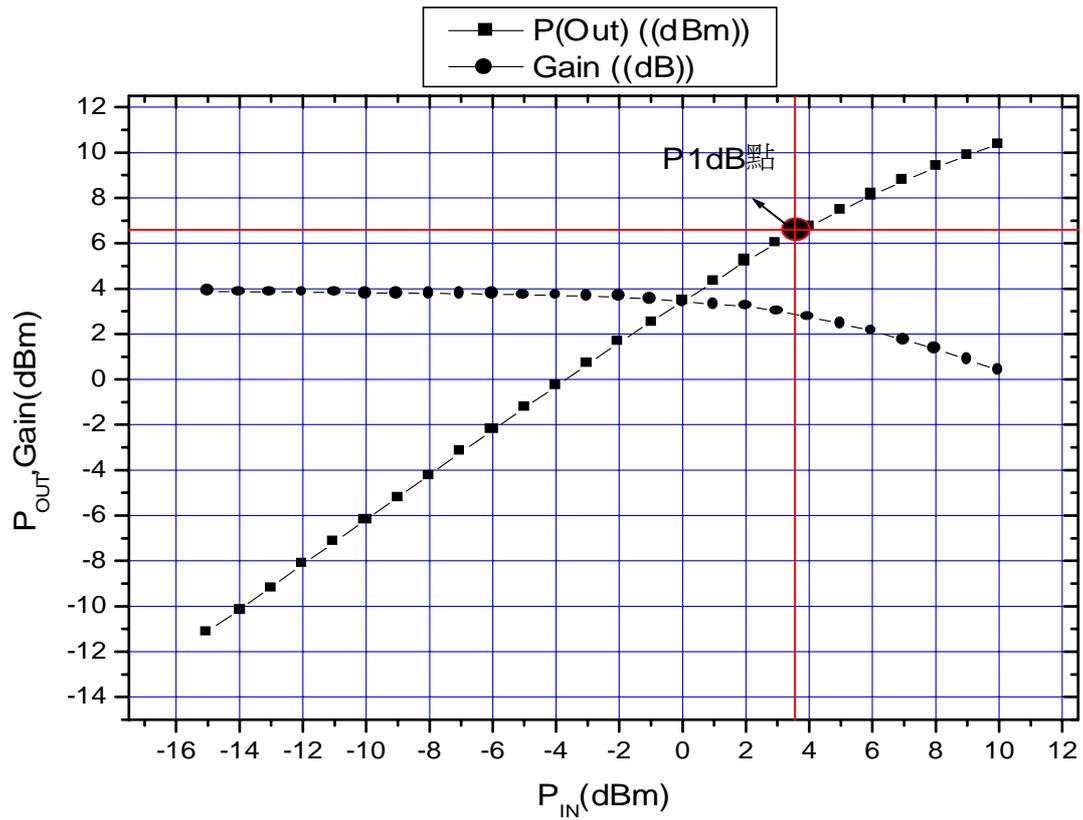


圖 3.2.2 P1dB 點 VS 輸入功率

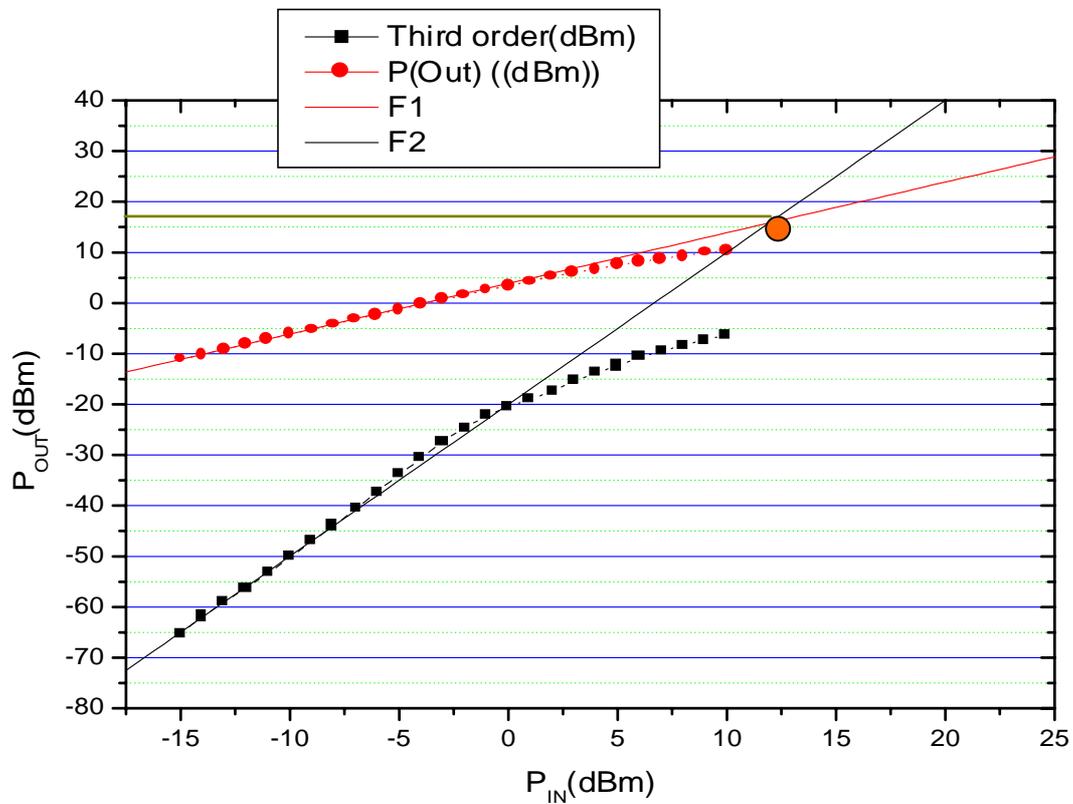


圖 3.2.3 IIP3 VS 輸入功率

3.3 結論

下面是這次 5GHz CMOS 驅動放大器在不同偏壓下或不同頻率的規格列表，見表 2.4.1，

參數	Input Return Loss(dB)	Output Return Loss(dB)	Gain(dB)	Output P _{1dB} (dBm)
(a)5.25GHz V _{GS} =0.9V(量測)	-2	-4	3.8	6.7
(b)5.25GHz V _{GS} =0.9V(模擬)	-6	-8	7.8	4.3
(c)5.25GHz V _{GS} =1.2V(量測)	-5.8	-5.1	4.9	9.5
(d)5.25GHz V _{GS} =1.2V(模擬)	-7.3	-10.4	9.3	8.8
(e)6.5GHz V _{GS} =0.9V(量測)	-10.9	-11.7	5.5	N.A.
(f)5.7GHz V _{GS} =0.9(模擬)	-15	-18	8	N.A.

表 3.3.1 5GHz CMOS 驅動放大器規格列表

由表 2.4.1 中可得知，原本設計的 5.7GHz 功率放大器，頻率飄移至 6.5GHz，原因猜測有三個原因，第一為電路中的測試電感模型在 5GHz 以上量測時會有不準度，加上 De-embedding 的方式只有扣除 OPEN PAD 的效應，因此可能是造成頻率飄移的主因；第二個原因是繞線的寄生電容效應，雖然在 LPE 時有將其抽取出電容效應，但是實際上在 5GHz 電感效應及電阻效應等應需要考慮進去，但是若將這些寄生效應考慮進來，則會增加很多電腦模擬時間，並不符合效益，因此改進的方式是未來電路繞線的方式需以寬、短為原則，以減少電感及電阻效應；第三個原因則是在電晶體的源級端原本因該立刻接地，但是在佈局上到地的路徑太長，有源級電感效應產生，有可能造成回授，根據 EM 模擬驗證，該線約有 0.6nH~0.8nH 的電感效應，若將此源級電感帶回模擬，則電路特性確實會因此會往高頻飄移，且最高增益會降低。以上三個原因是造成電路飄移的最主要三個

原因，未來在電路佈局時須特別小心拉線的方式則可以改進這次的問題。

接地金屬連線太細長，造成電感效應

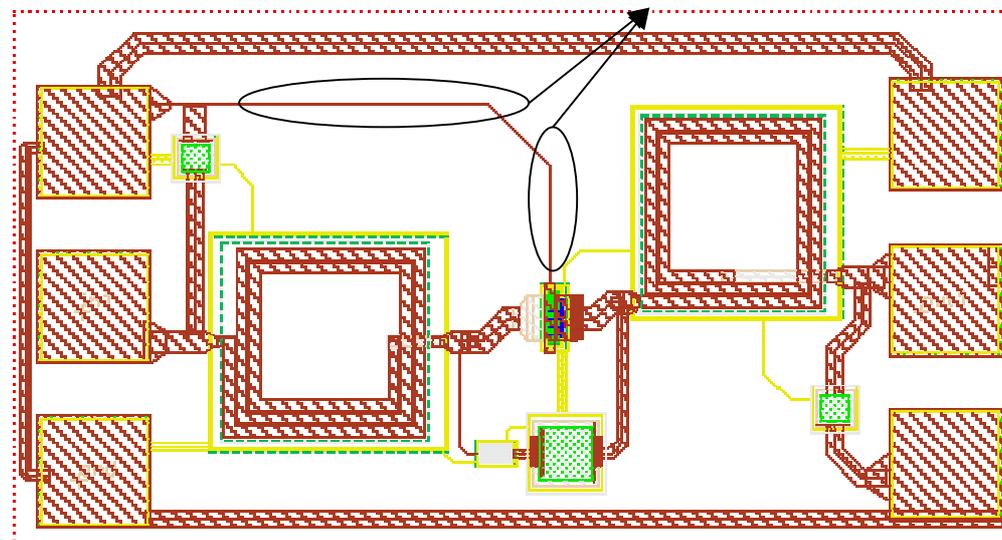


圖 3.3.1 電路佈局

在輸出 P1dB 點的結果顯示，量測結果均比模擬結果要均高出約 1~3dBm，因此電路的大訊號模型可能在 5GHz 可能有不準確的地方，目前本實驗是正在研究和建立 5GHz CMOS FET 的非線性模型，希望未來能夠應用於功率放大器的設計中。

Chap 4

CMOS 功率放大器設計及量測結果

4.1 電路架構與設計方式

功率放大器的偏壓是操作於 Class A 的模式下，以求的最好的線性度，而設計方式則如第一章所提，先利用軟體或儀器量測方式模擬出最佳化功率輸出阻抗 Z_{OPT} ，再將輸出電路作功率匹配。根據 FCC 中的規範中，輸出功率不可超過 17dBm，且 IEEE802.11a 對輸出訊號的 ACPR 有嚴格的規範，因此電路設計時的線性度是重要考量因數之一。

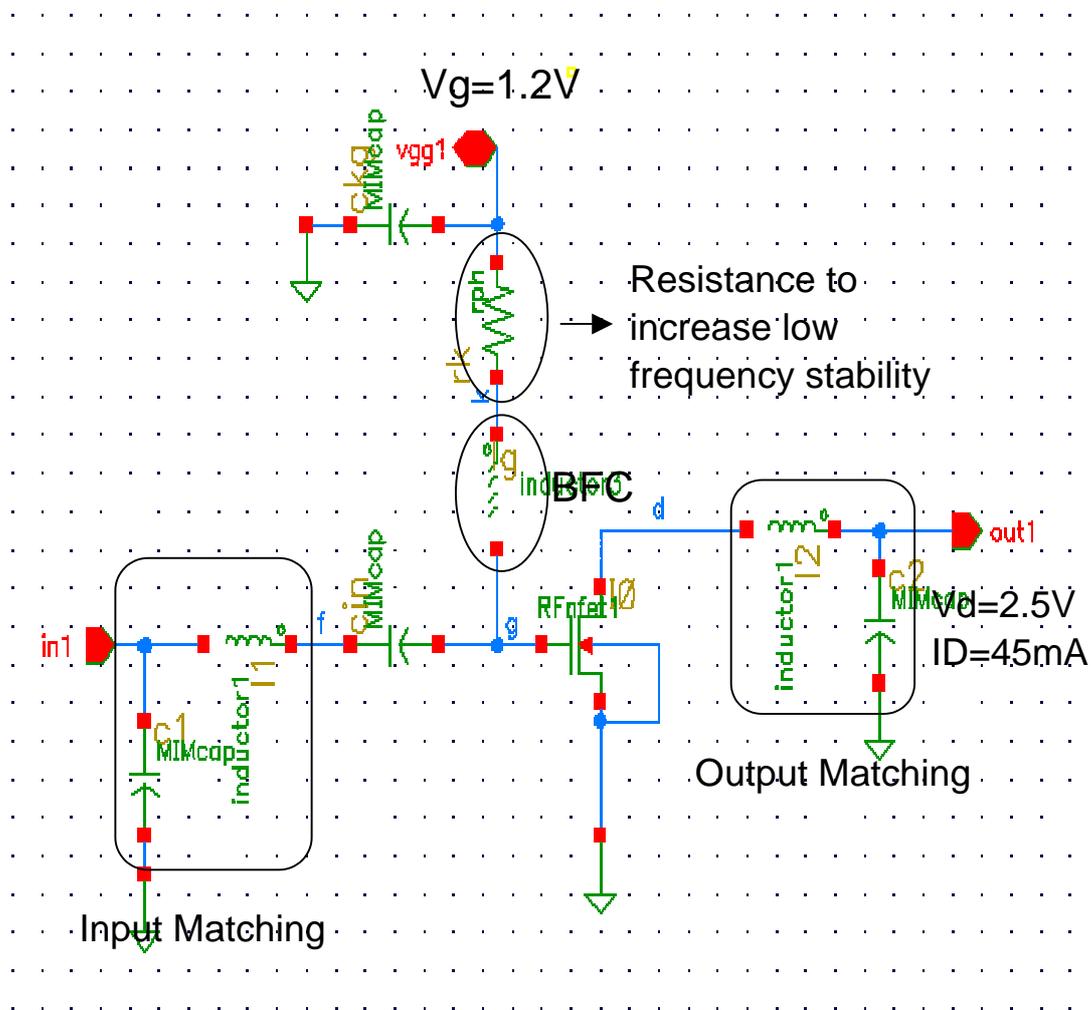


圖 4.1.1 功率放大器電路架構

4.1.1 匹配電路

在電路輸出端部分是利用軟體模擬出最佳功率輸出阻抗(Z_{OPT})，再用 L 型匹配方式將 50Ohm 轉換至該阻抗，輸入端則作利用 L 型方式作共軛匹配，由於 Foundry 所提供的螺旋電感在 5GHz 時設計不方便，因此我們利用較小圈數的電感來設計匹配電路。

4.1.2 偏壓電路及穩定電路

在偏壓電路方面，閘級是利用晶片中圈數多的螺旋電感來偏壓，感值約為 6nH，自振頻率約 6GHz，而汲級則是利用外部 Bias-T 來偏壓，以方便作 Load-Pull 量測。

電晶體閘級偏壓為 1.2V，汲級偏壓為 2.5V，汲級電流為 45mA，因此直流功率消耗約為 120mW。

在穩定度方面，爲了讓各點頻率的 K 均大於 1，降低低頻震盪的機率，我們在閘級偏壓電感前串加的一個電阻，圖 4.1.2 爲加了電阻後的結果。

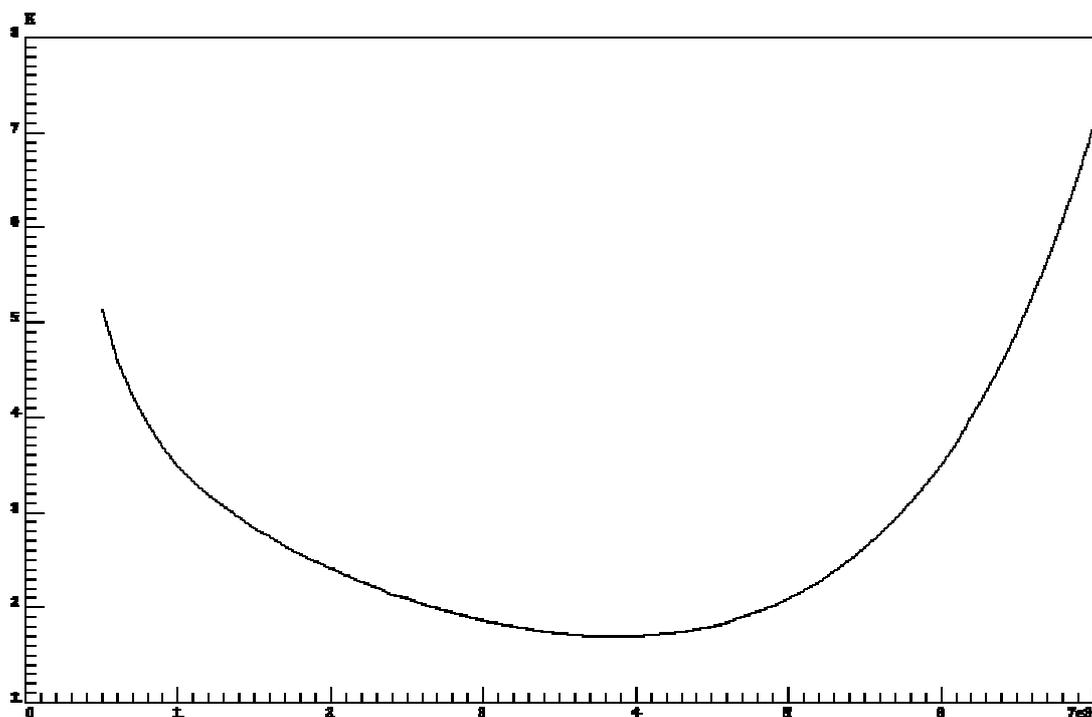
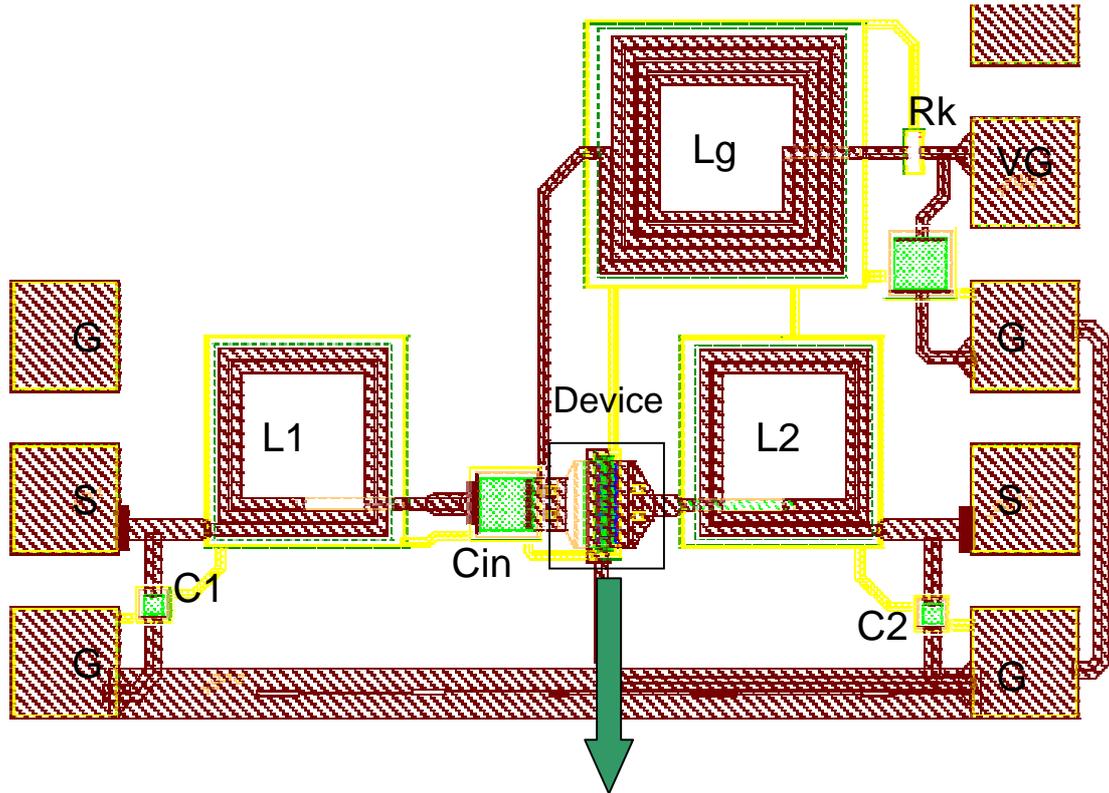


圖 4.1.2 穩定度參數(K) VS 頻率

4.2 晶片佈局及製作結果

在佈局方面，晶片是採用 GSG 的方式，以方便作高頻 On-wafer 小訊號 S 參數級 Load-Pull 量測，另外，我們也同樣佈局電路中的相同電晶體於測試電路，以方便未來偵錯用。



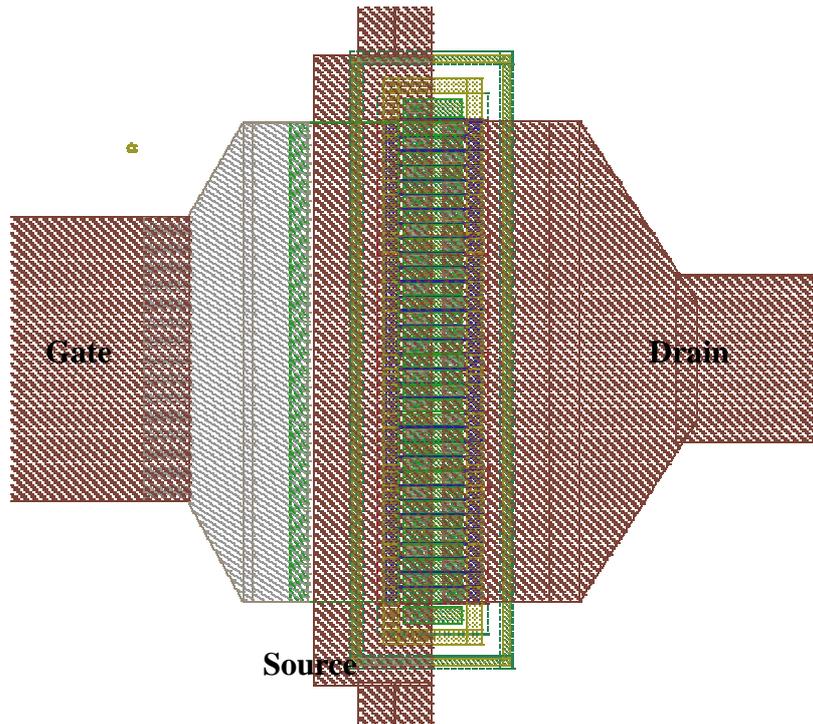


圖 4.2.1 CMOS 5GHz 功率放大器電路及元件佈局

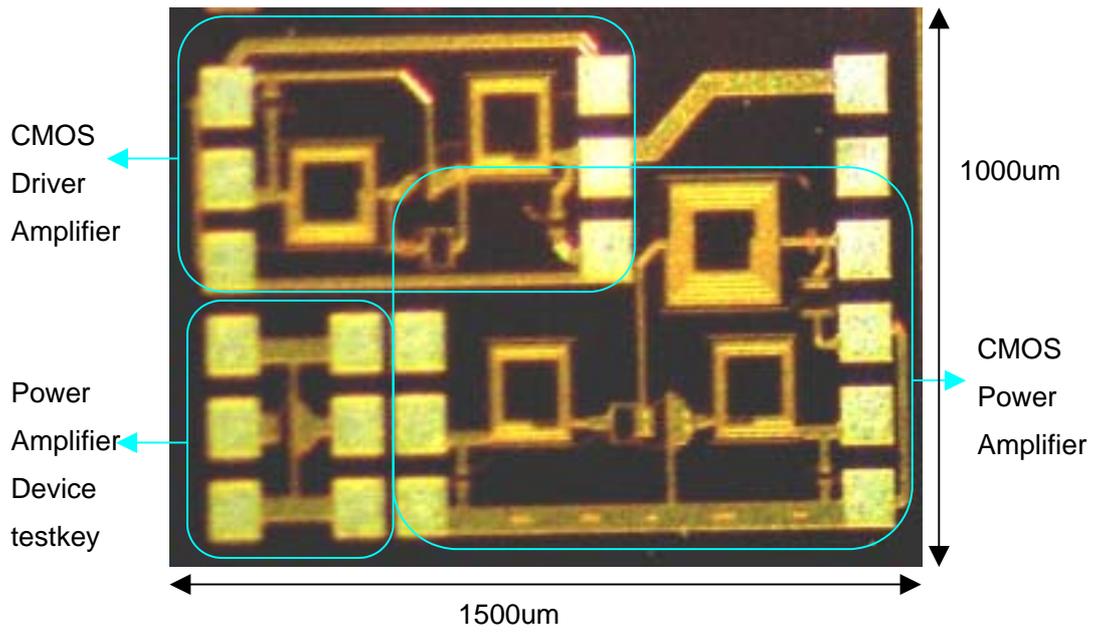


圖 4.2.2 晶片成品照片

4.3 元件與電路之模擬、量測結果

4.3.1 元件直流特性

圖 4.3.1 為元件之 IV 曲線，由圖中可以知道晶圓廠所提供的模型和實際電晶體的 IV 特性接近，對功率放大器電路來說，其操作方式是相對於偏壓點大幅擺動訊號至 IV 曲線的頂點，因此 IV 特性也同時決定了一個功率放大器的特性。

另外，由量測 IV 曲線可以得之，在電流越小時量測值和模擬值越相近，這個原因是由於汲級端的金屬拉線存在了小電阻，再通過大電流時仍會造成小小的壓降，因此電流越大時和模擬所得的 IV 曲線相差越多。

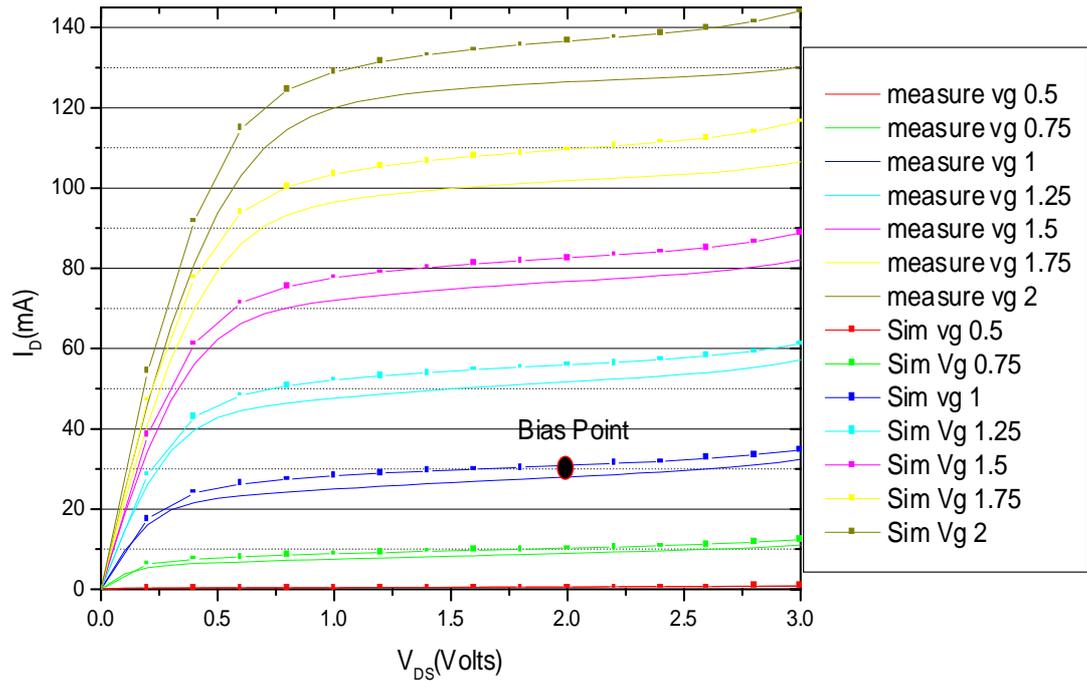


圖 4.3.1 元件 IV 特性

圖 4.3.2 可知在 V_{GS} 大於 0.9V 且 V_{DS} 大於 1V 時 G_m 為定值(大約為 0.1)，若輸入訊號之振幅很大，為了線性度及效率考量，電路是偏壓於 $V_{GS}=1.2V$ 及 $V_{DS}=2.5V$ Class A 的模式下。

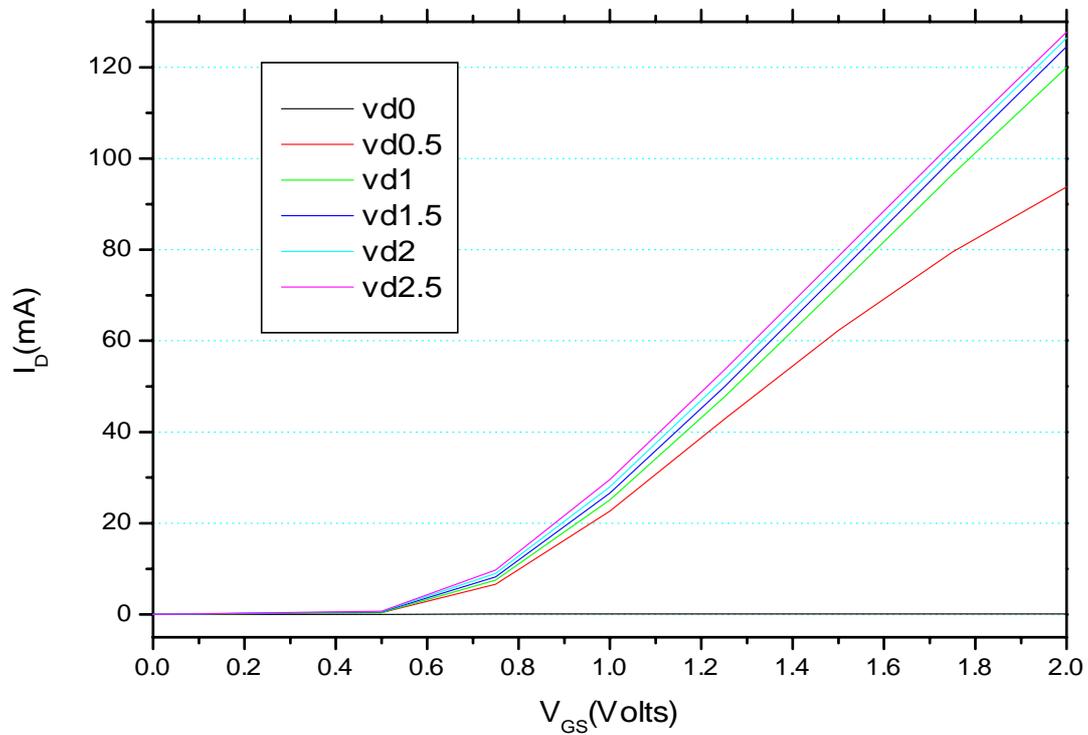


圖 4.3.2 G_m 效應

4.3.2 元件之小訊號 S 參數及 Load-Pull 量測結果

爲了驗證元件之 S 參數之特性，我們將模擬之 S 參數與量測到的結果作比較，見圖 4.3.3，電路是偏壓於 $V_{GS}=1V$ ， $V_{DS}=2V$ 及 $I_D=30mA$ 的情況下，由 S11 的量測結果顯示在輸入部分電路量測結果和模擬相近，但是在輸出部分，S22 的相位則有少許飄移，至於 S21 的振幅和模擬幾乎重合，因此整體而言元件之小訊號特性和晶圓廠所提供的 BSIM3V3 模型相近。

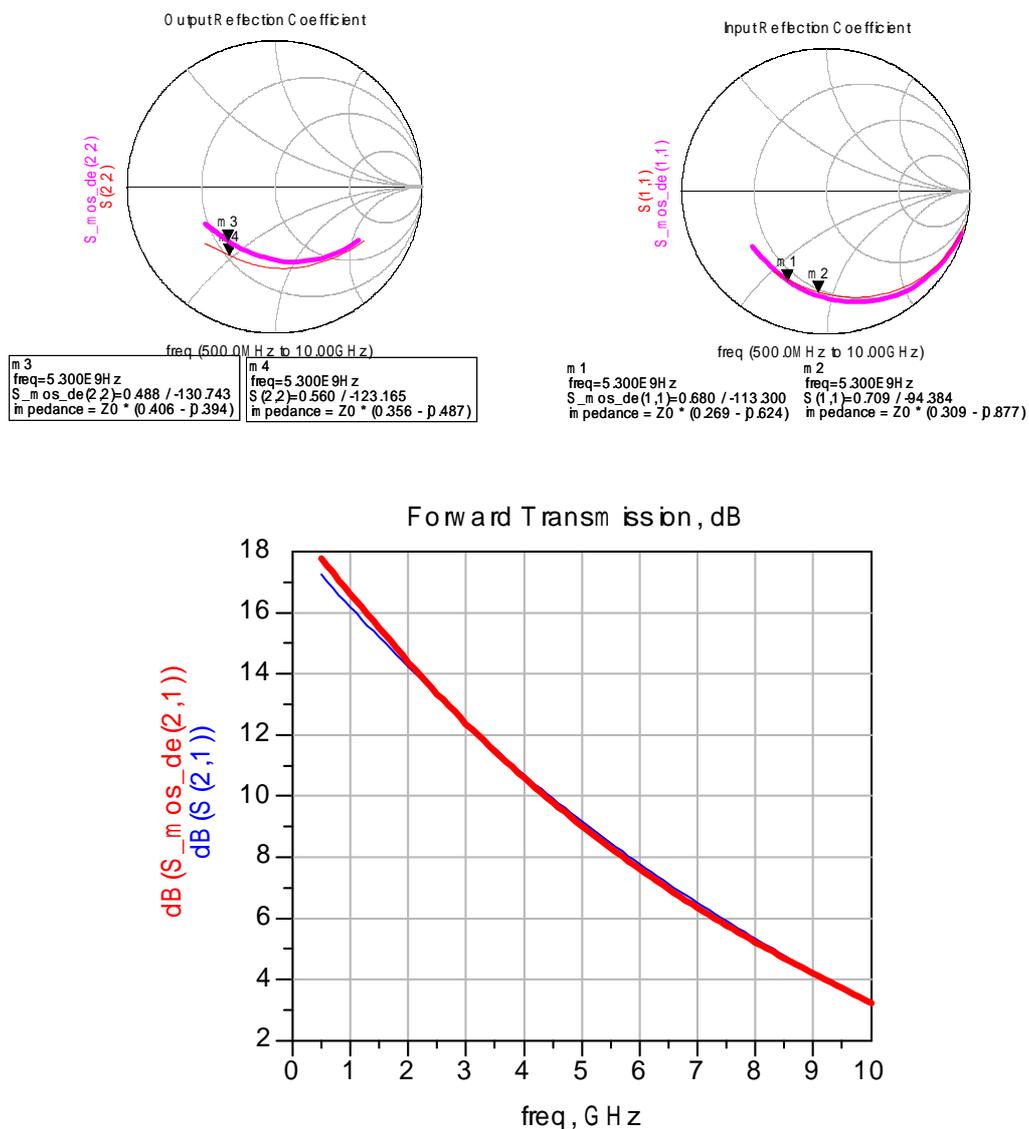


圖 4.3.3 電晶體模擬與量測之 S 參數比較

SG:SEL:NS:1;R:1;IC:MXG;IDOT:PIN;ISTB:A;
 LG:SEL:NS:61;R:5;OC:TARG:57,126.5;ODOT:POUT;OSTB:A;

P(Out) (dBm) versus Load-Output

Frequency (f0): 5.25 GHz
 Source State: 1 #231
 Source Gamma: .66 117.6
 Bias# 1
 Bias Values Read:
 Ug:1.000 V, Ig:.001 mA
 Ud:2.000 V, Id:20.000 mA

Contour Start: 9
 Contour Step: .25
 Contour Stop: 13.75
 Fitted Max: 13.819
 Mag: .645, Angle: 128.348
 Fitted Min: 8.626
 Mag: .789, Angle: 72.446
 FIT Type EXP 3 NT 10
 Power: 8 dBm

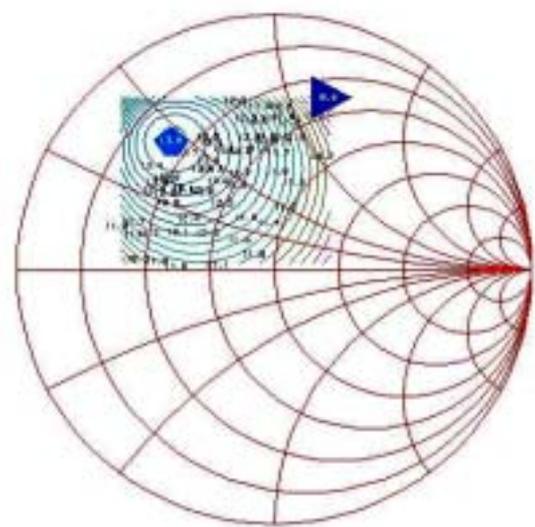


圖 4.3.4 元件 Load-Pull 結果

在 Load-Pull 量測方面，偏壓情況為 $V_{GS}=1V$ ， $V_{DS}=2V$ ， $I_D=30mA$ ，操作頻率 5.25GHz，且輸入功率為 0dBm(約 1mW)，所得的 Power Contour，見圖 4.3.4，其最佳輸出功率阻抗為 $13.1+23.8j\text{ Ohm}$ 。

圖 4.3.5 為輸出調至最佳功率輸出阻抗時的輸出功率、增益及 PAE 的量測結果，由圖中可得之，這顆元件在此偏壓下輸出 P_{1dB} 為 14dBm，在 1 dB 壓縮情況下的增益為 14dBm，PAE 為 37%。

Measurement aborted
 Power Out vs Power In

Frequency (f0): 5.25 GHz
 Source State: 1 #231
 Source Gamma: .66 117.6
 Bias# 1
 Bias Values Read:
 Ug:1.000 V, Ig:.001 mA
 Ud:2.000 V, Id:27.960 mA

Load State: 1 # 5
 Load Gamma: .57 126.5
 No compression (1)
 No compression (2)

□-□ P(Out) (dBm)
 X-X Efficiency Pwr Added (%)
 + Gain (dB)

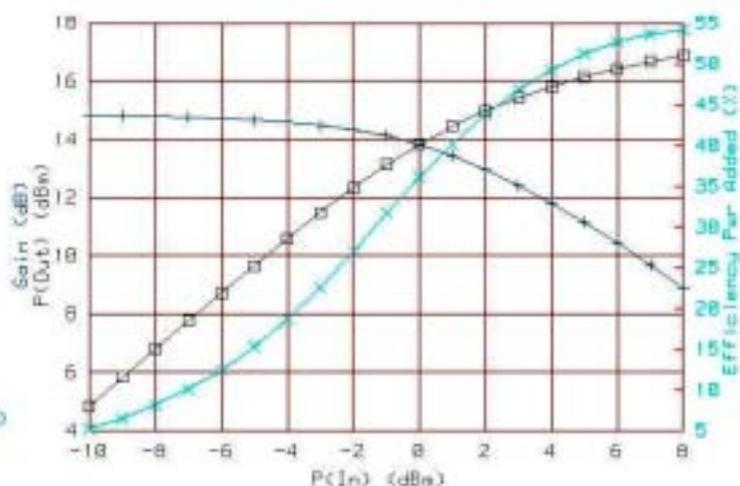
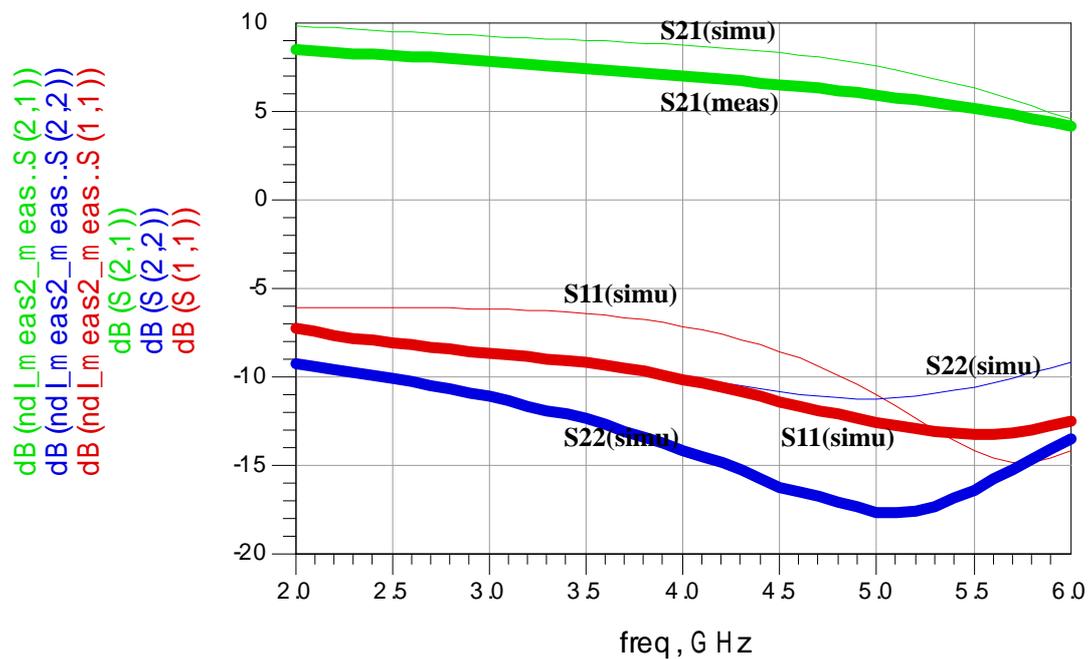


圖 4.3.5 P_{OUT} 、Gain 及 VS P_{IN}

4.3.3 電路量測

電路高頻特性量測是透過國家毫微米中心的高頻量測實驗室來進行晶片 On-wafer 量測，以減少 PCB 組裝所產生的寄生效應。

首先，在 S 參數量測方面，是利用 50GHz 向量網路分析儀 HP8510c 搭配 Cascade Probe-station，偏壓狀況為 $V_{GS}=1.2V$ 及 $V_{DS}=2.5V$ ，量測結果如圖 4.3.6 所示，其中粗線為量測結果，細線模擬結果。



量測結果顯示和模擬結果相當吻合，dB(S21)部分顯示實際量測到的功率增益比模擬是小一些，在史密斯圖上看到的 S11 及 S22 也顯示阻抗匹配也很接近當初模擬的阻抗值。

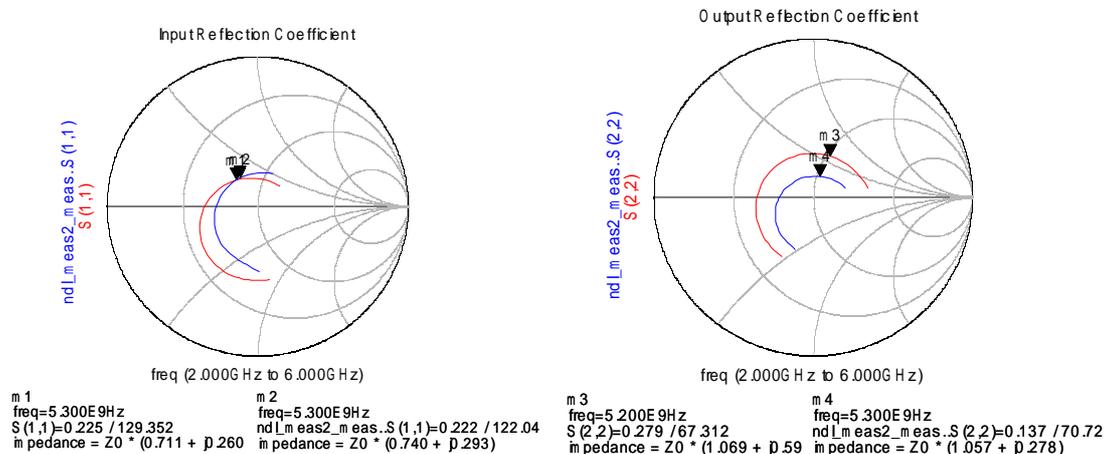


圖 4.3.6 (b) S11

圖 4.3.6 (C) S22

圖 4.3.6(a) S 參數之量測(粗線)及模擬(細線)結果比較

在功率量測方面，固定輸入功率之操作頻率，而改變其振幅大小以觀察電路特性對其所產生的關係。就直流偏壓而言，其偏壓電流大小也會隨輸入功率增加而變大，如圖 4.3.7，但因為電路是偏壓於 Class A 的狀態下，所以改變不如 Class B 或 Class C 那麼大，由圖中可觀察最大的變化大約為 6%而已。

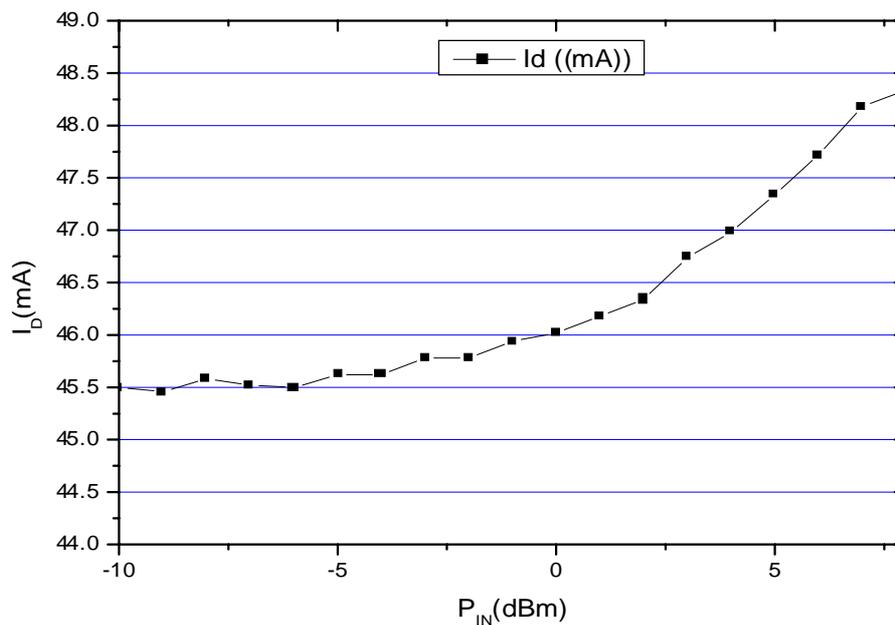


圖 4.3.7 偏壓電流對輸入功率之關係

至於 P1dB、Gain 及 PAE 對公輸入功率的關係之量測結果如圖 4.3.8 所示，其中 **P1db=13.72dBm**，**Gain=5.8dB** 及 **PAE=13%**，而圖 4.3.9(a)、(b)為模擬結果，P1dB=13.2、Gain=7 及 PAE=18.9%。

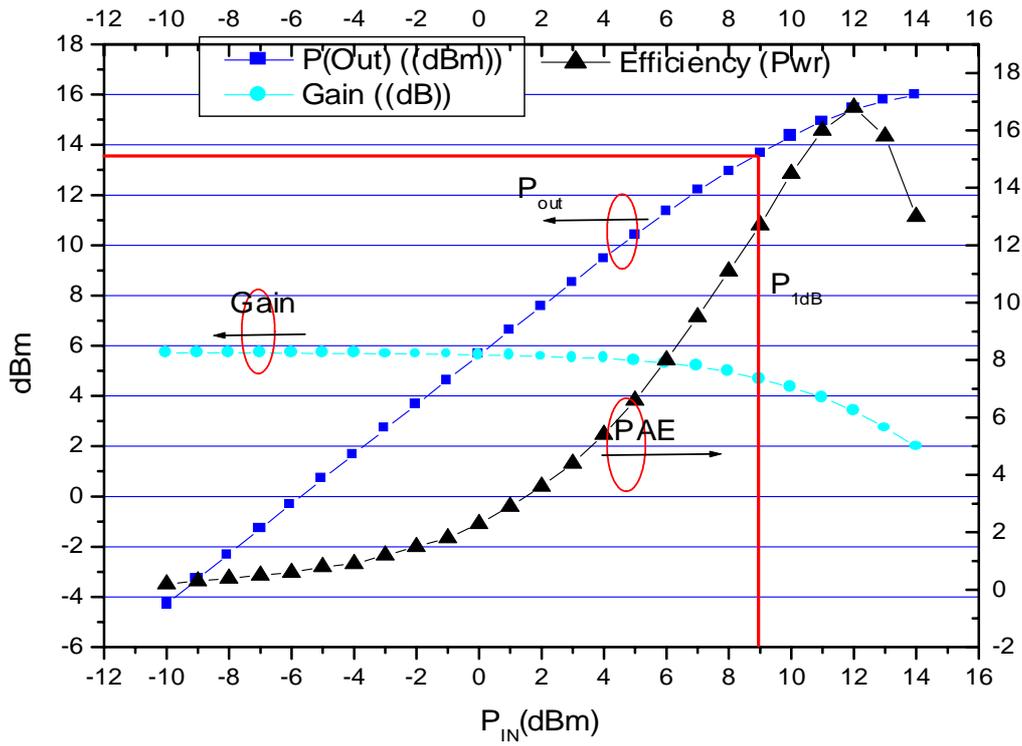


圖 4.3.8 輸出功率、增益及 PAE 對輸入功率關係之量測結果

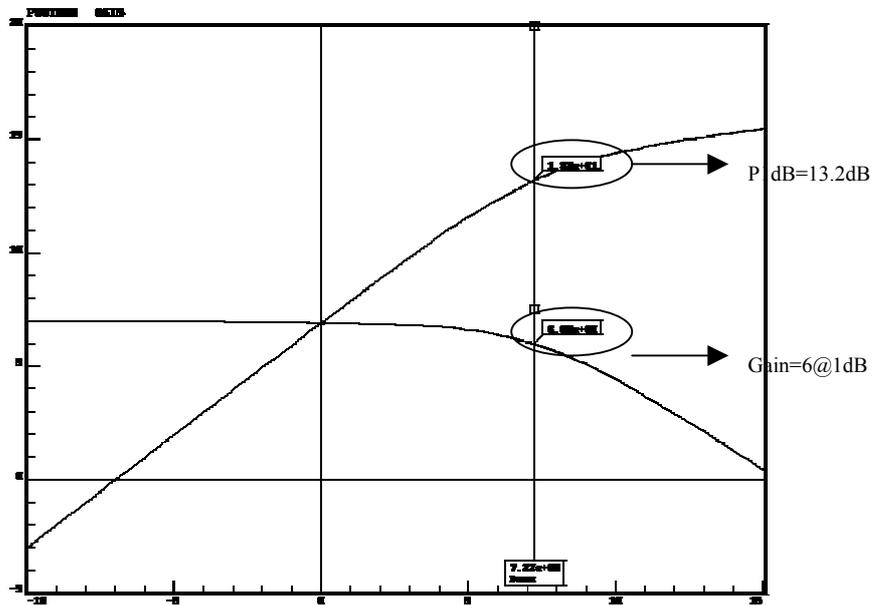


圖 4.3.9(a)輸出功率及增益 VS 輸入功率(模擬)

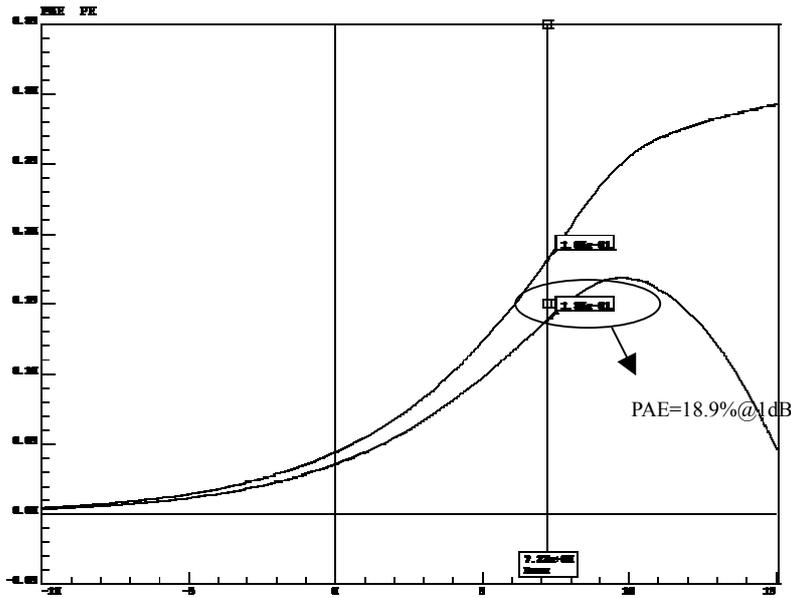


圖 4.3.9(b) PAE 及 PE 對輸入功率關係圖(模擬)

在線性度方面，我們利用 Two-Tone 量測來找出 IP3 點，如圖 4.3.10 所示，量測得 $OIP3=24dBm$ 。

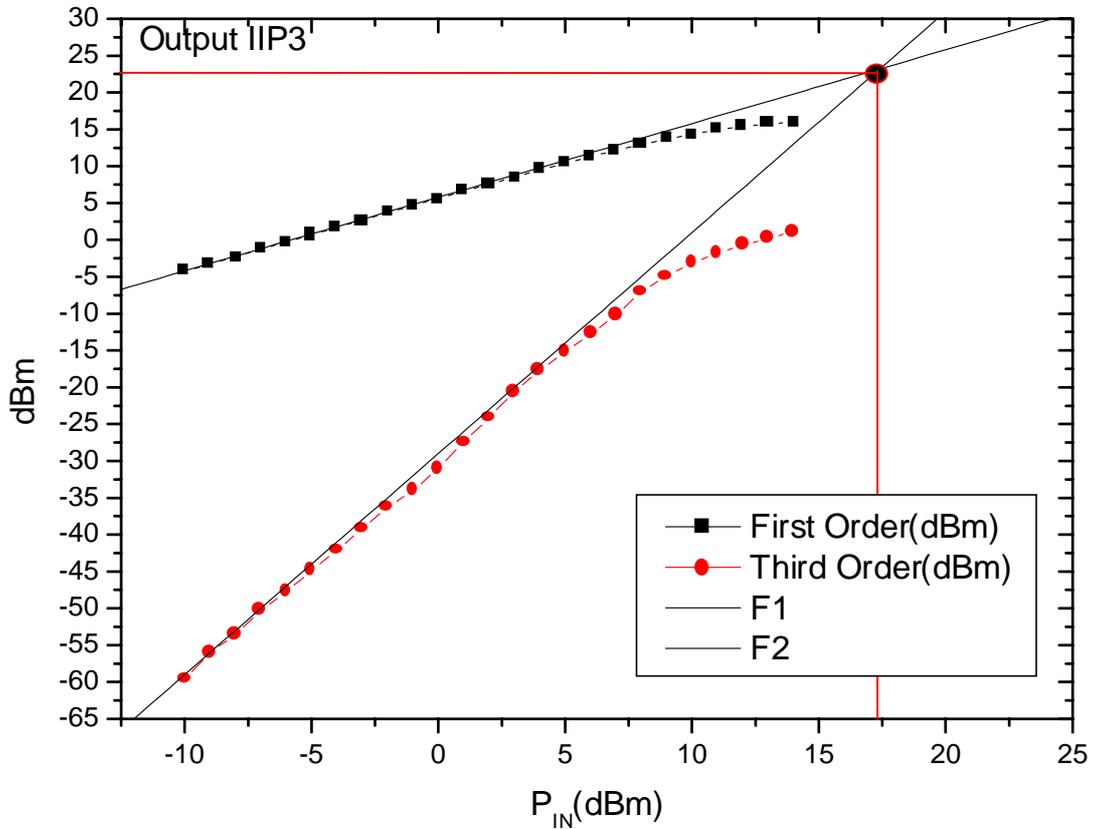


圖 4.3.10 功率放大器之 OIP3

	Simulation	Measurement
Input Return Loss	-10dB	-12dB
Output Return Loss	-10dB	-26dB
P1dB	13.2dBm	13.7dBm
Gain	7dB	5.8dB
PAE@1dB	18.9%	13%
OIP3	24dBm	23dBm

表 4.3.1 CMOS 功率放大器模擬和量測比較

由上表可知，電路非線性特性的量測結果和模擬結果相當接近(如 P1dB)，但是小訊號特性則有一點差別。

圖 4.3.11 是將整個電路作 Load-Pull 量測，並畫出 Power Contour，由圖中可以看到最大功率輸出點很接近 50ohm，此代表輸出匹配電路已經設計在接近最佳點附近了。

```
SG:SEL:NS:1;R:1;IC:MXG;IDDT:PIN;ISTB:A;
LG:SEL:NS:61;R:.5;OC:TARG: .13,-107.4;ODDT:POUT;OSTB:A;
```

P(Out) (dBm) versus Load-Output

```
Frequency (f0): 5.25 GHz
Source State: 1 #250
Source Gamma: .17 -98.8
Bias# 1
Bias Values Read:
Ug:.881 V, Ig:.881 mA
Ud:2.088 V, Id:38.328 mA
```

```
Contour Start: 18
Contour Step: .25
Contour Stop: 12.75
Fitted Max: 12.974
Mag: .143, Angle: -58.87
Fitted Min: 8.186
Mag: .783, Angle: -134.679
Fit Type EXP 3 NT 10
Power: 18 dBm
```

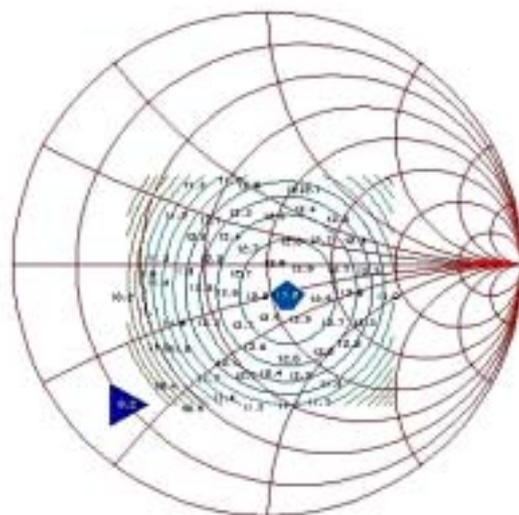


圖 4.3.11 功率放大器電路的 Load-Pull 結果

4.3.4 偏壓點對電路特性之影響

爲了探討偏壓點對電路特性之影響，另外量測了兩組偏壓點下的 P1dB、PAE 及 OIP3，

Bias 1: $V_{GS}=1.4V$ $V_{DS}=2.5V$ $I_D=64mA$ $\Rightarrow PDC=160mW$

Bias 2: $V_{GS}=1.2V$ $V_{DS}=2.5V$ $I_D=45mA$ $\Rightarrow PDC=115mW$

Bias 3: $V_{GS}=1V$ $V_{DS}=2V$ $I_D=28mA$ $\Rightarrow PDC=58mW$

，圖 4.3.11 爲不同偏壓下 P1dB、Gain 及 PAE 對輸入功率的關係圖。

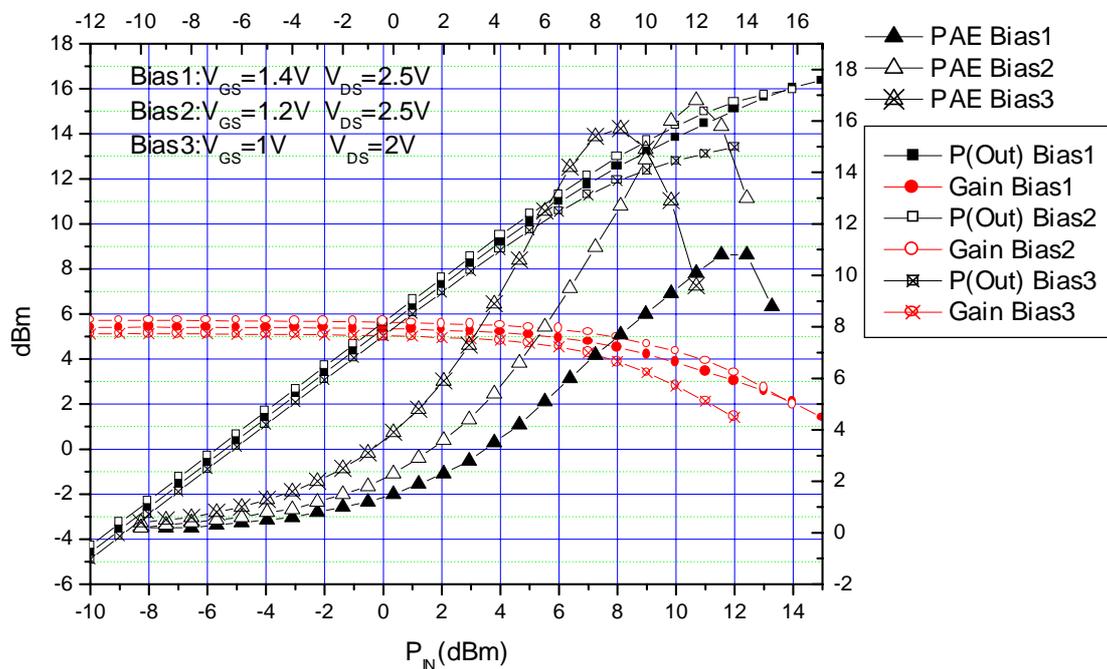


圖 4.3.12 不同偏壓下的 P1dB、Gain 及 PAE 對輸入功率關係圖

	Bias1	Bias2	Bias3
Input P1dB	8.54dBm	9.6dBm	7.58dBm
Output P1dB	12.91dBm	13.76dBm	11.66dBm
Gain@1dB	4.37dB	4.66dB	4.08dB
PAE@1dB	7.5%	12.7%	15%
Max PAE	10.8%	16.8%	15.7%

Pin@MaxPAE	13dBm	12dBm	9dBm
------------	-------	-------	------

表 4.3.2 不同偏壓下時 P1dB、Gain 及 PAE 關係

由上圖可以看出功率放大器再不同偏壓時，其 P1dB 點及 Gain 的變化並不大，但是 PAE 的變化卻很大，其中以 Bias3 的偏壓狀況下，PAE 的峰值約略就是 P1dB 點，

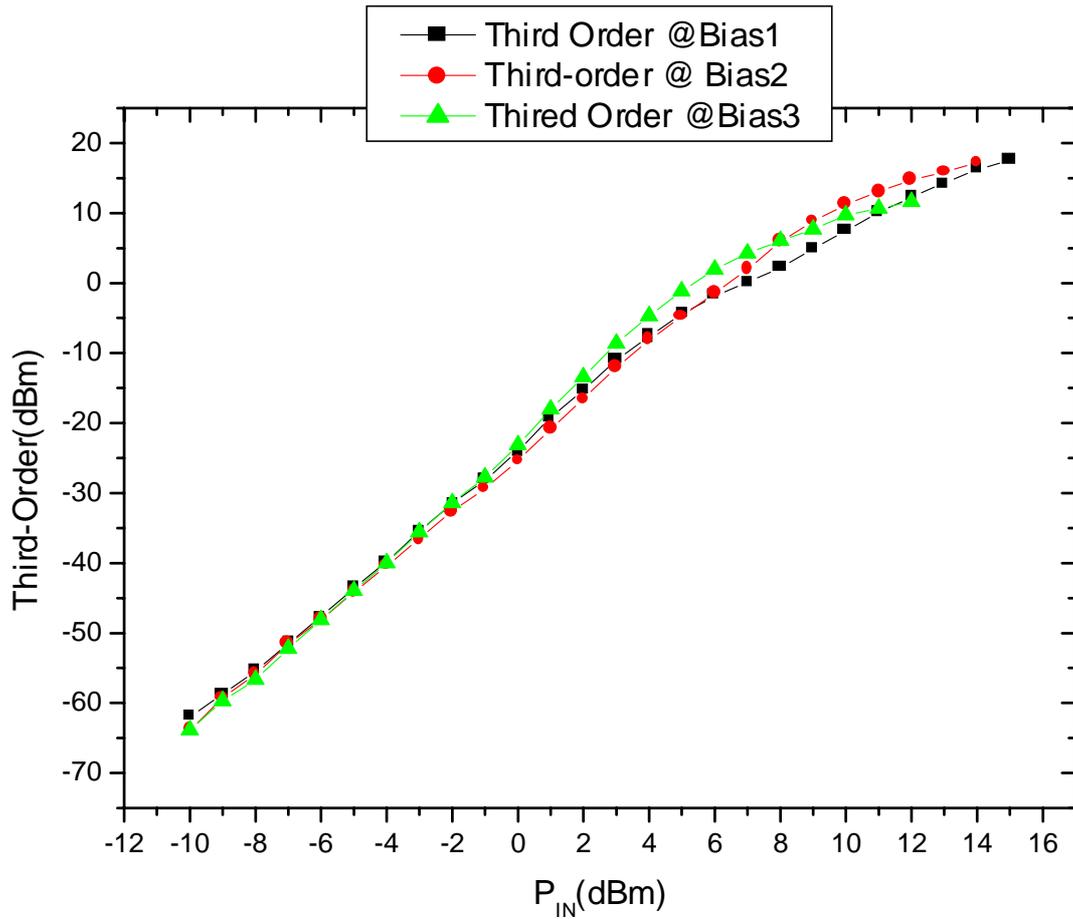


圖 4.3.13 Third order 對輸入功率關係圖

在線性度方面，可從三階能量(2f1-f2)對輸入功率的作圖可以知道，偏壓對線性度的影響不大。

4.4 結論

而和模擬結果比較，見表 4.3.1，功率特性還算準確，但是 Gain 以及 PAE 較低，最主要的原因是真實電感的 Q 值(約 5~6)未如電感模型中的 Q 值高(約 7~8)，因此造成功率損耗。

Chap 5

螺旋電感及單晶 Balun 之特性研究

5.1 螺旋電感特性研究

5.1.1 元件 De-embedding 方式

在高頻量測中，De-embedding 是爲了要扣掉除了元件本身之外的寄生效應，在低於 6GHz 的元件量測時，我們通常只將元件的 PAD 寄生效應扣除，其扣除的方式是先將量到的 S 參數轉成 Y 參數，在扣除只有空 PAD 的 Y 參數，所得的 Y 參數在轉回 S 參數，如下式所列：

$$S_{de} = S[Y_{total} - Y_{open}]$$

我們可以見下圖 5.1.1，假設在低於 6GHz 時， Z_1 、 Z_2 及 Z_3 和其寄生效應相比時很小，且 G_3 很大，因此模型可以簡化如圖 5.1.1(c),(d)，因此只剩下空 PAD 的寄生效應爲最大的影響，因此利用 Y 參數扣除(因爲是並聯寄生效應)，所得結果即爲代測元件本身的 S 參數。

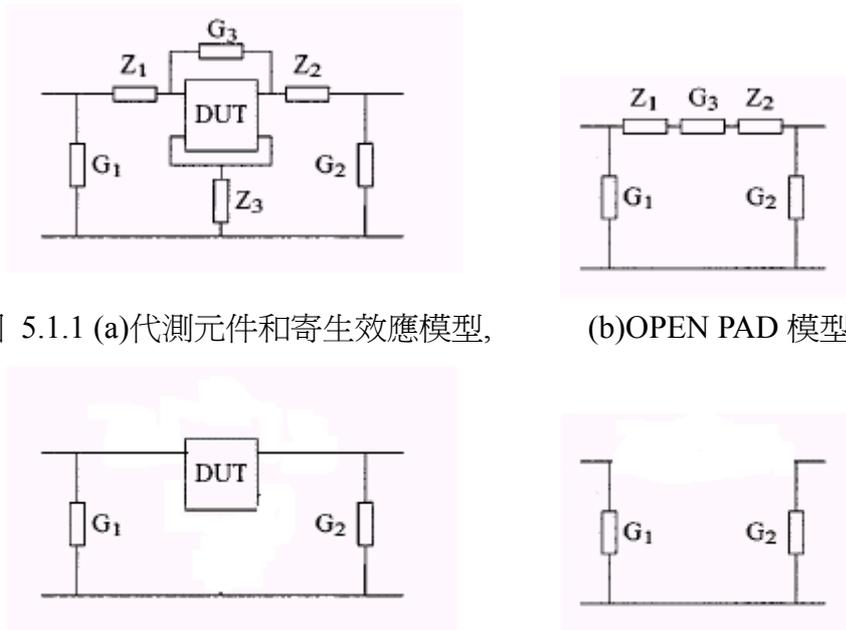


圖 5.1.1 (a)代測元件和寄生效應模型,

(b)OPEN PAD 模型

圖 5.1.1 (c)簡化後代測元件和寄生效應模型, (d)簡化後 OPEN PAD 模型

5.1.2 利用 2.5D 電磁模擬軟體

利用電磁模擬軟體 IE3D，可以有效的預測矽基板上螺旋電感的 S 參數，首先將基板及金屬的物理參數如表 5.1.1 輸入到電磁模擬軟體中，

參 數	數 值
矽基板介電常數	11.9
矽基板電阻係數	10ohm-cm
SiO ₂ 介電常數	3.9
SiO ₂ 厚度(M3-Sub)	3.62um
SiO ₂ 厚度(M4-Sub)	4.99um
SiO ₂ 厚度(M5-Sub)	6.36um
Metal5 厚度	1.3um
Metal5 電阻係數	25mohm/squar
Meat13,4 厚度	0.6um
Metal3,4 電阻係數	76mohm/squar

表 5.1.1 CMOS 0.25um 製程參數

將電磁模擬軟體所模擬的 S 參數和實際 S 參數比較，可以發現再高頻(5GHz 以上)時因為矽基板的效應變數較多且敏感，因此會和模擬的有差距，見圖 5.1.2 及圖 5.1.3，但是在低頻時仍可預測電感的特性。

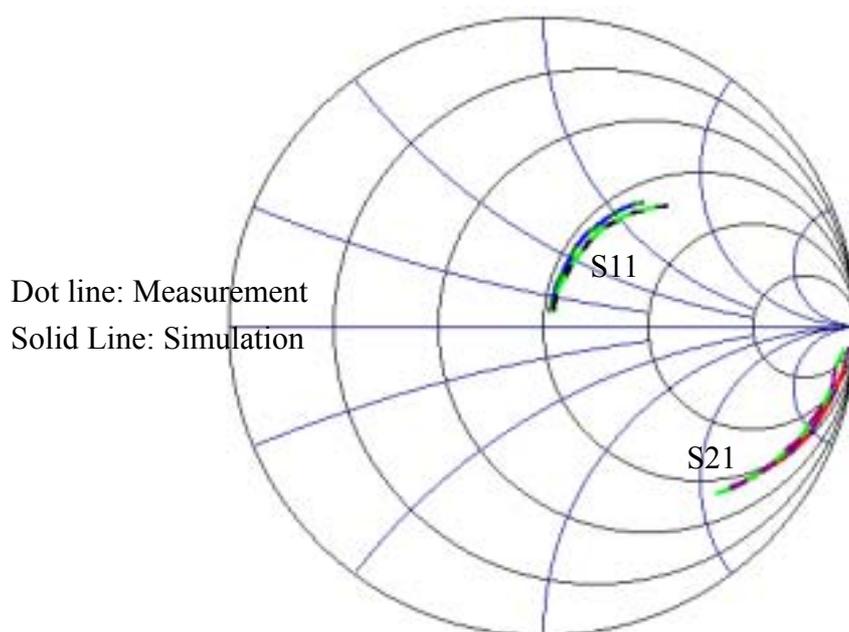


圖 5.1.2 電磁模擬結果和實際結果 S 參數比較

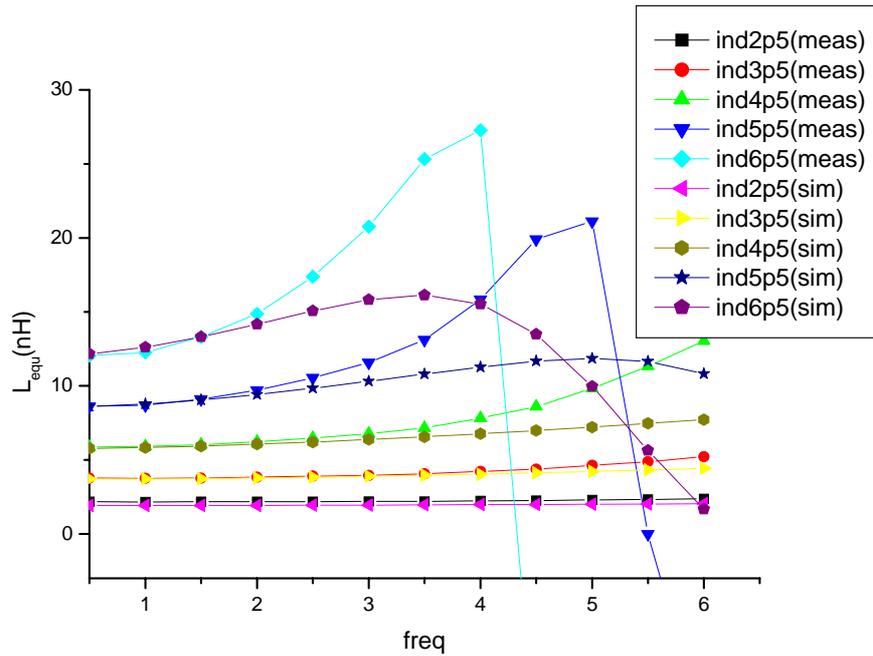


圖 5.1.3 由 EM 模擬所得之 L_{EFF} 和頻率之關係(其中 2p5 代表兩圈半電感、3p5 代表三圈半電感....等)

5.1.2 螺旋電感模型

矽基板上的螺旋電感模型可分為兩部分，見圖 5.1.2，一部分為金屬層的寄生效應，包括 L_s 、 R_s 及 C_s ，其中 R_s 是由金屬層的電阻， C_s 是金屬間的寄生電容，另一部分為矽基板所產生的寄生效應，包括 C_{ox} 、 R_{si} 及 C_{si} ，其中 C_{ox} 是由二氧化矽層所產生的寄生電容， R_{si} 及 C_{si} 是矽基板所產生的寄生電容及損耗[5]。

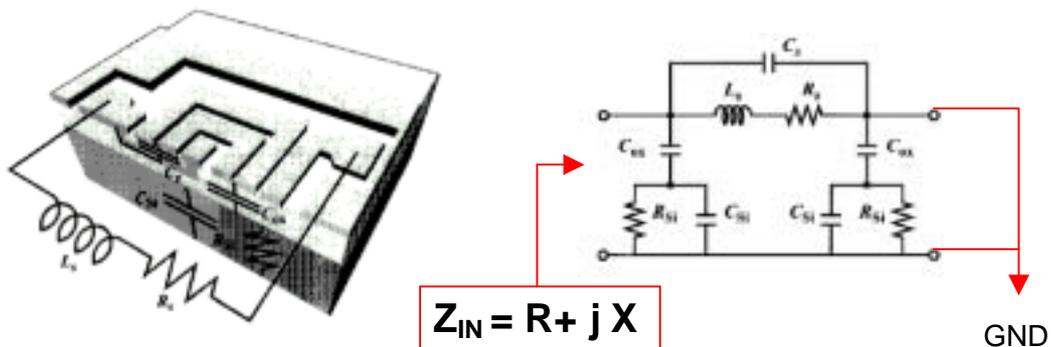


圖 5.1.3 螺旋電感模型

若要提高電感的 Q 值，最直接的的方式是將低 R_s ，一般而言，螺旋電感會設計於頂層金屬(Top Metal)，因為頂層金屬通常最厚，因此 R_s 較低；此外，可以將金屬的寬度提高，也可以降低 R_s ，但是會因為面積大而增加寄生電容，造成

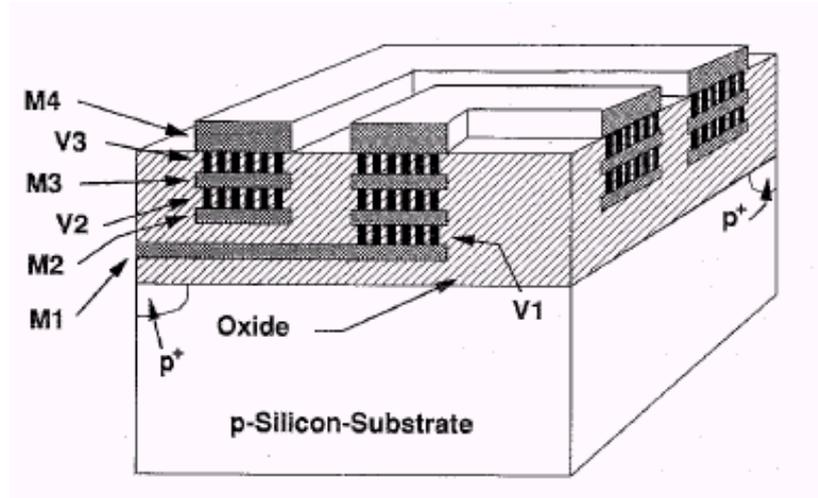


圖 5.1.3 多層金屬螺旋電感截面圖

自振頻率降低，因此我們採用雙層金屬(Metal5 及 Metal4)並聯的方式，見圖 5.1.3，降低串聯電阻 R_s ，最後經由量測結果可以看出，等效 Q 值可提高 1~2，且自振頻率卻不會降低，適合用於 5GHz 頻段的電路設計[7],[8]，在本章的最後一節將會討論將此種雙層電感應用於 5.25GHz 的 CMOS 壓控震盪器設計中，而結果也顯示量測結果和模擬結果相吻合。

5.1.2 螺旋電感量測結果

電感量測是利用 50GHz 向量網路分析儀 HP8510c 及 Cascade Probe-station，將量測到的 S 參數粹取出等效電感及等效品質參數(Q factor)，共有四種電感，分別為寬度 10um、15um、7um 及寬度為 10um 的雙層並聯金屬，每種電感共有 7 組，分別從一圈半到七圈半，圖 5.1.4 到圖 5.1.10 為經由量測到的 S 參數粹取出的 L_{EFF} 及 Q_{EFF} 對頻率之作圖，而圖 5.1.11 為電感 testkey 電路的成品照片。

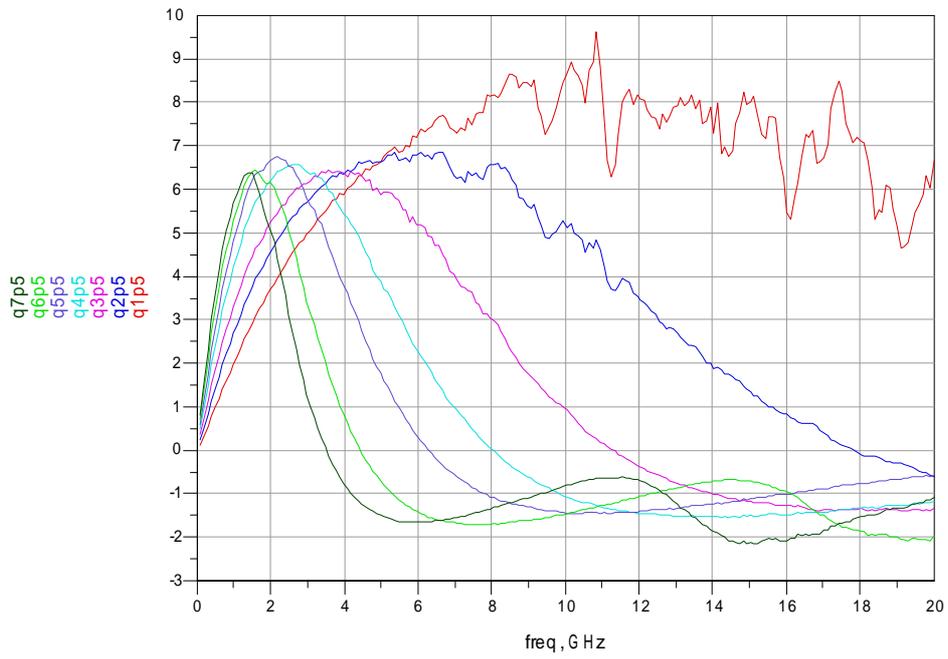


圖 5.1.4 W=10um 等效 Q 值

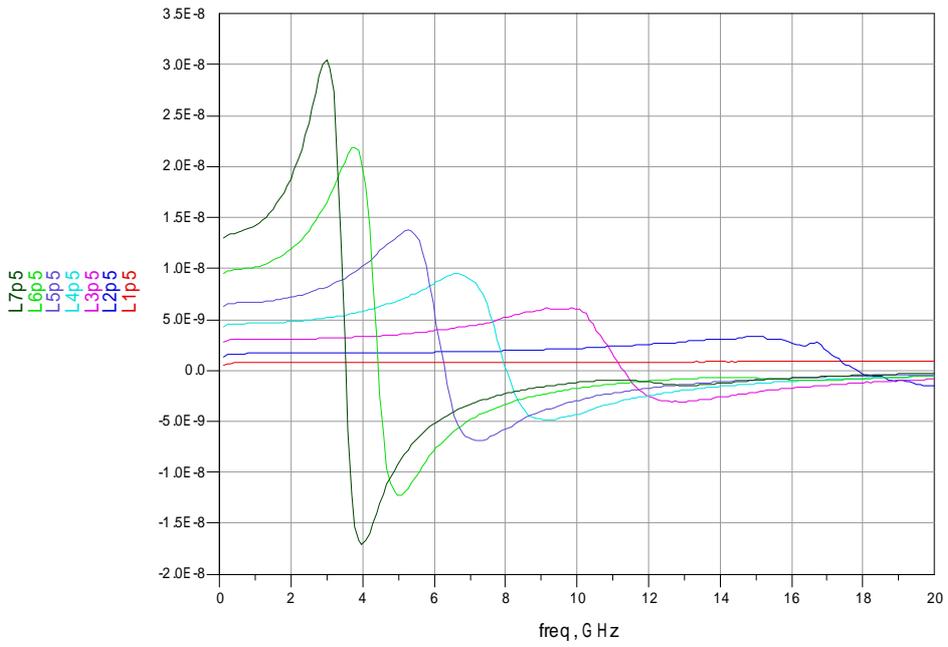


圖 5.1.5 W=10um 等效感值

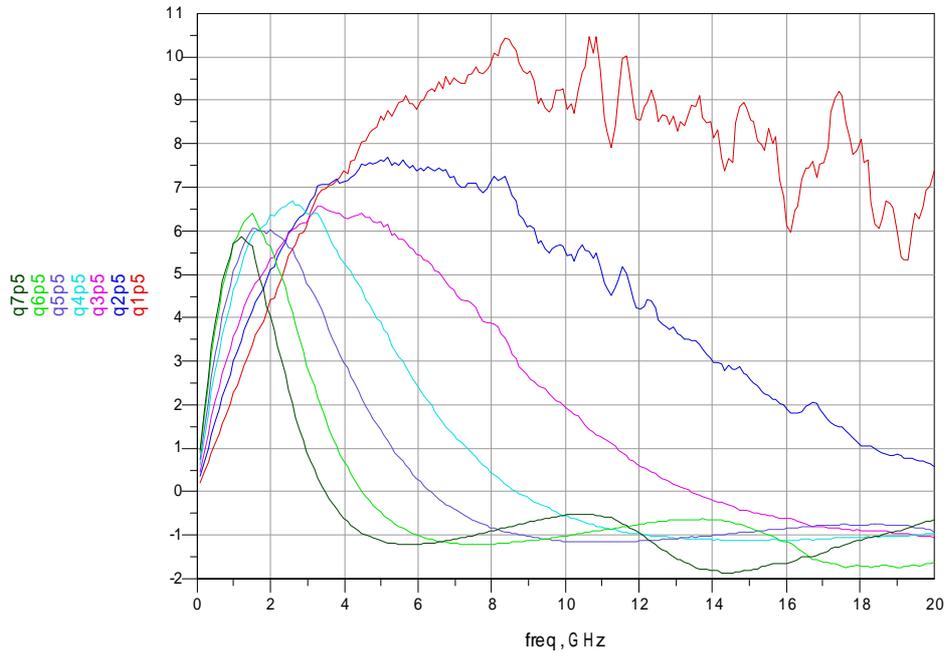


圖 5.1.6 W=15um 等效 Q 值

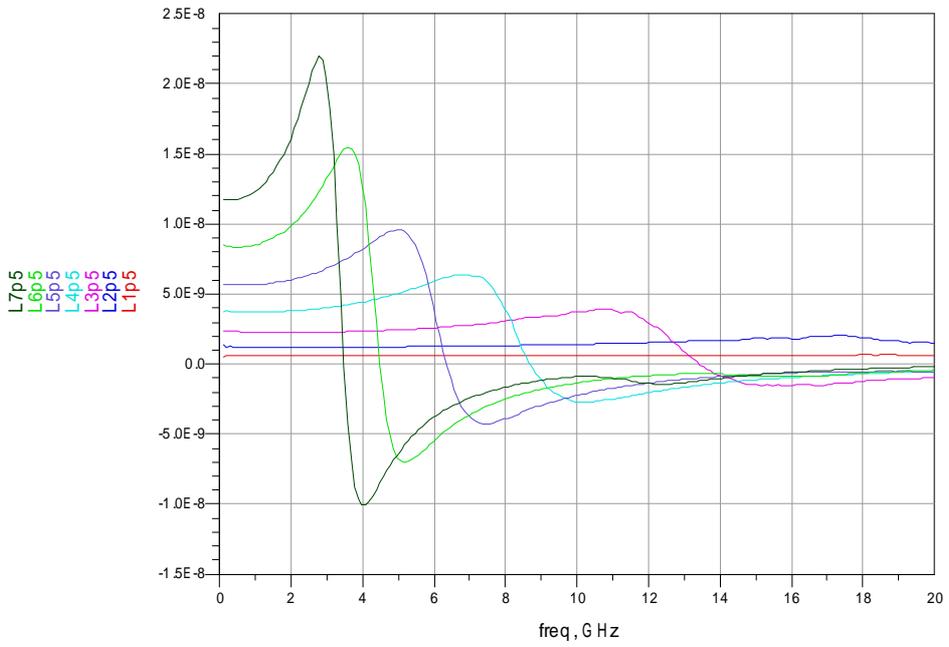


圖 5.1.7 W=15um 等效感值

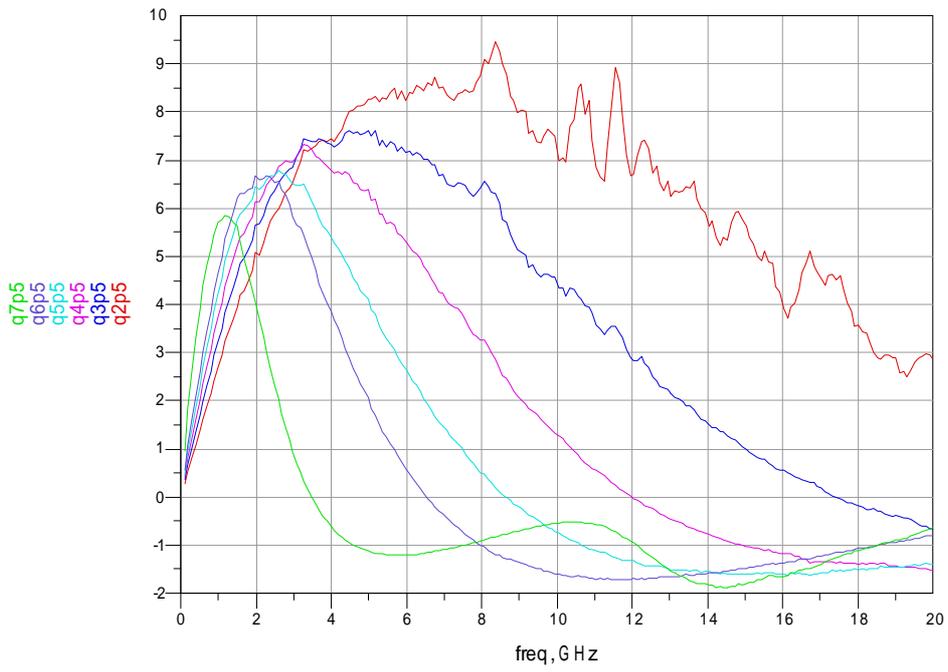


圖 5.1.8 W=7um 等效 Q 值

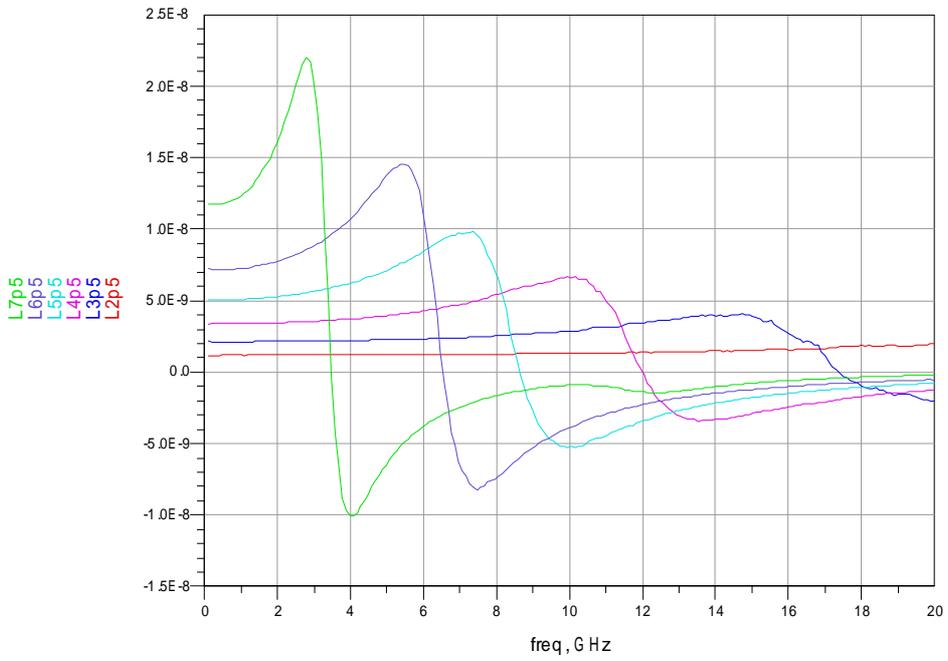


圖 5.1.9 W=7um 等效感值

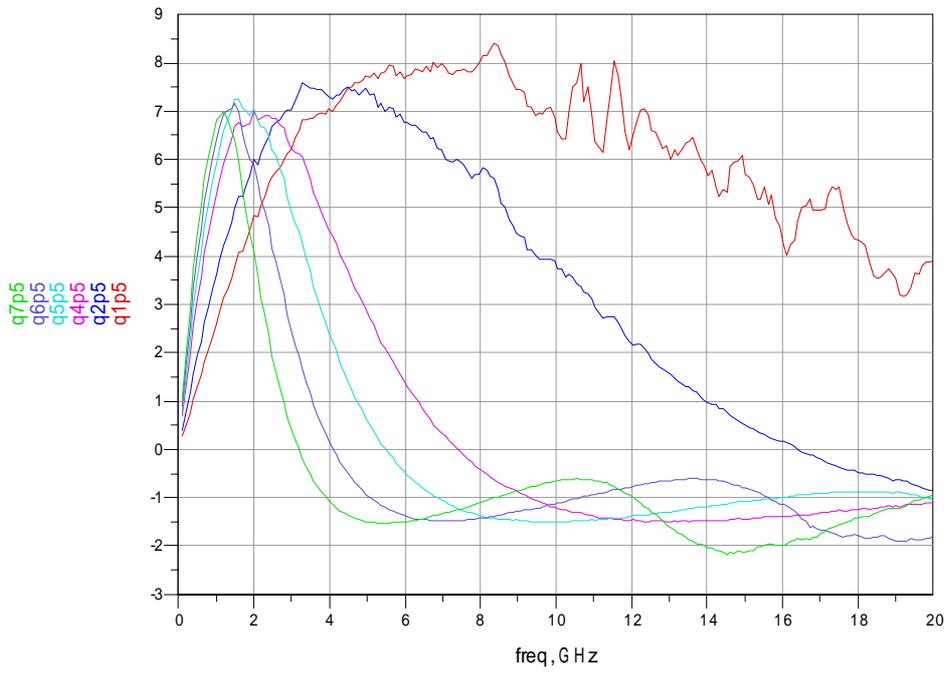


圖 5.1.10 W=10um 雙層電感等效 Q 值

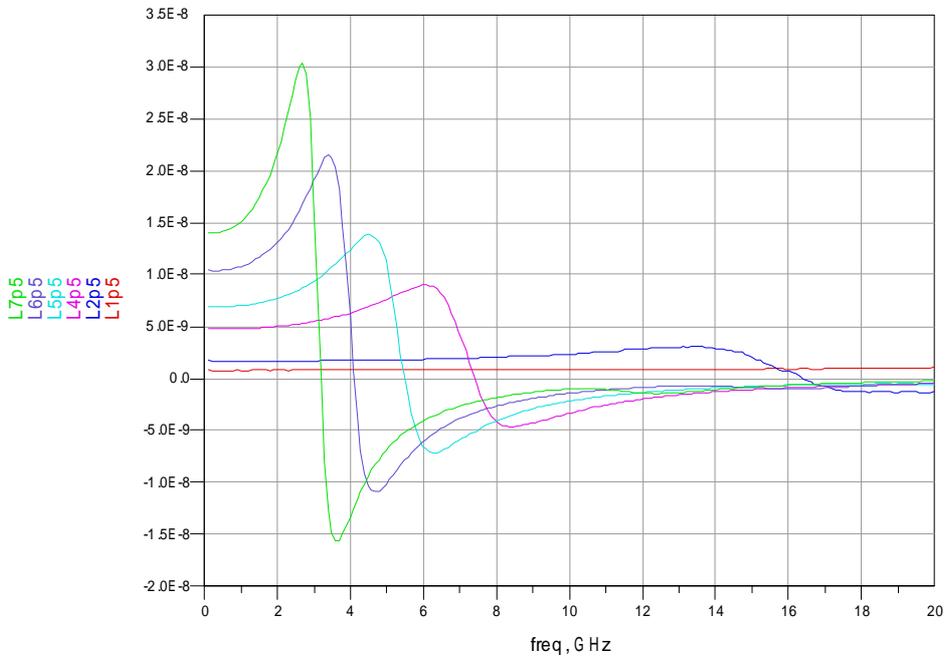


圖 5.1.11 W=10um 雙層電感等效感值

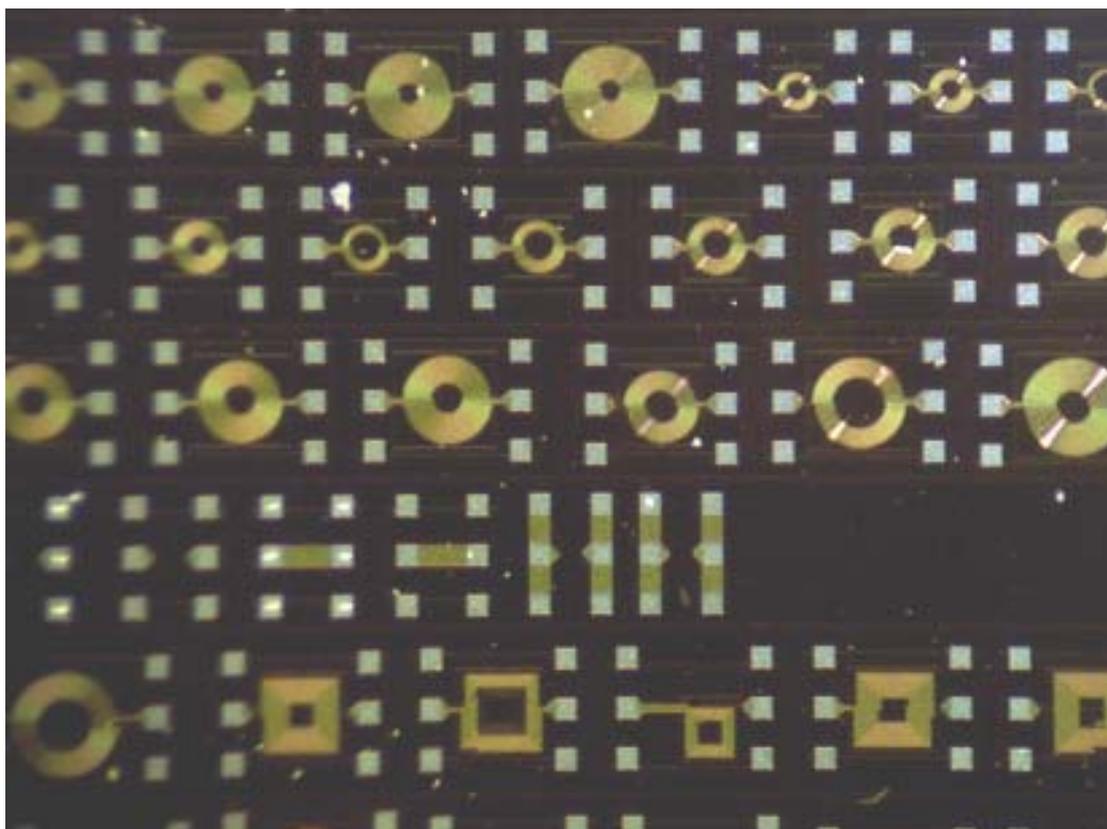


圖 5.1.12 電感 testkey 晶片

5.1.3 結果分析

由量測結果可知，若要提高電感(2~5GHz)的 Q_{eff} 值，最直接的方式是降低串聯電阻 R_s ，其中有三種方式，第一是提供金屬的導電度，例如用銅製程，但是製程上的參數並不是我們所能控制。第二種方式是增加金屬寬度，但是這種方式同時增加金屬對矽基板或對金屬的電容寄生效應，由量測結果 Q 值提升的程度也不高，第三種方式是將電感加厚，可以採取雙層電感並聯方式， Q 值可以有效的提升，但是自振頻率仍然很高，因此用雙層電感可以簡單又有效的解決 5GHz 電路設計中的需求。

螺旋電感中的 R_s 和 Q 值有很直接的關係，而 R_s 除了和線圈的長度有關係之外，也和金屬的厚度、寬度及層數，圖 5.1.13 是前一節中所量到的低頻電阻和線圈的等效長度之關係圖。

5.2 矽基板上 Balun 特性之研究

5.2.1 矽基板上 Balun 簡介

Balun(Balanced-to-Unbalanced)是雙端電路和單端電路間的一個轉換電路，通常在微波電路中，Balun是以rate-race耦合器來達到，其缺點是尺寸正比於四分之一波長，因此電路操作頻率低於15GHz時，利用此種耦合器會使晶片面積過大。在1991年，Rabjohn提出了適合於晶片中實現的對稱性Balun[9]，是利用螺旋電感對稱互繞，其幾何圖形的中間軸也同樣是Balun的對稱線，且兩段螺旋的中心點center-tap就在此對稱軸上[10]，見圖5.2.1，利用這個架構可將其用於晶片中作為Balun。

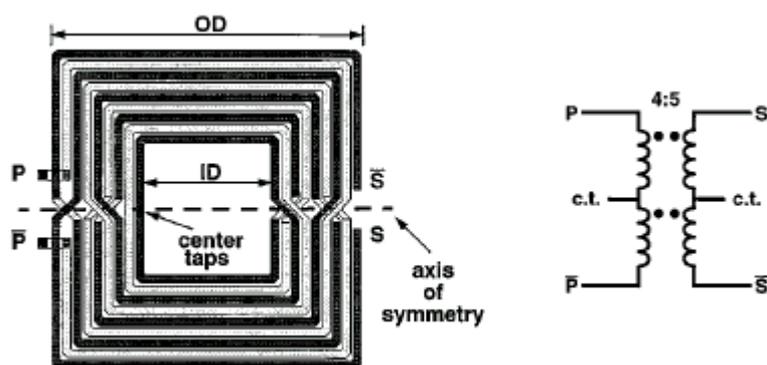


圖 5.2.1 方形 Balun

爲了研究這中種單晶式 Balun，我們下線了許多測試電路(testkey)，並且將原本方形結構換成圓形，且利用雙層金屬結構提高電感的 Q 值，進而減少損耗。Balun 的線圈比例共有 5:1:1、5:2:2、5:3:3、及 3:2:2 等四種[6]，佈局圖請見圖 5.2.2~5.2.5。

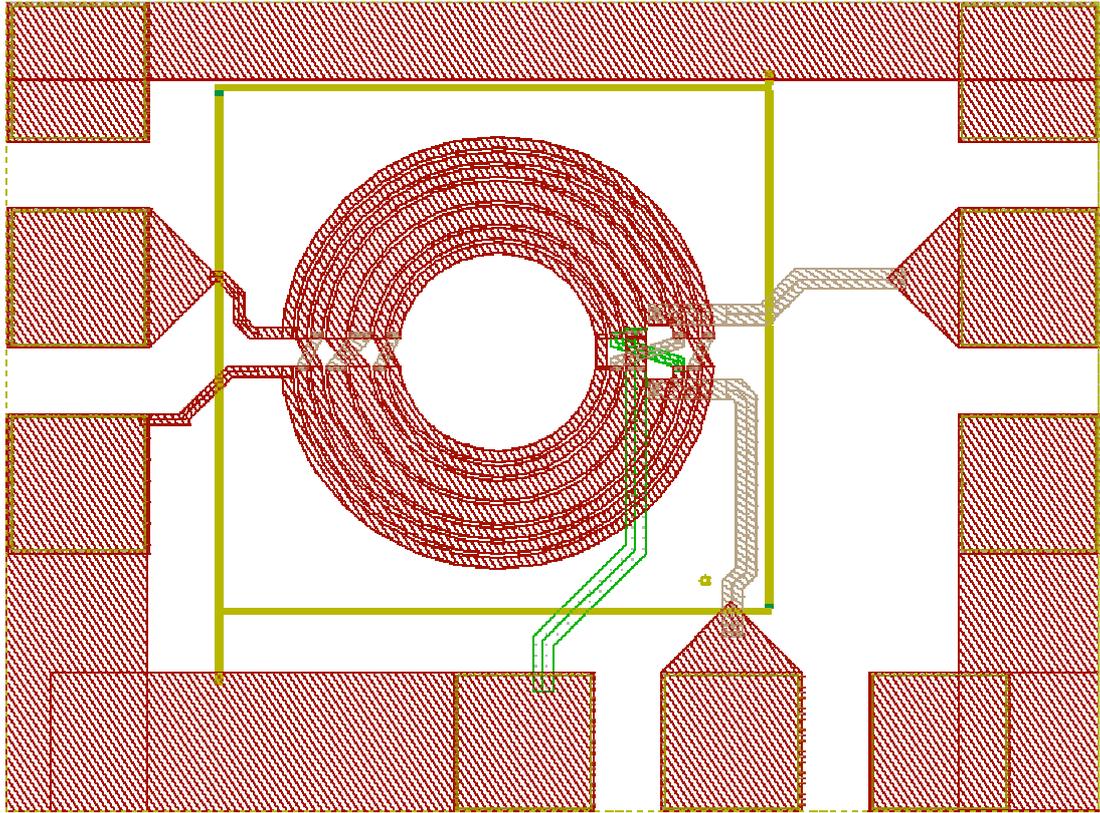


圖 5.2.2 圈數比例 5:1:1 的 Balun

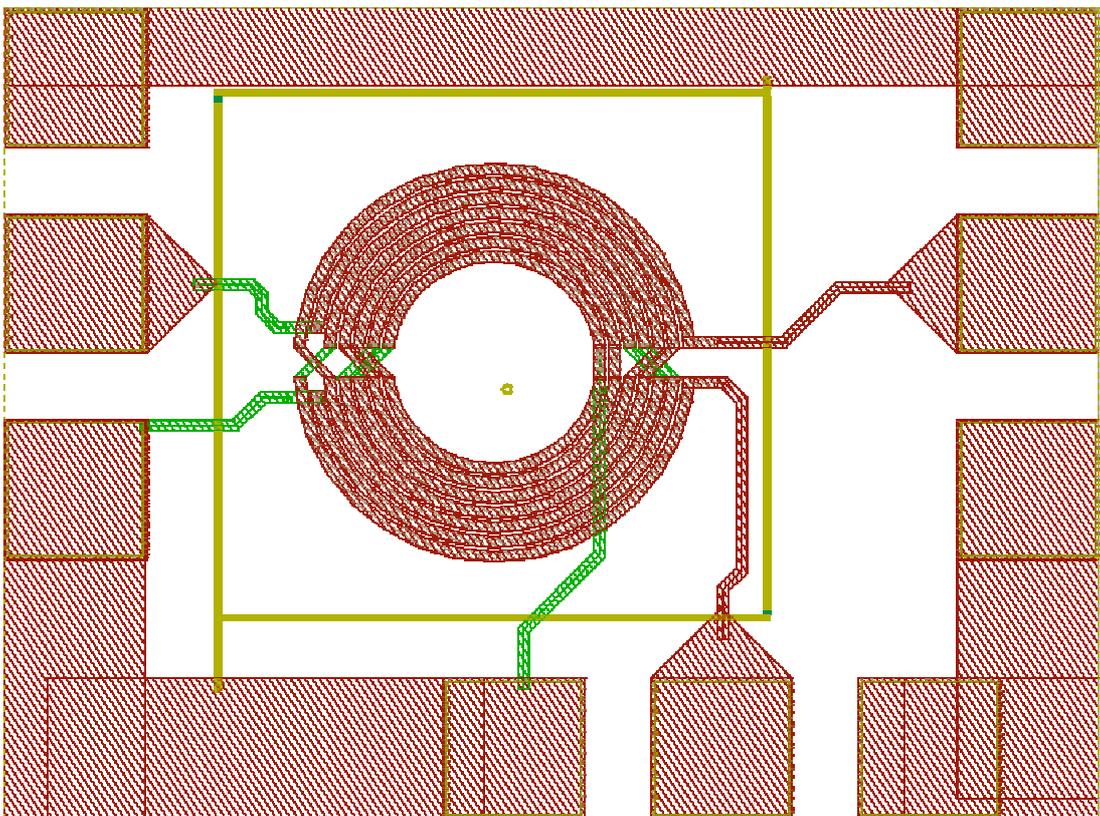


圖 5.2.4 圈數比率為 3:2:2 的 Balun

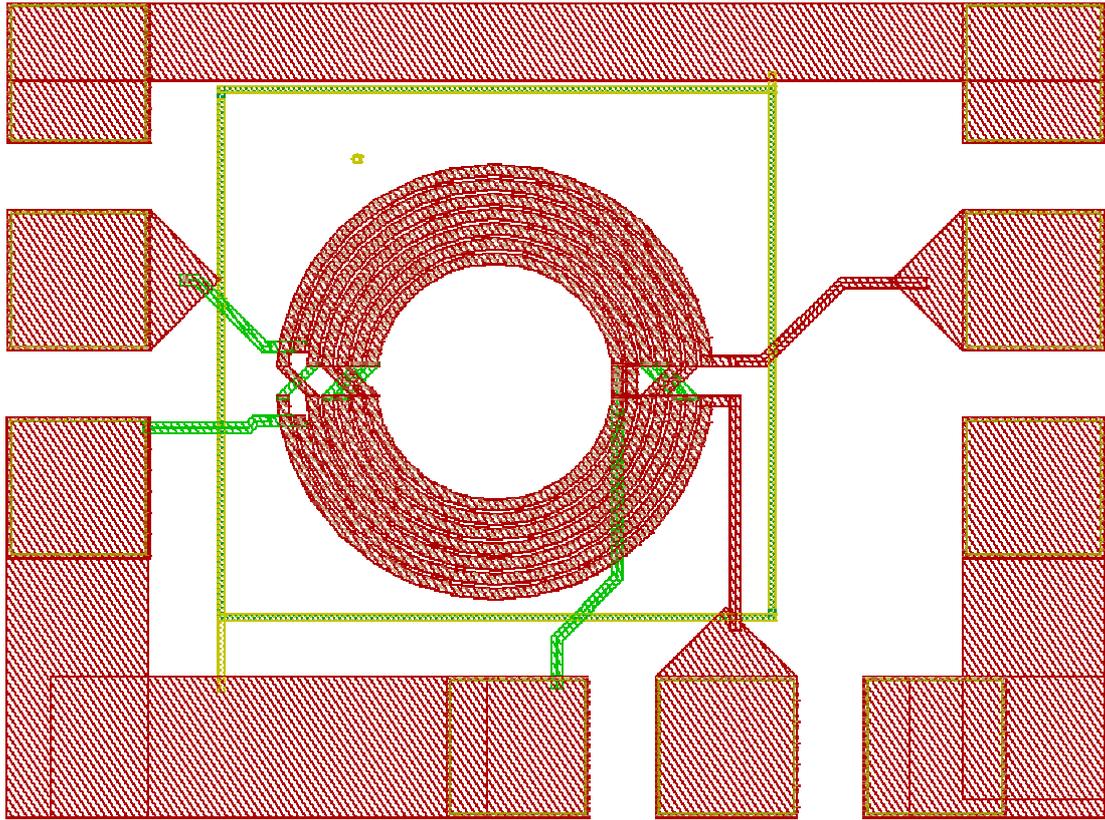


圖 5.2.5 圈數比例為 5:2:2 的 Balun

5.2.2 Balun 量測結果

Balun 的 S 參數量測是於國家毫微米高頻量測實驗室中，利用四埠向量網路分析儀進行量測，下圖是量測結果，假設第一埠為單端埠，第二及第三埠為雙端埠，比較第二埠及第三埠的相位差及 $(\text{Phase}(S_{21})-\text{Phase}(S_{31}))$ 耦合量差 $(\text{dB}(S_{21})-\text{dB}(S_{31}))$ 。

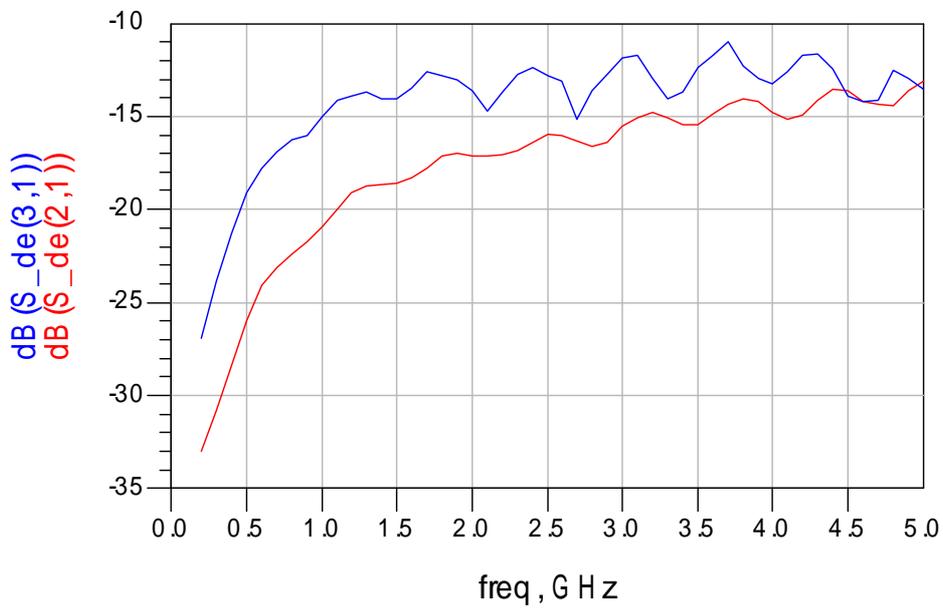


圖 5.2.6 Balun 5:1:1 的 S21 及 S31

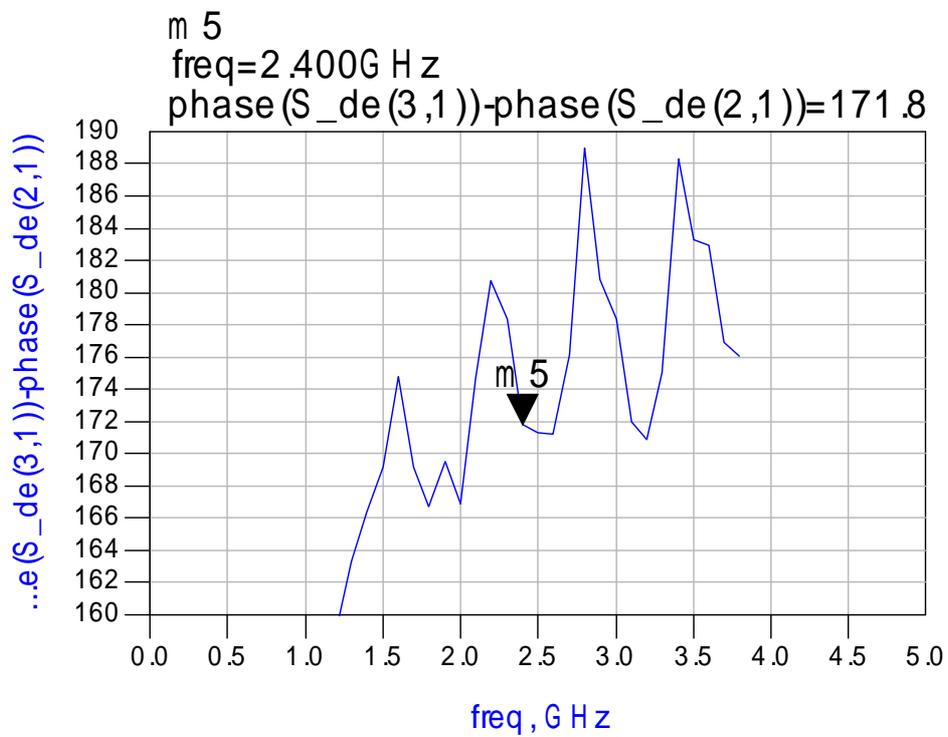


圖 5.2.7 Balun 5:1:1 之相位差

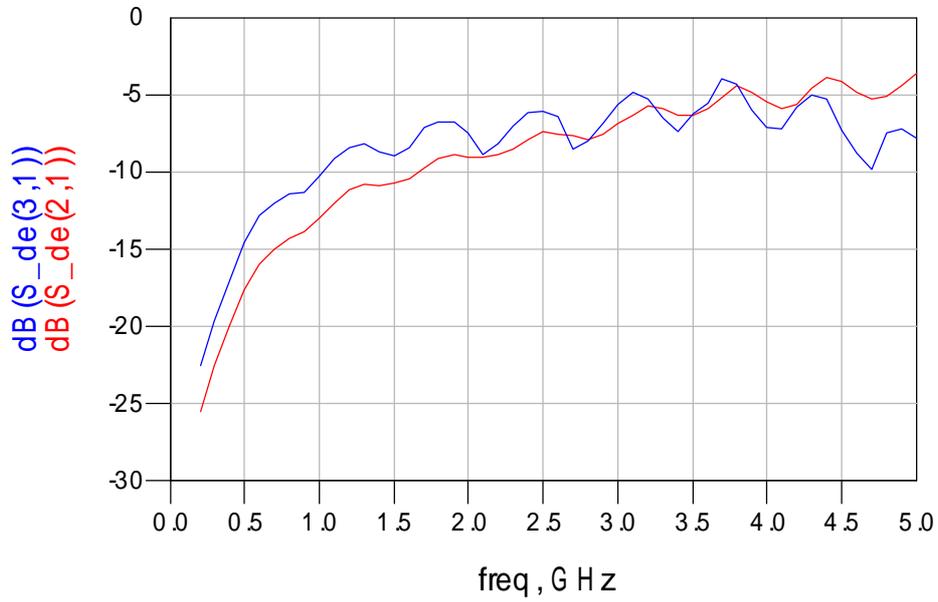


圖 5.2.8 Balun 3:2:2 之 S21 及 S31

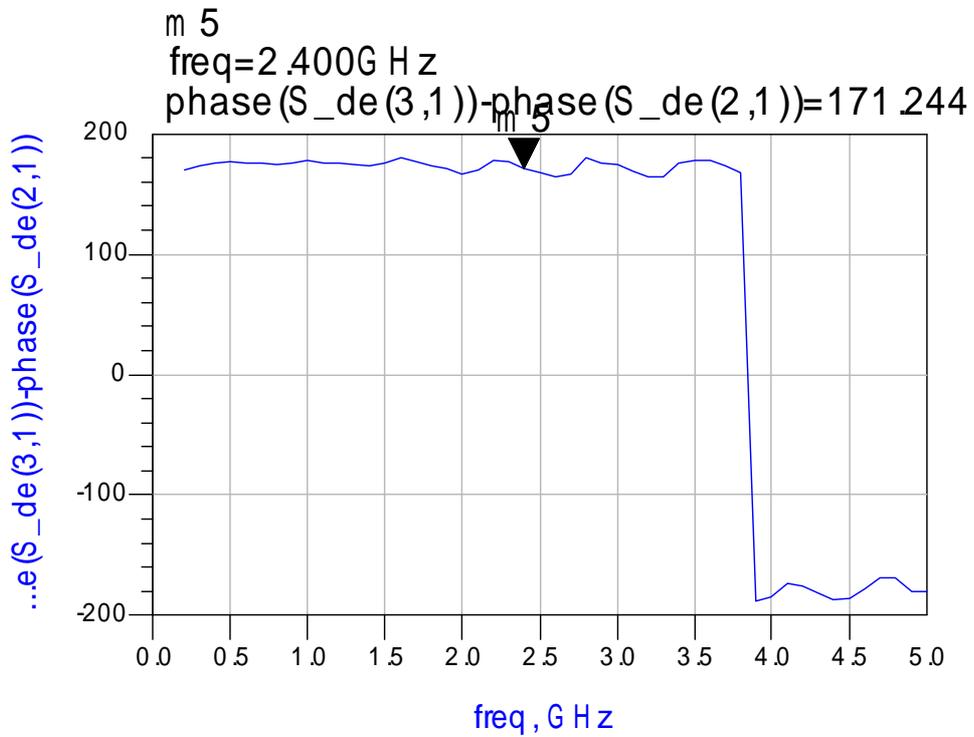


圖 5.2.9 Balun 3:2:2 之相位差

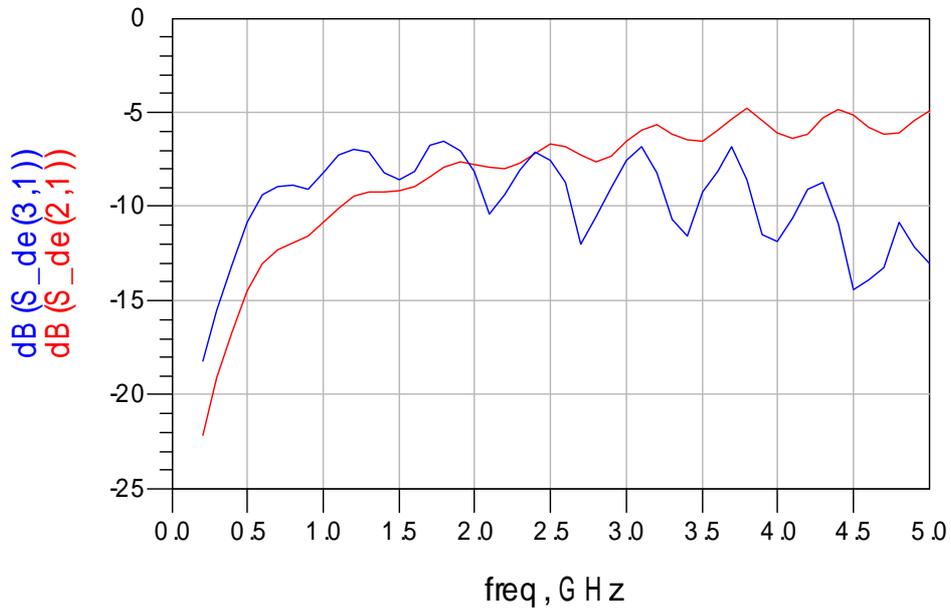


圖 5.2.10 Balun 5:2:2 之 S21 及 S31

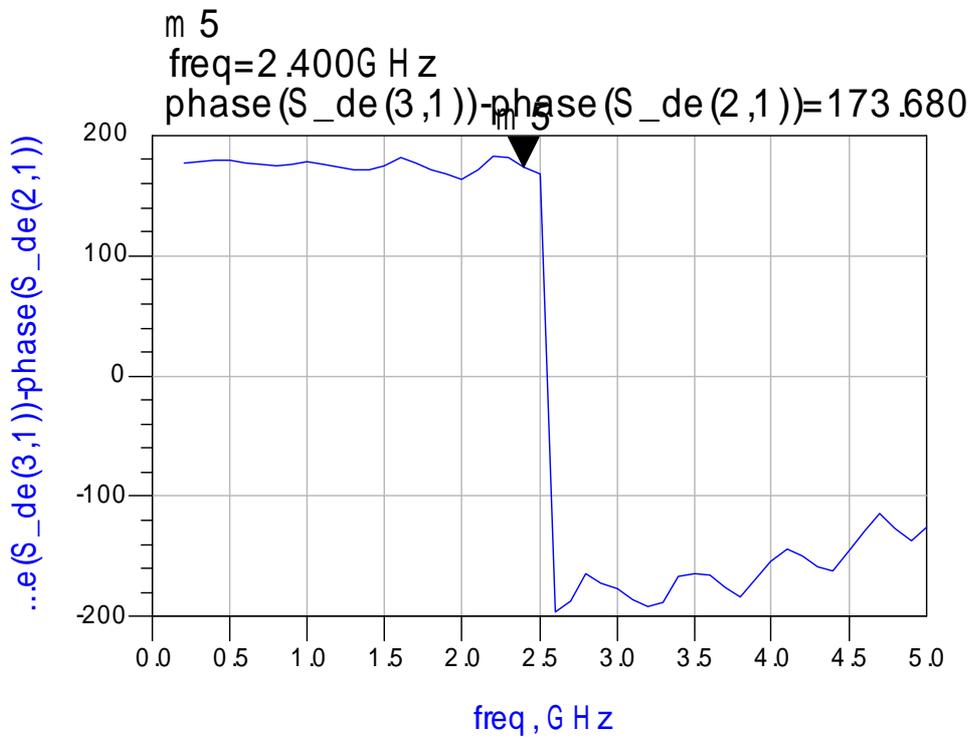


圖 5.2.11 Balun 5:2:2 之項位差

5.2.3 結果討論

若將 Balun 實際應用於電路中，Balance 端分別接上 50ohm 負載，在 Port1 針對操作頻率作阻抗匹配(假設為窄頻電路)，則結果顯示相位差仍然保持接近 180 度，但是功率耦合量則為-7dB 左右，比起-3dB 少了 4dB，需要再加一級放大器才能將功率增益補償回來，同時也增加了許多電路成本。

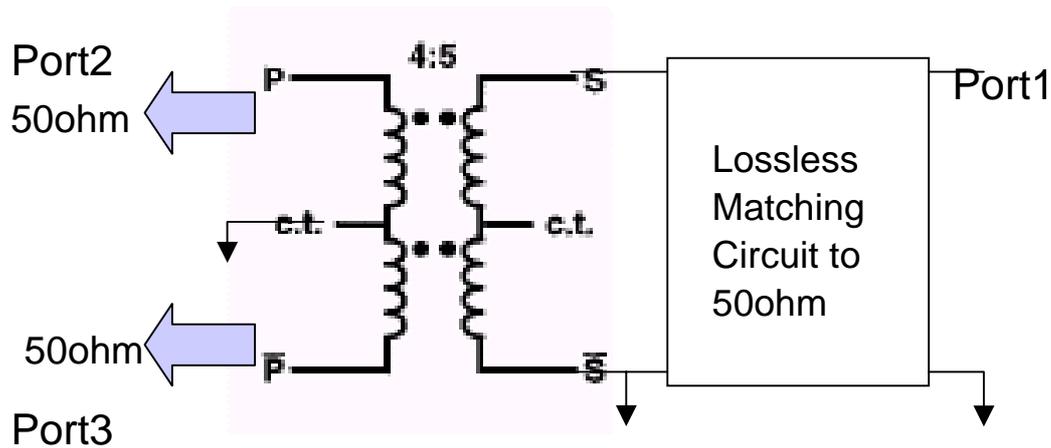


圖 5.2.12 Balun 實際應用於電路中之特性

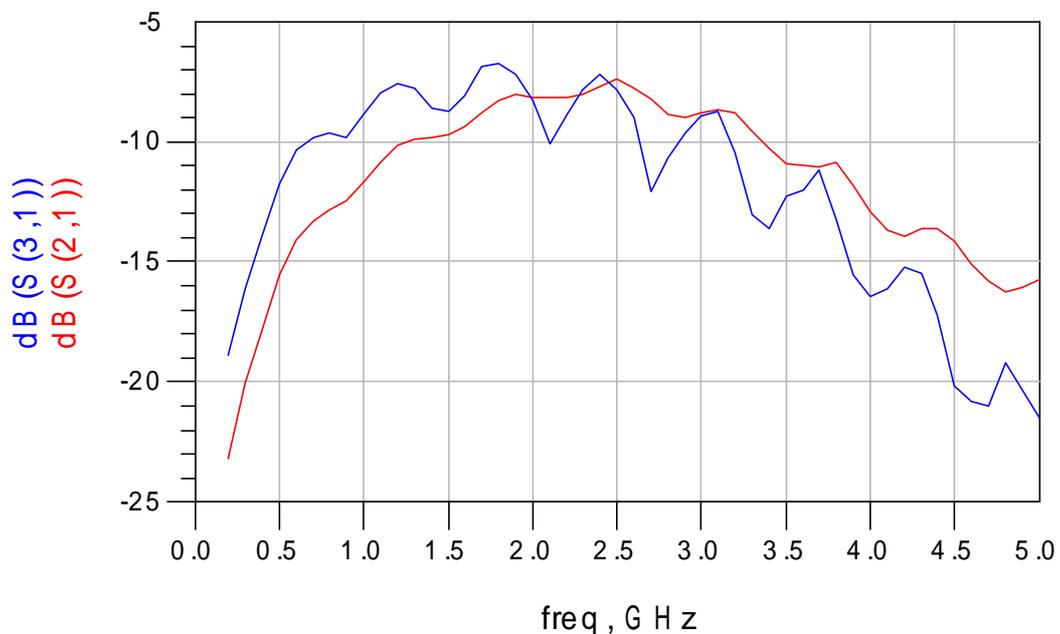


圖 5.2.13 dB(S21)及 dB(S31)

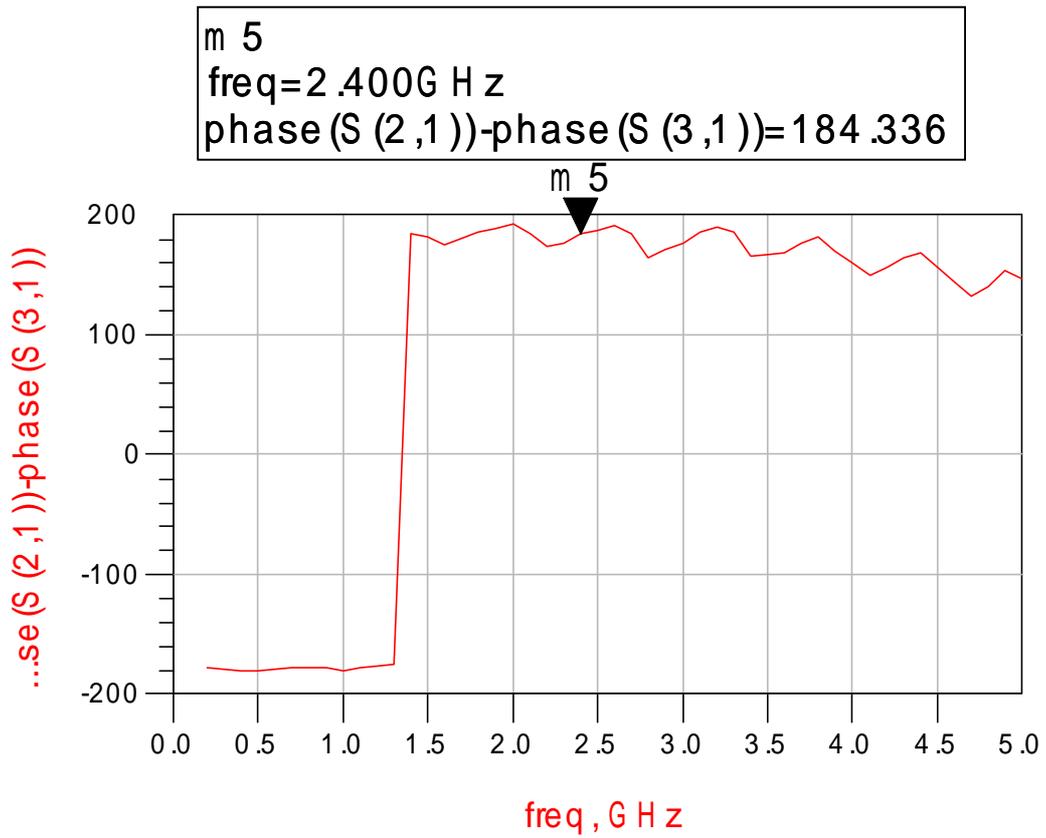


圖 5.2.14 Port2 及 Port3 之相位差

目前有許多半導體製程技術可以降低矽基板的損耗，增加電路整體的特性，其中一個就是微機電技術，我們可以利用此技術將 Balun 下的矽基板吃空，如此 Balun 下的寄生電容及電阻會大大降低，因此損耗也會將低，其結構如圖 5.2.15 所示。

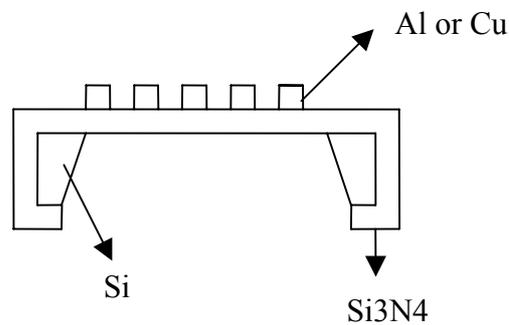


圖 5.2.15 MEMS Balun

5.3 電路應用

爲了驗證本章節所量測到的電感 S 參數，我們實際將其應用於 5GHz 的電路設計中，並且驗證其量測結果；另一方面，Balun 在許多雙端電路和單端電路間的轉換應用中也很頻繁，其中最常用於功率放大器中的就是 Push-Pull 架構，本節也將介紹。

5.3.1 CMOS LC Tank 壓控震盪器

一般而言，LC Tank 壓控震盪器需要一組高 Q 值得螺旋電感和一組可調電容 (Varactor)，其電路架構如圖 5.3.1，本實驗是以設計一個 5.25GHz CMOS 壓控震盪器，其中利用第一節所提到的的雙層金屬並聯的電感，圈數爲一圈半，等效感值爲 0.78nH，在 5.25GHz 等效 Q 值爲 7.8。

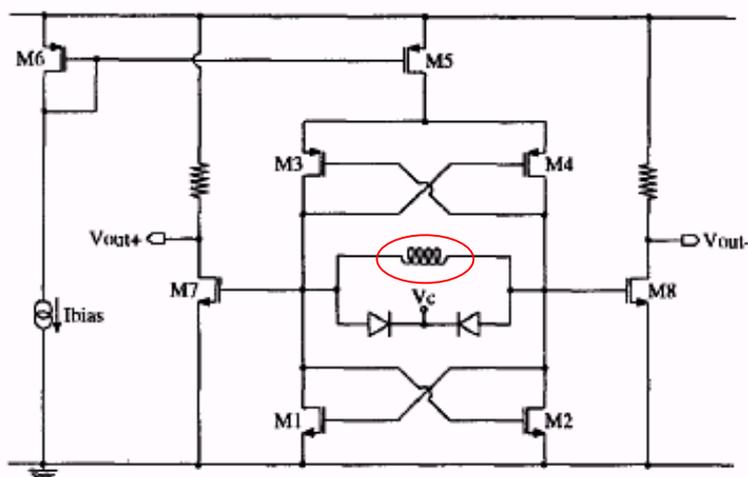


圖 5.3.1 VCO 壓控震盪器電路

最後晶片於國家毫米中心高頻量測實驗室進行晶片 On-wafer 量測，使用儀器爲 HP8564E 頻譜分析儀，量測結果顯示震盪頻率爲 5.28GHz，見圖 5.3.2，頻率誤差爲 0.57%，因此可驗證這次電感的量測結果可以應用於高頻 5GHz 的電路設計中。

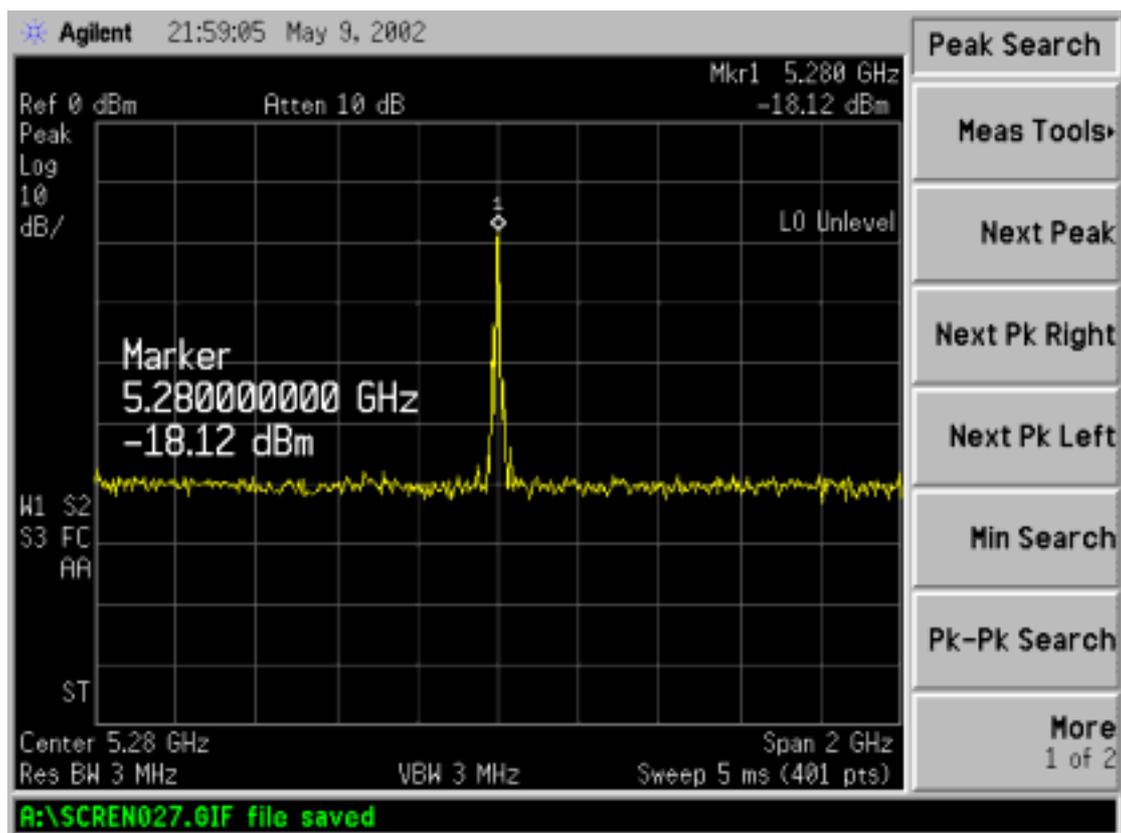


圖 5.3.2 5GHz CMOS 壓控震盪器量測結果

Chap 6

結論及未來方向

6.1 結論

在短距離傳輸的無線通訊系統所需的輸出功率較低，以 IEEE802.11a 的規格約 17dBm，而部分國家甚至限制於 10dBm(如中國大陸)，對 CMOS 製程而言，設計功率放大器仍然是可行的，但是設計時需要同時最佳化放大器的效率、功率增益及線性度等，然而這些規格在 CMOS 製程上，仍被矽基板及金屬導線的損耗特性所限制。

在 5GHz 射頻電路的設計上需要許多被動元件，但是常常出現被動元件的自振頻率低於操作頻率，造成許多設計上的困難，因此必須使用更多更小尺寸的被動電路(如圈數少的螺旋電感及小面積的 MIM 電容)，另外也需要將被動電路 Q 值之最大值調在操作頻率附近，以提升電路整體的特性。

至於量測問題方面，雖然可以在 PCB 板上組裝後在進行高頻量測，但是有許多缺點，第一是一般的 FR4 板在 5GHz 時已經有很大的損耗且寄生效應非常嚴重，增加許多高頻量測的困難，第二就是 PCB 量測需要有 Bond-wire 將電路連接至 PCB 上，而每次 Bond-wire 的長度、角度及位置都不一樣，很難估計其影響，第三是晶片電路中的地無法立刻接到真正的地，而還需要經過 bond-wire 或是 PCB 的金屬拉線，這些寄生電感都會造成對電路回授，嚴重影響功率放大器的特性。應此在晶片佈局時最好加上 GSG 的 PAD，以方便直接作 on-wafer 高頻量測。

6.2 未來方向

- 利用 MEMS 技術改善 Balun 在矽基板上高損耗所造成低耦合度的缺點，並且和本實驗室所研究的 MEMS 開關電路結合。
- 將 CMOS 驅動放大器串接上 CMOS 功率放大器，並整合 5.25GHz CMOS TR-Switch 及 5.25GHz CMOS LNA 於同一晶片中。
- 加大電晶體尺寸以提升功率放大器的輸出功率至 20dBm，以提供功率放大器會為了線性度而將功率放大器 Back-off 5~8dB 的需要。

參 考 文 獻

- [1] “RF Microelectronics” , Behzad Razavi
- [2] “RF Power Amplifiers for Wireless Communication”, Steve C. Cripps
- [3] “High-Linearity RF Amplifier Design”, Peter B. Kenington
- [4] “The Design of CMOS Radio Frequency Integrated Circuits”, Thomas H. Lee
- [5] C. Patrick Yue, Simon Wong, “Physical Modeling of Spiral Inductors on Silicon”
IEEE Trans. Electron Device, VOL.47, NO.3, MARCH 2000
- [6] ALI M. NIKNEJAD, ROBERT G. MEYER, “Design, Simulation and Application of Inductors and Transformers for Si RF ICS”
- [7] Min Park, Seongheer Lee, Hyun Kyu Yu, “High Q CMOS-Compatible Microwave Inductor Using Double-Metal Interconnection Silicon Technology” IEEE
Microwave And Guide Wave Letter, Vol 7, No. 2, FEB 1997
- [8] Joachim N. Burghartz, Mehmet Soyuer, Keith a. Jenkins, “Microwave Inductors and Capacitors in Standard Multilevel Interconnect Silicon Technology”, IEEE
Tran. MTT, Vol. 44, NO. 1, JAN 1996
- [9] G. G. Rabjohn, “Monolithic microwave transformers” M.Eng, Carleton University,
Ottawa, ON, Canada, Apr. 1991
- [10] John R. Long, “Monolithic Transformers for Silicon RFIC Design”, IEEE JSSC,
Vol. 35, NO. 9, SEP.2000
- [11] Ewout P. Vandamme, Dominique M. M. Schreures, and Cee Van Dinthe,
“Improved Three-step De-Embedding Method to Accuracy Account for the
Influence of Pad Parasitics in Silicon On-wafer RF Test-Structures” IEEE Tran. On
Electronic Device, Vol. 48, NO. 4, APR. 2001
- [12] Christian C. EnZ, Yuhua Cheng, “MOS Transistor Modeling for RFIC Design”,
IEEE Tran. ON Soli-State Circuits, Vol. 35, NO. 2, FEB, 2000

- [13]. Per Asbeck, Carsten Fallesen, "A 29dBm 1.9GHz Class B Power Amplifier in a digital CMOS Process", Electronics, Circuits and System, 2000. ICECS 2000
- [14] A. Girya, J-M. Fournier, M. Pons, "A 1.9GHz Low Voltage CMOS Power Amplifier For Medium Power RF Application", IEEE RFIC Symposium, 2000