

## Verilog-A 的模拟电路行为模型及仿真

作者：朱樟明，张春朋，杨银堂，付永朝

关键词：Verilog-A，行为，模型，仿真

摘要：分析了模拟硬件描述语言 Verilog-A 的特点及模型结构，根据仿真速度和仿真精度的折衷考虑，设计实现了模拟开关、带隙基准电压源及运放的 Verilog-A 行为模型。根据数模转换器 (DAC) 的特性，基于 Verilog-A 设计了 DAC 参数测试模型，也建立 8 位 DAC 的行为模型。所有行为模型都在 Cadence Spectre 仿真器中实现了仿真实验。

随着集成电路技术的不断发展，片上系统 (SOC) 设计正在成为集成电路设计的发展方向。SOC 芯片集成了大量的 IP 核，如微处理器、数字信号处理器 (DSP)、模 / 数转换器 (ADC)、数 / 模转换器 (DAC)、模拟滤波器、存储器及射频 (RF) 单元等，使得芯片的设计规模远远超过了以往的设计，其片内通讯及 IP 核接口的复杂程度也大大提高，从而使其设计的难度和复杂度都达到了前所未有的程度 [1]，而 SOC 系统验证就成为了设计的难点。

SOC 系统验证就是对基于 IP 核实现的 SOC 系统进行功能验证、静态时序分析、功耗分析等，以保证正确的系统功能和良好的产品性能。以前的 SOC 验证方法是基于混合信号集成电路仿真方法，其中模拟 IP 核的仿真则采用 Spice 仿真方法实现。虽然这种仿真方法具有较高的仿真精度，但是仿真速度无法满足产品开发的时间要求，也对仿真收敛性提出了新的要求。本文基于模拟硬件描述语言 Verilog-A，研究模拟电路的行为模型及仿真，建立了带隙基准电压源、运放等模拟 IP 核的精确行为模型。如果对所有的模拟 IP 核建立精确行为模型，不仅可以很好的解决 SOC 的系统验证，也可以解决 ADC 等混合信号集成电路的参数测试问题。

### 1 模拟硬件描述语言 Verilog-A

Verilog-A 是描述模拟电路系统和模拟电路单元的结构、行为及特性参数的模块化硬件描述语言 [2-3]，也可以用于描述传统的信号系统，如固体力学、流体力学、热力学等系统。与 Spice 子电路的仿真编译相同，Verilog-A 行为级模型能映射成网表，网表模型包括行为模型的模型名、参数等，其端口对应于行为模型的端口。表-1 为 Verilog-A 行为模型结构。

表 1 Verilog-A 行为模型结构

	module bandgap( <信号列表>;
接口描述	<端口定义> <参数定义> <信号定义>
行业描述	analog begin <行为描述> end module

为了便于实现模拟电路系统性能与物理实现之间的优化设计, Verilog-A 提供了多层次的行为及结构模型和多种行为模块描述方法, 包括有限指数产生器 `limexp()`、积分产生器 `idt()`、微分产生器 `ddt()` 与延迟产生器 `delay()` 等许多用以描述模拟电路行为模块的函数。通过对不同函数的设定及组合, 可以定义出模拟电路模块, 如各种运算放大器、带隙基准电源源、模拟锁相环 (APLL)、压控振荡器 (VCO)、MOS 电容、开关电容滤波器、数 / 模转换器 (DAC) 与模 / 数转换器 (ADC) 等, 进而设计用于 SOC 设计的模拟电路 IP 核行为模型。再将模拟电路 IP 核的 Verilog-A 行为模型整合到 Spectre 等混合信号仿真环境中, 就可以快速实现 SOC 设计, 并保证 IP 核之间的无缝联接。

## 2 基于 Verilog-A 的模拟电路行为模型

### 2.1 模拟开关行为模型

在模拟集成电路设计中, 模拟开关是最重要的 模拟器件, 其在 CMOS 开关电容、采样保持等电路中具有广泛的应用。所以, 模拟开关行为模型是研究 CMOS 开关电容滤波器、高速数 / 模转换器等混合信号 IP 核行为模型的基础。

模拟开关行为模型研究必须考虑三方面的实际因素: 沟道电阻、控制信号馈通、信号相关性的开启与闭合。与以前的理想开关模型相比, 基于 Verilog-A 的模拟开关行为模型的沟道电阻值是连续变化的, 而不是突变的。采用 Verilog-A 实现模拟开关连续变化特性时, 考虑仿真行为的收敛性, 采用“transition”操作可以实现, 但是会明显减慢系统仿真的速度。利用低通 RC 滤波器的特性, 可以很好的实现模拟开关行为模型, 并能保证系统的高速仿真。Cadence Spectre 仿真器与所有的模拟电路仿真工具相同, 直流工作点分析是瞬态、交流等仿真分析的基础, 所以必须考虑模拟开关模型的直流收敛性。根据直流分析的特点, 模拟开关模型必须具有明确的初始值, 如输出电压等于输入电压。在 Verilog-A 的模型表征中, 可以明确输出电压和输入电压的初始差值为零, 即

$$V(\text{out}, \text{in}) < +0.0 \quad (1)$$

2.2 带隙基准电压源电路行为模型及仿真 图 1 是 CMOS 带隙基准电压源电路, 图中的运算放大器的作用使电路处于深度负反馈状态, Q1、Q2、Q3 是由 N 阱和 P 衬底形成的寄生纵向双极结形场效应晶体管 (BJT)。在基准电路稳定输出时

$$I_1 R_1 + V_{EB1} = V_{EB2} \quad (2)$$

$$V_{EB} = V_T \ln\left(\frac{I}{I_S}\right) \quad (3)$$

由式(2)(3), 得

$$I_1 = \frac{V_{EB2} - V_{EB1}}{R_1} = \frac{V_T}{R_1} \ln\left(\frac{I_{S1}}{I_{S2}}\right) \quad (4)$$

$$V_{REF} = \frac{R_2}{R_1} V_T \ln\left(\frac{I_{S1}}{I_{S2}}\right) + V_{EB1} \quad (5)$$

根据带隙基准电压源电路的特点, 所建立的 Verilog-A 行为模型如下:

```

`include "std.va"
`include "const.va"
module bandgap(Vdd, gnd, Vbg, Temp);
  inout Vdd, gnd, Vbg, Temp;
  electrical Vdd, gnd, Temp;
  parameter real Vbg = 1.2;
  analog begin

```

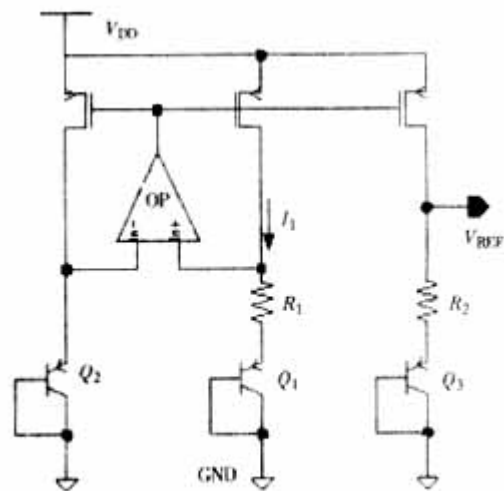


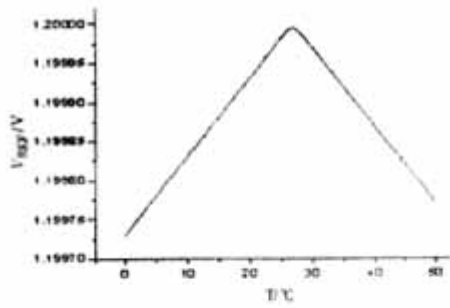
图 1 CMOS 带隙基准电压源

```

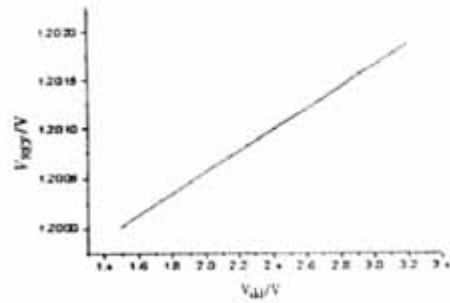
  TempC = abs(Temp - 27);
  Vbg < + (Vbg + 0.0011 * (Vdd - 1.5) - 0.00001
* TempC);
  End
endmodule

```

在 Verilog-A 模型中，除了定义 1.2 V 的输出电压外，还包括了 10-ppm / K 的温度系数和 1.1 mV / V 的电源抑制比。采用 Cadence Spectre 仿真工具，图 2 (a) 为行为模型的温度特性，图 2 (b) 为行为模型的电 源特性。



(a) 温度特性



(b) 电源特性

图2 带隙基准电压源的行为模型仿真

### 2.3 全差分运算放大器行为模型及仿真

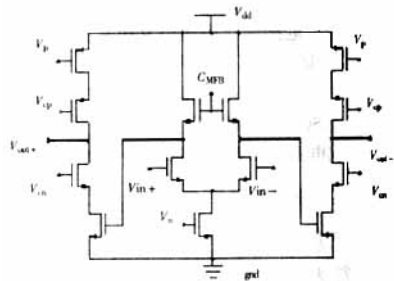


图3 全差分运算放大器电路

图3为高速全差分运算放大器电路。要建立图3电路的行为模型，必须选取合适的运放行为参数，以便保证仿真精度和仿真速度。基于运放模型，本文所选择的行为参数为：直流开环增益、相位裕度（PM）、单位增益频率、输入失调电压（VOS）、负载电容（CL）和负载电阻（RL）。这些参数在运放的交流（AC）小信号分析能得到完整的体现，所以运放行为模型的核心是AC模型。全差分运放的理想模型如下：

```

#include "discipline.h"
#include "constants.h"
module dvamp (vin_p, vin_n, vout_p, vout_n);
    input vin_p, vin_n;
    output vout_p, vout_n;
    electrical vin_p, vin_n, vout_p, vout_n;
    parameter real gain = 12000000.0;
    parameter real offset = 0.0;
    real outv;
    analog begin
        outv = gain * (V(vin_p, vin_n) - offset);
        V(vout_p, vout_n) < + outv;
    end
endmodule

```

基于运放的小信号模型，在 Verilog-A 的行为模型中，相位裕度、直流开环增益等参数直接反应于“initial block”中，但是运放的噪声模型则需要考虑更多的实际因素，如 MOS 晶体管非线性所引起的转换（Slewing）速率变化及限幅（Clipping）效应。根据差分放大器的转换速率受限于尾（Tail）电流的特性，运放 Verilog-A 行为模型也通过尾电流的一阶近似来反映其转换特性。图 4 为全差分运放 Verilog-A 模型的仿真波形。

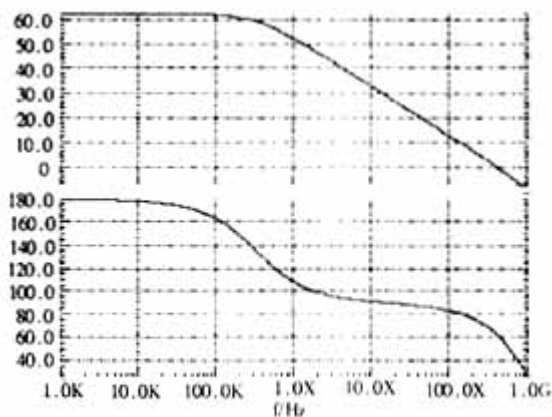


图 4 全差分运放 Verilog-A 行为模型仿真波形

### 3 基于 Verilog-A 的模拟电路系统仿真

在模拟电路系统仿真、电路仿真和后仿真阶段，系统仿真激励程序设计是最关键的环节，而传统的 Spice 激励程序已经不能胜任 SOC 的设计需要，但是 Verilog-A 就能较好的解决这个问题。本文针对高速 DAC 的无杂波动态范围（SFDR）等频域特性参数的系统仿真，采用 Verilog-A 设计了激励程序（TestBench），快速得到了 SFDR 的仿真结果。

DACSFR 的测试方法是在数字输入端输入数字正弦信号，将所得到的模拟输出信号进行快速傅立叶（FFT）变换，一次谐波和二次谐波的差值就是 SFDR 值。为了测试 DAC 参数，基于 Verilog-A 建立 DAC 模型和相同分辨率的 ADC 行为模型，其中 ADC 模型主要用于产生各种模拟信号，也可以与 DAC 的模拟输出信号进行比较。图 5 为 DAC 的参数测试系统模型。

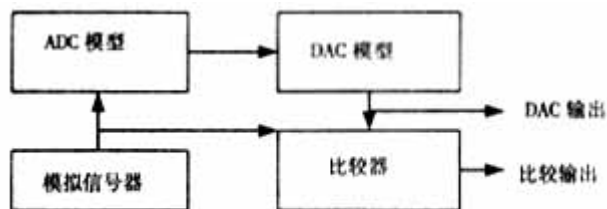


图 5 基于 Verilog-A 的 DAC 参数测试模型

```

#include "std.va"
#include "const.va"
module dac8(d0,d1,d2,d3,d4,d5,d6,d7,out);
    inout d0,d1,d2,d3,d4,d5,d6,d7,out;
    electrical d0,d1,d2,d3,d4,d5,d6,d7,out;
    parameter real ref = 1.2;
    .....

    weight = 0.0;
    for(i = 0;i < 8;i = i + 1) begin
        weight[i] = 1.2/(pow(2,8 - i));
        error[i] = -(0.5 - $random(48 * i))/102.4;
        scale = scale + weight[i];
    end
end
analog begin
    .....
end
endmodule

```

图 6 为 8 bit ADC 的仿真波形，输入信号是周期为 1MHz 的正弦波。



图6 8 bit理想 ADC 的仿真波形

#### 4 结 论

Verilog-A 是一种高层次模拟电路硬件描述语言, 与 Verilog 配合能实现 SOC 的高层次设计及系统验证。本文基于 Verilog-A 语言, 建立了模拟开关、带隙基准电压源、运算放大器电路的行为模型, 并采用 Cadence Spectre 进行了仿真验证。针对 SOC 系统验证应用, 对高速 DAC 模型及参数测试模型进行了研究, 并建立了快速的参数测试模型及方法。所有 Verilog-A 行为模型都采用 Cadence Spectre 进行了仿真验证。

#### 参考文献

- [1] 张镇, 魏同立. 基于 IP 模块的片上系统设计 [J]. 电子器件. 2002, 25 [2]: 127-142.
- [2] OVI Language Reference Manual [S]. Version 1. 9.
- [3] Miller Ira, Thierry Cassagnes. Verilog-AMS Eases MixedMode Signal Simulation [C]. 2001. Boston. Nanotech 2001.

来源: <http://www.knowsky.com/10572.html>