

华侨大学电子工程系

IC 工艺及版图设计 课程实验（九）

模拟电路单元版图布局（3）

带隙基准电压源



华侨大学厦门专用集成电路系统重点实验室

-2011-

IC 工艺及版图设计课程实验九

模拟电路单元版图布局-带隙基准电压源电路

一、实验目的

- 1.掌握使用 Cadence Virtuoso XL 版图编辑软件进行模拟 IC 版图布局设计
- 2.掌握带隙基准电压源电路版图布局
- 3.通过实验掌握匹配 BJT 和匹配电阻的版图布局方法

二、实验软件:

Cadence IC 5141 Virtuoso Layout XL

三、实验要求:

实验前请做好预习工作，实验后请做好练习，较熟练地使用 Virtuoso 软件对版图进行布局设计，通过实验逐渐掌握低度匹配 MOSFET 的布局方法。

IC 工艺及版图设计课程实验九			
教学任务	模拟电路单元版图布局③带隙基准电压源	学时	2
教学目标	专业能力： 1.熟练掌握版图编辑软件的使用 2.掌握匹配 BJT 和匹配电阻布局方法 3.掌握带隙基准电压源电路的版图布局		
教学内容	1. 3 X 3 BJT 版图布局 2. 匹配电阻版图布局		
重点	匹配 BJT 和匹配电阻版图布局		
难点	匹配 BJT 和匹配电阻版图布局		

第一部分 实验演示部分

集成电路版图设计是一门技术，它需要设计者具有电路系统原理与工艺制造方面的基础知识。但是它更需要设计者的创造性、空间想象力和耐性，需要设计者长期工作的经验和知识的积累。然而集成电路版图设计不仅仅是一门技术，还是一门艺术。设计出一套符合设计规则的“正确”版图也许并不困难，但是要设计出最大程度体现高性能、低功耗、低成本、性能可靠的芯片版图却不是一朝一夕就能学会的事情。

在设计 CMOS 芯片时，主要的目标是优化芯片尺寸和提高密集度。在模拟设计中，主要的目标不再是优化芯片尺寸，而是优化电路的性能、匹配程度、速度和各方面的问题。例如。布线尺寸是否满足电流密度的要求？寄生效应是否太高？匹配技术是否恰当。当然，面积在某种程度上仍然是一个问题，但不再是压倒一切的问题，记住在模拟版图设计中，性能比尺寸更重要。

在上次实验中我们涉及模拟电路版图中两级放大器的版图布局方案，在本次实验中我们将着重讨论带隙基准电压源电路的版图布局方案。在模拟芯片中，带隙基准电压源主要为整个芯片（AD/DA/电源管理等）提供稳定的参考电压，保证芯片在各种环境中可重复性工作。

当然，带隙基准电压源的结构很多，不同的结构有不同的布局方案。但是不论电路如何变化，电路一般都要包含匹配 BJT 和匹配电阻，而且影响带隙基准电压源精度的因素主要也是匹配 BJT 和匹配电阻的布局（当然，如果有差分运放，运放的布局也必须给予考虑）

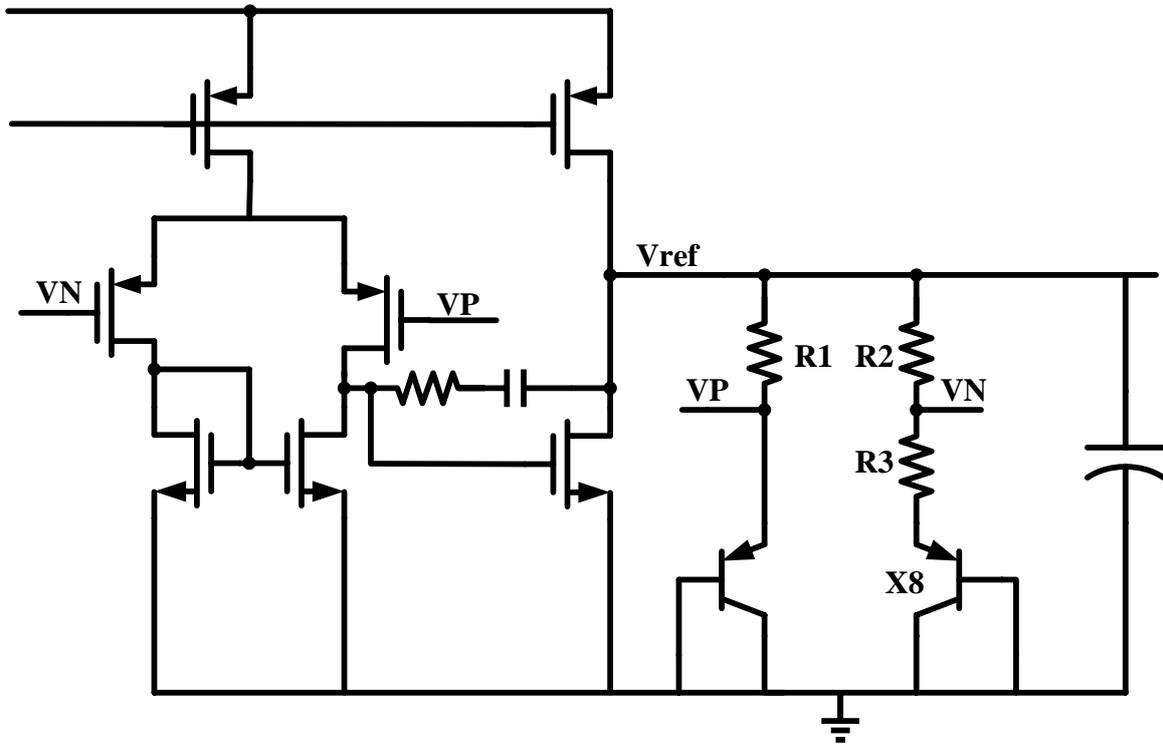
为了试验顺利进行请先在 Layout Editing 视窗中选择 Options-Display... 查看显示分辨率是否是 0.025。

本次实验中有关基准电压源的知识可以参考《微电子器件与电路》课件中基准电压源和基准电流源。

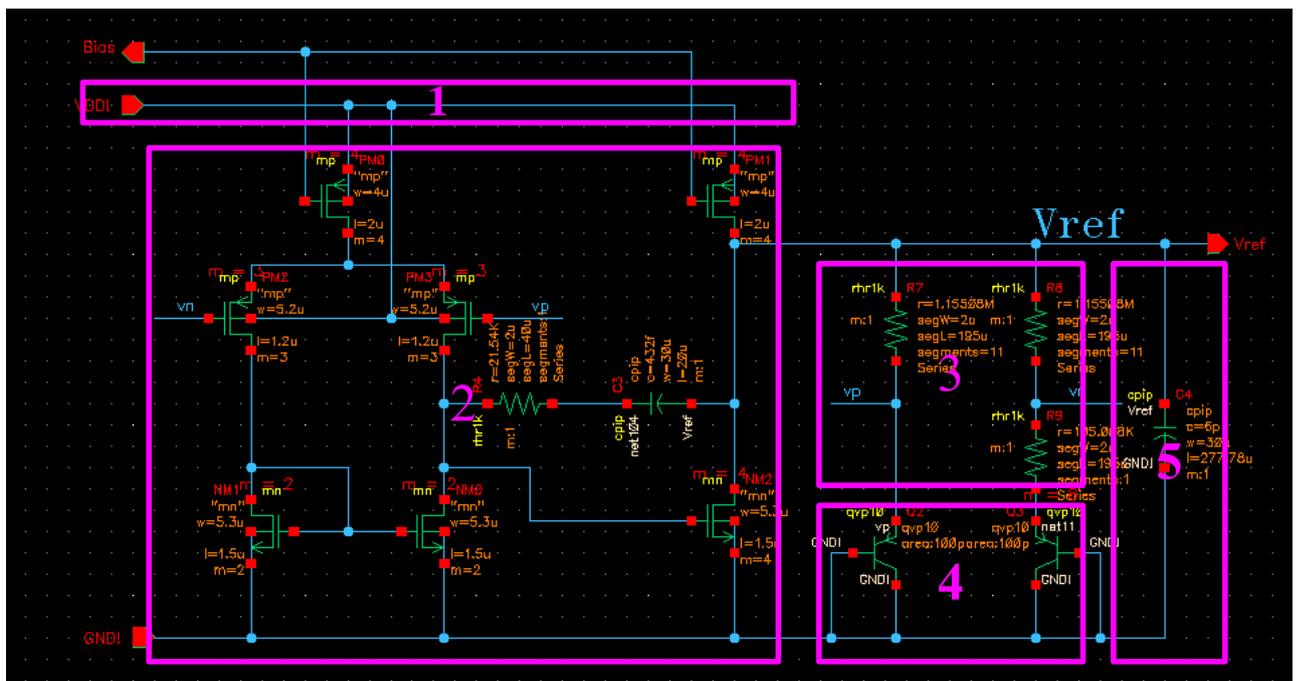
1.1 电路构成

本实验涉及的带隙基准电压源电路由 1 个运放，3 个匹配电阻（11：11：1），2 个匹配 PNP 管（8：1）和一个电容构成。运放的布局在上次实验已经介绍过，今天实验将主要进行匹配电阻和匹配 PNP 管的布局。

1.2 带隙基准电压源布局设计需要考虑的一些问题



如何进行设计可能会影响最终电路的性能



所以在进行版图布局设计前我们必须先考虑以下问题：

- ①电流密度：流经电源线的电流多大？版图布局中将使用多大的线宽能满足电流密度的要求。存不存在大电流的支路？如果有，支路的金属线宽取多大能满足电流密度要求。
- ②差分放大器的布局？这一布局在上次实验中已经涉及到，此处，不再重复。
- ③匹配电阻布局
- ④匹配 BJT 布局
- ⑤如何在空余地方进行电容布局，节省版图面积

带隙基准电压源电路作为比较重要的电路，需要充分考虑版图器件的匹配，涉及的知识比较多，需要考虑到各个方面的知识。

在进行带隙基准电压源电路版图布局时，许多问题都要通过版图和电路设计人员互相交流才能解决。

1.2.1 电流密度

这个电路需要多大的电流？大电流路径和小电流路径都是那些？这些问题需要通过和电路设计人员沟通才能解决。

如果这个电路只需要几百 μA 的电流，那么这就是一个可以不用思考的问题，这确实是一个低电流，最小尺寸的金属线也能应付了它。

对于任何大于 1 毫安的电流，那么你的脑子里就要敲响警钟，这个电流相当大了，你需要计算某些地方的电流密度。

一条导线所能承受的电流等于金属线的线宽 W 乘以承受电流密度常数 (I_D ，这个可以在设计规则说明上查到，csmc 0.5 μm 工艺中，该值为 1.5mA/ μm)

$$I = W \times I_D$$

在此处涉及的电路中，带隙基准电压源电路因为考虑到低功耗设计，消耗的电流小于 1mA。在这里 3 μm 的金属来做电源线，已经能满足要求。

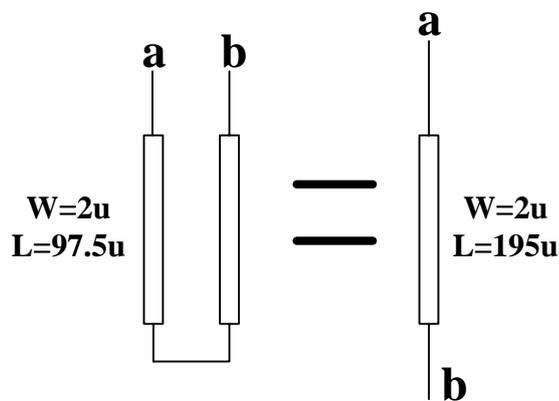
1.2.2 运放版图设计

在上一次实验中已经涉及到两级运放的设计，这里我们就不再重复，如有疑问的同学，请查阅上次实验的指导说明。

1.2.3 匹配电阻版图布局

在本实验涉及的带隙基准电压源电路中涉及 3 个匹配电阻，R7、8、9，分别为 11: 1: 11，每个电阻单元的宽度为 2u,长度为 195u。显然使用 11:1:11 的布局方案，无法实现共质心版图布局。

①为了简化分析，我们先只考虑 R7 和 R8（就是两个 11 倍的电阻）的布局。由于 R7、R8 比例为 11: 11，不方便进行共质心布局，所以我们将单元电阻（L=195u，W=2u）拆成两个小电阻的串联（两个 L=97.5u，W=2u 的电阻串联）



②则 R7、R8 比例为 22: 22，偶数比较好进行共质心布局，分别用 A 表示 R7，B 表示 R8，小括号标注几个单元电阻串联（如 A(5)表示 5 个单元电阻构成 R7 的一个组成部分）

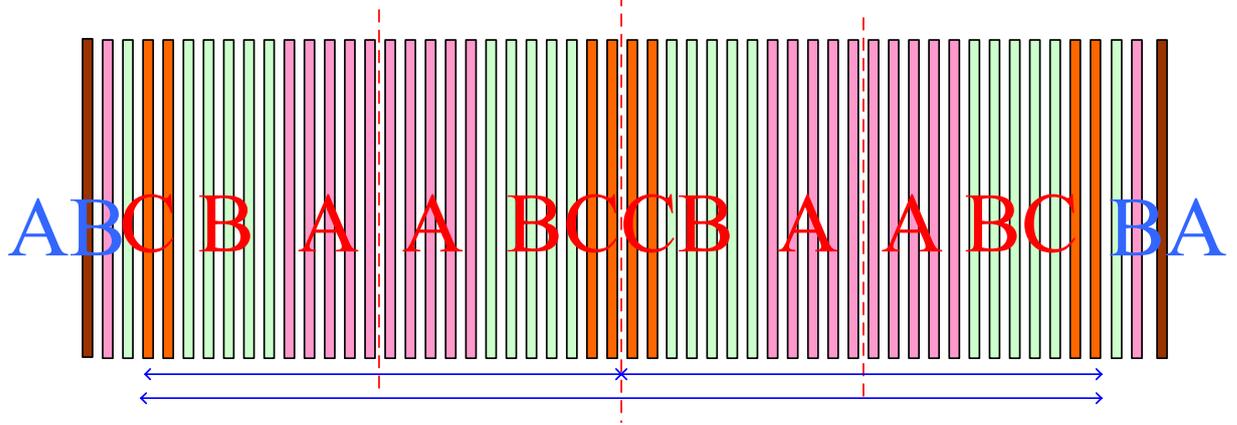
22: 22 的电阻版图，可以考虑将其中 22 个单元电阻串联拆成 4 组 5 个单元电阻串联+2 组 1 个单元电阻

4 个 5 个单元电阻串联，可以构成 BAABBAAB 共质心版图（每个单元有 5 个单元电阻串联）

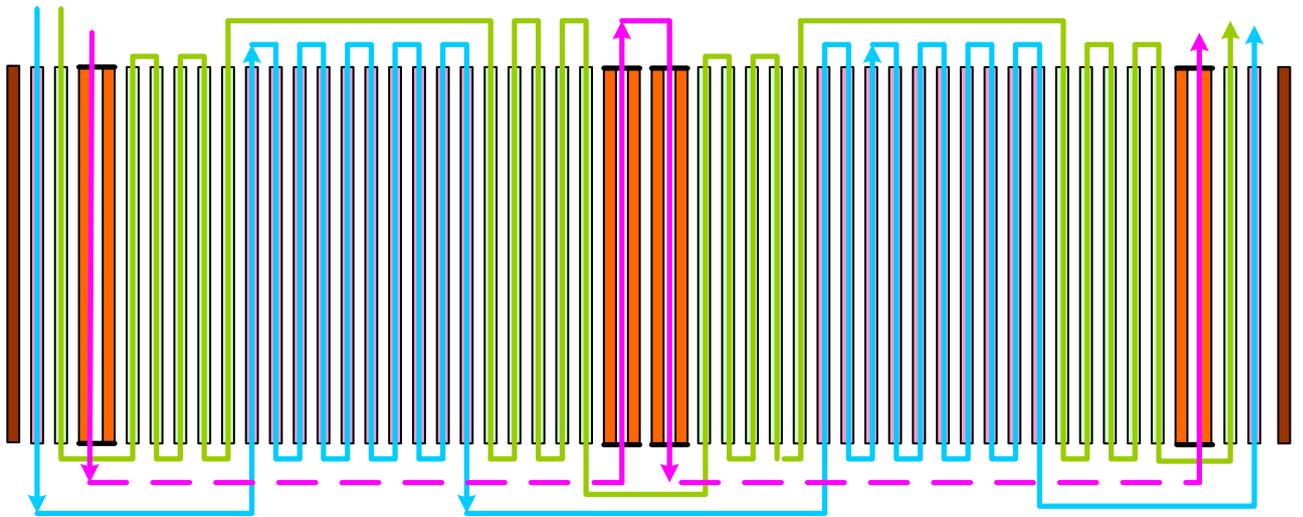
2 个 1 个单元电阻，可以构成 ABBA 布局，综合考虑，布局方案如下：

A(1)B(1)B(5)A(5)A(5)B(5)B(5)A(5)A(5)B(5)B(1)A(1)

A(1)B(1)C(2)B(5)A(5)A(5)B(5)C(4)B(5)A(5)A(5)B(5)C(2)B(1)A(1)

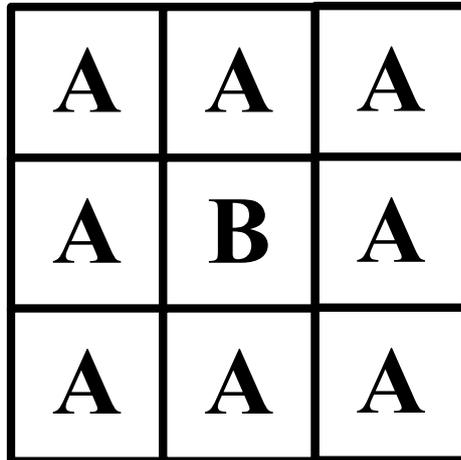


这样也方便绕线。只有电阻 C 需要使用 M2 进行跳线。通过精心布局，可以将 AB 电阻布局完全相等，并且同严格 C 成比例。



1.2.4 比例BJT

在本带隙基准电压源电路中，比例PNP管为8:1，所以使用3X3的布局

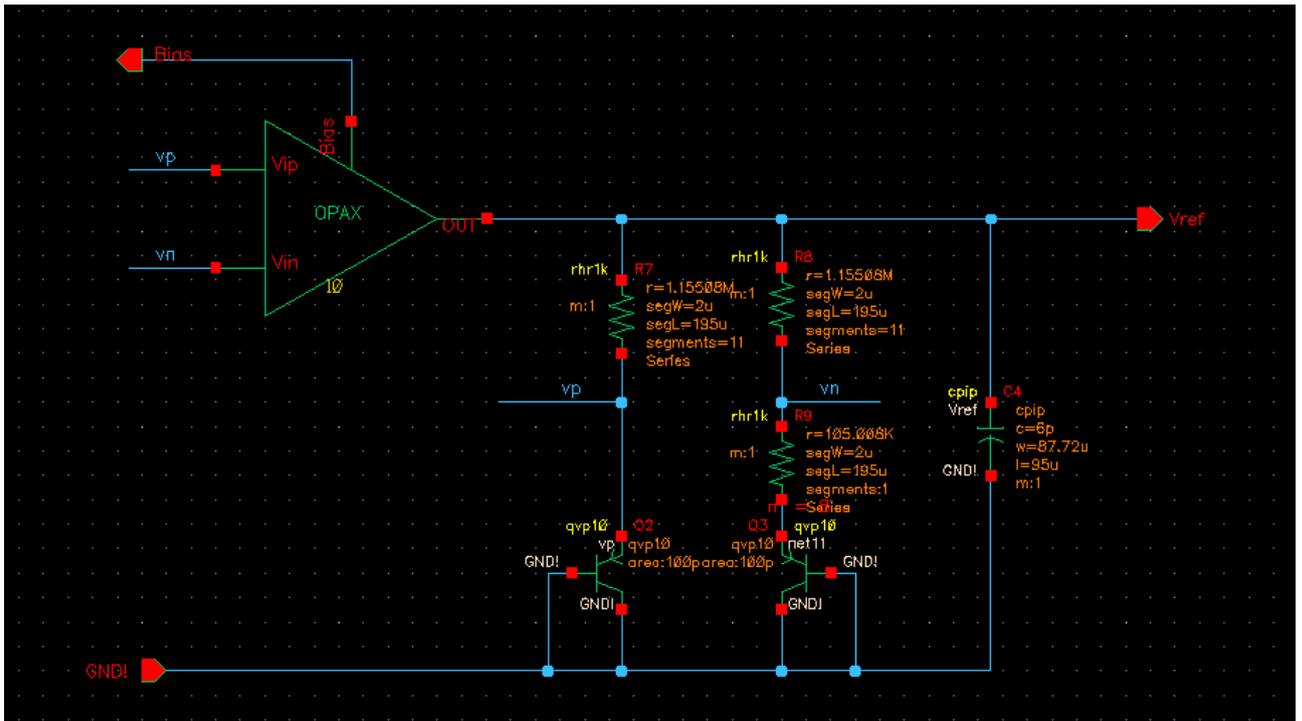


1.2.5 电容

滤波电容值为6pF, 滤波电容精度要求不高，只要在版图空余地方进行布局，电容加起来等于6pF即可。

1.3 实际版图布局

1.3.1 修改原理图



在原理图 BGR 中，电路结构如图所示：

根据前面分析的结果，将电阻 R7 分成 22 个单元电阻，R8 分成 22 个单元电阻，R9 分成 8 个单元电阻，每个单元电阻尺寸为 L=97.5, W=2u

DA (1) B (1) C (2) B (5) A (5) A (5) B (5) C (2) C (2) B (5) A (5) A (5) B (5) C (2) B (1) A (1) D

电阻 R7 分成 6 段，每段尺寸为 1、5、5、5、5、1，然后 6 段电阻串起来，构成 R7

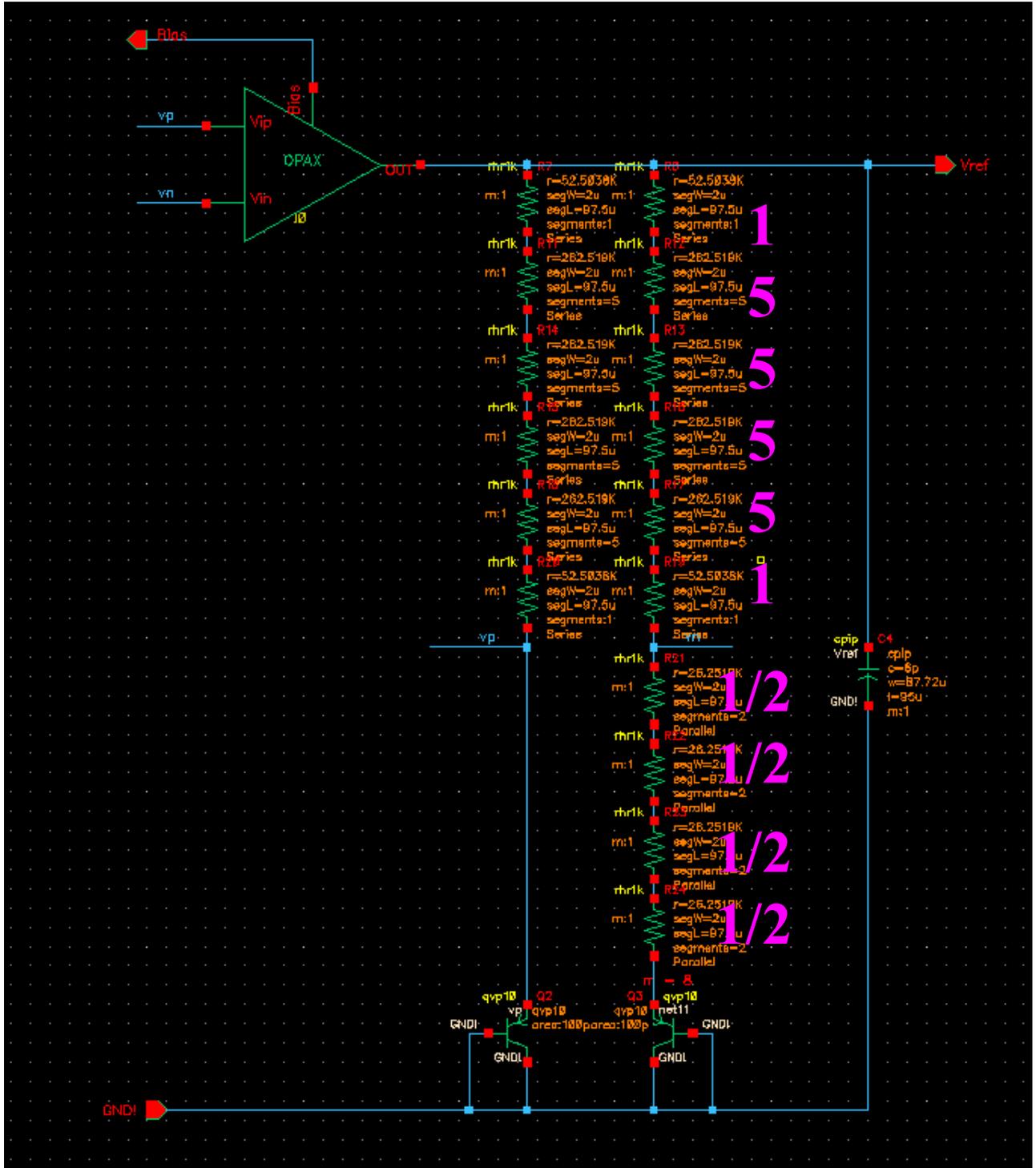
电阻 R8 分成 6 段，每段尺寸为 1、5、5、5、5、1，然后 6 段电阻串起来，构成 R8

电阻 R9 分成 4 段，每段尺寸为 1/2、1/2、1/2、1/2（即每段电阻由 2 个单元电阻并联构成）。

原理图编辑快捷方式：

w 画线、m 移动、c 复制、i 输入器件、选择器件后按 q 修改属性，del 删除
选择多个器件多条线，然后 m, 可以批量移动。

修改完成的原理图如下图所示（或参考 BGRR 的原理图）：



Browse		Reset Instance Labels Display	
Property	Value	Display	
Library Name	st02	off	
Cell Name	rhr1k	value	
View Name	symbol	off	
Instance Name	R14	off	

CDF Parameter		Value	Display
Model name	rhr1k		off
Multiplier	1		off
Segments	5		off
Segment Connection	Series		off
Calculated Parameter	Resistance		off
Resistance	262.519K Ohms		off
Segment Width	2u M		off
Segment Length	97.5u M		off

选择电阻（选用 rhr1K 电阻），修改电阻属性：

Segments :多少段电阻（相当于几个单元电阻）

Segment Connection:（该段电阻中每个单元电阻是串联还是并联）

CDF Parameter	Value	Display
Model name	rhr1k	off
Multiplier	1	off
Segments	5	off
Segment Connection	Series	off
Calculated Parameter	Resistance	off
Resistance	262.519K Ohms	off
Segment Width	2u M	off
Segment Length	97.5u M	off
Effective Width	2u M	off
Effective Length	487.5u M	off

选择 Series 表示电阻串联，Parallel 表示电阻并联

Segment Width: 每段电阻宽度，Segment Length: 每段电阻长度

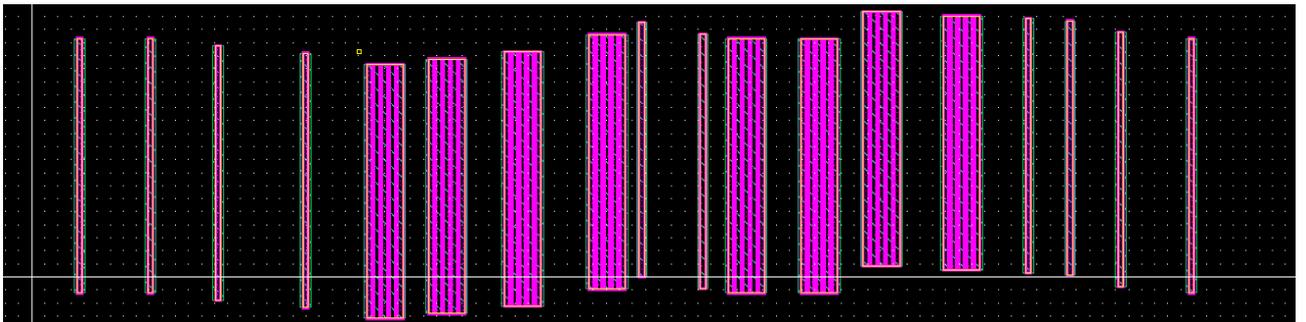
1.3.3 电阻布局

在原理图中加入两个没有连接关系的单元电阻做 Dummy 电阻。

然后生成版图

生成版图后，大概按顺序进行排列（包含连线顺序）

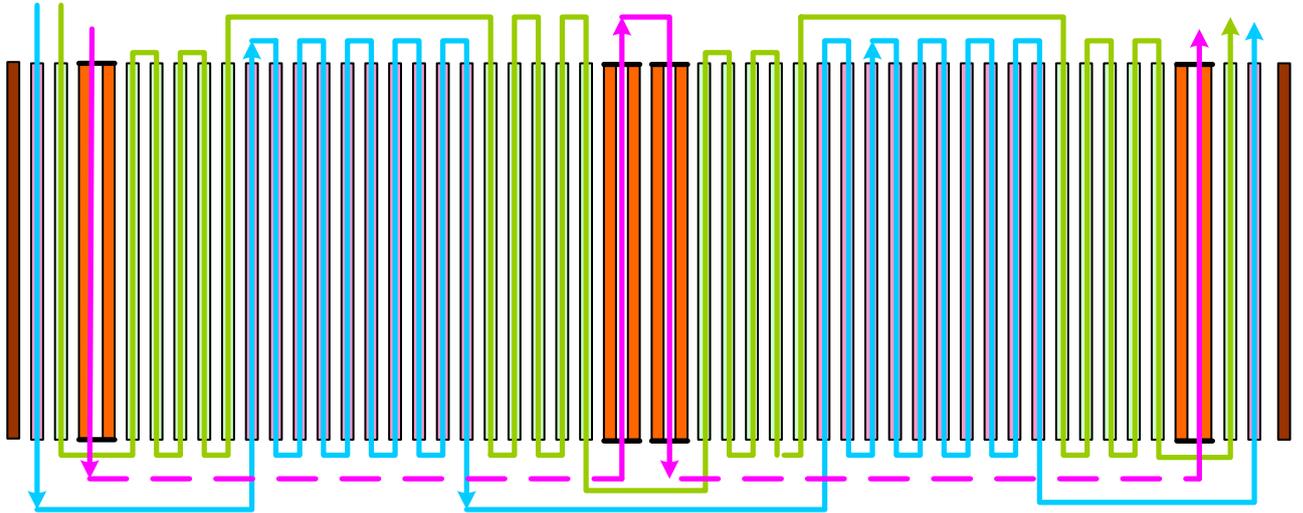
DA (1) B (1) C (2) B (5) A (5) A (5) B (5) C (2) C (2) B (5) A (5) A (5) B (5) C (2) B (1) A (1) D



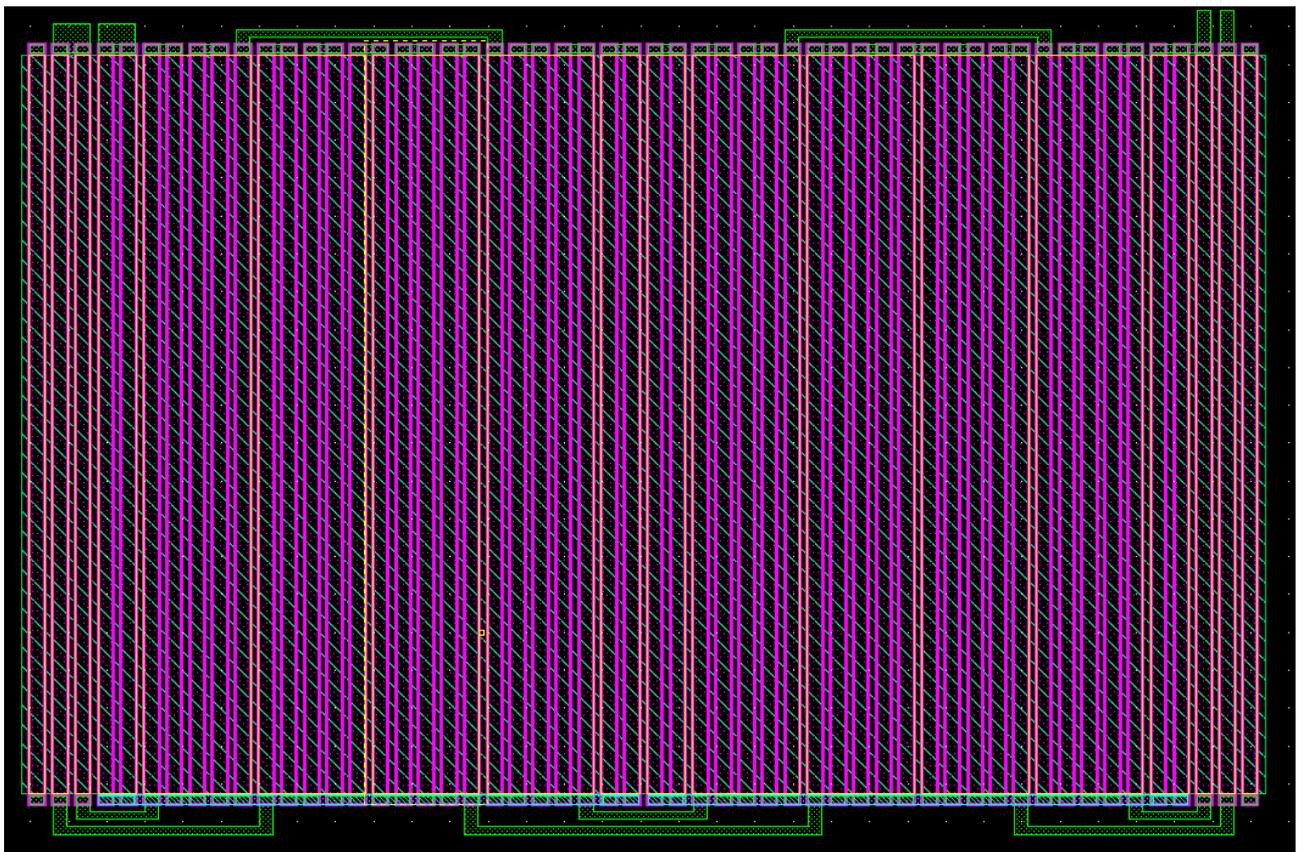
顺序排好后，把它们放置在一起，



根据连线关系进行连线

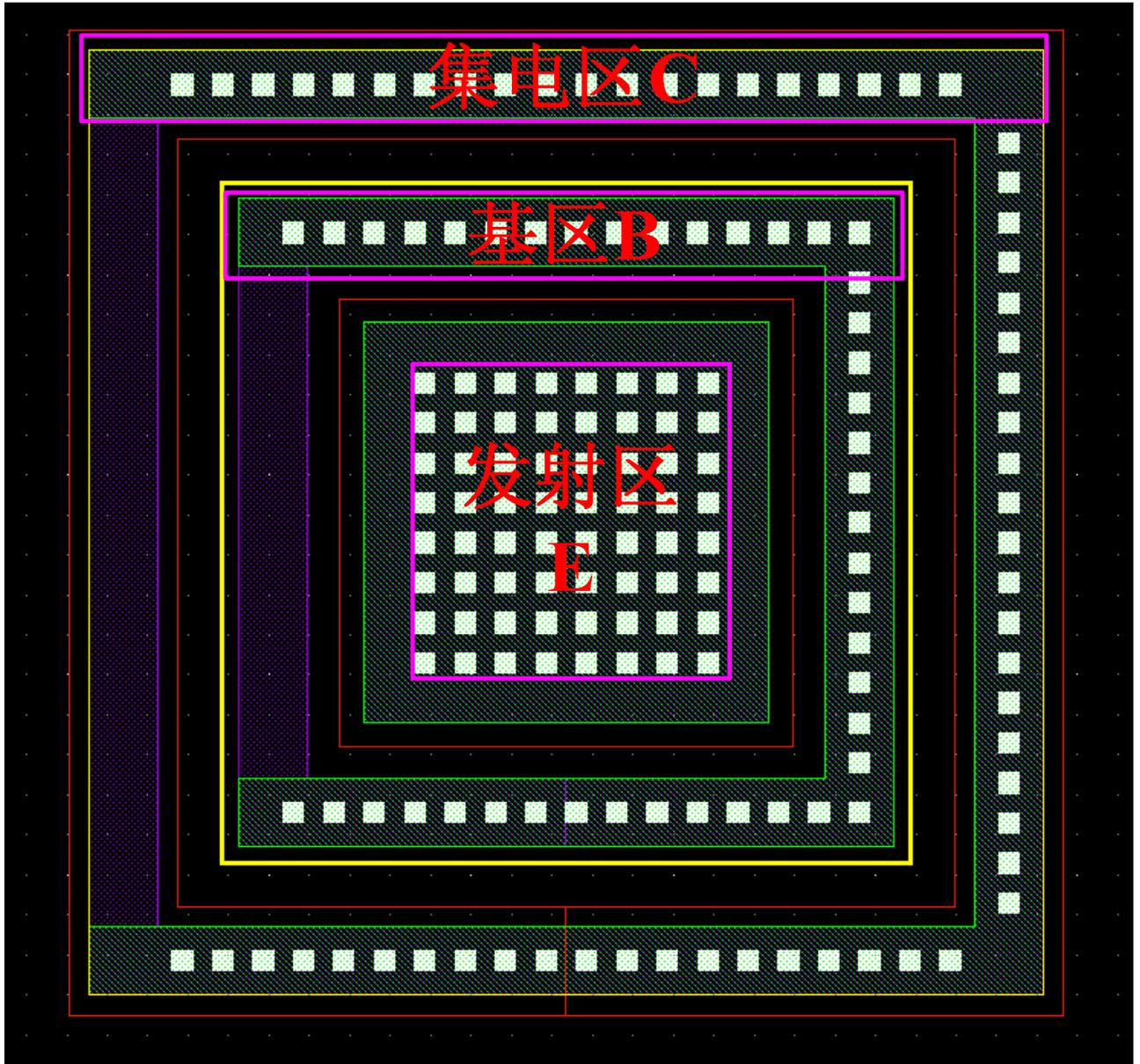


实际版图连线（注意，rhr1k 阻挡层上不允许走 M1）

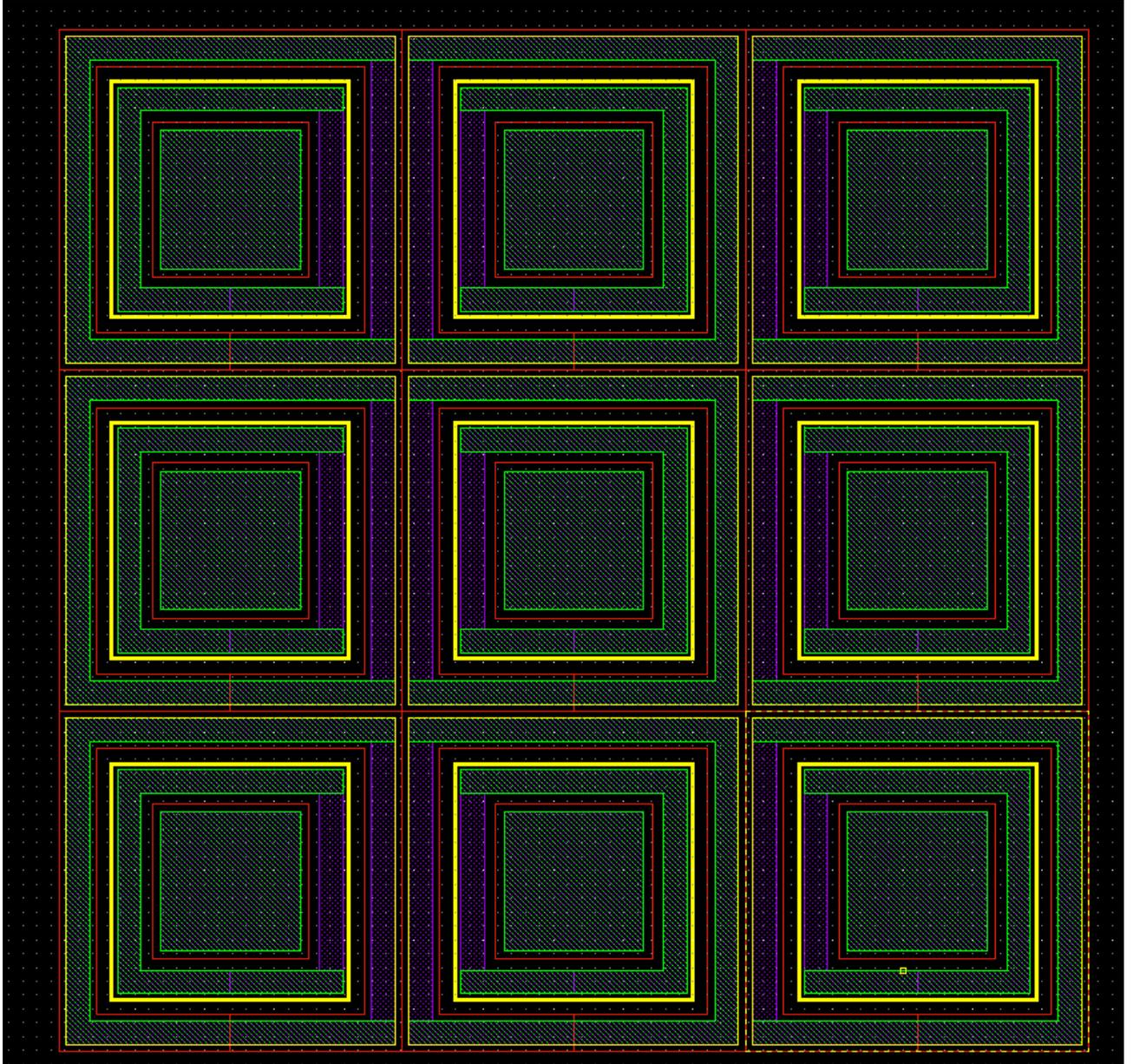


1.3.4 BJT 布局

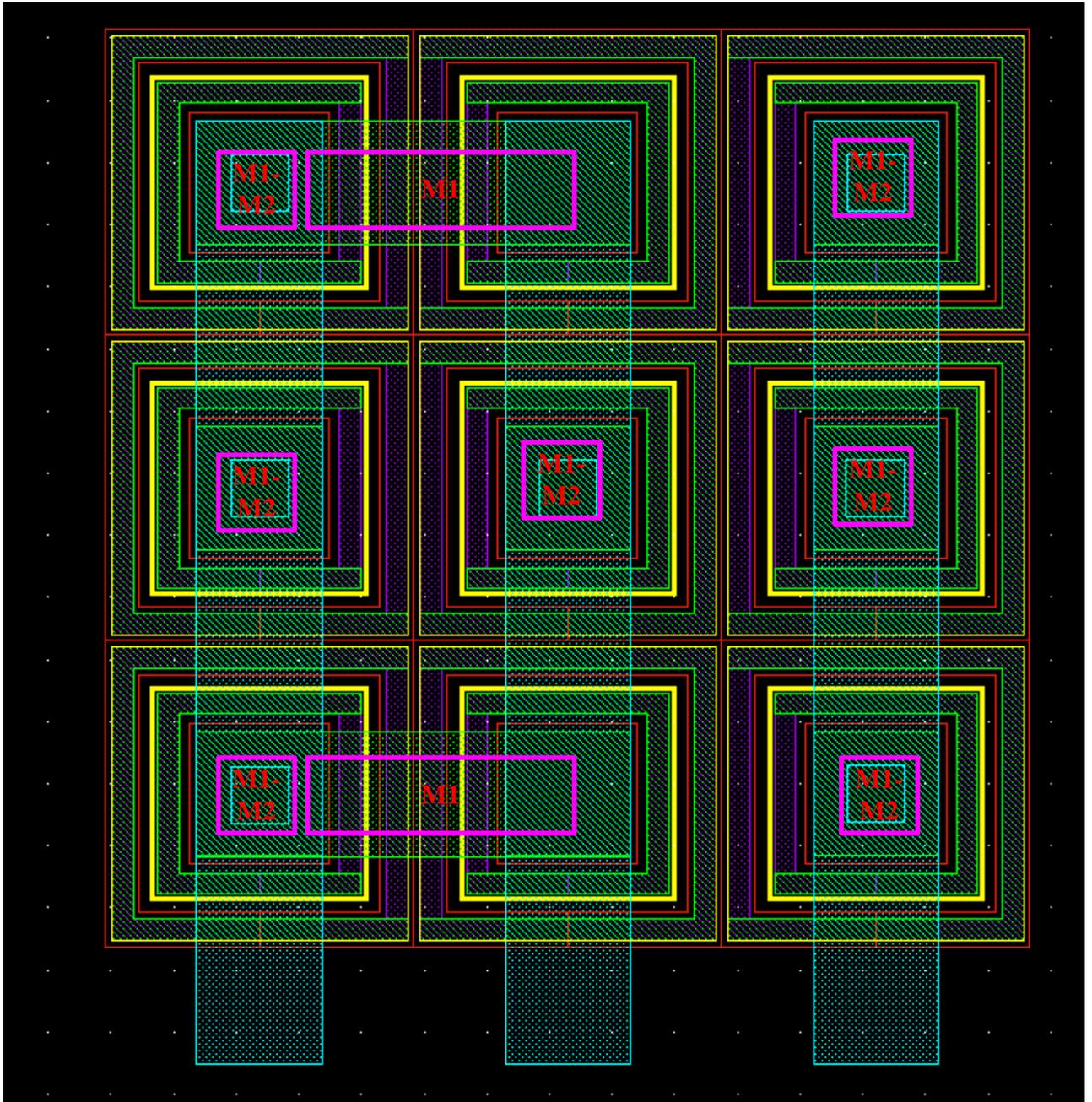
衬底 PNP 的三个端口



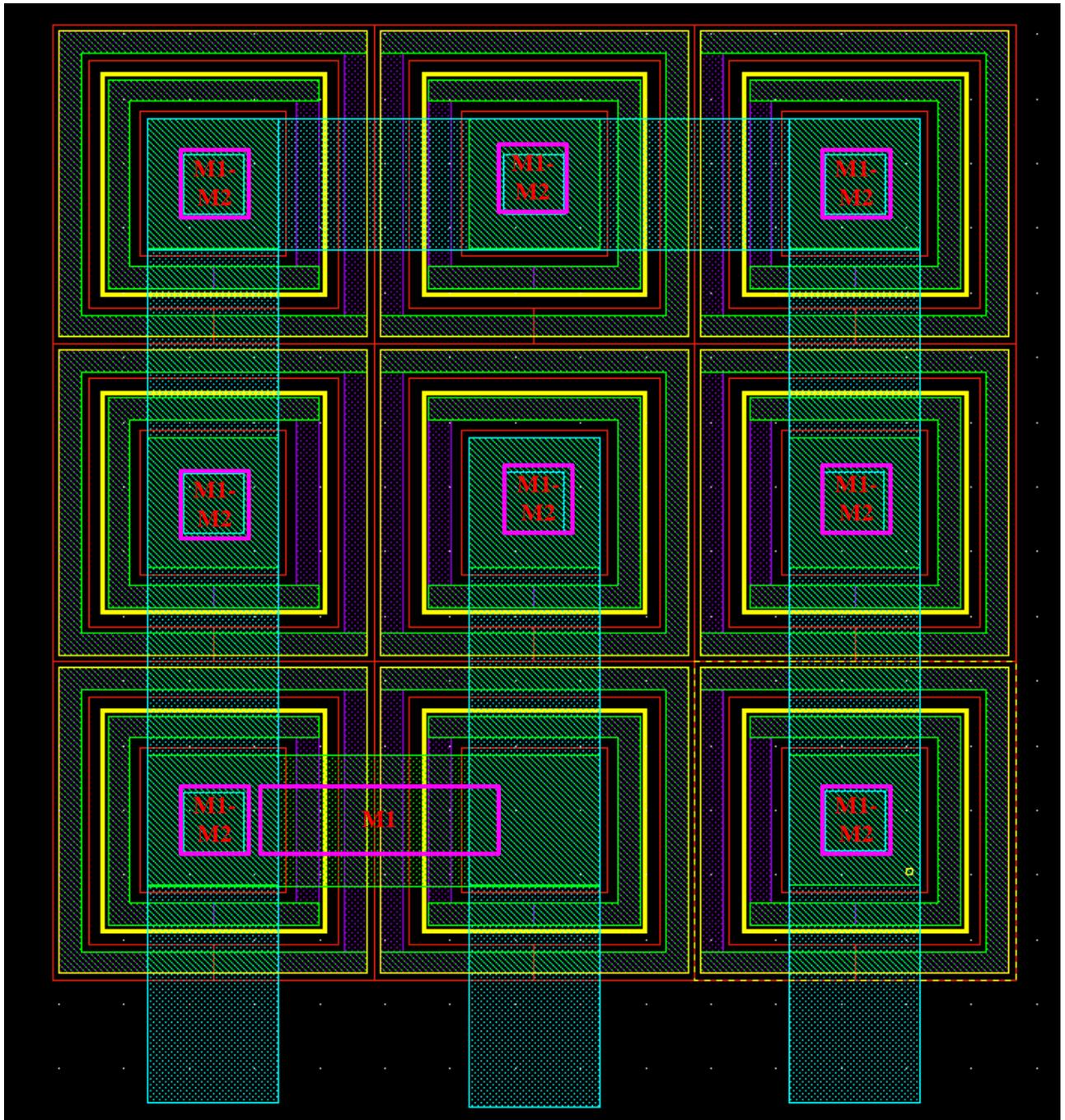
①按照 3X3 的阵列排列 PNP 管，其中将 1 倍面积的 Q2 管放在中心，8 倍面积的 Q3 管放在周围。



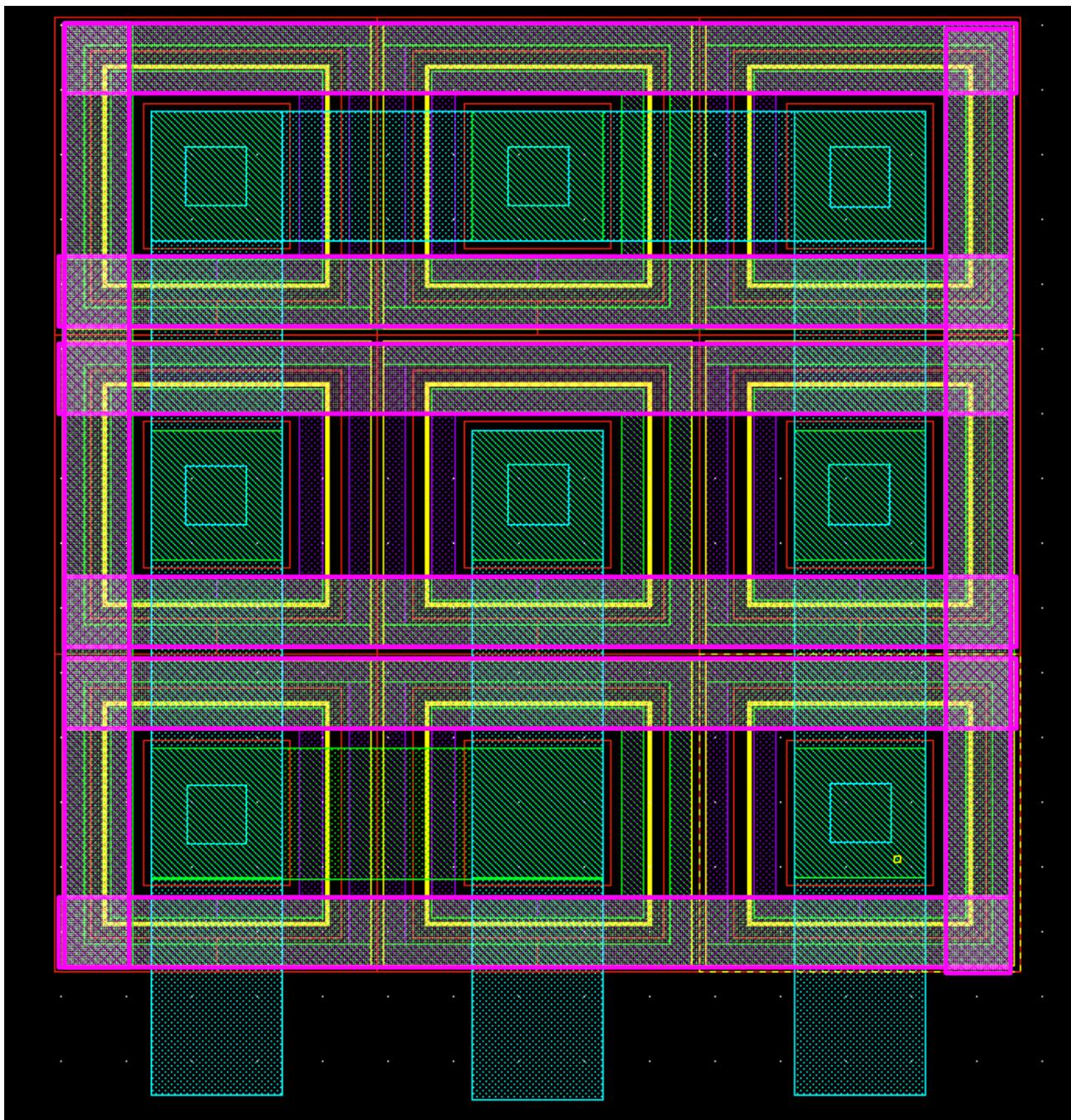
②发射结连接，构成8:1的器件（方法1）



构成 8: 1 的器件 (方法 2)



③将基区和集电极连接起来（都接到底线）为了方便显示，用粉红方块表示。



第二部分 实验操作部分

修改 BGR 原理图的电阻类型后，完成 BGR 的版图布局设计。

要求：

- 1.修改 LAB8-BGR 的原理图（主要修改电阻）
- 2.完成匹配电阻、匹配 PNP 布局
- 3.在空余地方绘制电容版图
- 4.完成版图后需完成 Calibre DRC 和 LVS 验证
- 5.尽量在 250 um X 250 um 的面积内完成版图布局（越小越好），版图尽量布局成矩形在必要的地方，加上保护环。

