

文章编号: 0427-7104(2008)06-0755-08

应用于 OFDM 超宽带系统中的 $0.18 \mu\text{m}$ $G_m\text{-}C$ 滤波器和可变增益放大器的设计

姚 望,李 巍,李 宁,任俊彦

(复旦大学 专用集成电路与系统国家重点实验室,上海 201203)

摘 要: 设计了一种应用于 OFDM UWB 系统中的完全采用 CMOS 工艺的滤波器和 VGA. 滤波器采用 5 阶 Chebyshev 近似、 $G_m\text{-}C$ biquad 结构,转折频率为 264 MHz,OTA 采用伪差分结构以提高滤波器的线性度;VGA 采用跨导增强型源级负反馈结构来控制增益,并加入源级负反馈电容进行高频补偿以拓展带宽. 采用 DC Offset Correction 电路降低直流失调,并通过数字控制电容阵列(DCCA)来实现滤波器的转折频率的调谐. 电路采用 $0.18 \mu\text{m}$ CMOS 工艺,1.8 V 电源电压. 电路的仿真结果表明滤波器和 VGA 系统的增益为 6~48 dB,可变增益为 42 dB,6 dB/step,在输入电压峰峰值为 100 mV 时 THD 小于 -54 dBc,线性度为 -6.35 dBV,噪声系数在通带内小于 25 dB,消耗电流为 30 mA.

关键词: 超宽带; 滤波器; 可变增益放大器; 伪差分跨导放大器; 直流失调

中图分类号: TN 402

文献标识码: A

超宽带(ultra-wide band,UWB)系统是一种低功耗,高传输速率的无线通信技术. 由于能够在短距离(10 m)内传输几百兆的数据率,因此它在无线个人局域网(WPAN)等方面有着广泛的市场前景. 美国联邦通信委员会(FCC)于 2002 年公布了允许民用的 UWB 频段,即 3.1~10.6 GHz. 目前,在 UWB 系统的定义上存在 2 种方案,直接序列 CDMA(DS-SS-CDMA)和多带 OFDM(multiband orthogonal frequency division multiple access,MB-OFDM).

在 MB-OFDM UWB 系统中,UWB 频段被划分为 14 个 Band,每个 Band 为 528 MHz,每个 Band 中又分 128 个子带,其中每 3 个连续的 Band 被称为一个 Mode(最后 2 个 Band 合并),每个 Mode 中采用跳频方式在 3 个 Band 间切换.

在超宽带接收机中,中频滤波器(IF Filter)和可变增益放大器(variable gain amplifier,VGA)的主要作用是滤除带外的强干扰并放大前级信号,供后级的 ADC 及 DSP 芯片处理. 在 UWB 频段内存在如 802.11a/b,Bluetooth 等强干扰,这要求 UWB Filter 在截止频率以外有很快的滚降速率,Filter-VGA 能提供足够的增益、良好的线性度和 264 MHz 的高带宽.

1 Filter-VGA 设计

连续时间有源滤波器一般分为有源 RC 滤波器和 $G_m\text{-}C$ 滤波器两类^[1]. 有源 RC 滤波器中的运算放大器是闭环使用,可以实现较高的线性度,工作频段较低;而 $G_m\text{-}C$ 滤波器中的输出跨导放大器(output transconductance amplifier,OTA)是开环使用,可以实现高频滤波器. 但由于 OTA 的开环使用, $G_m\text{-}C$ 结构的滤波器线性度不如 RC 滤波器好,需要有一个线性度很好的电压-电流转换器. 有尾电流源的 OTA 由于尾电流源的非理想特性,在输出节点上会出现三次谐波^[2]. 伪差分结构 OTA 去除了尾电流源的影响,在一级近似的情况下,输出信号是完全线性的. 伪差分结构 OTA 的共模增益由于电流源的去除而

收稿日期: 2008-03-25

基金项目: 国家“十一五”国防预研资助项目(51308020403);上海市科委集成电路设计专项资助项目(08706200700)

作者简介: 姚 望(1982—),男,硕士研究生;通讯联系人 李 巍,女,副教授.

变得很大,因此需要有共模前馈(common mode feed forward, CMFF)电路来抑制其共模增益.同时,需要有共模反馈(common mode feedback, CMFB)电路来稳定共模输出点.

对于应用于超宽带系统中的可变增益放大器而言,高带宽是设计中的一个难点.本文中 Filter 和 VGA 分别提供 0 dB 和 6 dB 的固定增益,可变增益在每个双二次滤波器结构中实现 12 dB,在 VGA 中实现 18 dB,总计 42 dB 可变增益.这样的好处是不仅缓解了 VGA 的增益带宽设计压力,而且在最大增益时能够通过第 1 级双二次结构的增益缓解后级电路的噪声影响.

1.1 伪差分结构 OTA 的分析与设计

本文中采用的 OTA 结构如图 1 所示,其中 $M_1 \sim M_4$ 构成输入级, $M_9 \sim M_{12}$ 构成了最基本的伪差分结构 OTA; $M_5 \sim M_8$ 用以提取输入信号的共模信息,提供 OTA 的共模前馈信号,节点 V_X 也可以用以提供前级 OTA 的共模反馈电压; $M_{13} \sim M_{18}$ 提供共模反馈.

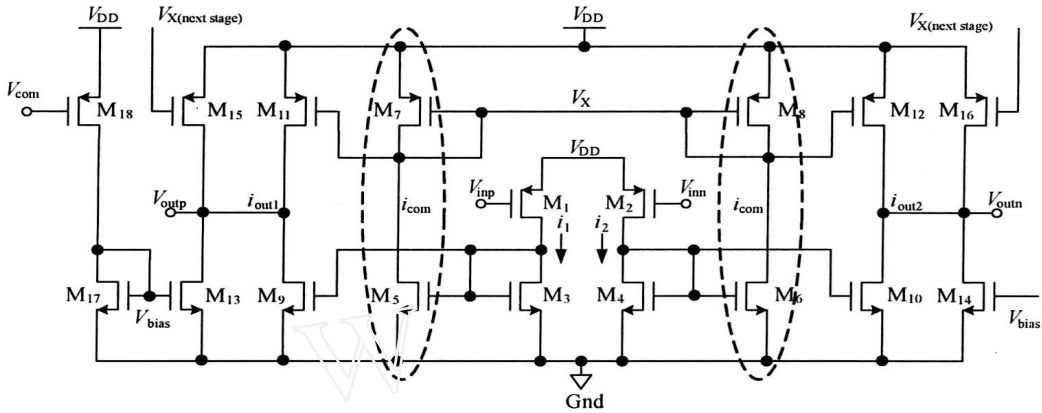


图 1 有共模前馈电路和共模反馈电路的伪差分 OTA

Fig. 1 Pseudo differential OTA with CMFF and CMFB

1.1.1 伪差分结构 OTA 电路基本分析

对于伪差分结构的 OTA,信号从输入级进来后产生输入小信号电流 i_1 和 i_2 ,通过电流镜镜像到共模前馈支路和输出端.假设 $M_5 = M_6 = M_9 = M_{10} = KM_3 = KM_4$, $M_{11} = M_{12} = M_{15} = M_{16} = KM_1 = KM_2$,则共模前馈电路中 2 个支路流过相同的电流 $i_{com} = K(i_1 + i_2)/2$,此电流通过 PMOS 电流镜镜像到输出端,分别同 M_9 、 M_{10} 管产生的电流 Ki_1 和 Ki_2 相减,得到输出电流 $i_{out1} = K(i_1 - i_2)/2$ 和 $i_{out2} = K(i_2 - i_1)/2$,由此得到的差分输出电流为

$$i_{out} = i_{out1} - i_{out2} = K(i_1 - i_2) = Kg_{m1,2}v_{in}; \quad (1)$$

其中 $g_{m1,2}$ 表示 M_1, M_2 管的跨导.伪差分结构 OTA 的差模增益和共模增益如下:

$$A_{dm} = \frac{Kg_{m1}}{g_{o9} + g_{o11}}, \quad (2)$$

$$A_{cm} = \frac{g_{m1}}{g_{m3}} \left[g_{m9} - \frac{g_{m5}g_{m11}}{g_{m7} + g_{o7} + g_{o5}} \right] \frac{1}{g_{o9} + g_{o11}} = \frac{g_{m1}}{g_{m3}} \frac{g_{m9}(g_{o7} + g_{o5})}{g_{m7} + g_{o3} + g_{o4}} \quad 1; \quad (3)$$

其中括号后一项是由于 MOS 管有限的输出阻抗所引起的,理想情况下此 OTA 的共模增益为 0. OTA 的单位增益带宽积为

$$GBW = A_{dm} \text{ Pole} = \frac{Kg_{m1,2}}{C_L}. \quad (4)$$

在设计中, $M_5 \sim M_{12}$ 使用大 L 值的管子,以增大 OTA 的差模增益,但是其寄生电容会减小带宽;增大 M_1, M_2 的 g_m 以及过驱动电压,以达到高增益、大带宽和良好的线性度.

1.1.2 伪差分 OTA 的线性度

为了分析伪差分 OTA 的线性度,本文采用了图 2 所示的最基本的伪差分 OTA,其中没有共模前馈电路和共模反馈电路.伪差分结构 OTA 不存在衬偏效应,如果不考虑沟道长度调制效应以及载流子迁移率的变化,当输入端加入差分小信号 v_d 时,电流 i_1 和电流 i_2 可以表示如下,

$$\begin{aligned}
 i_1 &= \frac{K_p}{2} \left(\frac{W}{L} \right)_1 (V_{inp} - V_{DD} - V_{THP})^2 = \frac{1}{2} \left(V_{ov}^2 + v_d V_{ov} + \frac{v_d^2}{4} \right), \\
 i_2 &= \frac{K_p}{2} \left(\frac{W}{L} \right)_1 (V_{inn} - V_{DD} - V_{THP})^2 = \frac{1}{2} \left(V_{ov}^2 - v_d V_{ov} + \frac{v_d^2}{4} \right), \\
 i_o &= i_1 - i_2 = V_{ov} v_d = g_{m1} v_d;
 \end{aligned}
 \tag{5}$$

其中 $K_p = \mu_p C_{ox}$, $\beta_p = K_p (W/L)$, 两者均为晶体管常数, V_{THP} 为 PMOS 管的阈值电压, $V_{inp} = V_{com} + v_d/2$, $V_{inn} = V_{com} - v_d/2$, $V_{ov} = V_{com} - V_{DD} - V_{THP}$, 是输入 PMOS 对管的过驱动电压. 从 (5) 式可以看出,在一阶近似的情况下,伪差分 OTA 的输出电流是完全线性的. 在实际的电路版图中,伪差分 OTA 的非线性主要来自于晶体管的失配和深亚微米工艺下 MOS 管的短沟道效应.

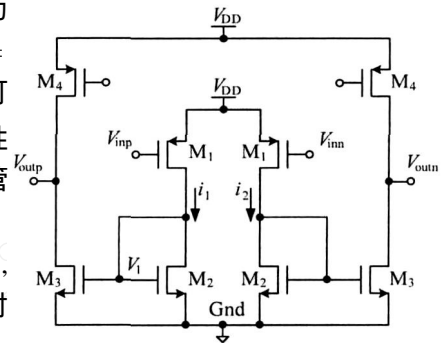


图 2 基本伪差分 OTA

Fig. 2 Basic pseudo differential OTA

1) MOS 管失配引起的二次谐波 在差分电路版图的设计中,不可避免的会有失配产生,输入晶体管对的失配会使得差分电路对二次谐波的抑制减弱.假设图 2 所示的电路中输入对管的失配为 $\delta > 0$, 将 (5) 式中的 β_p 替换为 $\beta_p (1 + \delta)$, 则输出电流中会出现直流分量二次谐波,假设 $v_d = V_{peak} \cos \omega t$, 则可以计算出由于电路失配而引起的 HD_2 ^[31]:

$$HD_2 = \frac{\delta V_{peak}}{8(2 + \delta) V_{ov}} \tag{6}$$

2) MOS 管短沟道效应引起的三次谐波 深亚微米工艺下的 CMOS 晶体管,其沟道载流子迁移率受沟道垂直电场和水平电场的影响很大,沟道长度调制效应也更为明显.这些效应会引起伪差分结构 OTA 奇次谐波的出现.对于短沟道 MOS 管,沟道电流与栅源、漏源电压的关系如下^[2]:

$$i = \frac{\mu_0}{2} \frac{(v_{GS} - V_{TH})^2}{1 + (v_{GS} - V_{TH})} (1 + v_{DS}); \tag{7}$$

其中 $\mu_0 = \mu_0 C_{ox} (W/L)$, $\beta_0 = 1/L E_c + \mu_0$, 的前后 2 项分别代表 MOS 管沟道中横向和纵向电场引起的迁移率退化, $E_c = v_{sat}/\mu_0$. L 为器件的沟道长度, C_{ox} 为单位面积的栅氧层电容, β_0 为沟道长度调制系数, μ_0 是低场强下的载流子迁移率, v_{sat} 是载流子的饱和速度, E_c 是载流子达到速度饱和时的电场强度.高阶效应引起的三次谐波分量为^[31]:

$$HD_3 = \frac{V_{peak}^2}{16 V_{ov} (1 + V_{ov})^2 (2 + V_{ov})} \tag{8}$$

可以看出,对于给定的 HD_3 , β_0 值越小,输入信号的线形范围越大,这可以通过增大输入对管的 L 值来实现,但也同时增大了寄生电容;增大 V_{ov} 也可以提高线性度,但是以增大电路功耗为代价的,所以在设计中需要折衷考虑.在本设计中,根据经验公式^[10] $L = 0.2 \mu m/V$,可以得到 0.18 μm 工艺下的 β_0 值为 $1.11 V^{-1}$,取输入管过驱动电压为 $V_{ov} = 0.3 V$,经计算要使得 $HD_3 < -40 dBc$,最大的输入峰值 V_{peak} 为 423 mV.

1.1.3 伪差分 OTA 噪声分析

由于 Filter-VGA 应用在 UWB 接收机前端链路的后级,所以其噪声性能可以适当放宽.对于本文中使用的伪差分结构 OTA(图 1),只考虑 MOS 管的热噪声时,输入等效噪声电压计算如下(假设 $M_9 = M_{10} = M_{13} = M_{14}$, $M_{11} = M_{12} = M_{15} = M_{16}$):

$$V_{n_rms}^2 = 2V_{n_M1}^2 + 2 \frac{V_{n_M3}^2}{(g_{m1}/g_{m3})^2} + 4 \frac{V_{n_M9}^2}{(Kg_{m1}/g_{m9})^2} + 4 \frac{V_{n_M11}^2}{(Kg_{m1}/g_{m11})^2}; \quad (9)$$

其中 K 定义同(1)式, $V_{n_Mi}^2$ 表示 i 管的噪声电压. 对于图 1 中的 $M_5 \sim M_8$, 由于它们处理的是共模信号, 所以其噪声只表现在共模特性中, 对差模输出的噪声影响可以忽略. 对于作为共模偏置的最左边 M_{17} 和 M_{18} 管其噪声影响也可以忽略.

1.1.4 伪差分 OTA 的设计考虑

在伪差分结构 OTA 的设计中, 考虑到寄生电容和寄生电导对滤波器的影响, OTA 输入输出 MOS 管的沟道长度需要折衷选择, L 太小会减小寄生电容, 但寄生电导大, 而且线性度性能较差; L 太大则会影响 OTA 的增益带宽积, 折衷选择采用 $L = 350$ nm. 考虑到线性度, 输入管的过驱动电压越大越好, 但是大的过驱动电压会引起电流过大, 功耗增大, 折衷选择输入管的过驱动电压为 300 mV. 为了减小寄生电容对滤波器性能的影响, 应使用 pF 量级的滤波电容, 它比寄生电容高一个量级; 对应的 OTA 的跨导都设计在 2 ms 左右.

1.2 五阶低通滤波器的设计

应用于 UWB 接收机中的 Filter 设计要求转折频率为 264 MHz, 带外衰减在 600 MHz 时下降 45 dB, 带内纹波小于 1 dB. 采用切比雪夫近似, 可以计算得到滤波器阶数为 5 阶. 本文采用一阶无源低通滤波器和 2 个双二次低通滤波器级联来实现五阶低通滤波器, 并通过电容阵列对滤波器的频响特性进行调节. 设计时留一定裕度, 将带内纹波设计为 0.5 dB, 可以得到第 1 级无源滤波器转折频率为 118 MHz, 第 2 级 biquad 转折频率为 198 MHz, Q 值为 1.036, 第 3 级 biquad 转折频率为 283 MHz, Q 值为 3.876. 本文采用的双二次低通滤波器结构示意图如图 3 所示^[3].

其转折频率、 Q 值和增益如下式所示:

$$\omega_0 = \sqrt{\frac{g_{m3} g_{m4}}{C_1 C_2}}, \quad Q = \frac{\sqrt{g_{m3} g_{m4}}}{g_{m2}} \sqrt{\frac{C_2}{C_1}}, \quad A_v = \frac{g_{m1}}{g_{m4}}. \quad (10)$$

设计时, 通过(10)式先调节转折频率, 然后通过调节 g_{m2} 得到合适的 Q 值, 最后通过调节 g_{m1} 得到滤波器的增益. 其中 g_{m1} 中包含 4 个相同的 OTA 及虚设电容, 并通过 2 个开关进行控制, 以此来达到 6 和 12 dB 的可变增益控制, 虚设电容的作用是在打开和关闭开关时不改变电路的频响特性. g_{m1} 电路结构示意图(虚设未画出)如图 4 所示. 通过打开 CtrlA 和同时打开 CtrlA、CtrlB 达到 6 和 12 dB 的增益可变. 通过(10)式可以看到, 这种增益调节的精度不受工艺参数的影响. 对于 Filter-VGA 系统而言, 第 1 级 biquad 设计一定增益可以有效抑制后级噪声.

图 3 所示的 G_m -C 双二次滤波器共有 3 个节点, g_{m1} 输入节点, g_{m1} 输出节点和 V_{out} 节点. 在后 2 个节点上需要有共模反馈电路稳定共模电压, 每个节点处只需要一个共模反馈电路, 所以其中的 g_{m1} 和 g_{m3} 采用图 4 结构, 而 g_{m2} 和 g_{m4} 不需要共模反馈电路, 这样减少了功耗, 简化了电路.

本文中设计的 5 阶低通滤波器的级联如图 5 所示. 第 1 级 RC 无源滤波器复用了前级混频器的输出电阻作为滤波器的电阻, 实现了与混频器的级联. Gain-Ctrl 开关用以控制链路增益, 图中的 DCOC 电路是直流失调校准电路(DC Offset Correction), 用以校准

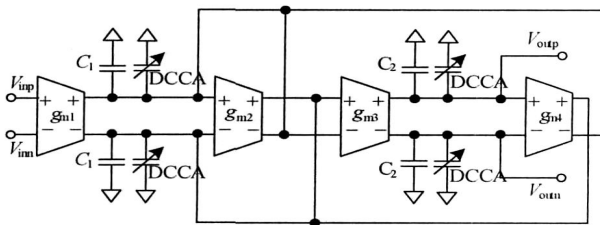


图 3 G_m -C 双二次低通滤波器

Fig. 3 G_m -C biquad low-pass filter

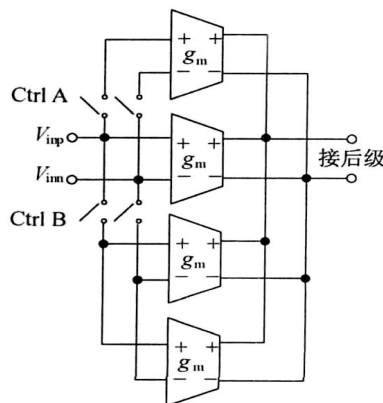


图 4 G_m -C 双二次滤波器中 g_{m1} 结构示意图

Fig. 4 g_{m1} topology in G_m -C biquad low-pass filter

Filter-V GA 系统的直流失调,保证电路正常工作.直流失调校准电路采用负反馈原理,将正负输出节点的静态电平提取并进行比较,然后将比较的电流值反馈回电路的前级电流源或直接反馈到相反极性的输出端电流源.电路结构中包括输出直流电平提取电路,比较电路以及反馈回路.本文中采用的 DCOC 电路结构示意图如图 6 所示.加入 DCOC 电路后,后仿真结果表明 Filter-V GA 电路的 DC offset 下降了 80%.

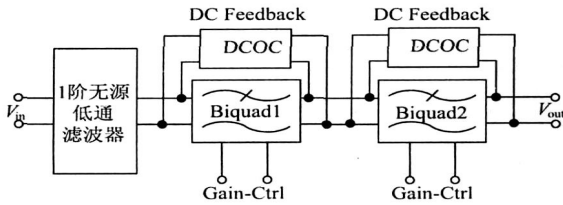


图 5 五阶低通滤波器级联结构
Fig. 5 5th order low-pass filter

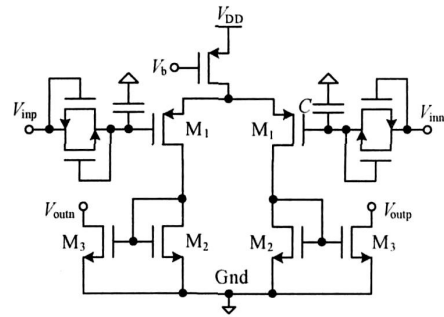


图 6 DCOC 电路结构
Fig. 6 DCOC topology

Filter-V GA 链路的噪声性能主要由第 1 级 biquad 决定,第 2 级 biquad 的噪声贡献由于第 1 级 biquad 的增益而减小.第 1 级 biquad 中, g_{m1} 中的 4 个相同的伪差分结构 OTA 贡献了 50% 以上的噪声, g_{m2} 和 g_{m4} 贡献了 30% 以上的噪声,而 g_{m3} 的噪声由于 OTA3 的放大作用略有减小.

在滤波器的链路设计中,各级滤波器按照 Q 值递增的方式进行级联,这样可以减小在滤波器转折频率处的噪声影响. DCCA 阵列中采用粗调细调相结合的方式,粗调用于不同工艺角之间的调节,细调则使转折频率在 250 ~ 300 MHz 之间变化.在 DCOC 电路设计中,采用工作在亚阈值区的 MOS 管实现大阻抗,这样可以采用较小的电容实现很低的转折频率,保证高频信号不会衰减.

1.3 可变增益放大器的设计

本设计中的 V GA 采用两级运放来实现.第 1 级运放采用跨导增强型源极负反馈结构,通过调节源极负反馈电阻达到控制电路增益的目的^[9].在此基础上,加入源极负反馈电容^[9],引入一个零点,对可变增益放大器的高频响应进行补偿,以提高运放的带宽.第 2 级运放采用简单的共源放大器实现,以达到需要的增益.最后,在 V GA 中加入 DCOC 电路以进行直流失调校准. V GA 的电路结构图(DCOC 电路未画出)如图 7 所示.

第 1 级的跨导增强放大电路通过引入 M_2 管的反馈增强了输入管的栅源跟随特性,降低了放大器高频的非线性失真.整个电路的增益(不考虑反馈电容)如下所示:

$$A_v = \frac{g_{m1} R_1 g_{m3} R_2}{1 + g_{m1} (1 + g_{m2} R_1) R_s} \cdot \frac{g_{m3} R_2}{g_{m2} R_s} \quad (11)$$

从(11)式可以看出, V GA 的增益是 2 个跨导的比值与 2 个电阻的比值之积,可以实现相对精确的增益步长.本设计中 V GA 的固定增益为 6 dB,一级可变增益为 18 dB.

未加入源极补偿电容前, V GA 电路有 2 个极点,输出节点上的主极点和 V_1 节点上的次主极点;当加入源极负反馈电容后,在输入对管的源极节点产生一个左半平面的零点和一个左半平面的高频极点,这一零点与主极点抵消后可以增大 V GA 的 3 dB 带宽. V GA 增益控制时要同时改变负反馈电阻和电容,以保证增益曲线的平坦性.

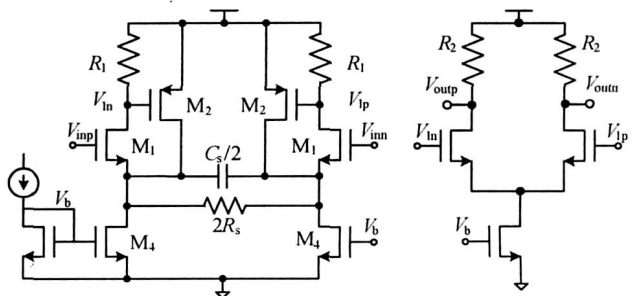


图 7 可变增益放大器的电路结构
Fig. 7 Variable gain amplifier

图 7 所示的跨导增强型 V GA 有较好的线性

度.第 1 级电路由于 M_2 管的反馈作用,使得 M_1 管的栅源电压跟随性更强,即小信号电压并不改变流过 M_1 管的电流,小信号电流只流过 M_2 管和 R_s ,可得到流过 R_s 的小信号电流为 v_{in}/R_s ,即其等效跨导为 $1/R_s$,有很好的线性度,第 2 级放大电路通过增大 M_3 管的过驱动电压来优化线性度.

跨导增强型 VGA 的噪声性能由于前级滤波器的增益而变得不重要,其主要的噪声源是第 1 级输入对管和源极负反馈电阻.

在 VGA 设计中,考虑到版图设计时的匹配问题(大 L 值),同时由于 VGA 作为 Filter 的负载,要尽量减少其输入寄生电容(小 L 值),折衷选择主放大管 L 为 350 nm.反馈管 M_2 的 L 选择为 250 nm,主要是考虑到其静态工作点的设置,选取合理的阈值电压与 g_m 值.第 2 级输入管采用 500 nm 沟长,主要考虑到第 2 级需要较大的增益,小沟长管的本征增益较低,会极大的影响输出阻抗.所有的电流源管子都采用 $1\ \mu\text{m}$ 沟长,以保证良好的匹配.

1.4 Filter-VGA 的设计

Filter-VGA 系统的级联需要考虑到转折频率,线性度,带宽以及噪声等性能,系统各级的增益等需要合理分配以降低设计难度,提高系统性能.本文设计的 Filter-VGA 结构如下图 8 所示.

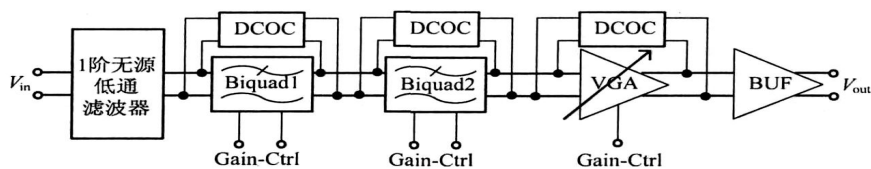


图 8 Filter-VGA 系统结构框图

Fig. 8 Filter-VGA chain

在 Filter-VGA 链路的设计中,增益的分配关系到链路的噪声系数和线性度性能,折衷设计如下:由于滤波器增益控制的相对精度较高,所以在滤波器的 2 个 biquad 结构中分别设计了 12 dB 的可变增益,这样减少了后级 VGA 的设计压力,并且 biquad1 的增益可以对后级电路的噪声得到很好的抑制.由于增益较小,VGA 的线性度可以优化设计,提高整个链路线性度性能.在整体电路中分段加入 DCOC 电路以降低系统的直流失调.为了减小由于工艺的偏差而引起的转折频率变化,滤波器中的电容均采用数字控制电容阵列(DCCA)来实现.

2 Filter-VGA 仿真结果与分析

本文设计的 Filter-VGA 采用 Jazz $0.18\ \mu\text{m}$ RF CMOS 工艺,电源电压 1.8 V,在 Cadence Spectre RFTM 环境下进行仿真.芯片(I/Q 两路)的面积为 $1\ 080\ \mu\text{m} \times 455\ \mu\text{m}$,版图(pad 未画出)如图 9 所示.后仿真结果如下.

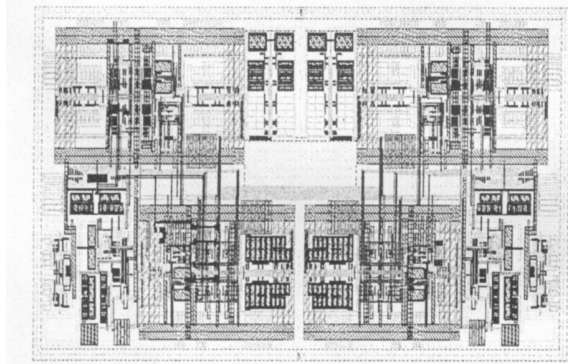


图 9 Filter-VGA 芯片版图

Fig. 9 Filter-VGA die photo

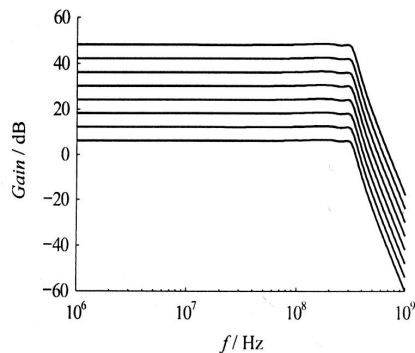


图 10 Filter-VGA 频响曲线及增益调节曲线

Fig. 10 Filter-VGA AC response and gain control

1) Filter-VGA 系统的转折频率为 264 MHz,在 600 MHz 时带外衰减小于 -45 dB,带内纹波小于 1 dB,增益范围为 6~48 dB,6 dB/step,步长误差小于 0.1 dB,如图 10 所示.群时延在整个频段内小于 6 ns.

2) 最小增益条件下,在 Filter-VGA 输入摆幅为 100 mV 时,三次谐波分量 HD₃小于 -54 dBc,如图 11 所示.由此可以计算出本设计中的 Filter-VGA 的线性度为 IIP₃ = -6.35 dBV.

3) Filter-VGA 系统最大增益 48 dB 时在所需带宽内噪声系数均小于 25 dB,如图 12 所示.仿真得到输出噪声电压密度为 5.4 × 10⁻¹² V²/Hz,将其等效到输入端得到输入参考噪声电压(input referred noise, IRN)为 9 nV/√Hz.

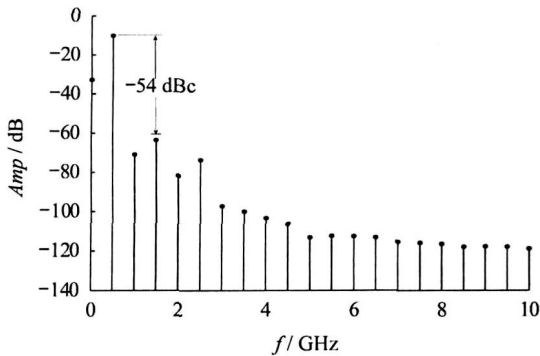


图 11 Filter-VGA 线性度

Fig. 11 HD₃ of the Filter-VGA system

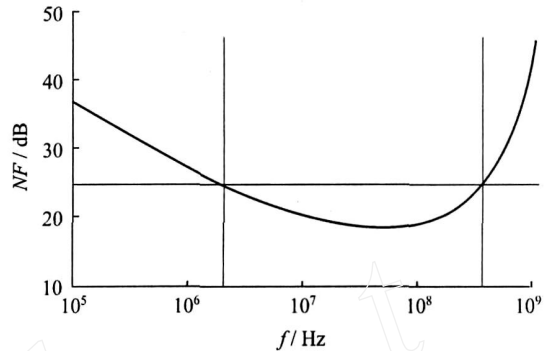


图 12 Filter-VGA 系统的噪声系数

Fig. 12 NF of the Filter-VGA system

4) 输入端(即 mixer 输出端)有 5 mV 直流失调时,在 Buffer 输出端的直流失调小于 20 mV.

5) 电路消耗的总电流为 30 mA,功耗为 54 mW,其中 Filter 消耗 30 mW,VGA 消耗 15 mW,偏置电路和输出 buffer 消耗 9 mW.

表 1 中给出了本设计中的 Filter-VGA 仿真结果与已有文献的比较.从比较结果可以看出本文所设计的 Filter-VGA 在各项性能中均有一定的优越性.同文献[5]相比,本文设计的 Filter-VGA 在带宽,增益,线性度,噪声性能等方面已经达到国际水平;对于滤波器,本设计以 30 mW 功耗实现了增益可变的 264 MHz UWB 滤波器,考虑工艺尺寸变化时,功耗与 L²成正比;在同一工艺尺寸下,转折频率与 g_m成正比,在过驱动电压不变时,即与功耗成正比^[8];对于增益可变,假设额外增加 50%的功耗,可以得到一个有关滤波器功耗、特征尺寸、转折频率的 FOM (figure of merit), (其中增益可变时, B = 1.5;增益固定时 B = 1),

$$FOM = \frac{B \cdot BW(\text{MHz}) \cdot L^2}{\text{Power/pole}}$$

从比较结果可以看出,本文的设计滤波器有很大的优势.对于线性度,本设计中的结果与已有设计在同一个数量级,但不及[6]中的 OPAM-RC 结构,其 FOM 最小,用功耗实现高线性度和高带宽.

表 1 本设计与已有文献的比较

Tab. 1 Performance summary and comparison of UWB Filter-VGA

来源	COMS 工艺 / μm	电源电压 / V	LPF 阶数	LPF 结构	转折频率 / MHz	IRN/ (nV · Hz ^{-1/2})	线性度 ³⁾ / dBV	功耗 / mW	FOM
本文 ¹⁾	0.18	1.8	5	Gnr-C biquads	264	9	-6.35	54	2.138 4
文献[4]	0.35	3.3	7	Gnr-C biquads	200	-	-2.18	60	2.858 3
文献[5] ²⁾	0.13	1.2	5	Gnr-C Leapfrog	240	7	-8.20	24	1.267 5
文献[6]	0.18	1.8	5	OPAM-RC	500	18	13.50	90	0.900 0
文献[7]	0.35	3.3	4	Gnr-C biquads	500	-	-3	140	1.750 0
文献[8]	0.35	2.0	3	Gnr-C LC Ladder	42~215	-	-	18.6/pole	1.416 0

1) 后仿结果,VGA 结构为跨导增强型源极负反馈,增益可变 6~48 dB;2) VGA 结构通过 Buffer 调节,增益可变 13~48 dB;3) 统一等效为 IIP₃,单位为 dBV.

本文采用 Jazz 0.18 μm CMOS 工艺实现了应用于 UWB 接收机中的 Filter-VGA 设计. Filter 采用 5 阶切比雪夫近似,通过 G_m -C 双二次结构实现;VGA 采用跨导增强型源极负反馈的运放结构,并利用源极负反馈电容 VGA 高频响应进行补偿,提高了运放的带宽.整体电路中加入 DCOC 电路进行直流失调的校准,并通过 DCCA 阵列调整滤波器的转折频率,补偿工艺偏差对转折频率的影响.仿真结果表明 Filter-VGA 的性能能够满足 UWB 接收机前端的要求.

参考文献:

- [1] Silva-Martinez J, Steyaert M, Sansen W. High-performance CMOS continuous time filters[M]. USA: Kluwer Academic Publishers,1993:4-6.
- [2] Razavi B. 模拟 CMOS 集成电路设计[M]. 陈贵灿,程军,张瑞智,等译. 西安:西安交通大学出版社,2002:90-91.
- [3] Mohieldin A N, Sanchez-Sinencio E, Silva-Martinez J. Nonlinear effects in pseudo differential OTAs with CMFB [J]. *IEEE Transactions on Circuits and Systems*,2003, **50**(10):762-770.
- [4] Silva-Martinez J, Adut J, Rocha Perez J M, et al. A 60 mW 200 MHz continuous-time seventh-order linear phase filter with on-chip automatic tuning system [J]. *IEEE J Solid-State Circuits*,2003, **38**(2):216-225.
- [5] Saari V, Kaltiokallio M, Lindfors S, et al. A 1.2V 240 MHz CMOS continuous-time low-pass filter for a UWB radio receiver [EB/OL]. (2007-06-18) [2008-03-10]. <http://ieeexplore.ieee.org/iel5/4242240/4242241/04242295.pdf>.
- [6] Harrison J, Weste N. A 500 MHz CMOS anti-alias filter using feed-forward op-amps with local common-mode feedback [EB/OL]. (2004-02-26) [2008-03-10]. <http://ieeexplore.ieee.org/iel5/8736/27661/01234236.pdf>.
- [7] Pandey P, Silva-Martinez J, Liu Xuemei. A CMOS 140-mW fourth-order continuous-time low-pass filter stabilized with a class AB common mode feedback operating at 550 MHz [J]. *IEEE Transactions on Circuits and Systems*,2006, **53**(4):811-820.
- [8] Otin A, Aldea C, Celma S. Low voltage LC-ladder G_m -C low-pass filters with 42-215 MHz tunable range [EB/OL]. (2005-10-31) [2008-03-10]. ieeexplore.ieee.org/iel5/10211/32578/01522956.pdf.
- [9] 王自强,池保勇,王志华. CMOS 宽带可变增益放大器[J]. 半导体学报,2005, **26**(12):2401-2406.
- [10] Sansen W. Analog design essentials [M]. Germany:Springer,2006:25.

0.18 μm G_m -C Filter and VGA for OFDM UWB Systems

YAO Wang, LI Wei, LI Ning, REN Jurr-yan

(ASIC & System State Key Laboratory, Fudan University, Shanghai 201203, China)

Abstract: Full CMOS filter and VGA for OFDM UWB systems are designed. 5th order Chebyshev approximation and G_m -C biquad architecture are adopted the filter. The cutoff frequency is 264 MHz. OTA (Operational Transconductance Amplifier) is realized in pseudo differential topology to maximize the linearity of the filter. Architecture of transconductance enhanced source degeneration is adopted for the VGA to control the gain, together with a source degeneration capacitance to widen the bandwidth. DC offset Correction (DCOC) circuit and digital controlled capacitance array (DCCA) are introduced to reduce the DC offset and adjust the cutoff frequency respectively. The Filter and VGA are designed in Jazz 0.18 μm CMOS process. Simulation results show that the Filter and VGA system has gain of 6~48 dB, variable gain of 42 dB, 6 dB/Step, THD < -54 dBc at 100 mV peak-to-peak input voltage, IIP3 of -6.35 dBV. The NF is less than 25 dB and current dissipation is 30 mA from 1.8 V voltage supply.

Keywords: UWB; G_m -C filter; VGA; pseudo differential OTA; DC offset