

# 版图学习

## 一. MOS 管工艺

### (1) 普通 MOS 管

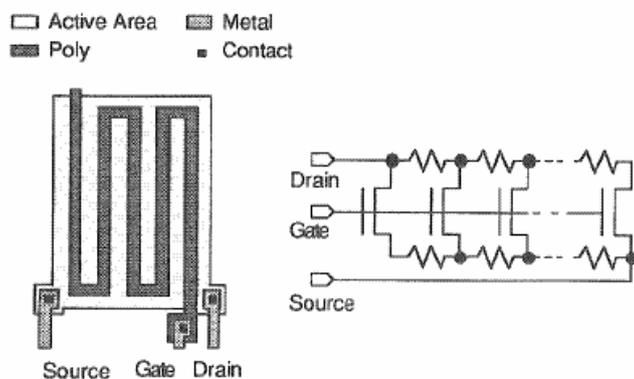
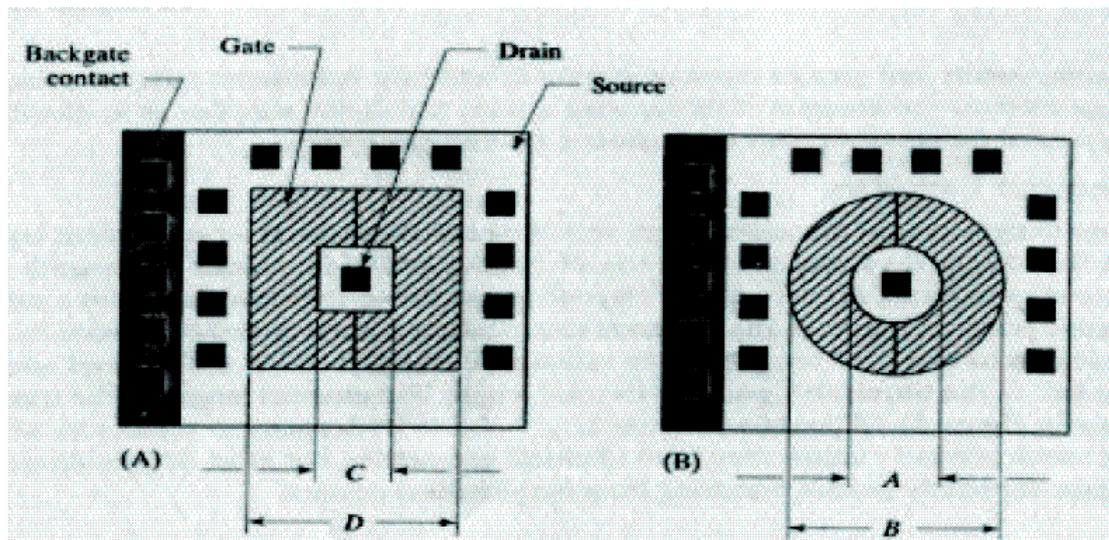


Fig. 3: Layout of a digital MOS transistor and its equivalent circuit.

这种结构很容易和多晶硅电阻混淆，判别方法是：

1. 多晶硅是否放置在有源区上面；
2. 看多晶硅有几个端口引出。

高宽长比 MOS 器件：



### (2) 叉指 MOS 管

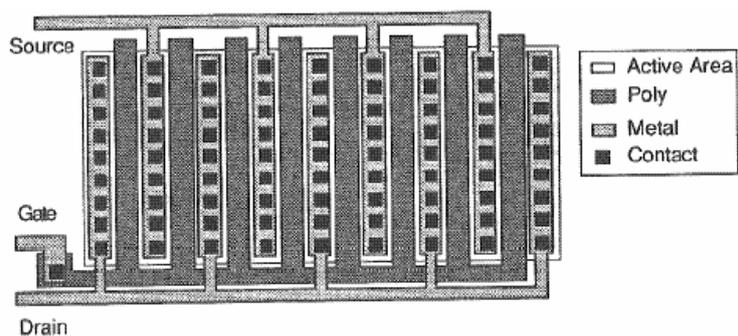
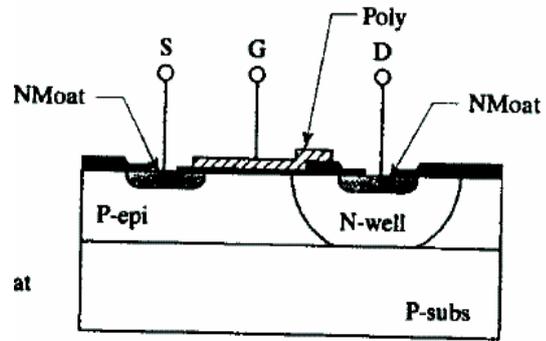
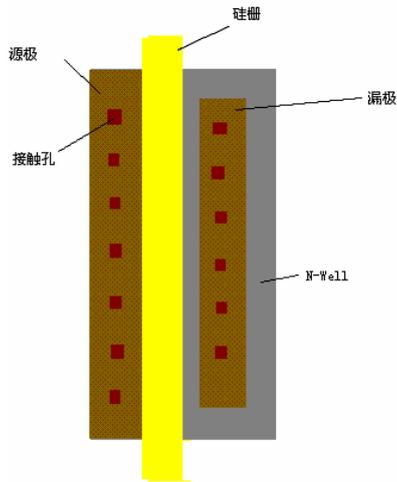


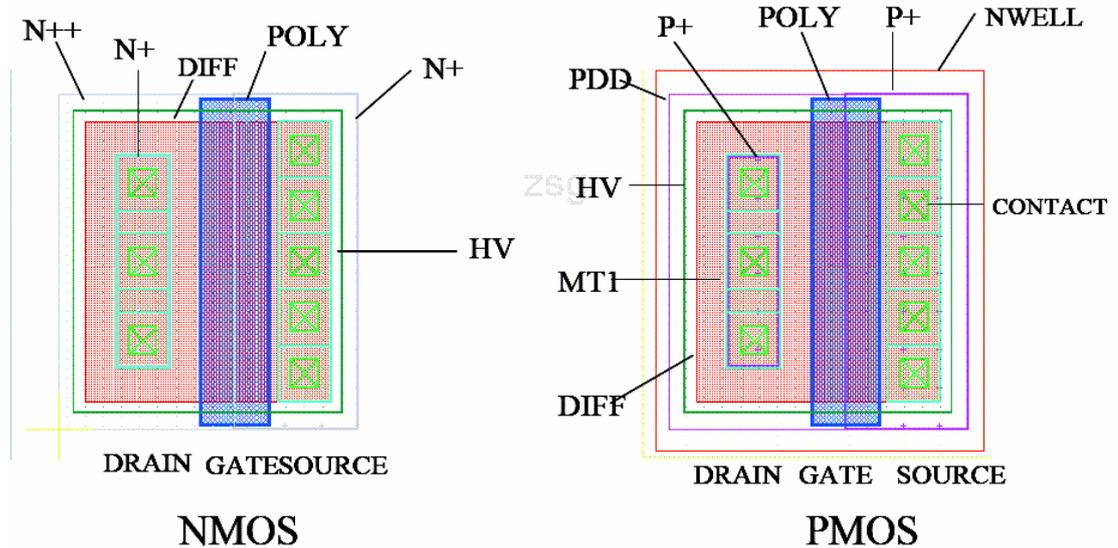
Fig. 6: Layout of a "stacked" wide transistor.

又指 MOS 管判断的关键是看多晶硅层，观察它有几个输入。

### (3) 耐高压 MOS 管

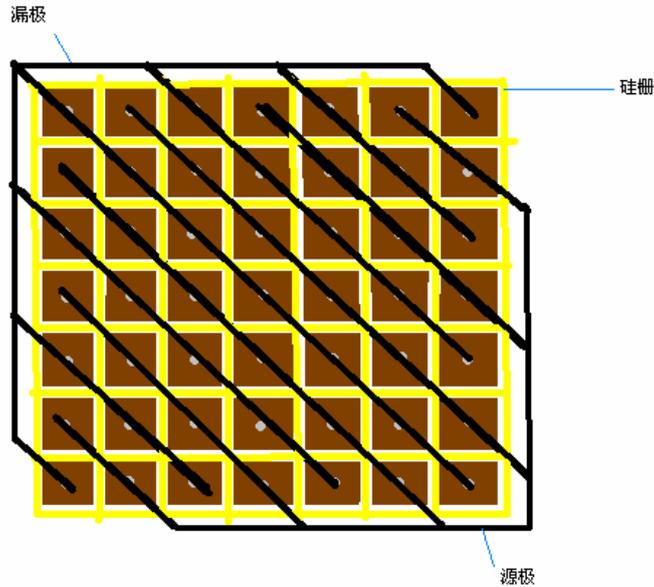


该晶体管为 Extended-Drain, High-Voltage transistor, 为非自对准工艺, 版图示意如上。这种晶体管使用 n 阱作为轻掺杂的漏极。



这种结构为源漏不对称的 MOS 管，具体实现高压原理不是很清楚。

### (4) 功率开关 MOS 管



版图上的另一半面积都用来做电路中的一个关键器件——功率开关 MOS，版图示意如上。源漏区域为矩阵结构，且漏极也做在 n 阱中，为非自对准工艺，因此判断这个晶体管是 waffle transistor 和 Extended Drain HV transistor 的结合，可承受高压大电流。

另外，在版图中，NMOS 和 PMOS 可通过如下规则判断：

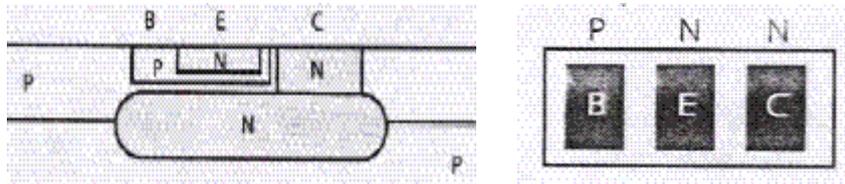
- 1、对于数字电路，CMOS 中的 P 管 W/L 大，N 管 W/L 小
- 2、源极接 V<sub>dd</sub> 的一般为 PMOS，接 V<sub>ss</sub> 的一般为 NMOS
- 3、模拟电路不完全服从以上规律。可结合电路结构来分析。如差分放大器尾电流接 V<sub>ss</sub>，则差分对及尾电流 MOS 器件为 NMOS，负载管则可以基本判定为 PMOS

## 二. BJT 工艺

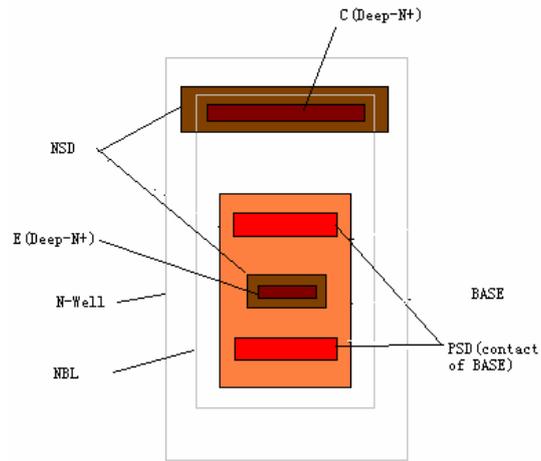
基本规则：从版图上来看，晶体管的集电极和发射极具有相同的颜色。

BJT 工艺一般分为 VNP 和 LPNP 两种工艺，其中 VNP 又分两种：Standard VNP 和 double-base VNP

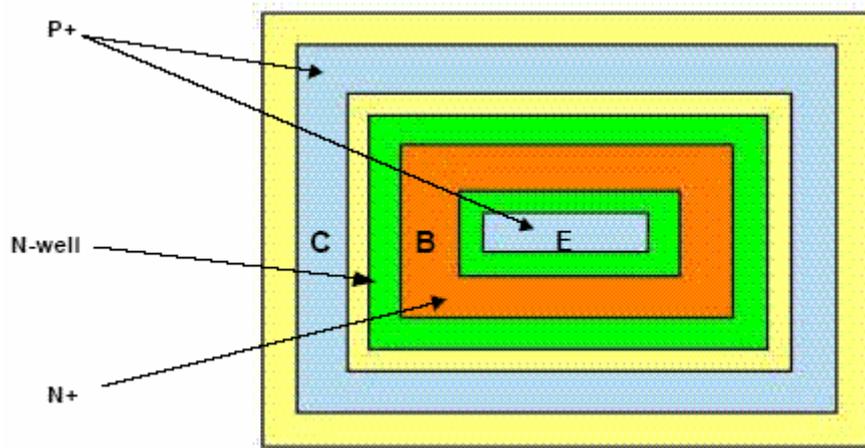
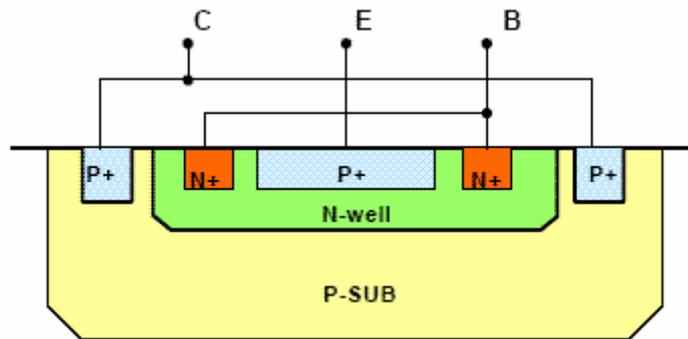
### (1) VNP



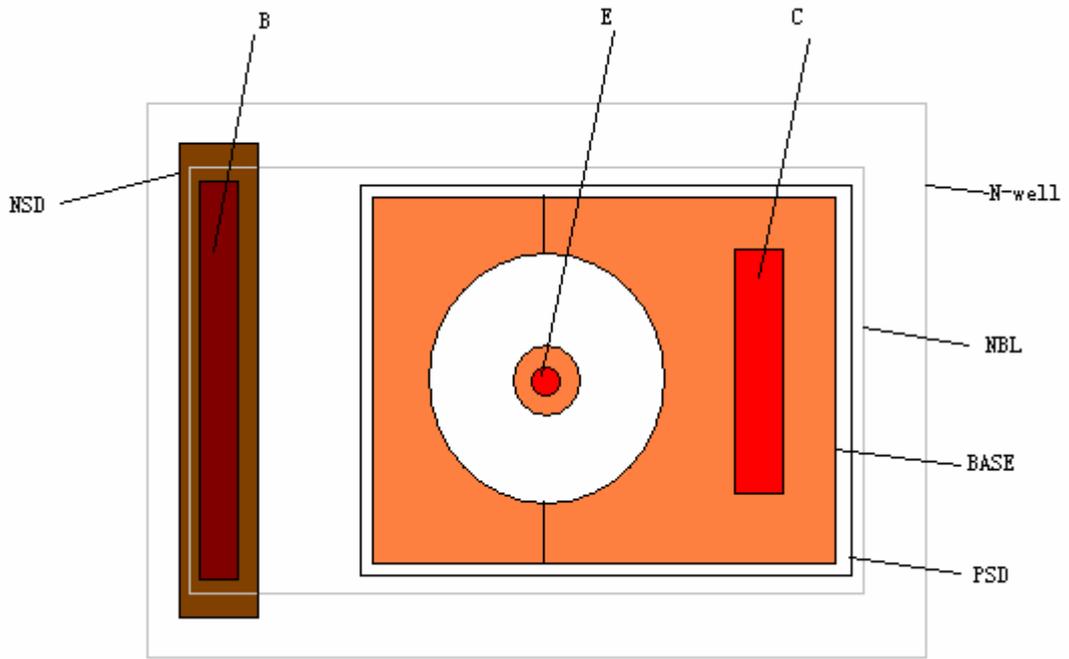
### (2) double-base VNP



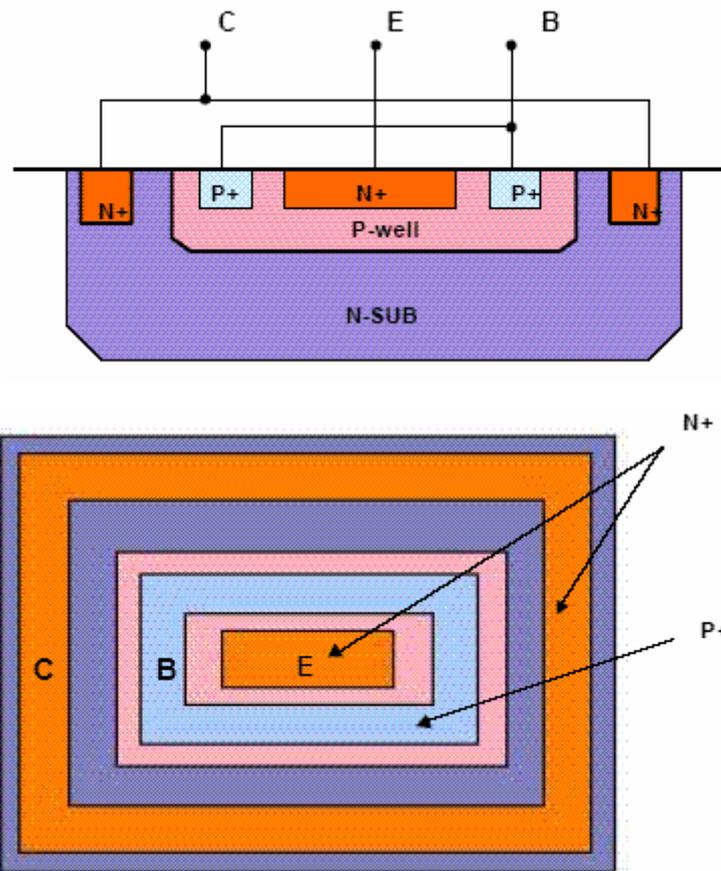
(3) LPNP



其他形式的版图:



(4) LNPN

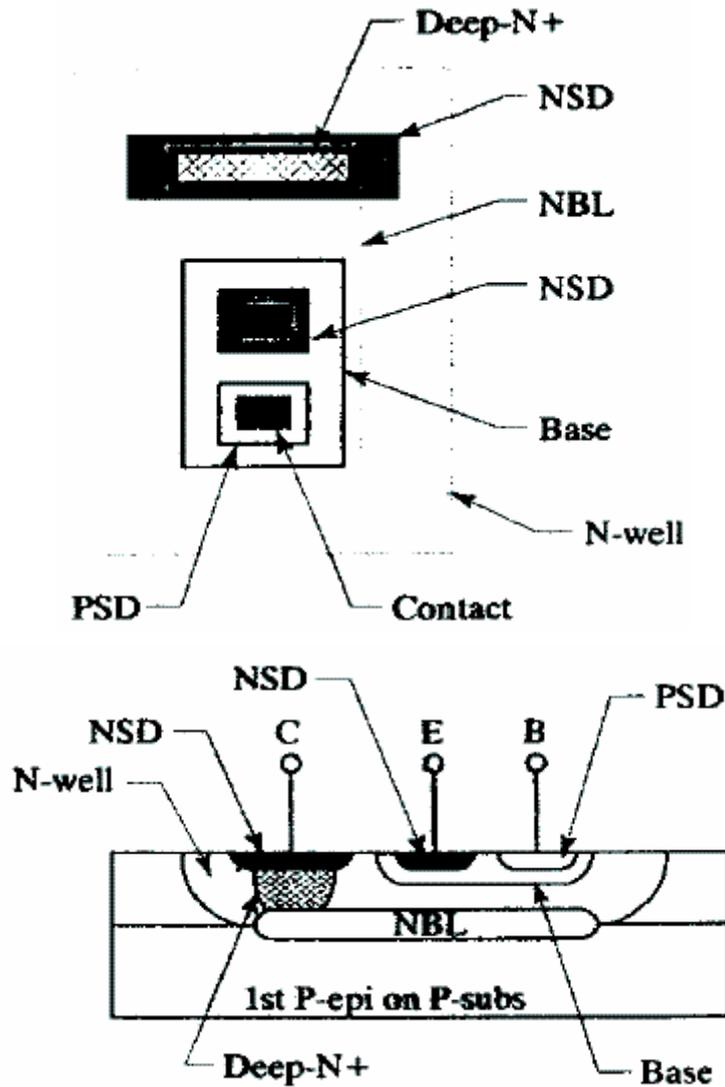


这种结构与一般 VNPB 结构的区别在于，后者一般是用 P-SUB 制作，而它采用的是 N-SUB, P-WELL 的工艺。

在版图中，NPN管和PNP管可通过如下规则判断：纵向管：除极特殊的情况外，NPN管的C极接向电源正极，PNP的C极接向电源负极。NPN管小尺寸管，PNP往往为大尺寸横向或纵向管。

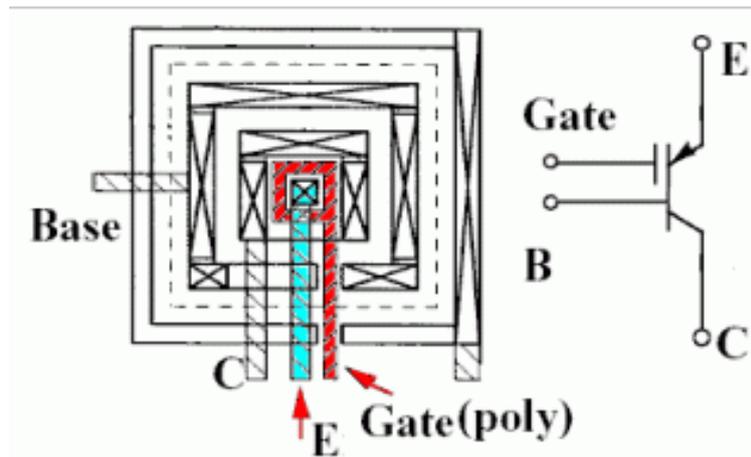
### 三. BICMOS 工艺

#### 1. CMOS 工艺的 NPN 管



与标准 CMOS 相比，增加一个低浓度 P 区，在 N 阱中形成 NPN 的基区，P+有源作基极引出，N+有源作 NPN 发射极，集电极扩展隔离，通过 N+ plug 深扩展，既构成集电极引出塞子，又形成隔离槽。这是双阱双埋层结构。

#### 2. GC-LCPNP



将传统的 PNP 的 E，也就是发射极用 poly gate 包围起来，形成类似 PMOS 的结构，symbol 如图右所示。

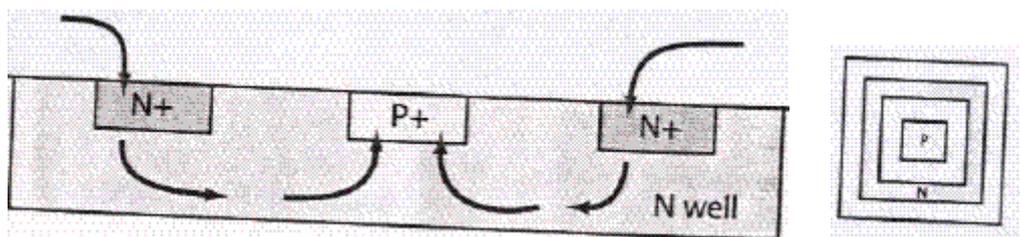
加这个 gate 的要求是  $V_g > V_e > V_b$ ，通常  $V_g$  不应小于  $V_e$ ，如果比  $V_e$  还小，就无法工作了，所以强调  $V_g \geq V_e$ 。

- 假设  $V_g$  太小，即加在 PMOS 的 gate 的加压，会导致 PMOS 导通，进而使  $V_e$  接近于  $V_c$  (饱和)
- 参照 PNP 的工作原理（类似共集电极），可参照下面剖面图进行分析。（ $V_e > V_b \gg V_c$ ，EB 正偏，BC 反偏）（forward）
- 分析后可以得出，类似 PMOS 结构必须截止!!
  - 但不等于将 E(发射极)切断，反而是电子积聚在 B(基极)，从而加大从 E 到 B 的电场作用，并使基极浓度加大，电子经过基极时间减少，迅速到达发射极。
  - 如此分析得出结论，此种结构增强了 PNP 的工作性能，并能在受影响的环境中工作正常，这也是现在大家愿意采用这种结构的原由所在。

#### 四. 二极管工艺

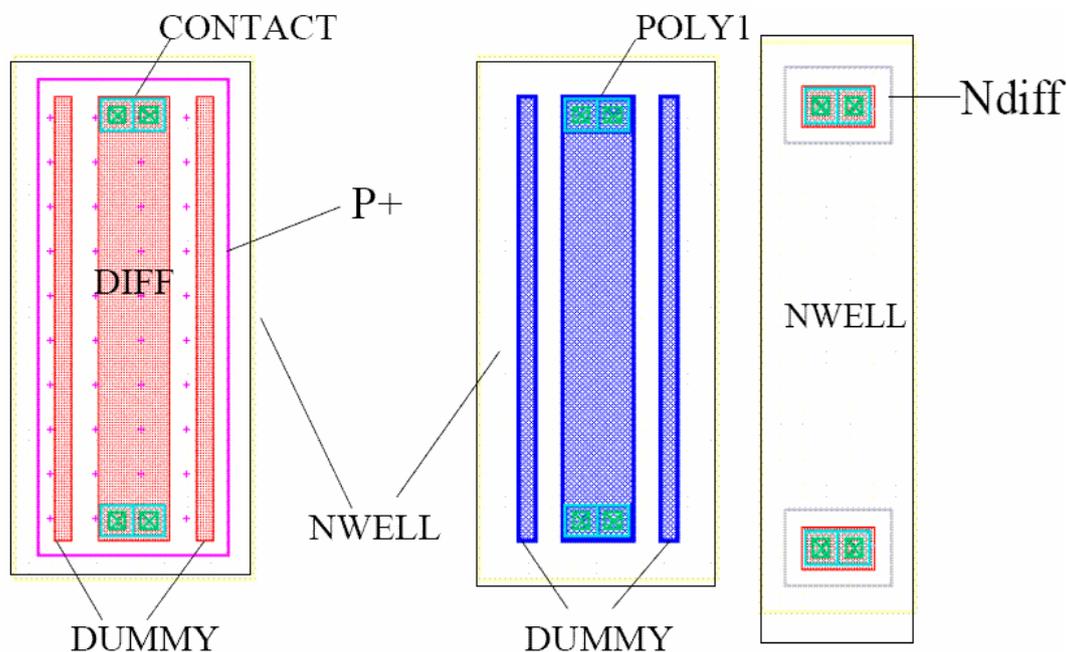
通常二极管是由三极管通过 B-C 或 C-E 对接来构成二极管，前一种连接为普通二极管，后一种连接为齐纳二极管。这两种二极管的版图识别可以通过先判断晶体管，然后再判断晶体管有几个引出端来判断。

除此之外，由于电路性能的需要，可能存在比较特殊的二极管版图结构。



## 五. 电阻工艺

电阻工艺可以分为三类：Diff Resistor, Poly Resistor 和 Nwell Resistor。

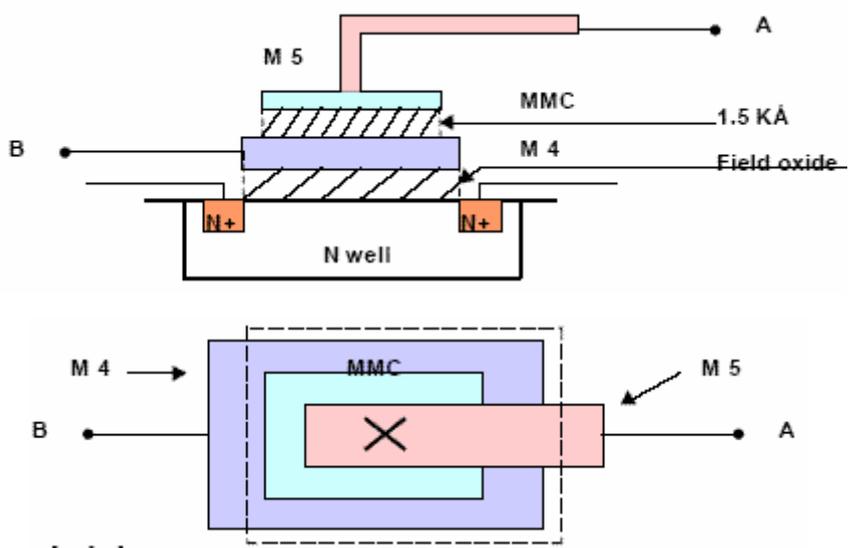


## 六. 电容工艺

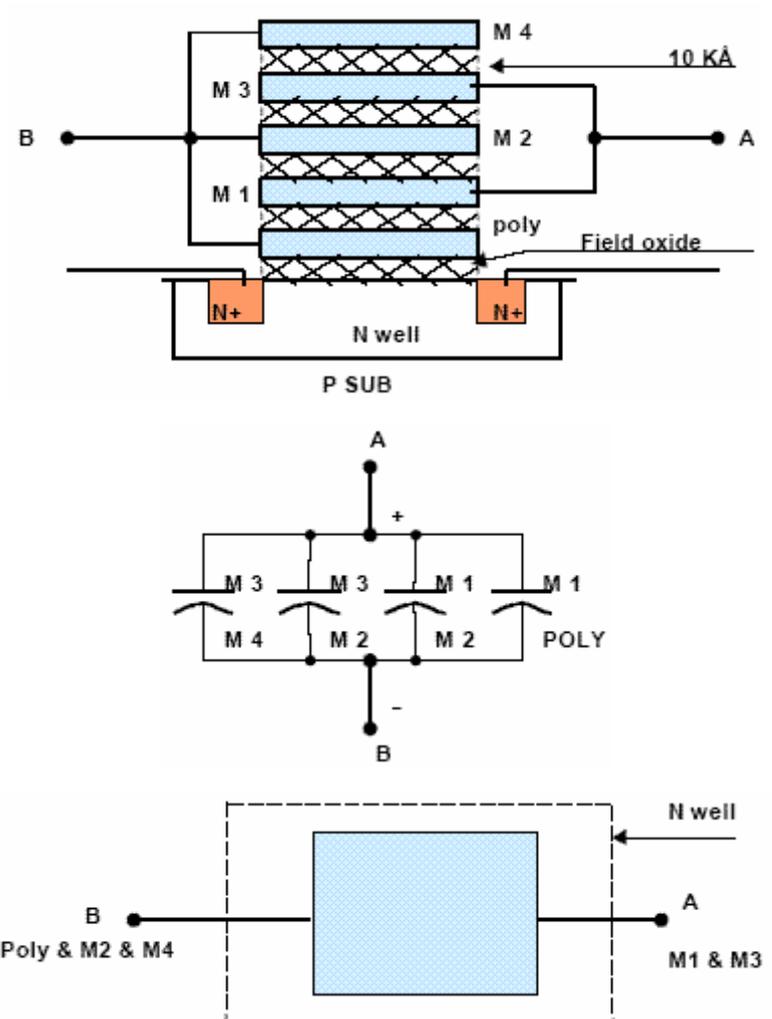
最形象的电容结构为两个导电板中间夹一个介质层，在版图识别中，可以看作导电板的是 POLY, METAL1, METAL2 以及扩散层，一般介质层都是由绝缘硅层构成的。电容主要为 POLY-POLY 电容, METAL-POLY 电容, METAL2-METAL1 电容, 多晶硅-n+扩散层 MOS 电容, MOS 管源漏对接电容。

下面是一些常见电容版图：

MMC:



三明治:



七. 简单电路—RS 触发器的识别  
 (1) 由 NAND 构成的 RS 触发器

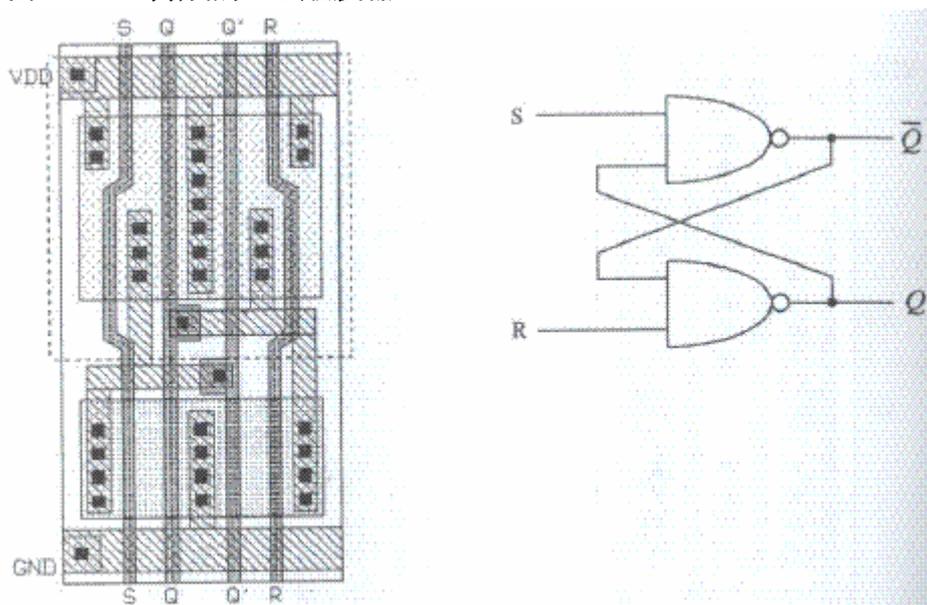
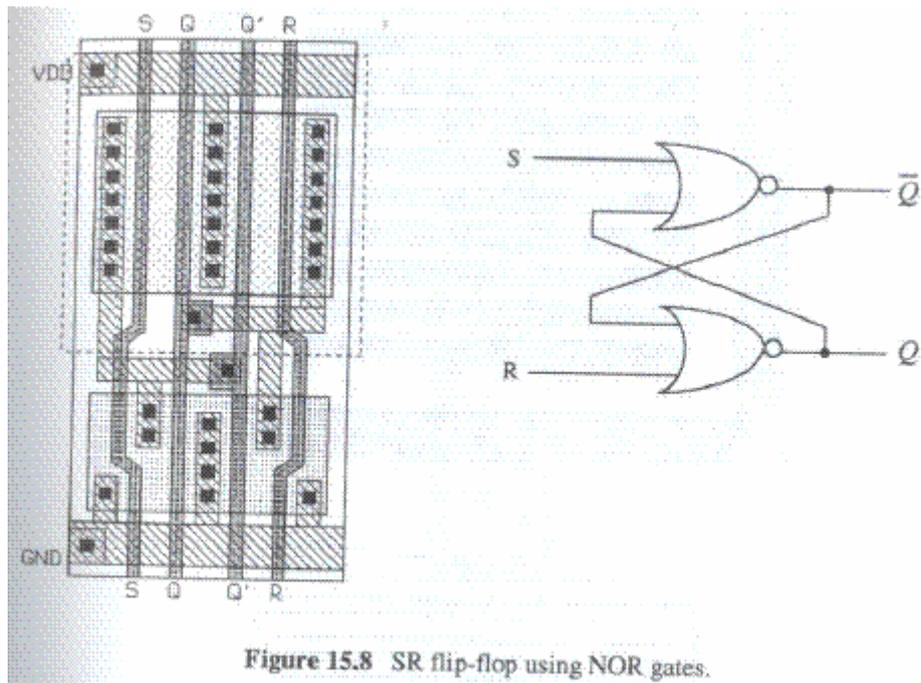
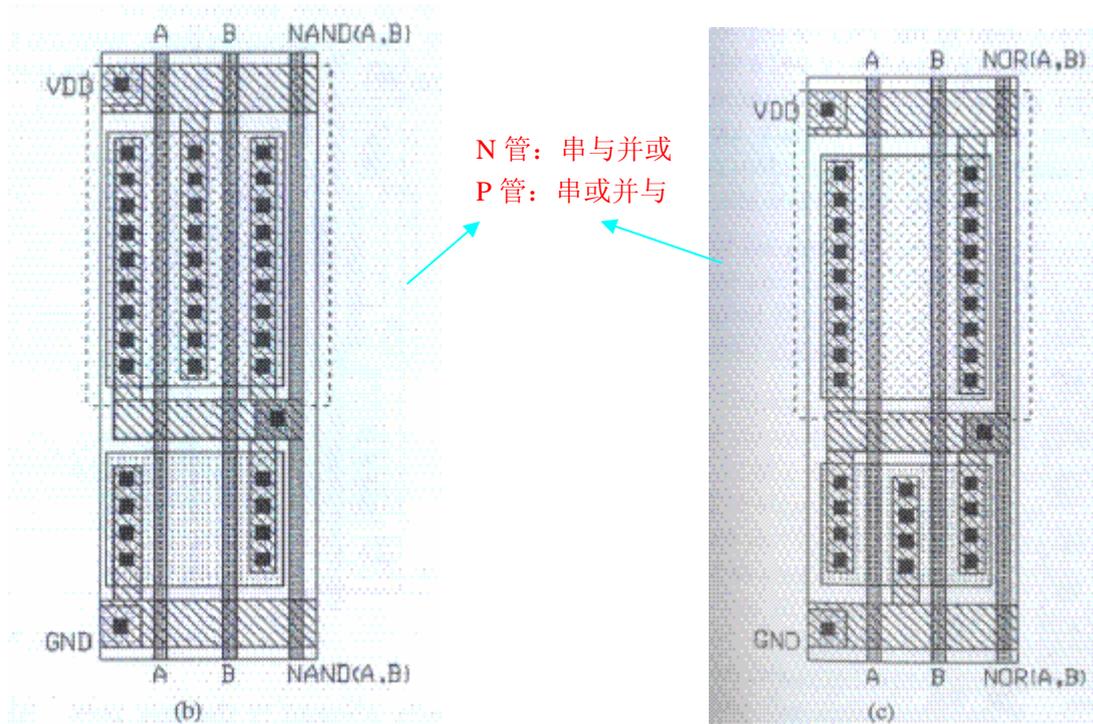


Figure 15.6 SR flip-flop using NAND gates.

(2) 由 NOR 构成的 RS 触发器



对这两个版图进行分析，前者基本单元是 NAND，后者的基本单元是 NOR，可以先分析这两种电路的版图，然后再对 RS 触发器版图进行识别。



注意：关键是看有几个引出端与 vdd 和 gnd 相连。

通过上面的说明，可以先对下面的版图进行识别。

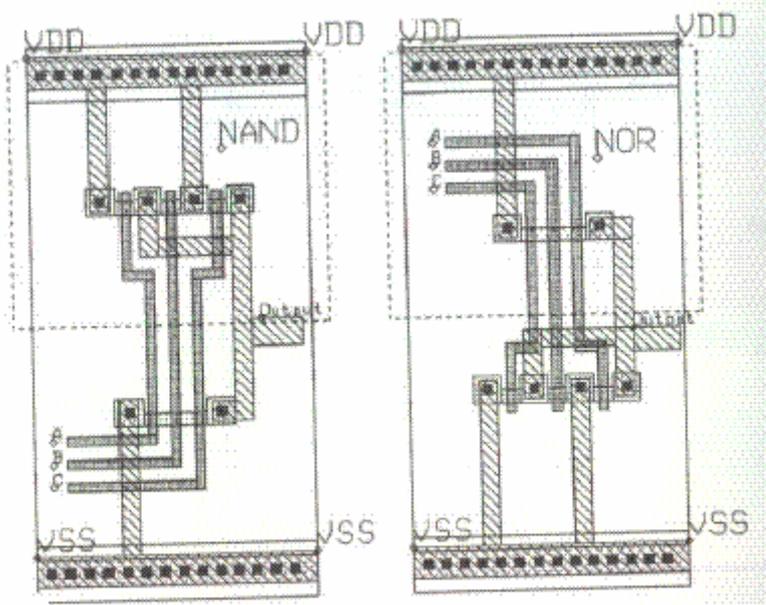


Figure 12.5 Layout of the NAND and NOR gate.