

# IC模拟版图设计

# 目录

## ▶ 第一部分：了解版图

1. 版图的定义
2. 版图的意义
3. 版图的工具
4. 版图的设计流程

## ▶ 第二部分：版图设计基础

1. 认识版图
2. 版图组成两大部件
3. 版图编辑器
4. 电路图编辑器
5. 了解工艺厂商

# 目录

## ▶ 第三部分：版图的准备

1. 必要文件
2. 设计规则
3. DRC文件
4. LVS文件

## ▶ 第四部分：版图的艺术

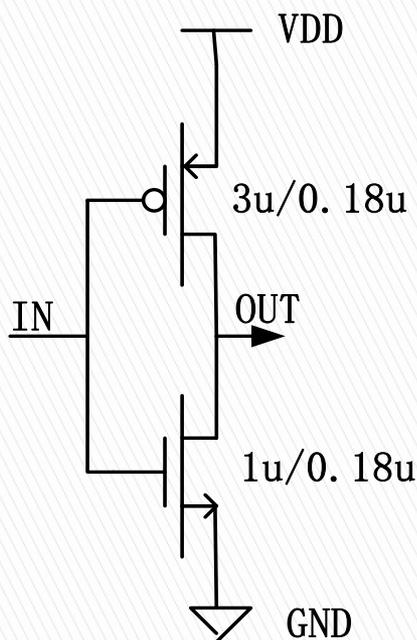
1. 模拟版图和数字版图的首要目标
2. 首先考虑的三个问题
3. 匹配
4. 寄生效应
5. 噪声
6. 布局规划
7. ESD
8. 封装

# IC模拟版图设计

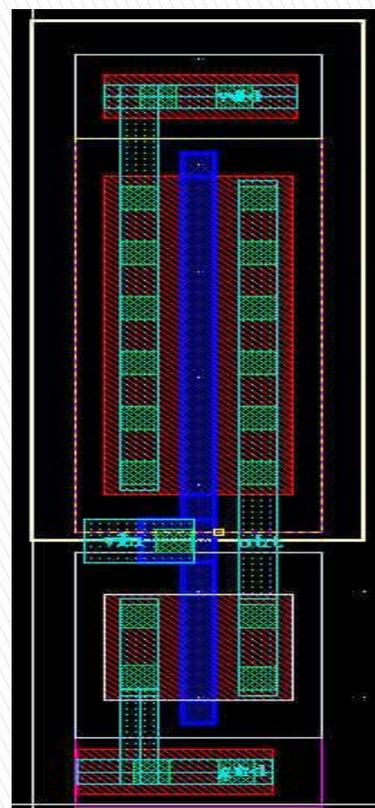
- ▶ 第一部分：了解版图
  1. 版图的定义
  2. 版图的意义
  3. 版图的工具
  4. 版图的设计流程

# 第一部分：了解版图

1. 版图的定义：版图是在掩膜制造产品上实现电路功能且满足电路功耗、性能等，从版图上减少工艺制造对电路的偏差，提高芯片的精准性。



电路图



版图

# 第一部分：了解版图

## 2. 版图的意义：

- 1) 集成电路掩膜版图设计师实现集成电路制造所必不可少的设计环节，它不仅关系到集成电路的**功能**是否正确，而且也会极大程度地影响集成电路的**性能、成本与功耗**。
- 2) 它需要设计者具有电路系统原理与工艺制造方面的基本知识，设计出一套符合设计规则的“正确”版图也许并不困难，但是设计出最大程度体现**高性能、低功耗、低成本、能实际可靠**工作的芯片版图可不是一朝一夕能学会的本事。

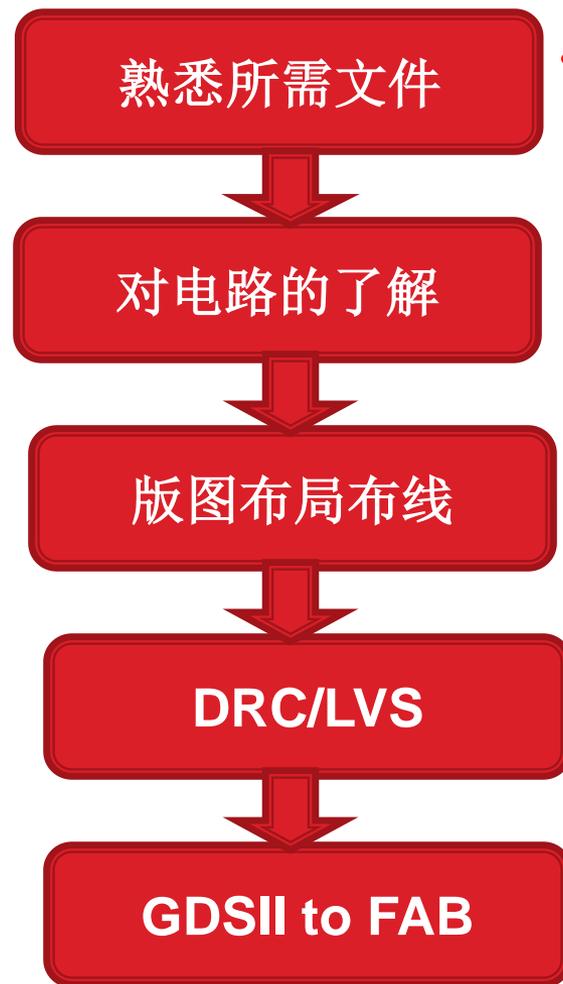
# 第一部分：了解版图

## 3. 版图的工具：

- Cadence
  - ✓ Virtuoso
  - ✓ Dracula
  - ✓ Assura
  - ✓ Diva
- Mentor
  - ✓ calibre
- Spring soft
  - ✓ laker

# 第一部分：了解版图

## 4. 版图的设计流程



工艺厂商提供：  
.tf .display Design rule、DRC LVS 文件、PDK、ESD文件、金属阻值文件

# IC模拟版图设计

## ▶ 第二部分：版图设计基础

1. 认识版图

2. 版图组成两大部件

2.1 器件

2.2 互连

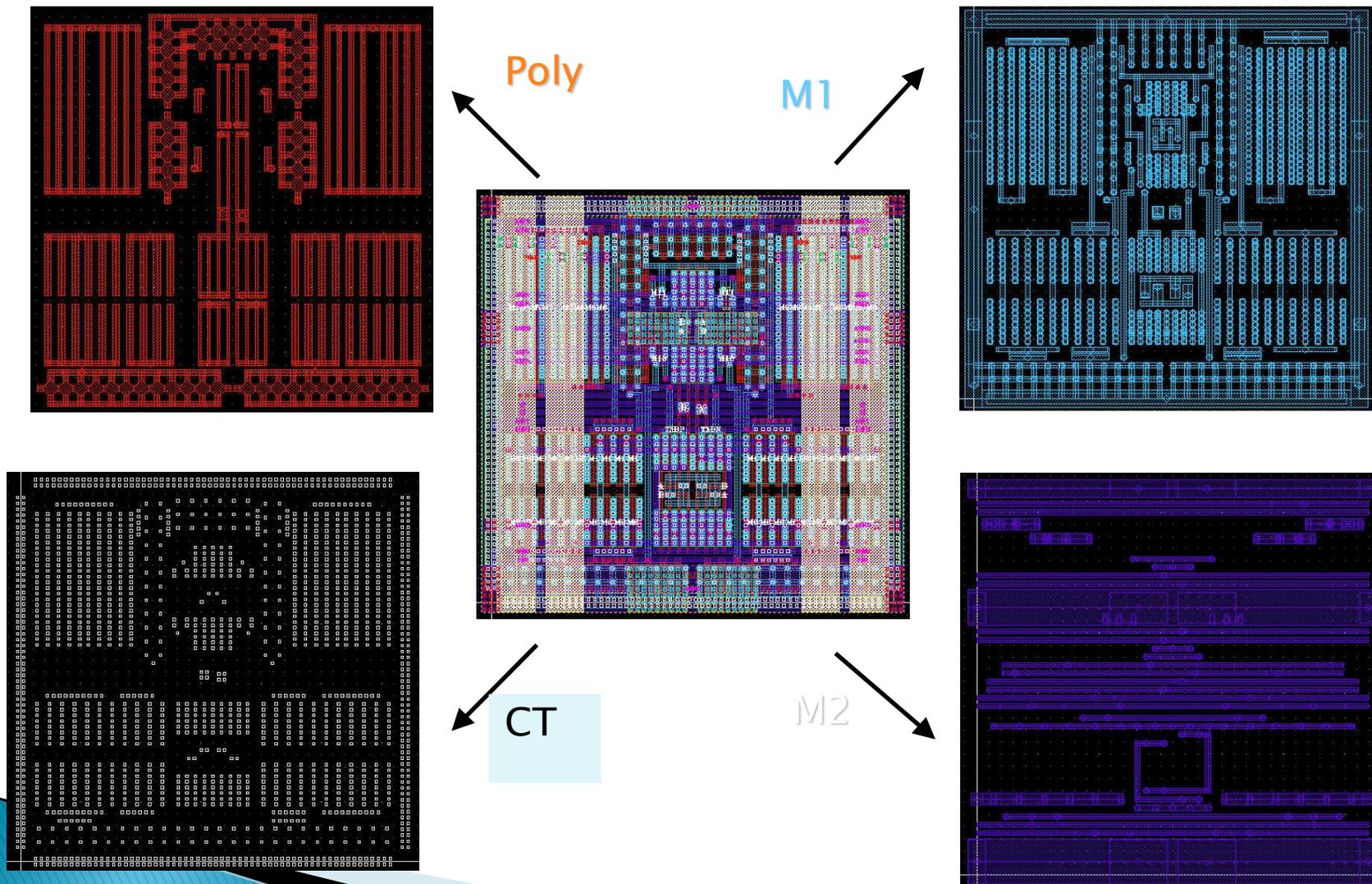
3. 版图编辑器

4. 电路图编辑器

5. 了解工艺厂商

# 第二部分：版图设计基础

## 1. 认识版图



# 第二部分：版图设计基础

## 2. 版图是电路图的反映，有两大组成部分

### 2.1 器件

2.1.1 MOS管

2.1.2 电阻

2.1.3 电容

2.1.4 三极管（省略）

2.1.5 二极管（省略）

2.1.6 电感（省略）

### 2.2 互连

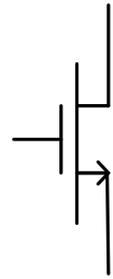
2.2.1 金属（第一层金属，第二层金属……）

2.2.2 通孔

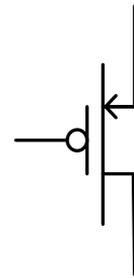
# 第二部分：版图设计基础

## 2.1 器件

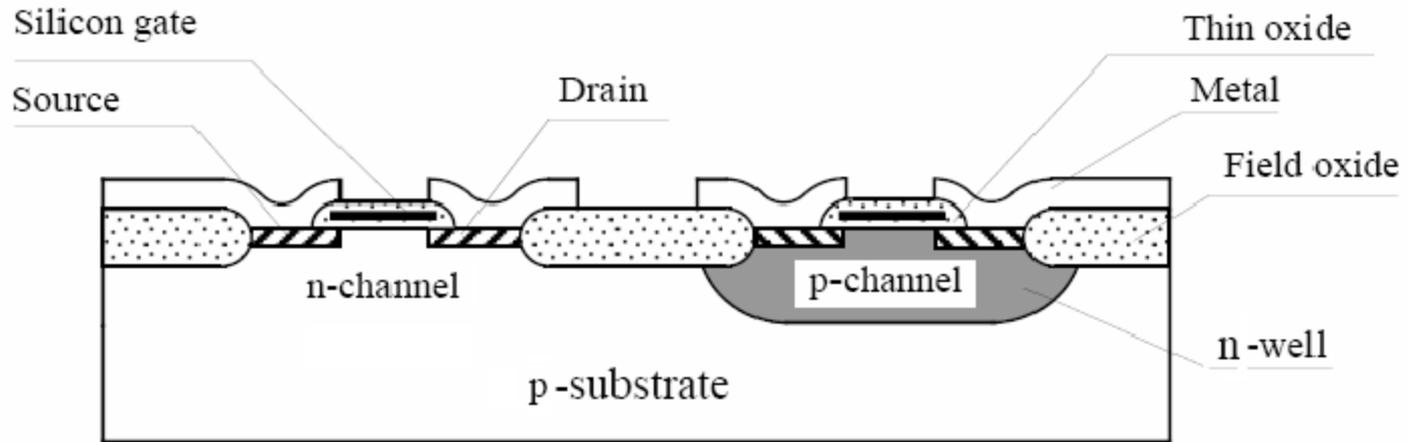
### 2.1.1 MOS管



NMOS



PMOS

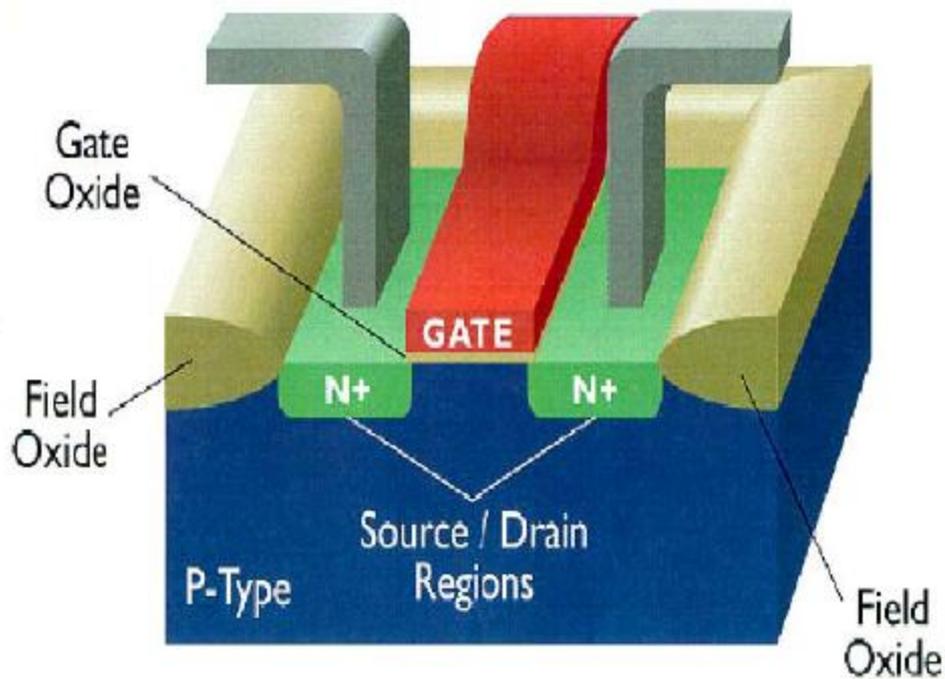


MOS管剖面图

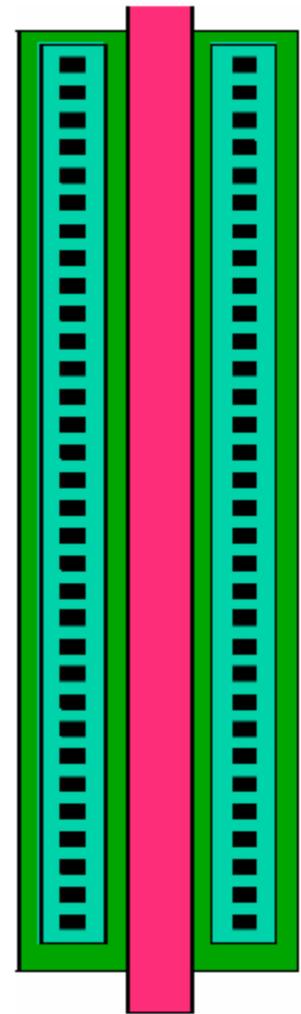
# 第二部分：版图设计基础

## 2.1 器件

### 2.1.1 MOS管



NMOS工艺层立体图



NMOS版图

# 第二部分：版图设计基础

## 2.1 器件

### 2.1.1 MOS管

#### 1) NMOS管

- ✓ 以TSMC, CMOS, N单阱工艺为例
- ✓ NMOS管, 做在P衬底上, 沟道为P型, 源漏为N型

#### 2) 包括层次:

- ✓ NIMP, N+注入
- ✓ DIFF, 有源区
- ✓ Poly, 栅
- ✓ M1, 金属
- ✓ CONT, 过孔

#### 3) MOS管的宽长确定

#### 4) 当有PCELL时;当无PCELL时



NMOS版图

# 第二部分：版图设计基础

## 2.1 器件

### 2.1.1 MOS管

#### 1) NMOS管

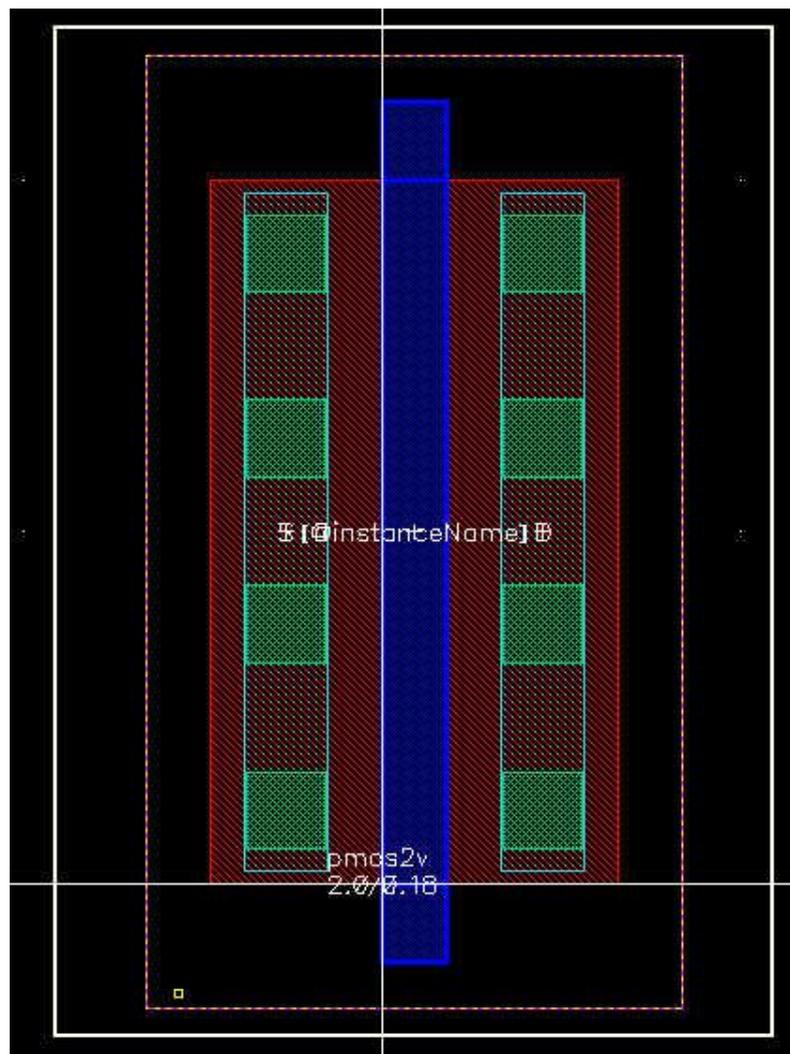
- ✓ 以TSMC, CMOS, N单阱工艺为例
- ✓ PMOS管, 做在N阱中, 沟道为N型, 源漏为P型

#### 2) 包括层次:

- ✓ NWELL, N阱
- ✓ PIMP, P+注入
- ✓ DIFF, 有源区
- ✓ Poly, 栅
- ✓ M1, 金属
- ✓ CONT, 过孔

#### 3) MOS管的宽长确

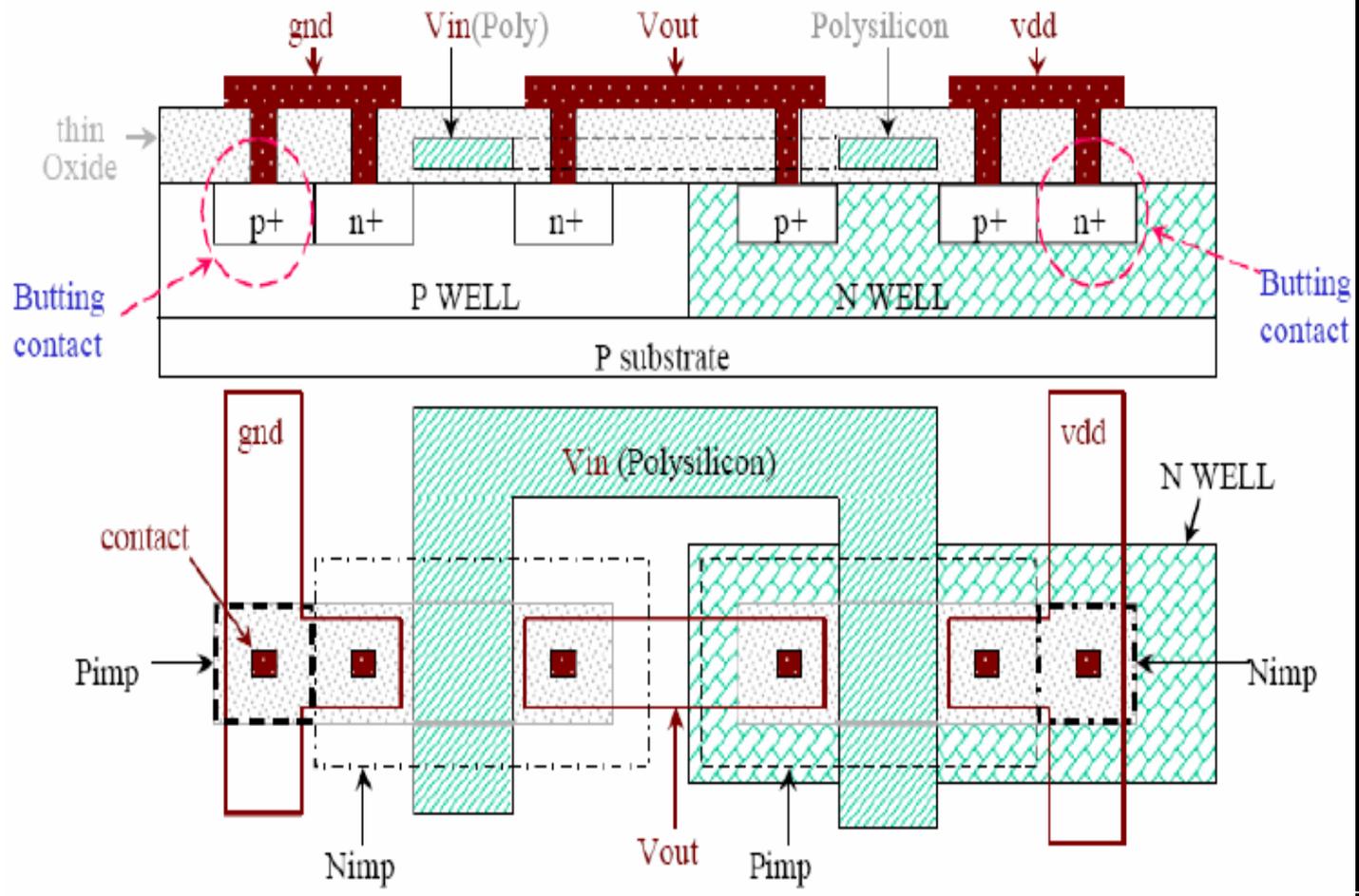
定



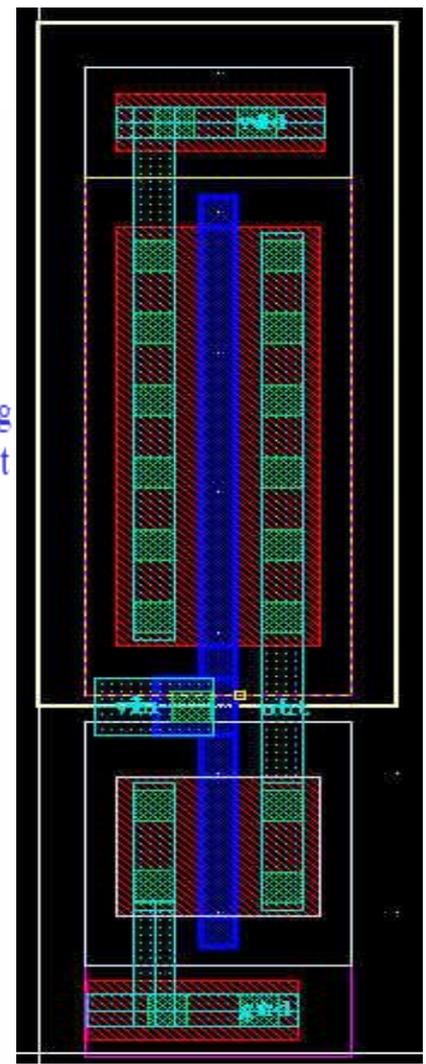
PMOS版图

# 第二部分：版图设计基础

## 2.1 器件



器件剖面图及俯视图



器件版

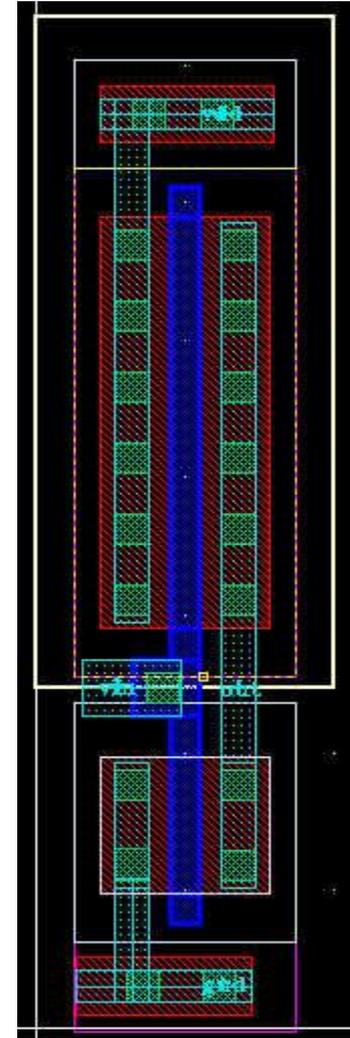
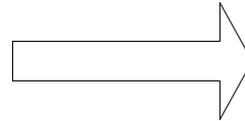
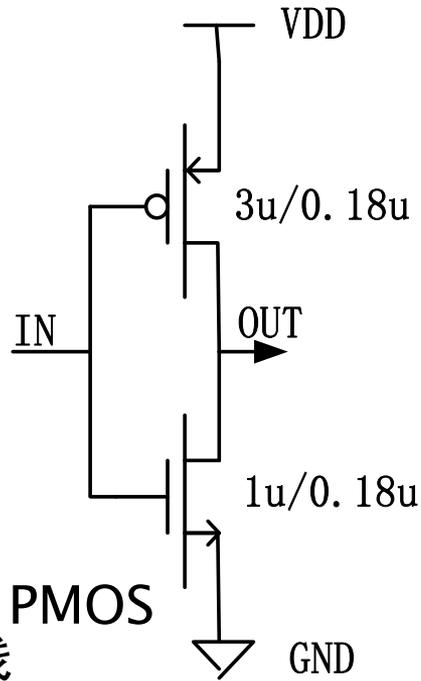
图

# 第二部分：版图设计基础

## 2.1 器件

### 2.1.1 MOS管

#### 1) 反向器



- 2) NMOS, PMOS
- 3) 金属连线
- 4) 关于Butting Contact部分

# 第二部分：版图设计基础

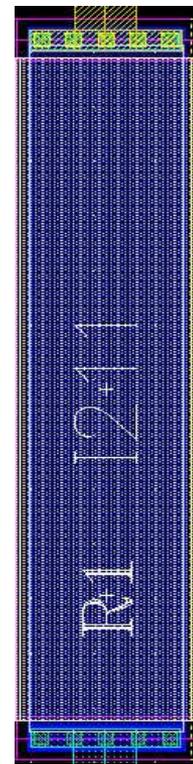
## 2.1 器件

### 2.1.2 电阻

选择合适的类型，由电阻阻值、方块电阻值，确定  $W$ 、 $L$ ； $R=L/W \cdot R_0$

Type	Sheet resistance			Unit	TC1	TC2	JC1A	JC1B	JC2A	JC2B	DW (um)
	best	typical	worst								
NW_RS (STI)	795	890	1059	$\Omega$ /sq	2.73E-03	1.65E-06	1.10E-03	3.01E-07	-6.61E-09	3.16E-13	1.83E-01
NW_RS (AA)	340	441	540	$\Omega$ /sq	3.02E-03	8.06E-06	-3.89E-03	3.34E-07	-1.85E-08	2.49E-13	7.25E-02
N+_RS	4.3	7.08	9.3	$\Omega$ /sq	3.12E-03	3.022E-08	9.10E-06	6.25E-09	4.72E-08	2.79E-12	-4.14E-02
N+_RS (SAB)	51	56.1	64.8	$\Omega$ /sq	1.51E-03	4.22E-07	2.13E-04	-2.64E-09	1.75E-08	2.04E-13	-2.62E-02
P+_RS	4.2	7.83	10.2	$\Omega$ /sq	3.08E-03	7.034E-07	6.40E-05	-7.34E-09	4.40E-08	2.16E-12	-2.80E-02
P+_RS (SAB)	100	114	138	$\Omega$ /sq	1.41E-03	6.87E-07	-6.82E-06	-8.98E-12	9.85E-09	5.20E-14	-1.37E-03
N+Poly_RS	5.4	7.74	9.4	$\Omega$ /sq	3.07E-03	-5.36E-08	-1.16E-04	1.28E-07	9.63E-08	1.98E-11	-1.89E-02
N+Poly_RS (SAB)	226	290	358	$\Omega$ /sq	-1.35E-03	2.29E-06	8.23E-04	-4.36E-08	-1.45E-08	-2.17E-13	4.71E-02
P+Poly_RS	5.3	8.18	10.3	$\Omega$ /sq	2.92E-03	-2.30E-08	-4.67E-05	6.58E-08	8.88E-08	1.23E-11	-1.35E-02
P+Poly_RS (SAB)	246	319	376	$\Omega$ /sq	-1.63E-04	7.46E-07	1.09E-04	-8.08E-09	-1.27E-09	-2.73E-14	2.73E-02
HR Poly_RS	800	1030	1200	$\Omega$ /sq	-8.52E-04	1.98E-06	9.43E-05	-2.90E-09	-2.82E-09	-7.32E-14	-6.00E-03
Metall_RS	0.055	0.078	0.101	$\Omega$ /sq	3.49E-03	6.93E-07	---	---	---	---	-4.93E-03

电阻类型



电阻版图

# 第二部分：版图设计基础

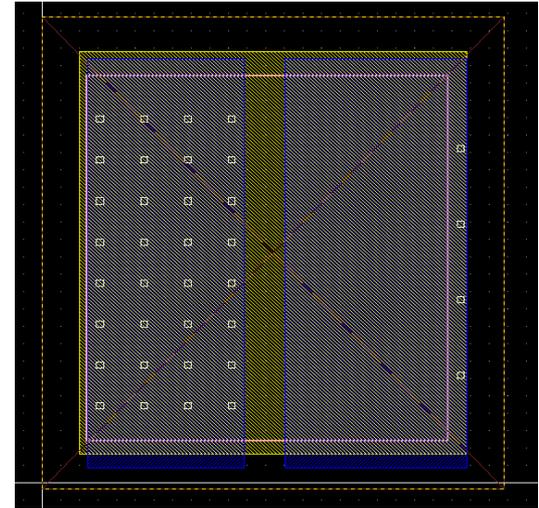
## 2.1 器件

### 2.1.3 电容

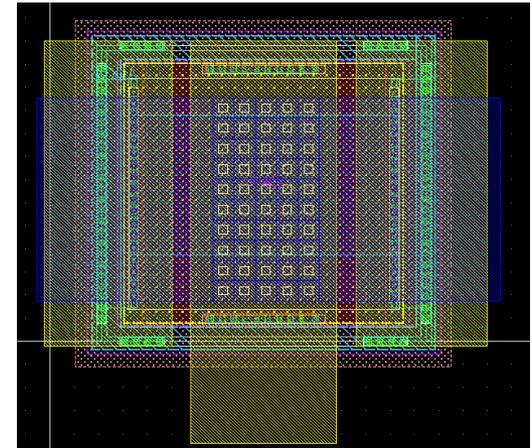
1) 电容值计算  $C=L*W*C0$

2) 电容分类：

- ✓ poly电容
- ✓ MIM电容
  - 基于单位面积电容值
- ✓ MOS电容
  - 源漏接地，基于栅电容， $C=W*L*Cox$



MIM电容版图



MOS电容版图

# 第二部分：版图设计基础

## 2.2互连

### 2.2.1 金属（第一层金属，第二层金属.....）

#### 1) 金属连线

✓ M1, M2, M3, M4.....

### 2.2.2 通孔

#### 2)过孔

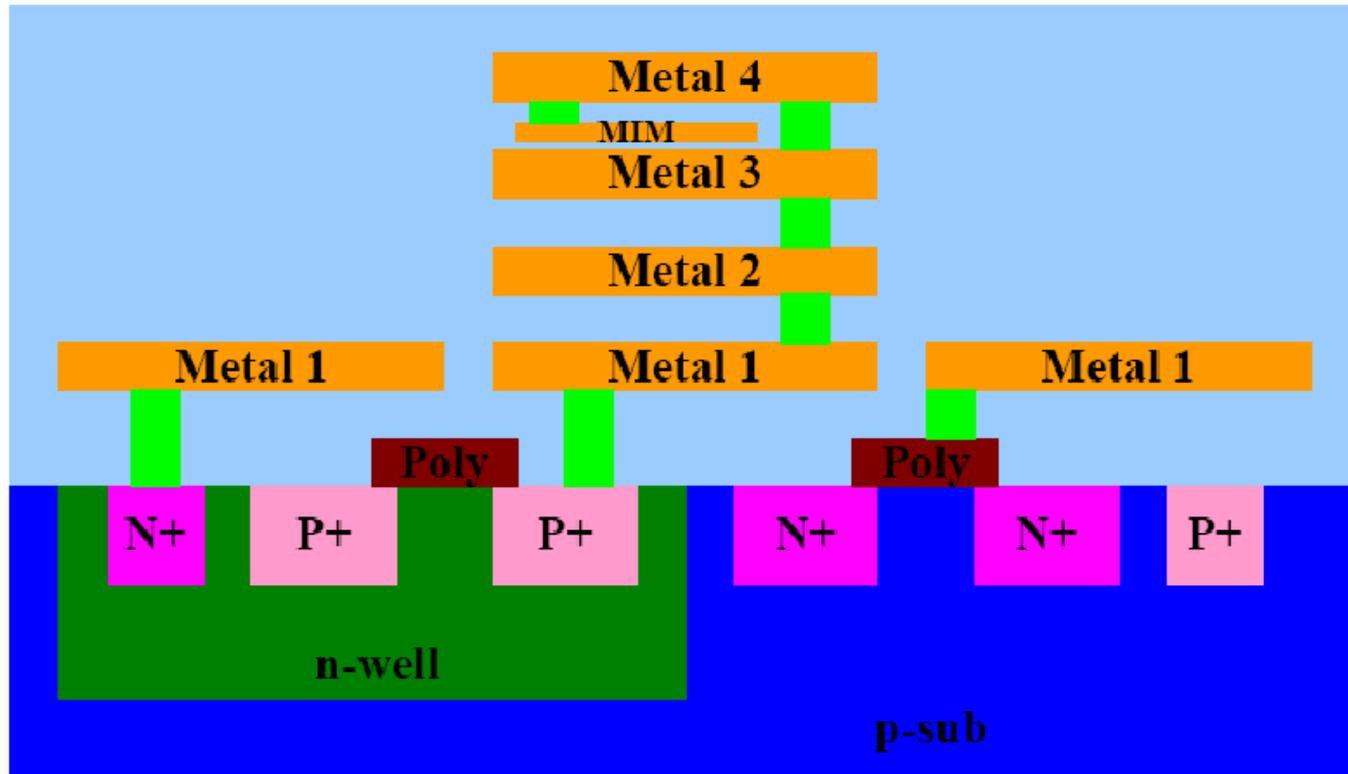
✓ Via1, Via2, Via3.....

# 第二部分：版图设计基础

## 2.2互连

### 1) 典型工艺

✓ CMOS N阱 1P4M工艺剖面图

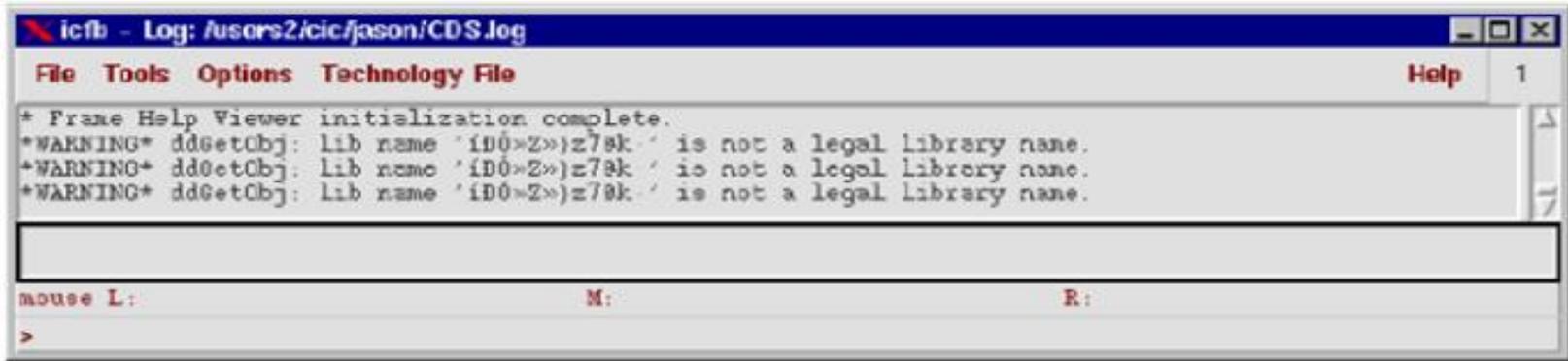


连线与孔之间的连接

# 第二部分：版图设计基础

## 3. 版图编辑器

### 1) virtuoso编辑器



CIW窗口

File → New → Library



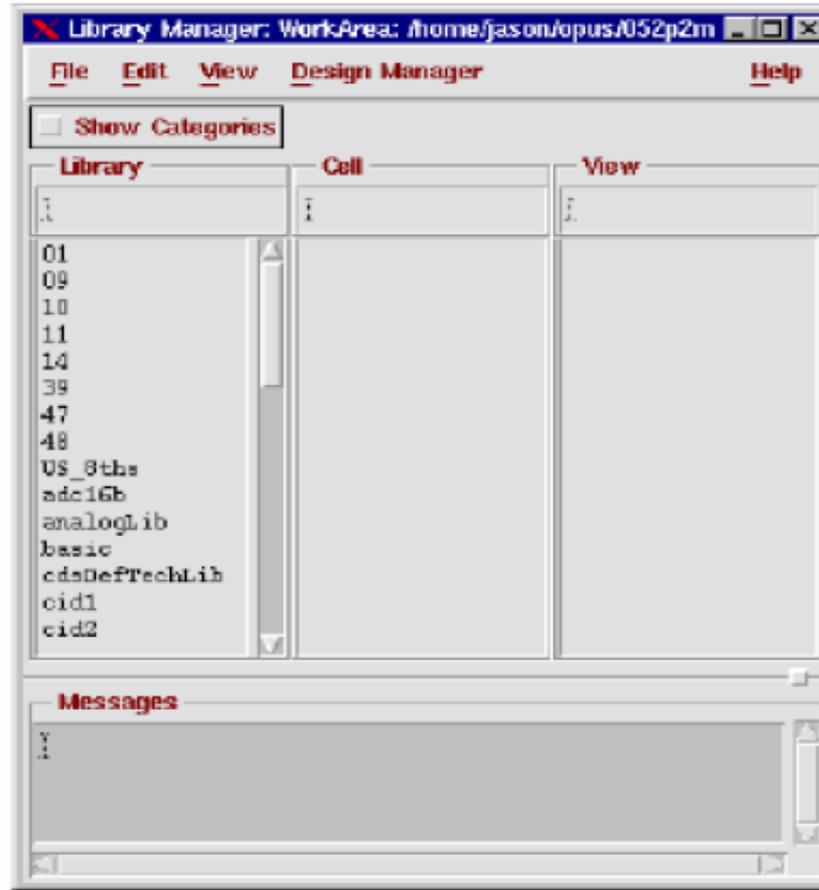
OK  
→



# 第二部分：版图设计基础

## 3. 版图编辑器

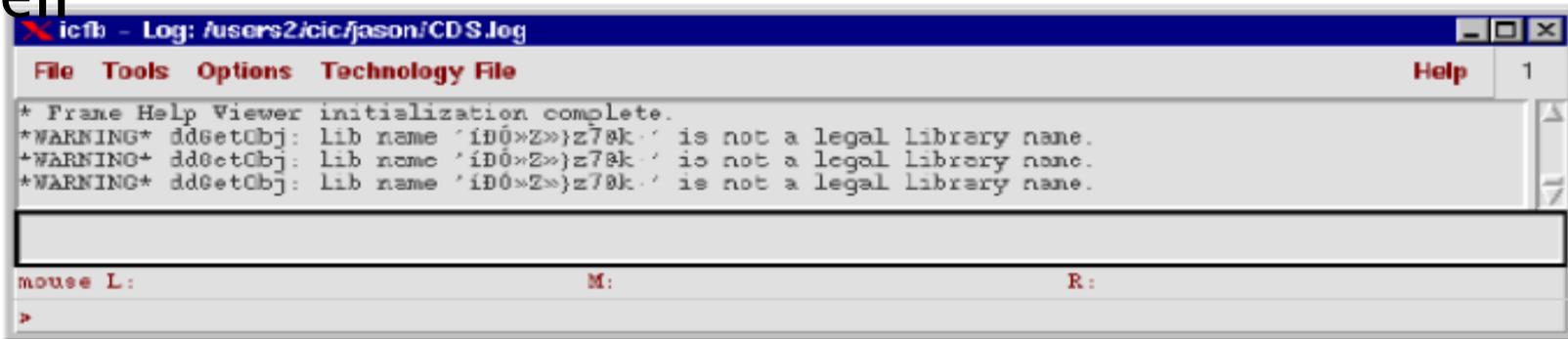
### 2) virtuoso编辑器--Library manager



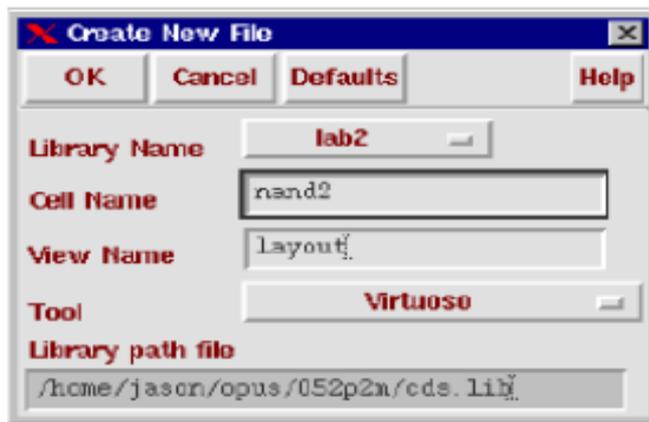
# 第二部分：版图设计基础

## 3. 版图编辑器

### 3) virtuoso编辑器-- 建立 cell



File→New→Cellview CIW窗口



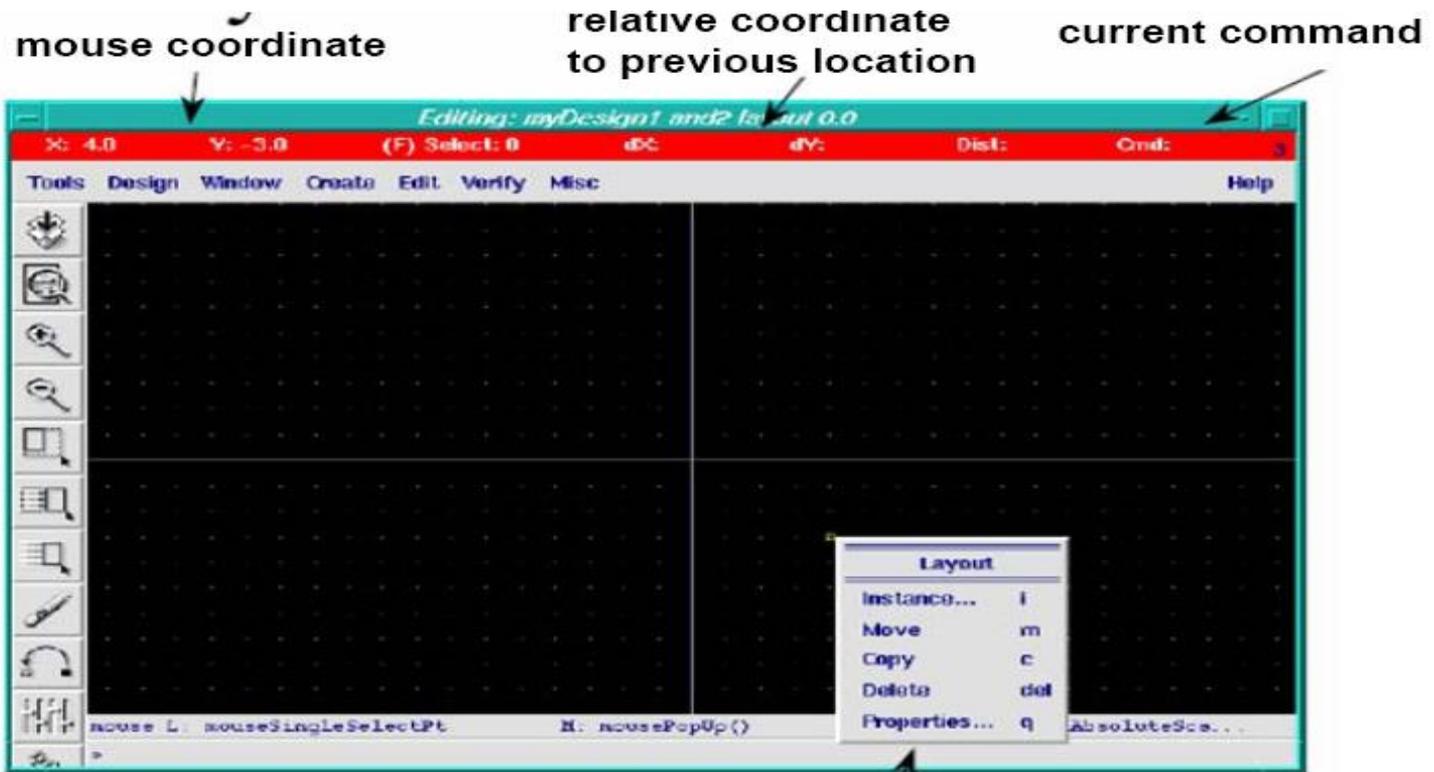
# 第二部分：版图设计基础

## 3. 版图编辑器

### 4) virtuoso编辑器--工作区和层次显示器



LSW

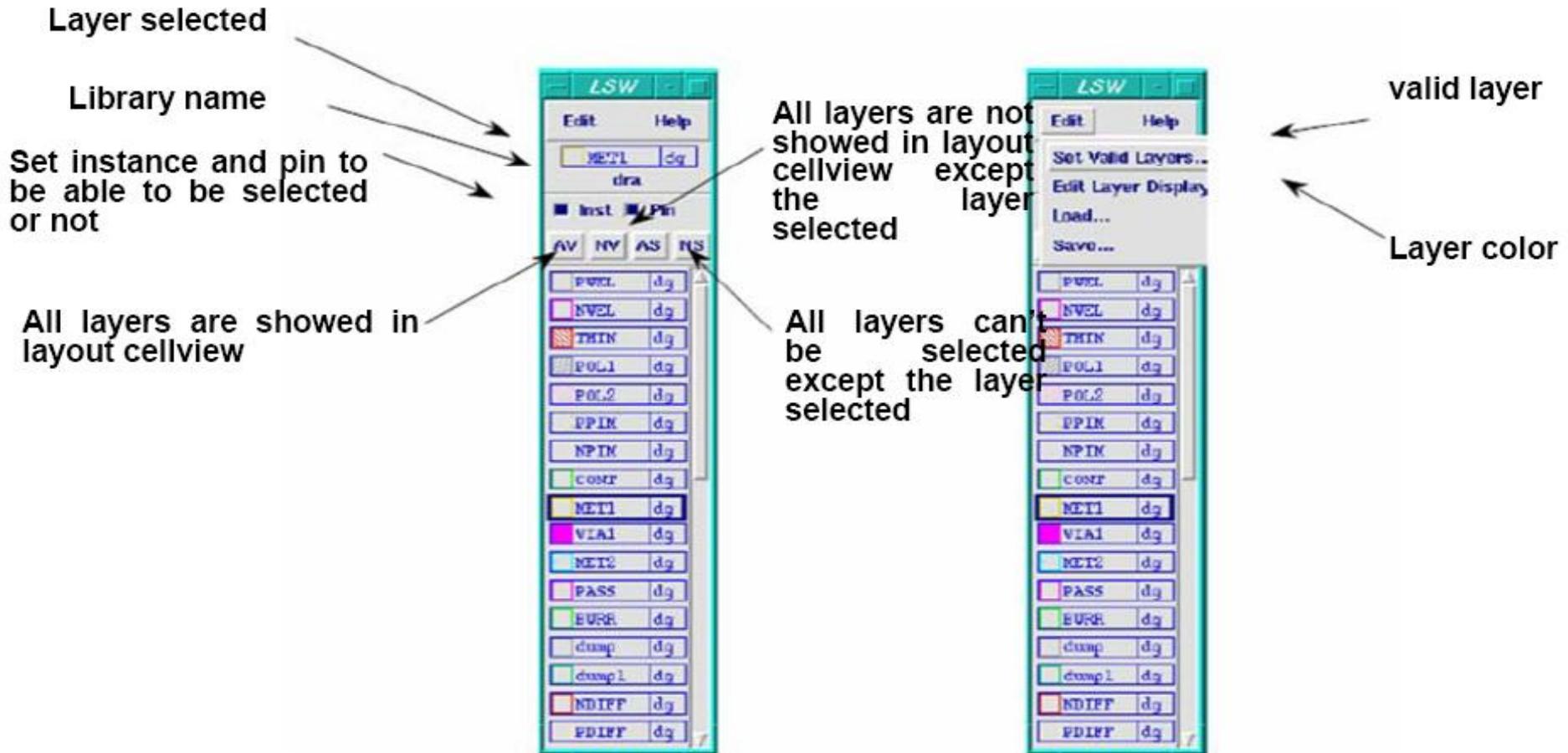


工作区域

# 第二部分：版图设计基础

## 3. 版图编辑器

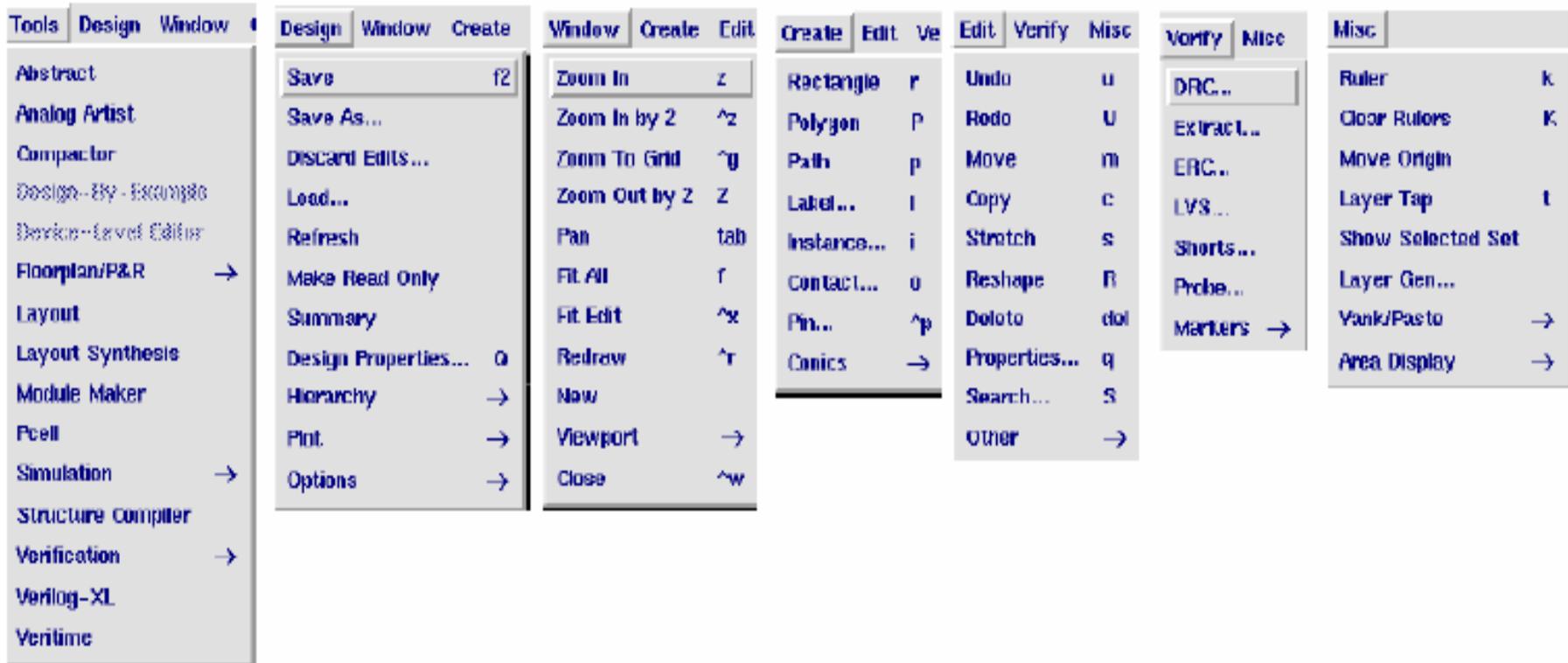
### 5) virtuoso编辑器 -- 版图层次显示 (LSW)



# 第二部分：版图设计基础

## 3. 版图编辑器

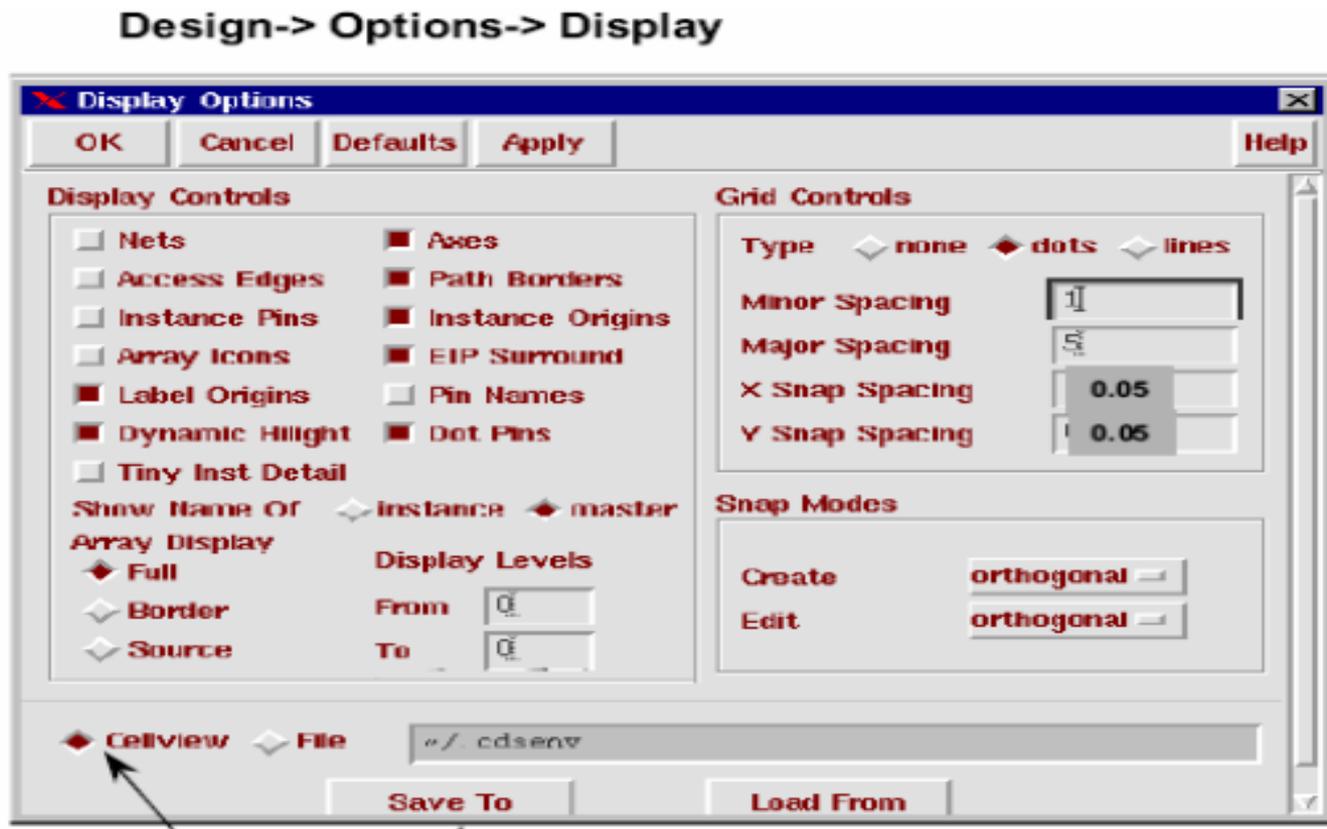
### 6) virtuoso编辑器 -- 版图编辑菜单



# 第二部分：版图设计基础

## 3. 版图编辑器

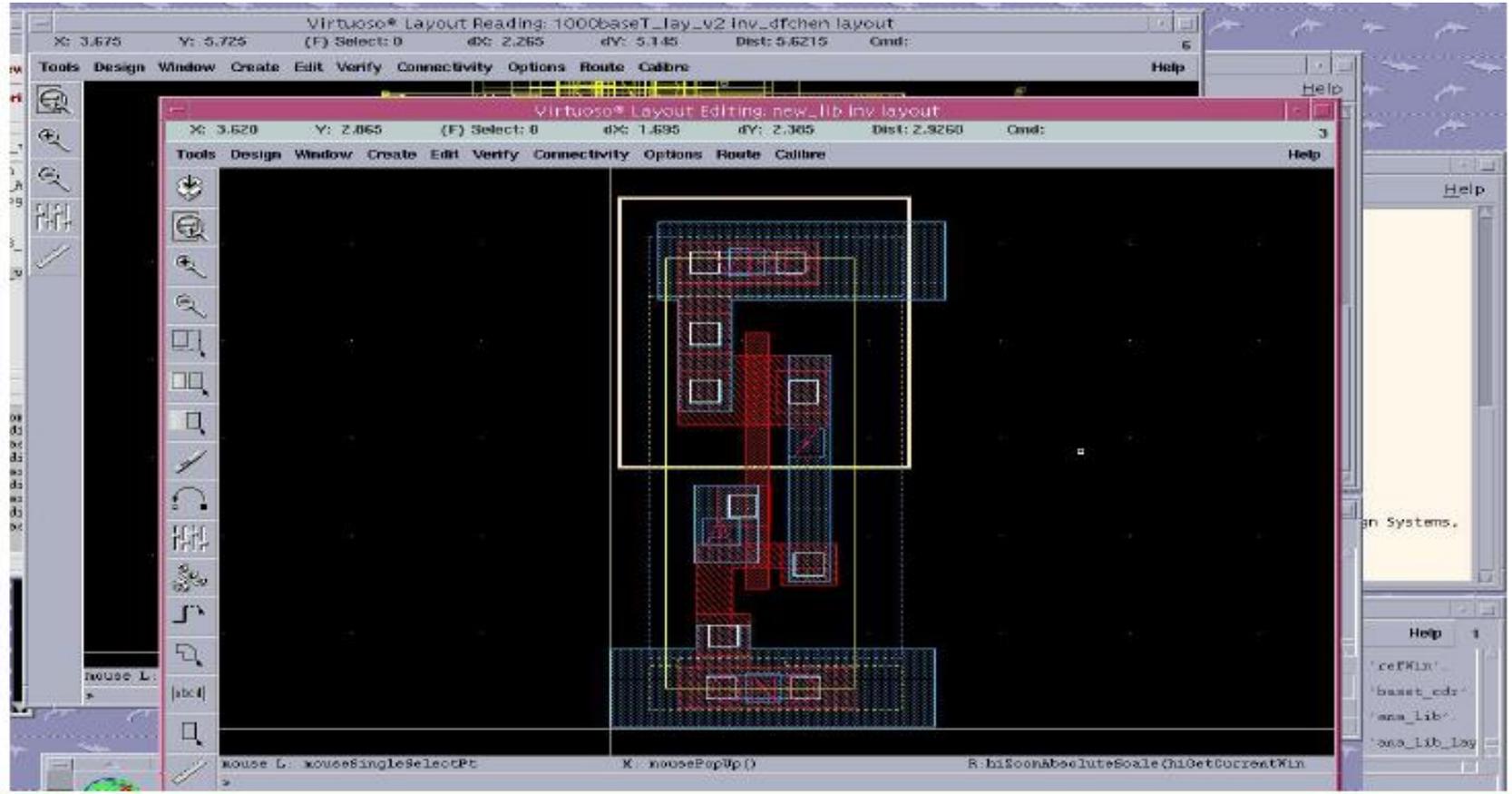
### 7) virtuoso编辑器 --显示窗口



# 第二部分：版图设计基础

## 3. 版图编辑器

### 8) virtuoso编辑器 -- 版图显示

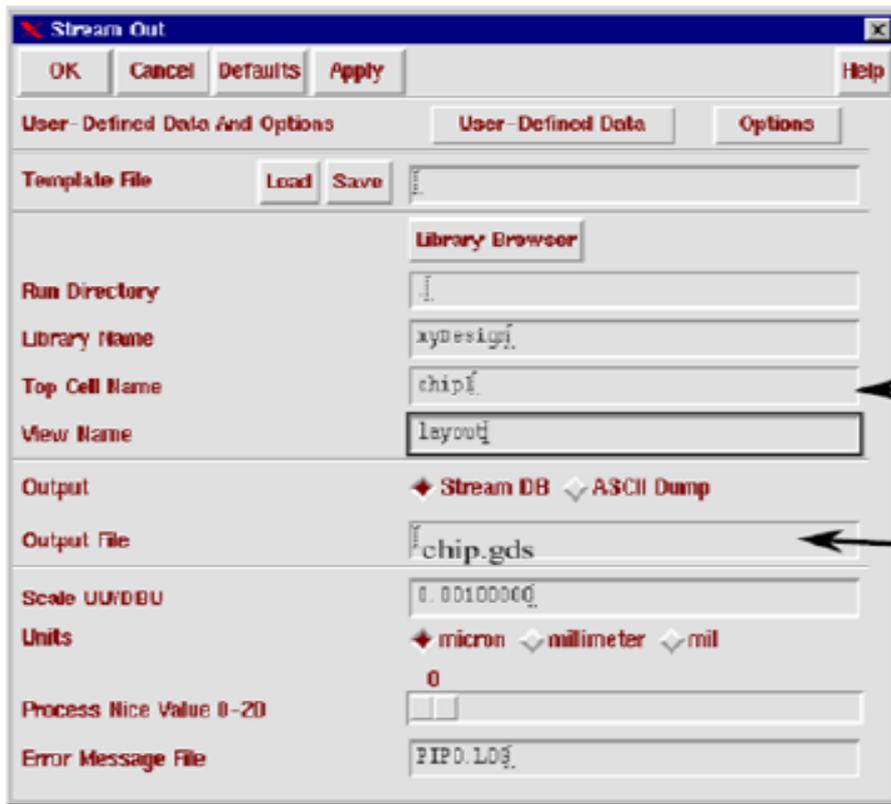


# 第二部分：版图设计基础

## 3. 版图编辑器

### 9) virtuoso编辑器--数据流格式版图输出

In CIW, select File -> Export -> Stream ...



assign which layout to stream out

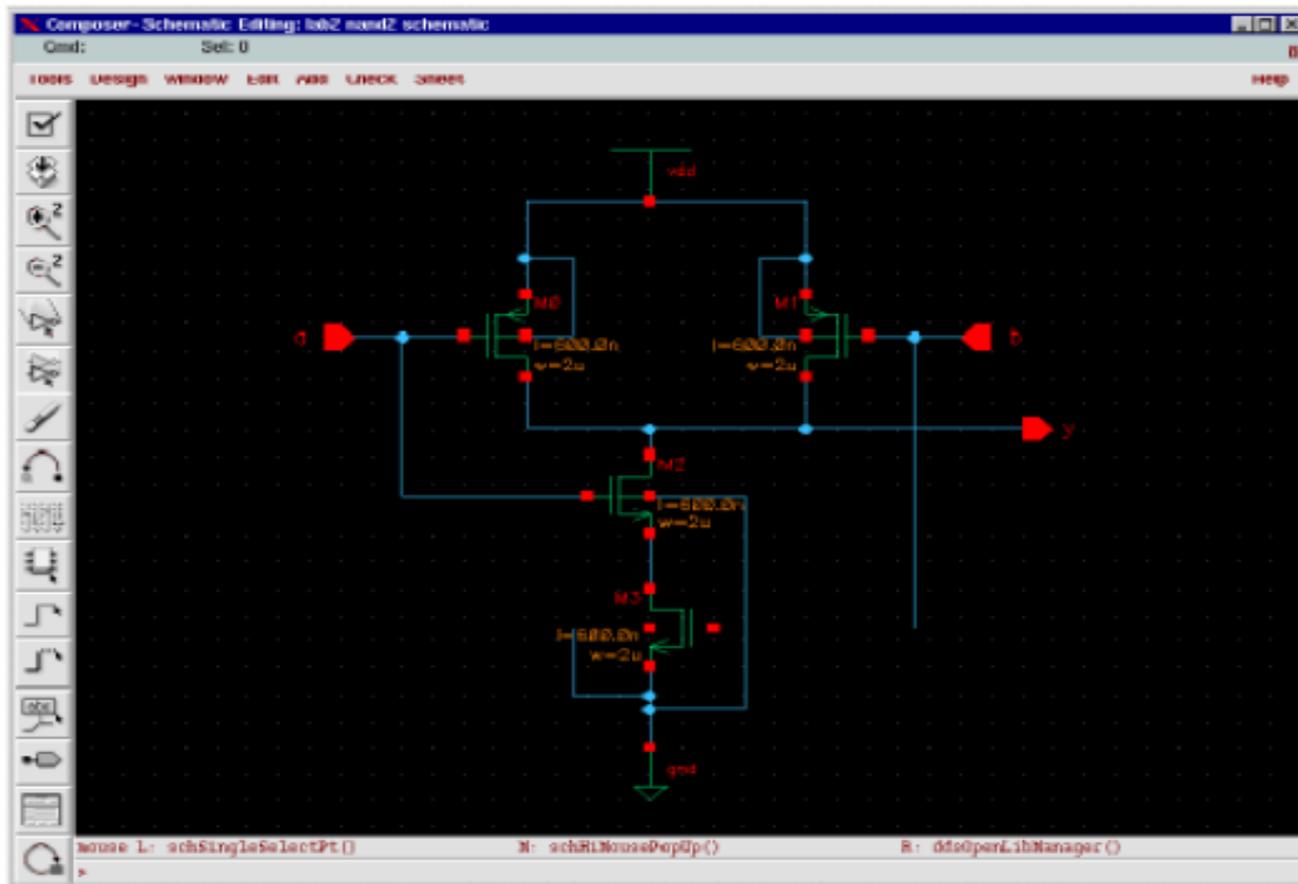
assign the stream-out layout file name

translation information file

# 第二部分：版图设计基础

## 4. 电路图编辑器

### 1) virtuoso编辑器--电路图显示

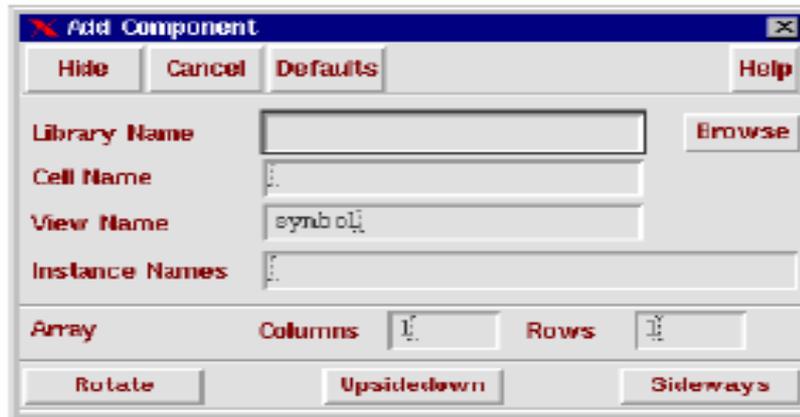


# 第二部分：版图设计基础

## 4. 电路图编辑器

### 2) virtuoso编辑器 -- 电路器件及属性

## Component And Properties

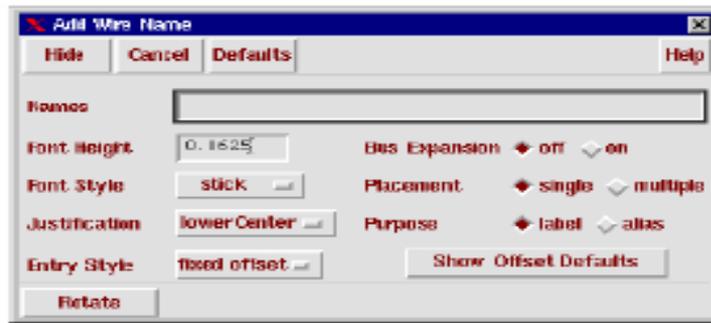


# 第二部分：版图设计基础

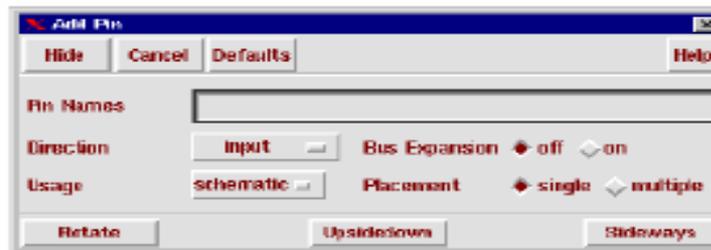
## 4. 电路图编辑器

### 3) virtuoso编辑器-- 电路添加线名、端口及移动窗口

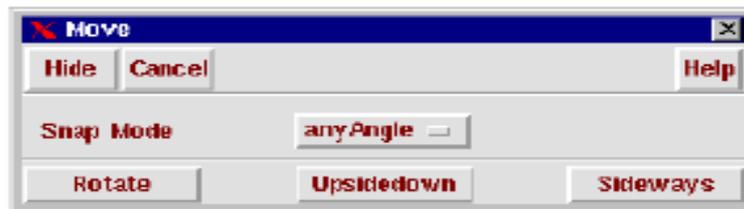
Add Wire Name



Add Pin



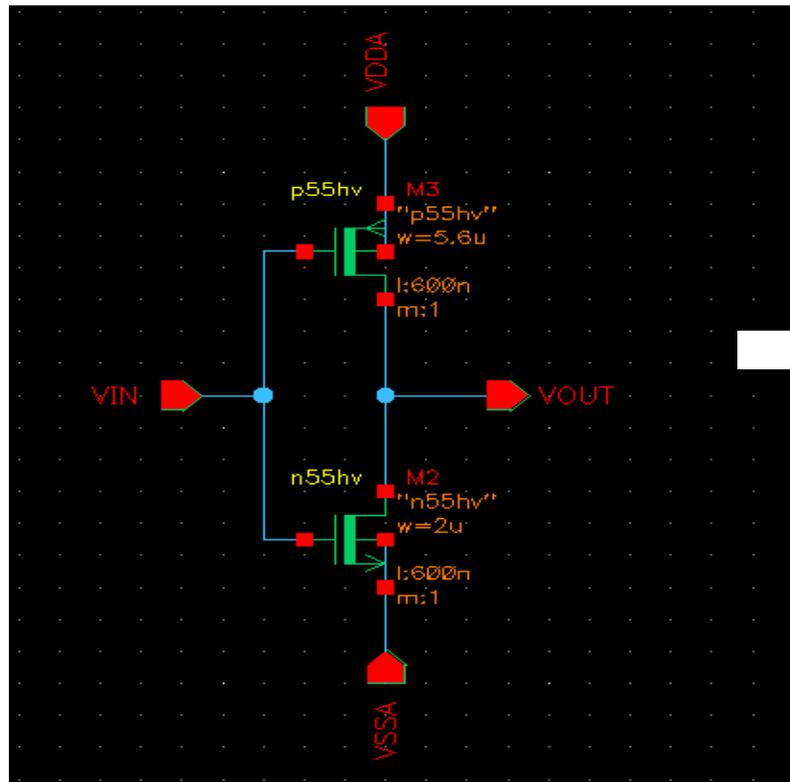
Move  
(Move → F3)



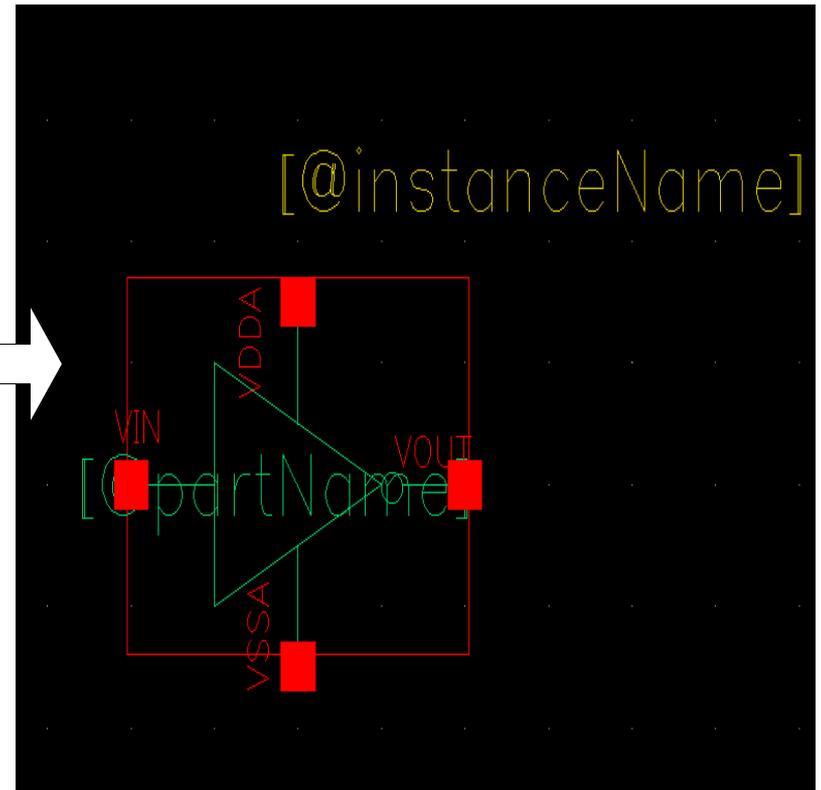
# 第二部分：版图设计基础

## 4. 电路图编辑器

### 4) virtuoso编辑器-- 建立SYMBOL VIEW



电路图

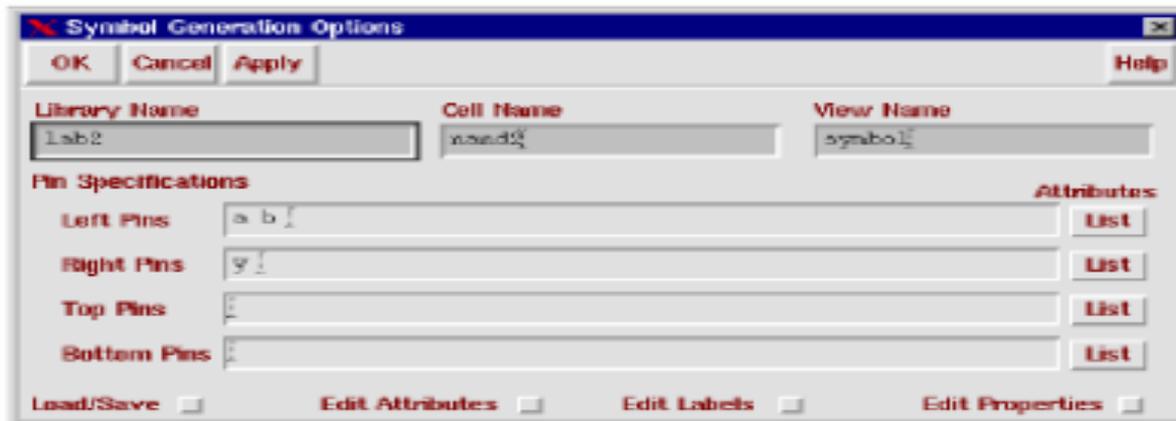
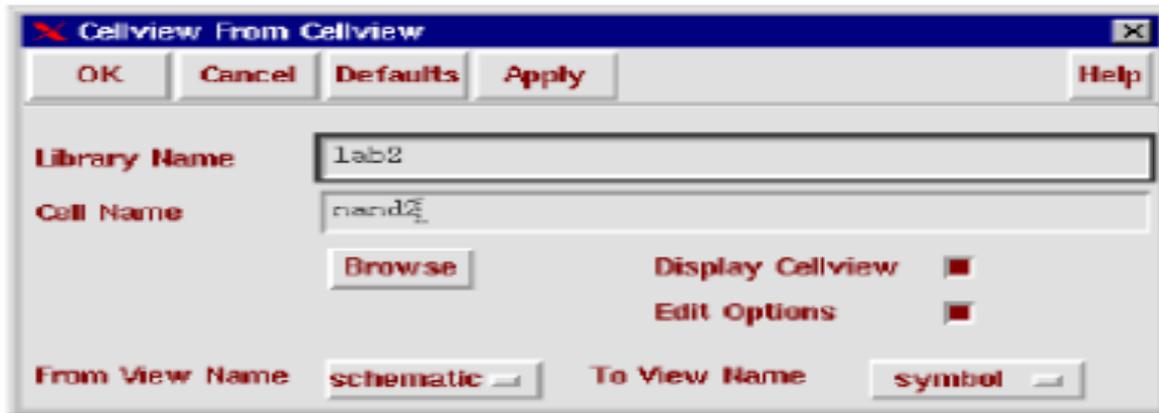


Symbol 图

# 第二部分：版图设计基础

## 4. 电路图编辑器

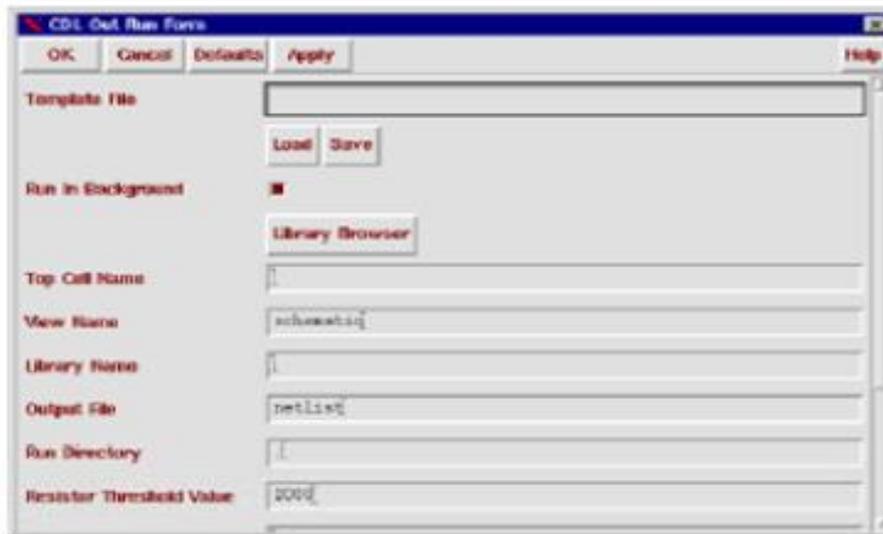
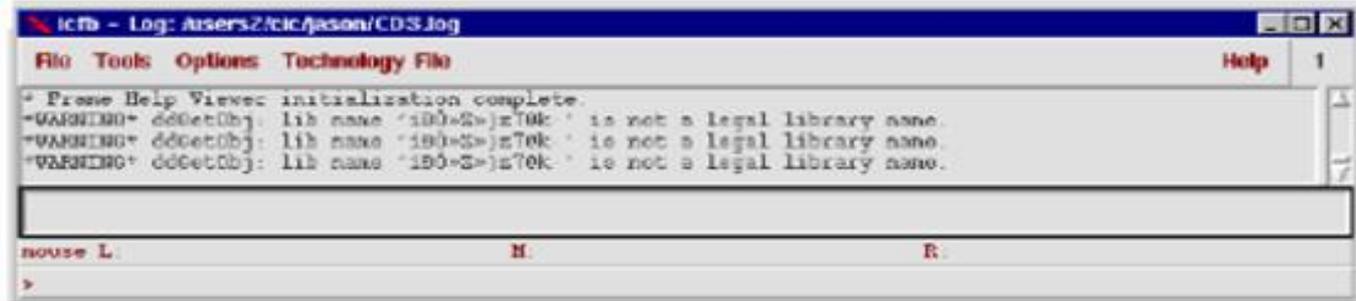
### 5) virtuoso编辑器--建立SYMBOL 操作



# 第二部分：版图设计基础

## 4. 电路图编辑器

### 6) virtuoso编辑器--CDL输出操作



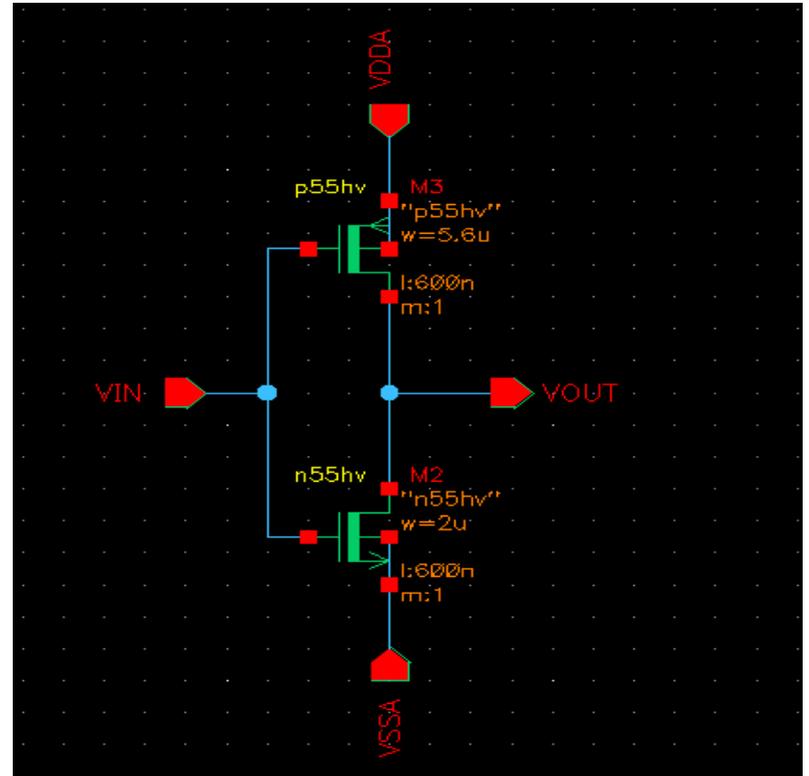
File → Export → CDL

# 第二部分：版图设计基础

## 4. 电路图编辑器

### 7) virtuoso编辑器--CDL输出

```
*****  
* Library Name: WGCHP1V0P0  
* Cell Name:   inv1  
* View Name:   schematic  
*****  
  
.SUBCKT inv1 VDDA VIN VOUT VSSA  
*.PININFO VDDA:I VIN:I VSSA:I VOUT:O  
MM2 VOUT VIN VSSA VSSA n55hv W=2u L=600n m=1  
MM3 VOUT VIN VDDA VDDA p55hv W=5.6u L=600n m=1  
.ENDS
```



# 第二部分：版图设计基础

## 5. 了解工艺厂商

- ✓ SMIC -- 中芯国际
- ✓ CSMC - 华润上华
- ✓ TSMC -- 台积电
- ✓ UMC -- 台联电
- ✓ Winbond -- 华邦
- ✓ 先锋
- ✓ 宏力
- ✓ 华虹NEC
- ✓ 比亚迪
- ✓ 新进
- ✓ 厦门集顺
- ✓ 深圳方正
- ✓ 无锡和舰
- ✓ .....

# IC模拟版图设计

## ▶ 第三部分：版图的准备

1. 必要文件
2. 设计规则
3. DRC文件
4. LVS文件

# 第三部分：版图的制作

## 1. 必要文件

- ✓ PDK

  - ✓ \*.tf

  - ✓ display.drf

- ✓ DRC

- ✓ LVS

- ✓ cds.lib

- ✓ .cdsenv

- ✓ .cdsinit

# 版图设计基础——设计规则

## 2. 设计规则

2.1 版图设计规则——工艺技术要求

2.2 0.35um, 0.25um, 0.18um, 0.13um, 不同的工艺

✓ N阱

✓ DIFF

✓ Poly

✓ Metal

✓ Cont

✓ Via

✓ .....

2.3 最小宽度

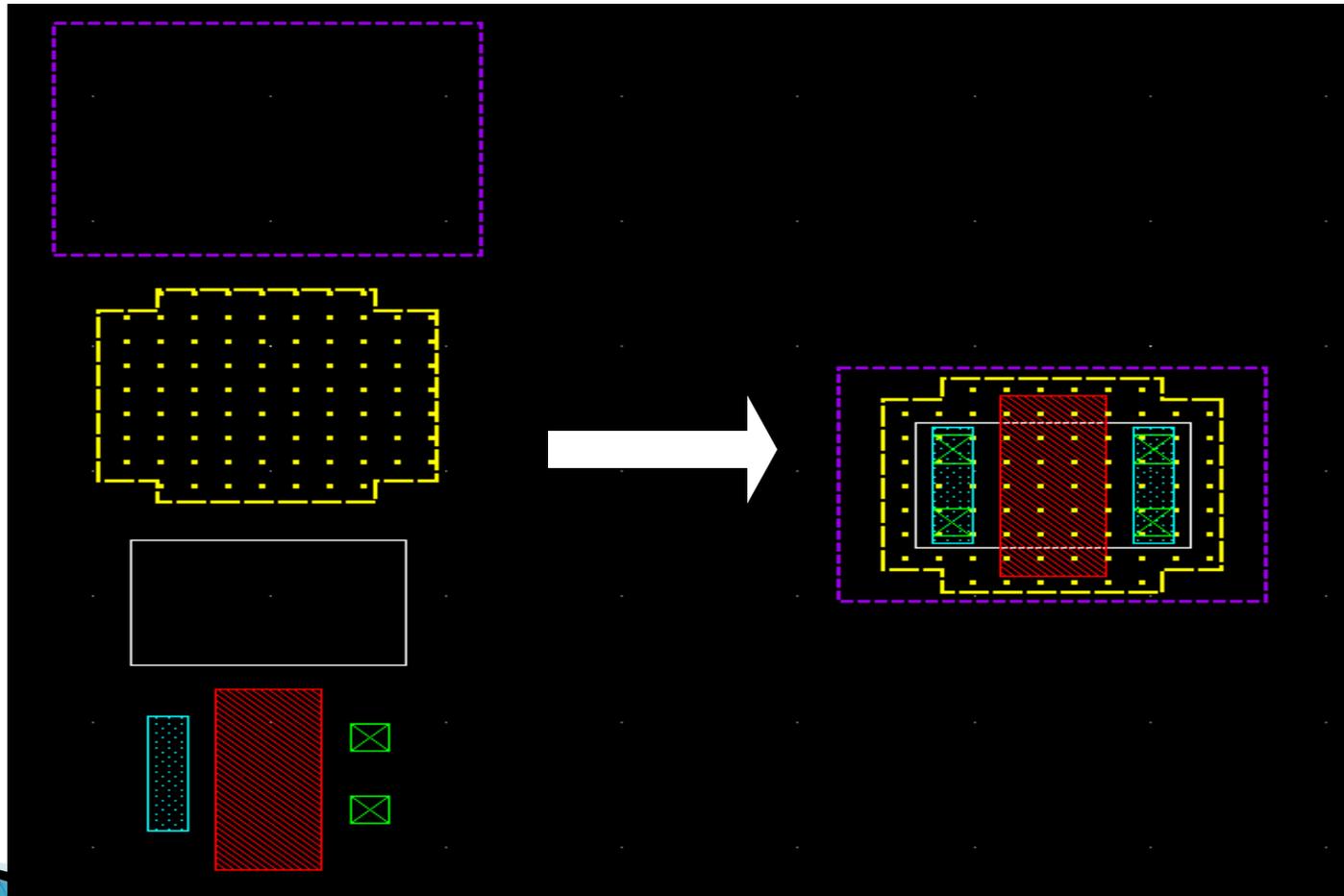
2.4 最小间距

2.4 最小覆盖等等

# 第三部分：版图的制作

## 2. 设计规则

### 1) PMOS的形成



# 第三部分：版图的制作

## 2. 设计规则

### 2) 调用PCELL



# 第三部分：版图的准备

## 2. 设计规则

### 3) Design

Part I Description of 2MIC 3.3V Drawing Layer

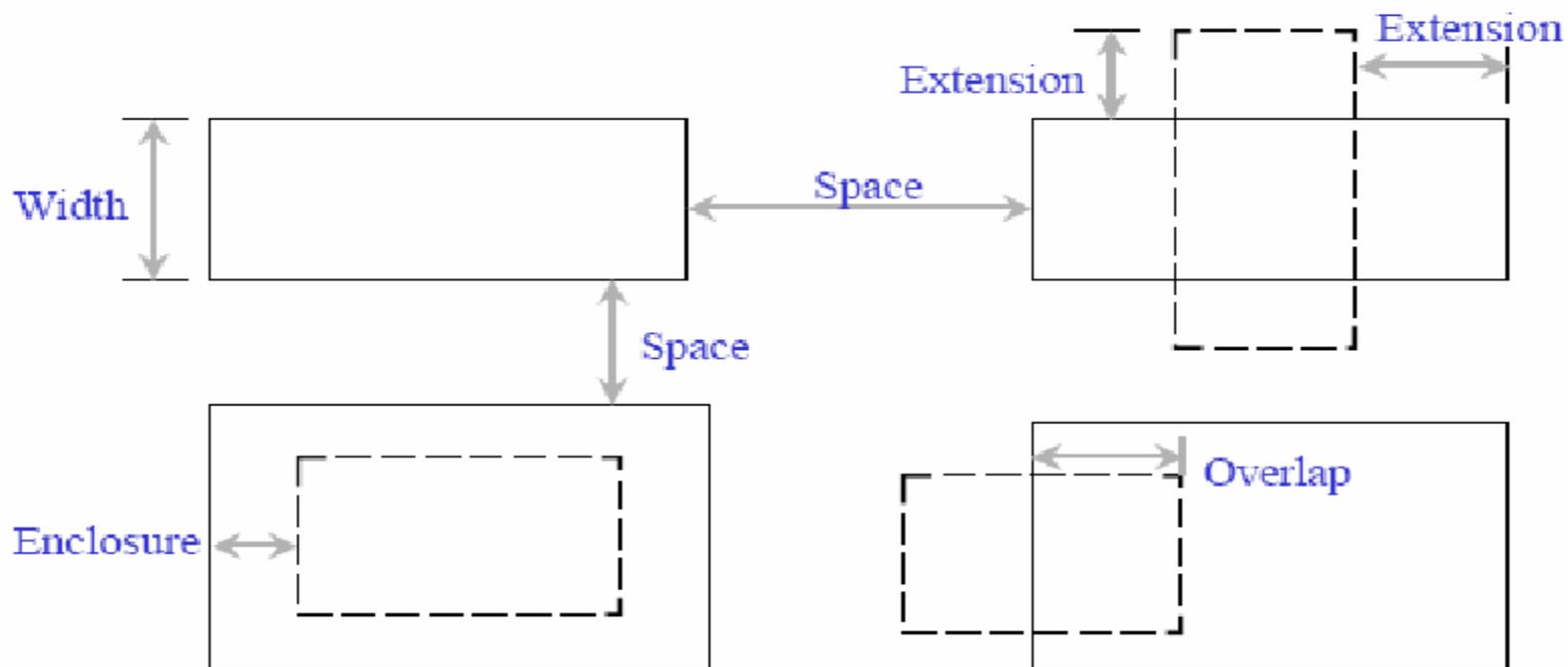
NO.	Drawn Layer Name	Drawn Layer GDS No. (mm)	Description
1	DDNW	217	Define Deep-Deep-HV Nwell implant area
2	PWHT	109	Define HV Pwell area, PWHT must be inside DDNW
3	DNW	19	Define Deep-Nwell implant area (Optional)
4	AA	10	Define active area
5	TG	125	Define HV transistor gate oxide area
6	NDRF	103	Define HV NMOS Drift implant Region.
7	PDRF	104	Define HV PMOS Drift implant Region.
8	NW	14	Define LV Nwell and Vt adjustment Region.
9	PSUB	85	Blocking layer for native device
10	DG	29	Define LV device area
11	HRP	39	Define High resistor implant Region.
12	GT	30	Define Gate poly
13	SN	40	Define NMOS S/D implant Region. (all LV, MV and HV NMOS)
14	SP	43	Define PMOS S/D implant Region. (all LV, MV and HV PMOS)
15	SAB	48	Define Salicide block area
16	CT	50	Define Contact Hole
17	M1	61	Define Metal 1
18	V1	70	Define Via 1 Hole
19	M2	62	Define Metal 2
20	V2	71	Define Via 2 Hole
21	MIM	58	Define Capacitor top plane
22	M3	63	Define Metal 3
23	V3	72	Define Via 3 Hole (Optional)
24	M4	64	Define Metal 4 (Optional)
25	V4	73	Define Via 4 Hole (Optional)
26	M5	65	Define Metal 5 (Optional)
27	TV1	121	Define Top Via Hole
28	TM1	120	Define Top metal
29	PA	80	Define Passivation
30	FUSE	81	Define Fuse window
31	PI	82	Polymide (Negative Resistor)

Mask ID	Process Name	Dig. Area Tone	GDS No	Mask Generation Formula	Description	Optional
392	DDNW	C	217	NA	Deep deep NW for 32/40V HV device version B process	Must
494	PWHT	C	109	SMICHV18HV5	Pwell for triple gate IO	Must
292	DNW	C	19	NA	Deep N well imp for substrate noise suppression	Optional
120	AA	D	10	SMICHV18HV5	Active Area/SDG	Must
121	AR	C	11	SMICHV18HV5	AA Oxide Define Reverse	Must
147	NDRF	C	103	NA	HV NMOS DRIFT implant ( for LDMOS)	Must
148	PDRF	C	104	NA	HV PMOS DRIFT implant ( for LDMOS)	Must
145	TG	C	125	NA	Triple gate	Must
192	NW	C	14	SMICHV18HV5	N-Well / N-Tub	Must
191	PW	C	20	SMICHV18HV5	P-Well / P-Tub	Must
296	MVN	C	45	SMICHV18HV5	Medium Vtn adjust	Must
295	MVP	C	44	SMICHV18HV5	Medium Vtp adjust	Must
131	DG	D	29	NA	Dual Gate	Must
130	GT	D	30	NA	Poly Gate / Poly-1 / ONO Gate	Must
116	NLL	C	35	SMICHV18HV5	NMOS LDD Implant for Low VDD	Must
113	PLL	C	38	SMICHV18HV5	PMOS LDD Implant for Low VDD	Must
115	PLH	C	37	SMICHV18HV5	PMOS LDD Implant for High VDD	Must
114	NLH	C	36	SMICHV18HV5	NMOS LDD Implant for High VDD	Must
198	SN	C	40	NA	N+ S/D Implant	Must
197	SP	C	43	NA	P+ S/D Implant	Must
413	HRP	C	39	NA	High Resistant Poly Imp	Optional
155	SAB	D	48	NA	Salicide Block	Must
156	CT	C	50	NA	Contact Hole (Metal to Si/Poly)	Must
160	M1	D	61	NA	Metal-1	Must
178	V1	C	70	NA	Via-1 Hole	Must
180	M2	D	62	NA	Metal-2	Must
179	V2	C	71	NA	Via-2 Hole	Must
181	M3	D	63	NA	Metal-3	Must
177	V3	C	72	NA	Via-3 Hole	Must
182	M4	D	64	NA	Metal-4	Must
176	V4	C	73	NA	Via-4 Hole	Must
162	MIM	D	58	NA	Top Plate of MIM Capacitor	Optional
183	M5	D	65	NA	Metal-5	Must
142	TV1	C	121	NA	First Top Via	Must
141	TM1	D	120	NA	First Top Metal	Must

# 第三部分：版图的准备

## 2. 设计规则

### 4) 规则定义

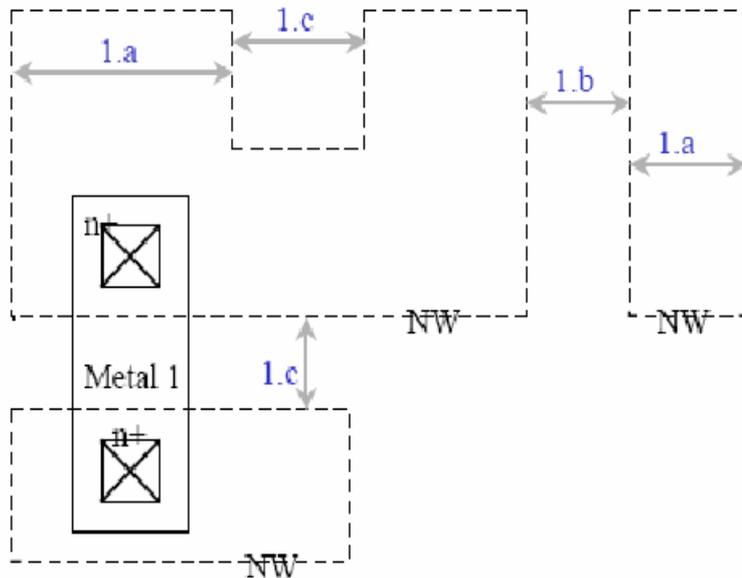


# 第三部分：版图的制作

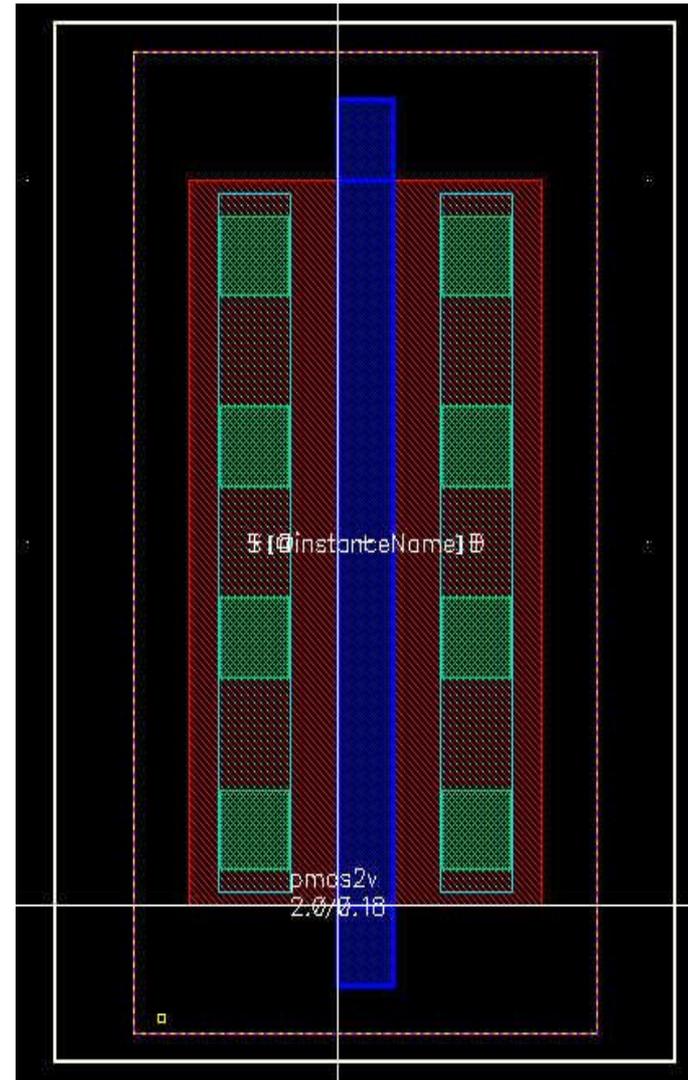
## 2. 设计规则

### 4) 规则定义

#### 4.1 NW (N WELL)



Rule No.	Rule Description	T-0.6 SPTM
1.a	minimum width NW	3.0
1.b	minimum space NW-to-NW with different potentials	4.8
1.c	minimum space NW-to-NW with the same potentials	1.5

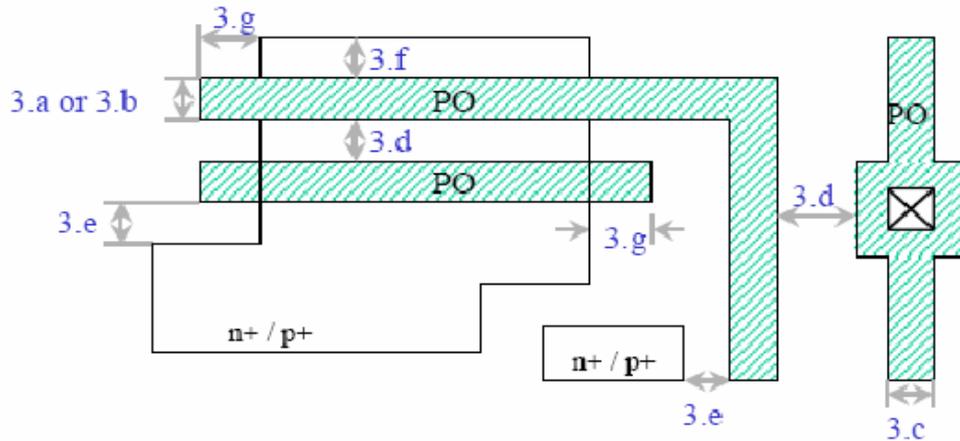


# 第三部分：版图准备

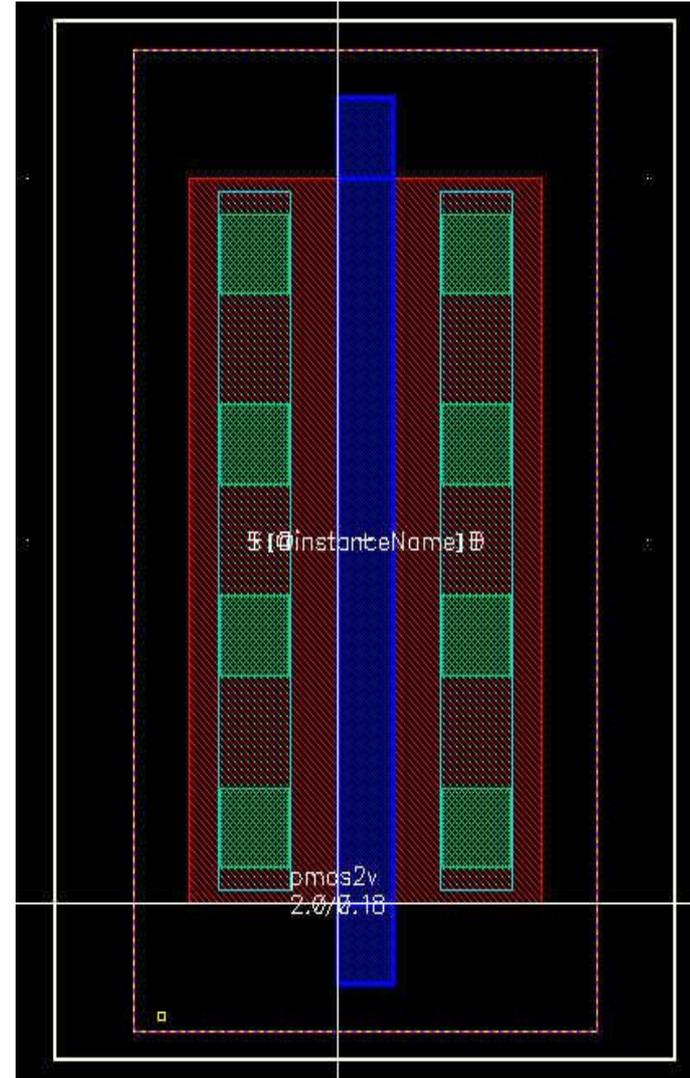
## 2. 设计规则

### 4) 规则定义

#### 4.2 PO(Poly)



Rule No.	Rule Description	T-0.6 SPTM
3.a	minimum width PO for PMOS	0.6
3.b	minimum width PO for NMOS	0.6
3.c	minimum width PO for interconnection	0.6
3.d	minimum space PO-to-PO	0.75
3.e	minimum space PO-to-OD( on field )	0.3
3.f	minimum extension OD-over-PO	0.8
3.g	minimum extension PO-over-OD	0.6

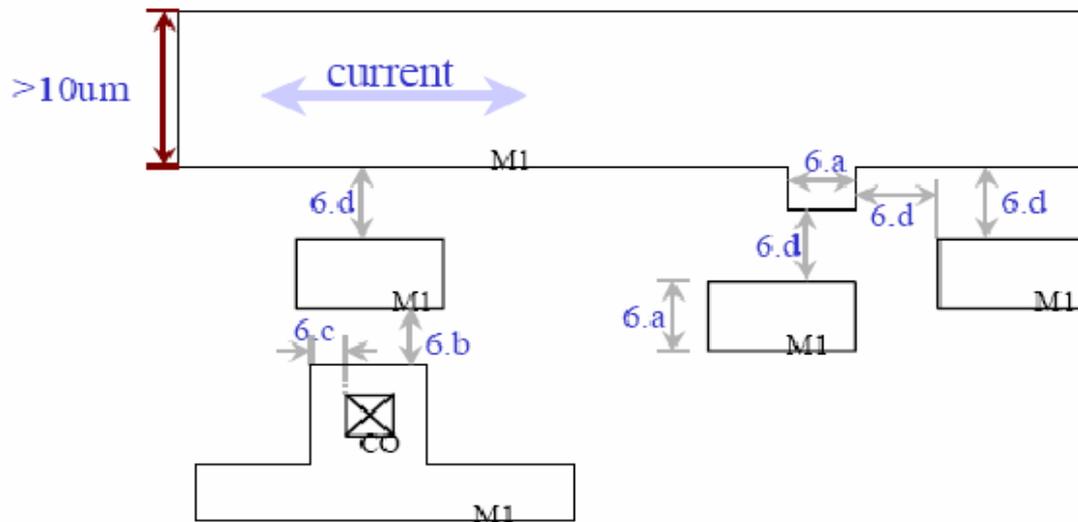


# 第三部分：版图的准备

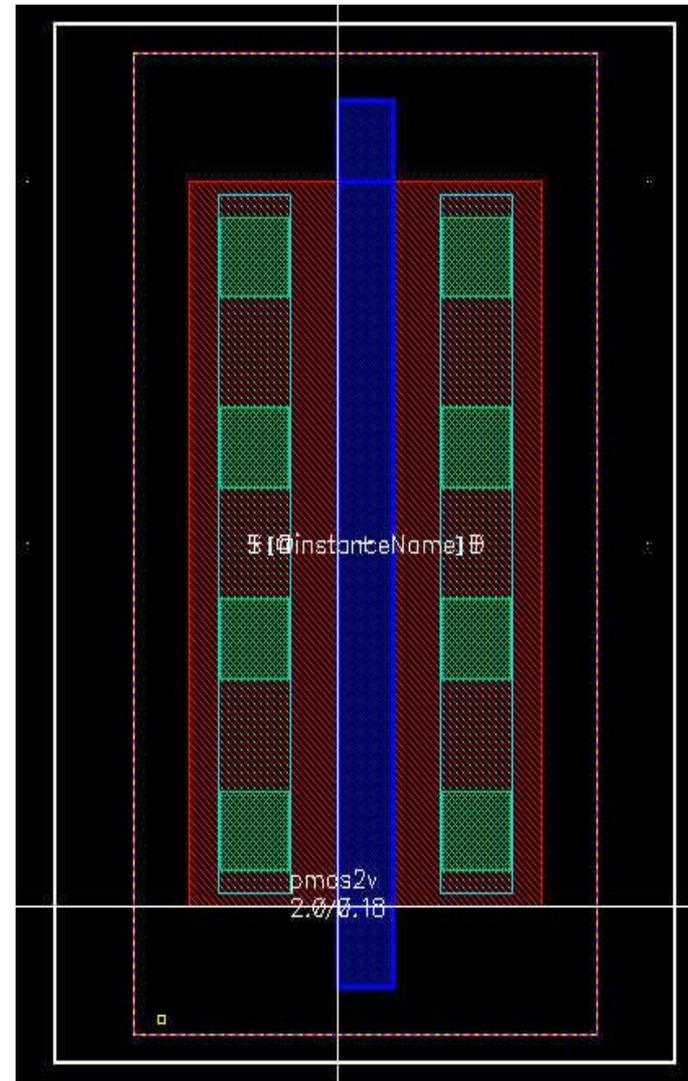
## 2. 设计规则

### 4) 规则定义

#### 4.3 M1(Metal1)



Rule No.	Rule Description	T-0.6 SPTM
6.a	minimum width M1	0.9
6.b	minimum space M1-to-M1	0.8
6.c	minimum enclosure M1[CO]	0.3
6.d	minimum space M1-to-M1( >10um )	1.3

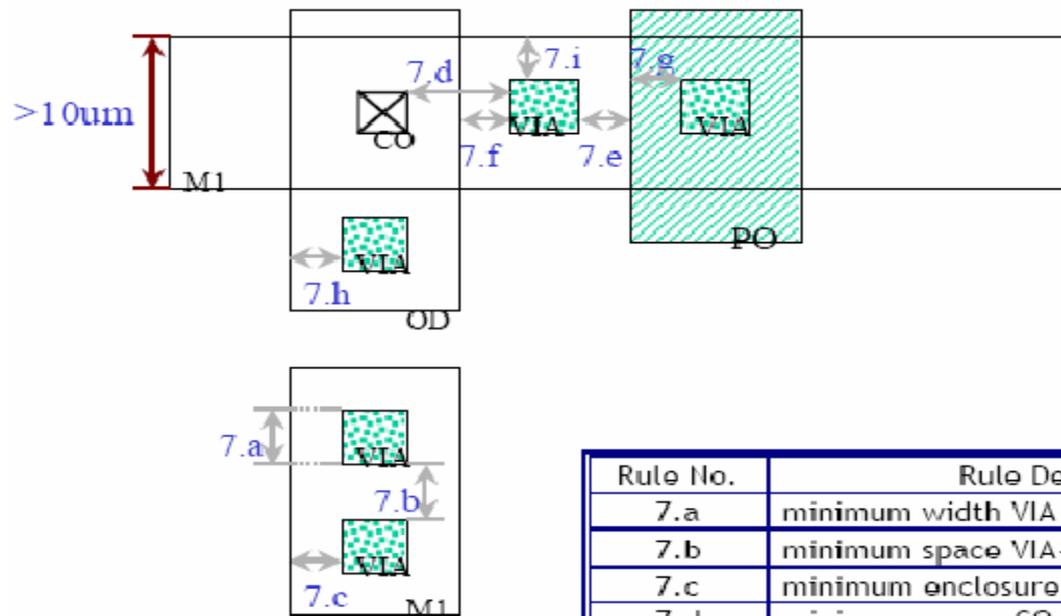


# 第三部分：版图的准备

## 2. 设计规则

### 4) 规则定义

#### 4.4 VIA



Rule No.	Rule Description	T-0.6 SPTM
7.a	minimum width VIA	0.7
7.b	minimum space VIA-to-VIA	0.7
7.c	minimum enclosure M1[VIA]	0.4
7.d	minimum space CO-to-VIA	0.0
7.e	minimum space VIA-to-PO	0.0
7.f	minimum space VIA-to-OD	0.0
7.g	minimum enclosure PO[VIA]	0.0
7.h	minimum enclosure OD[VIA]	0.0
7.i	minimum enclosure M1( >10um )[VIA]	1.5

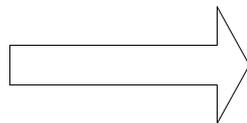
# 第三部分：版图的制作

## 3. DRC文件

3.1 DRC:Design Rule Check, 设计规则检查。

3.2 DRC程序了解有关你工艺的所有必需的东西。它将着手仔细检查你所有布置的一切。

DRC文件



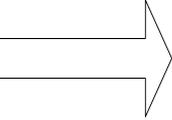
```
//*****  
//      DIRECTIVE SECTION  
//*****  
  
LAYOUT PRIMARY "testpattern"  
LAYOUT PATH "/home/jenny/cvs/update/calibre/O18_hv/testpattern.gds"  
LAYOUT SYSTEM GDSII  
  
DRC RESULTS DATABASE "test.drc_CAL.OUT" ASCII  
DRC SUMMARY REPORT "test" 5/1000=0.  
  
PRECISION 1000 005  
RESOLUTION 5  
  
FLAG ACUTE YES  
FLAG NONSIMPLE YES  
//FLAG OFFGRID YES  
FLAG SKEW YES  
  
TEXT DEPTH PRIMARY  
LVS POWER NAME "?VDD?" "?VCC?"  
  
//*****  
//      INPUT LAYER STATEMENTS  
//*****  
  
LAYER AAi 10 12 13 // Active Area / SDG  
LAYER NWi 14 // LV N-Well and Vt adjustment region  
LAYER DNWi 19 // Deep Nwell  
LAYER DGi 29 // Dual Gate  
LAYER GTi 30 // Poly Gate, Poly-1, ONO Gate  
LAYER NLLi 35 // NMOS LDD Implant for Low VDD  
LAYER NLHi 36 // NMOS LDD Implant for High VDD  
LAYER PLHi 37 // PMOS LDD Implant for High VDD  
LAYER PLLi 38 // PMOS LDD Implant for Low VDD  
LAYER HRPi 39 // High Resistance Poly  
LAYER SNI 40 // Define (LV/MV/HV)NMOS S/D Implant  
LAYER SPI 43 // Define (LV/MV/HV)PMOS S/D Implant  
LAYER VTPHi 46 // HVP MOS VT adjustment  
LAYER S&Bi 48 // Resist Protect Oxide / Salicide block  
LAYER CTi 50 // Contact Hole  
LAYER MIMi 58 // Top Plate of MiM capacitor  
LAYER M1i 61 // Metal-1  
LAYER M2i 62 // Metal-2
```

# 第三部分：版图准备

## 3. DRC文件

### 3.3 举例说明 nwell 的 DRC文件

NW DRC



```
//-----  
//  NW - Nwell DRC  
//-----  
  
GROUP GNW NW_?  
  
NW_1 {  
  @ Minimum width of an NW region is 0.86um  
  INT NW < 0.86 ABUT<90 SINGULAR REGION  
}  
NW_2 {  
  @ Minimum dimension of an NW region which is not connected to the most  
  @ positive power supply is 2.10um.  
  @ Need to be changed depending on your power supply name  
  @ In this case the most positive voltage  
  NWwoMPV = NOT NET NW ?VDD? ?VCC?  
  RESULT1 = INT NWwoMPV < 2.1 ABUT<90 SINGULAR REGION  
  
  A = M1 WITH TEXT ?VDD?  
  B = M1 WITH TEXT ?VCC?  
  VDD_M1a = NET AREA RATIO M1 A >= 1  
  VDD_M1b = NET AREA RATIO M1 B >= 1  
  VDD_M1 = VDD_M1a OR VDD_M1b  
  
  VDD_CT = CT AND VDD_M1  
  VDD_NTAP = LMNTAP INTERACT VDD_CT  
  NO_VDD_NW = NW NOT INTERACT VDD_NTAP  
  
  RESULT2 = INT NO_VDD_NW < 2.1 ABUT<90 SINGULAR REGION  
  
  RESULT1 AND RESULT2  
}  
NW_3a {  
  @ Minimum space between two 1.8V NW regions with the same potential is 0.60um  
  @ Merge if space is less than 0.6um  
  EXT LVNW < 0.60 ABUT<90 SINGULAR REGION CONNECTED  
}  
NW_3b {  
  @ Minimum space between two 1.8V NW regions with the different potential is 1.4um  
  @ Merge if space is less than 1.4um  
  EXT LVNW < 1.4 ABUT<90 SINGULAR REGION NOT CONNECTED  
}  
NW_4a {  
  @ Minimum space between two MV NW regions with the same potential is 0.60um
```

# 第三部分：版图的准备

## 4. LVS文件

### 4.1 LVS: layout

versus schematic,  
版图与电路图对照。

4.2 LVS工具不仅能检查器件和布线，而且还能确认器件的值和类型是否正确。

```
240 // Device Formula
241 //
242 // NGATE = GT*AA*SN-NW
243 // PGATE = GT*AA*SP*NW
244 // HNGATE = GT*SN*TG-NWHT-NW-DNW*SUBDMY
245 // HPGATE = GT*SP*TG*NWHT-NW-DNW*SUBDMY
246 //
247 // -----
248 // Name          Description          Device Layer Operation
249 // -----
250 //
251 // MOSFET Type
252 //
253 // N18HV          1.8V NMOS          (NGATE-DG*[DNW] )
254 // N55HV          5.5V NMOS          (NGATE*DG*[DNW] )
255 // N400HV         40V/32V Symmetry NMOS (HNGATE*NDRF*STIDMY)
256 // P18HV          1.8V PMOS          (PGATE-DG*[DNW] )
257 // P55HV          5.5V PMOS          (PGATE*DG*[DNW] )
258 // P400HV         40V/32V Symmetry PMOS (HPGATE*PDRF*STIDMY)
259 // MNT55          5.5V NATIVE NMOS   (NGATE*PSUB*DG)
260 //
261 //
262 // BJT Type
263 //
264 // PNP18A4         1.8V PNP_2*2       (DMPNP*AA*SP*NW-DG)
265 // PNP18A25        1.8V PNP_5*5       (DMPNP*AA*SP*NW-DG)
266 // PNP18A100       1.8V PNP_10*10    (DMPNP*AA*SP*NW-DG)
267 // PNP55A4         5.5V PNP_2*2       (DMPNP*AA*SP*NW*DG)
268 // PNP55A25        5.5V PNP_5*5       (DMPNP*AA*SP*NW*DG)
269 // PNP55A100       5.5V PNP_10*10    (DMPNP*AA*SP*NW*DG)
270 // NPN18A4         1.8V NPN_2*2       (DMPNP*AA*SN*DNW-DG)
271 // NPN18A25        1.8V NPN_5*5       (DMPNP*AA*SN*DNW-DG)
272 // NPN18A100       1.8V NPN_10*10    (DMPNP*AA*SN*DNW-DG)
273 // NPN55A4         5.5V NPN_2*2       (DMPNP*AA*SN*DNW*DG)
274 // NPN55A25        5.5V NPN_5*5       (DMPNP*AA*SN*DNW*DG)
275 // NPN55A100       5.5V NPN_10*10    (DMPNP*AA*SN*DNW*DG)
276 //
277 //
278 // DIODE Type
279 //
280 // NDIO18HV        1.8V N+/PWELL      (DSTR*AA*SN-DG-NW*[DNW] )
281 // NDIO55HV        5.5V N+/PWELL      (DSTR*AA*SN*DG-NW*[DNW] )
282 // PDIO18HV        1.8V P+/NWELL      (DSTR*AA*SP-DG*NW*[DNW] )
```

# 第三部分：版图的制作

## 4. LVS文件

### 4.3 Environment setting:

- 1) 将决定你用几层的金属，选择一些你需要的验证检查。
- 2) 选择用命令界面运行LVS，定义查看LVS报告文件及LVS报错个数。

```
////////////////////////////////////
// Environment Setting
////////////////////////////////////

// *Define Top metal
#DEFINE TOPMETAL 3 // *Can be 6, 5, 4, 3.

// *Define ERC Check or Not
#DEFINE ERCCHECK FALSE // *Can be TRUE or FALSE

// *Define INTERFACE Check or Not
#DEFINE ADD_RINT FALSE // *Can be TRUE or FALSE

// *Define Property of resistor. The value can be WL or R.
// * WL(Upper Case): Using W & L as the property of Resistor.
// * R(Upper Case) : Using R as the property of Resistor.

#DEFINE RES_PROPERTY R

SOURCE PATH "xxx.sp"
SOURCE PRIMARY "xxx"
SOURCE SYSTEM SPICE

LAYOUT PATH "xxx.gds"
LAYOUT PRIMARY "xxx"
LAYOUT SYSTEM GDSII

LVS REPORT "lvs.rep"
LVS REPORT OPTION A B C D S

UNIT CAPACITANCE FF
UNIT RESISTANCE OHM
UNIT LENGTH U

ERC MAXIMUM RESULTS 100
MASK SVDB DIRECTORY "svdb" QUERY
ERC RESULTS DATABASE erc.db
FLAG SKEW YES
FLAG OFFGRID YES
LVS SPICE PREFER PINS YES
LVS RECOGNIZE GATES NONE
LVS ABORT ON SUPPLY ERROR NO
LVS ALL CAPACITOR PINS SWAPPABLE YES
LVS IGNORE PORTS NO
LVS CHECK PORT NAMES YES
```

定义金属层数

关闭ERC检查

用命令跑LVS的方式

LVS COMPARE CASE NAMES	
SOURCE CASE	YES
LAYOUT CASE	YES

# 第三部分：版图准备

## 4. LVS文件

### 4.4 layer mapping:

1) 右图描述了文件的层次定义、层次描述及gds代码；

2) Map文件是工艺转换之间的一个桥梁。

```
////////////////////////////////////  
// Layer Mapping //  
////////////////////////////////////  
LAYER AA 10 // Active Area  
LAYER NPAA 12 // N+ Active Area  
LAYER PPAA 13 // P+ Active Area  
LAYER NW 14 // N-Well  
LAYER DNW 19 // Deep Nwell implant  
LAYER PSUB 85 // Psub area  
LAYER NLL 35 // NMOS LDD Implant for low Vdd  
LAYER PLL 38 // PMOS LDD Implant for low Vdd  
LAYER DG 29 // Dual Gate  
LAYER GT 30 // Poly Gate  
LAYER HRP 39 // High resistant Poly Imp.  
LAYER SN 40 // N+ S/D implant  
LAYER SP 43 // P+ S/D implant  
LAYER SAB 48 // Resist Protect Oxide/Salicide Block  
LAYER CT 50 // Contact Hole  
LAYER MIM 58 // Top plate of MIM Capacitor.  
LAYER M1 61 // Metall  
LAYER M2 62 // Metal2  
LAYER IGNORE 363  
LAYER MAP 63 TEXTTYPE 63 363  
LAYER M3 63 // Metal3  
LAYER M4 64 // Metal4  
LAYER M5 65 // Metal5  
LAYER TM1 120 // Top metal  
LAYER V1 70 // Via1  
LAYER V2 71 // Via2  
LAYER V3 72 // Via3  
LAYER V4 73 // Via4  
LAYER TV1 121 // Top Via  
LAYER RESNW 95 // Dummy for NW resistor  
LAYER RESP1 96 // Dummy for Poly resistor.  
LAYER RESAA 97 // Dummy for AA resistor.  
LAYER NDRF 103 // HV NMOS DRIFT implant.  
LAYER PDRF 104 // HV PMOS DRIFT implant.  
LAYER NWHT 110 // NW for Trippe gate IO.  
LAYER TG 125 // Triple gate.  
LAYER SUBD 300  
LAYER MAP 131 DATATYPE 1 300 // Dummy for psub  
LAYER DMPNP 134 // Dummy for BJT  
LAYER CAPBP 137 // Dummy for Cap  
LAYER DSTR 138 // Dummy for Diode
```

# 第三部分：版图准备

## 4. LVS文件

### 4.5 Logic operation:

定义了文件层次的  
逻辑运算。

```
////////////////////////////////////  
// Logic Operation //  
////////////////////////////////////  
  
// *Form Bulk layer  
DRC:1 = EXTENT  
BULK = SIZE DRC:1 BY 1.0  
  
// *Define Pwell layer  
PWHT = (BULK AND SUBDMY) NOT ((SIZE SUBD BY 0.005) NOT SUBD) OR NWHT)  
pwell = (BULK NOT SUBDMY) NOT (NW OR ((SIZE SUBD BY 0.005) NOT SUBD))  
  
// *Define original P/N diffusion Area  
lpdifi = (AA AND SP) NOT SUBDMY  
lndifi = (AA AND SN) NOT SUBDMY  
  
hpdifi = (AA AND SP) AND SUBDMY  
hndifi = (AA AND SN) AND SUBDMY  
  
hpdiff = hpdifi AND NWHT  
hndiff = hndifi AND PWHT  
hptd = hpdifi AND PWHT  
hntd = hndifi AND NWHT  
  
gatesym = GT AND STIDMY  
  
hvngate = (GT AND (hndiff OR (STIDMY INTERACT hndiff))) AND TG  
hng_sym = hvngate ENCLOSE gatesym >1 <3  
  
hngatesym = hng_sym NOT (NDRF INTERACT STIDMY)  
  
hvpgate = (GT AND (hpdiff OR (STIDMY INTERACT hpdiff))) AND TG  
hpg_sym = hvpgate ENCLOSE gatesym >1 <3  
  
hpgatesym = hpg_sym NOT (PDRF INTERACT STIDMY)  
  
hnsd1 = hndiff NOT hngatesym  
hpsd1 = hpdiff NOT hpgatesym  
  
hnsd = ((hnsd1 INTERACT STIDMY) NOT TOUCH hngatesym) AND NDRF  
hpsd = ((hpsd1 INTERACT STIDMY) NOT TOUCH hpgatesym) AND PDRF  
  
polya = GT NOT (hngatesym OR hpgatesym)
```

# 第三部分：版图的制作

## 4. LVS文件

### 4.6

DefinedDevices:

右图定义器  
件端口及器件  
逻辑运算。

```
////////////////////////////////////  
// *Define Devices //  
////////////////////////////////////  
DEVICE MN(N18HV) ngate18 ngate18(G) lnsd(S) lnsd(D) pwell(B)  
[ PROPERTY W, L  
W = PERIM_CO(ngate18,lnsd)/2  
L = AREA(ngate18)/W ]  
  
DEVICE MN(N55HV) ngate50 ngate50(G) lnsd(S) lnsd(D) pwell(B)  
[ PROPERTY W, L  
W = PERIM_CO(ngate50,lnsd)/2  
L = AREA(ngate50)/W ]  
  
DEVICE MN(N400HV) hngatesym hngatesym(G) NDRF(S) NDRF(D) PWHT(B)  
[ PROPERTY W, L  
W = PERIM_CO(hngatesym,NDRF)/2  
L = AREA(hngatesym)/W ]  
  
DEVICE MP(P18HV) pgate18 pgate18(G) lpsd(S) lpsd(D) nwell(B)  
[ PROPERTY W, L  
W = PERIM_CO(pgate18,lpsd)/2  
L = AREA(pgate18)/W ]  
  
DEVICE MP(P55HV) pgate50 pgate50(G) lpsd(S) lpsd(D) nwell(B)  
[ PROPERTY W, L  
W = PERIM_CO(pgate50,lpsd)/2  
L = AREA(pgate50)/W ]  
  
DEVICE MN(NNT55) nngate55 nngate55(G) lnsd(S) lnsd(D) pwell(B)  
[ PROPERTY W, L  
W = PERIM_CO(nngate55,lnsd)/2  
L = AREA(nngate55)/W ]  
  
DEVICE MP(P400HV) hpgatesym hpgatesym(G) PDRF(S) PDRF(D) NWHT(B)  
[ PROPERTY W, L  
W = PERIM_CO(hpgatesym,PDRF)/2  
L = AREA(hpgatesym)/W ]  
  
DEVICE Q(PNP18A4) pnpemit18a4 pnpcoll nwell pnpemit18a4  
[ PROPERTY A  
A = AREA(pnpemit18a4) ]  
  
DEVICE Q(PNP18A25) pnpemit18a25 pnpcoll nwell pnpemit18a25  
[ PROPERTY A
```

# 第三部分：版图的制作

## 4. LVS文件

### 4.7 Check

tolerance:

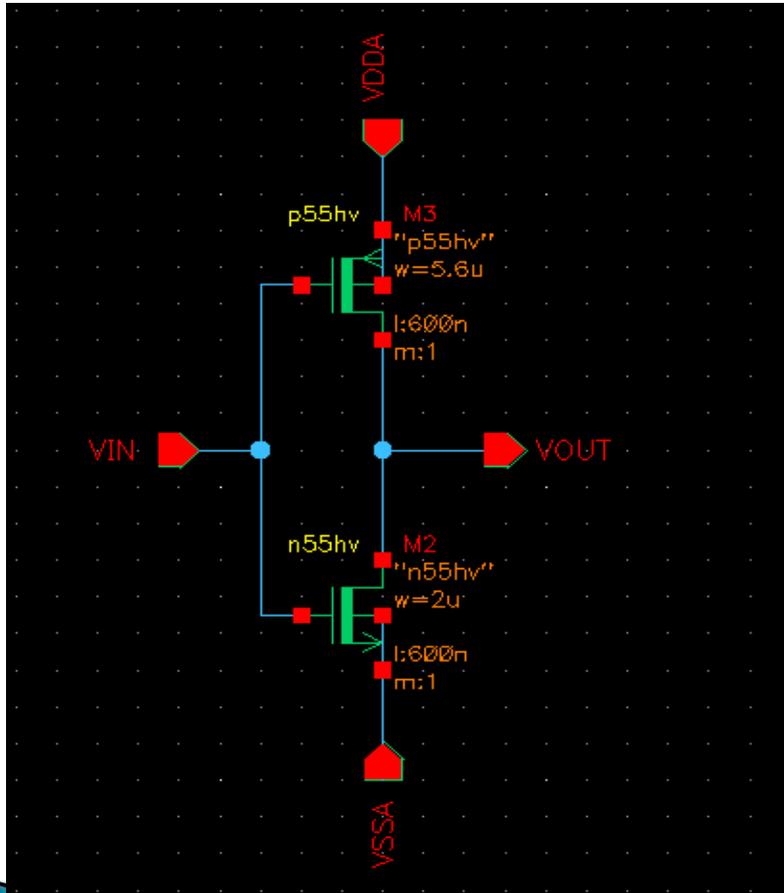
右图定义检查器  
件属性的误差率，  
一般调为1%。

```
0 10 20 T 30 40
1501 ///////////////////////////////////////////////////
1502 // *Define property check tolerance
1503 ///////////////////////////////////////////////////
1504
1505 // * MOSFET
1506
1507 TRACE PROPERTY MN (N18HV) L L 5
1508 TRACE PROPERTY MN (N18HV) W W 5
1509
1510 TRACE PROPERTY MP (P18HV) L L 5
1511 TRACE PROPERTY MP (P18HV) W W 5
1512
1513 TRACE PROPERTY MN (N55HV) L L 5
1514 TRACE PROPERTY MN (N55HV) W W 5
1515
1516 TRACE PROPERTY MP (P55HV) L L 5
1517 TRACE PROPERTY MP (P55HV) W W 5
1518
1519 TRACE PROPERTY MN (NNT55) L L 5
1520 TRACE PROPERTY MN (NNT55) W W 5
1521
1522 TRACE PROPERTY MN (N400HV) L L 5
1523 TRACE PROPERTY MN (N400HV) W W 5
1524
1525 TRACE PROPERTY MP (P400HV) L L 5
1526 TRACE PROPERTY MP (P400HV) W W 5
1527
1528
1529 // * BJT
1530
1531 TRACE PROPERTY Q (PNP18A4) A A 5
1532 TRACE PROPERTY Q (PNP18A25) A A 5
1533 TRACE PROPERTY Q (PNP18A100) A A 5
1534
1535 TRACE PROPERTY Q (PNP55A4) A A 5
1536 TRACE PROPERTY Q (PNP55A25) A A 5
1537 TRACE PROPERTY Q (PNP55) A A 5
1538
1539 TRACE PROPERTY Q (NPN18A4) A A 5
1540 TRACE PROPERTY Q (NPN18A25) A A 5
1541 TRACE PROPERTY Q (NPN18A100) A A 5
1542
1543 TRACE PROPERTY Q (NPN55A4) A A 5
1544 TRACE PROPERTY Q (NPN55A25) A A 5
1545 TRACE PROPERTY Q (NPN55A100) A A 5
1546
```

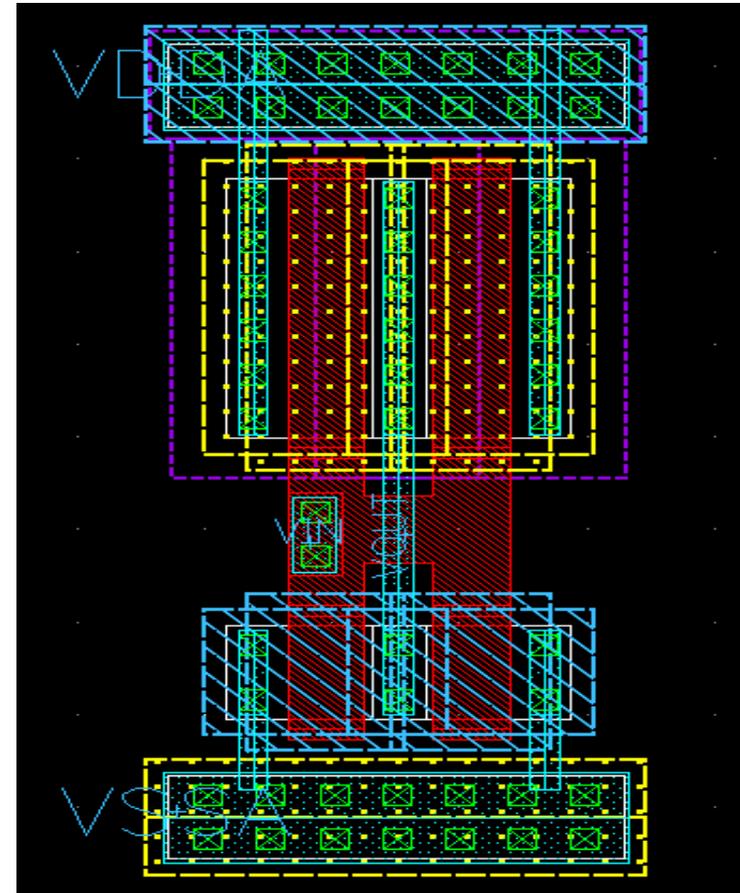
# 第三部分：版图的制作

## 4. LVS文件

### 4.8 LVS电路与版图对比



电路图



版图

# 第三部分：版图的制作

## 4. LVS文件

### 4.9 LVS网表对比

```
*****  
* Library Name: gd100p7_1x12  
* Cell Name: 00  
* View Name: schematic  
*****
```

```
.SUBCKT 00 VDDA VIN VOUT VSSA  
*.PININFO VDDA:I VIN:I VSSA:I VOUT:O  
MM3 VOUT VIN VDDA VDDA p55hv W=5.6u L=600n m=1  
MM2 VOUT VIN VSSA VSSA n55hv W=2u L=600n m=1  
.ENDS
```

电路网表

#### \* SPICE NETLIST

```
*****
```

```
.SUBCKT n55hv$171981868 1 2 3 4  
** N=4 EP=4 IP=0 FDC=1  
M0 2 3 1 4 N55HV L=6e-07 W=1e-06 $X=0 $Y=0 $D=2  
.ENDS
```

```
*****
```

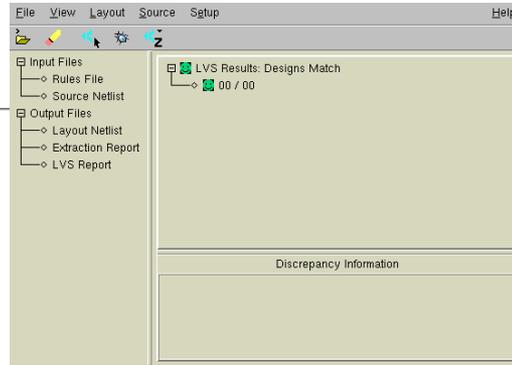
```
.SUBCKT p55hv$171983916 1 2 3 4  
** N=4 EP=4 IP=0 FDC=1  
M0 2 3 1 4 P55HV L=6e-07 W=2.8e-06 $X=0 $Y=0 $D=5  
.ENDS
```

```
*****
```

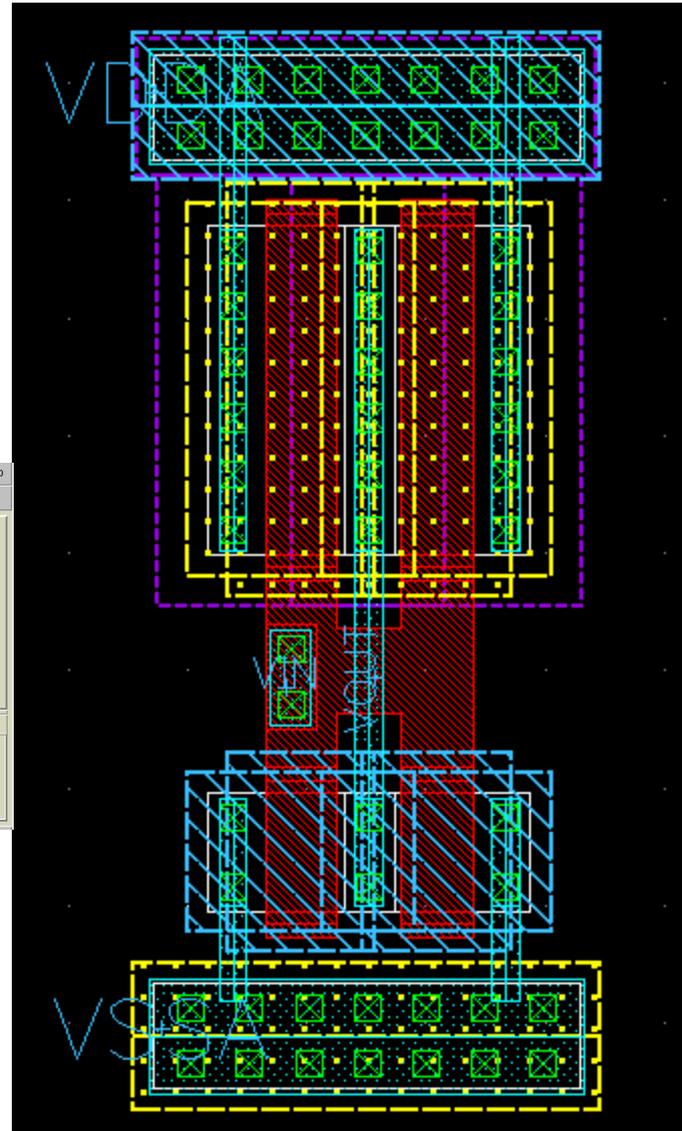
```
.SUBCKT 00 VIN VOUT VSSA VDDA  
** N=4 EP=4 IP=16 FDC=4  
X0 VSSA VOUT VIN VSSA n55hv$171981868 $T=-89345 319955 0 0 $X=-90255 $Y=319525  
X1 VOUT VSSA VIN VSSA n55hv$171981868 $T=-88205 319955 0 0 $X=-89115 $Y=319525  
X2 VDDA VOUT VIN VDDA p55hv$171983916 $T=-89345 322985 0 0 $X=-90255 $Y=322555  
X3 VOUT VDDA VIN VDDA p55hv$171983916 $T=-88205 322985 0 0 $X=-89115 $Y=322555  
.ENDS
```

```
*****
```

版图网表



电路网表与版图网表  
完全一致的结果显示  
(Calibre工具)



版图网表转换为版图



# IC模拟版图设计

## 第四部分：版图的艺术

1. 模拟版图和数字版图的首要目标
2. 首先考虑的三个问题
3. 匹配
  - 3.1 匹配中心思想
  - 3.2 匹配问题
  - 3.3 如何匹配
  - 3.4 MOS管
  - 3.5 电阻
  - 3.6 电容
  - 3.7 匹配规则
4. 寄生效应
  - 4.1 寄生的产生
  - 4.2 寄生电容
  - 4.3 寄生电阻
  - 4.4 天线效应
  - 4.5 闩锁效应
5. 噪声
6. 布局规划
7. ESD
8. 封装

# 第四部分：版图设计艺术

## 1. 模拟电路和数字电路的首要目标

### ✓ 模拟电路关注的是**功能**

- 1) 电路性能、匹配、速度等
- 2) 没有EDA软件能全自动实现，所以需要手工处理

### ✓ 数字电路关注的是**面积**

- 1) 什么都是最小化
- 2) Astro、appollo等自动布局布线工具

# 第四部分：版图设计艺术

## 2. 首先考虑的三个问题

- 电路功能？
- 频率多少？
- 低寄生参数节点？

- 大电流在哪里？
- 小电流在哪里？
- 电流流入其他模块？

- 认出节点要求？
- 认出晶体管
- 认出其他模块
- 认出远处部件

还有其他什么吗？

- 器件布置分面的考虑？
- 金属选择？
- 隔离要求？

# 第四部分：版图设计艺术

## 3. 匹配

### 3.1 中心思想：

- 1) 使所有的东西尽量理想，使要匹配的器件被相同的因素以相同的方式影响。
- 2) 把器件围绕一个公共点中心放置为共心布置。甚至把器件在一条直线上对称放置也可以看作是共心技术。
  - 2.1) 共心技术对减少在集成电路中存在的热或工艺的线性梯度影响非常有效。

# 第四部分：版图设计艺术

## 3. 匹配

### 3.2 匹配问题

3.2.1 差分对、电流镜.....

3.2.2 误差

3.2.3 工艺导致不匹配

- 1) 不统一的扩散
- 2) 不统一的注入
- 3) CMP后的不完美平面

3.2.4 片上变化导致不匹配

- 1) 温度梯度
- 2) 电压变化

# 第四部分：版图设计艺术

## 3. 匹配

### 3.3 如何匹配

1) 需要匹配的器件尽量彼此挨近

- ✓ 芯片不同的地方工作环境不同，如温度

2) 需要匹配的器件方向应相同

- ✓ 工艺刻蚀各向异性
- ✓ 如对MOS器件的影响

3) 选择单位器件做匹配

- ✓ 如电阻电容，选一个中间值作为单位电阻（电容），串并得到其它电阻（电容）
- ✓ 单位电阻电容彼此靠近方向相同放置，相对匹配精度较好

4) 叉指型结构匹配

5) 虚拟器件

- ✓ 使器件的中间部位与边缘部位所处环境相同
- ✓ 刻蚀时不会使器件自身不同部位不匹配

# 第四部分：版图设计艺术

## 6) 保证对称性

### 6.1 轴对称的布局

### 6.2 四角交叉布局

#### 6.2.1 缓解热梯度效应和工艺梯度效应的影响

#### 6.2.2 连线时也要注意对称性

- ✓ 同一层金属
- ✓ 同样多的瞳孔
- ✓ 同样长的金属线

### 6.3 器件之间、模块之间，尽量让所有东西布局对称

## 7) 信号线匹配

### 7.1 差分信号线，彼此靠近，相同长度

### 7.2 寄生效应相同，延迟时间常数相同，信号上升下降时间相同

## 8) 器件尺寸的选择

### 8.1 相同的宽度

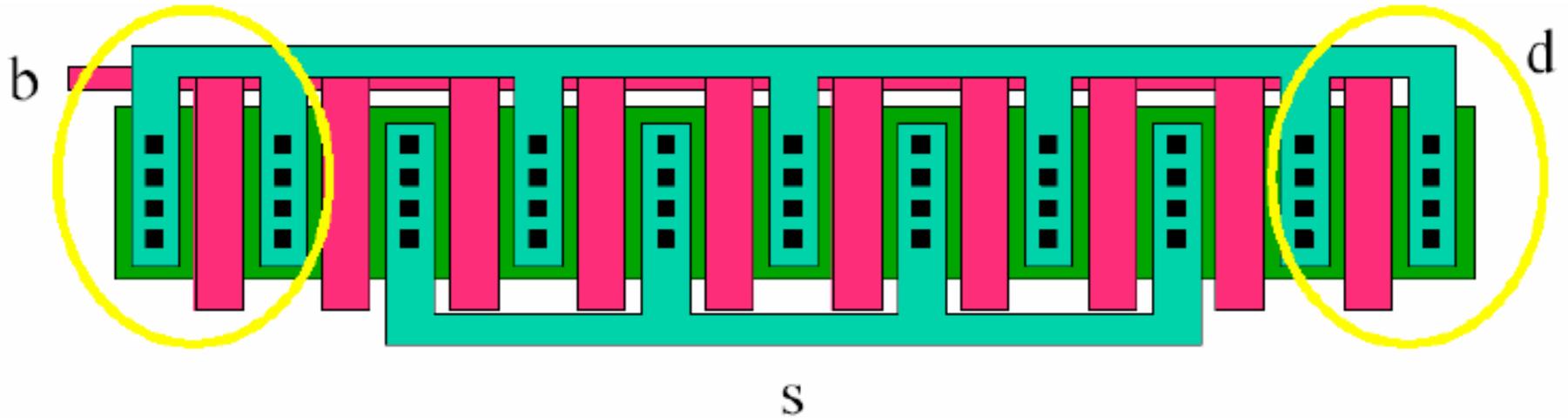
### 8.2 尺寸大些

#### 8.2.1 工艺刻蚀偏差所占的比例小些

# 第四部分：版图设计艺术

## 3. 匹配

### 3.4 MOS管



DUMMY管使边界条件与内部相同

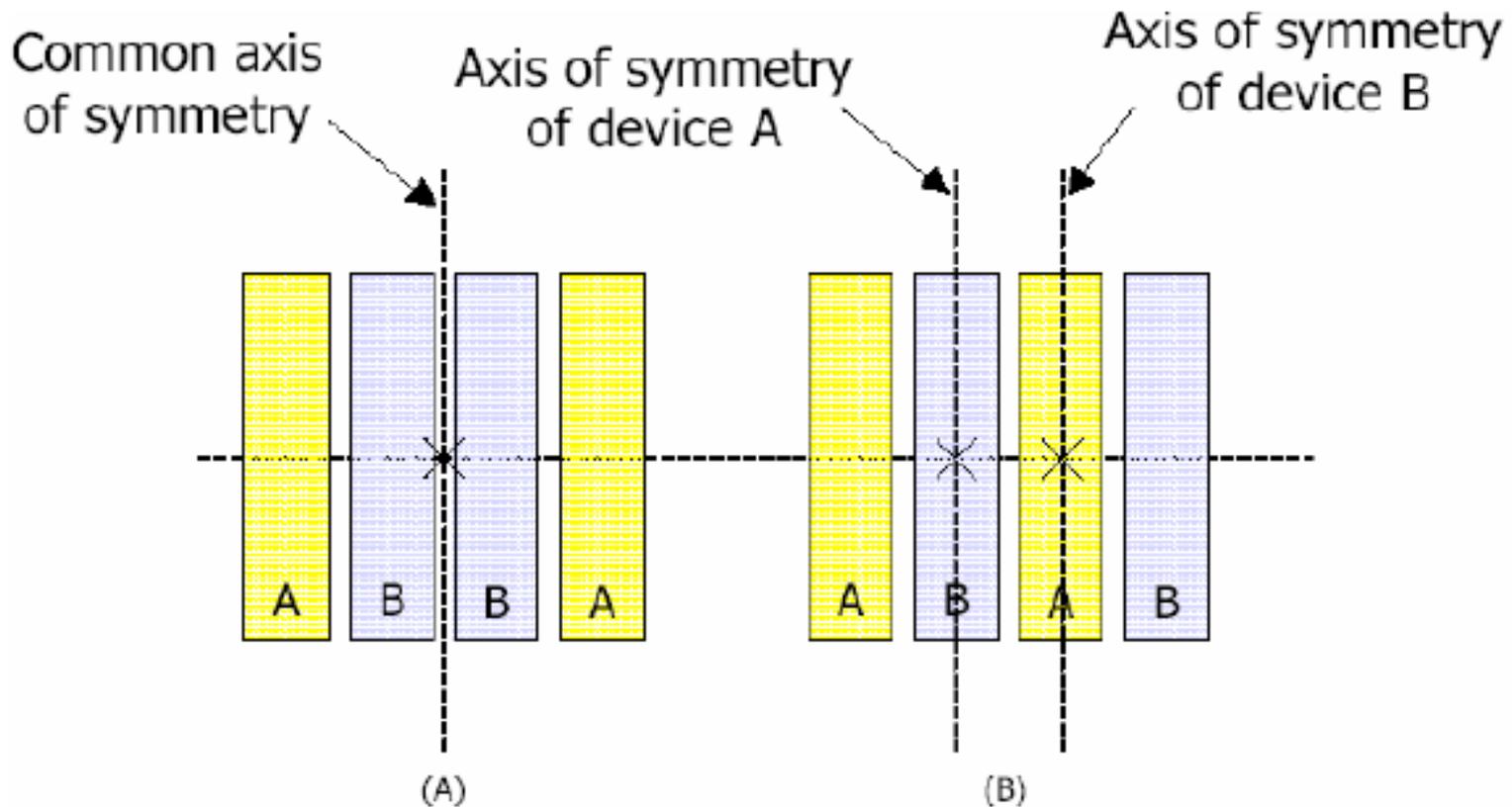
DUMMY管短路减小寄生贡献

# 第四部分：版图设计艺术

## 3. 匹配

### 3.4 MOS管

#### 1) 轴对称匹配

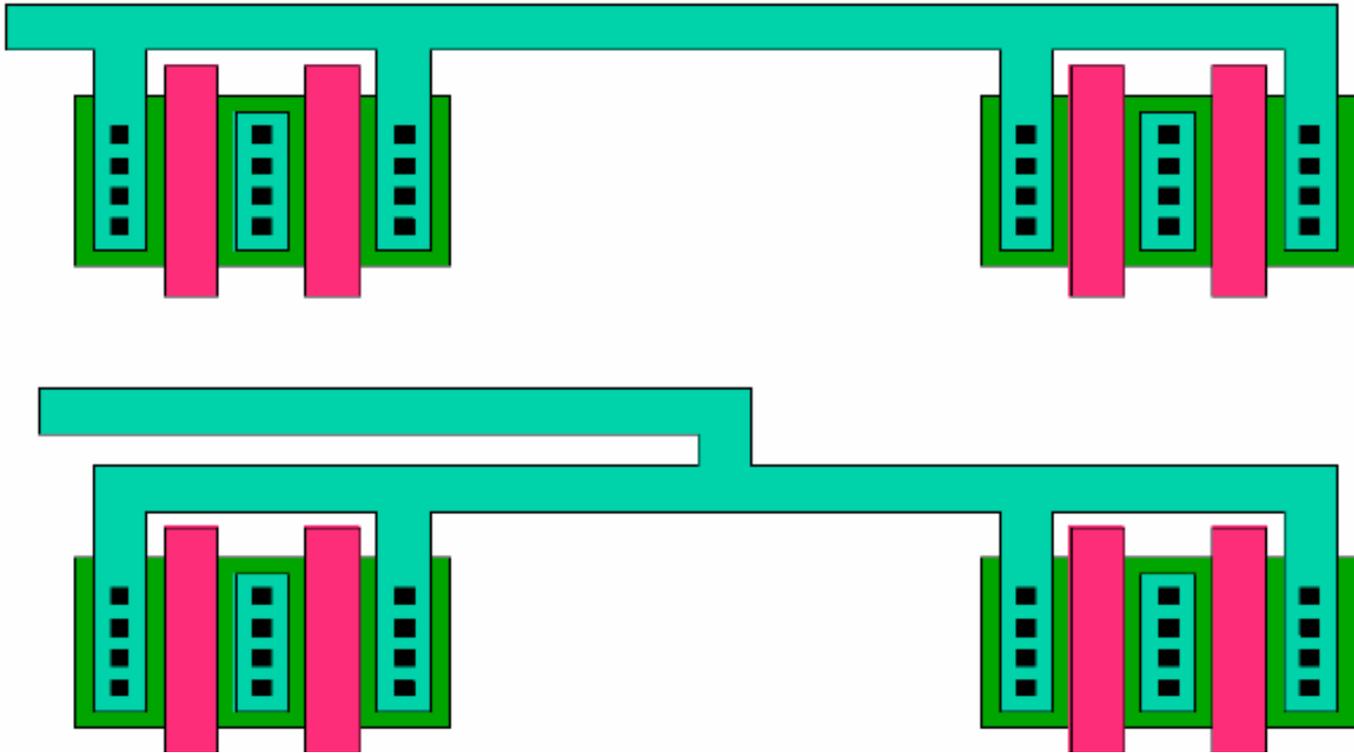


# 第四部分：版图设计艺术

## 3. 匹配

### 3.4 MOS管

#### 2) 匹配金属连线

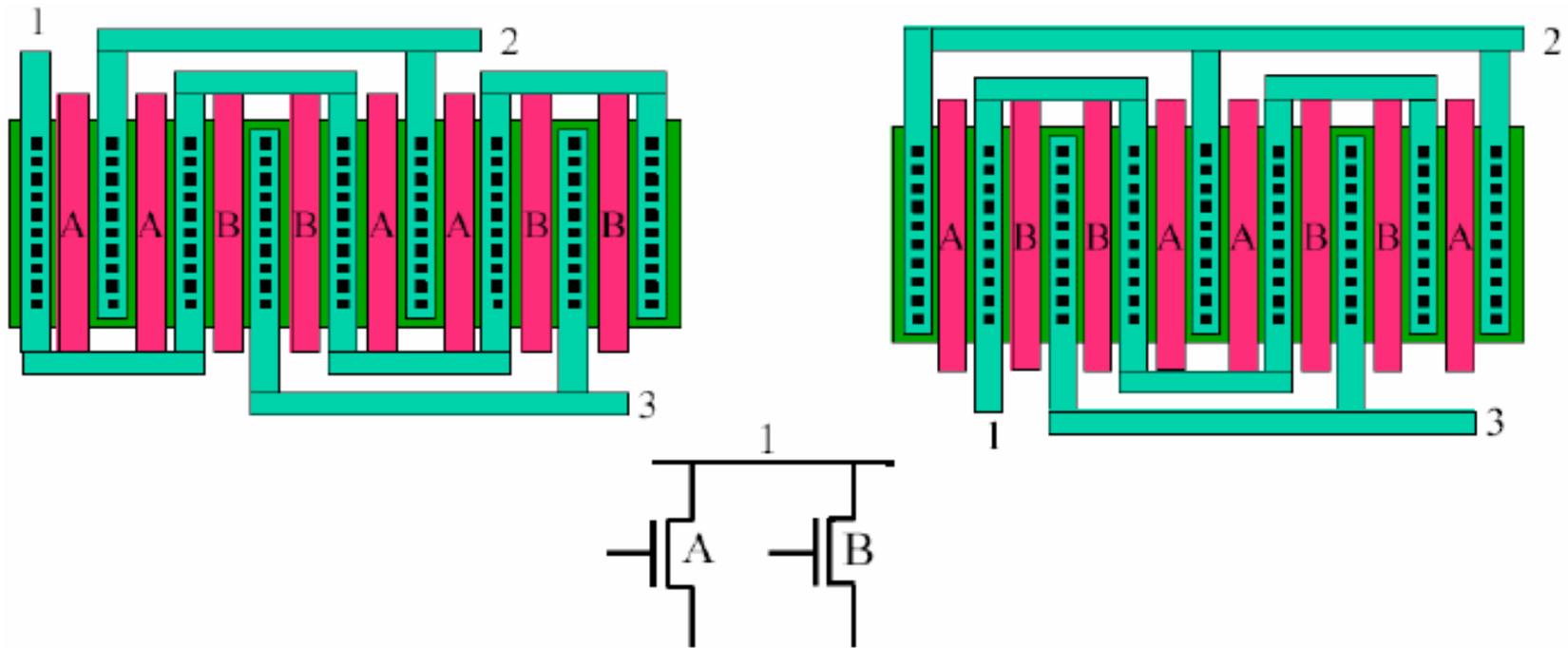


# 第四部分：版图设计艺术

## 3. 匹配

### 3.4 MOS管

#### 3) MOS管的匹配



拆为相同数目的finger

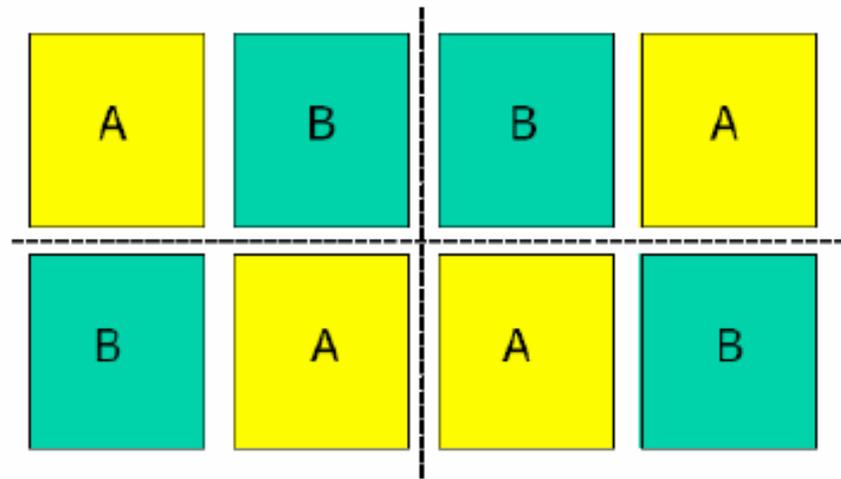
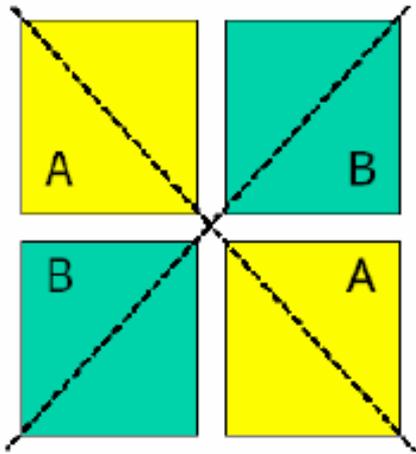
排列成：AABBAABB或者ABBAABBA

# 第四部分：版图设计艺术

## 3. 匹配

### 3.4 MOS管

#### 4) 中心对称

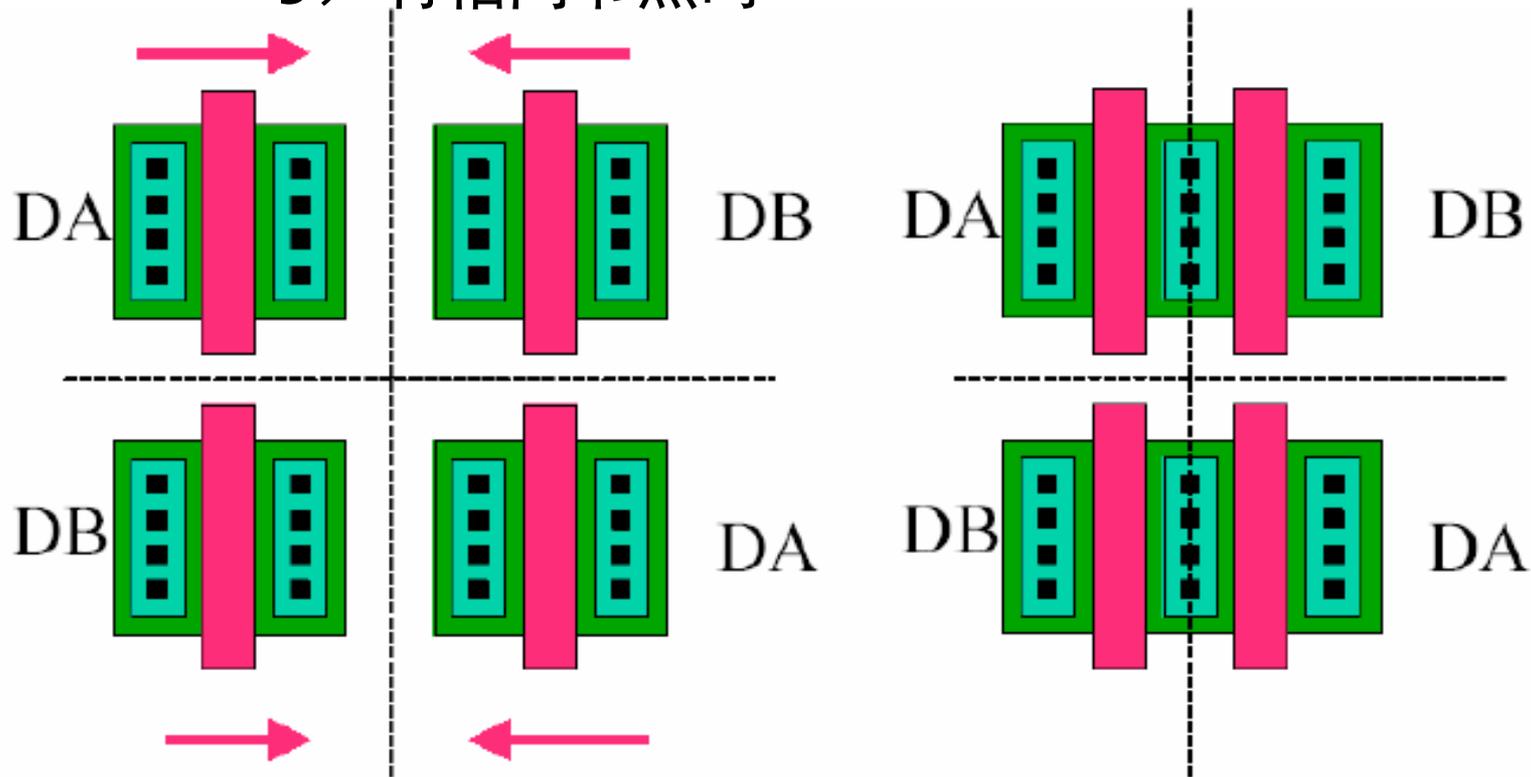


# 第四部分：版图设计艺术

## 3. 匹配

### 3.4 MOS管

5) 有相同节点时



# 第四部分：版图设计艺术

## 3. 匹配

### 3.4 MOS管

#### 6) 差分的匹配

6.1) 一种需要高度匹配的电路技术就是所谓的差分逻辑。

6.2) 在coms逻辑中，每个信号只有一条导线来传送低或高电平，由此来决定逻辑状态。

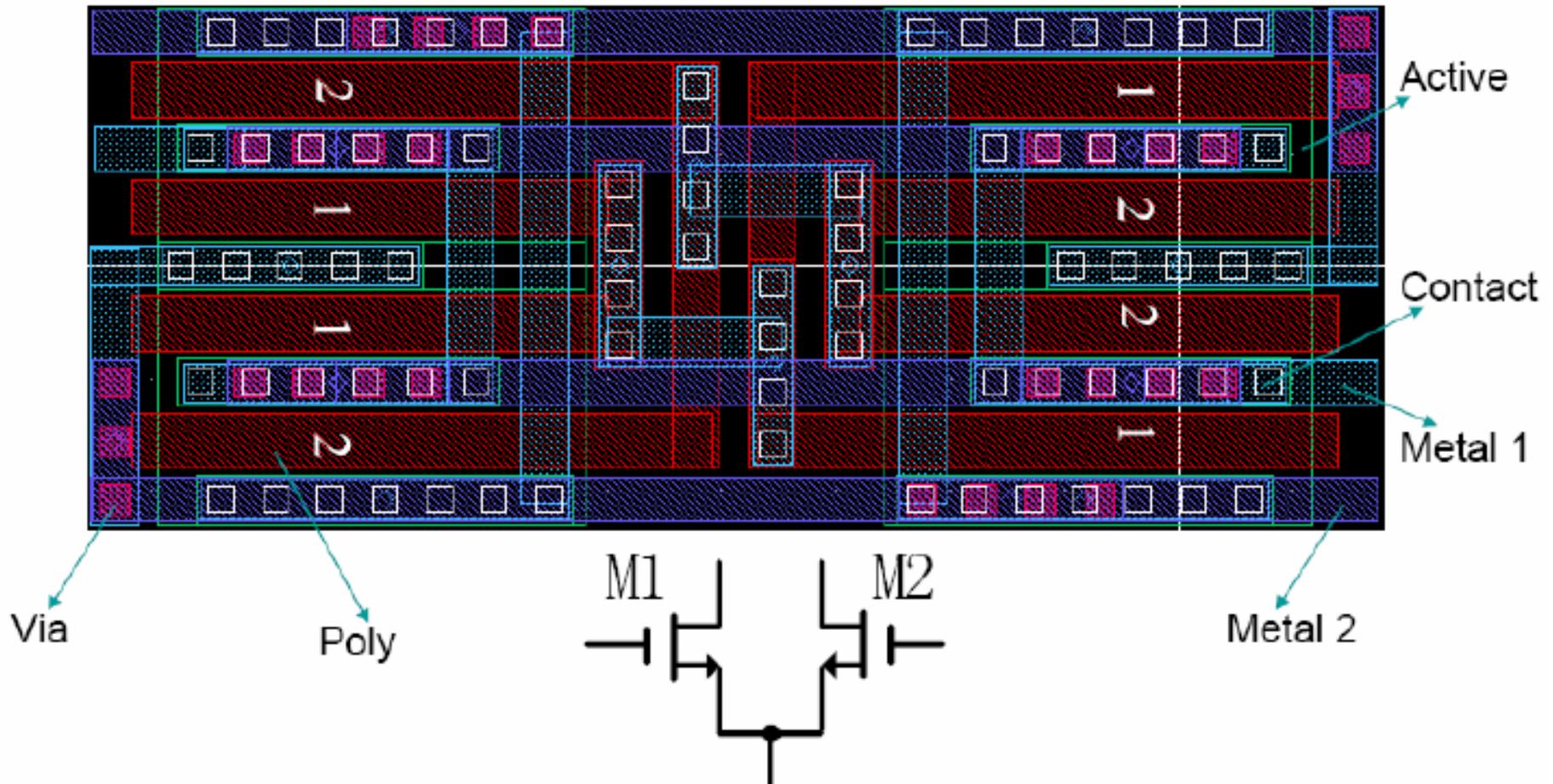
6.3) 在差分逻辑中每个信号有两条导线，确定在两条导线上两个信号之间的差就告诉你逻辑状态。



特别注意  
匹配问题

# 第四部分：版图设计艺术

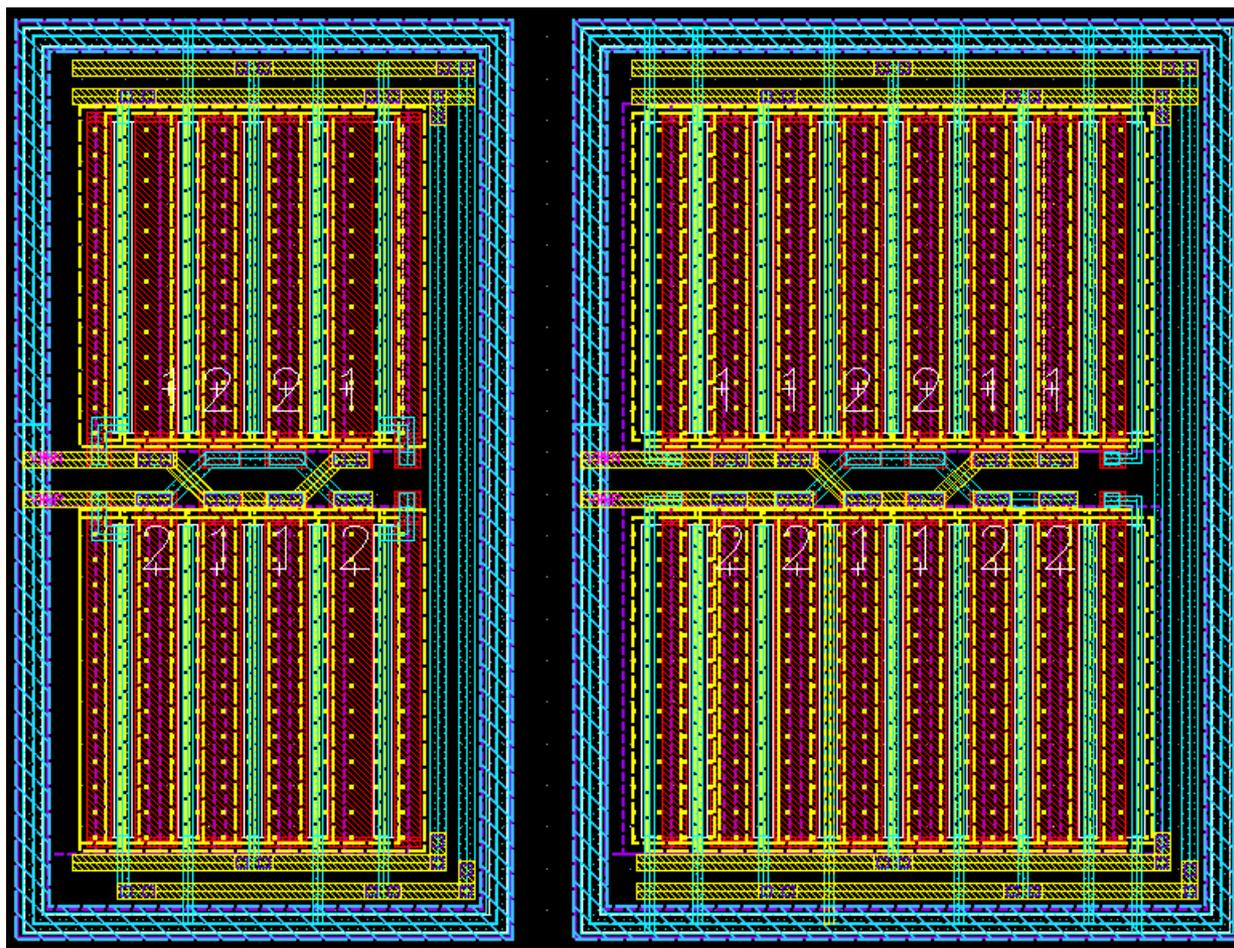
## 7) 差分的匹配版图 (一)



两MOS管源端相同时中心对称实例

# 第四部分：版图设计艺术

## 8) 差分的匹配版图 (二)



# 第四部分：版图设计艺术

## 3. 匹配

### 3.5 电阻

Example:  $R1 : R2 = 1 : 2$

Dummy →



gradient

$0.5 * R2 + \Delta R$



$R1$



$0.5 * R2 - \Delta R$



Dummy →

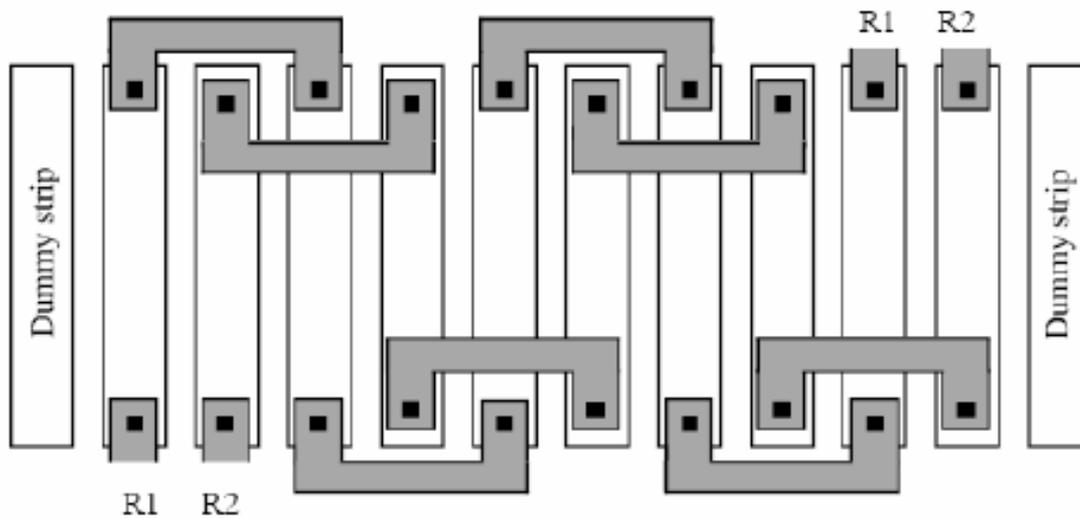


使用单位电阻

# 第四部分：版图设计艺术

## 3. 匹配

### 3.5 电阻--叉指结构





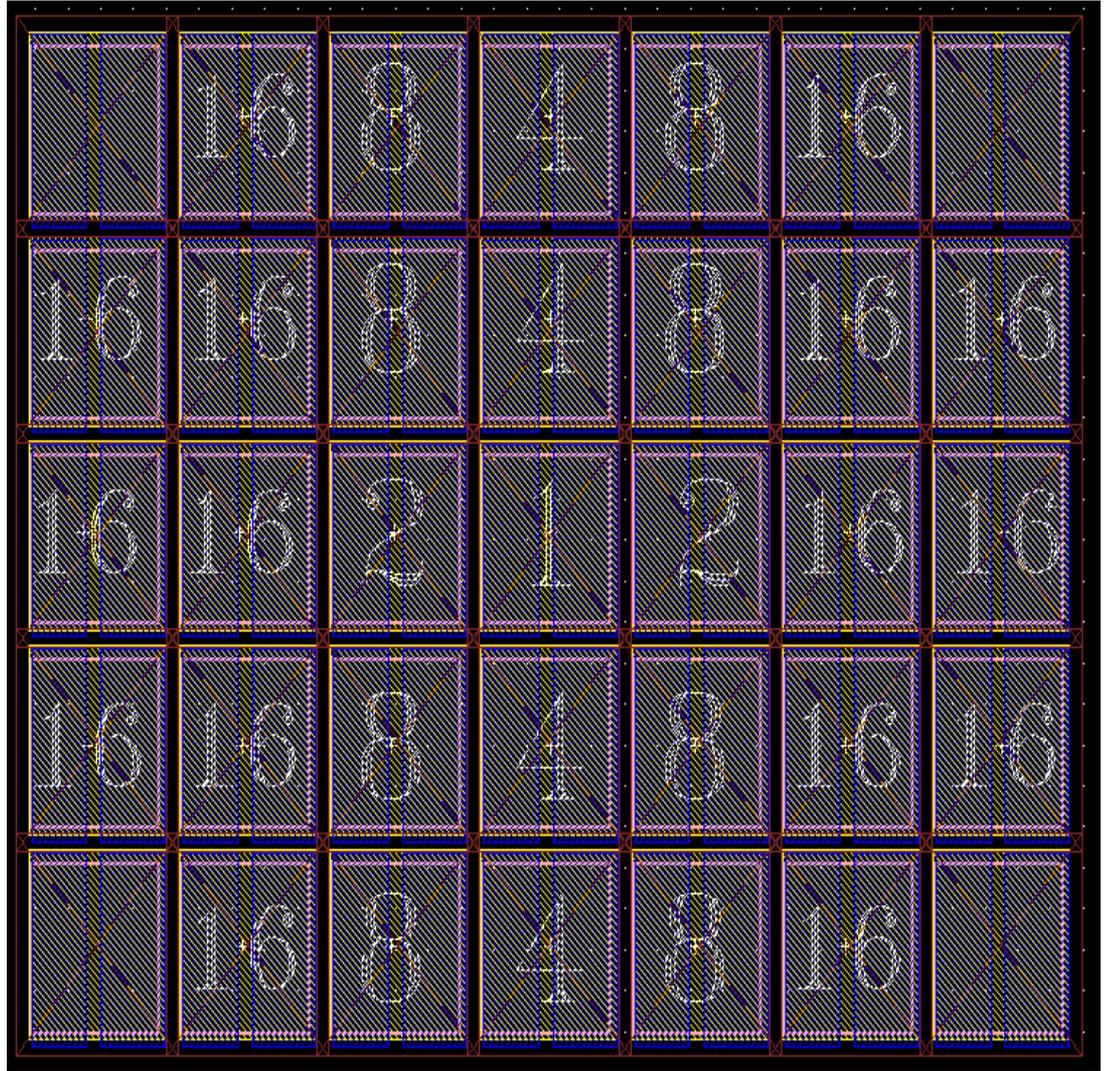
# 第四部分：版图设计艺术

## 3. 匹配

### 3.6 电容

#### 3.6.2 电容匹配

右图为一个电容中心版图的布局。一片容性组由比率为1: 2: 4: 8: 16的电容组成，右图的布局方法使全局误差被均化。



1: 2: 4: 8: 16的电容匹配版图

图

# 第四部分：版图设计艺术

## 3. 匹配

### 3.7 匹配规则

- 1) 把匹配器件相互靠近放置；
- 2) 使器件保持同一个方向；
- 3) 选择一个中间值作为你的根器件；
- 4) 采用指状交叉方式；
- 5) 用虚设器件包围起来；
- 6) 四方交叉你的成对器件；
- 7) 匹配你布线上的寄生参数；
- 8) 使每一样东西都很对称；
- 9) 使差分布线一致；
- 10) 使器件宽度一致；
- 11) 总是与你的电路设计者交流；
- 12) 注意邻近的器件；

# 第四部分：版图设计艺术

## 4. 寄生效应

### 4.1 寄生的产生

- 1) 两种材料之间会有寄生电容
- 2) 电流流过之处会有寄生电阻
- 3) 高频电路导线具有寄生电感
- 4) 器件自身也有寄生效应
- 5) 影响电路的速度，改变频响特性

# 第四部分：版图设计艺术

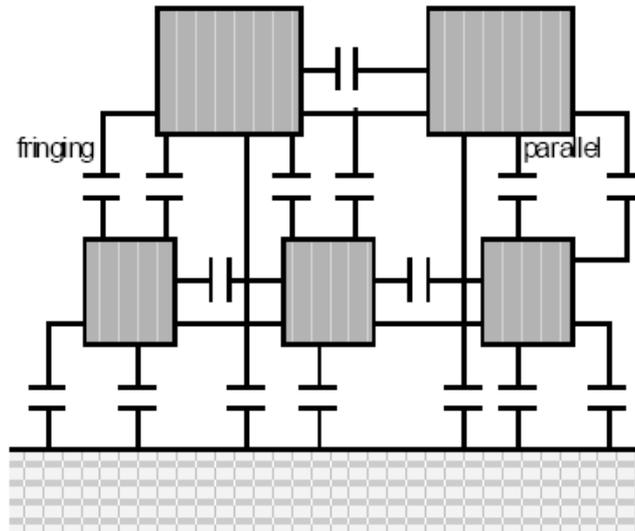
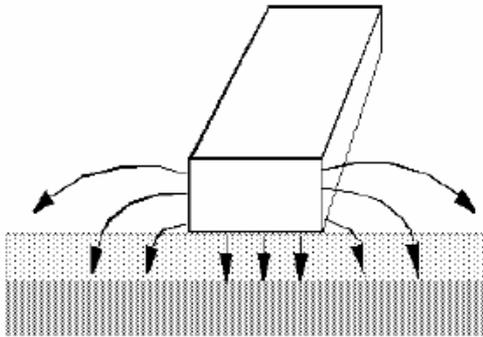
## 4.2 寄生电容

### 1) 金属与衬底之间的平板电容

- ✓最重要的寄生问题
- ✓通过衬底耦合到其它电路上

### 2) 金属线之间的平板电容

### 3) 金属线之间的边缘电容



# 第四部分：版图设计艺术

## 4.2 寄生电容

- 4) 特定的工艺中，随着金属层次越高，最小宽度越大。M1离衬底最近，单位面积电容越大。M4走供电总线，M3用作二级供电，如下图所示M2的寄生电容最小。

金属层	M1	M2	M3	M4
最小宽度	0.8	0.8	2.4	6.5
电容/单位面积 (Ff/ $\mu\text{m}^2$ )	5	3	2.5	1.5

金属层	M1	M2	M3	M4
最小宽度	0.8	0.8	2.4	6.5
电容/单位面积 (Ff/ $\mu\text{m}^2$ )	5	3	2.5	1.5
10 $\mu\text{m}$ 导线的电容	40	24	66	97.5

当层次离衬底越来越远时单位面积的电容越来越小，但最小宽度却在增大。

根据设计要求  
选择最小寄生  
电容层次

# 第四部分：版图设计艺术

## 4.2 寄生电容

### 4.2.1 减小寄生电容的方法

✓ 寄生电容 = 金属线宽 × 金属长度 × 单位面积电容

1) 敏感信号线尽量短

2) 选择高层金属走线

✓ 最高层金属，离衬底最远，单位面积电容最小

3) 敏感信号彼此远离

4) 不宜长距离一起走线

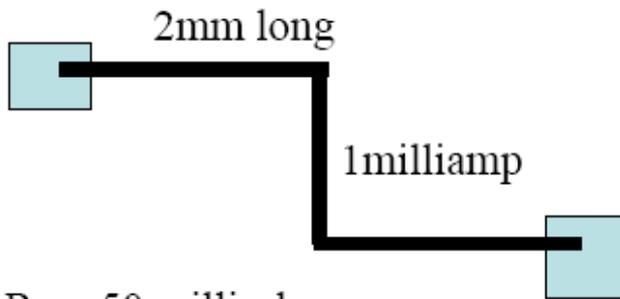
5) 电路模块上尽量不要走线

6) 绕开敏感节点

# 第四部分：版图设计艺术

## 4.3 寄生电阻

- 1) 每根金属线都有寄生电阻（对于版图电流超过0.5mA就应该留意它的线宽、drop的影响）
- 2) 如下图：我们希望这根导线能承载1毫安的电流，金属最小宽度是2 $\mu$ m，当电流流过这一长导线时，它上面的压降是多少？电路要求10mv的电压降？如何改进？



长/宽=方块数

$$2\text{mm}/2\mu\text{m} = 1000$$

$$R = 1000 * 0.05 = 50 \Omega$$

$$V = IR = 50 * 1 = 50 \text{ millivolts}$$

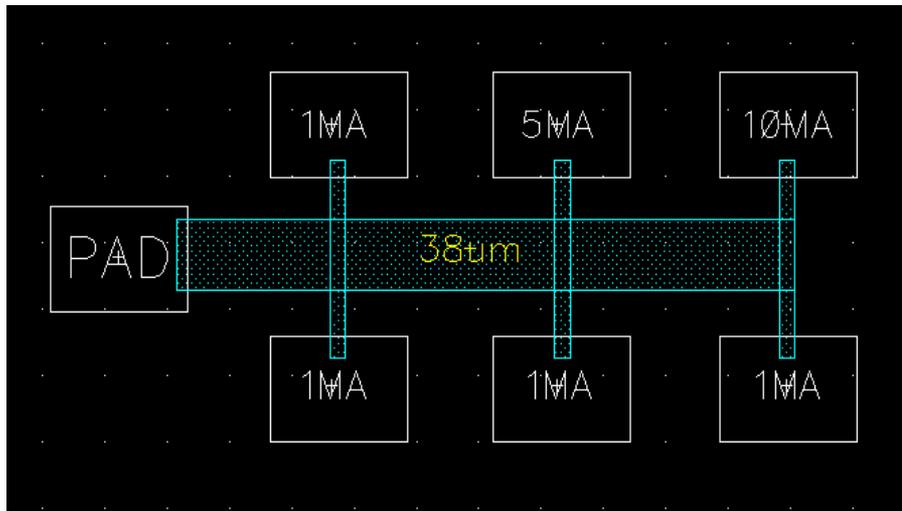
金属层是  
每方块  
50毫欧  
=0.05欧

2.1) IR Drop一般不要超过100mV，这意味有导线增加5倍。

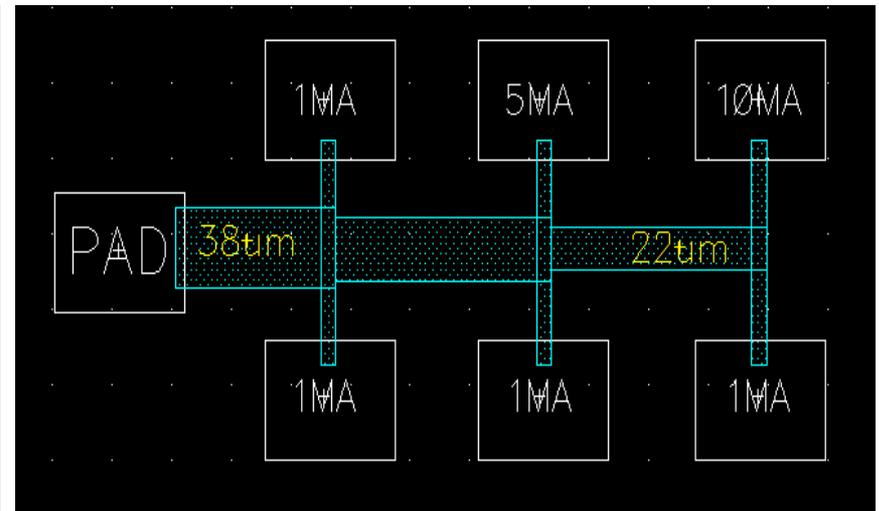
- 3) 电源布线时尤其要注意

# 第四部分：版图设计艺术

- 4) 可以根据19毫安的总电流来确定整条导线的尺寸。对这条导线采用每微米0.5毫安，需要的导线宽度为38微米才可靠。（用总电流安培数除以每微米安培数  $19/0.5$ ）



沿整条路径都布置很粗的供电方案



使导线沿路径逐渐变细可节省面积

# 第四部分：版图设计艺术

## 4.3 寄生电阻

### 4.3.1 减小寄生电阻

✓ 寄生电阻 = (金属长度 / 金属宽度) × 方块电阻

1) 加大金属线宽，减小金属长度

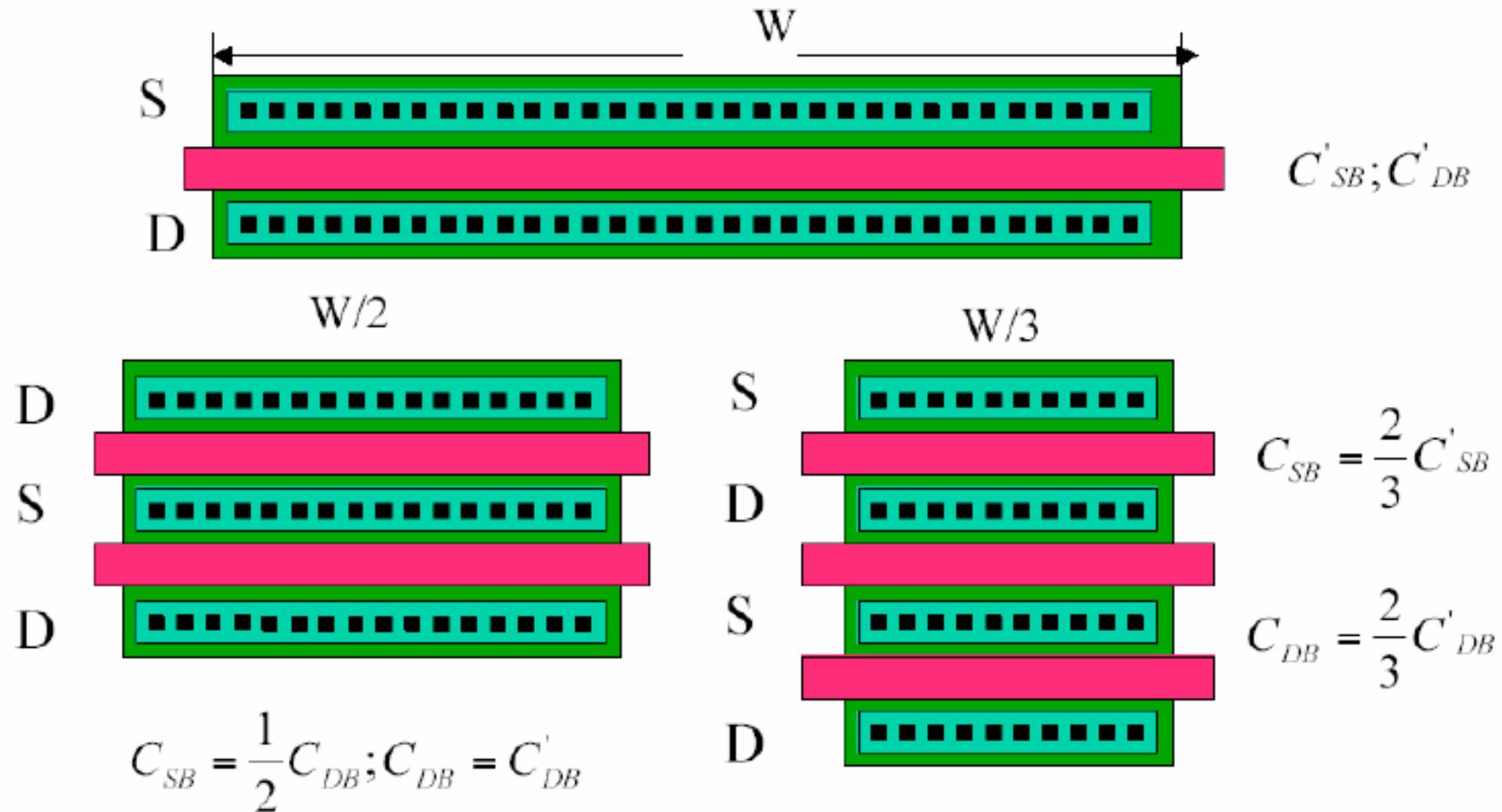
2) 如果金属线太宽，可以采用几层金属并联走线

✓ M1M2M3三层金属并联布线，总的寄生电阻减小1/3

# 第四部分：版图设计艺术

## 4.4 减小CMOS器件寄生效应

✓将晶体管裂开，用多个手指（finger）并联取代



# 第四部分：版图设计艺术

## 4.5 天线效应

1) 天线效应：在工艺干法刻蚀时会在晶片表面淀积电荷，暴露的导体可以收集能够损坏薄栅介质的电荷，这种失效机制称为等离子致损伤/天线效应。

### 2) 解决天线效应的方法：

- 金属跳层
- 用PN结将其电荷引入衬底

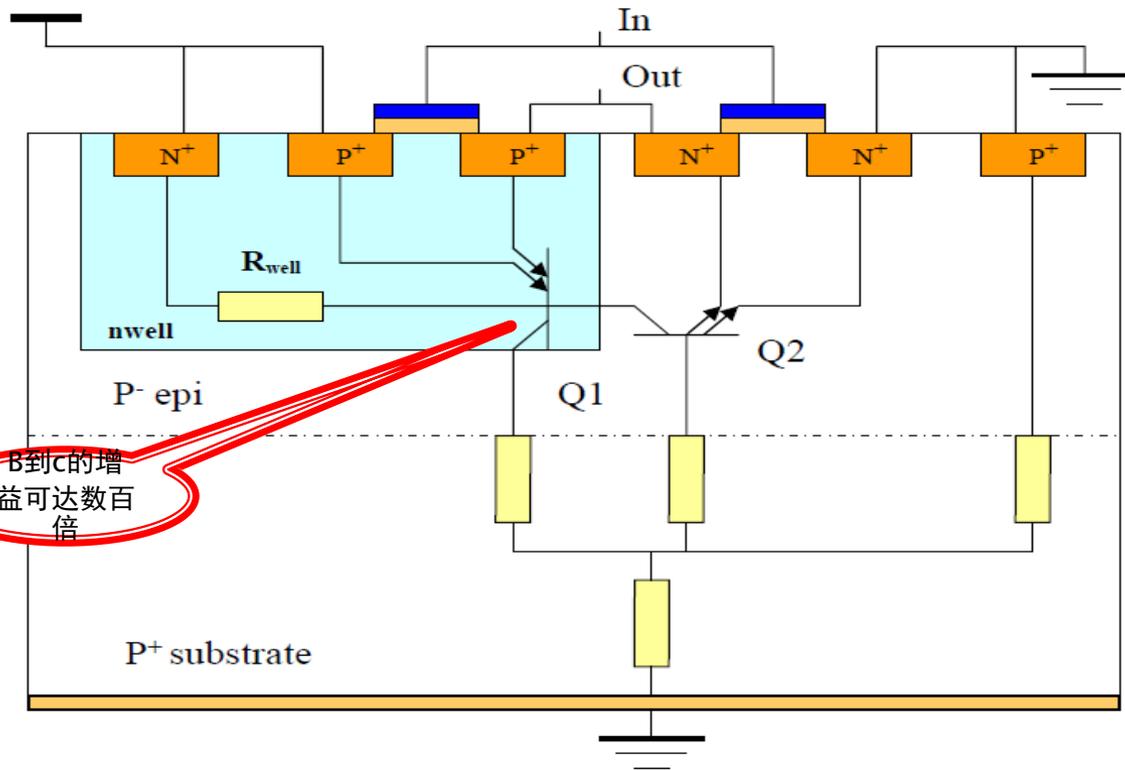
# 第四部分：版图设计艺术

## 4.6 闩锁效应

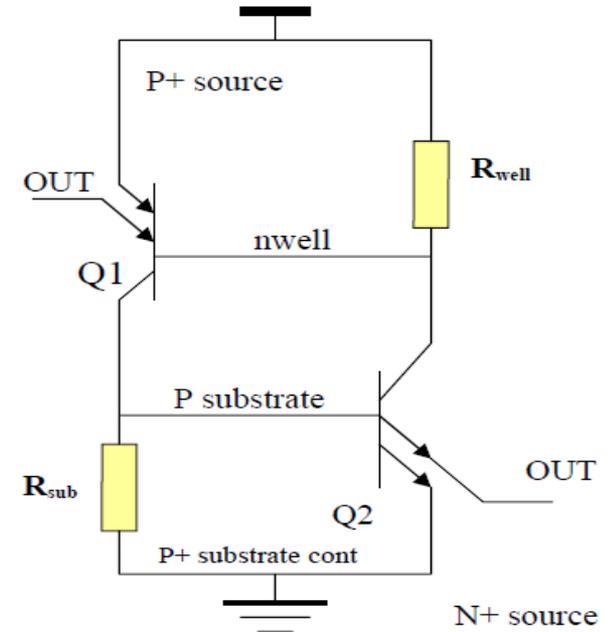
1. Latch up 是指cmos芯片中，在电源power VDD和地线GND之间由于寄生的PNP和NPN双极性BJT相互影响而产生的一低阻抗通路，它的存在会使VDD和GND之间产生大电流。
2. Latch up 最易产生在易受外部干扰的I/O电路处，也偶尔发生在内部电路。
3. 随着IC制造工艺的发展，封装密度和集成度越来越高，产生Latch up的可能性会越来越大。
4. Latch up 产生的过度电流量可能会使芯片产生永久性的破坏，Latch up 的防范是IC Layout 的最重要措施之一。

# 第四部分：版图设计艺术

## 5. Latch up 的原理分析(一)



CMOS INV与其寄生的BJT截面图



寄生BJT形成SCR的电路模型

# 第四部分：版图设计艺术

## 6. Latch up 的原理分析(二)

- ✓ Q1 为一垂直式PNP BJT, 基极(base)是nwell, 基极到集电极(collector)的增益可达数百倍; Q2 是一侧面式的NPN BJT, 基极为P substrate, 到集电极的增益可达数十倍; Rwell是nwell的寄生电阻; Rsub是substrate电阻。
- ✓ 以上四元件构成可控硅(SCR)电路, 当无外界干扰未引起触发时, 两个BJT处于截止状态, 集电极电流是C-B的反向漏电流构成, 电流增益非常小, 此时Latch up不会产生。
- ✓ 当其中一个BJT的集电极电流受外部干扰突然增加到一定值时, 会反馈至另一个BJT, 从而使两个BJT因触发而导通, VDD至GND间形成低抗通路, Latch up由此而产生。

# 第四部分：版图设计艺术

## 7. 版图中产生的latch up?

- ✓ 输出电流很大的情况下；  
(P和N之间至少间距30-40u)
- ✓ 直接接到PAD的MOS管的D端；  
(将MOS管的D端加大，孔到AA的间距至少2u)
- ✓ 产生clk，开关频率快的地方如PLL；  
(频率越快，噪音越大，频率快对衬底不停放电，吃电流)
- ✓ ESD与core cell 的距离会产生latch up；  
(最好间距为40-50u)

# 第四部分：版图设计艺术

## 5. 噪声

- 1) 噪声在集成电路中可以成为一个很大的问题，特别是当你的电路是一个要接收某一很微弱信号的非常敏感的电路，而它又位于一个进行着各种计算、控制逻辑和频繁切换的电路旁的时候，就特别注意我们的版图和平面布局。
- 2) 混合信号芯片上噪声问题，由于模拟电路和数字电路是在非常不同的噪声电平上工作，所以混合信号电路的噪声问题最多。

# 第四部分：版图设计艺术

## 5.1 减小噪声的方法

### 1) 减小数字电路的电压幅度

- ✓ 电压幅度越小，开关状态转变时需要的能量越小

### 2) 把数字部分与模拟部分尽量远隔

### 3) 保护环，把噪声锁在环内

- ✓ 电压噪声电流噪声在衬底中传播时被接地通孔吸收
- ✓ 通孔数量应比较多
- ✓ 地线应足够粗，减小连线寄生电阻

### 4) 屏蔽层、屏蔽线

- ✓ 对关键信号和噪声严重的信号线屏蔽
- ✓ 接地的屏蔽线把噪声吸收到地上
- ✓ M2走信号，下方M1接地，屏蔽下方噪声
- ✓ M2走线，上方M3接地，屏蔽上方噪声
- ✓ M2走线，两旁两条M2接地，屏蔽两旁噪声

### 5) 电源线退耦

- ✓ 电源线和地之间加大的退耦电容
- ✓ 高频噪声容易通过退耦电容被地吸收

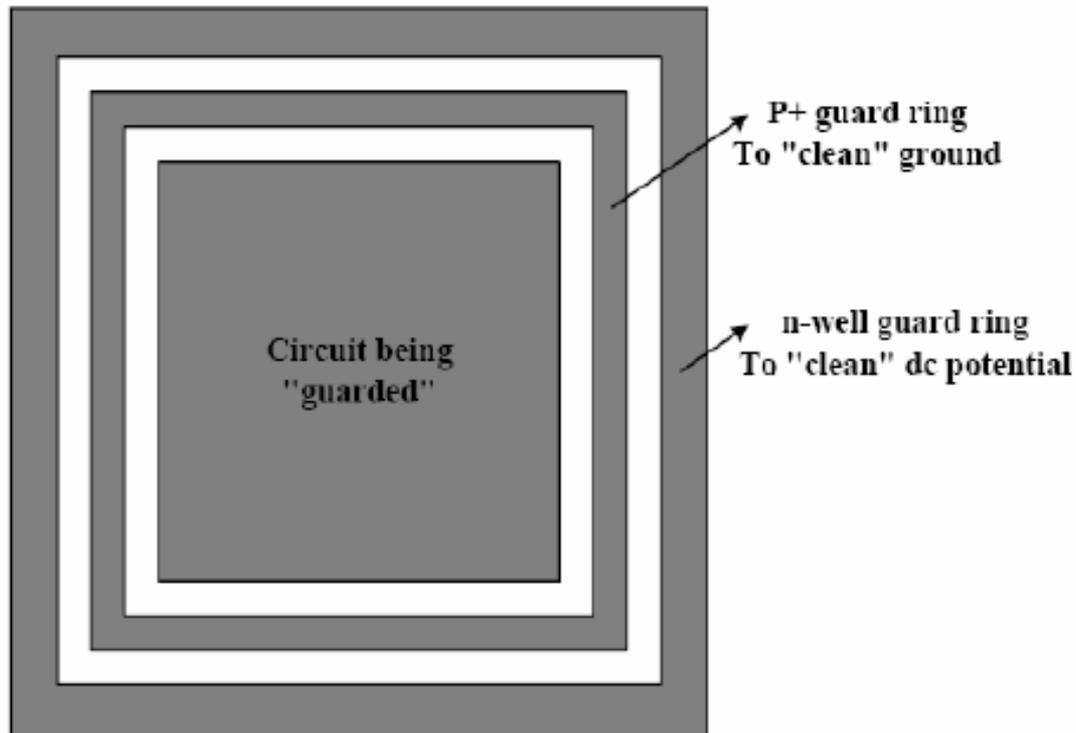
# 第四部分：版图设计艺术

## 5.2 差分信号与噪声

- 1) 差分电路是一种用来检测两个同一起来源的特殊走线的信号之差的设计技术。两条导线自始至终并排排列。每条线传递同样的信息，但信息的状态相反。
- 2) 由于两条导线靠得很近，所以很有可能噪音尖峰会以同样的幅度同时发生在两条导线上，由于信号的相反，相减产生了非常清晰的结果。
- 3) 差分设计方法是有很强的抗噪音能力。当电路中的噪音问题十分严重时，很多人都会依赖差分系统来解决问题。

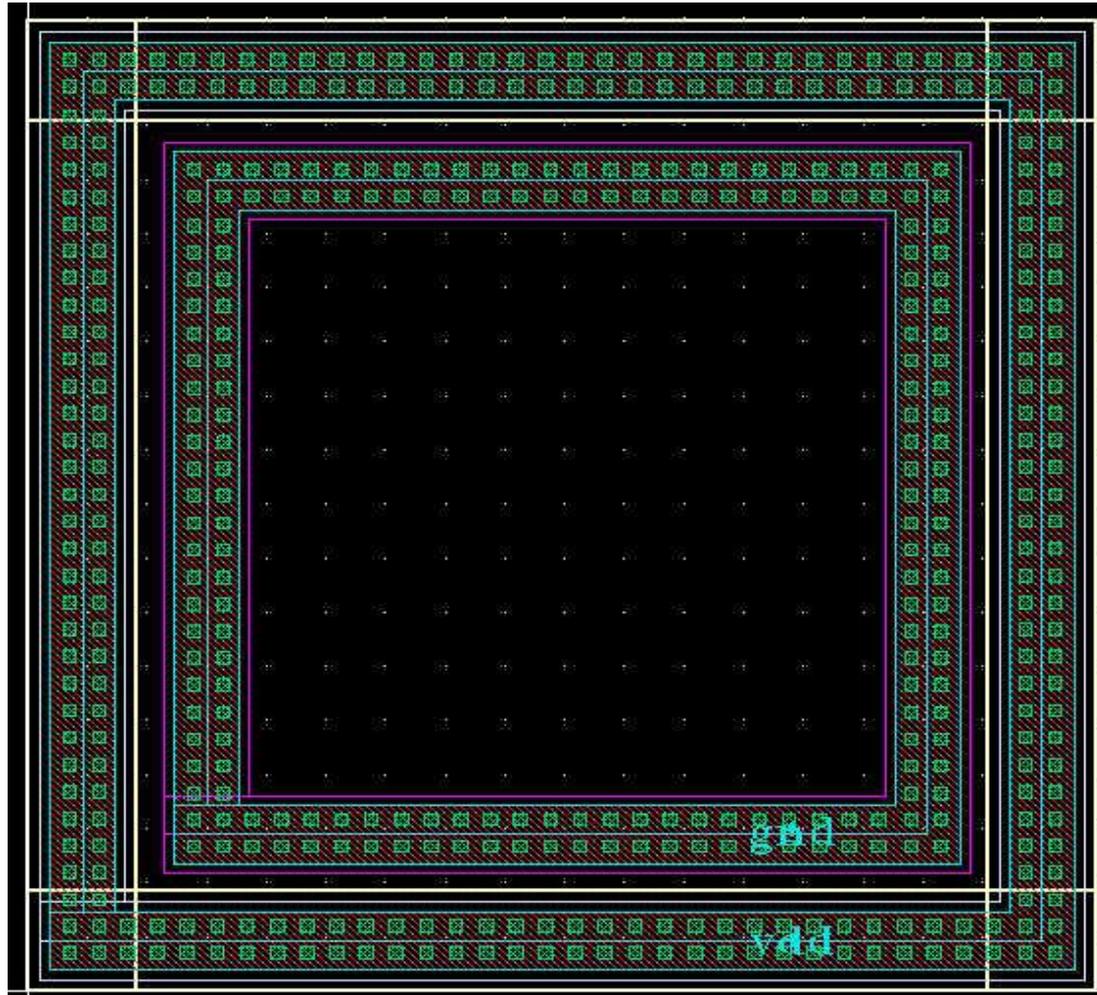
# 第四部分：版图设计艺术

## 4) 噪声隔离图 (一)



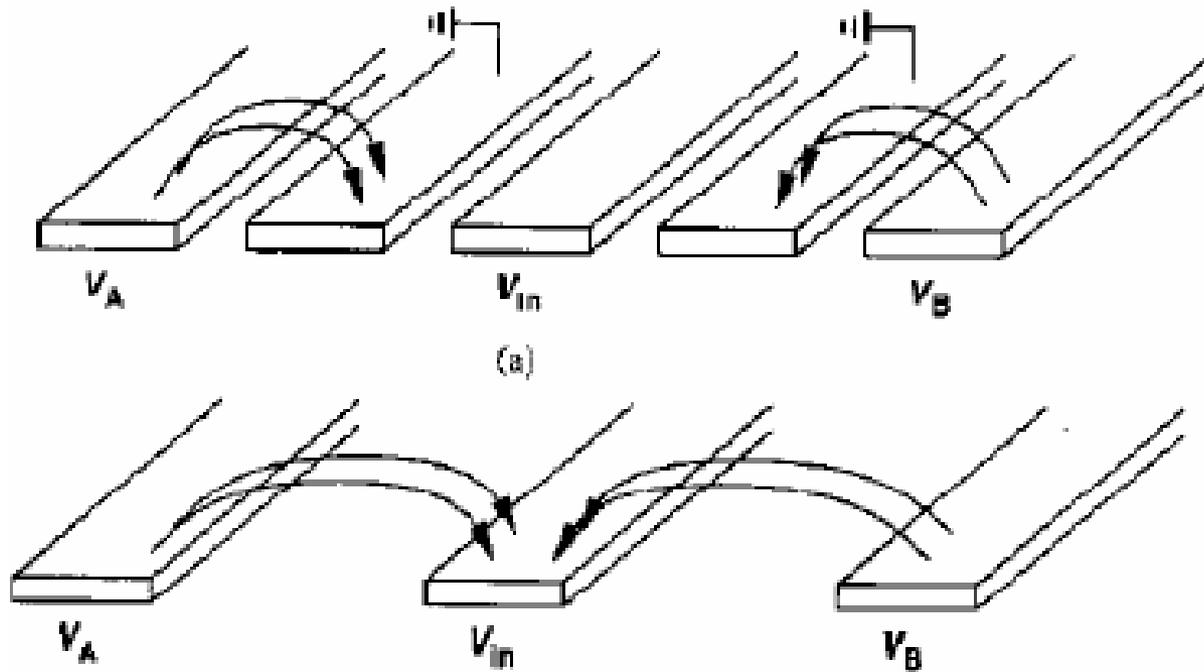
# 第四部分：版图设计艺术

## 5) 噪声隔离图 (二)



# 第四部分：版图设计艺术

## 6) 信号线的噪声隔离图



在信号线两边加地线

使大部分电场线终止到地线上

# 第四部分：版图设计艺术

## 7. 布局规划

- 1) 考虑pad的位置影响来决定模块的摆放及其输入输出方向
- 2) 考虑模块间的连接关系确定整个布局
  - ✓ 尽量短的连线
  - ✓ 尽量少的交叉
  - ✓ 尽量不要在模块上通过连线
- 3) 考虑信号的要求来决定模块布局
  - ✓ 如信号的绝对对称性
- 4) 面积估算
  - ✓ 模块间留下足够的距离布线
  - ✓ 要考虑电源线走线、有对称要求的差分信号走线、有隔离要求的信号走线等，预留足够空间
- 5) 估计连线问题

# 版图设计艺术——布局

## 6) 一些小提示

- ✓ 不要受最小尺寸限制，适当放大间距、宽度之类
- ✓ 不要用最小时宽布线，而更应关注寄生电阻是否较低
- ✓ 多打通孔，既保证连接，又减小寄生电阻
- ✓ 尽量让所有的管子保持在同一个方向
- ✓ 对于模拟电路，不要在模块上，或者任何元件上，走信号线
- ✓ 敏感信号和比较噪的信号线不要经过任何元件上方
- ✓ 信号线不要经过电容上方

# 第四部分：版图设计艺术

## 7) 掩膜设计的古老秘密

- 找出五六个不是最小尺寸的设计规则；
- 找到寄生参数最小的金属层；
- 有充足的宽导线和通孔；
- 不要相信你的电路设计者；
- 采用器件一致的方向；
- 早点当心你的敏感信号和大噪声信号；
- 如果版图看上去不错，它肯定工作；
- 学习你的工艺；
- 电源线宽度尽量宽些；
- 不要让噪声进入衬底；
- 交流沟通

# 第四部分：版图设计艺术

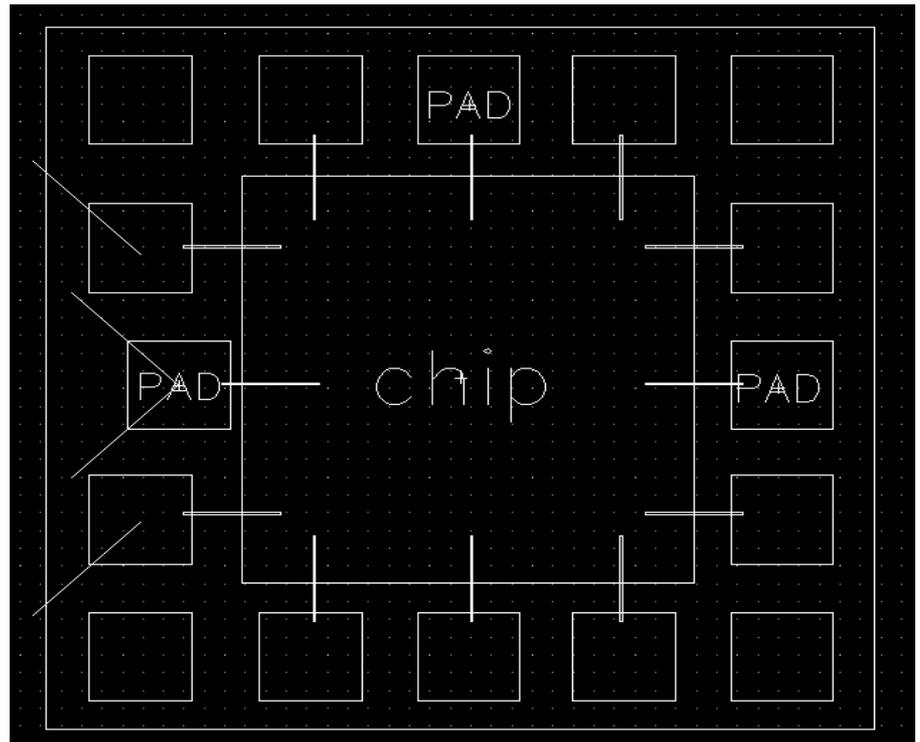
## 8. 静电泄放（ESD）（具体版图在项目中讲）

- 1) ESD即静电放电效应，是芯片制造和使用过程中最易造成芯片损坏的因素之一。它的产生主要有三个途径：
  - ✓ 人体接触--带静电的人手触摸芯片；
  - ✓ 机器接触--制造过程中，与机器接触；
  - ✓ 自产生电荷--已封装芯片在组合或运输过程中产生电荷；
- 2) 人体在某种环境中可以存有1.5KV~2KV的静电压，这样高的电压可产生1.3A的峰值电流，如果施以未保护的芯片PAD上，将有可能击穿MOS通道，或将多晶硅gate烧融。

# 第四部分：版图设计艺术

## 9. 封装

- 1) 封装问题应当在你甚至还没有开始你的芯片版图设计之前就要考虑的问题。芯片封装的选择决定了你的平面布局方案，涉及有关芯片尺寸、电路块布置和其他一些问题。
- 2) 45度规则：



# IC模拟版图设计

Thank you!  
Q&A!

