

國立東華大學電機工程研究所

碩士論文

指導教授：翁若敏 博士

使用晶片上迴路濾波器之 900MHz 2V
13.62mW 互補式金氧半鎖相迴路

A 2V 13.62mW 900MHz CMOS Phase-Locked
Loop with On-Chip Loop Filter



研究生：賈穎鈞 撰

中華民國九十二年七月

A 2V 13.62mW 900MHz CMOS Phase-Locked
Loop with On-Chip Loop Filter

Student : Ying-Chun Chia

Advisor : Dr. Ro-Min Weng

A Thesis

Submitted to Institute of Electrical Engineering

College of Sciences and Engineering

National Dong-Hwa University

In Partial Fulfillment of the Requirements

for the Degree of Master

in

Electrical Engineering

July 2003

Hualien, Taiwan, Republic of China

摘要

互補式金氧半鎖相迴路為廣泛應用於電子與通訊電路中之重要元件，它的用途為解決積體電路在高速及高整合度環境下的時脈誤差及頻率合成的問題。為了要實現射頻至基頻系統單晶片，高效能的鎖相迴路是必需的。所以，實現具高速、低相位雜訊(低抖動)與低功率消耗效能之晶片上鎖相迴路是目前設計上的主要目標。

本論文設計了一操作於 900MHz 頻段的鎖相迴路，使用的製程為 TSMC 0.35- μm 1p4m 邏輯的 CMOS 製程，論文中的鎖相迴路包括了兩級壓控環型振盪器、除頻器、相位頻率偵測器、電荷幫浦與晶片上被動迴路濾波器。為降低由電源供應端注入之雜訊，環型振盪器採用差動式的架構；並且為達到高頻操作與功率消耗最小化，振盪器只使用了兩個延遲單元。在 900MHz 的載波頻率，振盪器的相位雜訊為 -102dBc/Hz 在距載波 600KHz 之頻率偏移處，功率消耗為 6.2mW。此外，在除頻器電路中，我們將介紹並分析一種導管式技術之單相位邊緣觸發比例式的高速邏輯正反器和 D 型正反器，此技術非常適合於高速同步計數器之設計。為了降低鎖相迴路的抖動，相位頻率偵測器為無死帶設計。迴路濾波器為二階低通濾波器。

最後，電路在工作電壓 2V 下，HSPICE 的佈局前模擬結果顯示了鎖相迴路的 long-term jitter 為 35ps，全部的功率消耗為 13.62mW，而迴路的鎖定時間為 1.85 μs 。在佈局後模擬結果方面: long-term jitter 為 280ps，功率消耗為 14.1mW，而迴路的鎖定時間為 3.26 μs 。整個鎖相迴路晶片面積(包含 PAD)為 1688 x 1656 μm^2 。

ABSTRACT

CMOS phase-locked loops (PLLs) are important components widely used in the electronic and communication circuits. They are used to solve the clock skew and frequency synthesis problems of ICs in a fast operation speed and highly integrated environment. In order to realize single-chip RF-to-baseband systems, high performance PLLs are required. Therefore, the main goal of current design is to implement on-chip PLLs with high-speed, low-phase noise (low-jitter) and low-power consumption performance.

In this thesis, a 900MHz PLL is designed with the TSMC 0.35- μm 1p4m logic silicide CMOS process. The PLL consists a two-stage voltage-controlled ring oscillator (ring VCO), a frequency divider, a phase frequency detector (PFD) with charge pump and an on-chip passive loop filter. The ring VCO has a differential structure to reduce the power-supply-injected noise. Only two delay cells are included in the oscillator to achieve high-frequency operation and minimize the power consumption. At 900MHz carrier frequency, the phase noise of the VCO is -102dBc/Hz at 600KHz frequency offset and the power consumption is 6.2mW. Besides, in the frequency divider a fast pipeline technique using single-phase edge-triggered ratioed high-speed logic flip-flops and D flip-flops is introduced and analyzed. The technique is suitable for realizing high-speed synchronous counters. The PFD design is for dead-zone free to reduce the jitter of the PLL. The loop filter is a second-order low pass filter.

Finally, with 2V supply voltage, the HSPICE pre-simulation results

show that the long-term jitter of the PLL is 35ps, the total power consumption is 13.62mW and the locking time is 1.85 μ s. The post-simulation results show that the long-term jitter is 280ps, the power consumption is 14.1mW and the locking time is 3.26 μ s. The whole PLL chip area (including PAD) is 1688 x 1656 μ m².

目錄

摘要	I
ABSTRACT	II
目錄	IV
圖錄	VII
表錄	XI
第一章 緒論	1
1-1 背景與研究動機	1
1-1-1 背景	1
1-1-2 研究動機	3
1-2 論文組織簡介	3
第二章 鎖相迴路基本架構及原理	4
2-1 鎖相迴路基本架構	4
2-1-1 壓控振盪器	5
2-1-2 除頻器	6
2-1-3 相位頻率偵測器	7
2-1-4 電荷幫浦與迴路濾波器	9
2-2 鎖相迴路基本原理	10
2-2-1 鎖相迴路線性數學模型	10
2-2-2 閉迴路分析	11
2-3 鎖相迴路之雜訊	16
2-3-1 輸入端之雜訊	16
2-3-2 振盪器之雜訊	18
第三章 壓控振盪器	20
3-1 壓控振盪器基本原理	20

3-1-1	LC-tank 壓控振盪器	20
3-1-2	環型振盪器	22
3-2	壓控振盪器之類型探討	23
3-2-1	LC-tank 壓控振盪器	24
3-2-2	環型振盪器	26
3-3	相位雜訊	31
第四章	除頻器、相位頻率偵測器、電荷幫浦 及迴路濾波器	38
4-1	除頻器	38
4-1-1	電路架構	38
4-1-2	電路描述	40
4-2	相位頻率偵測器	48
4-2-1	傳統相位偵測器	48
4-2-2	死帶問題 (Dead-Zone Issue)	50
4-2-3	改良之 PFD 電路	52
4-3	電荷幫浦	55
4-3-1	電荷幫浦對 PLL 之影響	55
4-3-2	電流導引技術之電荷幫浦	57
4-4	設計的電荷幫浦電路(Proposed CP Circuit)	58
4-5	迴路濾波器	61
第五章	模擬結果、晶片佈局與結論	66
5-1	模擬結果	66
5-1-1	相位頻率偵測器與電荷幫浦	66
5-1-2	壓控振盪器與除頻器	68
5-1-3	PLL 閉迴路模擬	69

5-1-4 設計的 PLL 模擬	72
5-2 晶片佈局	73
5-2-1 主動元件	73
5-2-2 被動元件	75
5-3 結論	78
5-4 未來工作	80
參考文獻	81

圖錄

圖 1-1	在資料和緩衝時脈間的偏移	2
圖 1-2	使用 PLL 以消除偏移	2
圖 1-3	簡單 PLL 架構	2
圖 2-1	鎖相迴路基本架構圖	4
圖 2-2	壓控振盪器特性圖	5
圖 2-3	PFD 運作之示意圖 (a) A 相位落後 B (b) A 頻率大於 B	7
圖 2-4	PFD 的三態	8
圖 2-5	相位偵測與輸出電壓	8
圖 2-6	PFD 與電荷幫浦之示意與時序圖	10
圖 2-7	鎖相迴路線性數學模型	11
圖 2-8	單電容迴路濾波器	12
圖 2-9	加入零點前與加入零點後之波德圖	13
圖 2-10	一階迴路濾波器	13
圖 2-11	PLL 對輸入頻率步級信號之響應	15
圖 2-12	二階 PLL 迴路增益波德圖	16
圖 2-13	PLL 由輸入到輸出的雜訊函數圖	16
圖 2-14	PLL 輸入至輸出雜訊函數波德圖	17
圖 2-15	PLL 由振盪器到輸出之雜訊函數圖	19
圖 3-1	簡單回授網路	21
圖 3-2	基本 LC-tank 振盪器組態	22
圖 3-3	基本環形振盪器	22
圖 3-4	四級差動式環形振盪器	23
圖 3-5	LC- tank VCO(a)輸出 DC 準位 V_{DD} (b)輸出 DC 準位 0V	24
圖 3-6	LC- tank VCO 輸入阻抗	24
圖 3-7	PMOS 電晶體變容器結構與小訊號等效電路	25

圖 3-8	PMOS 電晶體變容器之電容特性圖	26
圖 3-9	兩級差動式環型壓控振盪器電路	27
圖 3-10	環型振盪器之小訊號等效半電路	28
圖 3-11	VCO 振盪波形	30
圖 3-12	VCO 調諧範圍	30
圖 3-13	VCO 功率消耗	31
圖 3-14	CMOS 反相器之環形振盪器	32
圖 3-15	具時變性之相位響應	33
圖 3-16	CMOS 反相器之環形振盪器在不同級數(N)下的 ISF	34
圖 3-17	以近似之 ISF 計算 Γ_{rms}	35
圖 3-18	VCO 電路佈局	37
圖 4-1	除頻器方塊圖(/16)	39
圖 4-2	同步計數器之時序圖 (Q_1 為輸出)	40
圖 4-3	由 Yuan 和 Svensson 提出之 TSPC DFF 電路	40
圖 4-4	$P - C^2MOS$ 邏輯組態	43
圖 4-5	<i>Clocking Pseudo-NMOS</i> 反相器電路	43
圖 4-6	$N - C^2MOS$ 反相器電路	44
圖 4-7	新的 TSPC DFF 電路	45
圖 4-8	改良之 TSPC DFF 電路	45
圖 4-9	邏輯正反器電路	46
圖 4-10	同步計數器模擬	47
圖 4-11	除頻器電路模擬	47
圖 4-12	除頻器電路佈局	48
圖 4-13	XOR 相位偵測器與其特性圖	49
圖 4-14	三態相位頻率偵測器	49
圖 4-15	循序 PFD 相位差與輸出之關係圖	50

圖 4-16	PFD 死帶示意圖	51
圖 4-17	加入反相器以改善死帶問題	52
圖 4-18	改善死帶問題之 PFD 輸出波形	52
圖 4-19	改良式 PFD 電路	53
圖 4-20	改良式 PFD 之時序圖	54
圖 4-21	PFD 無死帶之模擬	54
圖 4-22	傳統電荷幫浦電路	55
圖 4-23	電荷分享的問題	56
圖 4-24	時脈匯通效應	57
圖 4-25	電流導引技術之電荷幫浦電路	57
圖 4-26	設計的電荷幫浦電路	59
圖 4-27	由 Chang 提出之充電部份電路	60
圖 4-28	設計的充電部份電路	60
圖 4-29	設計電荷幫浦之充電模擬	61
圖 4-30	設計電荷幫浦之放電模擬	61
圖 4-31	二階迴路濾波器	62
圖 4-32	鎖定時迴路濾波器輸出電壓上之跳動情形	62
圖 4-33	三階 PLL 迴路增益波德圖	64
圖 5-1	參考訊號領先 VCO 訊號之充電情況(佈局前)	67
圖 5-2	參考訊號落後 VCO 訊號之放電情況(佈局前)	67
圖 5-3	充電時之充電電流(50 μ A) (佈局前)	68
圖 5-4	放電時之放電電流(50 μ A) (佈局前)	68
圖 5-5	VCO 與除頻器之輸出波形(佈局前)	69
圖 5-6	迴路濾波器輸出電壓(佈局前)	70
圖 5-7	鎖相迴路輸出抖動模擬(佈局前)	70
圖 5-8	迴路濾波器輸出電壓(佈局後)	71
圖 5-9	鎖相迴路輸出抖動模擬(佈局後)	71

圖 5-10	設計的 PLL 鎖定模擬	72
圖 5-11	設計的 PLL 輸出抖動模擬	72
圖 5-12	多指狀電晶體佈局圖	73
圖 5-13	共源組態 (a)電路圖 (b)佈局圖	74
圖 5-14	電容佈局圖 (a)平面圖 (b)立體圖	75
圖 5-15	電阻佈局圖	76
圖 5-16	晶片佈局相對位置圖	77
圖 5-17	晶片佈局平面圖	77

表錄

表 3-1	VCO 模擬結果	36
表 4-1	γ 與 PM 之關係表	65
表 4-2	迴路濾波器相關參數表	65
表 5-1	鎖相迴路規格 (佈局前)	79
表 5-2	鎖相迴路規格 (佈局後)	79

第一章

緒論

1-1 背景與研究動機

1-1-1 背景

近幾十年來，由於互補式金氧半(CMOS)製程的進步，使得電子電路得以更高密度、高複雜度的整合於單一晶片上，而使積體電路能達到的功能倍增、且操作速度越來越快。以當今之電子與通訊系統為例，操作頻段較以往提升許多，通常都已達到 GHz 以上。例如在無線通訊系統的發展上：從 900MHz~幾 GHz 以上(如 GSM、Bluetooth、WLAN.....等)，或者在有線的傳輸技術中，已經從之前的數百 Mb/s 延伸到目前所訂定的 Gb/s 等級之上。在朝向高整合度及高速的目標之下，實現一高效能互補式金氧半積體電路對設計者來說，是一項挑戰。為解決在高速操作環境之下所衍生各子電路系統間相位同步的問題，以及因晶片中電晶體數目倍增所造成之時脈偏移(Skew) (如圖 1-1)，於是鎖相迴路(Phase Locked Loops, PLLs)的研究便因應而生(如圖 1-2) [1]。PLL 包含一個壓控振盪器，並在輸入端外加一參考時脈訊號(Reference)當做相位參考訊號。壓控振盪器主要為提供一個穩定的輸出振盪訊號，同時利用負回授迴路來對參考時序脈波做相位校準動作，而達到鎖相。在 PLL 發展的早期，主要是以簡單的架構為主，如圖 1-3。

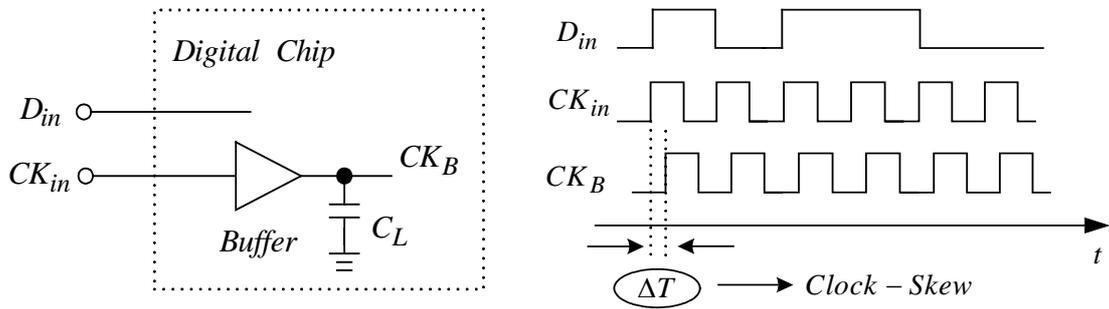


圖 1-1 在資料和緩衝時脈間的偏移

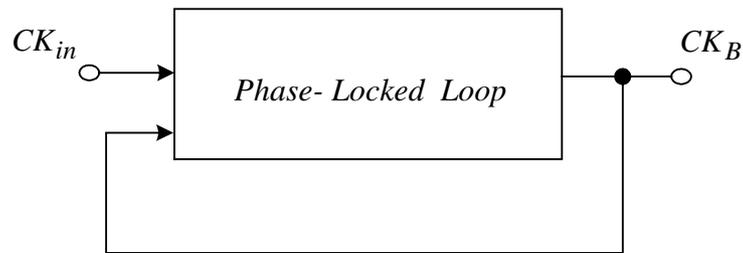


圖 1-2 使用 PLL 以消除偏移

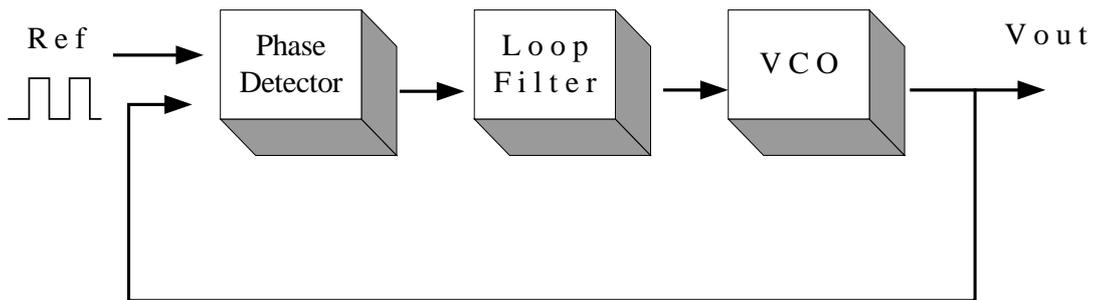


圖 1-3 簡單 PLL 架構

在簡單的 PLL 架構中，只包含了相位偵測器 (Phase Detector)、迴路濾波器 (Loop Filter)、壓控振盪器 (VCO)。雖然此種架構在早期已被廣泛使用於數位形式中，由於相位偵測器有操作頻率的限制，至使壓

控振盪器的振盪頻率不能太高，故此種 PLL 會遇到一個重大的缺點：受限的獲得(Acquisition)範圍[2]與受限的鎖定頻率。所以現今的 PLL 設計，在考量到高速的情況下，多採用電荷幫浦(Charge Pump) PLL 之設計[3]做為基本架構(詳見第二章)，來達到目前所需求之規格。

1-1-2 研究動機

本論文主要的研究目標為實現一操作在 900MHz 頻段之 CMOS PLL，所用的架構為電荷幫浦式的 PLL。論文中除了探討 PLL 之原理外，亦由模擬結果來驗證。最後，由於目前積體電路的趨勢為系統晶片化(System on Chip)，也就是電路中所有的元件(包括了被動元件)，都要能夠實現在晶片上，所以我們使用在晶片上迴路濾波器(On-Chip Loop Filter)，使整個 PLL 能夠整合於晶片上[4]。

1-2 論文組織簡介

本論文共分五章，第二章為介紹鎖相迴路的基本架構與基本原理；第三章為探討目前廣泛應用於積體電路中的兩種類型之壓控振盪器的比較、分析及模擬；第四章為探討鎖相迴路中其餘的子電路，分別為除頻器、相位頻率偵測器、電荷幫浦與迴路濾波器；第五章為模擬結果驗證與電路佈局部份，並於此章的最後對本論文做一結論。

第二章

鎖相迴路基本架構及原理

2-1 鎖相迴路基本架構

對一個設計者來說，欲設計一效能良好的鎖相迴路電路，必需對鎖相迴路之架構有所熟悉，也就是要能夠了解構成鎖相迴路之各個子電路其分別的功能性質，這樣才能針對每個子電路之輸出規格統一做規劃，進而使整個迴路之輸出能夠符合設計者之需求。以下就針對鎖相迴路之基本架構及原理做一說明。

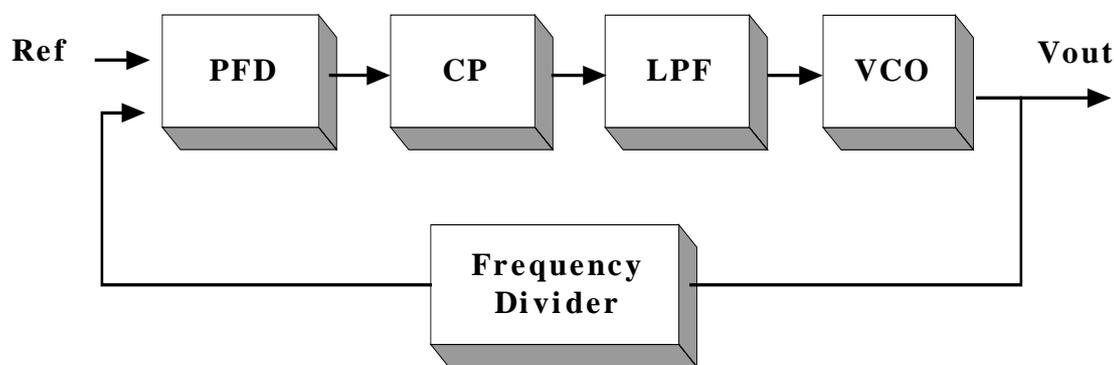


圖 2-1 鎖相迴路基本架構圖[2]

如圖 2-1，在基本架構之鎖相迴路中包括五個子電路部份：分別為壓控振盪器(Voltage-Controlled Oscillator, VCO)、相位頻率偵測器(Phase Frequency Detector, PFD)、電荷幫浦 (Charge Pump)、迴路濾波器(Loop Filter)、除頻器(Frequency Divider)。

2-1-1 壓控振盪器(Voltage-Controlled Oscillator)

在鎖相迴路中，壓控振盪器為一不可缺少之元件，其目的主要為做為訊號產生，此訊號可視為本地振盪(Local Oscillation)訊號。欲改變振盪器之輸出振盪頻率，可以調變外加控制電壓 V_{ctrl} ，而得到適當之 f_{out} ，如圖 2-2 所示。

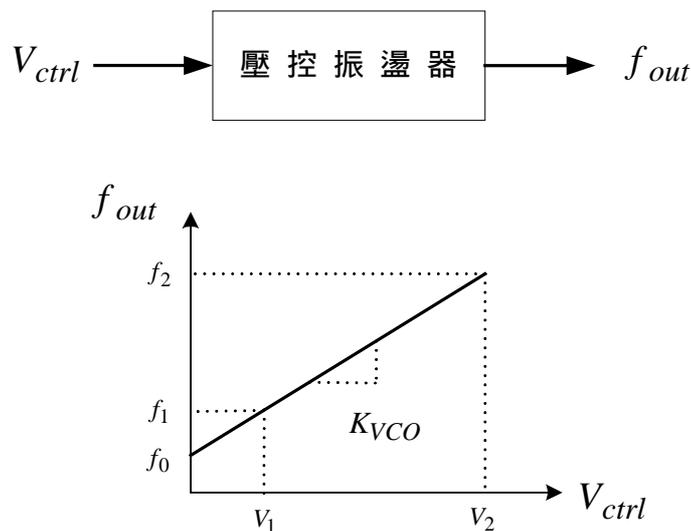


圖 2-2 壓控振盪器特性圖

在圖 2-2 中， f_0 代表對應於 $V_{ctrl} = 0$ 之交點，且 K_{VCO} 象徵了電路增益或靈敏度(以 Hz/V 來表示)。可達到的範圍 $f_2 - f_1$ 稱為調諧範圍(Tuning Range)。理想的壓控振盪器為一個輸出頻率為控制電壓之線性函數的電路，其關係式為：

$$f_{out} = f_0 + K_{VCO} \times V_{ctrl} \quad (2-1)$$

對於相位而言，它是頻率對時間的積分，所以壓控振盪器的輸出訊號可以表示為：

$$v(t) = A \times \cos \left[2\pi f_0 t + 2\pi K_{VCO} \int_{-\infty}^t V_{ctrl}(t) dt \right] \quad (2-2)$$

假設 V_{ctrl} 為某個固定的電壓值 V ，則壓控振盪器的輸出訊號為：

$$v(t) = A \times \cos[(2\pi f_0 + 2\pi K_{VCO} V)t + \phi_0] \quad (2-3)$$

其中 ϕ_0 代表相位之初始值。所以，當 V_{ctrl} 為一定值時，壓控振盪器之輸出頻率被提升了 $(2\pi \times K_{VCO} \times V_{ctrl})$ 。

在鎖相迴路中，壓控振盪器可視為一線性時變系統，而控制電壓視為此系統之輸入，而多餘相位則視為此系統之輸出；其值為 $(2\pi \times K_{VCO} \int V_{ctrl}(t) dt)$ 。因此，壓控振盪器之轉換函數可以表示為

$$\frac{\phi_{out}}{V_{ctrl}}(s) = \frac{2\pi K_{VCO}}{s} \quad (2-4)$$

一般對於壓控振盪器而言，會要求其輸出頻率之頻譜純度要高（相位雜訊越小越好）、增益要大、控制特性的線性度要好、功率消耗要小、調諧範圍要廣等等。但這些往往是互相衝突的，設計者必需針對其需求做一妥協。

2-1-2 除頻器 (Frequency Divider)

除頻器主要的功能為將壓控振盪器輸出之高頻訊號降頻至相位頻率偵測器可接受的範圍。有除頻器的加入，可使鎖相迴路功能性更強：除了可以操作在更高頻的環境（幾 GHz）外，本身可為多模式設計的除頻電路可使鎖相迴路具良好的倍頻功能，如此可以做頻率合成 (Frequency Synthesis)，而被廣泛的應用於無線通訊方面；不過缺點是增加了鎖相迴路的複雜度，以及系統的功率消耗與晶片面積等。

2-1-3 相位頻率偵測器 (Phase Frequency Detector, PFD)

相位頻率偵測器主要的功能為將外加參考訊號(A)與壓控振盪器輸出回授訊號(B)之間相位(或頻率)的差異轉換為電壓訊號，如圖 2-3 所示。

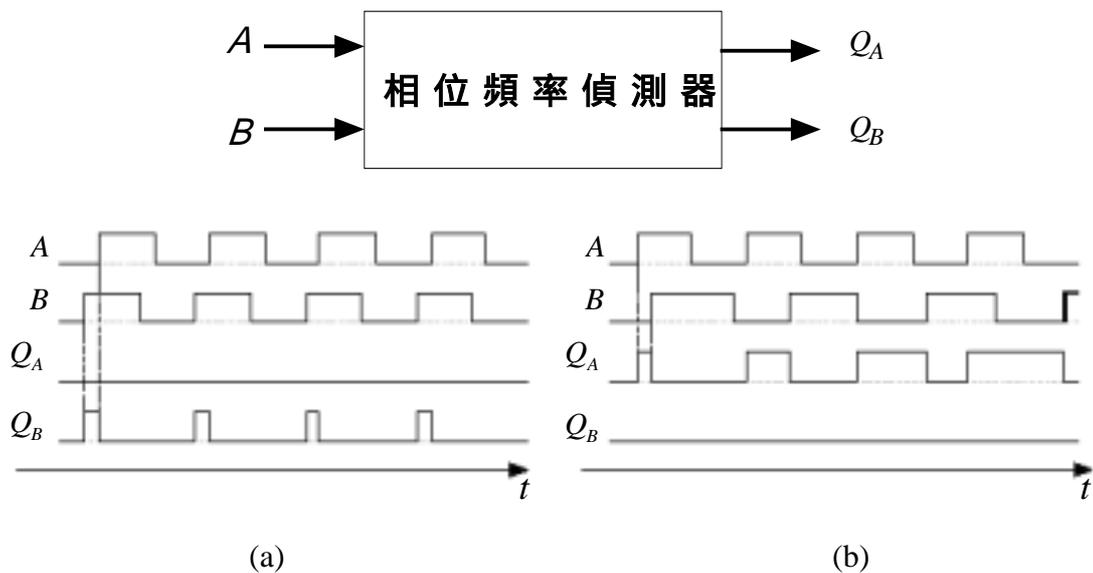


圖 2-3 PFD 運作之示意圖 (a) A 相位落後 B (b) A 頻率大於 B

在圖 2-3 (a)中，A 與 B 有相同的頻率，但 A 落後 B，輸出 Q_B 持續的產生寬度和 $\phi_B - \phi_A$ 成比例之脈衝，而 Q_A 維持在 0。在圖 2-3 (b)中，A 的頻率大於 B 則 Q_A 會產生脈衝而 Q_B 不會。基於對稱性，若 A 相位領先 B，則 Q_A 會產生脈衝，而 Q_B 維持在 0，同理可得 A 頻率大於 B 之情形。若 A 與 B 相位相同，則 Q_A 與 Q_B 皆不會產生脈衝，維持在 0。

圖 2-3 之示意圖顯示了 PFD 的輸出時脈波形在進行中共出現了三種情形，稱之為 PFD 的“三態”特性，可以用一狀態圖來表示，如圖 2-4: 假設 Q_A 與 Q_B 在初始狀態時為 0, 當 A 信號的正緣(Positive

Edge)輸入時，PFD 進入狀態 (在此狀態輸出 $Q_A = 1, Q_B = 0$)。直到另一個 B 信號的正緣輸入時，PFD 改變為狀態 0。同理，可得狀態 0 與狀態 之間的切換情形與上述相似。

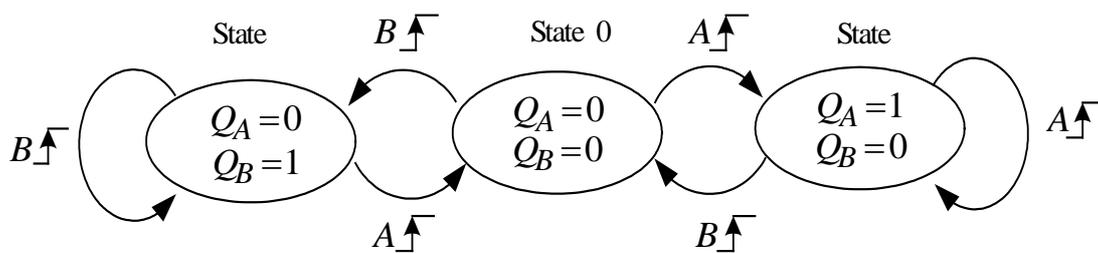


圖 2-4 PFD 的三態

對於 PFD 相位偵測與輸出電壓之間的關係，可由特性圖得到，如圖 2-5。

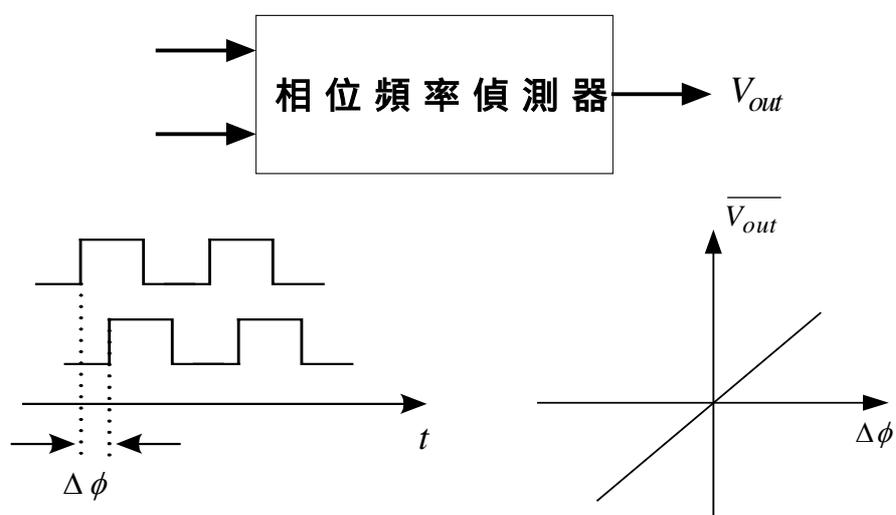


圖 2-5 相位偵測與輸出電壓

對於一個 PFD 而言，其平均輸出電壓 $\overline{V_{out}}$ 與兩個輸入端之間的相位差 $\Delta\phi$ 成線性比例，如圖 2-5 所示。其關係式為：

$$\overline{V_{out}} = K_{PD} \times \Delta\phi \quad (2-5)$$

其中 K_{PD} 為 PFD 之增益(單位為 V/rad) 。在鎖相迴路中，PFD 的輸出 Q_A 和 Q_B 之直流部份提供 $\phi_A - \phi_B$ 或 $\omega_A - \omega_B$ (A 與 B 之間的頻率差)的資訊，來給接在後面之電荷幫浦(Charge Pump)電路做充電或放電動作的參考依據。輸出 Q_A 和 Q_B 分別被稱為 U_P 和 D_N 脈衝。此外，具偵測相位差與頻率差性質的電路對整個鎖相迴路來說是有益處的，它可以增加鎖相迴路的獲得範圍(Acquisition Range)以及鎖定速度(Lock Speed)。

2-1-4 電荷幫浦 (Charge Pump) 與 迴路濾波器 (Loop Filter)

電荷幫浦主要的功能為將相位頻率偵測器輸出之電壓訊號轉換為電流訊號；其電路為開關及電流源的組合。開關由脈衝訊號控制，當 PFD 輸出為 U_P 脈衝(Q_A)時 S_1 導通，電荷幫浦輸出充電電流對輸出端節點充電；反之，當 PFD 輸出為 D_N 脈衝時(Q_B) S_2 導通，電荷幫浦從輸出端節點汲取一電流，造成輸出端節點放電。在鎖定情況時(即外部輸入參考訊號與 VCO 回授訊號間無相位差)則 PFD 不會輸出 U_P 脈衝或 D_N 脈衝且電荷幫浦不會輸出充電或汲取放電電流，輸出端節點之電壓維持不變。為了使不匹配(Mismatch)的問題不會發生，須讓電流源 $I_1 = I_2 = I$ ，如圖 2-6 所示。

在圖 2-6 中，輸出電流 I_P 與相位差成比例，兩者之間的關係為：

$$I_P = I \times \frac{\phi_e}{2\pi} \quad (2-6)$$

其中 ϕ_e 為 PFD 電路之兩個輸入訊號之間的相位差，其表示式為：

$$\phi_e = \phi_A - \phi_B \quad (2-7)$$

迴路濾波器為一低通濾波器，其功能為濾除電荷幫浦輸出之高頻部份、雜訊以及保持鎖相迴路的鎖定狀態。迴路濾波器的設計，對於鎖相迴路的特性影響甚大：如鎖定速度、迴路頻寬、阻尼因子 (Damping Factor) 等等，將在後面的章節詳細說明。

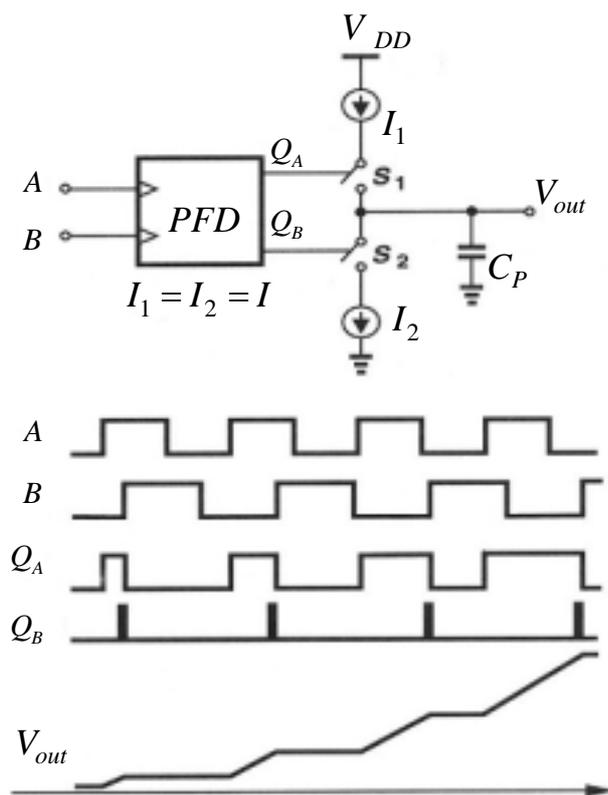


圖 2-6 PFD 與電荷幫浦之示意與時序圖

2-2 鎖相迴路基本原理

2-2-1 鎖相迴路線性數學模型

檢視一個鎖相迴路之系統效能(Performance)，可由鎖相迴路之線

性數學模型進行評估。依照前面 2-1 節所介紹關於在鎖相迴路中各個子電路其行為(Behavior)的數學表示[5-6], 可以建構整個迴路之線性模型, 如圖 2-7 所示。

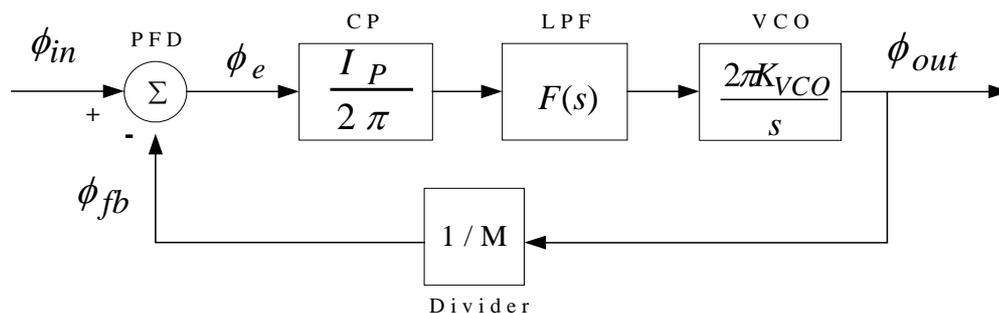


圖 2-7 鎖相迴路線性數學模型

在圖 2-7 中, $F(s)$ 為迴路濾波器之轉換函數, 輸入 ϕ_{in} 與輸出 ϕ_{out} 為相位訊號, 單位為(rad/s)。迴路濾波器是將電荷幫浦之輸出電流訊號(單位為安培, A)轉換為壓控振盪器之控制電壓訊號(單位為伏特, V), 此控制電壓可調整振盪頻率之改變, 因此造成了輸出相位 ϕ_{out} 的變化。而對在回授路徑上的除頻器來說, 將振盪器之頻率在頻域 (Frequency Domain) 改變了 $\frac{1}{M}$ 倍, 其在相位域 (Phase Domain) 之等效也為 $\frac{1}{M}$ 。輸出相位經過除頻器後之回授相位 ϕ_{fb} 與 ϕ_{in} 一起經由 PFD 比較, 產生一相位差 ϕ_e 訊號。

依圖 2-7 之線性數學模型, 可以探討整個迴路之頻率響應、迴路頻寬、阻尼因子、甚至穩定度的問題, 這樣可以幫助設計者來檢視其設計之鎖相迴路的效能好壞與否。

2-2-2 閉迴路分析

在鎖相迴路中，若迴路濾波器部份只使用單一電容(圖 2-8)，則根據圖 2-7，其迴路增益轉移函數為

$$L(s) = \frac{I_P}{C_P} \times \frac{K_{VCO}}{s^2 M} \quad (2-8)$$

因此閉迴路轉移函數為

$$\left. \frac{\phi_{out}}{\phi_{in}}(s) \right|_{closed} = \frac{\frac{I_P K_{VCO}}{C_P}}{s^2 + \frac{I_P K_{VCO}}{C_P M}} \quad (2-9)$$

對式(2-9)來說，閉迴路包含了兩個虛數極點 $s_{1,2} = \pm j\sqrt{I_P K_{VCO}/(C_P M)}$ 。故此系統並不穩定，因為迴路增益 $L(s)$ (開迴路轉移函數乘上回授因子)有兩個在原點的極點(亦即兩個積分器)，在波德圖上(Bode Plot)每個積分器貢獻了固定相位偏移 90° ，允許系統在增益交錯頻率時振盪

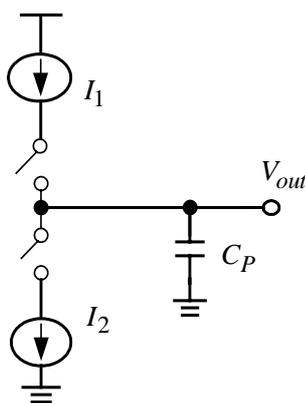


圖 2-8 單電容迴路濾波器

為了修正相位特性，使得相位偏移在增益交錯時小於 180° ，這可在迴路增益中加入一零點來完成(圖 2-9)：亦即加入一個和迴路濾波

電容串聯之電阻，形成一階(First Order)迴路濾波器，如圖 2-10 所示；

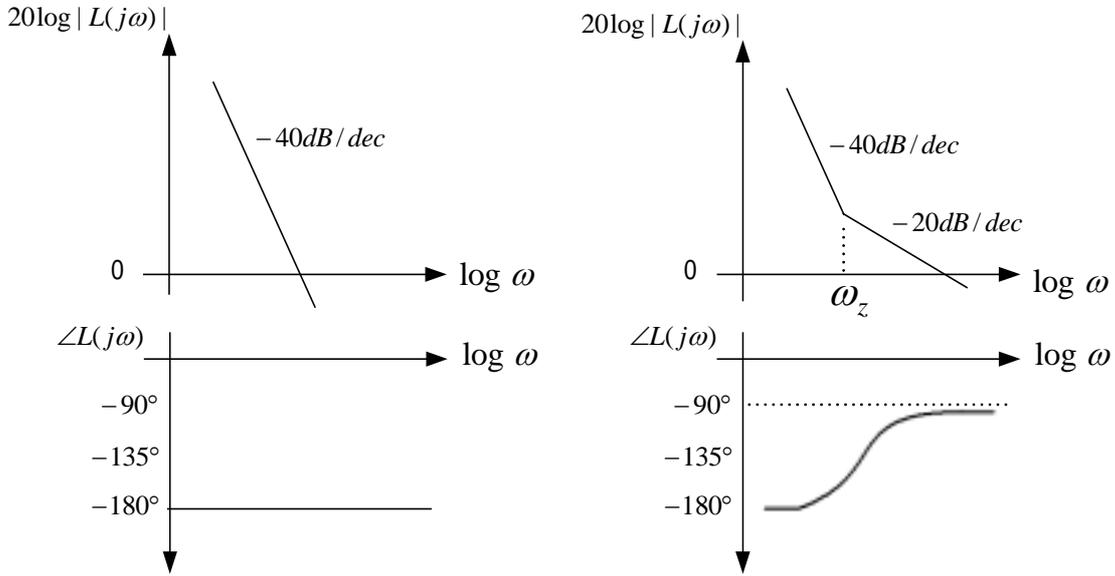


圖 2-9 加入零點前與加入零點後之波德圖

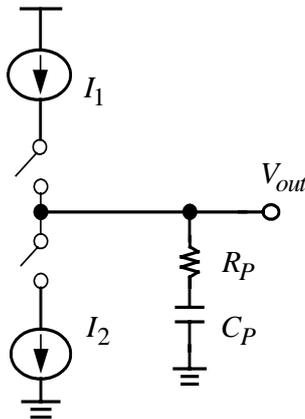


圖 2-10 一階迴路濾波器

根據圖 2-7，可得加入零點後之開迴路轉移函數[7]為

$$\frac{\phi_{out}}{\phi_{in}}(s) |_{open} = I_P \left(R_P + \frac{1}{C_P s} \right) \frac{K_{VCO}}{s} \quad (2-10)$$

同時閉迴路轉移函數為

$$H(s) = \frac{\phi_{out}(s)}{\phi_{in}} \Big|_{closed} = \frac{\frac{I_P}{2\pi} F(s) \frac{2\pi K_{VCO}}{s}}{1 + L(s)} \quad (2-11)$$

其中迴路增益 $L(s)$ 等於

$$L(s) = \frac{I_P \times K_{VCO} (1 + sR_P C_P)}{s^2 M C_P} = \frac{I_P K_{VCO} R_P}{M} \times \frac{s + \omega_z}{s^2} \quad (2-12)$$

且零點 $\omega_z = \frac{1}{R_P C_P}$ 。由式(2-12)，我們可將式(2-11)重新整理寫成

$$H(s) = \frac{\frac{I_P K_{VCO}}{C_P} (R_P C_P s + 1)}{s^2 + \frac{I_P K_{VCO}}{M} R_P s + \frac{I_P K_{VCO}}{C_P M}} \quad (2-13)$$

對於使用一階迴路濾波器的 PLL 而言，我們稱之為二階 PLL；根據控制理論，可將二階閉迴路系統表示為下式，以便求得系統的頻率步級響應：

$$H(s) = \frac{\omega_n^2 + 2\zeta\omega_n s}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (2-14)$$

其中 ζ 為阻尼因子， ω_n 為自然頻率(Natural Frequency)。式(2-13)與式

(2-14)對照可得 $\zeta = \frac{R_P}{2} \sqrt{\frac{I_P K_{VCO} C_P}{M}}$ 及 $\omega_n = \sqrt{\frac{I_P K_{VCO}}{M C_P}}$ 。

對於系統的頻率步級響應來說，與 $(\zeta \times \omega_n)$ 有關，如圖 2-11 所示。

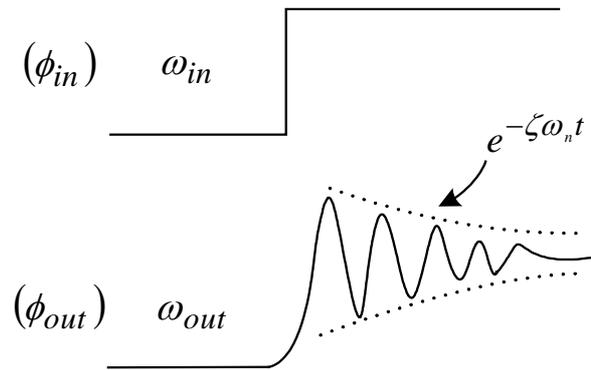


圖 2-11 PLL 對輸入頻率步級信號之響應

圖 2-11 顯示了輸出頻率信號之波動會隨著時間常數 $(\zeta\omega_n)^{-1}$ 衰減，這對 PLL 穩定速度(Settled-Speed)的研究而言，提供了一個很好的參考，若我們希望 PLL 輸出信號儘快的趨近其最終值，則 $(\zeta \times \omega_n)$ 在設計上應被最大化。同時，若相位步級信號被加至輸入端且輸出相位被觀察時，系統顯示了與圖 2-11 相同的響應。

對二階 PLL 來說，其系統之迴路頻寬(Loop Bandwidth)K，定義為 $L(s)=1$ ，同時假設 K 遠大於 ω_z

$$L(s) = \frac{I_P K_{VCO} R_P}{M} \times \frac{s + \omega_z}{s^2} \approx \frac{I_P K_{VCO} R_P}{M} \times \frac{1}{s} = 1$$

$$\Rightarrow K = \frac{I_P K_{VCO} R_P}{M} \quad (2-15)$$

經由式(2-15)，我們可將迴路增益表示為

$$L(s) = K \times \frac{s + \omega_z}{s^2} \quad (2-16)$$

而對應的迴路增益波德圖(Bode Plot)顯示於圖 2-12，其中橫軸(角頻率，Angle Frequency)的刻度為對 K 做正規化(Normalized)後的結果。

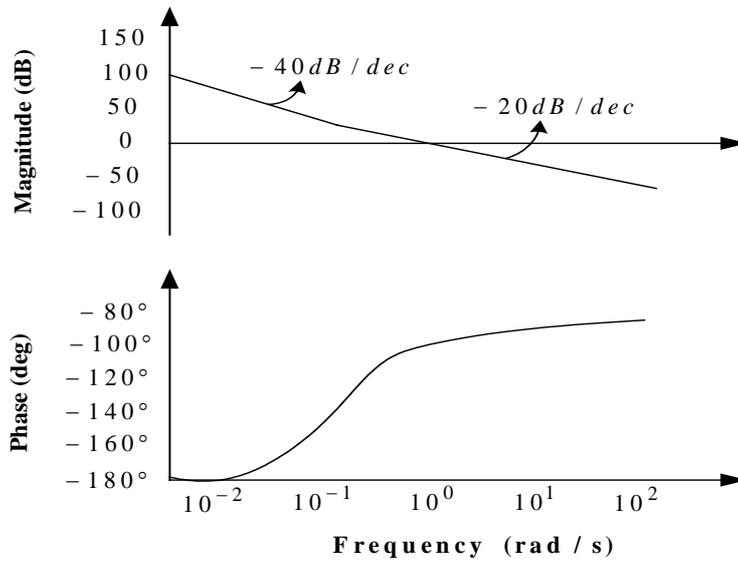


圖 2-12 二階 PLL 迴路增益波德圖

2-3 鎖相迴路之雜訊

2-3-1 輸入端之雜訊

在鎖相迴路中，外加參考輸入訊是由石英(Crystal)振盪器所提供，這部份的雜訊將一起注入到鎖相迴路中，可利用圖 2-7 鎖相迴路線性模型加以探討其雜訊對迴路的影響。

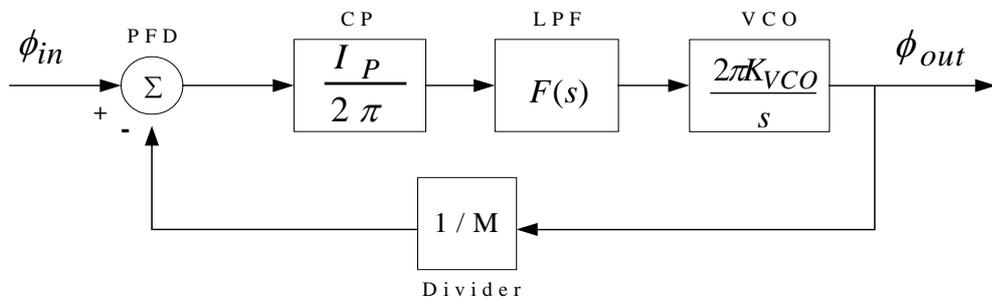


圖 2-13 PLL 由輸入到输出的雜訊函數圖

依據式(2.12)，若使用圖 2-10 之一階迴路濾波器，則可求得閉迴路轉換函數為

$$\frac{\phi_{out}(s)}{\phi_{in}(s)} = \frac{I_P F(s) \frac{2\pi K_{VCO}}{s}}{1 + L(s)} = M \frac{2\zeta \left(\frac{s}{\omega_n} \right) + 1}{\left(\frac{s}{\omega_n} \right)^2 + 2\zeta \left(\frac{s}{\omega_n} \right) + 1} \quad (2-17)$$

其中阻尼因子 $\zeta = \frac{R_P}{2} \sqrt{\frac{I_P K_{VCO} C_P}{M}}$ 且 自然頻率(Natural Frequency)

$\omega_n = \sqrt{\frac{I_P K_{VCO}}{M C_P}}$ ($\omega_n \neq K$)。圖 2-14 顯示了式(2-17)對 M 作正規化後的波

德圖結果：在物理意義上，其低通(Low Pass)特性顯示了不僅可抑制高頻雜訊且可追蹤(Track)在輸入端相位訊號在低頻的變動，這些性質正好符合了“鎖相”的特性。在實際上，若以這方面的考量來設計鎖相迴路，則迴路頻寬 K 與除頻器模數 M 必須儘量設計到最小值。

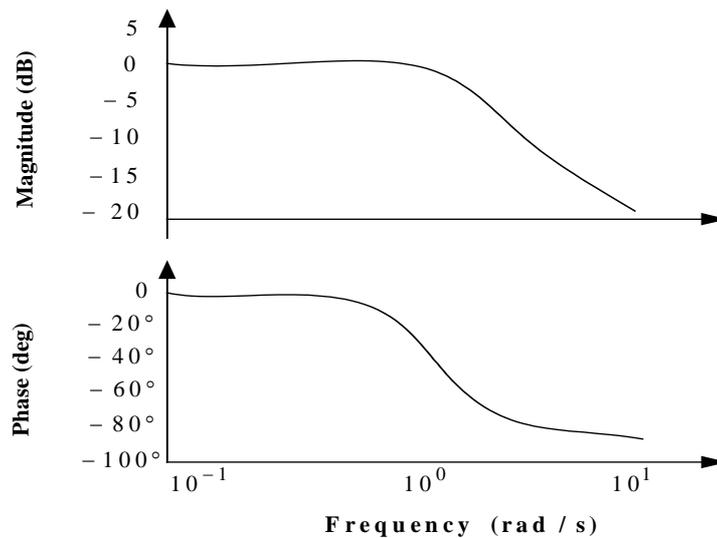


圖 2-14 PLL 輸入至輸出雜訊函數波德圖

2-3-1 振盪器之雜訊

要探討壓控振盪器的相位雜訊對迴路之影響，可以用一個另外的參數 ϕ_{VCO} 標示而加入鎖相迴路線性模型內，如圖 2-15 所示。此時 ϕ_{in} 與 ϕ_{VCO} 無關，所以令 ϕ_{in} 為零來計算 ϕ_{VCO} 對 ϕ_{out} 的轉換函數，這樣可得到

$$\frac{\phi_{out}}{\phi_{VCO}}(s) = \frac{1}{1 + L(s)} = \frac{\left(\frac{s}{\omega_n}\right)^2}{\left(\frac{s}{\omega_n}\right)^2 + 2\zeta\left(\frac{s}{\omega_n}\right) + 1} \quad (2-18)$$

式(2-18)為一高通(High Pass)轉換函數且有兩個零點在原點處及兩個極點在與式(2-17)相同的極點頻率處，其波德圖顯示於圖 2-15。在增益圖上可以看出靠近直流(DC)附近的斜率為極點頻率附近的兩倍。

圖 2-15 之轉換函數特剛好與輸入端雜訊源之情況(圖 2-14)相反，對鎖相迴路設計來說，兩種雜訊的考量是互相衝突的。若以 VCO 之雜訊對迴路的影響做為考量，為抑制高頻雜訊，則迴路頻寬值應該儘量大。

總結上述兩種雜訊對於鎖相迴路的影響，可得一個在設計鎖相迴路初期時的決定：如果 VCO 的雜訊效能較差，其迴路頻寬應儘量大；如果 VCO 的雜訊效能較好，其迴路頻寬應儘量小。迴路頻寬值越大，會增快迴路的鎖定速度，反之會減慢迴路的鎖定速度。

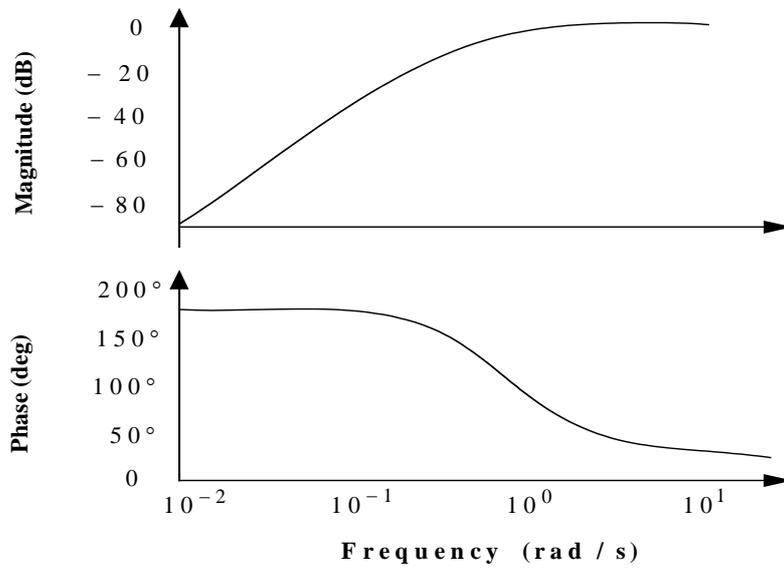
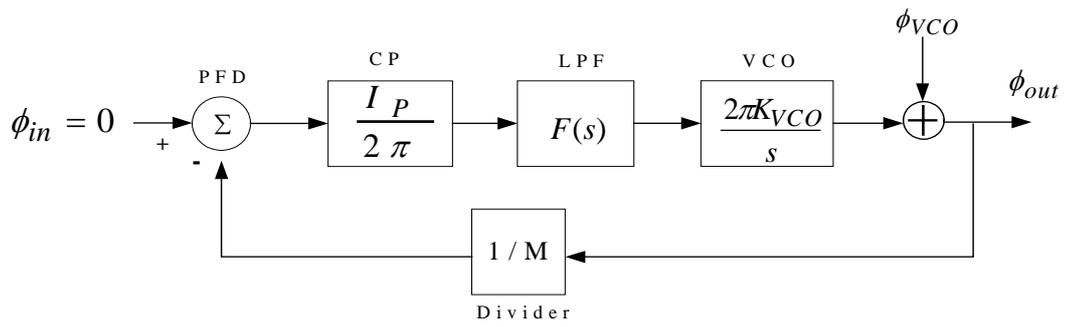


圖 2-15 PLL 由振盪器到輸出之雜訊函數圖

第三章

壓控振盪器

在現代電子及通訊電路中，壓控振盪器為一常見且被廣泛應用的重要元件，主要目的是利用它來產生穩定的本地振盪訊號源。然而，壓控振盪器易受環境的影響(如溫度、IC 製作過程的變化)、及電路內部元件的雜訊影響[8] (如熱雜訊、shot noise、flicker noise)，而使振盪訊號在頻譜上發生偏移，或相位雜訊太大。對於壓控振盪器而言，如何達到穩定且低雜訊的設計是目前研究的重點，特別是應用於鎖相迴路中，它的穩定性將影響鎖相迴路之獲得範圍與穩定鎖定，其相位雜訊之好壞也將決定迴路之相位誤差的效能。

3-1 振盪器基本原理

現今 CMOS 積體電路中常採用的壓控振盪器有兩種型式: LC-tank 振盪器[9]與環型振盪器(Ring Oscillator)。

3-1-1 L-C tank 振盪器

大部份的振盪器可視為回授電路，簡單之回授網路如圖 3-1 所示，其迴路轉換函數為 $GH(s)$ 。對於發生於頻率 ω_0 處之穩定振盪，必需同時滿足下列兩種情況: [10]

- (1) 迴路增益 $|GH(j\omega_0)|$ 必須等於 1(或大於 1)
- (2) 相位偏移 $\angle GH(j\omega_0) = 180^\circ$ ，或迴路總相位偏移為 360°

以上的條件我們稱之為巴克豪森條件(Barkhausen Criterion)。在實際

上以此理論去實現振盪器電路時， $G(s)$ 部份為一主動電路形成之網路 (Active network) 而 $H(s)$ 部份為迴授網路。在射頻(Radio Frequency) 振盪器中，通常用被動元件去形成迴授網路，同時稱此迴授網路為“共振器(Resonator)電路”。

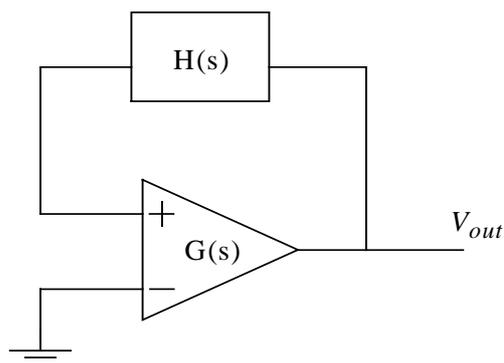


圖 3-1 簡單回授網路

共振器電路為一種平行之 LC-tank，將其整個回授網路以小訊號模型表示，可得到圖 3-2。在主動網路中，主要探討的是轉導 g_m ，也就是將一輸入電壓源 v_{osc} 轉換為輸出電流 i_{osc} 。在共振發生時，其共振頻率為：

$$\omega_0 = \frac{1}{\sqrt{LC}} \quad (3-1)$$

同時 LC-tank 有一等效電阻 R_p ，而我們可得到下列之方程式：

$$v_{osc} = R_p \times i_{osc} \quad (3-2)$$

$$i_{osc} = -g_m \times v_{osc} \quad (3-3)$$

依照巴克豪森條件(迴路增益 ≥ 1)，可以得到方程式：

$$g_m = -\frac{1}{R_p} \quad (3-4)$$

實際上，為確保振盪的發生，設計時會將由主動網路所提供的 g_m 值

大於代表電路損失的等效電阻值，亦即

$$|g_m| - \frac{1}{R_p} \geq 0 \quad (3-5)$$

對於等效電阻 R_p ，可視為主動網路的輸出電阻以及 LC-tank 之損失 (Losses) 的等效模型，如此可求得 LC-tank 的品質因子 (Quality Factor)

$$Q = R_p \sqrt{\frac{C}{L}} = \frac{R_p}{\omega_0 L} = \omega_0 R_p C \quad (3-6)$$

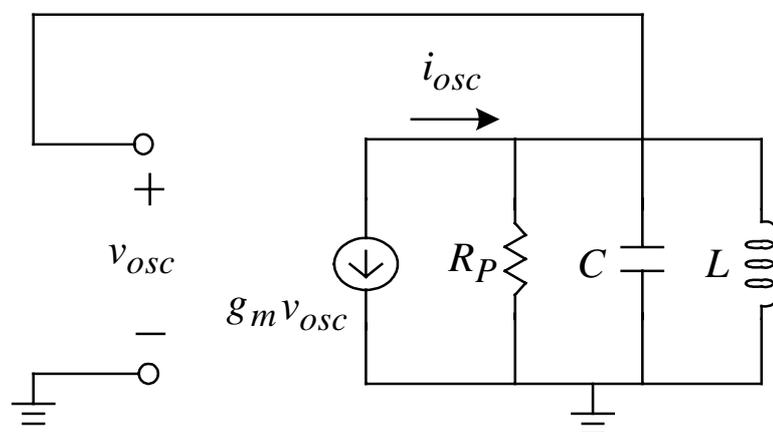


圖 3-2 基本 LC-tank 振盪器組態

3-1-2 環型振盪器 (Ring Oscillator)

環型振盪器是由提供訊號反轉之組態串接並回授成環狀所形成之振盪電路[2]，如圖 3-3 之例。

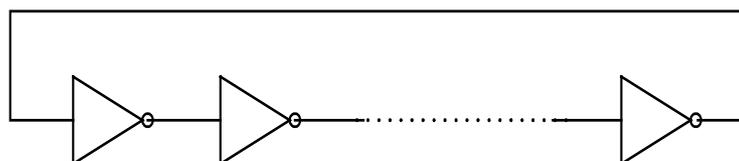


圖 3-3 基本環形振盪器

要使環型電路發生振盪現象，必須要滿足在發生振盪之頻率 ω_0 處，其迴路增益要夠大(≥ 1)、同時頻率相關相位移可達 180° [11]。故對單端(Single Ended)反轉組態之環型振盪器而言，為達振盪條件，至少需要 3 個(或 3 個以上)反轉組態組成才行；且在迴路中的反轉組態數目必須為奇數，否則電路會產生箝制現象，而不會穩定振盪。然而，若為差動組態，則可藉由配置一個無法反轉的組態來使用偶數組態，如圖 3-4 所示。

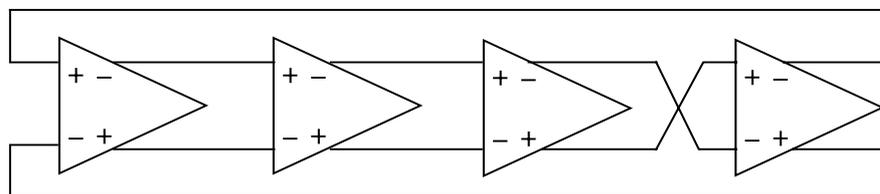


圖 3-4 四級差動式環形振盪器

在圖 3-3 中，在電路為穩定振盪的情況之下，每級反轉組態有大信號時間延遲 T_d ；若有 N 級串接，則振盪頻率為

$$f_0 = \frac{1}{2NT_d} \quad (3-7)$$

3-2 壓控振盪器之類型探討

上節介紹兩種類型振盪器之基本原理，接下來本節要討論這兩種類型振盪器在其架構、電壓調變頻率的方式、相位雜訊等各方面的情況。

在現代之通訊系統中，雖然壓控振盪器的種類很多，例如環型振盪器、鬆弛振盪器、LC-tank 振盪器等，但考量到以 CMOS 製程操作在 GHz 以上的頻段時，其相位雜訊的效能表現和頻率穩定度還是

以 LC-tank 振盪器為最好[12]，所以目前在通訊的應用上，大多以此類型的壓控振盪器為主。

3-2-1 LC- tank 振盪器

圖 3-5 為 LC-tank 壓控振盪器示意圖及架構，為確保振盪的發生，如方程式(3-4)及(3-5)，其是利用電晶體交連耦合對(Cross-Coupled Pair)產生正迴授，產生一負的輸入阻抗為 $R_{in} = -2 / g_m$ ，如圖 3-6。此交連耦合對組成的主動網路對電路之電阻性損耗具有補償作用，當 $|R_{in}|$ 等於或小於等效電阻 R_p 時，電路就會發生振盪。

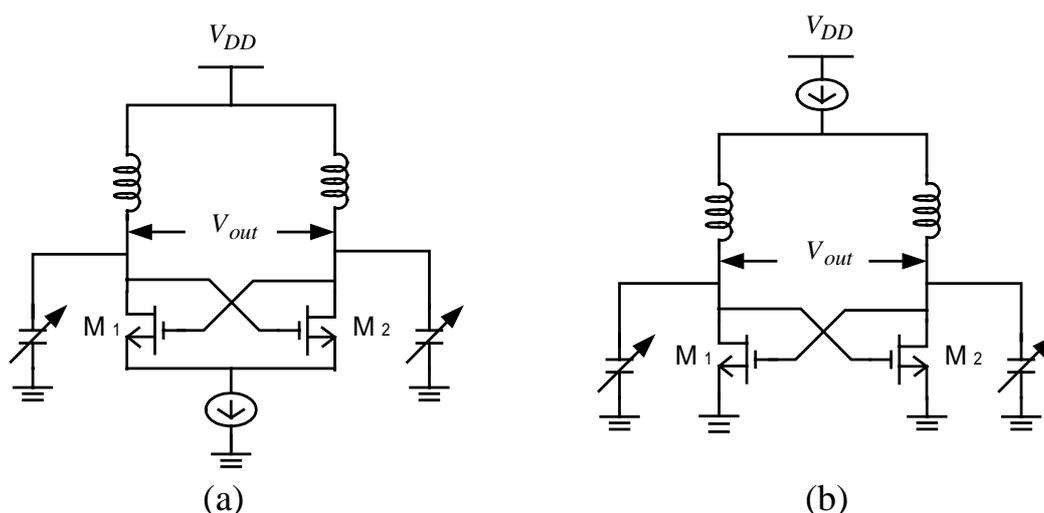


圖 3-5 LC- tank VCO (a)輸出 DC 準位 V_{DD} (b)輸出 DC 準位 0V

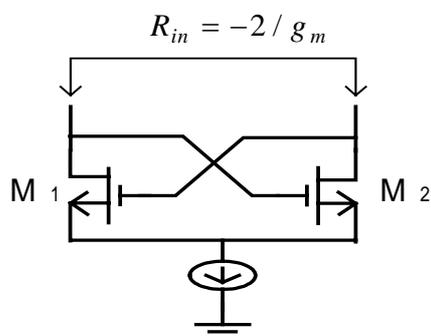


圖 3-6 LC- tank VCO 輸入阻抗

為了達到電壓控制頻率的效果，在電路中使用了變容器(Varactor)，做為 LC-tank 其中之一元件，其特性為電容值可隨外加控制電壓而改變，由式(3-1)可知不同之電容值可得到不同之振盪頻率。變容器型式為電晶體變容器(MOSFET Varactor) [13]。

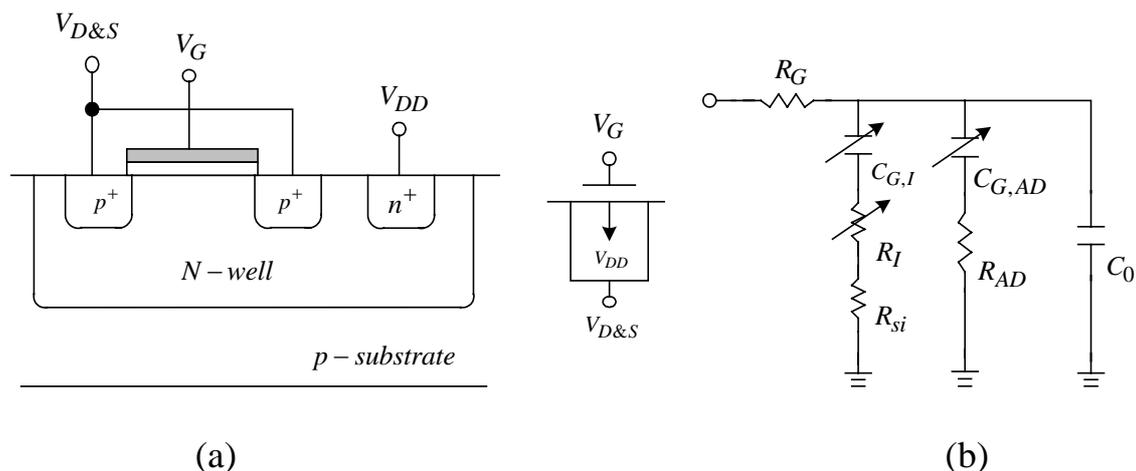


圖 3-7 PMOS 電晶體變容器結構與小訊號等效電路

圖 3-7(a)為 PMOS 電晶體變容器結構圖，其中電晶體的汲極端與源極端接在一起。變容器等效之小訊號電路如圖 3-7(b)，其中 $C_{G,I}$ 與 $C_{G,AD}$ 分別為少數(Minority)載子與多數(Majority)載子之電晶體電容； C_0 為寄生電容； R_I 為等效反轉層(Inversion Layer)電阻，其值與電晶體導通電阻 R_{ON} 有關； R_{Si} 為擴散區(Diffusion Region)之串級電阻； R_G 為閘級等效串級電阻。當通道形成時， R_{ON} 和 $C_{G,I}$ 與通道等效長度 (L_{eff}) 成正比例的增加，所以品質因子(Quality Factor)與 L_{eff}^2 成反比，故在設計上應將通道長度保持最小化。

PMOS 電晶體變容器之控制電壓與電容值關係曲線如圖 3-8，其中控制電壓為 $V_{D\&S_G} = V_{D\&S} - V_G$ ，區域 5 為強累積區(Strong Accumulation)，操作於此區時電容值飽和至 C_{OX} 且品質因子主要與 R_{AD} 有關；區域 4 與區域 3 為弱累積區與空乏區(Depletion Region)，操作於

此 2 區時品質因子較高因為電容值較低；在區域 2 反轉層逐漸發展且因此區的導電性較低而使品質因子較差；最後，在區域 1 時，通道為強反轉，所以電容值為定值且品質因子主要受 R_I 與 R_{Si} 所限制。

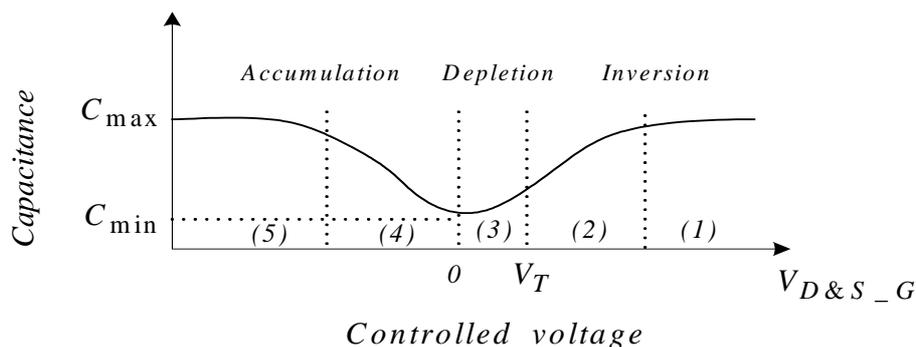


圖 3-8 PMOS 電晶體變容器之電容特性圖

3-2-2 環型振盪器

環型振盪器為另一種常用的壓控振盪器類型，與 LC-tank 振盪器相較，其不同處在於環型振盪器不需使用被動元件，因此架構上比較簡易、在製作上也不會因被動元件的加入而使晶片面積太大、同時調諧範圍也較廣；但其缺點是因為電路全為主動元件所組成，所以相位雜訊較 LC-tank 振盪器差。

為考量到當製作晶片時，基體端(Substrate)中與電源供應端之雜訊會經由拉線而耦合進入電路內部，這對振盪電路來說會造成相當大的影響，如造成輸出抖動(Jitter)太大，故我們使用差動式(Differential)設計之環型振盪器，來增加抑制雜訊的能力[14]、改善相位雜訊，如圖 3-9。

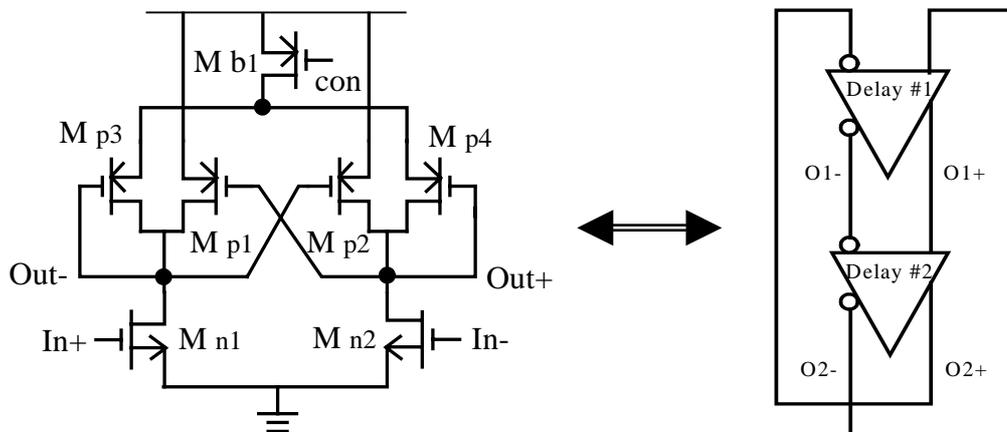


圖 3-9 兩級差動式環型壓控振盪器電路

在圖 3-9 中，由兩個延遲單元(Delay Cell)構成整個環型振盪器電路[15]。在延遲單元中，包括了一 NMOS 數入對(M_{n1} 、 M_{n2})，一 PMOS 組成之正回授(Positive Feedback)對(M_{p1} 、 M_{p2})、一二極體連接(Diode-Connected) PMOS 對(M_{p3} 、 M_{p4})、以及一個 p 通道電晶體(M_{b1})。

對振盪器電路來說，大的頻率調諧範圍是需要的，因為在晶片製作上會遇到製程變動(Process Variation)的問題。振盪頻率之調諧有兩種方式：經由可變電容(變容器)，如上節介紹之 L-C tank 振盪器；或者經由可變負載阻抗(Variable Load Impedance)，如本節之環型振盪器。在圖 3-9 中，頻率調諧是經由調諧二極體連接 PMOS 對(M_{p3} 、 M_{p4})之轉導(Transconductance) g_m 而達成：藉由控制電壓 con 控制 M_{b1} 之電流，可使 M_{p3} 和 M_{p4} 之 g_m 值由零調到接近 M_{p1} 和 M_{p2} 之 g_m 值，因此這樣的方法可使環型振盪器之調諧範圍輕易地達到 50%。

要推導圖 3-9 中之電路振盪頻率，可由延遲單元之小訊號等效半電路模型(如圖 3-10)推導，經計算可得延遲單元之轉換函數 $H(s)$ 為：

$$H(s) = \frac{V_0}{V_{in}} = \frac{g_{m1}}{(-g_{mp1} + g_{mp3} + G_L) + sC_L} \quad (3-8)$$

$$G_L = g_{dn1} + g_{dp1} + g_{dp3} \quad (3-9)$$

$$C_L = C_{gsn1} + 2C_{gdn1} + C_{dbn1} + C_{gsp1} + 2C_{gdp1} + 2C_{dbp1} + C_{dbp1} + C_{gsp3} + C_{dbp3} + C_{buffer} \quad (3-10)$$

其中 g_m 為轉導值、 g_d 為通道電導值(Channel Conductance)、 C_{gs} 為閘極-源極電容、 C_{gd} 為閘極-汲極電容、 C_{db} 為汲極-基體電容、 C_{buffer} 為輸出緩衝器電容。

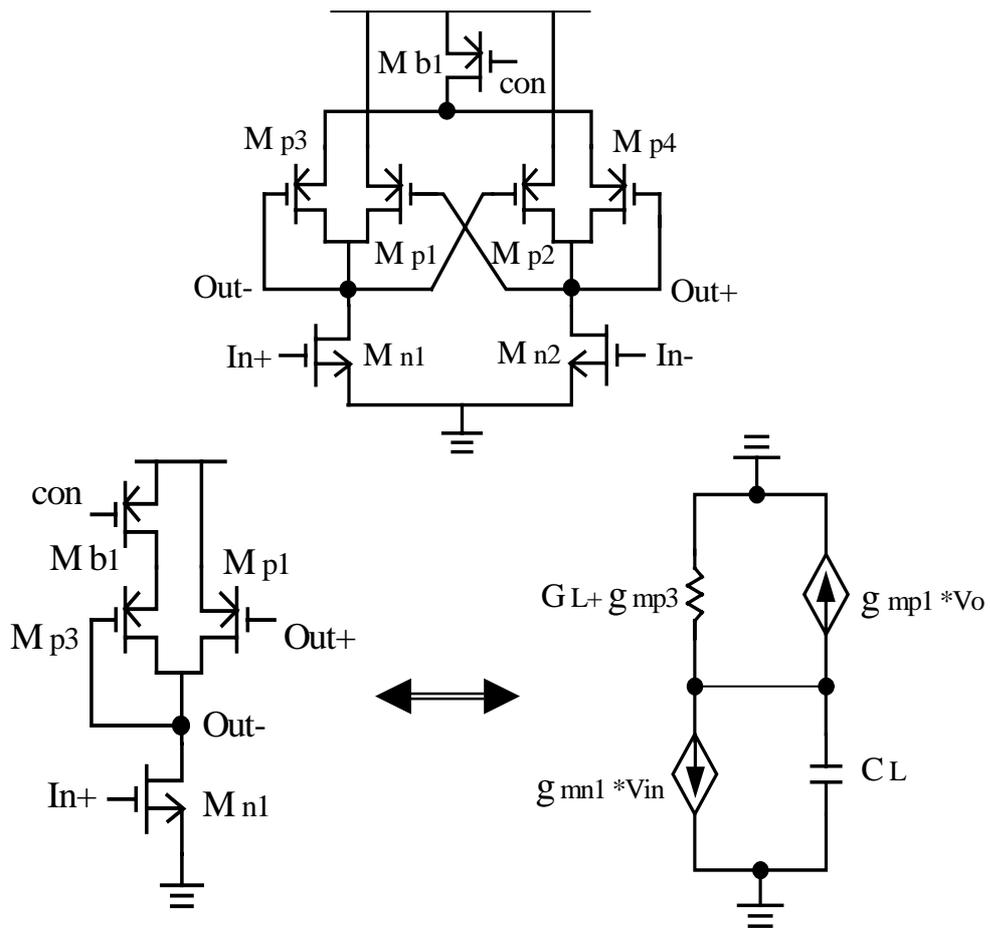


圖 3-10 環型振盪器之小訊號等效半電路

要發生振盪，在環型振盪器中的兩個延遲單元鏈總相位偏移必須等於 180° 、且全級增益在振盪發生之頻率處要等於 1。因此，在式(3-8)中轉導 g_{mp1} 必須大於總輸出負載電導 ($g_{mp1} > g_{mp3} + G_L$)，以維持在一個延遲單元內之相位偏移等於或超過 90° ；同時電壓增益大於 1。

令延遲單元的電壓增益為 1，可推得環型振盪器之振盪頻率為

$$f_{osc} = \frac{1}{2\pi} \sqrt{\frac{g_{mn1}^2 - (-g_{mp1} + g_{mp3} + G_L)^2}{C_L^2}} \quad (3-11)$$

在式(3-11)中，藉由控制 g_{mp3} 可改變振盪頻率 f_{osc} 。當負轉導值 g_{mp1} 夠大而完全抵消總輸出電導時(即 $g_{mp1} = g_{mp3} + G_L$)， f_{osc} 會有最大值 f_{max} ；當 M_{p3} 為關閉時($g_{mp3} = 0$)，且 M_{n1} 與 M_{p1} 的汲極電導遠小於負轉導值 g_{mp1} 時(即 $g_{mp1} \gg G_L$)， f_{osc} 會有最小值 f_{min} 。最後，經過計算整理之後，最大振盪頻率 f_{max} 、最小振盪頻率 f_{min} 、以及調諧範圍 f_{range} 可以表示為

$$f_{max} \approx \frac{1}{2\pi} \times \frac{g_{mn1}}{C_L} \quad f_{min} \approx \frac{1}{2\pi} \times \sqrt{\frac{g_{mn1}^2 - g_{mp1}^2}{C_L^2}}$$

$$f_{range} \approx f_{max} \times \left(1 - \sqrt{1 - \left(\frac{g_{mp1}}{g_{mn1}} \right)^2} \right)^2 \quad (3-12)$$

由式(3-12)，若 (g_{mp1} / g_{mn1}) 為 $\sqrt{3/4}$ 時，頻率調諧範圍可達到 50%。

經由 HSPICE 模擬，其振盪波形 控制電壓與振盪頻率之關係圖、功率消耗圖，分別圖示於下列：

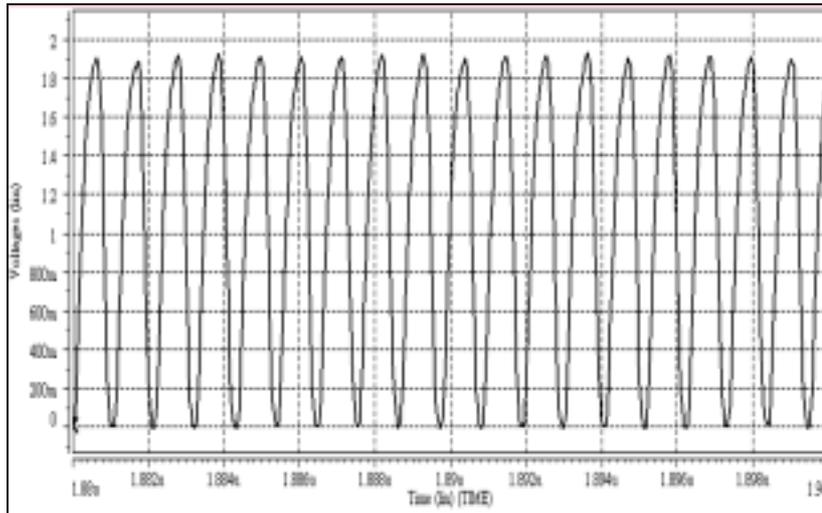


圖 3-11 VCO 振盪波形

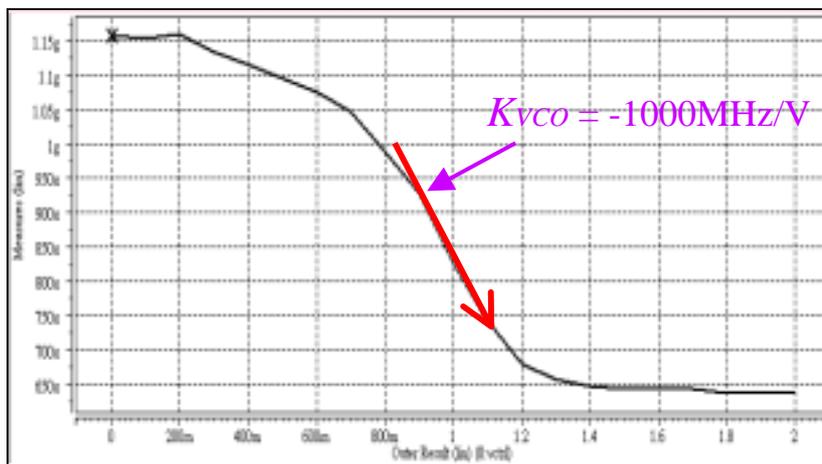


圖 3-12 VCO 調諧範圍

圖 3-11 顯示了在迴路鎖定時的輸出振盪頻率, 頻率約為 900MHz ; 對應圖 3-12 之控制電壓與頻率關係圖可求得 VCO 之調諧範圍 $= [(f_{\max} - f_{\min}) / f_{\max}] \times 100\% = 43.4\%$, 且可得 VCO 增益 (K_{VCO}) = -1000MHz/V ; 而由圖 3-13 可得 VCO 在輸出頻率為 900MHz 處對應

之功率消耗為 6.2mW。

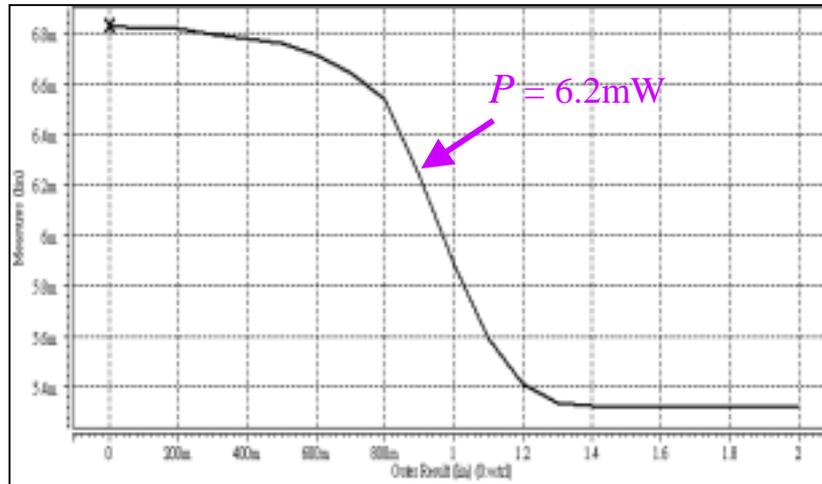


圖 3-13 VCO 功率消耗

3-3 相位雜訊

本節要討論的是關於振盪器電路之相位雜訊，主要是以環型架構為探討對象。

在實際的振盪電路裡，因電路內部及外部雜訊的影響，而使振盪波形的振幅及相位發生變動(Fluctuations)。然而，振幅變動可以經由在振盪器內加入振幅限制機制(Amplitude Limiting Mechanism)而減少，但相位變動就無法被類似機制抑制，所以，我們主要焦點在相位變動上。對一個振盪器的輸出，可以表示為

$$V_{out}(t) = A(t) \times f[\omega_0 t + \phi(t)] \quad (3-13)$$

我們可視振盪器為將電壓或電流轉換為相位的系統，且對外界擾動(Perturbations)之響應為線性系統，同時對不管多小的擾動而言是為時變(Time Variant)系統。舉例來說，以圖 3-14 之單端環型振盪器在其

中一節點有一單電流源，電流源面積 Δq (單位為庫倫，Coulombs)、發生於時間 $t = \tau$ 。

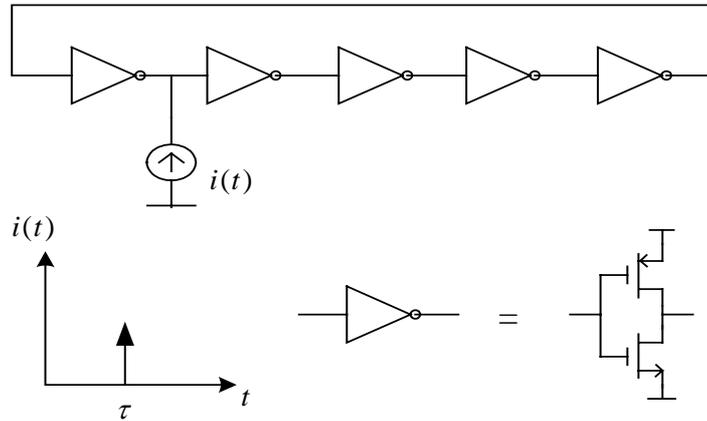


圖 3-14 CMOS 反相器之環形振盪器

此電流源造成在節點中瞬間的電壓變化，可表示為：

$$\Delta V = \frac{\Delta q}{C_{node}} \quad (3-14)$$

其中 C_{node} 為電流源注入電荷之節點上看到的等效電容。式(3-14)造成相關的電壓在時間上之變動，連帶對相位造成變動，可表示為：

$$\Delta \phi \propto \gamma \frac{\Delta V}{V_{swing}} = \frac{\Delta q}{q_{max}} \quad (3-15)$$

其中 $q_{max} = C_{node} V_{swing}$ 而 V_{swing} 為橫跨電容上的電壓擺幅， γ 為一與時間有關的比例常數。式(3-15)之相位變化發生於兩種情況下：一是電流脈衝注入在輸出暫態(Output Transition)過程中，另一為電流脈衝注入在輸出達到 V_{DD} 或是接地電位時，脈衝造成相位之變化顯示於圖 3-15[16]

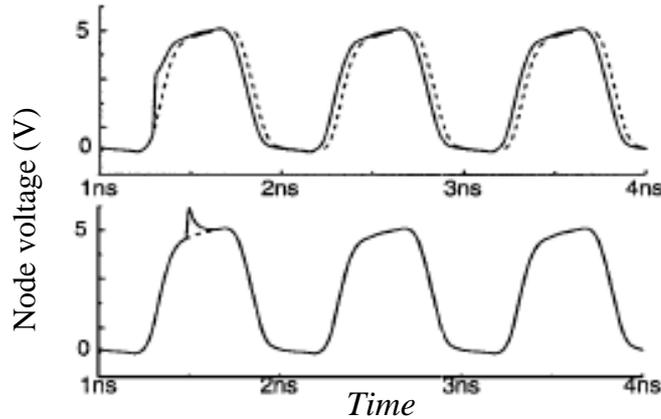


圖 3-15 具時變性之相位響應

我們定義系統的單位脈衝響應(Unit Impulse Response)為一單位電流脈衝造成的相位偏移量，因此可得一與時間相關的脈衝響應為：

$$h_{\phi}(t, \tau) = \frac{\Gamma(\omega_0 \tau)}{q_{\max}} u(t - \tau) \quad (3-16)$$

其中 $u(t)$ 為單位步階(Unit Step)而 $\Gamma(x)$ 為週期 2π 之週期性無單位函數。式(3-16)是式(3-15)中之 γ 部份， $\Gamma(x)$ 代表波形上每一點對外界擾動的靈敏度(Sensitivity)，因此被稱為脈衝靈敏度函數(Impulse Sensitivity Function, ISF)。而 $\phi(t)$ 可以用重疊積分來計算：

$$\phi(t) = \int_{-\infty}^{\infty} h_{\phi}(t, \tau) i(\tau) d\tau = \int_{-\infty}^t \frac{\Gamma(\omega_0 \tau)}{q_{\max}} i(\tau) d\tau \quad (3-17)$$

其中 $i(t)$ 代表注入節點之輸入雜訊電流。對一白色雜訊(White Noise)電流源來說，式(3-16)積分量為

$$\psi(t) = \frac{\Gamma(\omega_0 t)}{q_{\max}} i(t) \quad (3-18)$$

式(3.17)之功率頻譜(Power Spectrum)為

$$S_{\psi}(f) = \Gamma_{rms}^2 \times \frac{\overline{i_n^2} / \Delta f}{2 q_{max}^2} \quad (3-19)$$

其中 $\overline{i_n^2} / \Delta f$ 為雜訊電流源的單邊帶(Single-Sideband)功率頻譜且 Γ_{rms} 為 ISF 之均方根(Root Mean Square, RMS)值。所以對一 N 級環型振盪器而言，其單邊帶相位雜訊功率頻譜為

$$L\{\Delta\omega\} = N \frac{\Gamma_{rms}^2}{16 \pi^2 f^2} \times \frac{\overline{i_n^2} / \Delta f}{q_{max}^2} \quad (3-20)$$

其中 f 為距載波(Carrier)之偏移頻率 (Offset Frequency)，對於電路中含有多雜訊源， $\overline{i_n^2} / \Delta f$ 代表每個雜訊源功率的總和。

要計算相位雜訊，必須要知道 ISF 的均方根值。因此以單端之環型振盪器架構並且用 3~15 之奇數級變化，但固定振盪頻率(不同的級數用電晶體通道長度調整)，再以一窄的電流脈衝注入其中的一個節點來計算其 ISF 值，得到的結果如圖 3-16 所示。由圖 3-16 知增加振盪器的級數 N 可以降低 ISF 的峰值(Peak Value)，這是因為正規化後的波形其週期為 2π ，因此對於大的級數 N 而言，正規化後的波形暫態較小的級數 N 快。

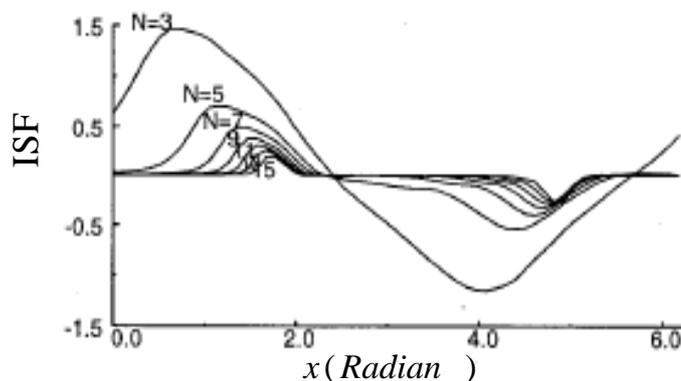


圖 3-16 CMOS 反相器之環形振盪器在不同級數(N)下的 ISF

要估計 Γ_{rms} ，則假設 ISF 為三角形且其上升與下降邊緣為對稱，如圖 3-17 所示。由圖知 ISF 有最大值 $1/f'_{max}$ ， f'_{max} 為式(3-13)中正規化後之波形 f 的最大斜率。同時在圖 3-17 中，三角形的寬度為 $2/f'_{max}$ ，三角形兩邊的斜率為 ± 1 ，因此 Γ_{rms} 可得為

$$\Gamma_{rms}^2 = \frac{1}{2\pi} \int_0^{2\pi} \Gamma^2(x) dx = \frac{4}{2\pi} \int_0^{1/f'_{max}} x^2 dx = \frac{2}{3\pi} \left(\frac{1}{f'_{max}} \right)^3 \quad (3-21)$$

而每級的延遲 $t_D \approx 1/f'_{max}$ ，所以週期 2π 是單級延遲的 $2N$ 倍，即

$$2\pi = 2Nt_D \approx \frac{2N}{f'_{max}} \quad (3-22)$$

結合式(3-21)與(3-22)，可以得到

$$\Gamma_{rms} = \sqrt{\frac{2\pi^2}{3}} \times \frac{1}{N^{1.5}} \quad (3-23)$$

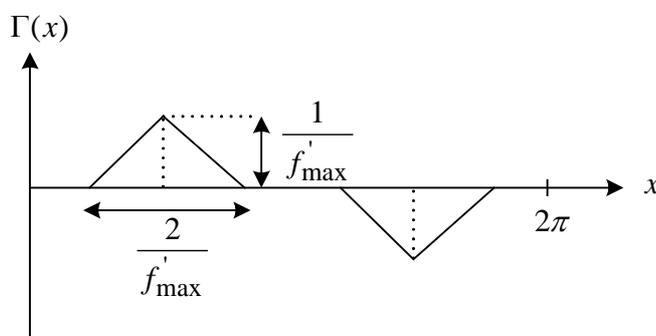


圖 3-17 以近似之 ISF 計算 Γ_{rms}

式(3-23)對於差動式之環型振盪器架構而言，也可適用。對應的情況為 4~16 偶數級變化，但固定功率散逸與汲級(Drain)端之電壓擺幅(不同的級數用不同的偏壓電流源控制)。不論振盪器在何種情況下，由式(3-23)可得一重要的結論： Γ_{rms} 只與 $1/N^{1.5}$ 有關，與振盪頻

率及振幅無關。然而，在差動式的環型振盪器架構中， Γ_{rms} 約為 $3/N^{1.5}$ 。

最後，在模擬圖 3-9 環型振盪器電路之相位雜訊方面，由於 HSPICE 軟體並無法提供完整頻域(Frequency Domain)的電路資訊，因此我們無法直接由 HSPICE 模擬出電路之相位雜訊，故我們參考式 (3-20)，並對照於差動式電路之架構，得到單邊帶相位雜訊 $\{L(f_{off})\}$ 為

$$L\{f_{off}\} = N \frac{\Gamma_{rms}^2}{8\pi^2 f_{off}^2} \times \frac{\overline{i_n^2} / \Delta f}{C_L^2 V_{dd}^2}$$

$$\Gamma_{rms}^2 = \frac{2}{\pi} \int_0^{\pi/2} x^2 dx = \frac{\pi^2}{12}$$

$$\overline{i_n^2} / \Delta f = 4KT\gamma(g_{mn1} + g_{mp1} + g_{mp3}) \quad (3-24)$$

其中 $\gamma = 3$ ， $f_{off} = 600 \text{ KHz}$ ， $N = 4$ ， $V_{DD} = 2\text{V}$ ， C_L 與 g_m 為在 PLL 鎖定之後延遲單元的電晶體參數值可在 HSPICE output netlist 中找到對應的值而代入式(3-24)中計算，如此可得在 600KHz 頻率偏移處之相位雜訊為-102dBc/Hz。圖 3-9 之電路模擬結果整理於表 3-1，而對應之電路佈局如圖 3-18。

表 3-1 VCO 模擬結果

規格	結果
電源供應	2V
輸出頻率	650MHz~1150MHz
調諧範圍	43.4%
功率消耗	6.2mW at 900MHz
相位雜訊	-102dBc/Hz@600KHz
K_{VCO}	-1000MHz/V

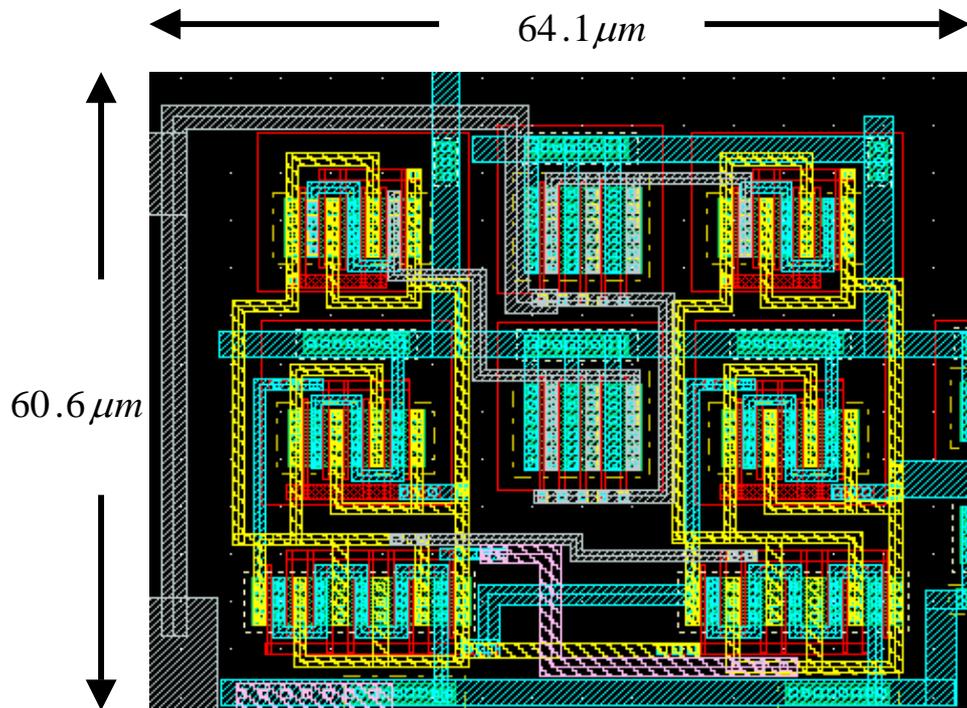


圖 3-18 VCO 電路佈局

第四章

除頻器、相位頻率偵測器、電荷幫浦 及迴路濾波器

本章將介紹鎖相迴路其餘的子電路：除頻器、相位頻率偵測器、電荷幫浦及迴路濾波器；將分別討論其電路架構及特性。

4-1 除頻器

在本節中，將介紹一種單相位邊緣觸發比例式的高速邏輯正反器 (Logic Flip-Flops, LFFs) 和 D 型正反器 (D Flip-Flops, DFFs) 來實現除頻電路；它是一種導管式的技術，來消除組合邏輯和記憶元件的延遲效應，而達到高速的目的[17]。

4-1-1 電路架構

圖 4-1 為一除 16 之除頻電路方塊圖 (Block Diagram)，包括了 3 個 D 型正反器 (DFFs)、2 個觸發正反器 (Toggle Flip-Flops, TFFs) 和 2 個 NAND 閘。DFFs 與 NAND 閘組成了除 4 之同步計數器 (Synchronous Counter)，為除頻電路中的第一部份 (操作在高頻)；而 2 個觸發正反器組成了除 4 之非同步計數器 (Asynchronous Counter)，為除頻電路中的第二部份 (操作在低頻)。

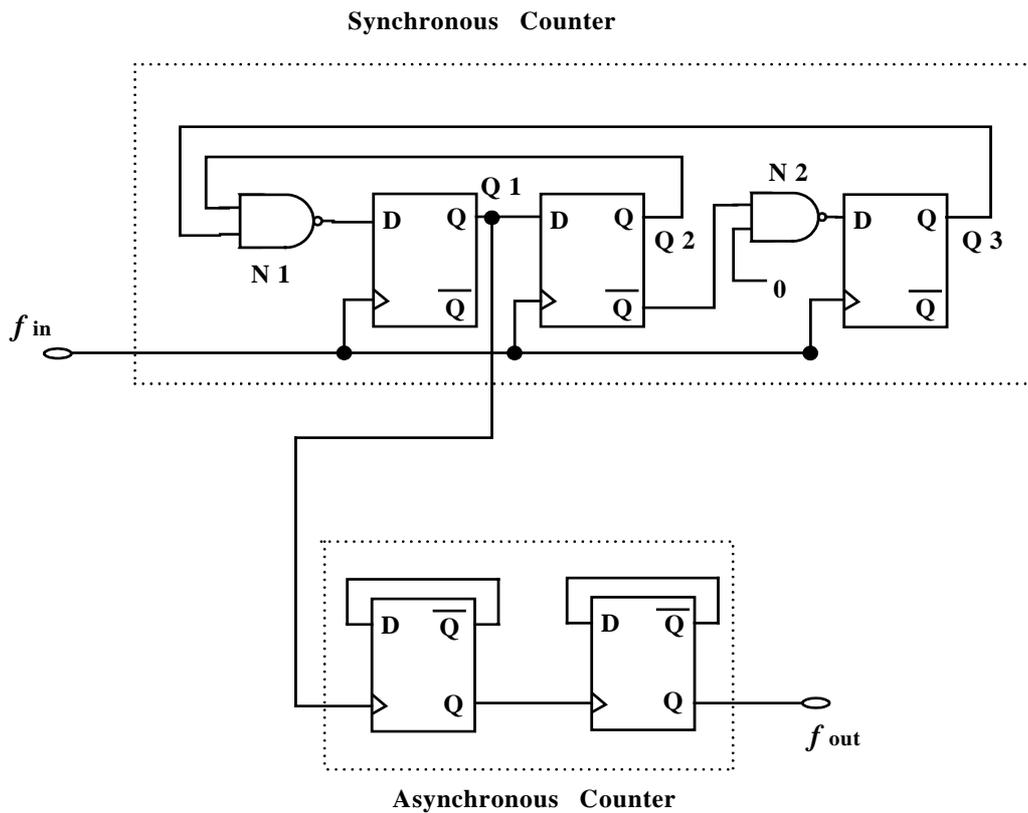


圖 4-1 除頻器方塊圖(/16)

在同步計數器部份：其輸入端接的是由壓控振盪器所輸出的高頻訊號，故這部份屬於高頻操作，其時序圖(Timing diagram)如圖 4-2。整個除頻電路的操作頻率主要受這部份所影響，為使操作頻率達到最大，DFFs 以及 NAND 閘必須同時最佳化：要降低此部份電路之節點等效電容，因為節點電容會導致大功率消耗及增加傳遞延遲。

在非同步計數器部份：輸入端是由同步計數器的輸出饋入(Feed)，其操作頻率與同步計數器相較，為同步計數器的 $\frac{1}{4}$ 。由於操作於較低頻，所以[18]中的動態 TSPC DFFs 電路可以使用，但仍要注意此部份的功率消耗。

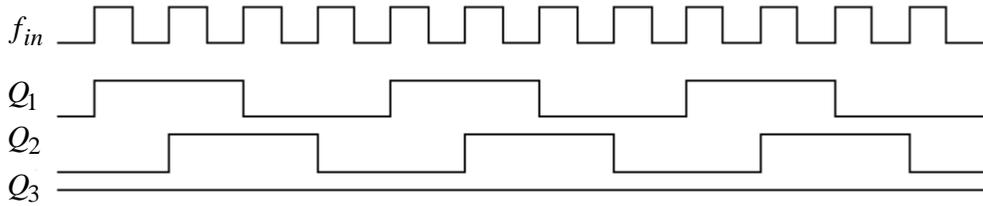


圖 4-2 同步計數器之時序圖 (Q_1 為輸出)

4-1-2 電路描述

現今的動態 CMOS DFFs 電路主要都是根據 Yuan 和 Svensson 所提出的由 9 顆電晶體組成之 TSPC DFF 電路[19]，如圖 4-3 所示。此種電路之特性為高的操作速度與架構簡易，同時只需要單相位時脈信號即可，因而被廣泛應用於許多數位積體電路中。此後有許多針對此電路去做改良的架構提出[20-21]，並對 TSPC DFF 電路之最佳化設計做詳細的分析[18]。在本節中，將介紹一種簡單化比例式邏輯 (Ratioed Logic) 技術之 TSPC DFF 電路。

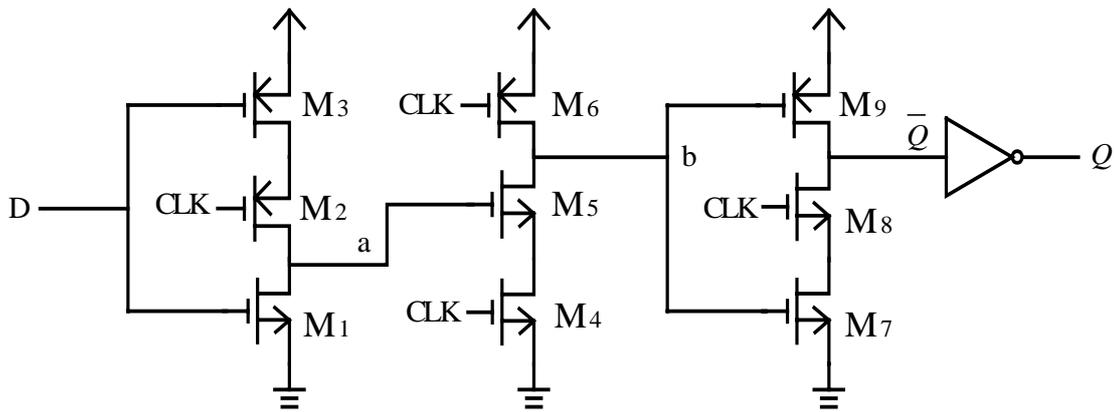


圖 4-3 由 Yuan 和 Svensson 提出之 TSPC DFF 電路

圖 4-3 為一正緣觸發(Positive-Edge Trigger)之 TSPC DFF 電路，其

是由 $P-C^2MOS$ 級、 N 預先充電級(Precharge Stage)、 $N-C^2MOS$ 級共 3 級所組成。當 CLK 為 0 時，電路為保持模式(Hold Mode)，在此模式中 M_4 為關閉，節點 b 經由 M_6 預先充電至 V_{DD} ，因此 M_8 與 M_9 皆為關閉，所以在節點 \bar{Q} 中之資訊得以保持不變。此時 $P-C^2MOS$ 級之作用像一反相器(Inverter)、將 D 之狀態相反後傳送到節點 a。

當 CLK 為 1 時，電路為 Evaluation Mode。如果節點 a 為 1 準位，節點 b 因為 M_4 導通而被拉下到 0 準位，且此時 M_6 為關閉。如果節點 a 為 0 準位，節點 b 因為 M_5 關閉而維持在 1 準位。此時 $N-C^2MOS$ 級之作用像一反相器(Inverter)、將節點 b 之狀態相反後傳送到節點 \bar{Q} 。 $P-C^2MOS$ 級由一個 n 通道電晶體與兩個串聯 p 通道電晶體所組成，此級之傳遞延遲主要受兩個串聯 p 通道電晶體所限制：當節點 a 被拉上到 1 準位時，在節點 a 看到之等效電阻為被拉下到 0 準位時的兩倍，而增加了在拉上時的傳遞延遲。這可以藉由取消 M_3 來改善，因而形成了圖 4-4 之組態，稱之為 *Clocking Pseudo-NMOS Inverter*。

圖 4-5 為 $P-C^2MOS$ 邏輯與 *Clocking Pseudo-NMOS* 邏輯在 CLK 分別為 0 與 1 時之示意圖。當 CLK 為 0 時， M_2 操作在主動區(Active Region)，此時 *Clocking Pseudo-NMOS Inverter* 利用 NMOS 來執行邏輯函數(Logic Function)，而單一 PMOS 視為負載。 M_2 的閘極電位為接地，因此可得 $V_{SGp} = V_{DD}$ ，所以 M_2 恆為導通狀態。在直流特性方面，假設邏輯 0 輸入為 $V_{in} < V_{Tn}$ ，則 M_1 為關閉，且 M_2 為導通，因此輸出高態值 V_{OH} 為

$$V_{OH} = V_{DD} \quad (4-1)$$

假設 $V_{in} = V_{DD}$ ， M_1 為導通(非飽和區)，因此輸出節點有一對地之導通路徑。但不像一般標準之 CMOS 反相器， M_2 仍為導通狀態，這會阻止輸出到達 0 準位，而使輸出低態值 V_{OL} 取決於電晶體之寬長比值 (W/L)。根據電流關係式可得：

$$\frac{\beta_n}{2}[2(V_{DD} - V_{Tn})V_{OL} - V_{OL}^2] = \frac{\beta_p}{2}(V_{DD} - |V_{Tp}|)^2 \quad (4-2)$$

$$V_{OL} = (V_{DD} - V_{Tn}) - \sqrt{(V_{DD} - V_{Tn})^2 - \frac{\beta_p}{\beta_n}(V_{DD} - |V_{Tp}|)^2} \quad (4-3)$$

於是 V_{OL} 值由下式決定：

$$\frac{\beta_n}{\beta_p} = \frac{K_n (W/L)_n}{K_p (W/L)_p} \quad (4-4)$$

此種比例式關係使得在設計及佈局上產生了一個限制：由(4-3)式，若要得到一合理的反相器，則必須

$$\frac{\beta_n}{\beta_p} > \left[\frac{V_{DD} - |V_{Tp}|}{V_{DD} - V_{Tn}} \right]^2 \quad (4-5)$$

來確保(4-3)中根號項不會產生虛數，同時為得到一較小的 V_{OL} 值，需要 $\beta_n / \beta_p \gg 1$ ，因此可得下列設計方程式：

$$\frac{\beta_n}{\beta_p} = \frac{(V_{DD} - |V_{Tp}|)^2}{2(V_{DD} - V_{Tn})V_{OL} - V_{OL}^2} \quad (4-6)$$

根據式(4-6)，可以由設計之 V_{OL} 值得到最小的比值 β_n / β_p 。當 CLK 為邏輯 1 時， M_2 為關閉且 *Clocking Pseudo-NMOS Inverter* 與 $P-C^2MOS$ 邏輯有同樣的邏輯函數，因此 *Clocking Pseudo-NMOS Inverter* 可取代傳遞延遲較大的 $P-C^2MOS$ 級。

Clocking Pseudo-NMOS 邏輯是一種比例式邏輯，如果 W_p / W_n 之值太大，當 CLK 為邏輯 0 時，PMOS (M_2) 會使輸出接近 V_{DD} 。與 $P-C^2MOS$ 組態相較，*Clocking Pseudo-NMOS* 組態的節點電容約只有 $\frac{1}{3}$ ，所以 *Clocking Pseudo-NMOS* 組態的操作速度將會比 $P-C^2MOS$

組態快。

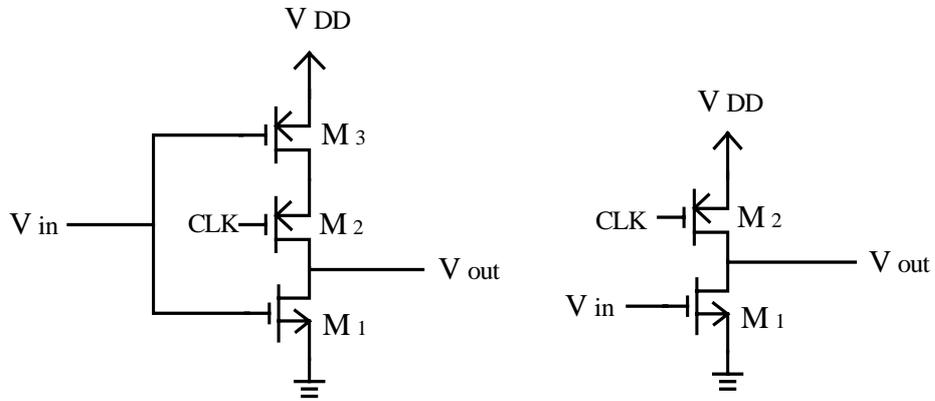


圖 4-4 $P-C^2MOS$ 邏輯組態

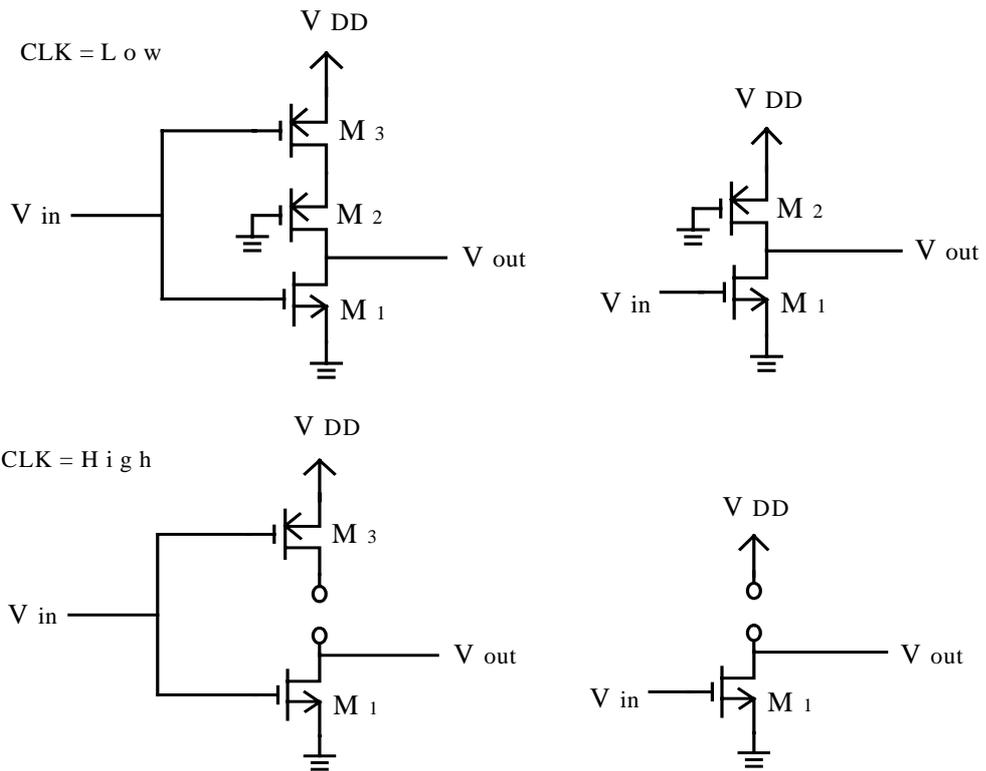


圖 4-5 $Clocking Pseudo-NMOS$ 反相器電路

另外一種類似 $Clocking Pseudo-NMOS$ 組態，由 $N-C^2MOS$ 組態

衍生而來的 *Clocking Pseudo-PMOS* 組態，其功能類似圖 4-5 所示。在邏輯函數上可以取代 $N-C^2MOS$ Inverter 而成為 *Clocking Pseudo-PMOS Inverter* 如圖 4-6 所示。但 *Pseudo-PMOS* 組態的驅動能力要比 *Pseudo-NMOS* 組態差得多，故一般都使用 *Pseudo-NMOS* 組態當做驅動級。

由上所述， C^2MOS Inverter 由 *Clocking Pseudo-CMOS Inverter* 取代後，可組成一新的 TSPC DFF 電路，如圖 4-7 所示。新的 TSPC DFF 電路可維持圖 4-3 之邏輯函數但只需 7 顆電晶體，可使電路更精簡。

不過，不像靜態(Static)DFF 電路，圖 4-7 之 DFF 會因漏電流(Leakage Current)而有操作頻率的限制，所以必須對造成延遲的驅動和負載電晶體在特定狀態時多加注意，以免成為電路操作速度的瓶頸。舉例來說，在圖 4-7 中節點 \bar{Q} 由邏輯 0→邏輯 1 時，節點 a 為預先充電態(Precharge Phase)，造成節點 b 經由 M_4 及 M_5 之放電路徑而由高態→低態，使節點 \bar{Q} 因 M_9 而改變狀態至邏輯 1，使輸出高態值 V_{OH} 接近但不等於 V_{DD} 。再考量輸出端驅動能力(Driving Capability)，則 *Pseudo-PMOS* 組態必須有較大的 PMOS；但將會導致有較大的閘極電容(Gate Capacitance)，而影響節點 b 之放電速度。

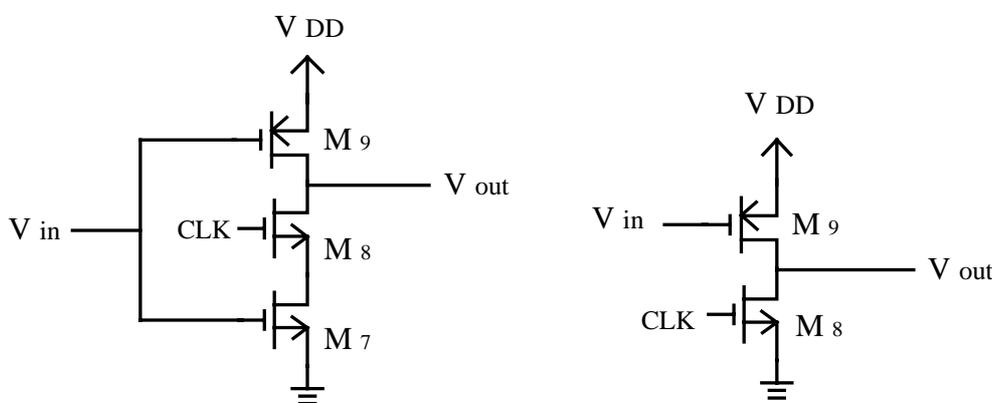


圖 4-6 $N-C^2MOS$ 反相器電路

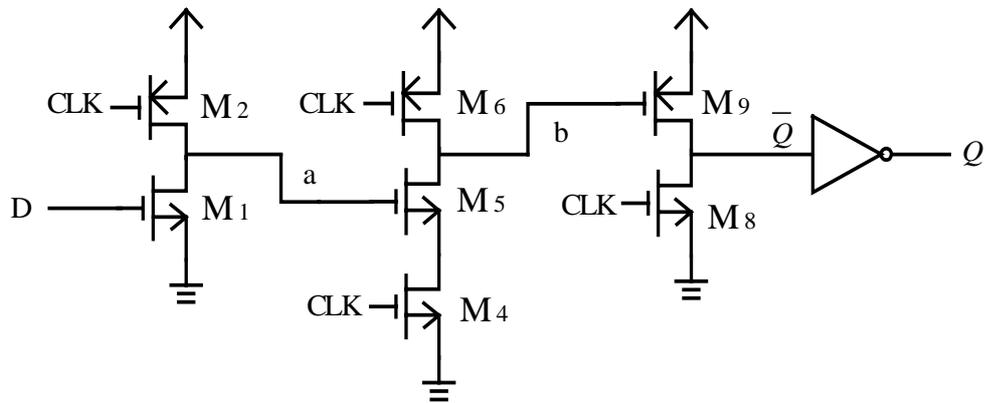


圖 4-7 新的 TSPC DFF 電路

為了增加輸出驅動能力同時降低由 *Pseudo-PMOS* 組態產生的電容效應，一由節點 \bar{a} 控制的 NMOS (M_0) 嵌入輸出級中，如圖 4-8 所示。透過節點 a 與外加的反相器，可使 M_0 在節點 a 為預先充電態時即關閉，因此節點 \bar{Q} 的放電路徑在 M_8 導通(於 Evaluation Mode 時)之前即可安全的切斷。與 *Pseudo-PMOS* 組態不同的是，輸出 (\bar{Q}) 可以達到最大擺幅(Full Swing)，因此驅動電晶體 M_9 的尺寸可減少同時電容效應也可降低。

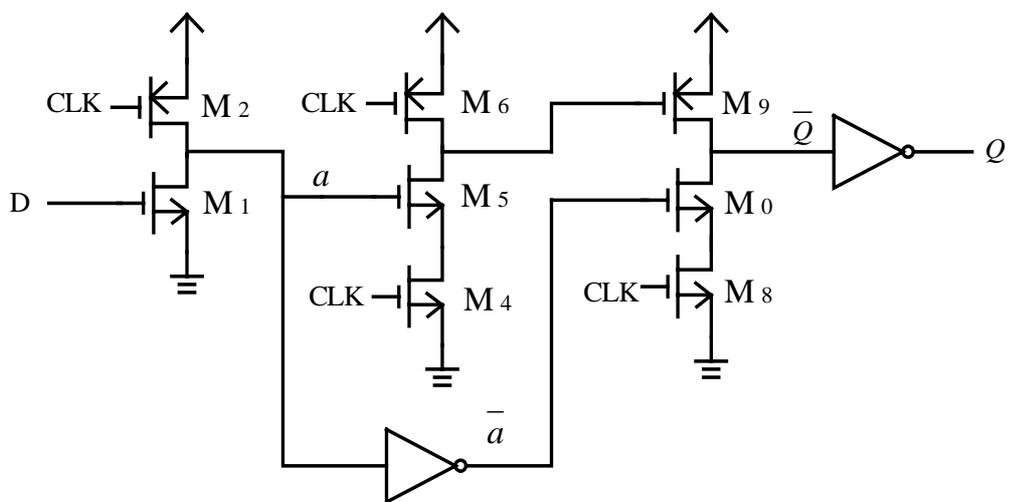


圖 4-8 改良之 TSPC DFF 電路

為了要將除頻電路中的邏輯延遲降至最低，所以在電路中應使用最小延遲的邏輯閘。在電路中同步的部份，傳遞延遲為邏輯方塊的連結(Combination Logic Block) t_{pdL} 、設定時間(Set Up Time) t_{suS} 、儲存元件(Storage element)的延遲時間 t_{pdS} 的總和，所以最大操作頻率為

$$f_{\max} = \frac{1}{t_{pdL} + (t_{suS} + t_{pdS})} \quad (4-7)$$

而此部份的設計目的為減少 t_{pdL} 、 t_{suS} 、 t_{pdS} 來提高操作速度。基於已提出的 TSPC DFF 及 *Pseudo-CMOS* 電路，NAND 閘與 DFF 邏輯可以結合在一起，以減少延遲，結合後的電路如圖 4-9 所示。圖 4-9 為一邏輯正反器(Logic Flip-Flop, LFF)，LFF 兼具了 NAND 閘與 DFF 之邏輯函數，且可讓 DFF 和 NAND 電路的各別延遲彼此分攤而使兩者之傳遞延遲總合減少。

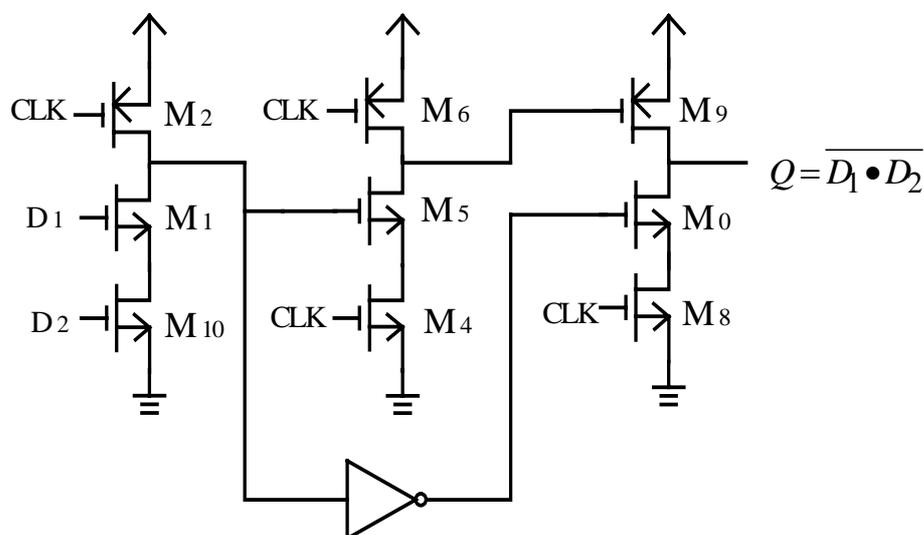


圖 4-9 邏輯正反器電路

最後，同步計數器之 HSPICE 模擬結果與整個除頻器電路佈局(Layout)圖示於下。

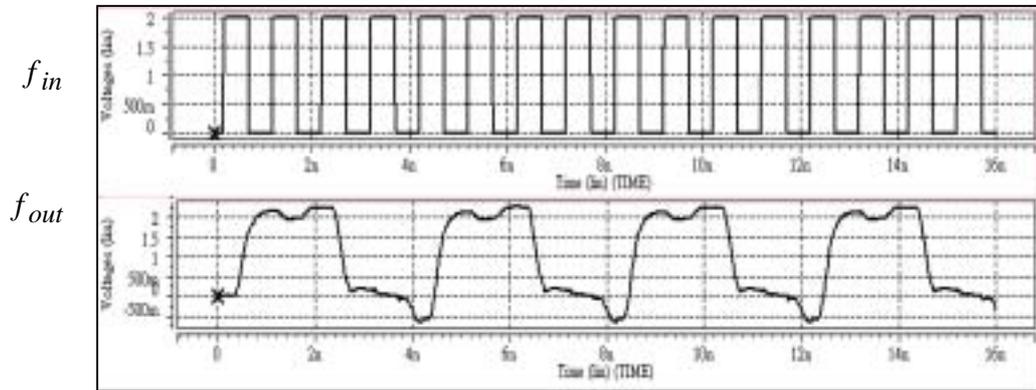


圖 4-10 同步計數器模擬 ($f_{out} = \frac{1}{4} f_{in}$)

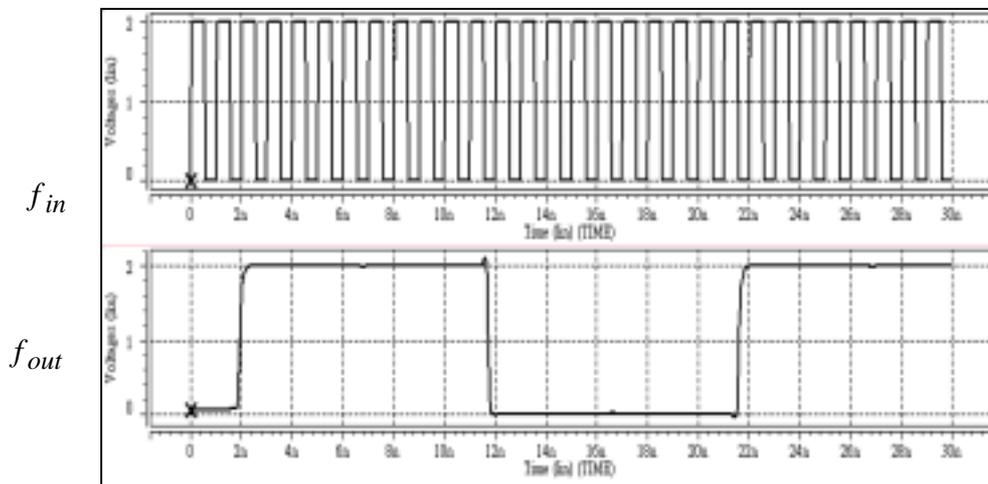


圖 4-11 除頻器電路模擬 ($f_{out} = \frac{1}{16} f_{in}$)

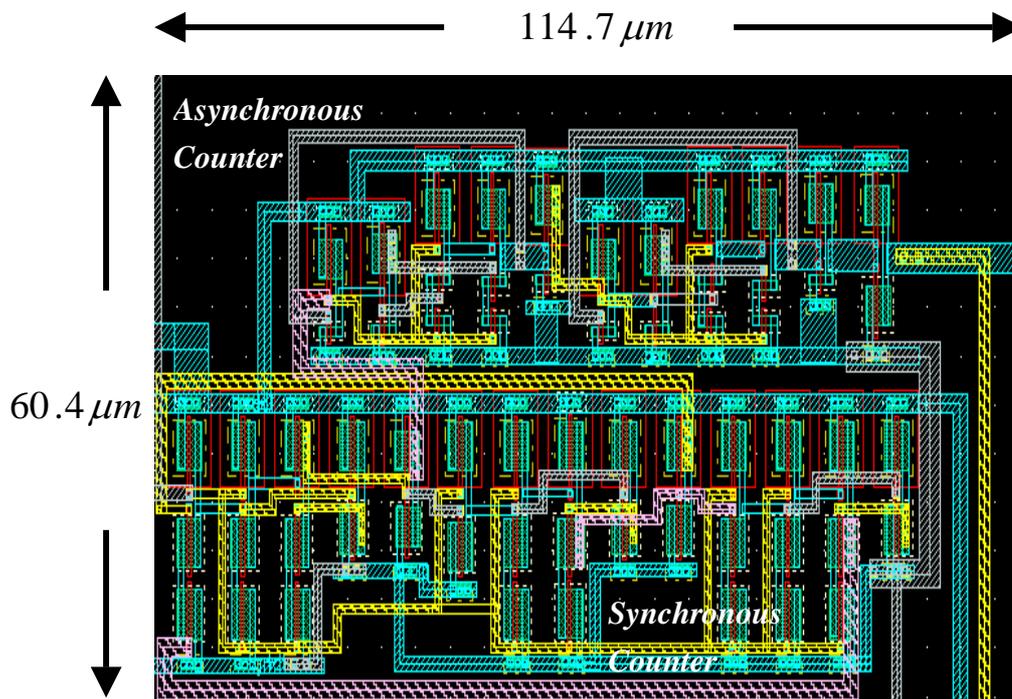


圖 4-12 除頻器電路佈局

4-2 相位頻率偵測器

在本節中，將討論 PFD 電路以及相關的特性，並介紹一種修正過後之 PFD 電路架構和模擬結果。

4-2-1 傳統相位偵測器

在早期的鎖相迴路中，使用互斥或閘(Exclusive-OR)做為相位偵測器，其特性圖顯示於圖 4-13

互斥或閘相位偵測器在輸入信號正緣和負緣進來時皆會改變狀態，所以相位偵測的範圍只有 180° 且若信號的責任週期(Duty Cycle)不是 50% 的話，偵測範圍又將降低。

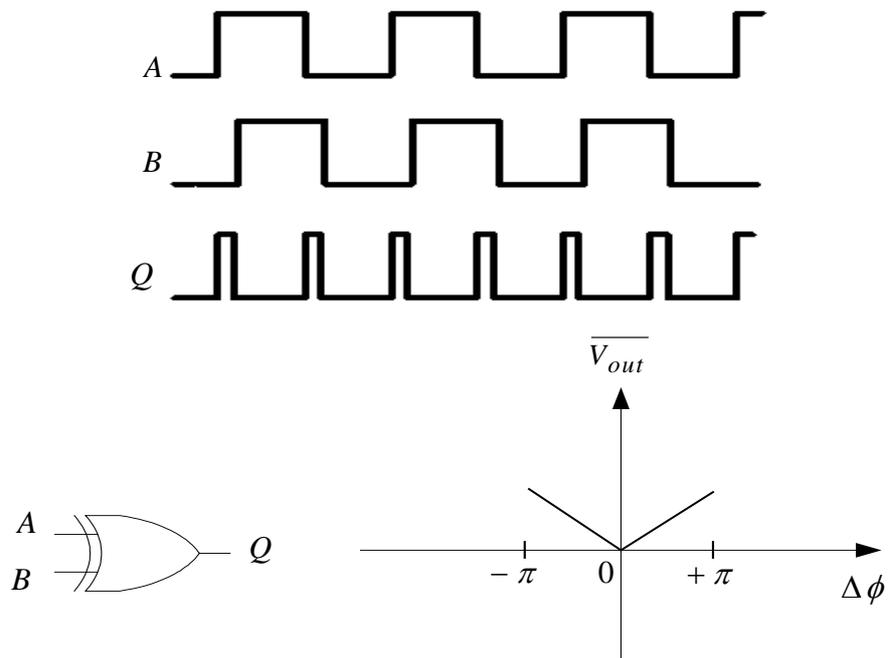


圖 4-13 XOR 相位偵測器與其特性圖

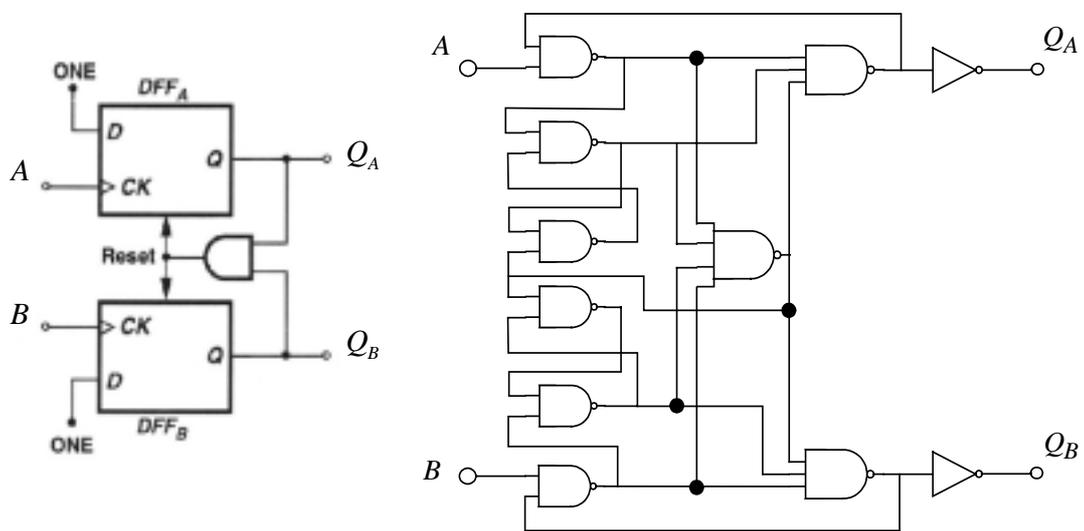


圖 4-14 三態相位頻率偵測器

在電荷幫浦鎖相迴路中，需要一個能夠實現三態(Three State)的循序(Sequential)相位偵測器，而常見的架構為 D 型正反器與一個 NAND 閘之組合，如圖 4-14 所示。三態的相位偵測器的偵測範圍為 $\pm 2\pi$ radians; 同時此種偵測器也可以偵測輸入頻率的差異，所以也可稱作為相位頻率偵測器。對鎖相迴路來說，能夠偵測兩個輸入信號(參考信號與振盪器回授信號)在初始時頻率的差異對於迴路鎖定是重要的。

循序之 PFD 不像互斥或閘相位偵測器，其產生的兩個輸出並不是互補的，如圖 4-15 所示，而詳細之操作模式已於第二章介紹過。然而，在圖 4-14 中的電路裡， Q_A 與 Q_B 不會同時為邏輯高態，且 $Q_A - Q_B$ 表示了 A 與 B 之間頻率或相位差的平均值。

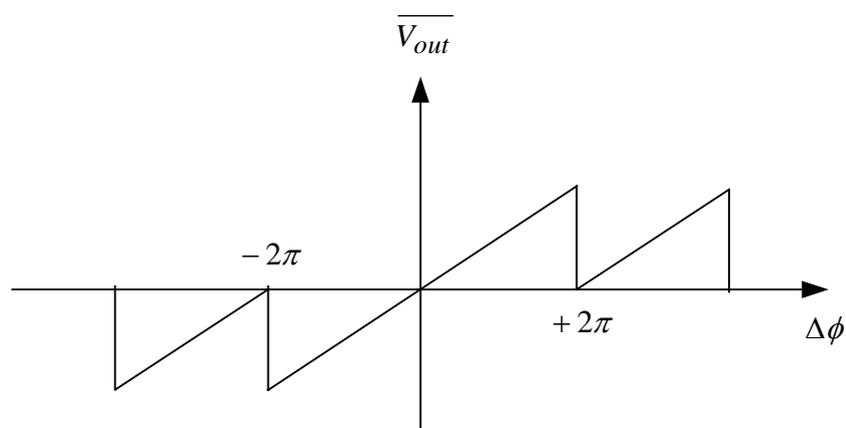


圖 4-15 循序 PFD 相位差與輸出之關係圖

4-2-2 死帶問題 (Dead-Zone Issue)

死帶(Dead-Zone)的定義為兩輸入訊號有相位差但無 PFD 輸出的相位差範圍，如圖 4-16 所示。在鎖相迴路中，死帶對於迴路的鎖定影響甚大：因死帶的存在，在兩個輸入信號相位差很小時，PFD 將會

產生一個非常窄的脈衝，此脈衝是無法使之後的電荷幫浦電路中電晶體導通，所以電荷幫浦不會產生任何輸出信號來改變 VCO 之振盪頻率，因此造成鎖定時有相位誤差，所以死帶是 PFD 電路一項重要的指標。死帶的產生是因為輸出負載的關係，PFD 之輸出信號需一段時間來改變狀態，若無足夠的時間來改變輸出狀態，PFD 之邏輯函數將無法實現。此種現象通常發生在兩個輸入信號的相位差太小，因而產生的輸出脈衝寬度小於所需的上升時間。所以若要 PFD 電路在小輸入相位差時依然能夠正確的動作，必需要適當的設計。

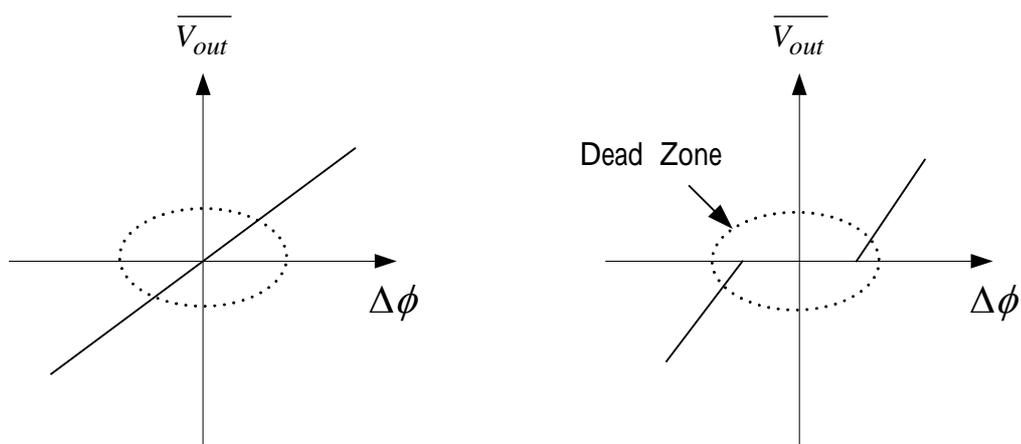


圖 4-16 PFD 死帶示意圖

為改善死帶的問題，可在電路中加入兩個反相器加以修正，如圖 4-17 所示。兩個外加的反相器使得輸出信號的重置(Reset)時間延遲，所以 Q_A 與 Q_B 會產生脈衝，甚至當兩輸入信號相位差為零時。此兩個脈衝夠寬而能夠使電荷幫浦電路導通，同時兩輸入信號的相位差值等於 Q_A 與 Q_B 脈衝之間的寬度差，如圖 4-18。

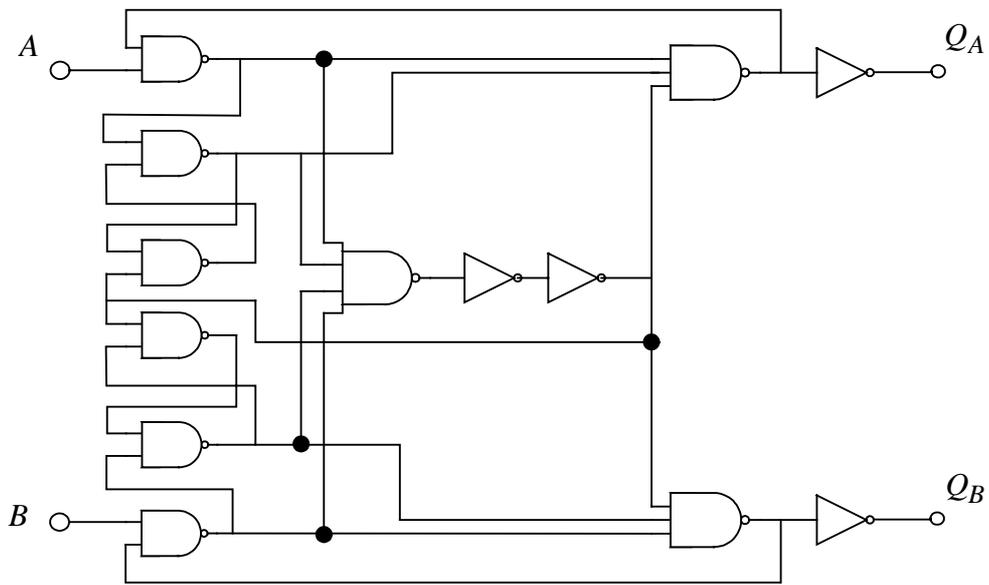


圖 4-17 加入反相器以改善死帶問題

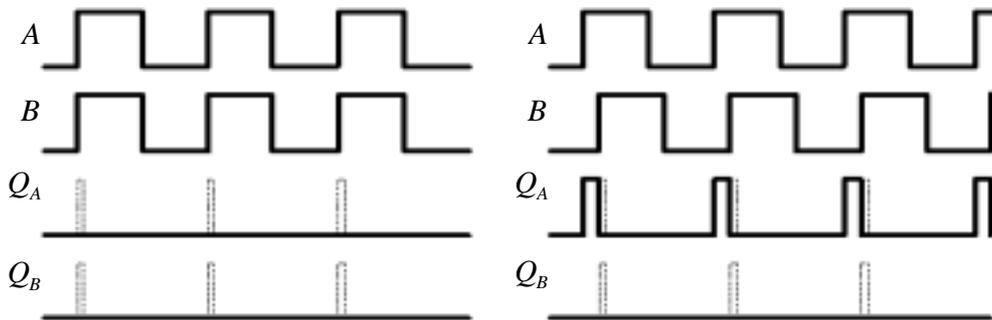


圖 4-18 改善死帶問題之 PFD 輸出波形

4-2-3 改良之 PFD 電路

近年來有關於減少 PFD 死帶問題的研究而提出新的改良架構，甚至有無死帶(Dead Zone Free)之 PFD 電路提出[22]。對傳統 PFD 電路

而言，主要的限制在於最大操作頻率與電路的重置脈衝寬度成反比，要克服這個問題，預先充電式(Precharge Type)的 PFD 架構被提出 [23]。但在[23]中的架構仍有 40ps 的死帶存在，故本節要介紹一種改良式的 PFD 電路，可以完全消除死帶，其架構圖如圖 4-19 所示[24]。

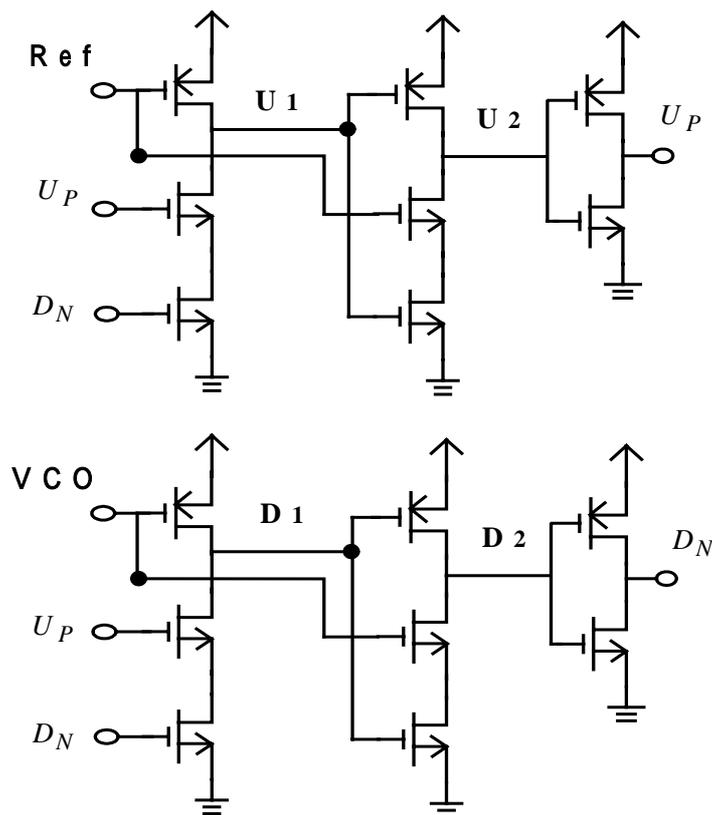


圖 4-19 改良式 PFD 電路

如圖，電路總共只用了 16 顆電晶體，較傳統式的架構精簡。在時序狀態方面：當 Ref 與 VCO 為邏輯 0，U1 和 D1 被預先充電至高態，在到達 Ref 的上升邊緣時，U2 被拉下至低態，因而產生了 U_P 脈衝。當到達 VCO 的上升邊緣時，D2 為放電，因而產生了 D_N 脈衝。當 U_P 與 D_N 皆產生的情況時，它們會將 U1 和 D1 拉下至低態，造成 U2 和 D2 走向高態，如此會使 U_P 與 D_N 消失。因此，兩輸入信號之

間的相位差等於 U_P 與 D_N 之間的相位差，如圖 4-20 所示。

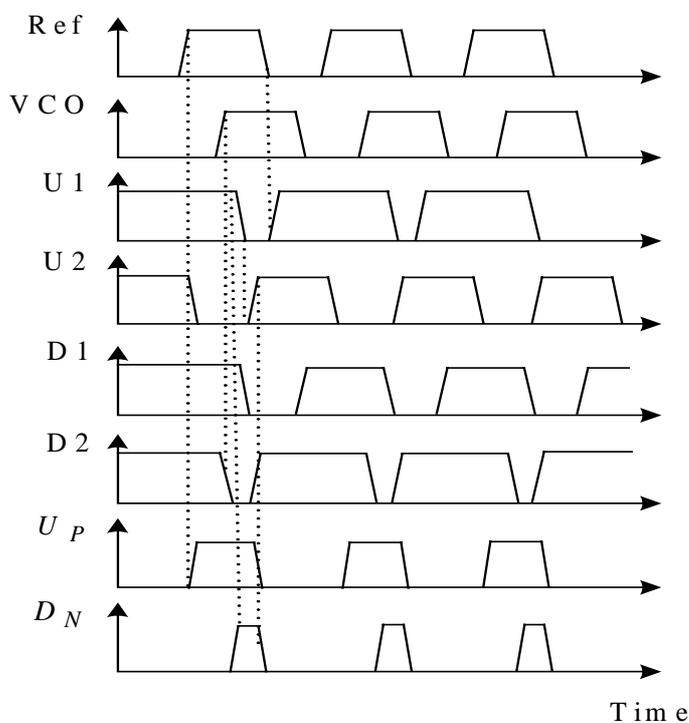


圖 4-20 改良式 PFD 之時序圖

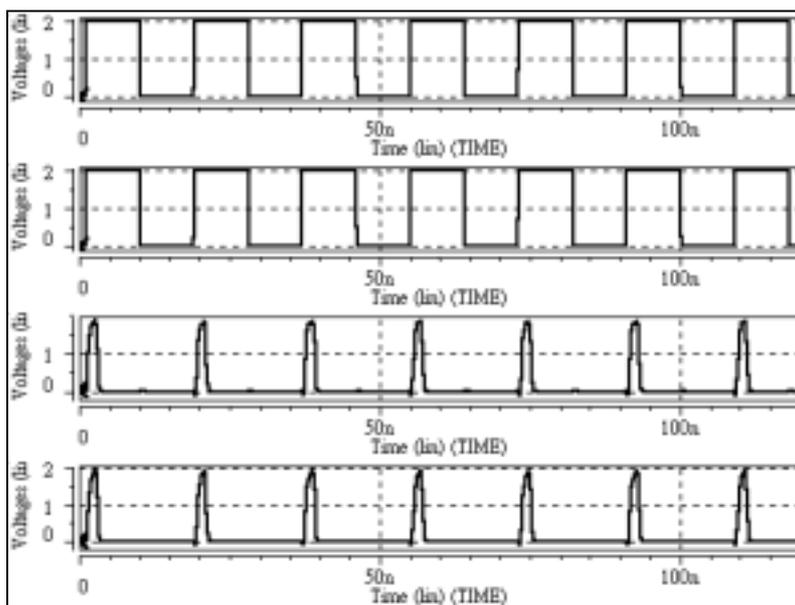


圖 4-21 PFD 無死帶之模擬

最後，關於 PFD 死帶之模擬顯示於圖 4-21，由圖可看出當 PFD 之兩輸入信號無相位差時，PFD 仍然有兩個小的輸出 U_P 與 D_N 脈衝，證明了圖 4-19 之電路可以完全消除死帶。

4-3 電荷幫浦

在本節中，將討論電荷幫浦電路及相關的特性，並介紹一種使用電流導引(Current Steering)技術之電荷幫浦。

4-3-1 電荷幫浦對 PLL 之影響

在鎖相迴路中，電荷幫浦的作用為藉由充電或放電的方式，來增加或減少在之後的迴路濾波器輸出電壓(VCO 控制電壓)，使 VCO 輸出頻率改變而調整 VCO 訊號的相位。傳統上，使用單端簡化的 MOS 開關電路與 MOS 電流源來實現電荷幫浦電路，圖 4-22 為一例子。

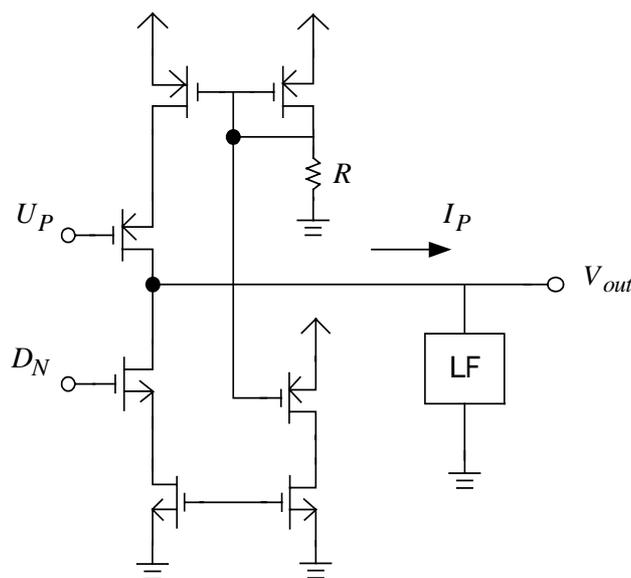


圖 4-22 傳統電荷幫浦電路

然而，由於 p 通道與 n 通道電晶體不匹配的特性，使得充電或放電的電荷不均等，造成了在平衡時迴路濾波器上的電壓誤差成份，因而增加了 PLL 鎖定時的相位雜訊。除此之外，電荷幫浦有“電荷分享”(Charge Sharing)的問題(圖 4-23)，會影響 PLL 的輸出相位。

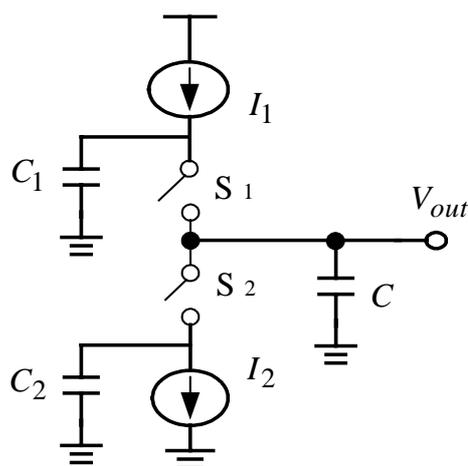


圖 4-23 電荷分享的問題

在圖 4-23 中，當開關 S_1 或 S_2 導通時，因寄生電容 C_1 或 C_2 上的電壓為 V_{DD} 或 V_{SS} ，會與迴路濾波器上的電容 C 的電壓做平衡方向上的電荷分享，因此造成了 PLL 的相位誤差。

另外，電荷幫浦會有時脈匯通(Clock Feedthrough)的問題而會對 PLL 造成相位誤差[25]，如圖 4-24 示意。時脈匯通的原因為當開關導通時，電晶體的閘極寄生電容 C_1 會與迴路濾波器的電容 C 發生電容耦合效應； C_1 會使輸出電壓 V_{out} 上升一個電壓值 ΔV_1 ， ΔV_1 與 C_1/C 成正比，因此當迴路濾波器電容 C 愈大，則時脈匯通的效應會降至最低。

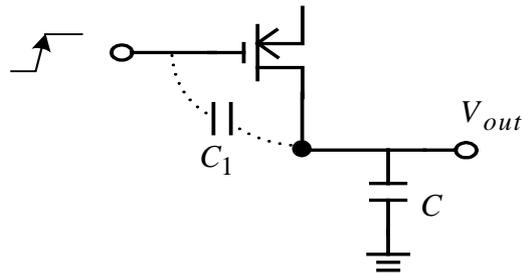


圖 4-24 時脈匯通效應

4-3-2 電流導引技術之電荷幫浦

有鑑於上節提到之電荷幫浦對 PLL 的影響，所以圖 4-22 的傳統電荷幫浦電路是不適用的。因此，本節要介紹一種使用電流導引技術 (Current Steering Techniques) 的差動式電荷幫浦[26]，可以改善時脈匯通效應，電路如圖 4-25 所示。

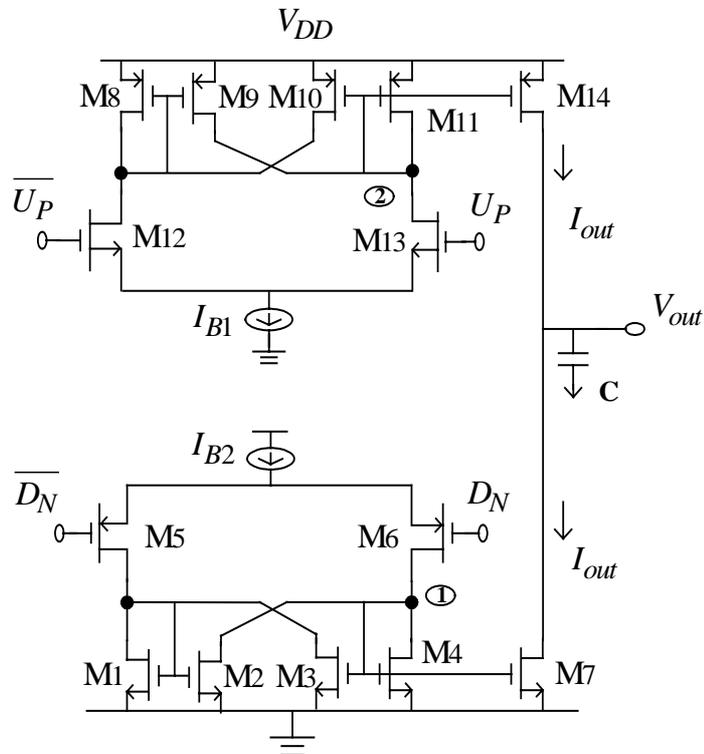


圖 4-25 電流導引技術之電荷幫浦電路

在圖 4-25 中， $M_1 \sim M_7$ 為電荷幫浦之放電部份、 $M_8 \sim M_{14}$ 為電荷幫浦之充電部份。此電路利用了差動之輸入對(M_5 、 M_6 與 M_{12} 、 M_{13})搭配 I_{B1} 及 I_{B2} 的使用，來對輸出端節點做充電或放電的切換：當 PFD 之 U_P 脈衝信號正緣輸入時， M_{13} 導通且 $\overline{U_P}$ 輸入使 M_{12} 關閉，此時 I_{B1} 之電流全部導引至 M_{13} ，並透過 M_{11} 與 M_{14} 將 I_{B1} 複製至輸出端，形成了充電電流，對輸出端節點充電。在充電的過程中，當 U_P 脈衝信號為 0 時，需使 M_{14} 快速關閉，否則輸出端節點將會一直被充電，而產生電位誤差。為避免前述的問題產生在電路中加入了 $M_8 \sim M_{10}$ ，可在 U_P 脈衝信號為 0 時將節點 2 之電位提升至靠近 V_{DD} ，而快速關閉 M_{14} 。同理， $M_1 \sim M_7$ 之放電部份的操作原理與充電相似，使整個電荷幫浦電路可達到快速充放電的效果，這樣可以減少迴路的鎖定時間。

對電荷幫浦電路而言，若迴路濾波器為接在晶片外(Off-Chip)，則應該謹慎的設計其充/放電電流大小，因考量 PAD 的寄生電容效應可能會造成嚴重的損失，所以電流值應至少大於 $100\mu\text{A}$ ，以免輸入於迴路濾波器的電流太小，合理的電流值範圍為 $100\mu\text{A} \sim 1\text{mA}$ 。

4-4 設計的電荷幫浦電路(Proposed CP Circuit)

根據上節提到之電流導引技術，除了可以應用在圖 4-25 中的電荷幫浦電路外，我們設計了一個較簡化架構之電荷幫浦電路，也可達到充電與放電的效果，電路圖如圖 4-26。

在圖 4-26 中，電路運作原理與圖 4-25 類似， $M_1 \sim M_4$ 與 M_{d1} 為電荷幫浦之充電部份， $M_5 \sim M_8$ 與 M_{d2} 為電荷幫浦之放電部份。在當 PFD 之 U_P 脈衝信號正緣輸入時， M_2 導通且 $\overline{U_P}$ 輸入使 M_1 關閉，此時 I_{B1} 之電流全部導引至 M_2 ，並透過 M_3 與 M_4 將 I_{B1} 複製至輸出端，

形成了充電電流，對輸出端節點充電。在充電的過程中，當 U_P 脈衝信號為 0 時，需使 M_4 快速關閉，否則輸出端節點將會一直被充電，而產生電位誤差。針對這個問題，在 2000 年由 Robert C.-H. Chang 提出了含微電位提升電路(Weak Pull-Up Circuit)之充電部份電路，如圖 4-27 所示[27]，藉由微電位提升電路(由 M_5 、 M_6 與電流源 I_S 組成)，可將節點 1 之電位在 U_P 脈衝信號為 0 時提升至靠近 V_{DD} ，而加速 M_4 之關閉，這樣可以縮短充電的時間。

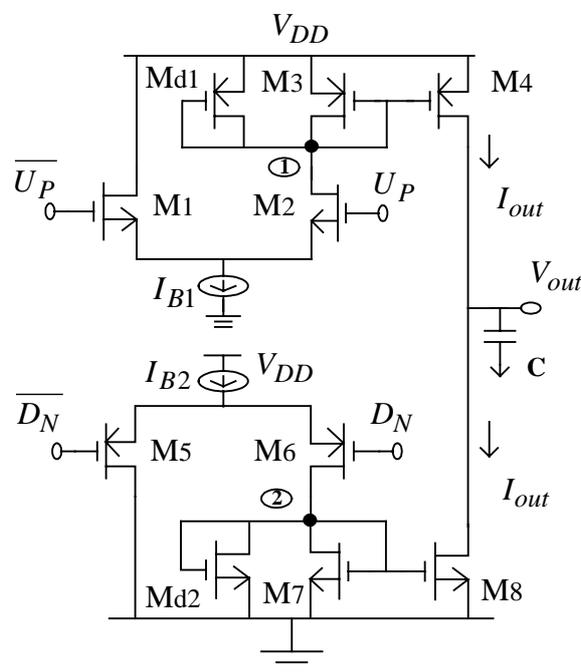


圖 4-26 設計的電荷幫浦電路

但是在圖 4-27 的電路中，由於使用了兩個電流源，若再加上相對之放電部份電路，會使整個電荷幫浦含有過多的電流源，增加了電路的複雜度，因此在微電位提升電路部分，我們使用了一顆二極體連接電晶體(M_{d5})去取代電流源的使用，利用二極體連接電晶體將節點 1 偏壓至靠近 V_{DD} 的電位，而使在 U_P 脈衝信號為 0 時加速 M_4 之關閉。此充電部份電路如圖 4-28 所示，而放電部份電路之原理與充電部份

相似，因此可降低整個電荷幫浦電路(圖 4-26)的複雜度。

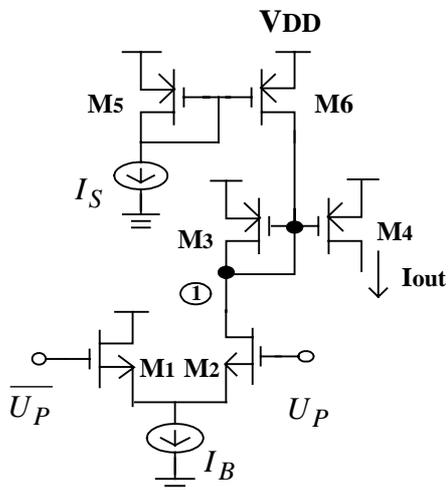


圖 4-27 由 Chang 提出之充電部份電路

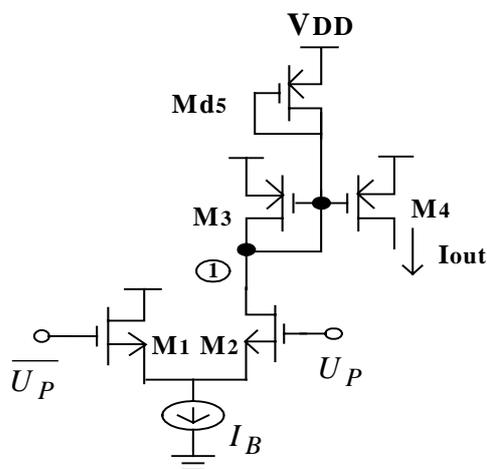


圖 4-28 設計的充電部份電路

最後，電荷幫浦在工作電壓 $2V_U$ 、 U_P 時脈訊號 125MHz 之輸入下，其充電與放電之模擬分別圖示於圖 4-29 與圖 4-30，可以看出此架構可以操作在 100MHz 的環境下。

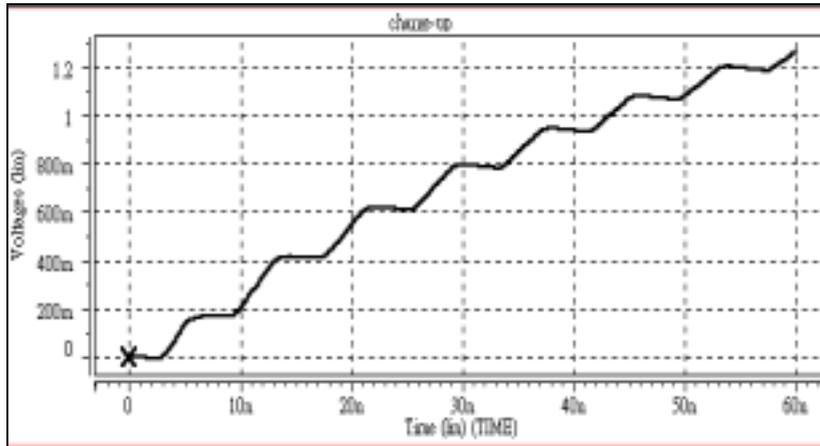


圖 4-29 設計電荷幫浦之充電模擬

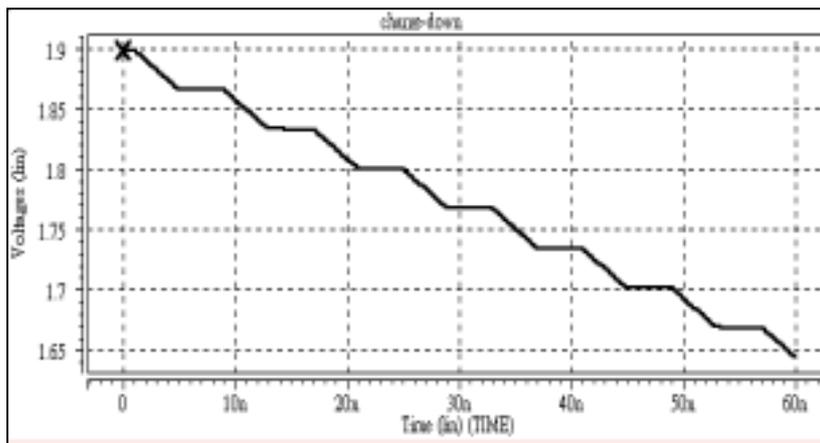


圖 4-30 設計電荷幫浦之放電模擬

4-5 迴路濾波器

在 2-2 節中介紹了 PLL 使用一階迴路濾波器的頻率響應，然而，在圖 2-10 中電荷幫浦驅動 R_p 和 C_p 之串聯組合，每一次電流被注入迴路濾波器，對 VCO 控制電壓而言，會產生一個大的跳動。甚至在

鎖定狀況下，因為 I_1 和 I_2 之間的不匹配、 S_1 和 S_2 之時脈饋入會在控制電壓中產生電壓跳動，此擾動會嚴重地影響 VCO，並破壞其輸出相位。為舒緩此問題，我們通常加入第二個電容 (C_S) 和 R_P 及 C_P 並聯，而形成二階迴路濾波器(如圖 4-31)，來改善鎖定時迴路濾波器上電壓跳動的情況，如圖 4-32 所示。

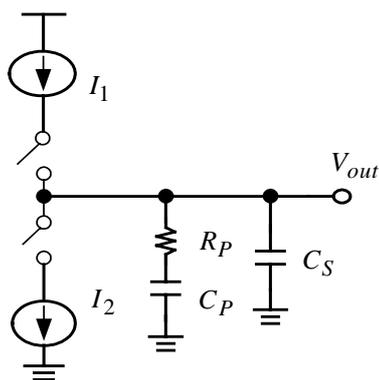


圖 4-31 二階迴路濾波器

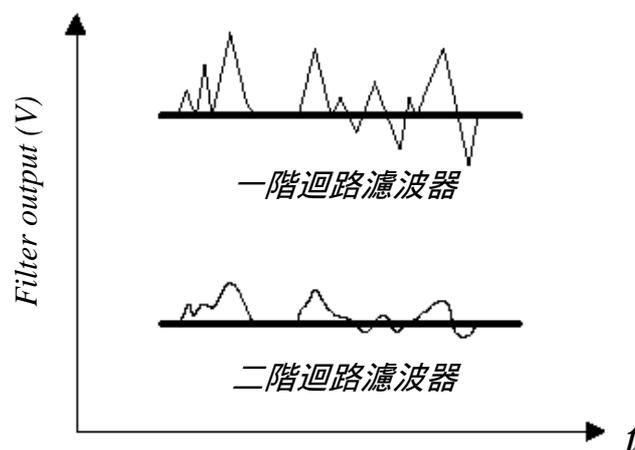


圖 4-32 鎖定時迴路濾波器輸出電壓上之跳動情形

對於使用二階迴路濾波器的 PLL 而言，我們稱之為三階 PLL。根據 2-2 節的理論，可以求得三階 PLL 的迴路增益為

$$L(s) = \frac{I_P \times K_{VCO} \times K_f (s + \omega_z)}{s^2 M \left(\frac{s}{\omega_{p1}} + 1 \right)} \quad (4-8)$$

$$\text{其中 } K_f = \frac{R_P C_P}{C_P + C_S}, \quad \omega_z = \frac{1}{R_P C_P}, \quad \omega_{p1} = \frac{1}{R_P} \times \frac{C_P + C_S}{C_P C_S} = \omega_z \left(\frac{C_P}{C_S} + 1 \right),$$

假設迴路頻寬 K 遠大於 ω_z 但遠小 ω_{p1} ，我們可用和式(2-15)相似的方法求得 K 為

$$L(s) = \frac{I_P \times K_{VCO} \times K_f (s + \omega_z)}{s^2 M \left(\frac{s}{\omega_{p1}} + 1 \right)} \approx \frac{I_P \times K_f \times K_{VCO}}{M} \times \frac{s}{s^2} = 1$$

$$\Rightarrow K \approx \frac{I_P \times K_{VCO} \times R_P}{M} \quad (4-9)$$

式(4-8)對應的波德圖顯示於圖 4-33，同時橫軸的刻度為對 K 做正規化(Normalized)後的結果：迴路增益的相位在直流時為 -180° ，而零點 ω_z 與極點 ω_{p1} 分別提供了相位偏移 $+90^\circ$ 與 -90° ，所以，為了穩定度的考量[28]，必需將迴路頻寬 K 置於 ω_z 與 ω_{p1} 之間。根據式(4-9)，可以求得相位邊限(Phase Margin, PM)為：

$$PM = \tan^{-1} \frac{K}{\omega_z} - \tan^{-1} \frac{K}{\omega_{p1}} \quad (4-10)$$

對一個 PLL 系統而言，要在任何除頻模數 M 的情況下皆有一幾乎不變的暫態響應， K 應該置放於 PM 隨 M 變動最少的頻率處，所以要滿足這樣的條件可以將式(4-10)對 K 微分且令其微分=0：

$$\frac{d}{dK} \left[\tan^{-1} \frac{K}{\omega_z} - \tan^{-1} \frac{K}{\omega_{p1}} \right] = \frac{\omega_z}{K^2 + \omega_z^2} - \frac{\omega_{p1}}{K^2 + \omega_{p1}^2} = 0$$

$$\Rightarrow K = \sqrt{\omega_z \times \omega_{p1}} \quad (4-11)$$

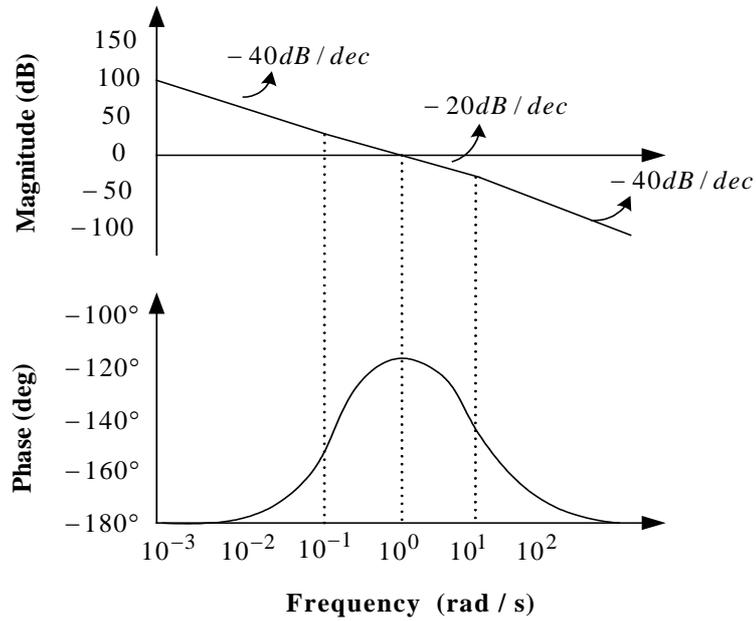


圖 4-33 三階 PLL 迴路增益波德圖

式(4-10)的結果表示若 K 為零點 ω_z 與極點 ω_{p1} 的幾何平均數，則 PM 將會最大。因此，我們可以定義一個新的參數 γ ，其值為：

$$\gamma = \frac{K}{\omega_z} = \frac{\omega_{p1}}{K} \quad (4-12)$$

而 γ 與 PM 之間的關係列於表 4-1

表 4-1 γ 與 PM 之關係表

PM	0°	36.9°	53.1°	61.9°	67.4°	71°
γ	1	2	3	4	5	6

由 $\omega_{p1} = \omega_z \left(\frac{C_P}{C_S} + 1 \right)$ 及式(4-11)，可求得 C_P 與 C_S 之比例關係為

$$\frac{C_P}{C_S} = \gamma^2 - 1 \quad (4 - 13)$$

最後，由式(4-12)與式(4-8)，可將迴路頻寬 K 表示為 γ 的函數：

$$K = \frac{I_P \times K_{VCO} \times R_P}{M} \left(1 - \frac{1}{\gamma^2} \right) \quad (4 - 14)$$

在本論文中，由於是使用晶片上二階迴路濾波器，故電荷幫浦電流之選擇為 50 μ A。最後，根據 4-5 節所述並選擇 $\gamma=6$ ，可將設計之迴路濾波器電容電阻值及相關的參數列於表 4-2。

表 4-2 迴路濾波器相關參數表

R_P	C_P	C_S	K	ω_z	ω_{p1}	PM
3840 Ω	130.2 pf	3.72 pf	1.91MHz	0.32MHz	11.46MHz	71°

第五章

模擬結果、晶片佈局與結論

前面幾章分別詳細介紹本論文電路部份之原理及設計概念，本章將要針對系統模擬結果(佈局前和佈局後)與晶片佈局做一說明。最後，是本論文的結論。

5-1 模擬結果

關於論文之 PLL 模擬，主要是以 HSPICE 模擬軟體完成，使用的模型(Model)為 CIC 所提供的 TSMC 0.35 μ m 1P4M BSIM3v3 SPICE model，其結果分為幾個部份，下面就分別討論。

5-1-1 相位頻率偵測器與電荷幫浦

對於在 PLL 中的 PFD 與 CP，主要觀察的是當參考訊號與 VCO 訊號有相位差時其充電或放電情形是否正確 充電和放電電流大小是否一致，這樣才能確保 PLL 的運作。模擬結果顯示於圖 5-1~圖 5-4。

由圖 5-1 與圖 5-2 可知：在參考訊號領先 VCO 訊號時，電荷幫浦產生一輸出充電電流訊號，目的為使迴路濾波器輸出電壓上升，來調整 VCO 的振盪頻率，使 VCO 振盪頻率增高，趕上落後的相位。同理可得參考訊號落後 VCO 訊號時之情況。另外，為確保 PLL 在達到鎖定之前，迴路的響應皆在符合穩定度的條件之下，因此需使充電或放電的過程中維持同樣的電流。由於迴路濾波器是直接於晶片上製

作，故最後選擇電荷幫浦的電流值大小約為 $50\mu\text{A}$ ，其模擬結果顯示於圖 5-3 與圖 5-4。

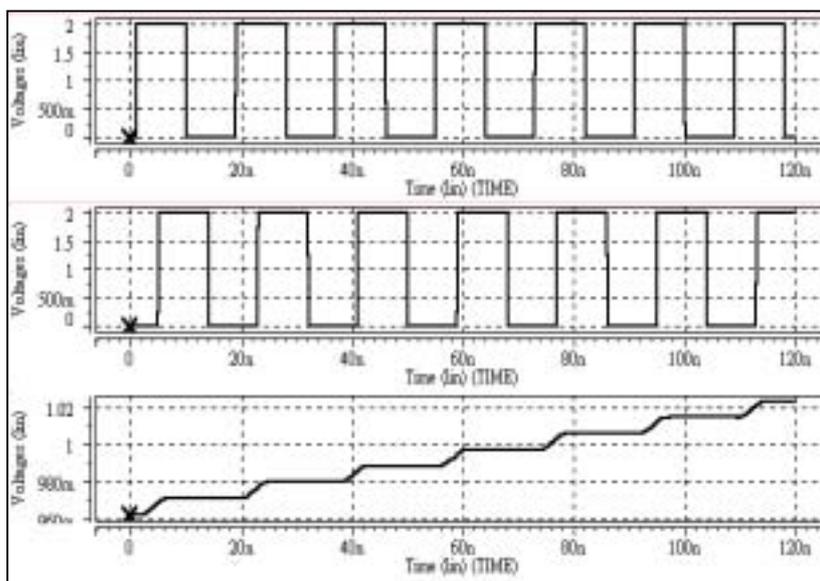


圖 5-1 參考訊號領先 VCO 訊號之充電情況(佈局前)

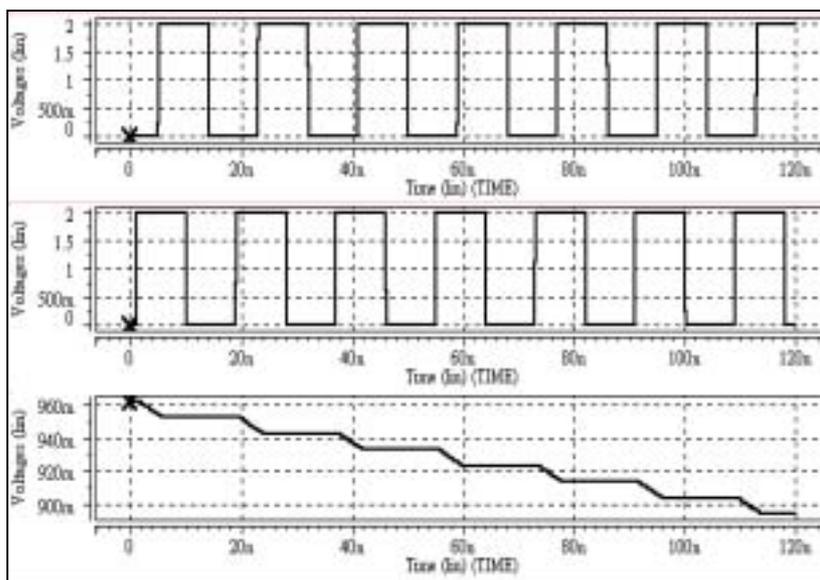


圖 5-2 參考訊號落後 VCO 訊號之放電情況(佈局前)

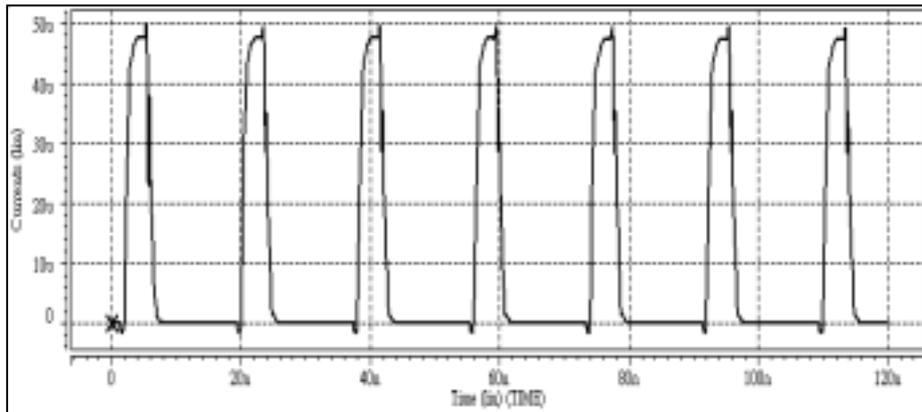


圖 5-3 充電時之充電電流(50 μ A) (佈局前)

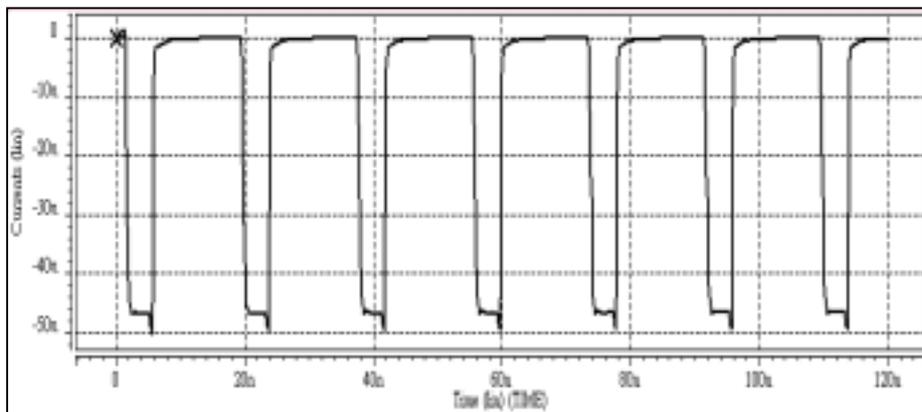


圖 5-4 放電時之放電電流(50 μ A) (佈局前)

5-1-2 壓控振盪器與除頻器

除頻器在 PLL 電路中是屬於高頻的部份，因 VCO 輸出訊號頻率為高頻，所以要觀察除頻器在承受這麼高的頻率下是否可以正確的除頻，模擬結果如圖 5-5，採用的模式(Modulus)為 1/16。

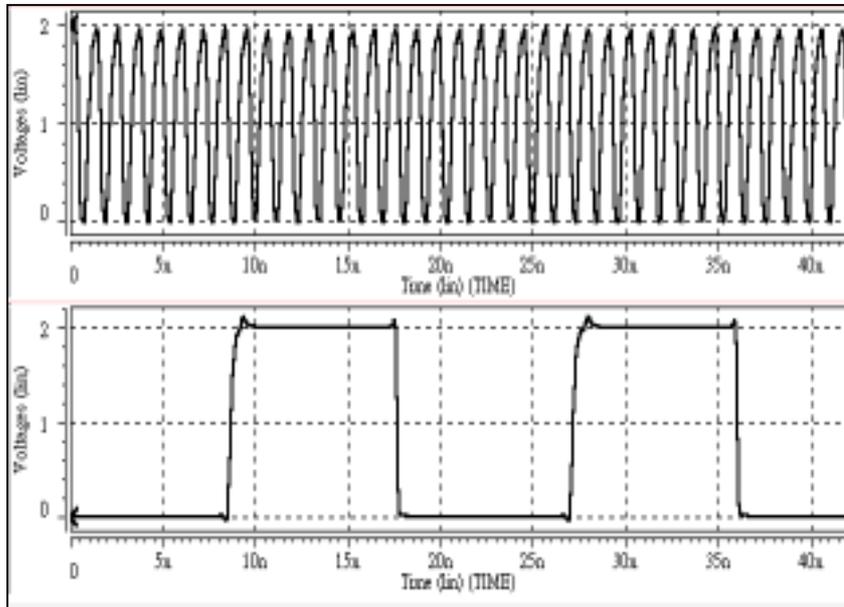


圖 5-5 VCO 與除頻器之輸出波形(佈局前)

5-1-3 PLL 閉迴路模擬

在確定各個子電路的運作狀況正確之後，接下來我們對整個 PLL 做閉迴路模擬，以了解整個 PLL 之鎖定情形，如圖 5-6 與圖 5-7 所示。

圖 5-6 顯示了當 PLL 啟動至鎖定，其過程中迴路濾波器上的輸出至 VCO 控制電壓隨時間變化之情形，可看出約在 $1.85\mu\text{sec}$ 時趨於穩定，此時迴路達鎖定狀態。另外，由 VCO 經過除頻器的迴授信號(虛線)與輸入的參考脈波(實線)的比對，可看出在 $1.85\mu\text{sec}$ 後迴路將迴授訊號與參考訊號鎖定在同相位，結果顯示於圖 5-7。

在佈局後模擬(Post-Simulation)方面，我們將電路佈局後用 LPE 把電路的雜散電容與寄生電容值粹取出來再帶入 HSPICE 模擬整個迴路的鎖定情形，結果顯示於圖 5-8 及圖 5-9:

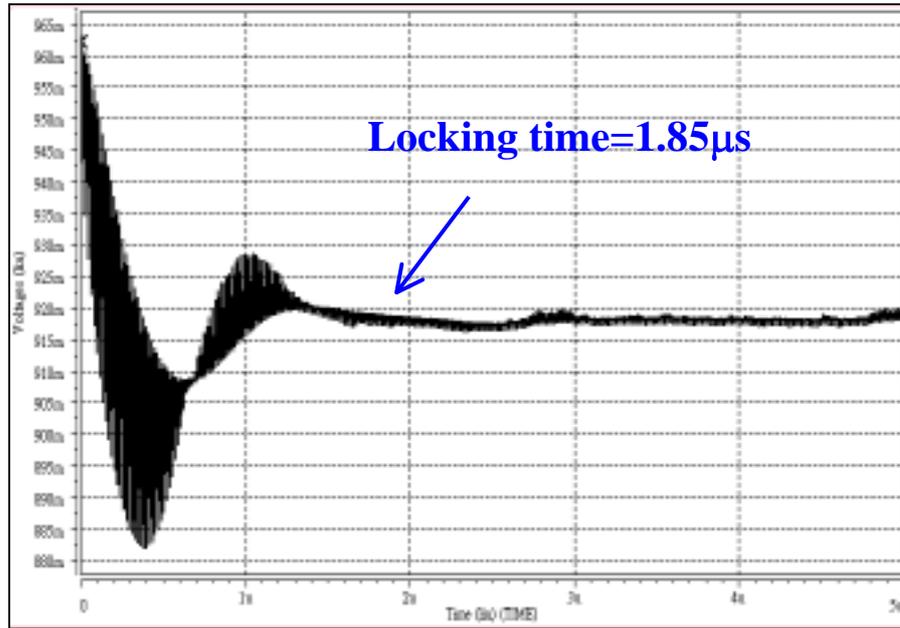


圖 5-6 迴路濾波器輸出電壓(佈局前)

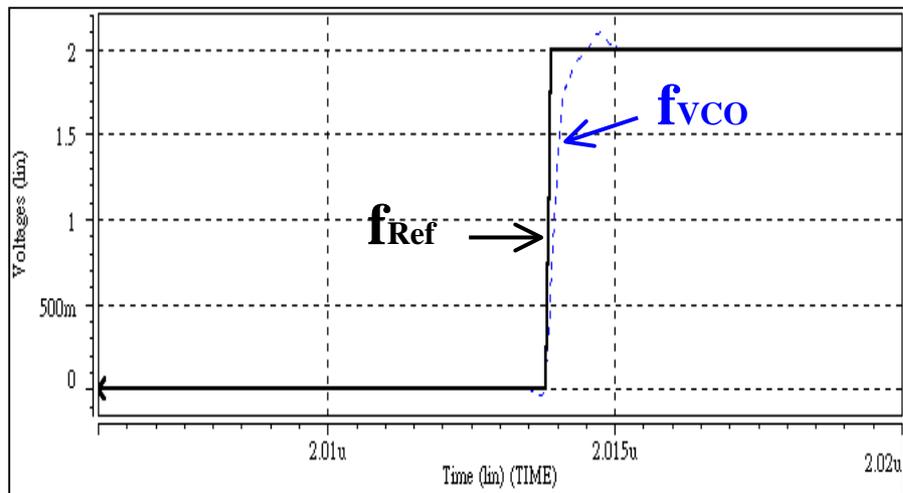


圖 5-7 鎖相迴路輸出抖動模擬(佈局前)

由於雜散電容及寄生電容對電路的影響，使得佈局後的鎖定頻率發生偏移並且使得輸出抖動增加，由圖 5-8 得鎖定時間為 $3.26\mu\text{sec}$ ；由圖 5-9 得佈局後模擬輸出抖動為 280ps 。功率消耗為 14.1mW 、鎖定輸出頻率約為 980MHz 。

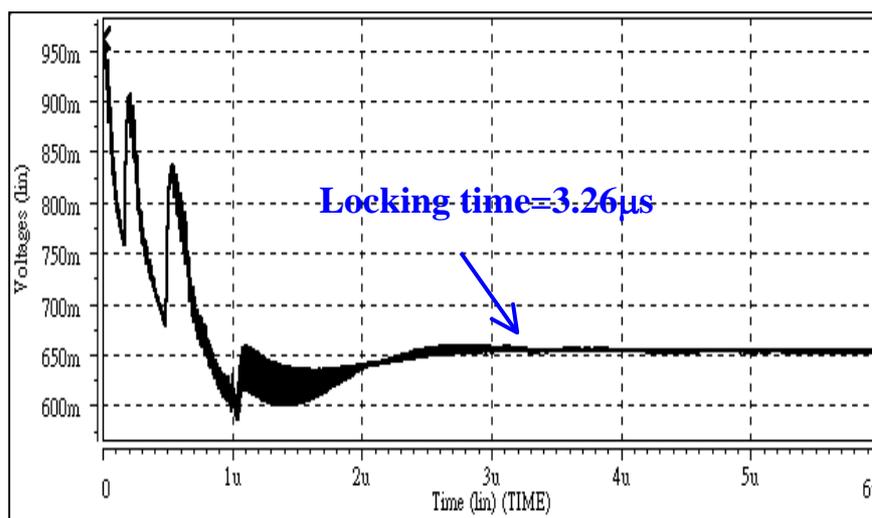


圖 5-8 迴路濾波器輸出電壓(佈局後)

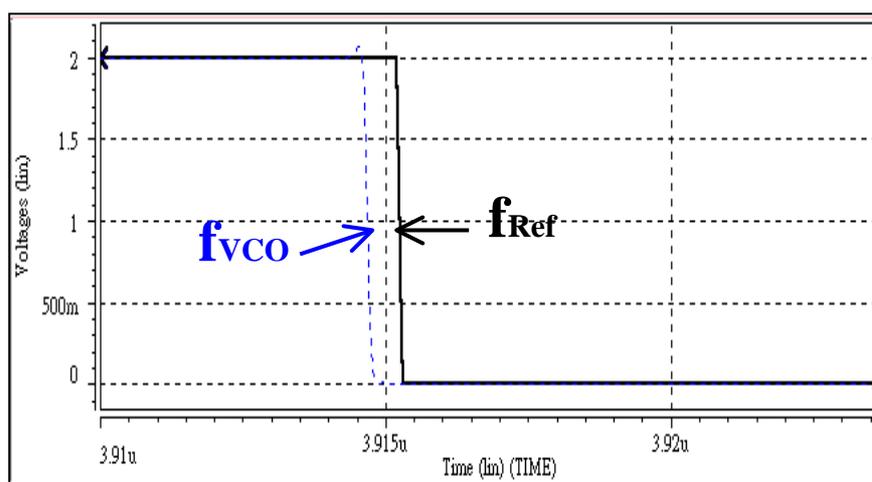


圖 5-9 鎖相迴路輸出抖動模擬(佈局後)

5-1-4 設計的 PLL 模擬

在鎖相迴路中，除了使用圖 4-25 的電荷幫浦電路外，在相同的除頻器、相位頻率偵測器電路之下，我們另外使用了圖 4-26 設計的電荷幫浦電路構成鎖相迴路，並用 HSPICE 去模擬迴路之鎖定情形，其結果顯示於圖 5-10 及圖 5-11:

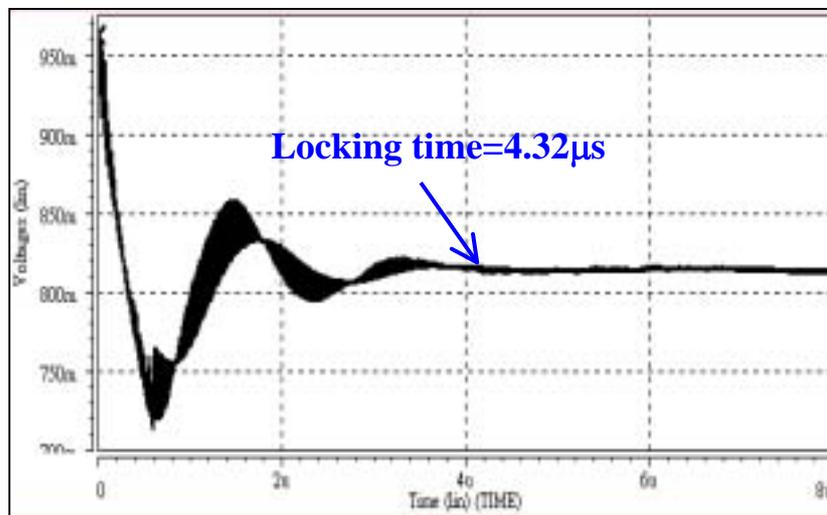


圖 5-10 設計的 PLL 鎖定模擬

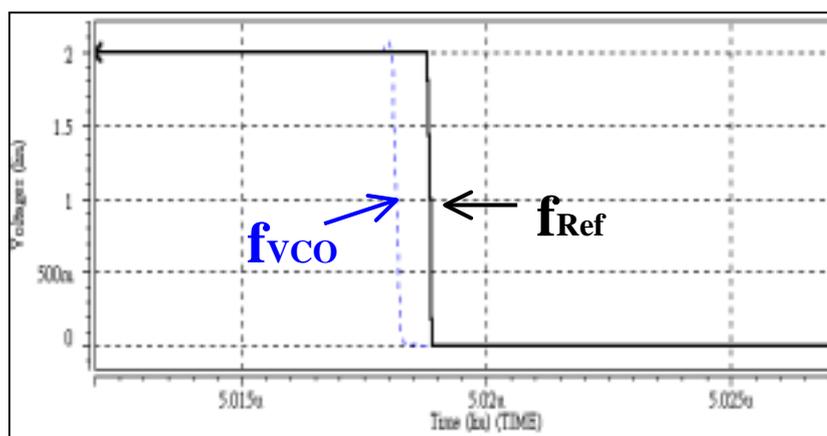


圖 5-11 設計的 PLL 輸出抖動模擬

由圖 5-10 得到設計之 PLL 鎖定時間為 $4.32\mu\text{sec}$ ，並由圖 5-11 得到設計之 PLL 輸出抖動為 320ps 。鎖定時輸出頻率約為 950MHz 。

在設計的 PLL 架構上，由於設計的電荷幫浦電路使用二極體連接電晶體(圖 4-26 中 M_{d1} 、 M_{d2})當做微電位提升電路，雖然可使電荷幫浦電路架構較簡單，但相對會使電路的雜訊增加，使迴路的輸出抖動增大，這是未來在設計上應注意的地方。

5-2 晶片佈局

本節要介紹在論文中電路的佈局情況，包括了主動元件與被動元件兩個部份。使用的製程為 TSMC $0.35\mu\text{m}$ 1p4m Logic Silicide 製程

5-2-1 主動元件

在論文中電晶體設計上採用的 W/L 值相對上較大了一點，故在電路佈局時為有效節省晶片面積且為使電晶體的佈局位置選擇上能夠更彈性，因此電晶體採用多指狀(Multi-Finger)的形式，如圖 5-12 所示。

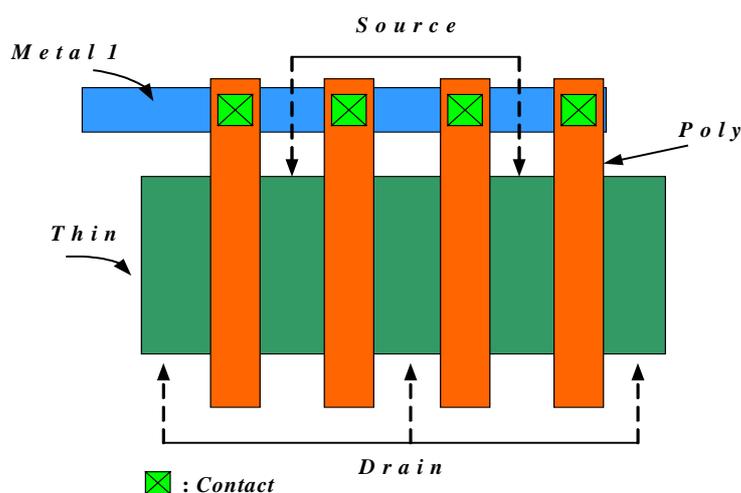


圖 5-12 多指狀電晶體佈局圖

除此之外，若在電路中有遇到共源組態電路的設計，在佈局上也可將多指狀的佈局方式加以應用，如圖 5-13 所示；若 M_1 與 M_2 有相同 W/L 值，則圖 5-9 的佈局方式較 M_1 、 M_2 各別佈局約節省了晶片面積 50%。

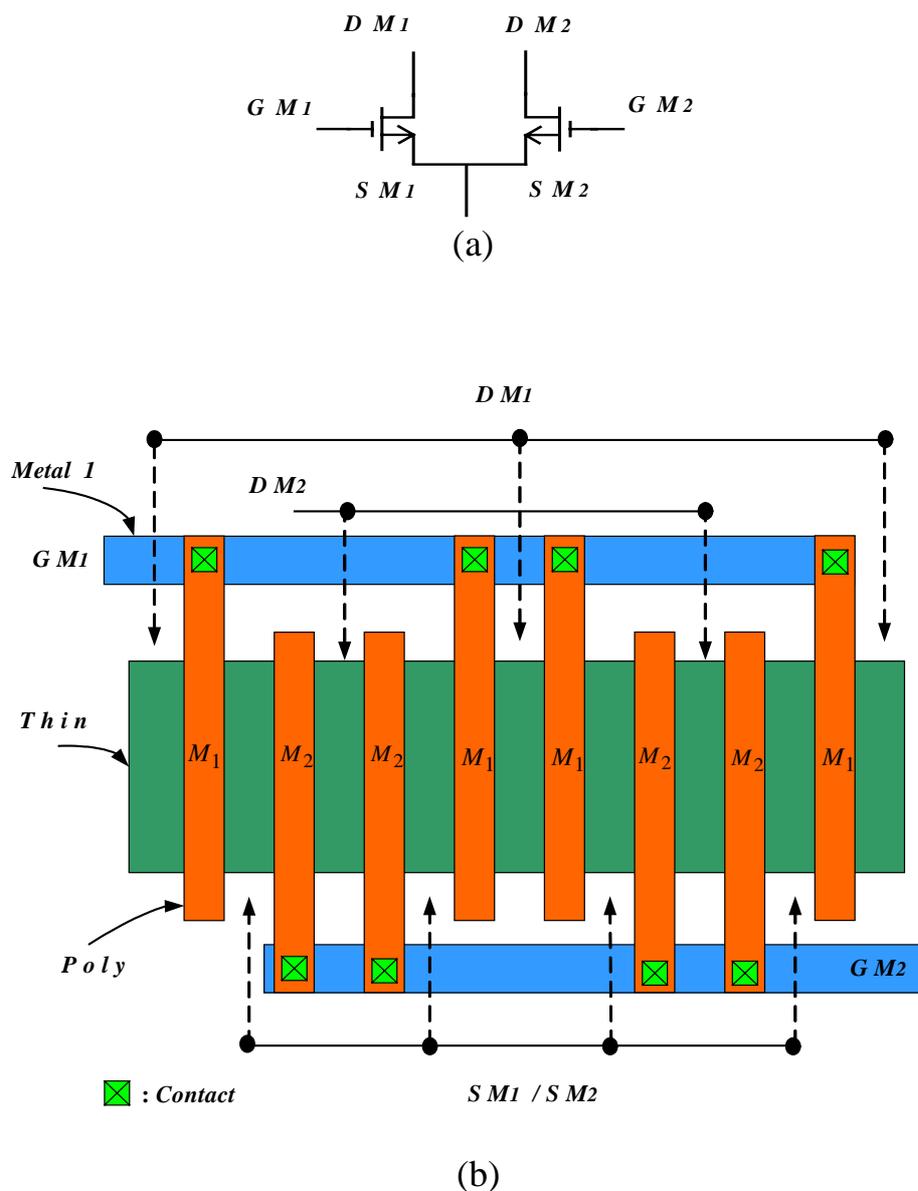


圖 5-13 共源組態 (a)電路圖 (b)佈局圖

5-2-2 被動元件

在晶片上的被動元件部份，主要為電容與電阻。對 TSMC 0.35 μm 1P4M Logic Silicide 製程而言，並無完整的電容模型可供設計者直接使用，因此用金屬層來實現電容，又考量到 PLL 之迴路濾波器的電容值較一般濾波電路大，故使用 Metal 1~Metal 4 之交互堆疊的方式來達到所需之大電容值，如圖 5-14 所示。

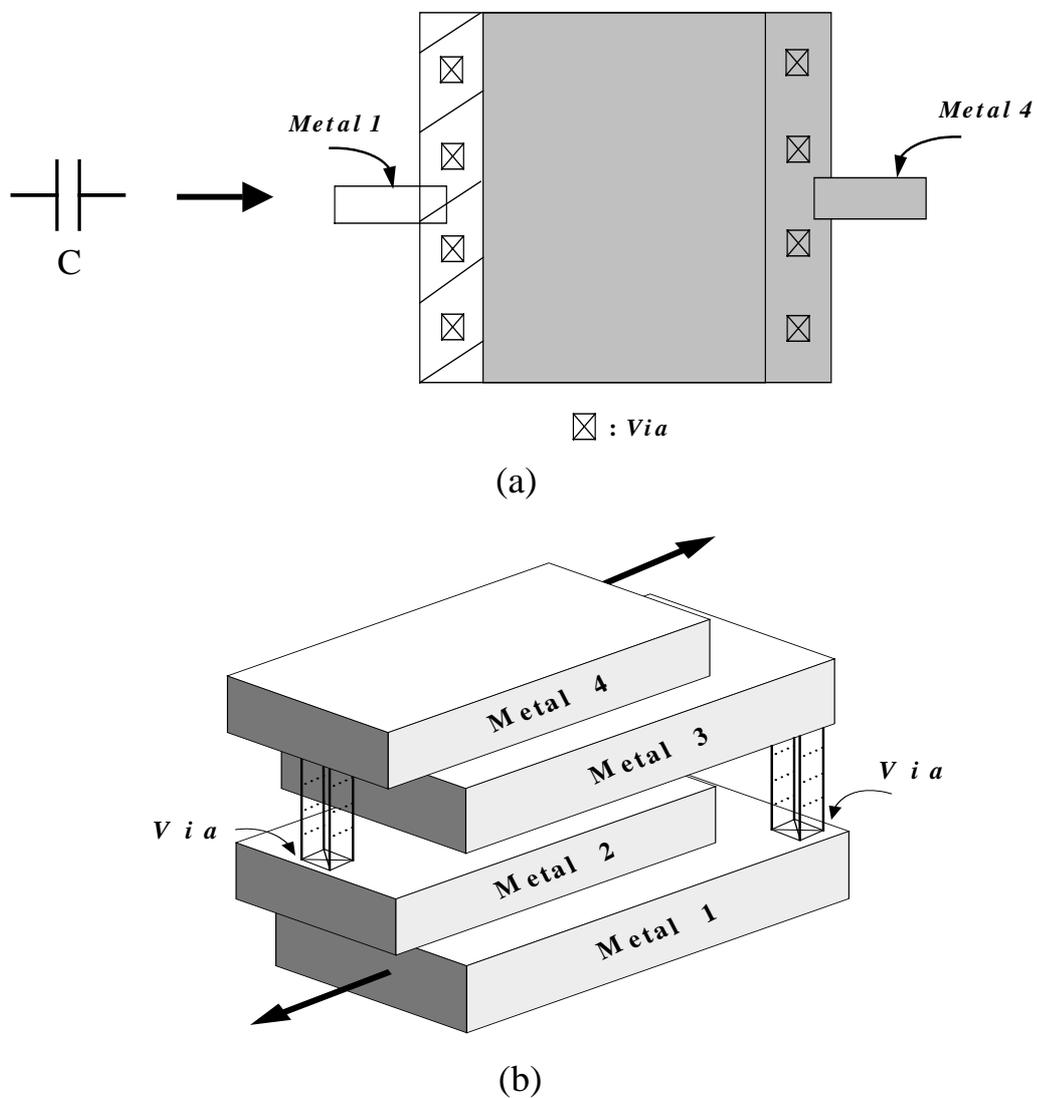


圖 5-14 電容佈局圖 (a)平面圖 (b)立體圖

在迴路濾波器中的另一被動元件為電阻，在佈局上是使用 Poly 材質來實現，設計者可用式 $R = 2R_{cont} + (W/L)R_{sq}$ (R_{cont} 為 Contact 之電阻值， R_{sq} 為 Poly 材質之單位面積電阻值) 來估計為符合設計的電阻值所相對需要的面積，並可用圖 5-15 所示的連接方式來達成。

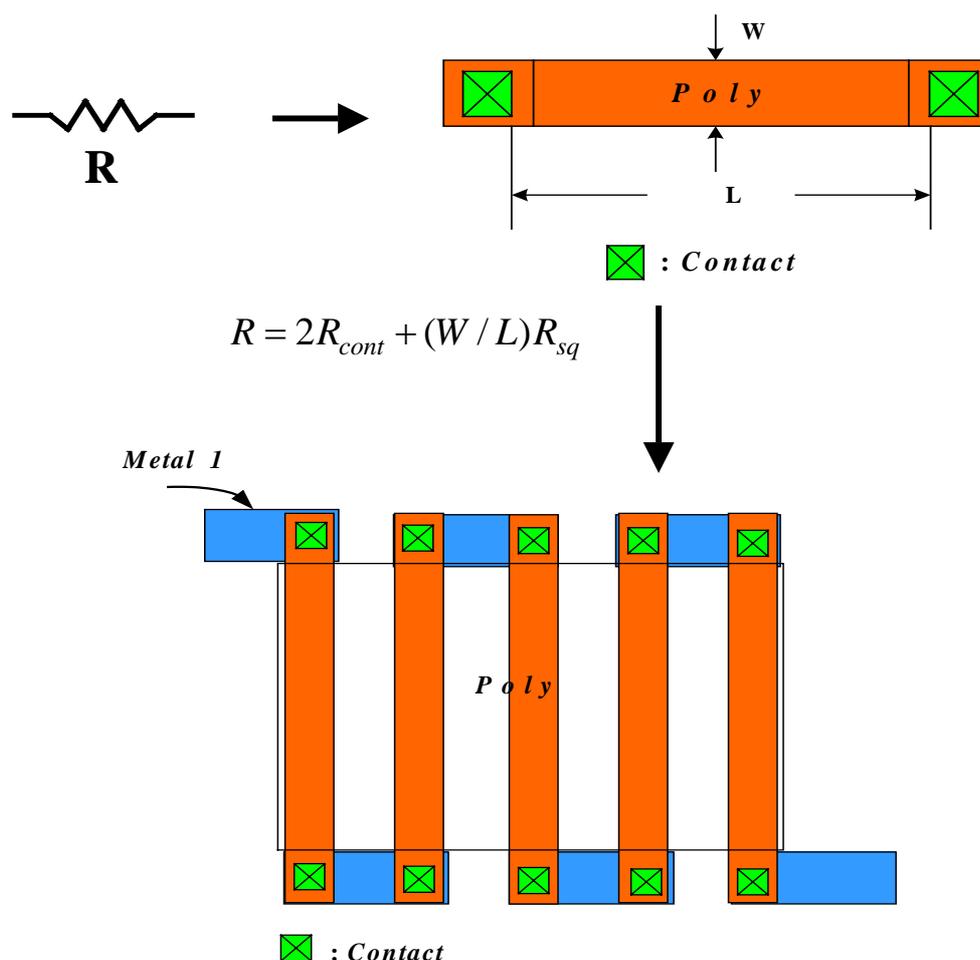


圖 5-15 電阻佈局圖

最後，依照上述的佈局方式來完成整個 PLL 晶片佈局，各個子電路相對位置顯示於圖 5-16。其中，為使除頻器與 VCO 之間不會因連線而有雜訊互相干擾之情況，在兩個電路之間加入了緩衝器。整個晶片佈局平面圖如圖 5-17，面積為 $1688 \times 1656 \mu\text{m}^2$ 。

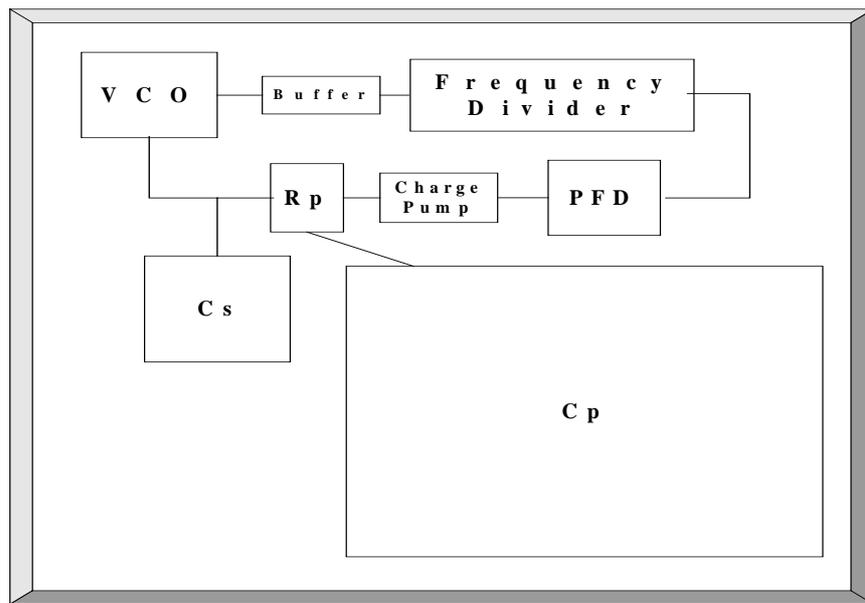


圖 5-16 晶片佈局相對位置圖

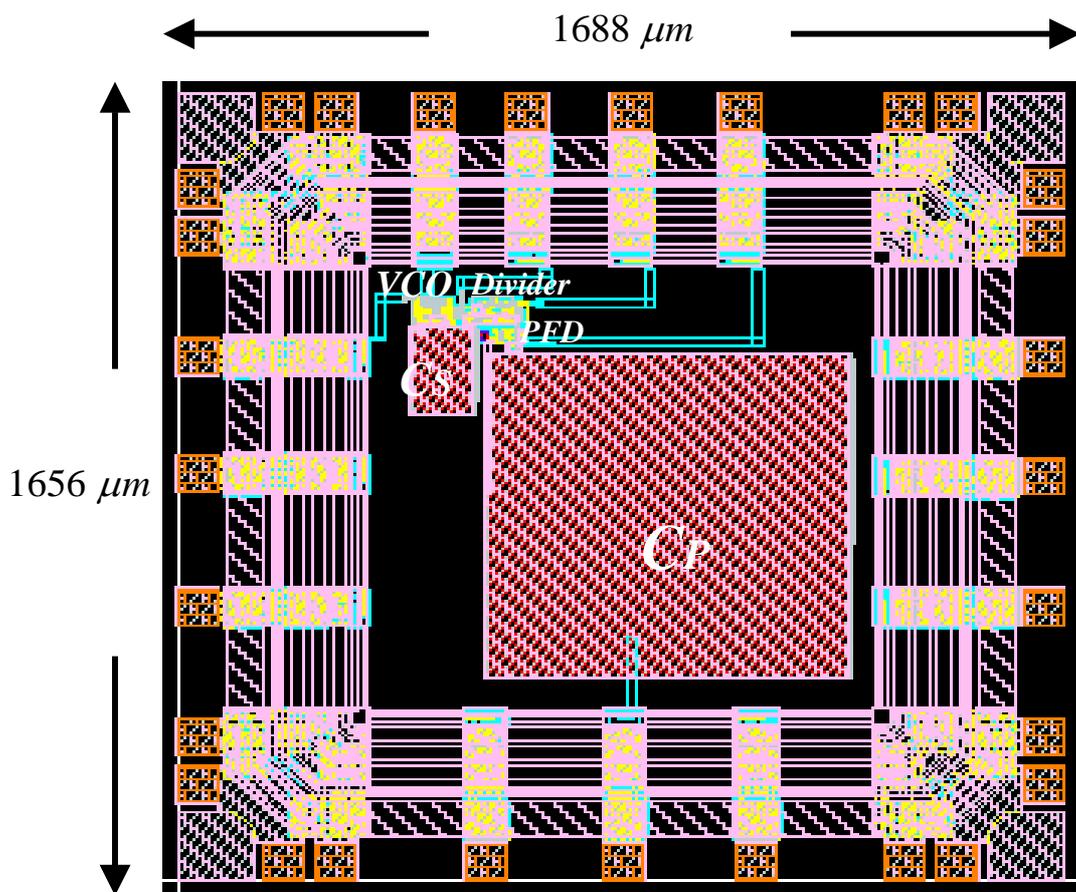


圖 5-17 晶片佈局平面圖

5-3 結論

本論文設計了一個操作於 900MHz 頻段之 CMOS 鎖相迴路,除討論原理之外,並加以模擬做驗證(佈局前和佈局後)與實際的晶片佈局,整個鎖相迴路的規格(Specification)整理於表 5-1 及表 5-2。

我們在設計目標上,主要為實現一整合於晶片上之 PLL,且在功率消耗、輸出抖動、鎖定時間、相位雜訊等效能上能夠符合我們的要求,所以我們使用兩級差動式的 Ring VCO,以減少電晶體的使用而使功率消耗不會太大並可以提高輸出振盪頻率,由佈局前模擬得到在 900 MHz 輸出頻率處振盪器功率消耗為 6.2mW; 同時為降低相位誤差,我們使用了無死帶的 PFD 電路,使 PLL 在鎖定時的相位誤差為 35ps。整個 PLL 的功率消耗為 13.62 mW, 鎖定時間為 1.85 μ sec。

在佈局後模擬結果方面,鎖定時間為 3.26 μ sec, 輸出抖動為 280ps, 功率消耗為 14.1mW、鎖定輸出頻率約為 980MHz。這是由於雜散電容及寄生電容對電路的影響,而讓佈局後結果與預期的值有差異,因此在未來的電路佈局上,需要加強拉線的技巧:減少金屬線間的跨越、及避免拉過長的金屬線,以降低雜散電容值而使佈局後模擬結果更好一點。

表 5-1 鎖相迴路規格(佈局前)

規格	結果
製程	TSMC 0.35 μ m 1p4m
電源供應電壓	2V
PLL 輸出頻率	900MHz
K_{VCO}	-1000MHz/V
PLL 相位雜訊	< -102dBc/Hz@600KHz
除頻器除數	/16
PLL 消耗功率	13.62 mW
鎖定時間	1.85 μ sec
輸出抖動(Jitter)	35ps
鎖定範圍	750MHz~980MHz
迴路頻寬	1.91 MHz

表 5-2 鎖相迴路規格(佈局後)

規格	結果
PLL 輸出頻率	980MHz
鎖定時間	3.26 μ sec
輸出抖動(Jitter)	280ps
PLL 消耗功率	14.1 mW
晶片面積	1688 x 1656 μ m ²

5-4 未來工作

鎖相迴路的應用極為廣泛，幾乎在各個方面皆可看見它的使用，包括了無線通訊、有線傳輸、類比及數位積體電路等各個領域。但是，要詳細分析鎖相迴路是不容易的，原因是鎖相迴路的理論是極為複雜的，考量的層面既深且廣，同時有些參數甚至必需要用實際的實驗值才能做明確的定義。因此，本論文對於鎖相迴路的分析仍有不足的地方，在未來仍需要再做更進一步的深入研究，以符合系統的要求；對現今系統應用來說，我們未來的目標是要設計一應用於 GSM900 的頻率合成器(Frequency Synthesizer)。

除此之外，實際的晶片測量值對 PLL 的設計也是一個重要的參考依據，因為實際的製程變動影響也必需加入在 PLL 的設計中，才能使 PLL 的設計符合實際晶片結果。在晶片量測及儀器分析這部份也是我們目前較不足的地方，仍有待在未來去加強。

參考文獻

- [1] S. I. Liu, J. H. Lee and H. W. Tsao, “ Low-power clock-deskew buffer for high-speed digital digit circuits”, *IEEE J. Solid-State Circuits*, vol. 34, no. 4, pp.554-558, Apr. 1999
- [2] B.Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw Hill, June 2002
- [3] M. V. Paemel, “Analysis of a charge-pump PLL: a new model” *IEEE Trans. Commun.*, vol. 42, no. 7, pp. 2490-2498, July 1994
- [4] J. F. Parker and D. Ray, “A 1.6-GHz CMOS PLL with on-chip loop filter,” *IEEE J. Solid-State Circuits*, vol. 33, pp. 337–343, Mar. 1998
- [5] Floyd M. Gardner , “Charge-Pump Phase-Locked loops” *IEEE Trans. Commun.*, vol. COM-28, pp. 1849-1858, November 1980
- [6] Dan H. Wolaver, *Phase-locked loop circuit design*, Prentice-Hall, Inc. 1991
- [7] 李松晃, *2.4-GHz CMOS 射頻頻率合成器*, 國立台灣大學電機工程學研究所碩士論文, 民國 89 年
- [8] K.K. O., Namkyu Park, Dong-Jun Yang, “1/f noise of NMOS and PMOS transistors and their implications to design of voltage controlled oscillators” *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, pp. 59–62, June 2002
- [9] F. Svelto, S. Deantoni and R. Castello, “A 1.3 GHz low-phase noise fully tunable CMOS LC VCO”, *IEEE J. Solid-State Circuits*, vol. 35, no. 3, pp.356-361, Mar. 2000
- [10] B.Razavi, *RF Microelectronics*, Prentice Hall, Inc.1998
- [11] B.Razavi, “A 2-GHz 1.6-mW Phase-Locked Loop”, *IEEE J. Solid-State Circuits*, vol. 32, no. 5, pp. 730-735, May. 1997

- [12] B.Razavi, "Challenges in the design of frequency synthesizers for wireless applications", *IEEE Proceedings of the Custom Integrated Circuits Conference*, pp.395-402, 1997
- [13] A. S. Porrent, T. Melly, C. C. Enz and E. A Vittoz, "Design of high-Q varactors for low-power wireless applications using a standard CMOS process", *IEEE J. Solid-State Circuits*, vol. 35, no. 3, pp. 337-345, Mar. 2000
- [14] S. J. Lee, B. Kim, K. Lee "A Low-Noise 900-MHz VCO in 0.6- μ m CMOS" *IEEE J. Solid-State Circuits*, vol: 34 no.5, pp.586-590, May 1999
- [15] W.S.T. Yan and H.C. Luong, "A 900-MHz CMOS low-phase-noise voltage- controlled ring oscillator" *IEEE Trans. On Circuits and Systems II: Analog and Digital Signal Processing*, vol: 48, no.2, pp.216-221, Feb. 2001
- [16] A. Hajimiri, S. Limotyrakis, T. H. Lee, "Jitter and phase noise in ring oscillators", *IEEE J. Solid-State Circuits*, vol: 34, no.6, pp. 790– 804, June 1999
- [17] C. Y. Yang, G. K. Dehng, J. M. Hsu, S. I. Liu, "New dynamic flip-flops for high-speed dual-modulus prescaler", *IEEE J. Solid-State Circuits*, vol. 33, no.10, pp.1568-1571, Oct. 1998
- [18] Q. Huang, R. Rogenmoser, "Speed optimization of edge-triggered CMOS circuits for gigahertz single-phase clocks," *IEEE J. Solid-State Circuits*, vol. 31,no 3, pp. 456-465, Mar. 1996
- [19] J. Yuan, C. Svensson, "High-speed CMOS circuit technique," *IEEE J.Solid-State Circuits*, vol. 24, no 1, pp. 62-70, Feb. 1989
- [20] B. Chang, J. Park, and W. Kim "A 1.2 GHz CMOS dual-modulus prescaler using new dynamic D-type flip-flop," *IEEE J. Solid-State*

- Circuits*, vol. 31, no 5, pp. 749-752, May 1996
- [21] P. Larsson, "High-speed architecture for a programmable frequency divider and a dual-modulus prescaler," *IEEE J. Solid-State Circuits*, vol. 31, no. 5, pp.744-748, May 1996
- [22] H. O. Johansson, " A simple precharged CMOS phase frequency detector", *IEEE J. Solid-State Circuits*, vol. 33, no. 2, pp. 295-299, Feb. 1998
- [23] H. Kondoh, H. Notani, T. Yoshimura, H. Shibata, Y. Matsuda, "A 1.5-V 250MHz to 3.0-V 622MHz operation CMOS Phase-Locked loop with Precharge Type Phase-Detector", *IEICE Trans. Electron.*, vol.E78-C, no. 4, pp. 381-388, Apr. 1995
- [24] G. B. Lee, P. K. Chan, L. Siek, " A CMOS phase frequency detector for charge pump phase-locked loop", *IEEE 42nd Midwest Symposium on Circuits and Systems*, vol: 2, pp. 601-604 Aug. 1999
- [25] B. Razavi, *Monolithic phase-locked loops and clock recovery*, IEEE press, 1996
- [26] E.J. Hernandez, A.D. Sanchez, "Positive Feedback CMOS Charge-Pump Circuits for PLL Applications", *IEEE Midwest Symposium on Circuits and Systems*, vol.2, pp. 836-839, 2001
- [27] Robert C.-H. Chang, and Lung Chi Kuo, "A New Low Voltage Charge Pump Circuit for PLL" *IEEE International Symposium on Circuits and Systems*, pp. 701-703, May 2000.
- [28] W. F. Egan, *Phase-lock basics*, New York: Willey, 1998