

如何测量高速ADC的INL和DNL

近期，具有出色静态和动态特性的高性能模拟-数字转换器(ADC)层出不穷。你或许会问，“他们是如何测量这些性能的，采用什么设备？”。下面的讨论将聚焦于有关ADC两个重要的精度参数的测量技术：积分非线性(INL)和微分非线性(DNL)。

INL和DNL，对于应用于通信和高速数据采集的高性能数据转换器来讲，尽管还不算是最重要的电特性参数，在高分辨率成像应用中却具有重要意义。除非经常接触ADC，否则你会很快忘记掉这些参数的精确定义和重要性。下面一节进行简要回顾。

INL和DNL的定义

DNL误差定义为实际量化台阶与对应于一个LSB的理想值之间的差异(图1a)。对于一个理想ADC，其微分非线性为 $DNL=0LSB$ ，也就是说每个模拟量化台阶等于 $1LSB$ ($1LSB=V_{FSR}/2^N$ ，其中 V_{FSR} 为满量程电压， N 是ADC的分辨率)，跳变值之间的间隔为精确的 $1LSB$ 。若DNL误差指标 $\leq 1LSB$ ，就意味着传输函数具有保证的单调性，没有丢码。当一个ADC的数字量输出随着模拟输入信号的增加而增加时(或保持不变)，就称其具有单调性，相应传输函数曲线的斜率没有变号。DNL指标是在消除了静态增益误差的影响后得到的。具体定义如下：

$$DNL = \left| \frac{(V_{D+1} - V_D) - V_{LSB-IDEAL}}{V_{LSB-IDEAL}} \right|$$

其中， $0 < D < 2^N - 2$ 。

V_D 是对应于数字输出代码 D 的输入模拟量， N 是ADC分辨率， $V_{LSB-IDEAL}$ 是两个相邻代码的理想间隔。较高数值的DNL增加了量化结果中的噪声和寄生成分，限制了ADC的动态性能，表现为有限的信号-噪声比指标(SNR)和无寄生动态范围指标(SFDR)。

INL误差表示实际传输函数偏离直线的程度，以LSB或满量程(FSR)的百分比来度量。这样，INL误差直接依赖于与之相比较的直线的选取。有两种定义经常被用到：“最佳直线INL”和“端点INL”(图1b)：

- 最佳直线LNA定义中包含了关于失调(截距)和增益(斜率)误差的信息，以及传输函数的置。它定义了一条最接近ADC实际传输函数的直线。尽管没有明确定义直线的精确位置，这种方法却具有最好的可重复性，能够真正描述器件的线性特征。
- 端点INL所采用的直线经过转换器传输函数的两个端点，因而也就确定了直线的精确位置。这样，对于一个 N 位ADC来讲，这条直线就由其零点(全0)和满度(全1)点确定。

最佳直线方法通常被作为首选，因为它能产生比较好的结果。INL是在扣除了静态失调和增益误差后的测量结果，可用下式表示：

$$INL = \left| \frac{(V_D - V_{ZERO}) - D \cdot V_{LSB-IDEAL}}{V_{LSB-IDEAL}} \right|$$

其中 $0 < D < 2^N - 1$ 。

V_D 是数字输出码 D 对应的模拟输入， N 是ADC的分辨率， V_{ZERO} 是对应于全零输出码的最低模拟输入， $V_{LSB-IDEAL}$ 是两个相邻代码的理想间隔。

测试静态INL和DNL的一般装置

INL和DNL可以利用准直流的斜坡电压或低频正弦波作为输入来进行测量。一个简单的直流(斜坡)测试可能需要一个逻辑分析仪，一个高精度DAC(可选)，一个可以扫描待测器件(DUT)输入范围的高精密直流源，和一个可连接PC或X-Y绘图仪的控制接口。

如果设备中包含有高精度DAC(精度比待测器件高得多)，逻辑分析仪能直接处理ADC的输出数据来监测失调和增益误差。精密信号源产生一个测试电压供给待测器件，并使测试电压从零刻度到满刻度缓慢扫过ADC的输入范围。经由DAC重构后，从ADC输入测试电压中减去对应的DAC输出电平，就产生一个小的电压差(V_{DIFF})，这个电压可以用X-Y绘图仪显示出来，并且和INL、DNL误差联系起来。量化电平的改变反映了微分非线性，而 V_{DIFF} 与零的偏移代表积分非线性。

积分型模拟伺服环

另一种办法也可以用来测试ADC的静态线性参数，与前面的办法相似但更复杂一些，这就是积分型模拟伺服环。这种方法通常是用于要求高精度测量、而对测量速度没有要求的测试设备。

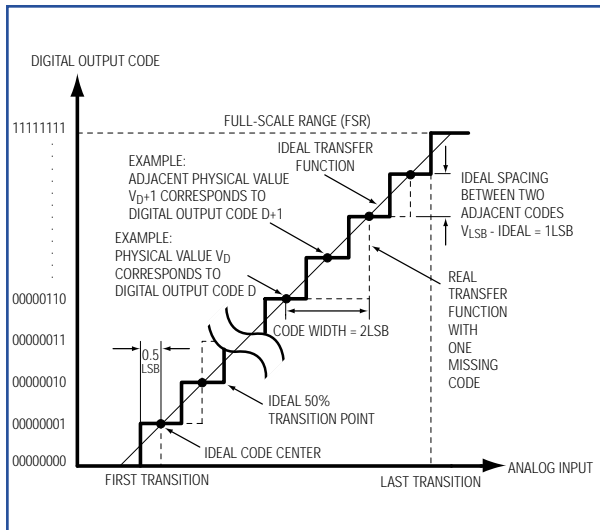


图1a. 要保证没有丢码和单调的转移函数，ADC的DNL必须 $\leq 1LSB$ 。

正确的过渡

过渡电压是指输出数码在两个相邻代码间发生跳变时输入电压。名义模拟值——对应于两个相邻过渡电压之间的某输入电压所产生的数字输出码——定义为此范围的中点(50%点)。如果过渡间隔的边界已知，该50%点很容易算出。过渡点的确定可以通过测量某一个区间，然后将该区间除以其间出现过的相邻代码的次数后得到。

典型的模拟伺服环(图2)包含一个积分器和两个电流源，连接于ADC输入端。其中一个电流源向积分器注入电流，另一个则吸出电流。数值比较器连接于ADC输出并对两个电流源进行控制。数值比较器的另一输入由PC控制，后者可以对N位转换器的 2^N-1 个测试码进行扫描。

如果环路反馈的极性正确的话，数值比较器就会驱使电流源“伺服”模拟输入跟随给定的代码跳变。理想情况下，这将在模拟输入端产生一个小的三角波。数值比较器控制斜坡的方向和速度。在跟随一次跳变时积分器的斜率必须快，而在采用精密数字电压表(DVM)进行测量时，为了降低叠加的三角波过冲峰值，又要求积分器足够慢。

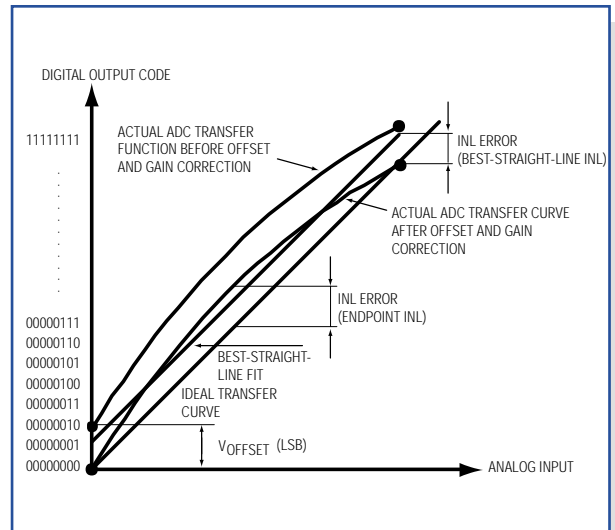


图1b. 最佳直线法和端点法是定义ADC线性特性的两种可行办法。

转移函数

理想ADC的转移函数是阶梯状的，其中每一个台阶对应于某个特定的数字输出代码，而每一次阶跃代表两个相邻代码间的转变。必须确定这些阶跃所对应的输入电压，以便对ADC的许多特性参数进行规范。这项任务会极为复杂，尤其是对于高速转换器中充满噪声的过渡状态，以及那些接近于最终结果、并变化缓慢的数字量。

过渡状态没有在图1b中显著标出，而是作为一种概率函数表达，更为接近实际。当慢慢增加的输入电压经过过渡点时，ADC将一个接一个地输出相邻代码。按照定义，在过渡点对应的输入电压下，ADC输出相邻两个代码的几率相等。

在MAX108的INL/DNL测试中，伺服板通过两个连接器连接到评估板(图3)。第一个连接器建立起MAX108的主(或副)输出端口和数值比较器的锁存输入(P)的连接。第二个连接器将伺服环(数值比较器的Q端口)和用于生成参照码的计算机连接起来。

数值比较器的判决结果解码后通过P>QOUT输出端输出并送往积分器单元。每一次的比较结果都独立地控制开关的逻辑输入，驱动积分电路产生出满足需要的斜坡电压，供给待测器件的两路输入。这种方法具有其优越性，但也有些不足之处：

- 为了降低噪声，三角斜坡应该具有低的 dV/dt 。这有利于产生可重复的数码，但要获得精确测量需要很长的积分时间。
- 正、负斜坡的斜率必须匹配方可达到50%点，并且必须对低电平三角波取平均后才可获得所需要的直流电平。
- 在设计积分器时常常要求仔细选择积分电容。为了尽量减小由于电容器的“存储效应”而造成的潜在误差，要求积分电容必须具有低介质吸收。
- 测量精度正比于积分时间而反比于建立时间。

将一个数字电压表连接到模拟积分伺服环中，就可测出INL/DNL误差与输出数字量的关系(图4a, 4b)。值得注意的是，在INL与输出数字量的关系曲线中，抛物线形或弓形曲线表明偶次谐波占主导地位，若曲线呈“S”状，则说明奇次谐波占优。

为了消除上述方法的缺陷，可以对伺服环中的积分单元加以改进，代之以一个L位的逐次逼近寄存器(SAR)(用于捕获待测器件的数字输码)，和一个L位DAC，以及一个简单的平均值电路。再结合一个数值比较器，该电路就组成了一个逐次逼近型转换器结构(图5)，其中，由数值比较器对

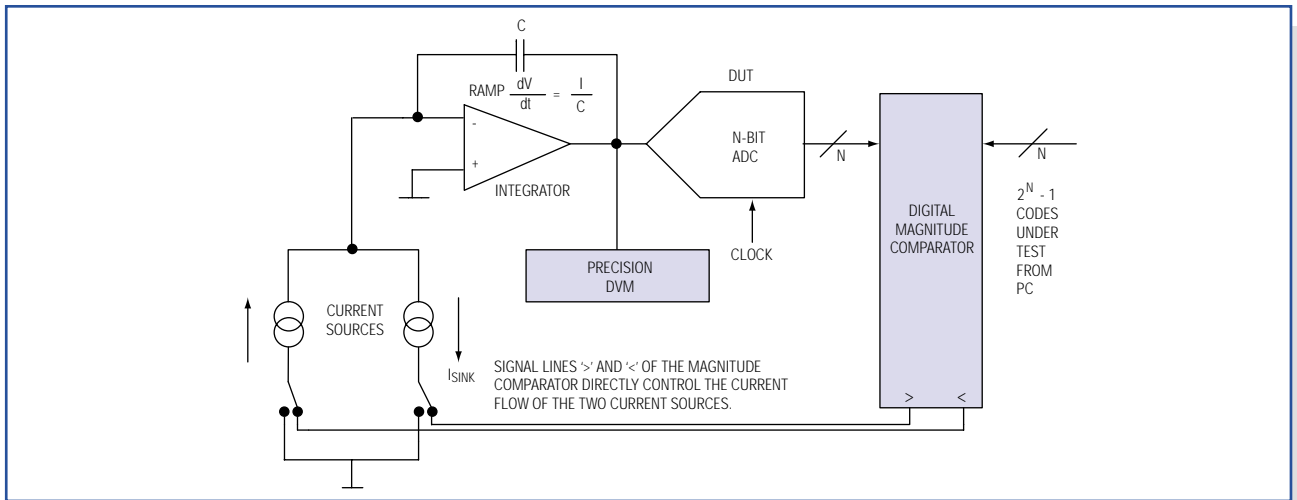


图2. 模拟积分伺服环的电路配置。

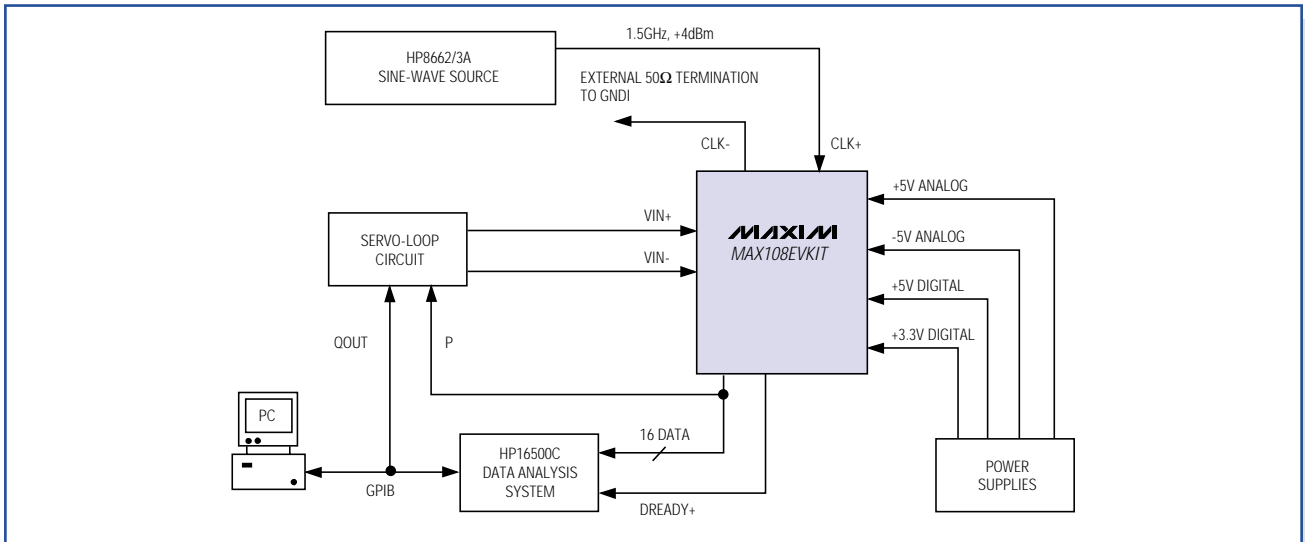


图3. 借助MAX108EVKIT和模拟积分伺服环，该测试装置可以确定MAX108的INL和DNL特性。

DAC 进行控制、读取其输出、并完成逐次逼近。同时，DAC 提供一个高分辨率的直流电平给被测 N 位 ADC 的输入。在这个实例中，采用一个 16 位 DAC 将 ADC 校准至 1/8LSB 精度，同时获得最可信转移曲线。

当接近终值时，由于受到噪声的影响，数值比较器会来回跳动而变得不稳定，此时，平均值电路的优势就突显出来了。平均值电路包含两个除法计数器。“参考”计数器具有 2^M 个时钟的周期，其中 M 是一个可编程的整数，用来控制计数周期（同时也决定了测量时间）。“数据”计数器仅在数值比较器输出为高时递增，其周期等于前者的一半，即 2^{M-1} 个时钟。

数据计数器只有当数值比较器的输出为高电平时才计数一次。两个计数器共同工作的效果是对高、低电平的数量进行了平均，结果被保存于一个触发器，并进而传送到 SAR 寄存器。这个过程重复 16 次（在本例中）后便产生了完整的数字输出码。和前面的方法一样，它也有优点和不足之处：

- 测试装置的输入电压由数字量定义，这样可以简便地调节求取平均值的测试样点。
- 逐次逼近方式提供给待测器件模拟输入的是一个直流电平，而非斜坡电压。

- 不足之处在于，反馈环中的 DAC 限制了输入电压的分辨率。

INL 和 DNL 的动态测试

要测定 ADC 的动态非线性，可以对其施加一个满度正弦输入，然后在其全功率输入带宽内测量转换器的信噪比 (SNR)。对于一个理想的 N 位转换器，理论 SNR (仅考虑量化噪声，无失真) 为：

$$\text{SNR}_{\text{dB}} = N \times 6.02 + 1.76$$

这个公式包含了瞬变、积分非线性和采样时间的不确定性等效应的影响。除此之外的非线性成分可以通过测量恒频输入时的 SNR 来获得，并可得到一个随输入信号幅度的变化关系。例如，使信号幅度扫过整个输入范围，从零到满量程或者反之，当输入幅度逼近转换器满量程时，转换输出将与信号源发生较大偏移。要确定产生这种偏移——排除失真和时钟不稳定性因素——的原因，可采用频谱分析仪分析量化噪声与频率的关系。

还有很多其他方法也可以用来测试各种高速和低速数据转换器的静态和动态 INL、DNL。本文意在提供有兴趣的读者一些有关典型运行参数 (TOC) 的产生内幕，所使用的工具和技术很简单，但极为聪明和精确。

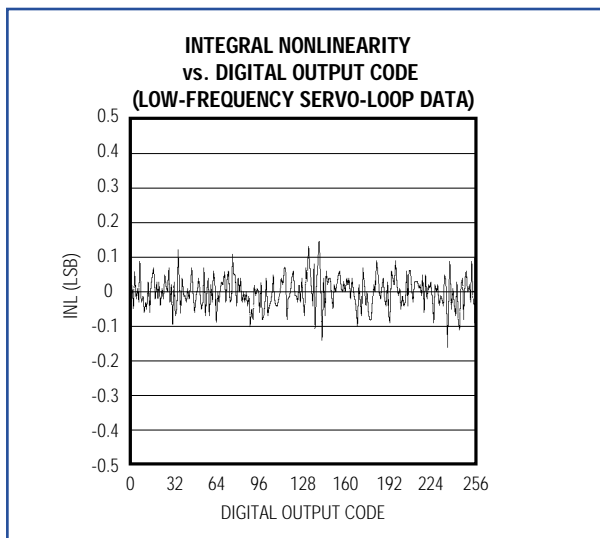


图4a. 该曲线示出MAX108 ADC 的典型INL 特性，由模拟积分伺服环获得。

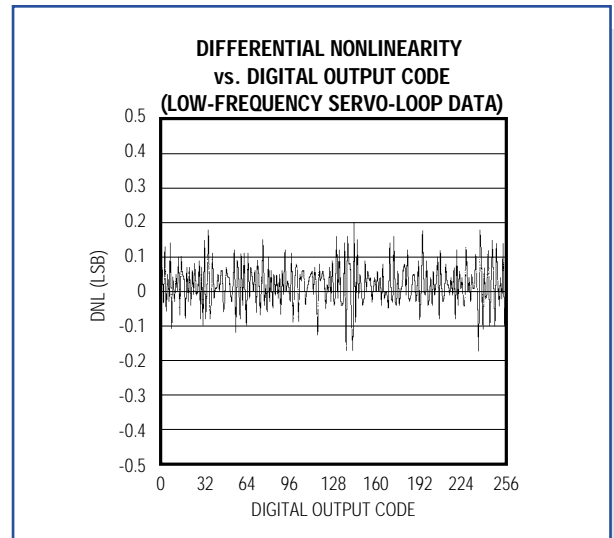


图4b. 该曲线示出MAX108 ADC 的典型DNL 特性，由模拟积分伺服环获得。

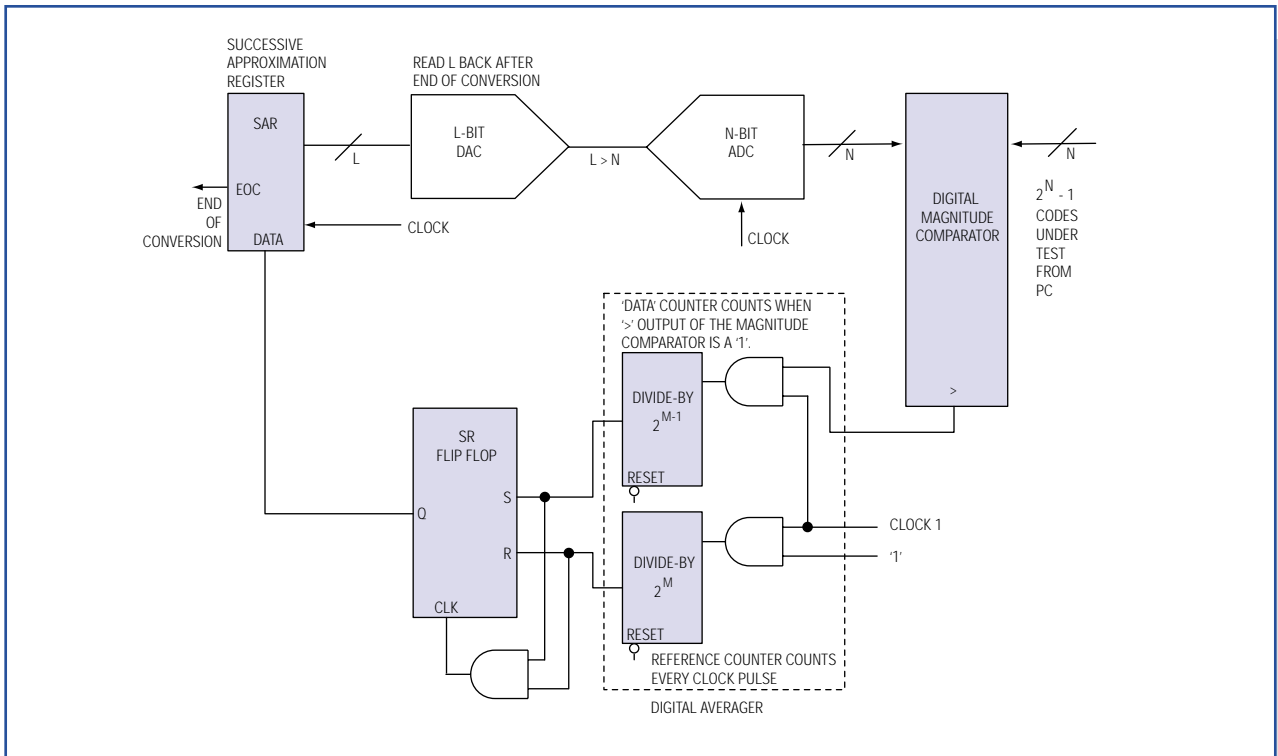


图5. 用逐次逼近寄存器和DAC结构取代模拟伺服环中的积分器单元。

SAR 转换器

SAR 转换器的工作类似于旧时药剂师的天平。一边是未知的输入采样，另一边是由 SAR/DAC 结构产生的首个砝码（最高有效位，等于满刻度的一半）。如果未知重量大于 $1/2\text{FSR}$ ，则保留首个砝码并再增加 $1/4\text{FSR}$ 。否则，用 $1/4\text{FSR}$ 砝码代之。

将这个步骤重复 N 次，从 MSB 到 LSB，SAR 转换器就可得到所需要得输出代码。 N 是 SAR 结构中 DAC 的分辨率，每个砝码代表一个二进制位。

References

- Johns, D., and K. Martin. 1997. *Analog Integrated Circuit Design*.
- Plasche, R. van de. 1994. *Integrated Analog-to-Digital and Digital-to-Analog Converters*.
- Sanchez-Sinencio, E., and A. G. Andreou. 1999. *Low-Voltage/Low-Power Integrated Circuits and Systems—Low-Voltage Mixed-Signal Circuits*.
- MAX108 data sheet. Rev. 1, 5/99. Maxim Integrated Products.
- MAX108EVKIT data sheet. Rev. 0, 6/99. Maxim Integrated Products.