

南台科技大學

電子工程研究所

碩士學位論文

採用新型片段式數位類比轉換器之連續
漸進式類比數位轉換器

**A Successive Approximation ADC based on
a new Segmented DAC**



葉 晨 光

指導教授：李順裕
唐經洲

中華民國九十一年六月

中文摘要

本論文提出了一個新型的 segmented current-mode DAC 之架構並且將其應用於 successive approximation ADC 上。我們所提出的 bi-direction segmented current-mode 方法，能夠實現高解析度、高速的 DAC。此 DAC 的效能測試結果如下，INL 小於 0.47 LSB，DNL 小於 0.154 LSB。採用此 DAC 來實現一個 3V，解析度為 8 位元，轉換速率為 2MS/s 的 successive approximation ADC。整個電路是以 TSMC 1P4M 0.35 μ m CMOS 製程來實現，效能測試的結果如下，INL 小於 0.82 LSB，DNL 小於 0.31 LSB，ENOB 為 7 位元，總消耗功率為 2.6mW。

A Successive Approximation ADC based on a new Segmented DAC

ABSTRACT

A successive approximation analog-to-digital converter (ADC) based on a new segmented digital-to-analog converter (DAC) architecture is presented. A more efficient method which is the bi-direction segmented current-mode approach is proposed to implement the high-resolution and high speed DAC. This DAC has the maximum integral nonlinearity (INL) error of 0.47 LSB, and the maximum differential nonlinearity (DNL) error of 0.154 LSB. Based on this new DAC, a 3-V, 8-bit, 2-MS/s ADC is realized. The whole circuit is implemented by the TSMC 1P4M 0.35 μ m CMOS process. The experimental results show that the INL of ADC is less than 0.82 LSB. Meanwhile, the DNL is less than 0.31 LSB. The power consumption is only 2.6mW with the effective number of bits of 7.

致 謝

歷經數個月，終於將本論文完成，首先要感謝的是李順裕教授及唐經洲教授的細心指導及幫助，使本論文能夠順利的完成。由於我們是第一屆的研究生，沒有學長的帶領，所以教授在指導我們上會比較辛苦。在這裡特別感謝教授對我的訓練和各種的幫助，使我能成長茁壯。

當然在兩年的研究生生活中，慶幸有一群同窗好友—凌灃、信賢、威仁、浩凱、祖魁、勇旭、文旭、朝陽的互相扶持，及大學部學弟們的幫助，我才能順利完成學位，謝謝大家。還有未提及卻曾經幫助過我的人，也謝謝你們。

在這裡還要感謝學校提供給我的良好的研究環境，使我能在舒適的環境中作研究。

最後要感謝的是我的父親、母親及妹妹，在研究生生活中對我不斷的鼓勵及關心，是我最大的精神支柱，使我不斷的向前邁進，謝謝我的家人。

目 次

中文摘要	I
ABSTRACT	II
致 謝	III
目 次	IV
表 目 錄	VI
圖 目 錄	VII
Chapter 1 INTRODUCTION	1
1.1 Motivation	1
1.2 Organization of the Dissertation	2
1.3 SAR ADC versus other ADCs	2
1.3.1 Pipelined Converter	2
1.3.2 Flash Converter	3
1.3.3 Sigma-Delta Converter	4
1.4 Circuit Characteristic	4
Chapter 2 BASIC CONCEPTS	5
2.1 Successive Approximation ADC Architecture	5
2.2 Algorithm	6
2.3 SAR ADC Techniques	8
2.3.1 R-2R-Based Converter	8
2.3.2 Charge-Redistribution Converter	9
2.3.3 Resistor-Capacitor Hybrid Converter	10
2.3.4 Current-Mode Converter	10
Chapter 3 CIRCUIT DESIGN OF SAR ADC	12
3.1 Sample / Hold (S/H) Amplifier Architecture	12
3.1.1 Clock Divider	13
3.1.2 Simulation results of the S/H	14
3.2 Comparator	17
3.2.1 Comparator Circuit	17
3.2.2 Clock of the Comparator	20
3.3 Segmented Current-Mode DAC	21
3.3.1 3-way switch controller	27
3.3.2 I-V Converter	30
3.3.2.1 Operational Amplifier	30
3.3.3 Simulation results of the DAC	33
3.4 SAR Controller	34

Chapter 4 EXPERIMENTAL RESULTS.....	38
4.1 ADC Test.....	38
4.2 Layout Arrangement	40
Chapter 5 CONCLUSIONS & FUTURE WORKS.....	43
5.1 Conclusions.....	43
5.2 Future Works.....	43
REFERENCES	45
作者簡介	47

表 目 錄

表 1	Size of the comparator	18
表 2	3 對 8 binary-to-thermometer decoder	28
表 3	三向開關控制器之 P-channel 真值表($B_7=0$).....	28
表 4	三向開關控制器之 N-channel 真值表($B_7=1$).....	29
表 5	OPA 的電晶體尺寸	32
表 6	8 位元 SAR 控制器之執行動作順序.....	36
表 7	Effective number of bits.....	40
表 8	Experimental results of the proposed ADC	42
表 9	與其它 successive approximation ADC 之比較	43

圖目錄

圖 1. 1 General Pipelined ADC architecture.....	3
圖 1. 2 N -bit Flash ADC 方塊圖	3
圖 2. 1 Successive approximation ADC 之方塊圖	5
圖 2. 2 Various values of the DAC output voltage	6
圖 2. 3 N -bit successive approximation approach 之流程圖	7
圖 2. 4 4-bit successive approximation ADC conversion.....	8
圖 2. 5 電阻式之 DAC	9
圖 2. 6 Charge-redistribution converter	9
圖 2. 7 Resistor-Capacitor Hybrid converter	10
圖 2. 8 Binary-weighted current-mode converter	11
圖 3. 1 Double sampling S/H architecture.....	12
圖 3. 2 Execution period of the double sampling.....	13
圖 3. 3 Transmission Gate circuit	13
圖 3. 4 clock divider circuit	14
圖 3. 5 clock 之示意圖	14
圖 3. 6 Simulation result of the S/H circuit.....	15
圖 3. 7 Output power spectrum density of the S/H.....	16
圖 3. 8 Comparator 之方塊圖	17
圖 3. 9 Circuit design of the comparator.....	18
圖 3. 10 Auto-zeroing circuit.....	19
圖 3. 11 Clock circuit of the comparator.....	20
圖 3. 12 Simple RC model.....	20
圖 3. 13 Clock simulation of the comparator.....	21
圖 3. 14 Basic N -bit segmented D/A converter.....	22
圖 3. 15 Non-monotonic behavior of the DAC.....	23
圖 3. 16 Monotonic N -bit segmented D/A converter.....	23
圖 3. 17 Monotonic behavior of the DAC	23
圖 3. 18 Segmented N -bit inherently monotonic current DAC 方塊圖	24
圖 3. 19 N -bit bi-direction segmented DAC 方塊圖	25
圖 3. 20 DAC 上半部之 P 型電流源電路.....	26
圖 3. 21 MOS 分壓電路.....	27
圖 3. 22 2-way switches circuit	29
圖 3. 23 Two-stage OPA 之方塊圖	31
圖 3. 24 Two-stage OPA 之電路圖	31
圖 3. 25 Simulation result of the DAC	33

圖 3.26 DAC 之 INL 測試結果	34
圖 3.27 DAC 之 DNL 測試結果.....	34
圖 3.28 一般常見的 N -bit SAR 控制器	35
圖 3.29 N -bit SAR controller based on the non-redundant structure	35
圖 3.30 N_{th} 控制單元方塊圖	36
圖 3.31 D-latch 電路圖	37
圖 4.1 ADC 之 INL 的測試結果.....	38
圖 4.2 ADC 之 DNL 的測試結果.....	39
圖 4.3 Output power spectrum density of the ADC.....	39
圖 4.4 ENOB versus input frequency	40
圖 4.5 Layout arrangement	41
圖 4.6 I/O PAD arrangement	41
圖 4.7 Layout view	42

Chapter 1 INTRODUCTION

1.1 Motivation

隨著時代的進步，科技不斷的發展，在數位時代裡就扮演著相當重要的角色——『類比數位轉換器』(Analog-to-Digital Converter, 簡稱 ADC)，負責將外界的類比訊號轉換為數位訊號，再將其接收的數位資料交由後級數位電路處理，而『數位類比轉換器』(Digital-to-Analog Converter, 簡稱 DAC)，則是將數位電路處理完的數位資料轉換為類比訊號傳送至外界去。有了轉換器的出現，使得科技發展更加迅速，應用範圍包含通訊系統、醫療系統及軍事用途，可說是極為廣泛。

近年來藍芽(Bluetooth)系統慢慢的發展起來，當然也少不了 ADC 及 DAC 這兩個重要的角色，有鑑於此我們決定了研究目標，發展低消耗功率、中轉換速度、中解析度及較小晶片面積之 ADC，來符合藍芽系統所要求的規格。其中有許多種方法可以用來實現 ADC，而「successive approximation register (SAR) ADC」取樣頻率低於 5MS/s 且具有中高的解析度(8~16 bits)，及低消耗功率，是最為合適的 ADC 架構之一。使用 successive approximation ADC 於半雙工的通訊系統中尚有一大優點，只要接收器（由 ADC 構成）及發射器（由 DAC 構成）不同時動作，就可利用 successive approximation ADC 固有的特性分別當作接收器或發射器，可有效減少電路面積。

一般來說，successive approximation ADC 的內部 DAC 通常是以「current-steering with resistance ladder」[1]技術或「charge-redistribution with capacitance array」[2]技術來完成，但是使用前述電容的技術來實現 successive approximation ADC 有時間常數太長的問題，無法應用於較高的取樣速度，而且兩者都有佈局面積較大及對電容或電阻要求對稱性的問題。

不同於上述的兩種技術，本篇論文是提出一個 current-mode 的架構來設計 successive approximation ADC 的內部 DAC，利用已有的 segmented current-mode [3] 方法加以改良並實現積體電路。

1.2 Organization of the Dissertation

本篇論文可分為五個章節，第一章介紹研究動機、論文組織、比較其它 ADC 及說明電路特色；第二章闡述 successive approximation ADC 的基本概念及與其它類型的類比數位轉換器之比較；第三章說明 successive approximation ADC 實際電路之設計；第四章則是展現實驗結果，包含佈局及測量類比數位轉換器效能之結果；第五章說明結論及未來的研究的方向。

1.3 SAR ADC versus other ADCs

以下提出幾種 ADC 與 SAR ADC 作比較，利用不同架構的 ADC 來說明 SAR ADC 的優點。

1.3.1 Pipelined Converter

Pipelined ADC 如圖 1.1 所示，使用 parallel 的架構可分成多級 (stage) 工作，每一級分別負責轉換一些位元，雖然可增加轉換速率 (conversion rate) 但是卻得付出功率消耗與延遲 (Latency) 增加的代價。Latency 在此處的意思為類比訊號被 ADC 接收後一直到 ADC 的數位資料可以輸出為止的時間。舉例說明，若有一個六級的 Pipelined ADC，至少會有六個 clock 的 Latency。而 successive approximation ADC，卻只有一個 clock 的 Latency。在另一方面，Pipelined ADC 一般會佔掉比 successive approximation ADC 更大的佈局面積。因為隨著 stage 的

增加，所需的 OPA 及 S/H 也會跟著增加，故需要更大的佈局面積。

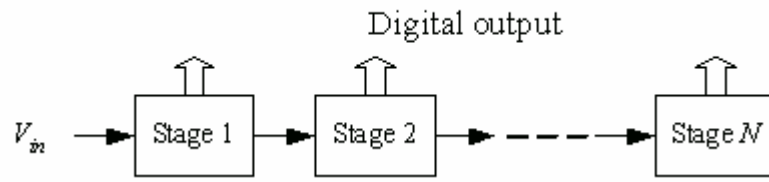


圖 1.1 General Pipelined ADC architecture

1.3.2 Flash Converter

Flash ADC 如圖 1.2 所示，由大量的比較器所組成，每一個比較器包含一 wideband 且 low-gain 的 preamp(s)與一個 latch。Flash ADC 是所有 ADC 架構中，轉換速度最快的一種，但由於需要 2^n 個比較器，相對的功率消耗就會相當的高。因此採用此種 Flash 架構，很難找到 10 位元或 12 位元以上的 ADC，因為每增加一個位元的解析度，比較器就會以二的次方成長，同時比較器的準確度也要提高兩倍。而 successive approximation ADC 每增加一個位元的解析度，只需提高元件的準確度，但其複雜度並不會以指數的增加，當然在速度方面是遠低於 Flash ADC。

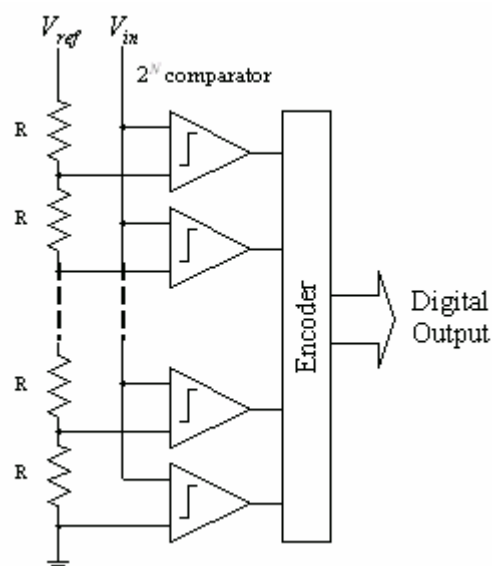


圖 1.2 N -bit Flash ADC 方塊圖

1.3.3 Sigma-Delta Converter

Sigma-Delta (又稱 oversampling) 轉換器通常使用在較低的操作速度及高解析度的地方，但是對速度方面若有所要求就較不適合此架構，因為增加解析度又要顧及速度就得需要非常高階的 Sigma-Delta modulators (四階或四階以上)或採用多位元(multi-bit)的架構設計，此外高階 Sigma-Delta modulators 將會面臨穩定度問題的設計，而且工作速度也要大於取樣頻率許多倍以上 (至少 16 倍以上或更多)，再者 digital decimation filter 也是一大挑戰，也會耗去很多的晶圓面積。

1.4 Circuit Characteristic

本論文所提出的 successive approximation ADC 擁有下列電路特性：

1. 較佳的速度與功率消耗比。
2. 低功率消耗。
3. 輸入範圍容易設定變更，修改容易。

Chapter 2 BASIC CONCEPTS

2.1 Successive Approximation ADC Architecture

Successive approximation ADC 的基本架構如圖 2.1 所示，通常包含一個前級取樣保持 (S/H) 電路、一個電壓比較器 (Comparator)、一個 Successive Approximation Register (SAR) 及一個 N 位元的數位類比轉換器。以一個 N 位元的 Successive approximation ADC 為例，其轉換一個類比電壓值變為數位訊號需要 N 個週期。

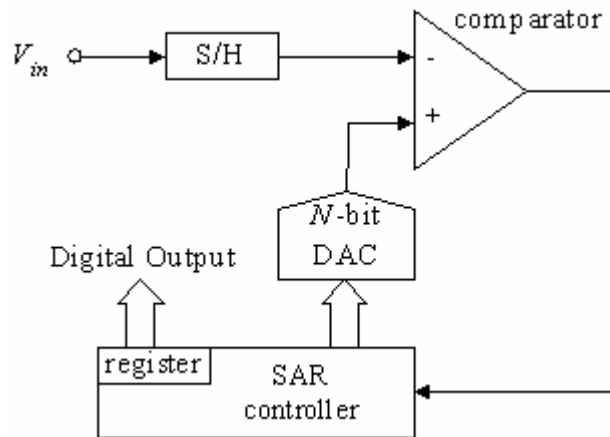


圖 2.1 Successive approximation ADC 之方塊圖

一個 N 位元的 successive approximation ADC 動作原理可用如下簡單的描述來說明。類比輸入電壓 (V_{in}) 經由 Sample/Hold (S/H) 提供一穩定電壓給 comparator，與內部 N 位元 DAC 的輸出電壓作比較。SAR 執行二元搜尋 (binary search) 演算法控制 DAC 輸出，預測待測電壓值，根據 comparator 的輸出可視為上一個週期預測的結果，以決定上一週期的位元。在一個週期中可決定一個位元，從產生最高位元 (MSB) 執行搜尋，直到產生最低位元 (LSB)，也就是第 N 個週期，將結果存至 register (D-latch) 可得到數位輸出。

在 successive approximation ADC 的基本架構中，有兩個非常重要的元件分別

為 comparator 和 DAC，這兩個元件是決定 successive approximation ADC 速度的主因。這是因為以下兩個時間：第一、comparator 比較 V_{in} 與 V_{DAC} 之間最小電壓作出判斷所需的時間。第二、DAC 電壓穩定至整個 ADC 的解析度以內所需的時間，如 1/2 LSB。很明顯的 comparator 與 DAC 也決定了整體的精確度。

2.2 Algorithm

Successive approximation ADC 基本上是架構在二元搜尋演算法(另一種說法是嘗試錯誤法)，若有一 N 位元 successive approximation ADC，其執行二元搜尋演算法的順序為一開始設定 DAC 電壓至 V_{FS} (V_{FS} 是 DAC 輸出的 full-scale voltage) 的一半，接著判斷 V_{in} 是否大於 $V_{D/A}$ (DAC 的輸出電壓)，若是，就決定最高位元為 1；若否，就決定最高位元為 0。之後利用其結果來設定 DAC 輸出的電壓，縮小下次要尋找的範圍，將 $V_{FS}/2$ 分成一半再加上或減去 (由前一位元決定) 原 $V_{D/A}$ ，再與 V_{in} 比較是否大於或小於，每個位元依序完成，慢慢逼近到待測類比電壓 (V_{in})，有 N 位元就須執行 N 次週期(N cycles)，直到最低位元 (LSB) 判斷完成。以 4 位元 successive approximation ADC 為例，DAC 在比較週期中可能出現的電壓可以圖 2.2 表示。

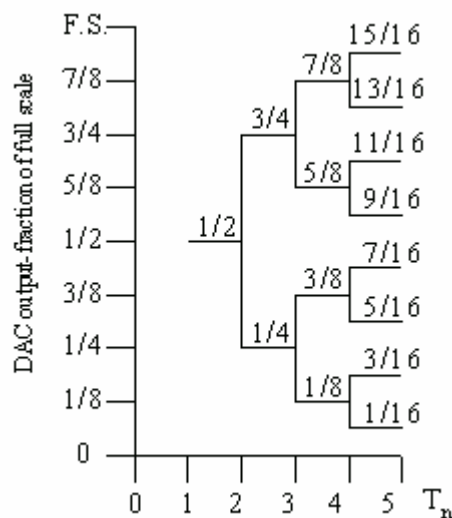


圖 2.2 Various values of the DAC output voltage

亦可將前述之二元搜尋演算法動作以流程圖的方式來表示，如圖 2.3。圖中 i 是與位元數 N 比較用的計數旗標。

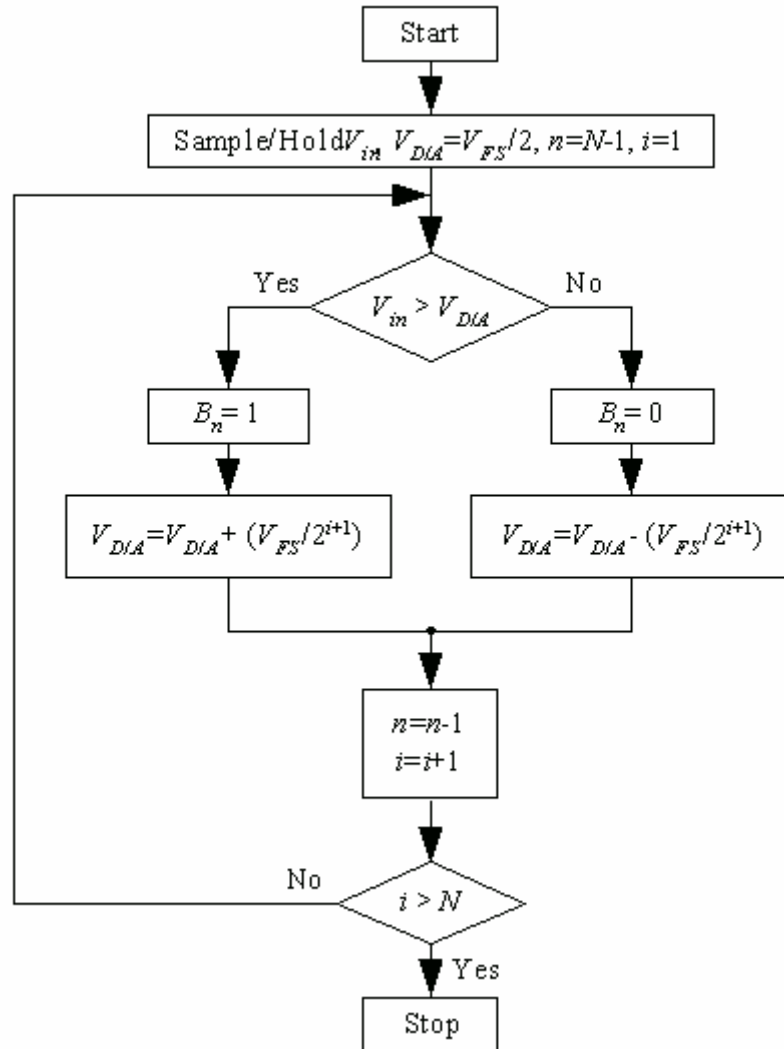


圖 2.3 N -bit successive approximation approach 之流程圖

舉一個實際的 4 位元 successive approximation ADC 來說明動作原理，如圖 2.4 所示。Y 軸是 DAC 的輸出電壓，X 軸為比較週期的時間。以這個例子來說明，一開始設定 DAC 的輸入為 1000_2 ，在第一個比較週期測得 $V_{in} > V_{DAC}$ 就決定 B_3 的輸出為 1，之後設定 DAC 的輸入為 1100_2 ，接著第二個比較週期測得 $V_{in} < V_{DAC}$ 決定 B_2 的輸出為 0，之後設定 DAC 的輸入為 1010_2 ，接著第三個比較週期測得 $V_{in} > V_{DAC}$ 決定 B_1 的輸出為 1，之後設定 DAC 的輸入為 1011_2 ，接著第四個比較

週期測得 $V_{in} < V_{DAC}$ 決定 B_0 的輸出為 0，可得到最後結果為 1010_2 。由此例子得知，一 N 位元的 successive approximation ADC 將會需要 N 個比較週期，所以 4 位元 successive approximation ADC 就需要四個比較週期。

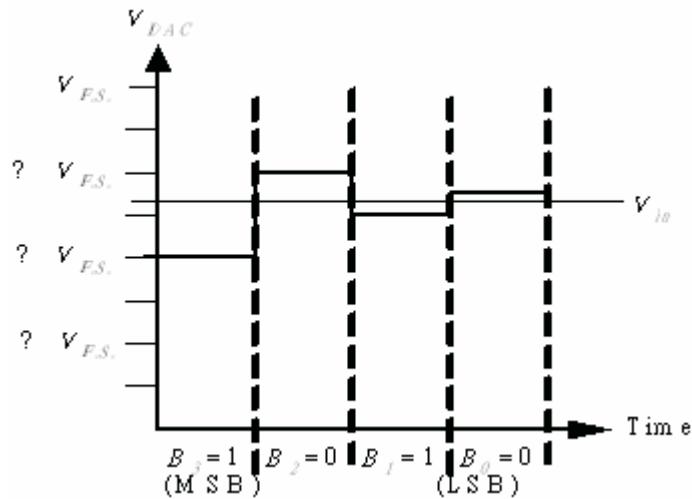


圖 2.4 4-bit successive approximation ADC conversion

2.3 SAR ADC Techniques

介紹各種實現 successive approximation ADC 之內部 DAC 的技術，包括電阻式、電容式、電阻電容混合式及電流式。

2.3.1 R-2R-Based Converter

電阻式的 DAC [1][4]，如圖 2.5 所示，使用電阻值的比例來分電流，可分出 binary-weighted 的電流，再利用開關的切換(由輸入的數位資料所控制)累加電流量，最後經電流電壓轉換器轉成電壓，可達成 DAC 的目的。在解析度要求較高的地方，可於 MSBs 的部分以 thermometer 碼來控制，取代原本以二進制碼的控制，如此可降低突波(Glitch)，也可降低對電阻匹配的要求。在低電源的考量下，此種結構是較可行的。而其缺點是須考慮電阻間的匹配問題(與幾何對稱、製程有關)及所佔用的佈局面積(Layout area)大小。

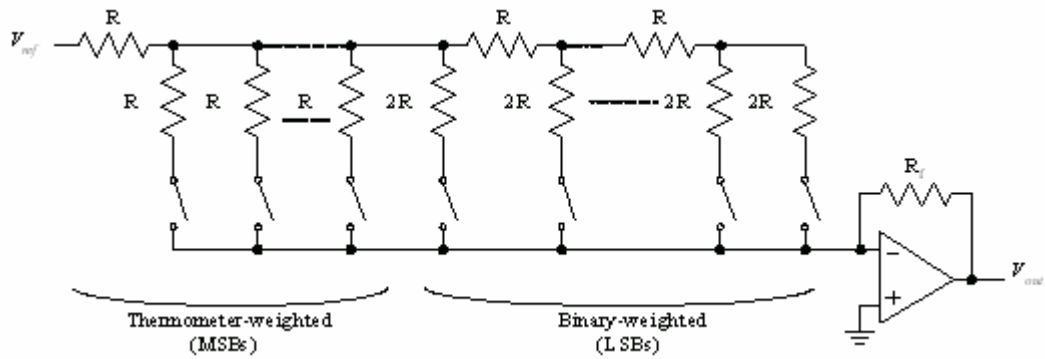


圖 2.5 電阻式之 DAC

2.3.2 Charge-Redistribution Converter

使用一般電容技術[2]來實現轉換器，如圖 2.6 所示。利用不同比例的電容(如 binary-weighted)來進行充放電，由電量的轉換來完成 DAC 的功能。使用電容式來實現 SAR ADC 雖可省去 S/H 的電路，但所使用的電容佔用面積很大、充放電時間較長都為其缺點。使用此架構若要增加解析度，除了須使用單位電容來並聯增加比例，尚還須矯正電路來修正。在一些特殊的設計方法，如交換電容式[5]、兩顆電容式[6]都可大大的降低電容數量，減少了佈局面積，而且還保持了高解析度，但卻增加了時脈控制的複雜度。

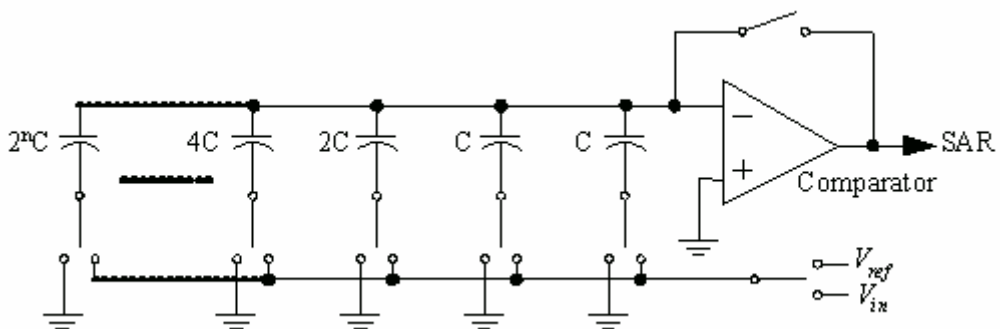


圖 2.6 Charge-redistribution converter

2.3.3 Resistor-Capacitor Hybrid Converter

結合了電阻及電容的方法，以混合的架構[7][8]來實現，如圖 2.7 所示。以電阻來分成不同的比例電壓供給 binary-weighted 的電容，再以開關的切換來分配電容的電量，如此可形成 DAC，其改善電容式 DAC 的缺點，如佈局面積太大、操作速度較慢等。使用電阻電容混合式的架構，降低了 binary-weighted 的大電容值，可達到較高的轉換速率，而且不需要很大的佈局面積。但其轉換速度還是比電流式的轉換速度慢。

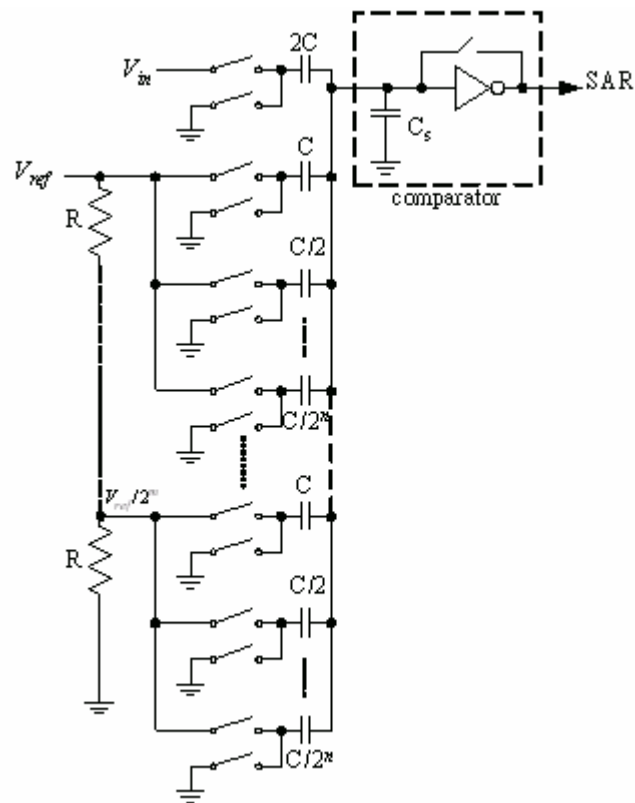


圖 2.7 Resistor-Capacitor Hybrid converter

2.3.4 Current-Mode Converter

為了提升轉換速度並且節省佈局面積，可使用電流式[9]的架構，如圖 2.8 所示。利用比例電流(如 binary-weighted)經開關控制做相加減的動作，再轉換成電

壓，即可形成 DAC 的功能。以電流方式為基礎之下，有許多改進其精確度的電路被提出，其中 segmented current-mode [3] 是一種簡單又有效的方法，所以我們選擇以 segmented current-mode 的方式來實現轉換器。

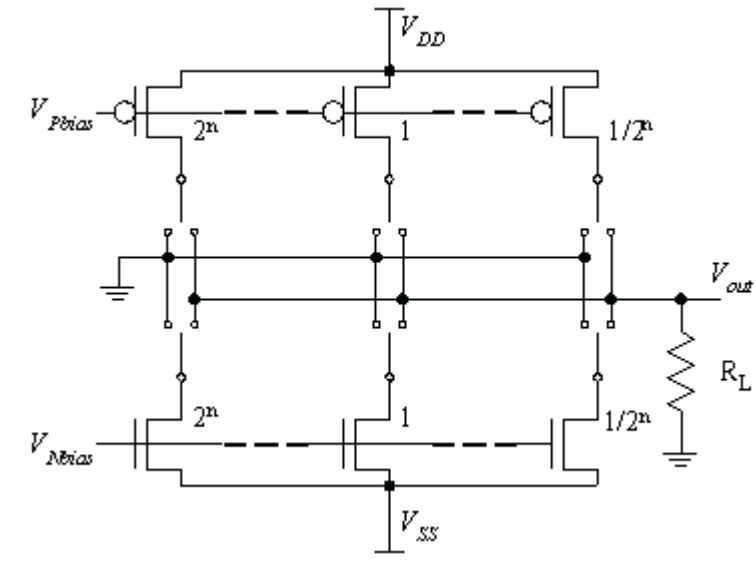


圖 2.8 Binary-weighted current-mode converter

Chapter 3 CIRCUIT DESIGN OF SAR ADC

以本文提出的改良式之片段電流式數位類比轉換器，應用於一個 3-V 8 位元工作頻率為 16MHz，data rate 為 2 MS/s，輸入範圍 1V~2V 的 successive approximation ADC，明顯的好處為速度的增加，相較於原片段電流式數位類比轉換器增加了輸出範圍，在中等的轉換速度提供較低的功率消耗。以下將針對此 successive approximation ADC 之內部電路設計技術，作詳細介紹。

3.1 Sample / Hold (S/H) Amplifier Architecture

為了增加類比數位轉換器的速度，並且能有效利用每一個 Clock 週期，提供穩定的電壓值給比較器，我們所採用的是 Double sampling 的架構，其架構只需二類 operational amplifiers (OPAs) 作為 Buffer 使用即可實現。如圖 3.1 所示，利用兩組簡單的取樣電路組成。兩組 S/H 電路執行動作的週期，可由圖 3.2 來表示。當 Clock 的正半週來臨，第一組執行取樣(Sample)動作，第二組則執行保持(Hold)動作，反之，當 Clock 的負半週來臨，第一組執行保持(Hold)動作，第二組則執行取樣(Sample)動作，如此反覆即可達成 Double sampling 的功能。

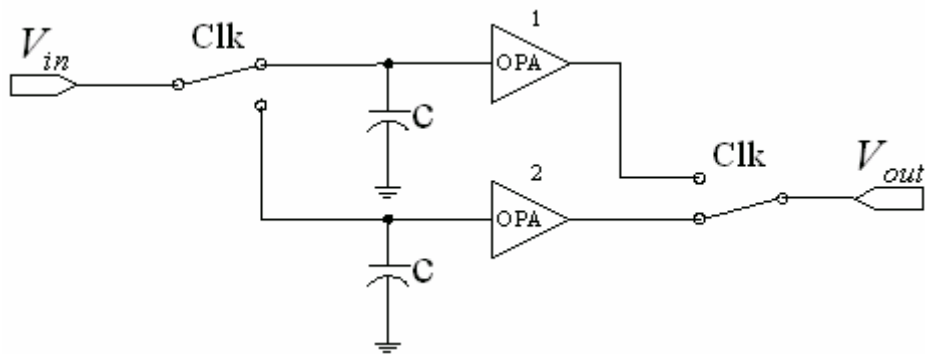


圖 3.1 Double sampling S/H architecture.

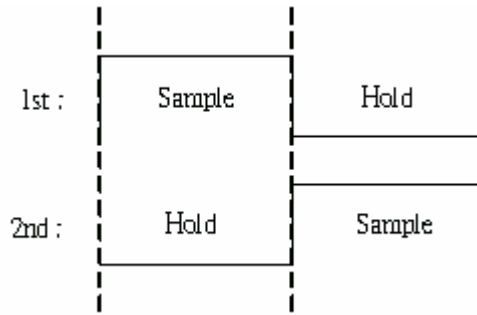


圖 3. 2 Execution period of the double sampling.

這裡值得注意的是，影響 Sample-and-Hold circuit 效能最主要的因素為 Charge Injection 和 Clock Feedthrough，利用 Transmission Gate (如圖 3. 3 所示) 取代單顆 MOS 開關，來降低 Charge Injection 的影響，其原理是以 PMOS 與 NMOS 的組合，經 \overline{CLK} 及 CLK 輸入分別對 PMOS 與 NMOS 的 channel 充電，利用 channel 反向充電的電荷 Δq_1 與 Δq_2 進行互相抵銷。但不幸的是兩顆 MOS 的 gate-source overlap capacitance 並不會完全相同，不能完全的消除 Charge Injection。除此之外還有 OPAs 的 Offset Error 影響 Sample-and-Hold circuit 的效能，所以在 OPAs 的設計上就要對 Offset 問題特別注意。

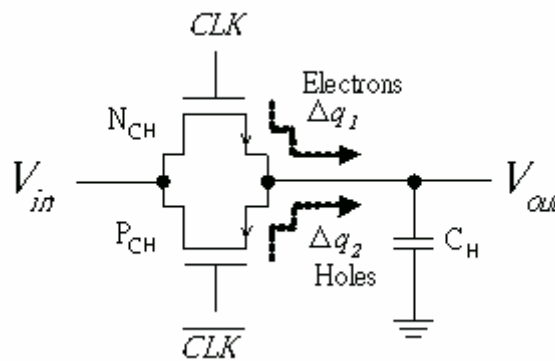


圖 3. 3 Transmission Gate circuit

3.1.1 Clock Divider

為提供 S/H 電路所須之時脈，將系統時脈做處理，我們可以 D 型正反器串接來達到除法的目的，一個 D 型正反器可以除 2。將系統時脈 16MHz 除以 16，即

串接 4 個 D 型正反器，可得我們所要的 1MHz 時脈，如圖 3.4 所示。其細部波形如圖 3.5 所示，將 D 型正反器的輸入與反向輸出連接在一起，輸出就會隨著時脈的變化而改變。

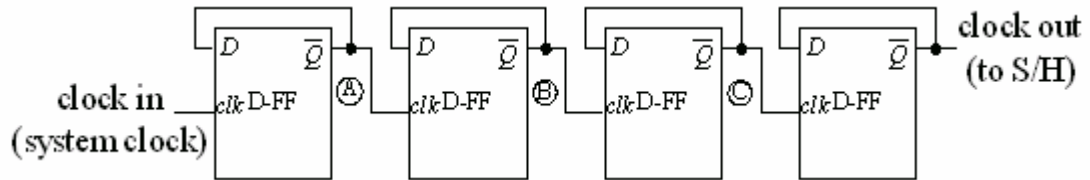


圖 3.4 clock divider circuit

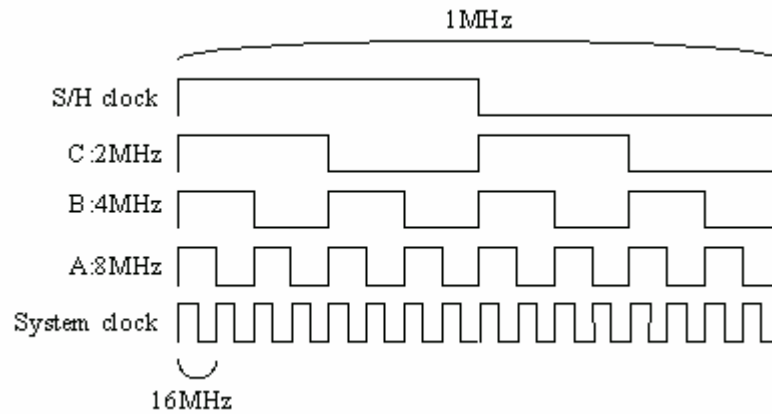


圖 3.5 clock 之示意圖

3.1.2 Simulation results of the S/H

在時域上的模擬結果如圖 3.6 所示，實線為 S/H 的輸出，虛線為輸入 1-V_{PP} 62.5KHz 正弦波，S/H 的工作頻率為 1MHz，很明顯的不同於一般 S/H，輸出端不會有 tracking 波形出現，能有效利用每一個時脈，每一個時脈會有兩次穩定的電壓值輸出，使後級處理的電路可以在一個週期做兩次運算。

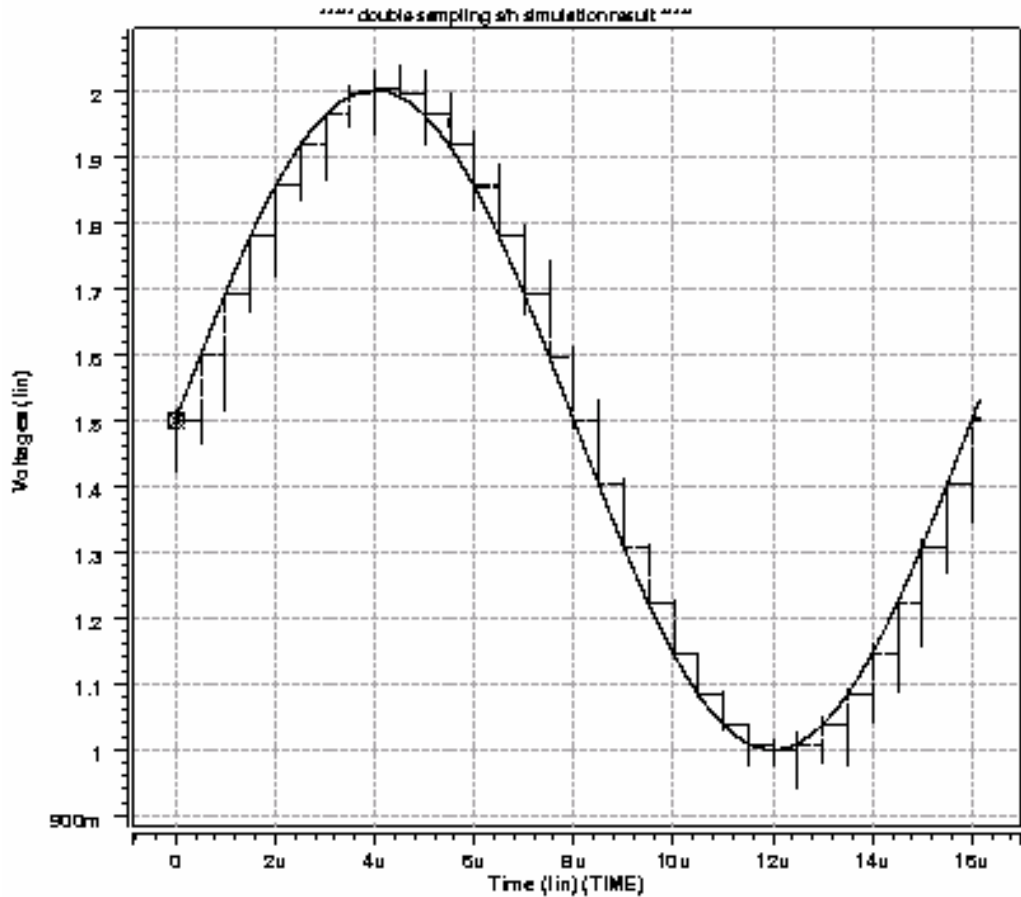


圖 3.6 Simulation result of the S/H circuit.

為了知道此種架構是否符合 8 位元的解析度以上，我們做功率頻譜的分析，觀察是否到達要求。S/H 的工作頻率為 1MHz，輸入 1-V_{PP} 62.5KHz 正弦波，週期為 32 週，共取 1024 點作「快速傅立葉轉換」(FFT)，可得功率頻譜圖，如圖 3.7 所示。

經模擬結果得知，當取樣電容大小為 500fF 時，其 Signal-to-(Noise + distortion) Ratio(SNDR)可達 59.35dB，S/H 電路的解析度應該要大於整個類比數位轉換器的解析度，結果顯示此電路已超過 8-bit 的要求。

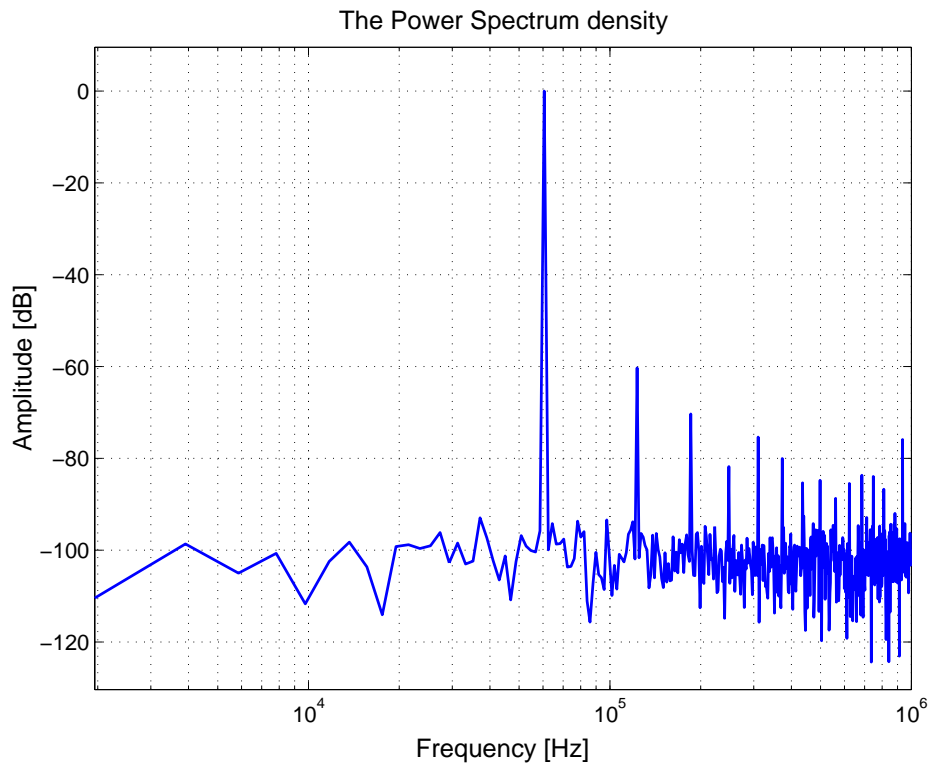


圖 3. 7 Output power spectrum density of the S/H.

若以雜訊的角度來看，雖然電容不會產生雜訊，但它卻會累積其它雜訊源所產生的雜訊，如果要達到在要求 49.76dB (8-bit 解析度) 的系統中不受雜訊所影響，所需的電容值要多大以上才夠，可以公式(3.1)[10]來說明。

$$C = \frac{K \times T}{V_{n(rms)}^2} \quad (3.1)$$

在此定義 $V_{n(rms)}$ 為 $1/4 V_{LSB}(=1mV)$ 的雜訊電壓，K 為 Boltzmann's constant ($1.38 \times 10^{-23} JK^{-1}$)，T 為室溫 $300^\circ K$ ，計算結果至少需要 4.14fF 以上，我們所用的值為 500fF，所以雜訊對電路所造成的影響可被忽略。但影響 S/H 的精確度不單只有雜訊，還有其它的效應，所以電容才需如此的大。

3.2 Comparator

比較器是整個 successive approximation ADC 最重要的元件之一，其關係著類比數位轉換器的轉換速度及解析度，在這裡我們的目標是操作速度大於 16MHz，解析度小於 1/2 LSB。所選擇的架構為含有 Latch 的比較器，因為 Latch 可以提供大而且快速的輸出訊號，若沒有使用含 Latch 的架構，比較器的輸出就必須要有很大的振幅(例如 0V~3V)，當輸入訊號從 -1mV 改變到 +1mV，比較器就需要 63.5dB 的增益。但若有使用 Latch，輸出只需要高於 Latch 的臨界電壓，降低了對增益的要求。

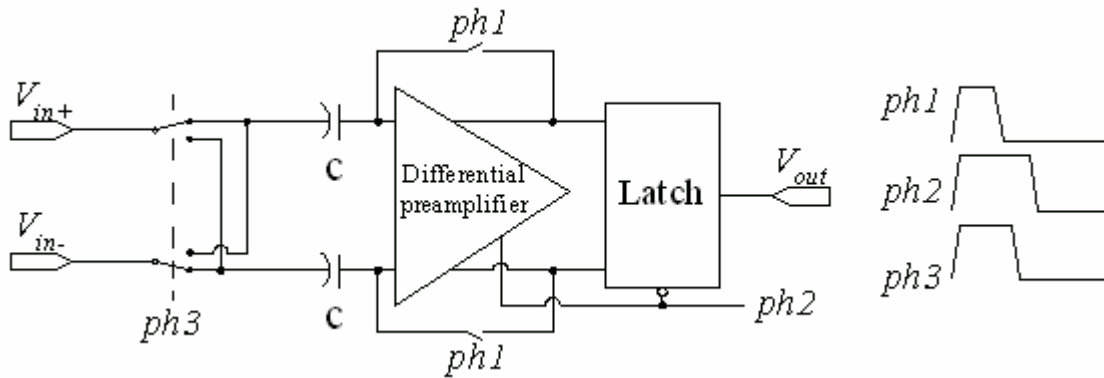


圖 3.8 Comparator 之方塊圖

我們選用的比較器功能方塊圖，如圖 3.8 所示，由兩顆電容、一個 Differential preamplifier 及一個 Latch 所構成，由三個不同的時脈控制。若要達到較高的解析度，可以增加 preamplifier 的增益及加大電容值，但會降低操作速度。

3.2.1 Comparator Circuit

如圖 3.9 所示，當 $ph2$ 為 high 時，電晶體 M1，M2，M3，M4 和 M7 形成 Differential Preamplifier，反之當 $ph2$ 為 low 時，電晶體 M3，M4，M5，M6 和 M7 形成 Bistable Multivibrator [11]。

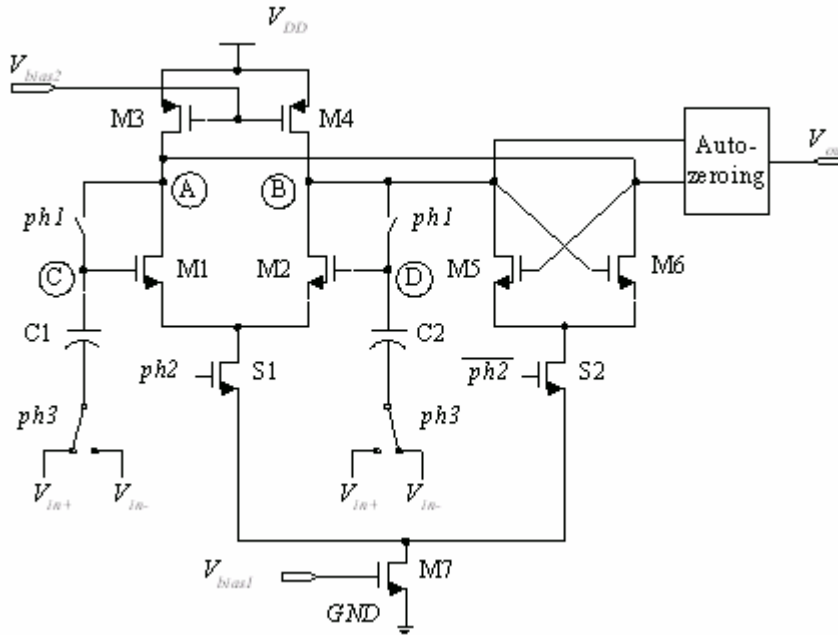


圖 3.9 Circuit design of the comparator.

一開始執行比較的動作時， $ph1$ 、 $ph2$ 、 $ph3$ 同時為 high，preamplifier 開始動作， $C1$ 、 $C2$ 分別充電至 $V_{IN+} - V_C$ 和 $V_{IN-} - V_D$ ，然後 $ph1$ 轉態為 low，使得 $C1$ 、 $C2$ 與 node C、D 浮接，隨後 $ph3$ 轉態為 low， $C1$ 、 $C2$ 電容的底端分別切換至 V_{in-} 和 V_{in+} ，作一個交換的動作，如此可將 node A、B 間的電壓差值放大，之後 $ph2$ 轉態為 low，Multivibrator 動作，執行 latch 的功能，其狀態由 $(V_A - V_B)$ 結果為正或為負來決定 ($V_{IN+} - V_{IN-} > 0 \Rightarrow V_{OUT} = high$)，這樣即可完成比較的動作。

表 1 Size of the comparator

電晶體編號	電晶體尺寸(W/L)
M1	(1.1/1)
M2	(1.1/1)
M3	(7.5/1)*2
M4	(7.5/1)*2
M5	0.9/0.35
M6	0.9/0.35
M7	(7.6/1)*2
S1	0.9/0.35
S2	0.9/0.35

設計比較器的首要目標為低消耗功率，電流消耗定為 $50 \mu\text{A}$ 左右，以電流方程式(3.2)、(3.3)[12]來設計，類比方面考慮 Channel-Length modulation 效應，所以電晶體的長度不可太小，故一般設計在最小長度的二至三倍，而在 Latch 及開關的部分可用最小尺寸設計。所有電晶體尺寸如表 1 所示，其中相乘的部分是「multiple fingers」的數目。

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (3.2)$$

$$I_D = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (3.3)$$

從模擬結果得知比較器的消耗功率為 $208 \mu\text{W}$ ，解析度為 2mV (小於 $1/2$ LSB)。對於比較器的偏移 (Offset) 問題並不會影響整個系統的線性度，只是會造成系統的轉換特性產生偏移，若此比較器要用在高解析度的地方，就需要消除偏移的電路技術，但目前解析度不高，尚在容忍範圍內，故在此沒有加入。另外值得注意的是比較器的輸出，需考慮負載效應的問題，我們在輸出的部分加了額外的電路如圖 3.10 所示，可讓 node A、B 的負載相同，而且有波形整形及 Auto-zeroing 的動作，使輸出更加明確穩定。

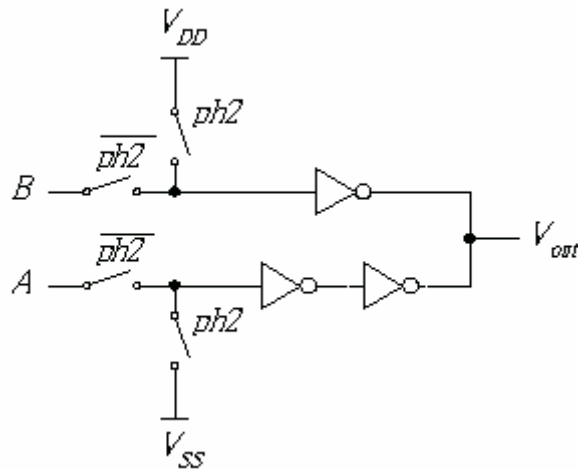


圖 3.10 Auto-zeroing circuit.

3.2.2 Clock of the Comparator

為了產生適合的工作脈波給比較器使用，我們另外製作了 clock delay 產生電路，如圖 3. 11 所示。圖中黑色的反相器為延遲用的反相器，擔任延遲主要的角色，其它為整形用的反相器。

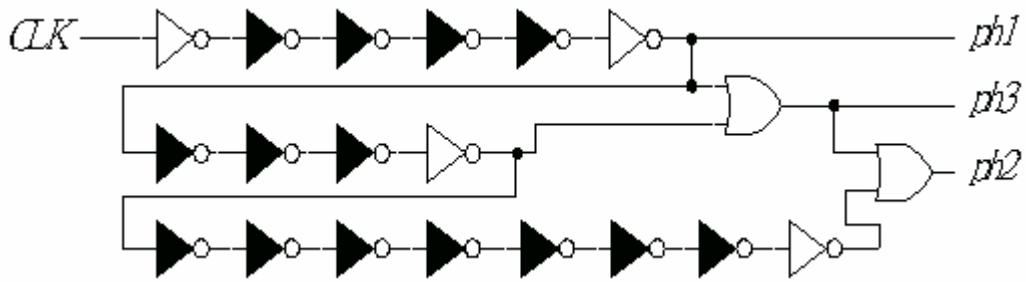


圖 3. 11 Clock circuit of the comparator.

利用串接反相器造成脈波延遲，以單顆反相器來分析，將反相器以簡單 RC 模型取代如圖 3. 12 所示。圖中 R_p 與 R_n 分別為 PMOS 與 NMOS 電晶體導通後的通道電阻， C_L 為下一級反相器的 C_{gs} 與 C_{gd} 。經由通道電阻公式(3.4)、(3.5)得知，改變 L 可增加電阻值，利用此觀念應用於 RC 模型來增加充放電的時間常數，將加大 L 後的反相器串接 i 級，倍增其延遲時間 t_d ，可由公式(3.6)表示。

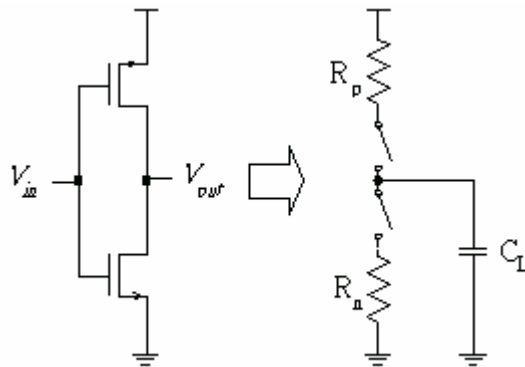


圖 3. 12 Simple RC model.

$$R_p = \frac{1}{\mu_p C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad (3.4)$$

$$R_n = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad (3.5)$$

$$t_d = \sum_i R_i C_i \quad (3.6)$$

模擬實驗結果如圖 3.13 所示。CLK 為 16MHz 方波，*ph1* 與 *ph3* 相差 3.2ns，*ph2* 與 *ph3* 相差 12.5ns。

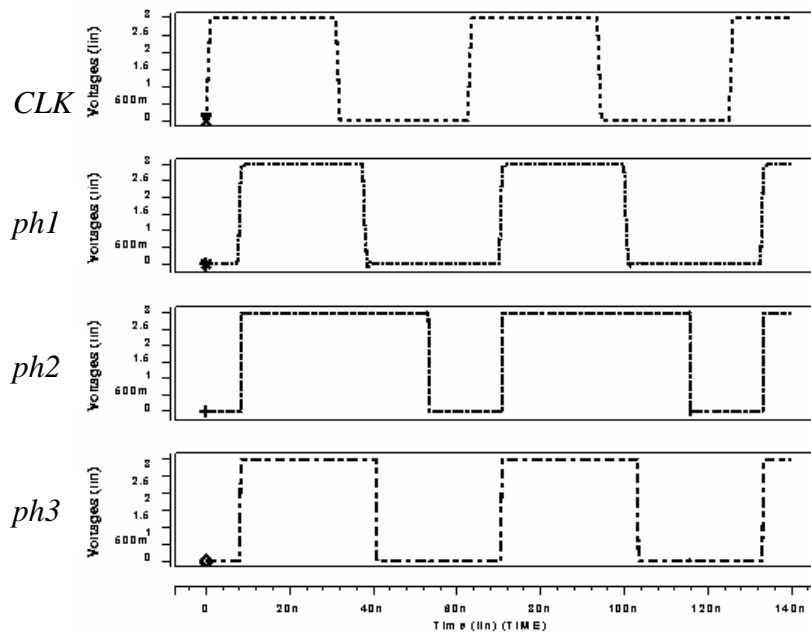


圖 3.13 Clock simulation of the comparator.

3.3 Segmented Current-Mode DAC

在整個 successive approximation ADC 系統中，DAC 為其核心電路，決定了整個 ADC 電路的精確度，所以 DAC 的設計在此就變的很重要。對於 successive approximation ADC 的內部 DAC 而言，有許多架構可以實現，其中 segmented

current-mode [3][13][14]的架構是一種適用於高解析度 DAC 的有效方法，相較於傳統「Current Switching Matrix」相較之下較省面積[11]。圖 3.14 為一基本的 N -bit segmented D/A converter，由 m 個 coarse current source (I_u)組成。其基本概念是將粗略電流源(coarse current source) (I_m)用 current divider 分成數個精細電流(fine currents)，由輸入的數位訊號來加以控制開關的切換，來決定 I_{out} 會有多少電流流入。

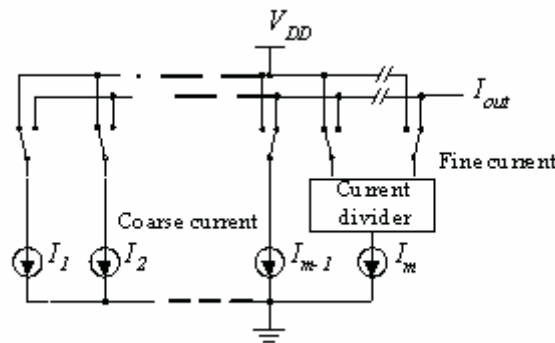


圖 3.14 Basic N -bit segmented D/A converter.

以此方法來實現 DAC，在粗略電流源的部分(由 MSBs 控制)就必須使用 thermometer 碼的方式來確保其單調性(monotonicity)，由 thermometer 解碼器控制的最後一級粗略電流源(屬於 MSBs 控制的其中一個粗略電流源)，可經過 current divider 分成精細電流的部分(由 LSBs 控制)，此一級粗略電流源必須與其它的粗略電流源互相匹配，而且能夠互相匹配在一個 V_{LSB} 的精確度以內，否則整個 DAC 就不會有真正單調(monotonic)的行為。我們可以用一簡單示意圖來解釋，如圖 3.15 所示，使用一固定的粗略電流源切細成精細電流，並不能保證 DAC 的行為一定是單調遞增或單調遞減，其中只要最後一級的粗略電流源沒有與其它粗略電流源匹配(在一個 V_{LSB} 之內)，就會出現非單調(Non-monotonic)的行為，造成輸出上的錯誤。為了解決此一現象，可以加入三向開關(three-way switch)在每一粗略電流源上，如圖 3.16 所示。

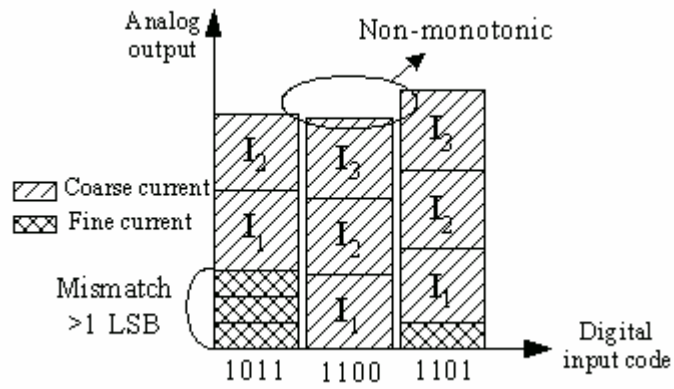


圖 3.15 Non-monotonic behavior of the DAC.

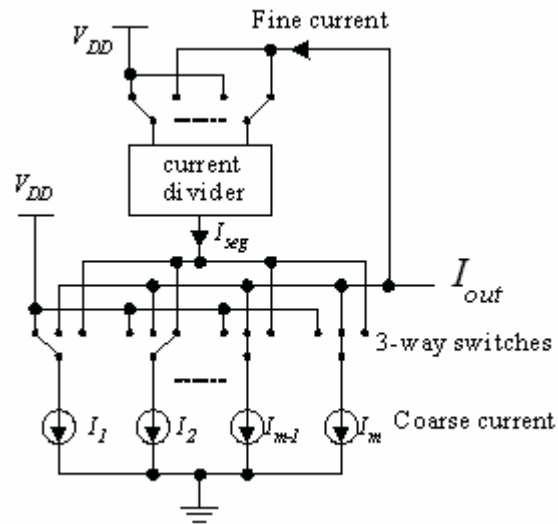


圖 3.16 Monotonic N -bit segmented D/A converter

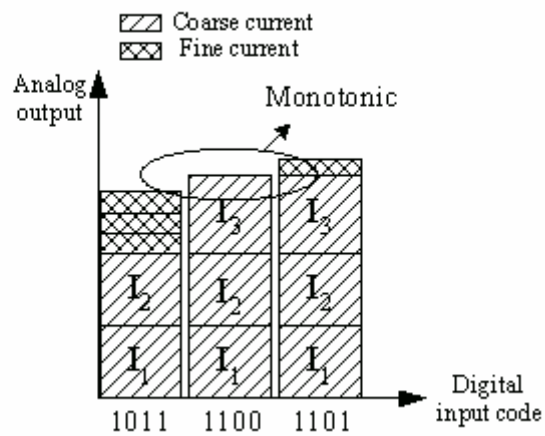


圖 3.17 Monotonic behavior of the DAC

利用三向開關可以改善電流匹配誤差的影響，當有數位資料輸入時， $I_1 \sim I_{m-1}$ 的粗略電流源會切換至輸出，而 I_m 則會切換至 fine current divider。我們可以用示意圖來解釋，如圖 3. 17 所示，隨著輸入的改變，而使用不同的粗略電流源來切細成精細電流，就能保證 DAC 的行為一定是單調遞增或單調遞減，如此可降低了粗略電流源間的匹配要求。在這裡被選擇到的粗略電流源之電流 I_m 稱為片段電流(segment current) I_{seg} 。

將上述之觀念以電路實現，如圖 3. 18 所示。將 N 個位元分成 C 個 MSBs 位元及 F 個 LSBs 位元兩部分。

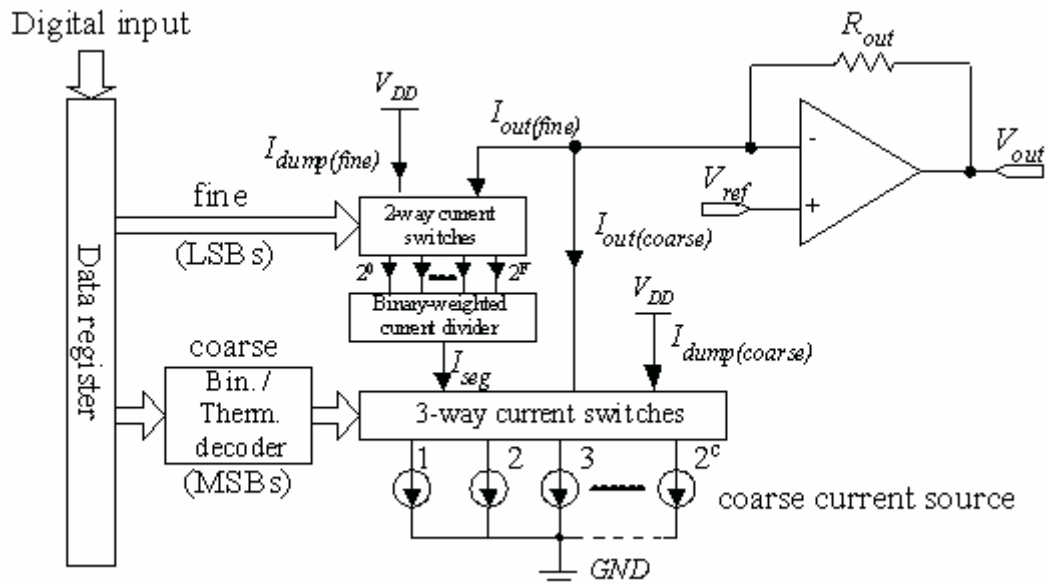


圖 3. 18 Segmented N -bit inherently monotonic current DAC 方塊圖

在 MSBs 的部分，使用了「Binary-to-Thermometer」解碼器解成 thermometer 碼，用來控制粗略電流的路徑流向。其餘 LSBs 的部分，則直接用來控制精細電流的路徑流向。以 8 位元為例，若將其分成 MSBs 為 4 位元、LSBs 為 4 位元，這時粗略電流源就需要 2^4 個，而 current divider 就要將片段電流細分成 2^4 個精細電流。 $I_{out} (=I_{out(coarse)}+I_{out(fine)})$ 由輸出端流入，經過電流電壓轉換器(I-V converter)，產生輸出類比電壓。因為電流流向是單方向的，所以輸出範圍只能在 V_{ref} 以上，

但 V_{ref} 卻不能太低，理由是 V_{ref} 利用 OPA 虛短路的原理，提供偏壓給前級電路，若電壓太低會造成前級電路中電晶體的 V_{DS} 過小，導致電晶體由飽和區進入至三極體區。輸出電壓範圍受限為其主要缺點。

為了改善其缺點，我們修改原有的電路架構，如圖 3. 19 所示。整個架構可分成兩大部分，上半部為 P-channel 粗略電流源，負責提供電流給電流電壓轉換器；下半部為 N-channel 粗略電流源，負責從電流電壓轉換器吸取電流。很明顯的輸出範圍不再受限制，可完全由電流電壓轉換器的電阻 R_{out} 來控制。

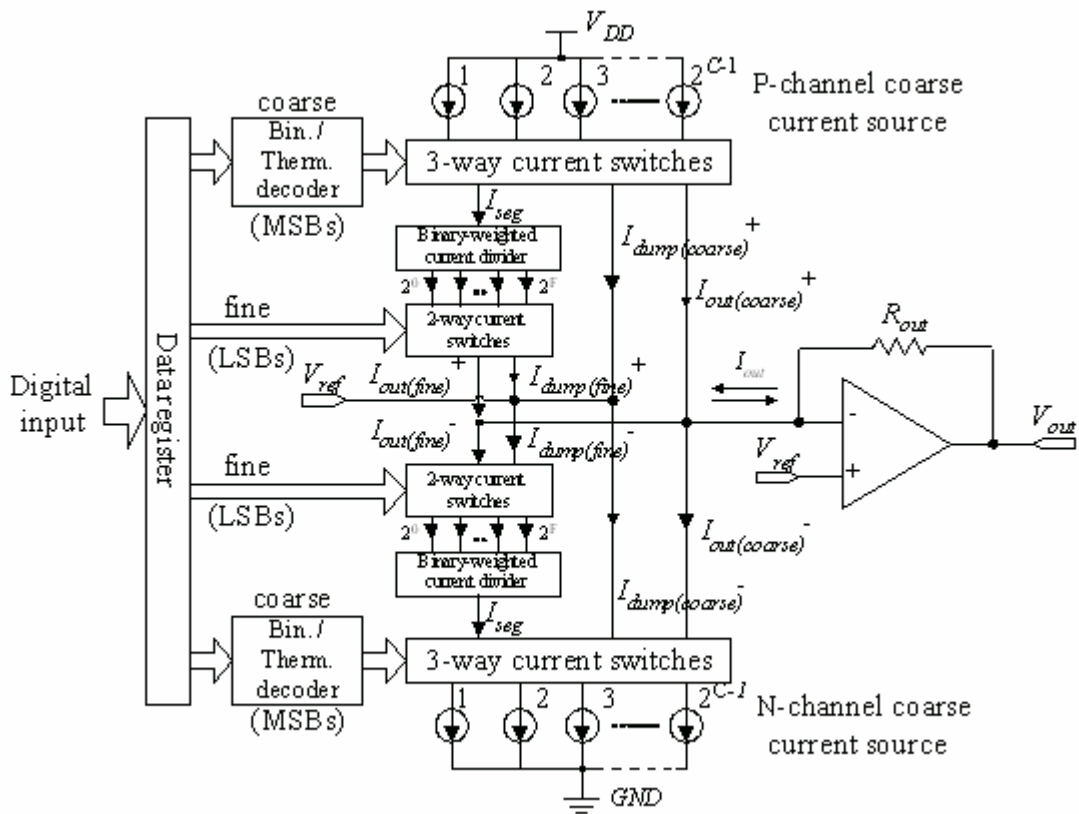


圖 3. 19 N-bit bi-direction segmented DAC 方塊圖

我們以 8 位元作為設計的目標，在 3V 的系統，輸出電壓範圍為 1V~2V，將 8 個位元分成 1 個符號位元(sign bit)、3 個粗略(coarse)位元及 4 個精細(fine)位元。符號位元是用來決定對於電流電壓轉換器的電流方向，3 個粗略位元(即 MSBs)經由 3 對 8 binary-to-thermometer 解碼器控制著粗略電流源的路徑流向，而 4 個精細位元(即 LSBs)則是直接控制雙向(2-way)開關決定精細電流的路徑流向。

輸出範圍可分為兩部分，第一部份 P-channel 粗略電流源提供電流 ($I_{out(coarse)}^+$ 和 $I_{out(fine)}^+$)，輸出範圍為 $1 \sim V_{ref}$ ；第二部分 N-channel 粗略電流源吸取電流 ($I_{out(coarse)}^-$ 和 $I_{out(fine)}^-$)，輸出範圍為 $V_{ref} \sim 2V$ ，此處的 V_{ref} 為 $V_{DD}/2$ (設計在電源的一半可得最大輸出範圍)。假設有一筆 8 位元資料輸入，最高位元 (即符號位元) 決定由上半部 P-channel 或下半部 N-channel 電路動作，在 3 位元 MSBs 的部分會先解碼成 thermometer 碼，決定有 $m-1$ 個粗略電流源切換至輸出，此處電流合為 $I_{out(coarse)}$ (換言之， $I_{out(coarse)}$ 電流大小是由 MSBs 所控制，有被選擇到的粗略電流源電流才可輸出)，同時第 m 個粗略電流源切換至 binary-weighted current divider 當作片段電流 (I_{seg})，經由 binary-weighted current divider 產生 binary-weighted 的精細電流，LSBs 控制著雙向開關選擇哪些 binary-weighted 電流輸出，有被選到的精細電流合為 $I_{out(fine)}$ 。DAC 的總合電流 I_{out} 為粗略電流 $I_{out(coarse)}$ 加上精細電流 $I_{out(fine)}$ ，經過電流電壓轉換器轉換成適當的電壓值。

為了降低電流穩定的時間，將未選到之電流 (I_{dump}) 切換至 V_{ref} ，使其電流值保持固定，以等待下一筆資料的來臨。較詳細的部分電路設計，如圖 3.20 所示。

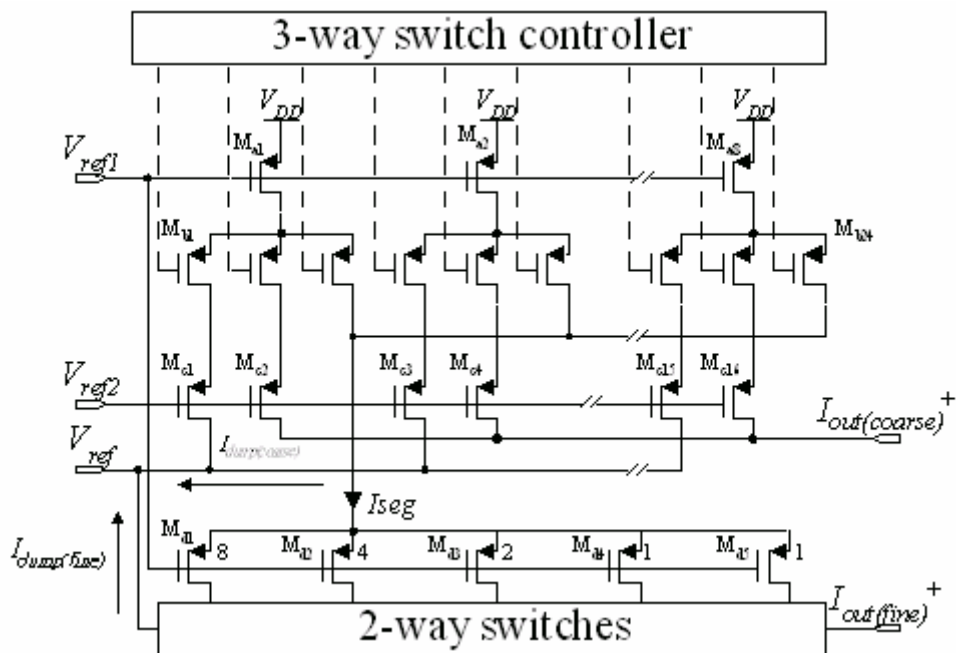


圖 3.20 DAC 上半部之 P 型電流源電路

電晶體 $M_{a1}\sim M_{a8}$ 是 P-channel 粗略電流源；電晶體 $M_{b1}\sim M_{b24}$ 是由三向開關控制器所控制的電流開關；電晶體 $M_{c1}\sim M_{c16}$ 是為了增加粗略電流的精確度而串接上的；電晶體 $M_{d1}\sim M_{d5}$ 用來當作 current divider。而 DAC 下半部之 N 型電流源電路，相似於上半部，只須將 P-channel 換成 N-channel 即可。

然而本論文所提的架構卻遭遇到之前未有的電流不匹配問題，若 P-channel 與 N-channel 電流不能匹配，會造成輸出範圍不對稱，Integral nonlinearity (INL) error 會變大。在此使用了簡單的電流鏡(current mirror)的技術來修正，如圖 3.21 所示，事實上此電路為 MOS 分壓電路，但利用相同的 V_{DS} 與 V_{GS} 和 DAC 電路中電流源相接即可控制電流，達到電流匹配的目的。在佈局時也要注意其電流源對稱性的問題。

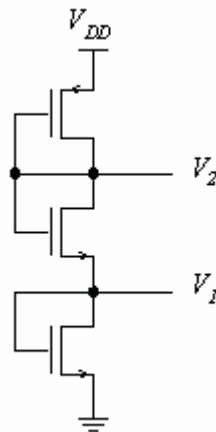


圖 3.21 MOS 分壓電路

3.3.1 3-way switch controller

在這一節介紹 segmented DAC 內部所需的數位電路，三向開關控制器中包含了 MSBs 所需要的數位電路—「binary-to-thermometer 解碼器」。thermometer 碼不同於二進制碼的地方，就是對於 2^N-1 個輸入，會產生 2^N 個不同的輸出狀態，相較之下，二進制碼只需 N 個位元輸入，即可產生 2^N 個不同的輸出狀態。我們舉例說明，當 N 等於 3 時，其真值表如表 2 所示。

表 2 3 對 8 binary-to-thermometer decoder

Binary Code			Thermometer Code						
B3	B2	B1	T7	T6	T5	T4	T3	T2	T1
0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	0	1
0	1	0	0	0	0	0	0	1	1
0	1	1	0	0	0	0	1	1	1
1	0	0	0	0	0	1	1	1	1
1	0	1	0	0	1	1	1	1	1
1	1	0	0	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1

使用 thermometer 碼來設計轉換器，會比使用二進制碼來設計多了下列幾項優點：

1. 較低的 Differential nonlinearity (DNL) error
2. 保證單調性(monotonicity)
3. 減少 Glitch 雜訊

三向開關控制器是扮演著決定粗略電流源路徑的角色，其實是以 4 對 16 binary -to- thermometer 解碼器為基礎再加上一些額外的數位電路而構成的。以其真值表來看，如表 3、表 4 所示，加以化簡就可得知。在 P-channel 部分為求與電流源分壓一致性，所採用的開關是以 PMOS 來實現；而在 N-channel 部分則是以 NMOS 來實現。

表 3 三向開關控制器之 P-channel 真值表(B₇=0)

B ₆	B ₅	B ₄	Sw8			Sw7			...	Sw2			Sw1		
0	0	0	1	1	0	1	0	1	...	1	0	1	1	0	1
0	0	1	0	1	1	1	1	0	...	1	0	1	1	0	1
0	1	0	0	1	1	0	1	1	...	1	0	1	1	0	1
0	1	1	0	1	1	0	1	1	...	1	0	1	1	0	1
1	0	0	0	1	1	0	1	1	...	1	0	1	1	0	1
1	0	1	0	1	1	0	1	1	...	1	0	1	1	0	1
1	1	0	0	1	1	0	1	1	...	1	1	0	1	0	1
1	1	1	0	1	1	0	1	1	...	0	1	1	1	1	0

表 4 三向開關控制器之 N-channel 真值表($B_7=1$)

B_6	B_5	B_4	Sw16			Sw15			...	Sw10			Sw9		
0	0	0	1	0	0	1	0	0	...	1	0	0	0	0	1
0	0	1	1	0	0	1	0	0	...	0	0	1	0	1	0
0	1	0	1	0	0	1	0	0	...	0	1	0	0	1	0
0	1	1	1	0	0	1	0	0	...	0	1	0	0	1	0
1	0	0	1	0	0	1	0	0	...	0	1	0	0	1	0
1	0	1	1	0	0	1	0	0	...	0	1	0	0	1	0
1	1	0	1	0	0	0	0	1	...	0	1	0	0	1	0
1	1	1	0	0	1	0	1	0	...	0	1	0	0	1	0

表中開關的順序由左至右為 I_{dump} 、 I_{out} 、 I_{seg} ，開關的切換代表改變的電流路徑。開關所需的個數為 $2^N * 3$ (N 為位元數)，在本三向開關控制器中共須 48 個開關來控制。

在雙向開關的部分，可以採用 LSBs 直接控制，如圖 3.22 所示。 I_{seg} 流入 Binary-weighted current divider 被細分成比例大小不同的電流，為了避免流經雙向開關的電流大小不同而造成開關的 V_{DS} 不一致，進而影響 Binary-weighted current divider 所細分出的電流精確度，故在開關上的設計須考慮電流大小，開關的尺寸應與電流成正比來設計，以提高精細電流的精確度。

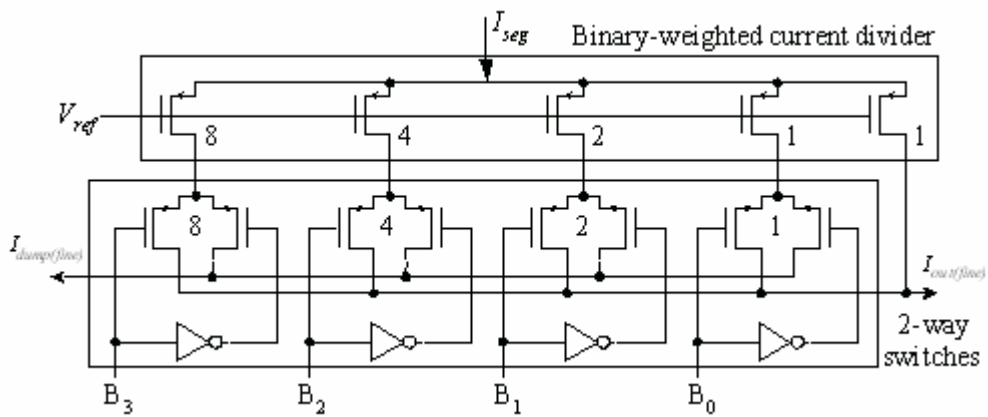


圖 3.22 2-way switches circuit

3.3.2 I-V Converter

在電流式的 DAC 中，需要將電流轉變為電壓再送至電壓比較器，這時就需要電流電壓轉換器。本論文中使用的電流電壓轉換器基本上是使用 OPA 並聯電阻所構成的，利用 OPA 負回授特性(虛短路)，輸入 V_{ref} 為 1.5V 與流經電阻產生的電壓降作相加減，可得輸出電壓。電阻大小的決定可由(3.7)式說明

$$R_{out} \approx \frac{Output_range}{2^N} \times (I_{unit} \pm \Delta I) \quad (3.7)$$

其中 $Output_range$ 是電流電壓轉換器的最大輸出振幅； I_{unit} 是所設計的最小精細電流； ΔI 為電流偏移誤差； N 為所要設計 DAC 的位元數。在這裡所設計 I_{unit} 的無法精準的以電晶體做出，須加上一電流誤差值 ΔI ，此值可利用 HSPICE 模擬得知。將值帶入 $(N, Output_range, I_{unit}, \Delta I) = (8, 1V, 1 \mu A, 23nA)$ ，電阻 R_{out} 大約為 3.83k 歐姆左右。

3.3.2.1 Operational Amplifier

OPA 是一個很重要的元件，在許多類比電路及混合信號系統都可發現其蹤影，通常關係著電路效能，在某一些電路中甚至可以說 OPA 設計的好壞決定了電路的整體效能。實現 OPA 的架構有很多種，在本論文中所挑選的架構為「two - stage」，其特性是擁有高增益、高輸出振幅、低速、中等的消耗功率、低雜訊等，其方塊圖如圖 3.23 所示。

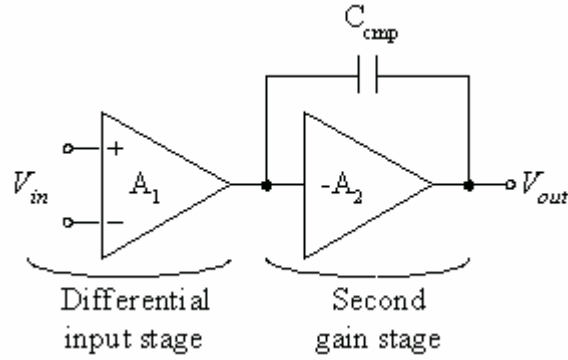


圖 3. 23 Two-stage OPA 之方塊圖

OPA 在 DAC 中是影響速度的主因，而在 S/H 要求較不嚴格，故我們以 DAC 中的電流電壓轉換器所需求的規格來設計。需考慮的參數有頻寬(Bandwidth)、slew rate、直流增益(DC gain)、Phase Margin 等，在速度方面的考量(即穩定時間)可以 (3.8)式來計算其頻寬。

$$V_{out}(t) = V_{step}(1 - e^{-t/\tau}) \quad (3.8)$$

其中 V_{step} 為一步階電壓大小， $V_{out}(t)$ 為最後穩定電壓， τ 為電路的時間常數。我們假定 V_{step} 為 1V，最後穩定電壓希望為 0.999V(也就是 1/4 LSB)， τ 是以 DAC 操作速度(16MHz)來決定，結果可算出穩定時間大約須 7τ ，所以 OPA 的頻寬需要 112 MHz 以上。直流增益須 60dB 以上，Phase Margin 最好在 65° 以上，slew rate 愈高愈好。實際電路如圖 3. 24 所示。

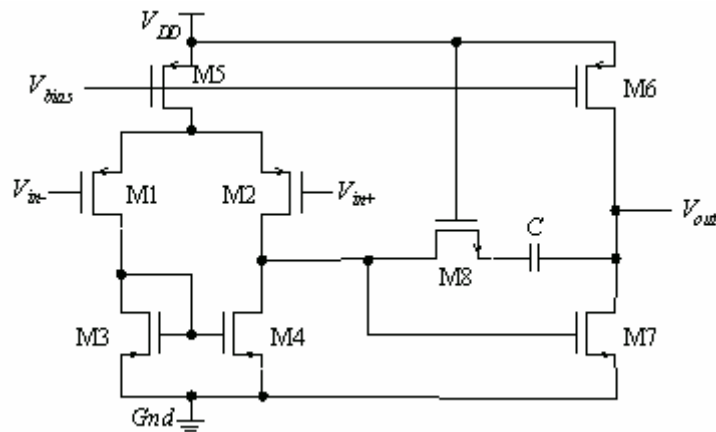


圖 3. 24 Two-stage OPA 之電路圖

採用 PMOS 為輸入電晶體能有較佳的 Slew Rate、Unity-gain frequency、較小的 Flicker 雜訊。在偏移電壓的考慮方面，在沒有外加抵銷偏移電壓電路的情況下，要使偏移電壓降低就須以(3.9)[10]的條件來設計。

$$\frac{(W/L)_7}{(W/L)_4} = 2 \frac{(W/L)_6}{(W/L)_5} \quad (3.9)$$

我們設計出來的 OPA 頻寬為 200MHz，DC gain 為 65.2dB，Phase Margin 為 61.3°，偏移電壓為 2mV。在本 ADC 中 OPA 為主要消耗功率的元件，我們必須小心的設計，尤其在用在電流電壓轉換器時，OPA 的第二級需配合 DAC 輸出電流作流入流出的動作，故我們必須將第二級的電流設計大一點，使其能夠完全配合 DAC 的電流。但是 OPA 使用在 S/H 中當成 Buffer 時，第二級的電流就不需很大，應以功率消耗作為考量。當用在電流電壓轉換器時，消耗功率為 705 μW。詳細的電晶體尺寸如表 5 所示。

表 5 OPA 的電晶體尺寸

電晶體編號	電晶體尺寸
M1	8.1/1
M2	8.1/1
M3	4.2/1
M4	4.2/1
M5	(10/1)*2
M6	(10/1)*6
M7	(4.2/1)*6
M8	0.9/1

3.3.3 Simulation results of the DAC

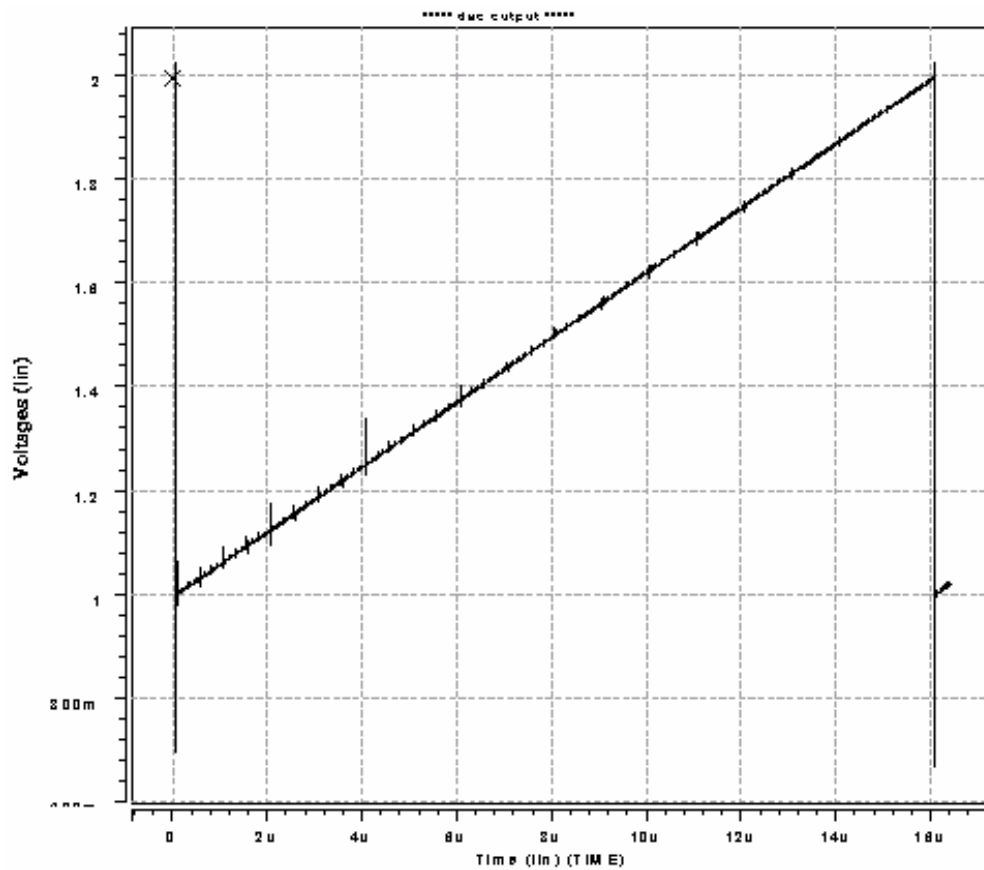


圖 3.25 Simulation result of the DAC

圖 3.25 為 DAC 輸出的模擬結果，輸入 8 位元數位資料 $00000000_2 \sim 11111111_2$ 得到輸出結果，輸出範圍 1V~2V，這裡最小的精細電流設計成 $1 \mu A$ ，故粗略電流為 $16 \mu A$ 。圖中雖然有出現一些突波，但對整個 ADC 不會造成影響，只要最後有穩定下來即可。在 INL 部分的測試如圖 3.26 所示，其值為小於 0.47 LSB。而在 DNL 部分的測試如圖 3.27 所示，其值為小於 0.154 LSB。

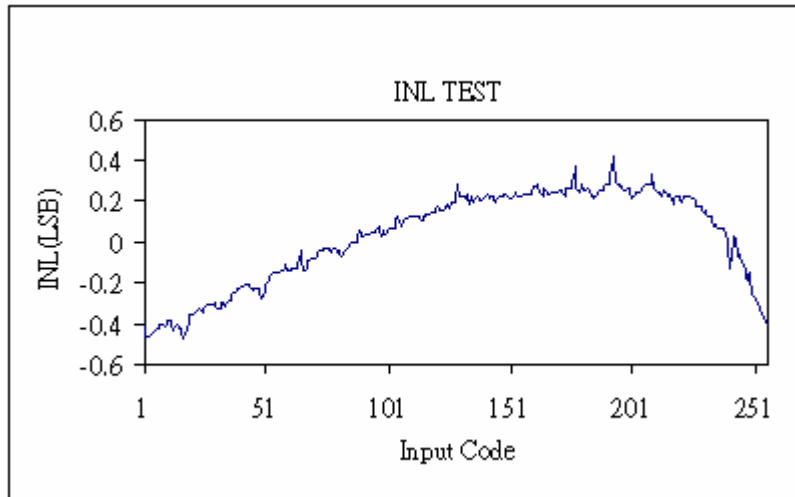


圖 3.26 DAC 之 INL 測試結果

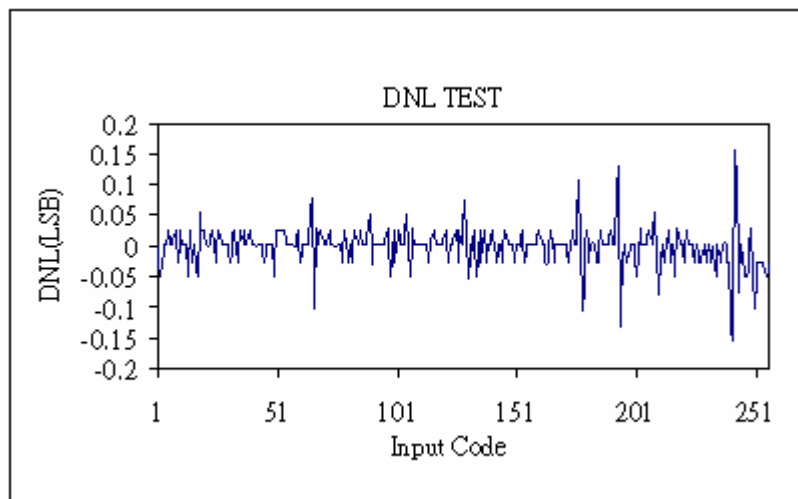


圖 3.27 DAC 之 DNL 測試結果

3.4 SAR Controller

一般對一個 N 位元的 SAR 控制器來說，通常需要兩組暫存器來完成二元搜尋演算法[15]。如圖 3.28 所示，其中一組(memory register)為儲存轉換結果，而另一組(shift register)則用來預測結果。我們在此不使用一般的架構，而是採用「non-redundant successive approximation register」的架構[16]，如圖 3.29 所示，可將 N 位元原本所需 $2N$ 個 Flip-Flop(FF)降為 N 個 FF，可大量的減少 FF 的數量。其架構如所示，整個動作狀態有如 finite state machine (FSM)。

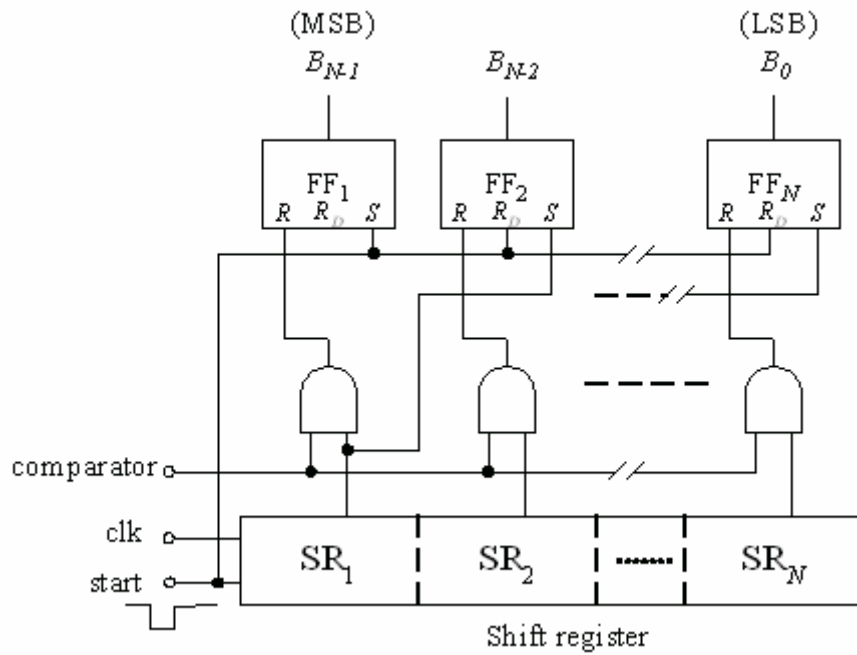


圖 3.28 一般常見的 N -bit SAR 控制器

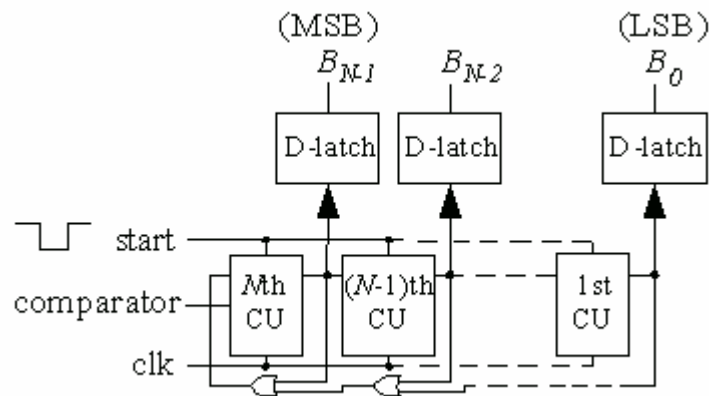


圖 3.29 N -bit SAR controller based on the non-redundant structure

SAR 控制器動作原理：一開始先設定初始值，在 start 輸入一 low 脈波訊號，將 MSB 設定為 1，其它位元設定為 0。這時 DAC 會輸出 $1.5V(1/2 \text{ full scale})$ ，接下來比較器開始進行比較動作。如果比較器輸出為 low，MSB 將會被重設為 0，並且保持到整個比較週期結束為止。反之，若比較器輸出為 high，MSB 則會繼續保持為 1。其餘的位元以此類推，一次決定一個位元，開始都先猜 high，然後依 comparator 輸出決定要維持 high 或改為 low，以 8 位元來看，共需執行 8 次如表 6

所示，方能得到結果。經過 8 個比較週期後，可利用上一個比較週期在 LSB 所設定的 1 經過一個延遲來觸發，設定 MSB 開始下一次的重新比較。

表 6 8 位元 SAR 控制器之執行動作順序

Conversion step	D/A converter input								Comparator output
0	1	0	0	0	0	0	0	0	B ₇
1	B ₇	1	0	0	0	0	0	0	B ₆
2	B ₇	B ₆	1	0	0	0	0	0	B ₅
3	B ₇	B ₆	B ₅	1	0	0	0	0	B ₄
4	B ₇	B ₆	B ₅	B ₄	1	0	0	0	B ₃
5	B ₇	B ₆	B ₅	B ₄	B ₃	1	0	0	B ₂
6	B ₇	B ₆	B ₅	B ₄	B ₃	B ₂	1	0	B ₁
7	B ₇	B ₆	B ₅	B ₄	B ₃	B ₂	B ₁	1	B ₀
Result	B ₇	B ₆	B ₅	B ₄	B ₃	B ₂	B ₁	B ₀	-

8 位元「non-redundant structure」的 SAR 控制器是由 8 個控制單元(CU)所組成的，如圖 3.30 所示。每一個控制單元皆包含了一個 D-FF 及一些組合邏輯閘，可執行三種功能動作，分別為 shift register、load data、hold data。控制單元的輸出可以布林代數來表示，如(3.10)式所示。

$$BitN_{(next)} = Hold \cdot BitN \cdot Shift + Hold \cdot BitN \cdot Load + Hold \cdot BitN \quad (3.10)$$

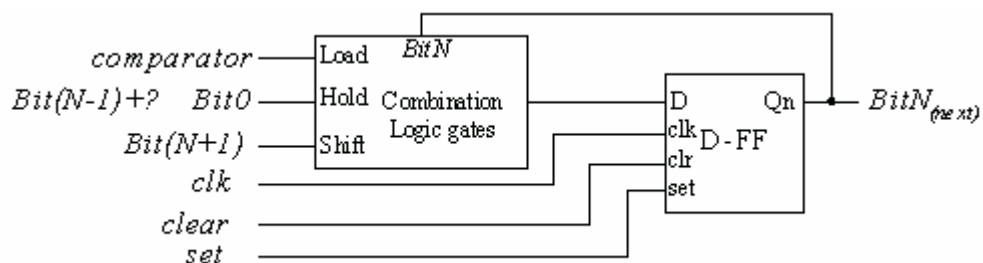


圖 3.30 N_{th} 控制單元方塊圖

控制單元的動作次序：

1. 資料移位至下一個控制單元(執行預測動作)
2. 載入比較器的輸出結果
3. 保存資料(使用 OR 閘來控制，利用預測用的“1”來當作輸入訊號)

在這額外補充說明圖 3.29 中 D-latch 的功用，因為在比較週期輸出會跟著改變，為了使輸出穩定，所以加上了 D-latch。D-latch 的電路如圖 3.31 所示，使用簡單的架構來達成，僅須 6 顆電晶體，當 clk 為 high 時， V_{in} 等於 V_{out} ；而當 clk 為 low 時， V_{out} 保持不變。

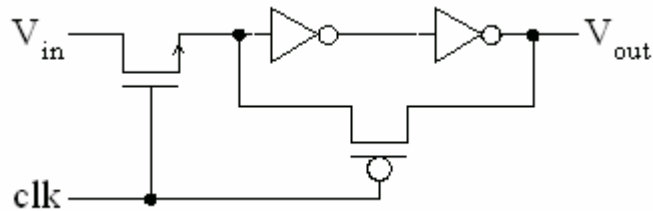


圖 3.31 D-latch 電路圖

Chapter 4 EXPERIMENTAL RESULTS

我們將第三章所提及之電路加以組合，使用 TSMC 1P4M $0.35\ \mu\text{m}$ CMOS 的製程來模擬及實現。在電源供給為 3V 的系統之下，整個電路的功率消耗小於 2.6mW，其轉換速率為 2MS/s。

4.1 ADC Test

◆ Static test

首先測試 ADC 的靜態效能，於 ADC 輸入端輸入一 1V~2V ramp 訊號，測試其非線性誤差。

1. Integral Nonlinearity Error (INL)

使用「best-fit line」來做 INL 的測試，結果如圖 4.1 所示。INL 誤差值小於 0.82 LSB。

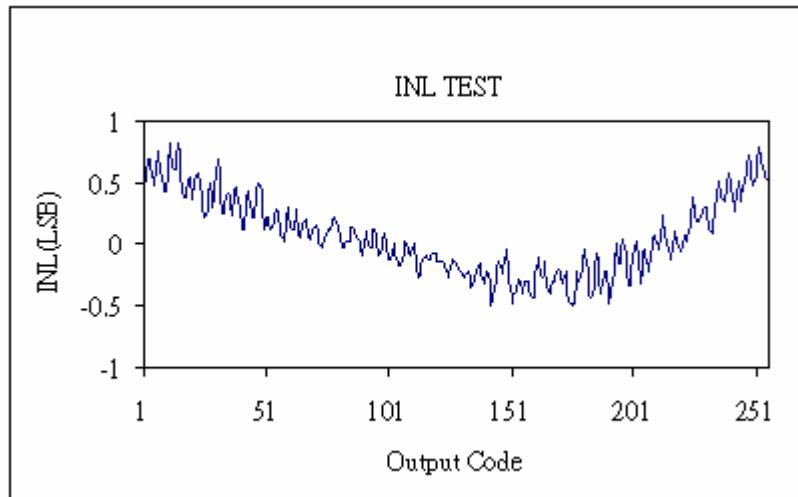


圖 4.1 ADC 之 INL 的測試結果

2. Differential Nonlinearity Error (DNL)

一般而言 DNL 若小於 0.5 LSB，則保證該 ADC 為 monotonic。而我們測試結

果，DNL 誤差值小於 0.31 LSB，結果如圖 4.2 所示。

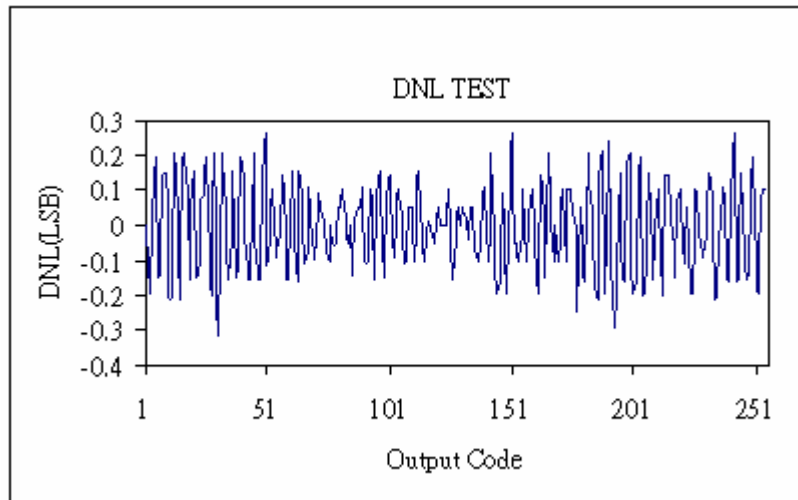


圖 4.2 ADC 之 DNL 的測試結果

◆ Dynamic test

再來測試 ADC 的動態效能，於 ADC 輸入端輸入一電壓為 $1V_{pp}$ ，頻率為 62.5kHz 的正弦波訊號。每一週期取 32 點，連續取 32 週，共 1024 點的轉換結果，將結果用 MATLAB 做 1024 點的 Fast Fourier transform (FFT)，其結果如圖 4.3 所示，其 signal-to-(noise and distortion) ratio (SNDR) 為 43.4dB。

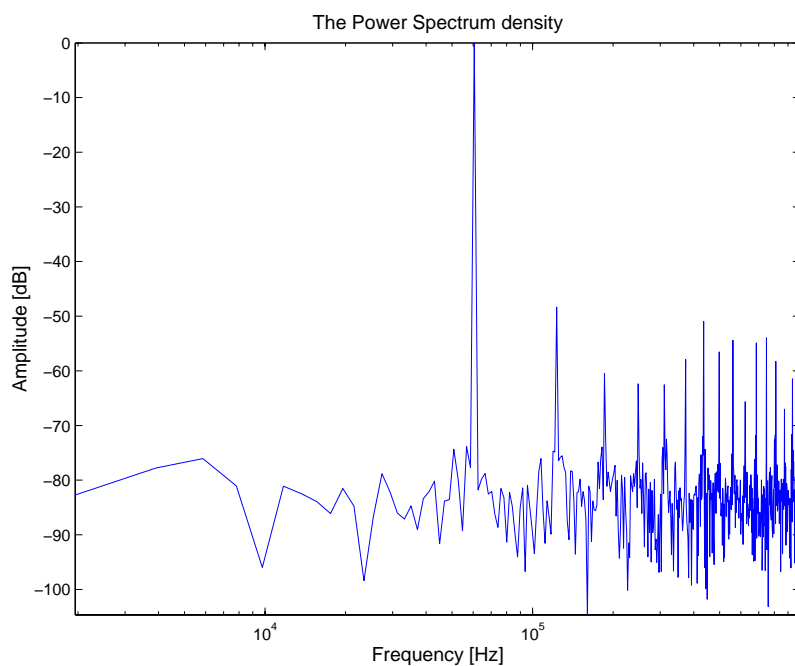


圖 4.3 Output power spectrum density of the ADC

在不同的輸入頻率之下，其 Effective number of bits (ENOB)如表 7 所示。ENOB 與輸入頻率之間的關係，如圖 4. 4 所示。此 post layout simulation 的結果較劣於電路模擬結果，主要原因是在佈局後之雜散電容對比較器影響嚴重，使得比較器的解析度降低。

表 7 Effective number of bits

輸入頻率	SNDR	ENOB
31.25kHz	44.01dB	7
62.5kHz	43.4dB	6.9
125kHz	42.82dB	6.8
250kHz	42.9dB	6.8

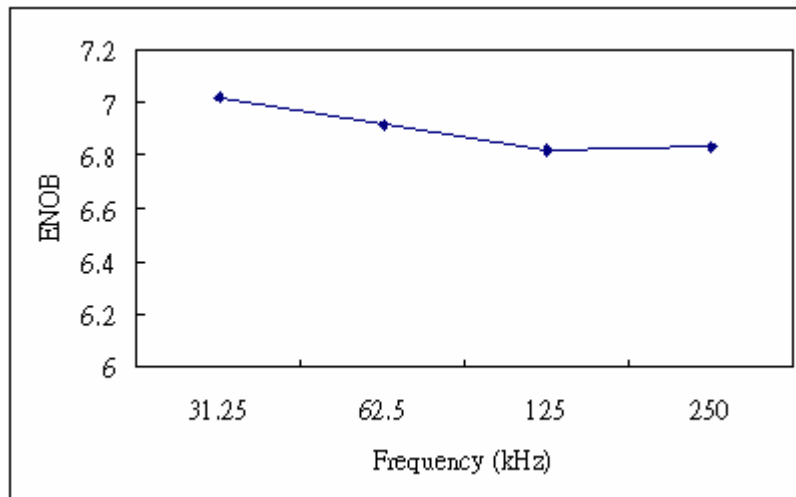


圖 4. 4 ENOB versus input frequency

4.2 Layout Arrangement

在佈局方面的考量，將數位部分與類比部分擺的位置距離越遠越好，類比與數位電源獨立，才不會由電源端傳送雜訊。被動元件的部分，電流電壓轉換器之電阻需要較精確，需使用 poly 來實現。電阻會產生雜訊，需要 Guard ring 圍住，以降低雜訊對其它電路之影響。電容方面，為求得較大較準的電容值，使用三層

的架構 (Poly-Metal1-Metal2)。為避免數位電路產生的雜訊對電容造成影響，也需要以 Guard ring 圍住。核心電路的佈局安排，如圖 4.5 所示。

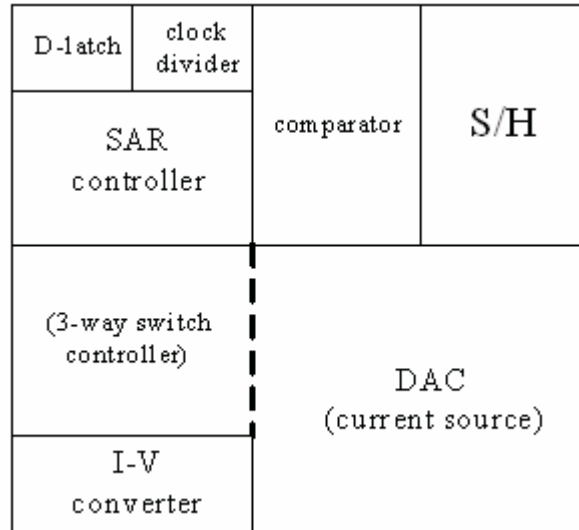


圖 4.5 Layout arrangement

在 I/O PAD 的安排方面，以核心電路的位置為主來安排，如圖 4.6 所示。

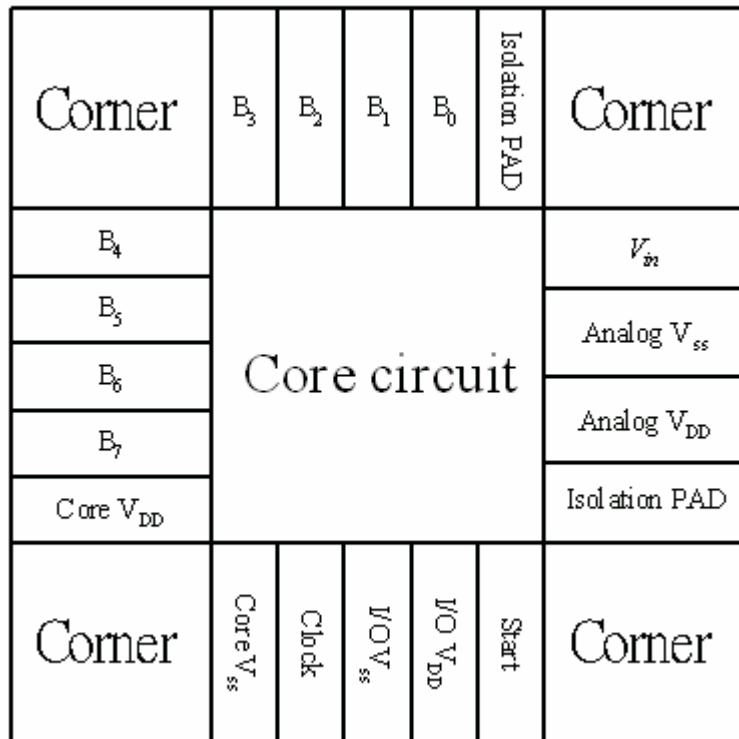


圖 4.6 I/O PAD arrangement

整個 Layout view (含 I/O PAD)，如圖 4.7 所示。核心電路所佔面積為

350 μm *430 μm ，含 I/O PAD 的全部電路所佔面積為 1200 μm *1200 μm 。

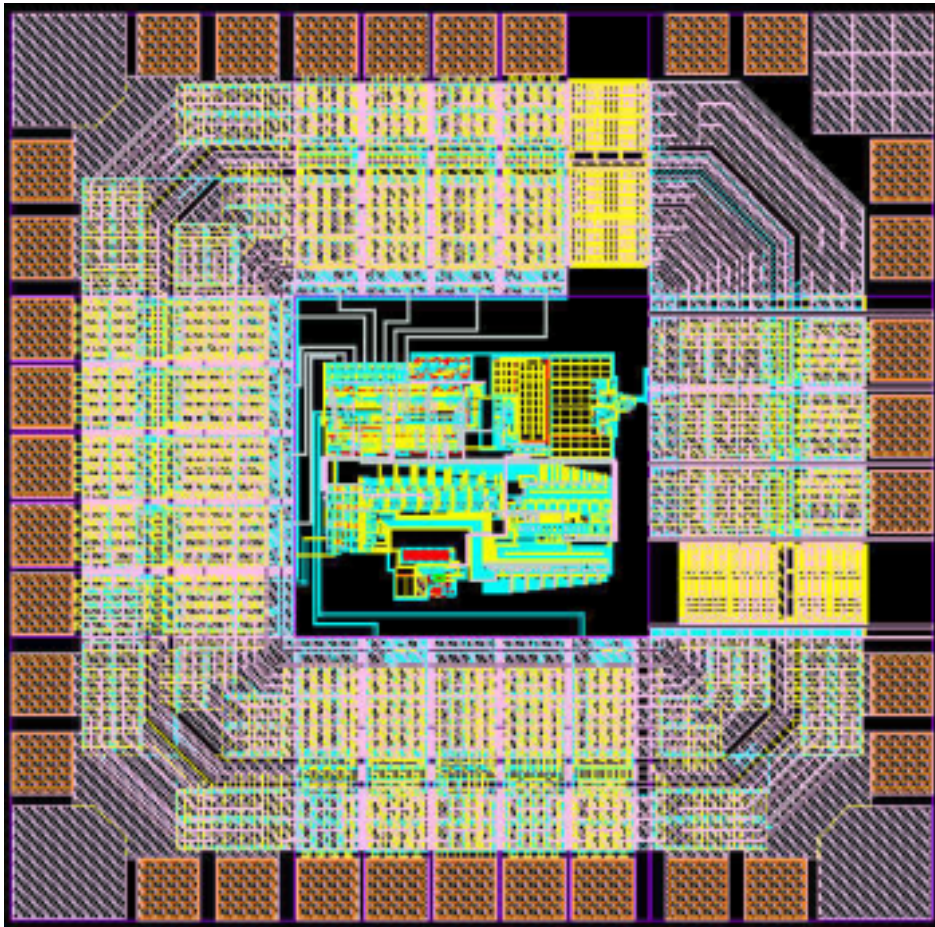


圖 4.7 Layout view

整個 8-bit successive approximation ADC 的所有測試結果列於表 8。

表 8 Experimental results of the proposed ADC

Supply voltage	3V
Total power dissipation	< 2.6mW
Technology	0.35 μm CMOS
Sampling rate	2MS/s
Resolution	8 bits
Input swing	1V
INL	< 0.82 LSB
DNL	< 0.31 LSB
SNDR@ $f_{in} = 62.5\text{KHz}$	43.4 dB
ENOB@ $f_{in} = 62.5\text{KHz}$	6.9 bits
Active area	< 0.15mm ²

Chapter 5

CONCLUSIONS & FUTURE WORKS

5.1 Conclusions

在本篇論文中，提出了一個改進之前 segmented current-mode DAC 缺點的新型 segmented current-mode DAC，並將其使用於一 3V 8-bit 2MS/s successive approximation ADC 之內。整個電路的消耗功率小於 2.6mW，offset 電壓為 2mV，ENOB 大約在 7-bit。由模擬結果得知，本 ADC 適合用於低功率消耗、中解析度及中轉換速度的系統中。

將我們的 ADC 與其它 successive approximation ADC 作比較，比較結果如表 9 所示。

表 9 與其它 successive approximation ADC 之比較

Process	Resolution	Sampling rate	Supply voltage	Power consumption	Active area
1.2um[1]	8-bit	50kS/s	1V	0.34mW	3.24mm ²
3um [8]	8-bit	1.3MS/s	5V	70mW	3750mil ²
3um [9]	8-bit	5MS/s	N/A	50mW	0.903mm ²
*0.35um	8-bit	2MS/s	3V	2.6mW	0.15mm ²

*：本論文之 ADC

5.2 Future Works

本研究到此告一段落，但這並不是結束，而是另一項研究的開始，未來的目標可朝幾個方向前進：

1. Low voltage design ($V_{DD} \leq 1V$)

2. 高解析度
3. BIST (Built-In Self-Test)
4. Programmable resolution



REFERENCES

1. S. Mortezaipoor, E.K.F. Lee, "A 1-V, 8-bit successive approximation ADC in standard CMOS process," *IEEE Journal of Solid-State Circuits*, vol.35 Issue.4, pp.642-646, April 2000.
2. H. Neubauer, T. Desel, H. Hauer, "A successive approximation A/D converter with 16 bit 200 kS/s in 0.6 μ m CMOS using self calibration and low power techniques," *The 8th IEEE International Conference on Electronics Circuits and Systems*, vol. 2 pp.859-862, 2001.
3. H. J. Schouwenaers, D. W. J. Greeneveld, and H. A. H. Tremeer, "A low-power stereo 16-bit CMOS D/A converter for Digital Audio," *IEEE Journal of Solid-State Circuits*, vol.23, no.6, pp.1290-1297, December 1988.
4. C. J. B. Fayomi, G. W. Roberts, and M. Sawan, "A 1-V, 10-bit rail-to-rail successive approximation analog-to-digital converter in standard 0.18 μ m CMOS technology," *The 2001 IEEE International Symposium on Circuits and Systems*, vol. 1, pp.460-463, 2001.
5. S. Ogawa, K. Watanabe, "A switched-capacitor successive-approximation A/D converter," *IEEE Transactions on Instrumentation and Measurement*, Vol.42, Issue: 4, pp.847-853, Aug. 1993.
6. Z. Zheng, U. Moon, J. Steensgaard, B. Wang, G. C. Temes, "Capacitor mismatch error cancellation technique for a successive approximation A/D converter," *IEEE International Symposium on Circuits and Systems*, vol.2, pp.326-329, 1999.
7. KH. Hadidi, V. S. Tso, and G. C. Temes, "Fast successive-approximation A/D converters," *IEEE 1990 Custom Integrated Circuits Conference*, pp.6.1/1-6.1/4, 1990.
8. KH. Hadidi, V. S. Tso, "An 8-b 1.3-MHz successive-approximation A/D converter," *IEEE Journal of Solid-State Circuits*, vol. 25, Issue: 3, pp.880-885, June 1990.

9. K. Chen, C. Svensson, and J. Yuan, "A CMOS implementation of a video-rate successive approximation A/D converter," *IEEE International Symposium on Circuits and Systems*, vol. 3, pp.2577-2580, 1988.
10. David A. Johns, Ken Martin, "Analog integrated circuit design," John Wiley & Sons, Inc., 1997.
11. Roubik Gregorian, "Introduction to CMOS OP-AMPs and comparators," Wiley-Interscience Publication, 1999.
12. Behzad Razavi, "Design of analog CMOS integrated circuit," The McGraw-Hill Companies, Inc., 2000.
13. John A. Schoeff, "An inherently monotonic 12 bit DAC," *IEEE Journal of Solid-State Circuits*, vol.sc-14, no.6, pp.904-911, December 1979.
14. D. W. J. Groeneveld, H. J. Schouwenaars, H. A. H. Termeer, and C. A. A. Bastiaansen, "A self-calibration technique for monolithic high-resolution D/A converter," *IEEE Journal of Solid-State Circuits*, vol.24, no.6, pp.1517-1522, December 1989.
15. David F. Hoeschele, Jr., "Analog-to-digital and digital-to-analog conversion techniques," Wiley-Interscience Publication, 1994.
16. A. Rossi and G. Fucili, "Nonredundant successive approximation register for A/D converters," *IEE of Electronics Letters*, vol.32, Issue.12, pp.1055-1057, June 1996.

作者簡介



姓名：葉晨光

出生地：台中市

出生日期：1978 年 3 月 6 日

學歷：南台科技大學 電子所

南台科技大學 電子系 (二技部)

勤益技術學院 電子系 (二專部)

論文投稿：

2002 VLSI Design/CAD symposium accepted, "A Successive Approximation ADC based on a new segmented DAC," June, 2002.