

Successive Approximation ADC (SAR ADC)的设计

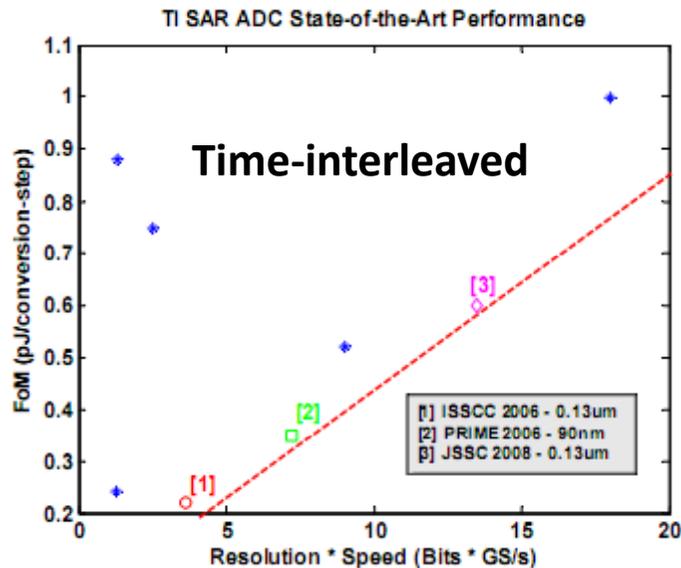
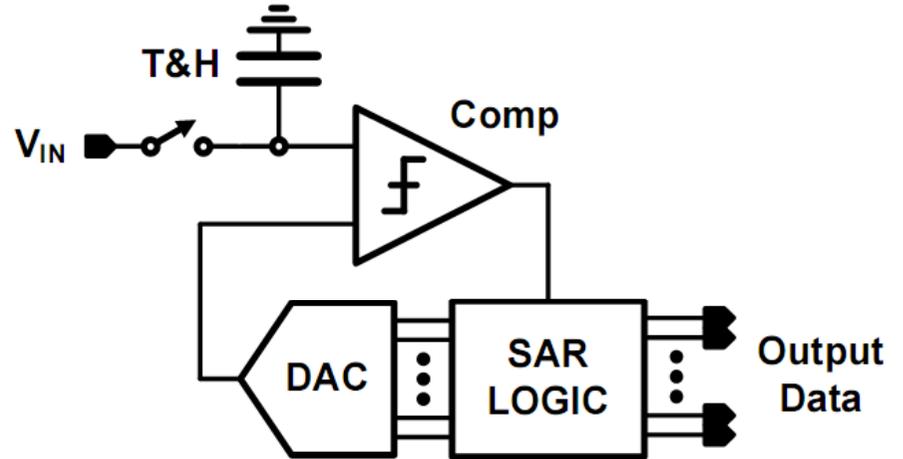
李福乐

清华大学微电子所

2012

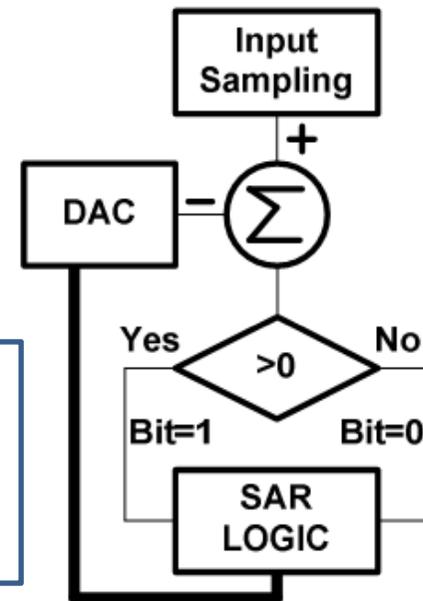
SAR ADC Principle

- 以D/A来实现A/D, 逐次逼近
- 需要N次D/A和比较实现1次N位A/D转换
- 精度主要由DAC决定
- 无运放, 低电压、低功耗
- 深亚微米CMOS工艺下很有发展潜力的结构
- 超低功耗, 高速转换是研究热点
 - 异步时序控制

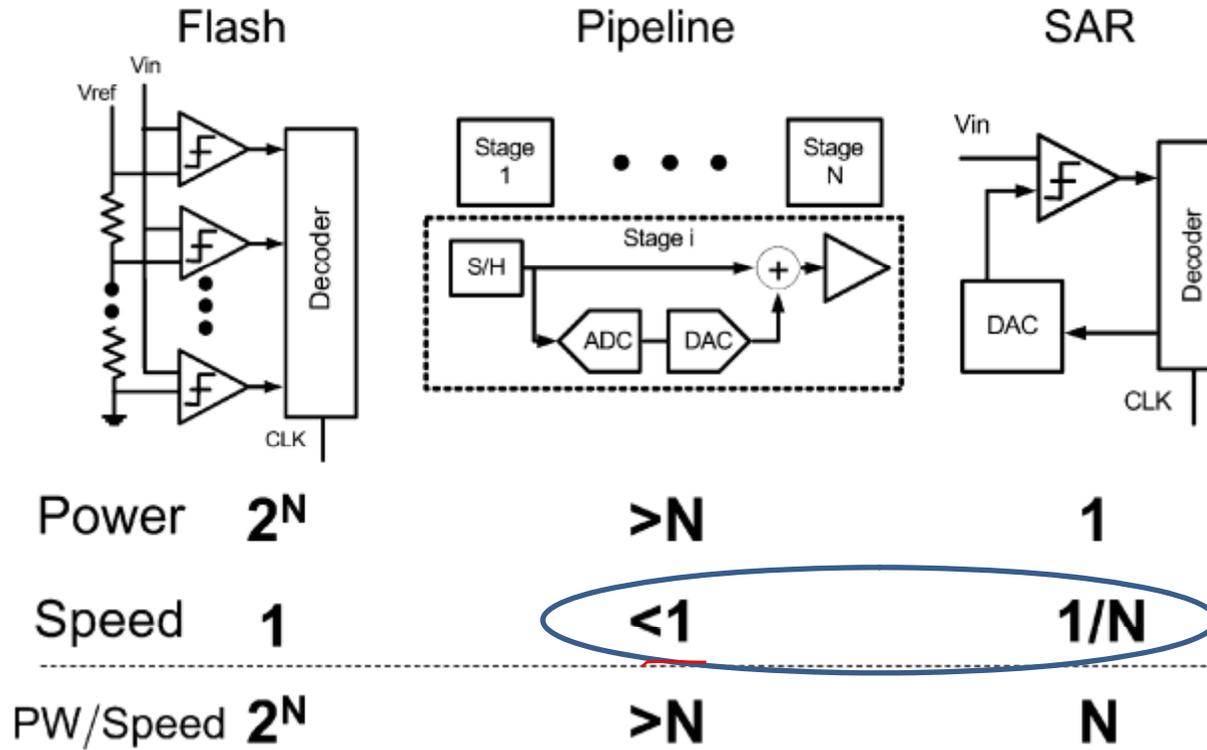


可实现性能
8~16 bit
 $x_k \sim x00M S/s$

9-b, 50MS/s, 65fJ/conv.
9-b, 40MS/s, 54fJ/conv.
10-b, 10MS/s, 11fJ/conv.
No Time-interleaved!



SAR的功耗优势

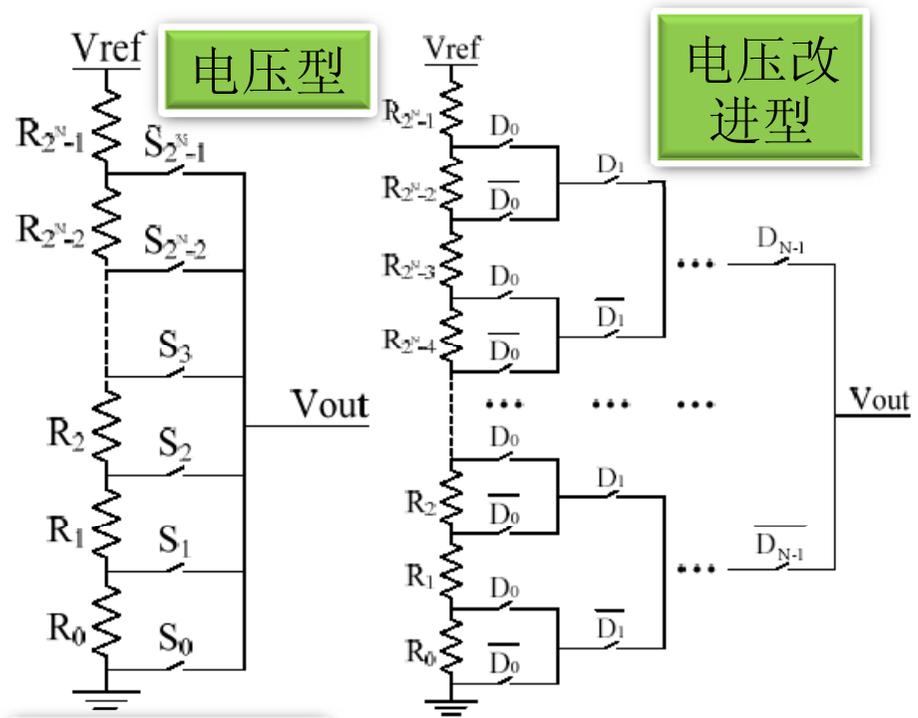


实际上在中低分辨率上异步SAR结构的速度已逼近Pipeline结构

主要Nyquist结构ADC的比较

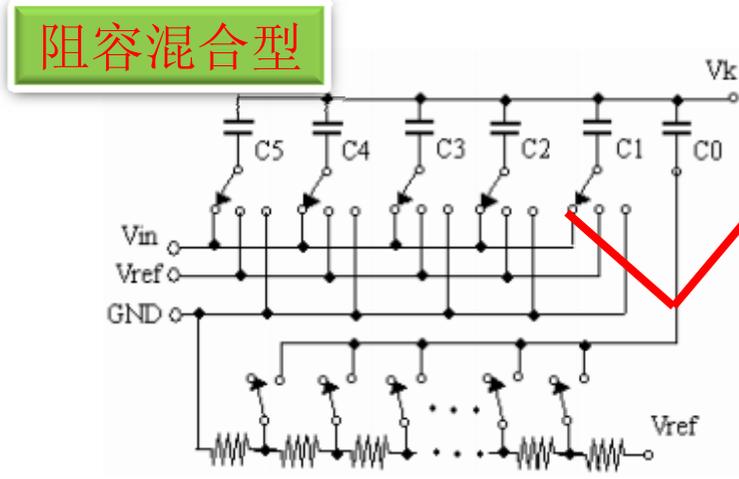
Ref: Shuo-Wei Michael Chen. JSSC 2006.12

DAC topologies

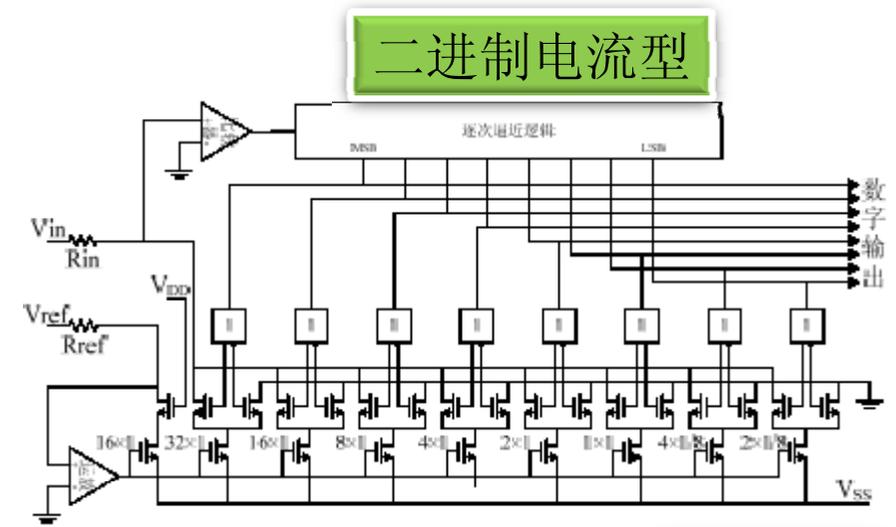


电压型

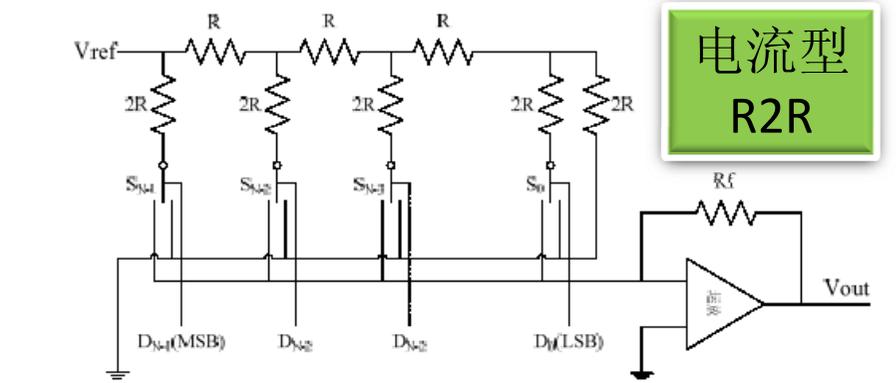
电压改进型



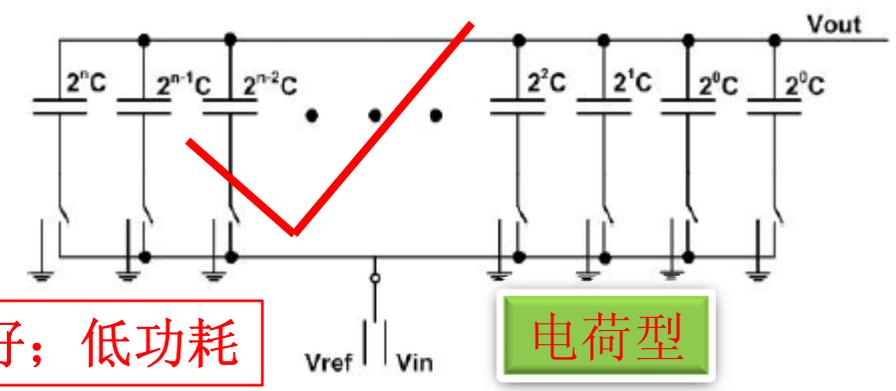
阻容混合型



二进制电流型



电流型 R2R



电荷型

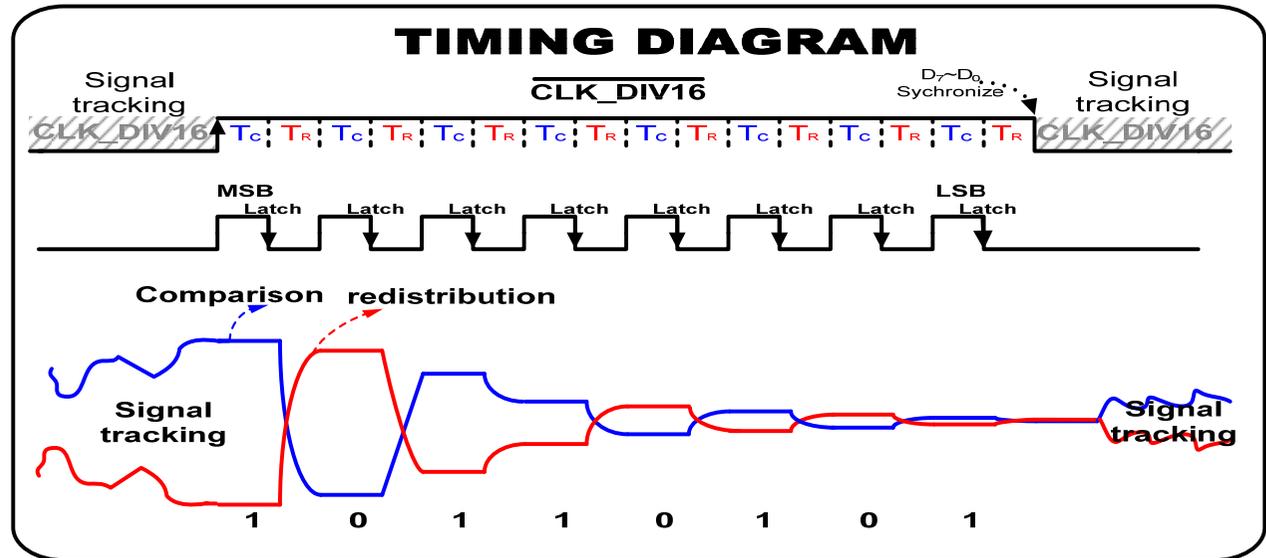
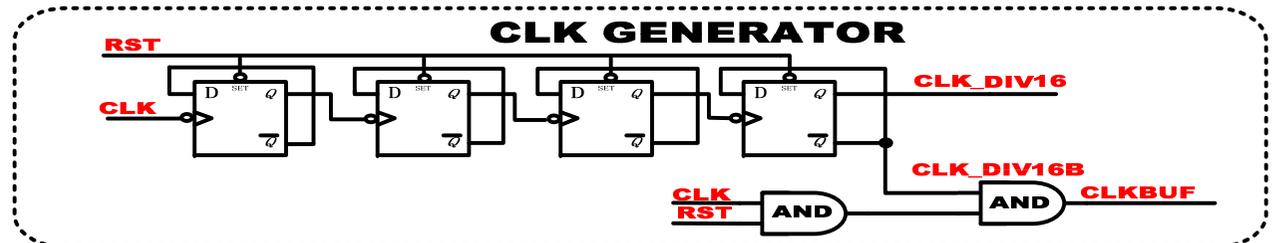
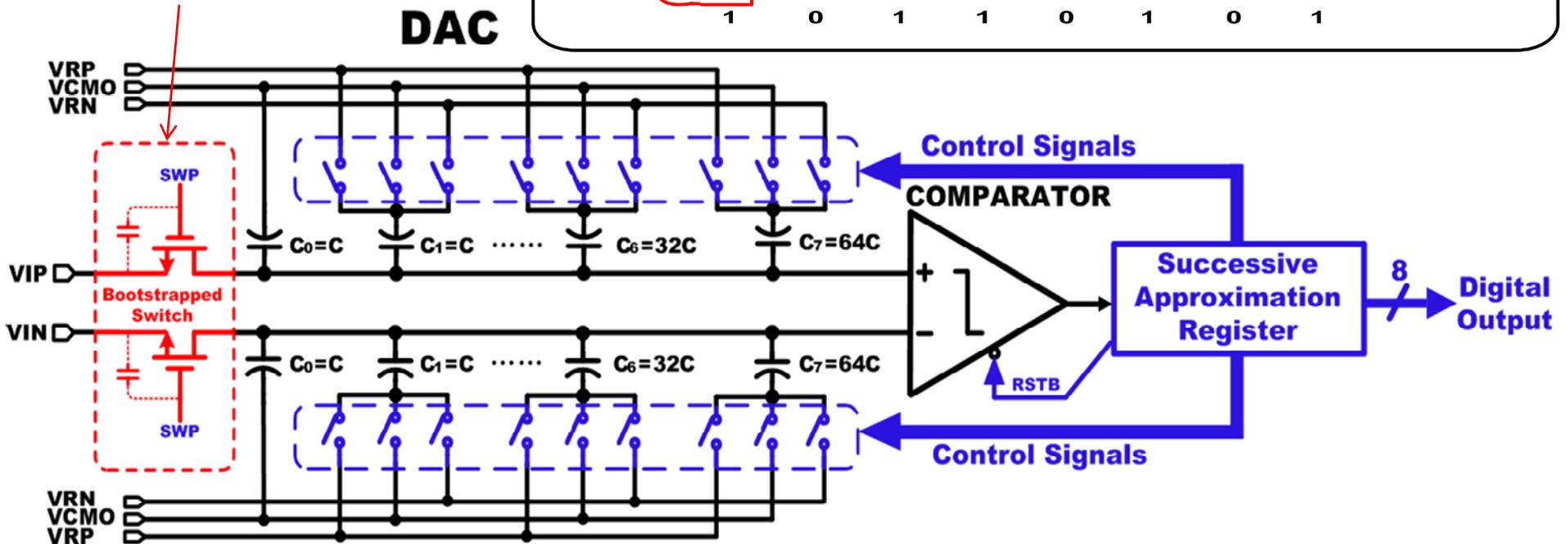
匹配好; 低功耗

整体电路

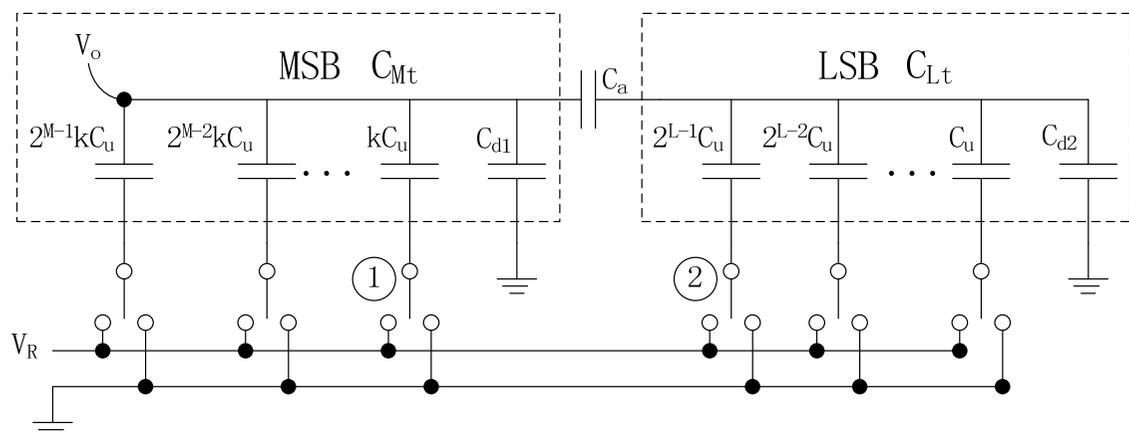
Ref: 叶亚飞实践课汇报PPT

一个8bit SAR ADC的整体结构与信号关系

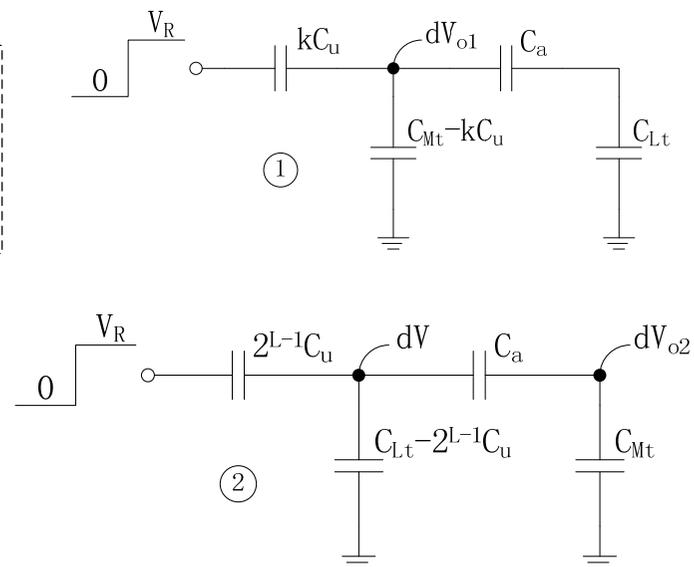
顶板采样



分段电容结构分析



典型的两段分段电容结构



在①和②点分别输入幅度 V_R 的阶跃，其对DAC输出 V_o 的改变量分别为：

$$dV_{o1} = \frac{kC_u(C_a + C_{Lt})}{X} \cdot V_R$$

$$dV_{o2} = \frac{2^{L-1}C_a C_u}{X} \cdot V_R$$

其中： $C_{Mt} = (2^M - 1)kC_u + C_{d1}$

$$C_{Lt} = (2^L - 1)C_u + C_{d2}$$

$$X = C_{Mt}(C_a + C_{Lt}) + C_a C_{Lt}$$

保持正确权重，
确保ADC线性，
必须有：

$$dV_{o1} = 2dV_{o2} \implies k(C_a + C_{Lt}) = 2^L C_a \implies$$

$$\frac{C_a}{C_u} = \frac{k}{2^L - k} \cdot \frac{C_{Lt}}{C_u}$$

OR:

$$\frac{C_{Lt}}{C_u} = \frac{2^L - k}{k} \cdot \frac{C_a}{C_u}$$

两段结构的线性化设计

相邻跨段bit
的权重满足
2倍关系

$$\frac{C_a}{C_u} = \frac{k}{2^L - k} \cdot \frac{C_{Lt}}{C_u}$$

$$C_{Lt} \geq (2^L - 1)C_u$$

$$\begin{cases} \frac{C_a}{C_u} \geq 1 & k = 1 \\ \frac{C_a}{C_u} > k & k > 1 \end{cases}$$

从电容匹配角度出发，我们总是希望 C_a 、 C_d 、 C_{Lt} 由整数个 C_u 构成，由此，我们的一个设计任务是，在 M, L, k 确定的情况下，确定 C_a 、 C_d 、 C_{Lt} 的值，使得它们**满足ADC线性要求，同时为 C_u 的整数倍**：

方法：依次取 $C_a/C_u = k, k+1, k+2$ 等，按照下式算 C_{Lt} ，直到满足 $C_{Lt} \geq (2^L - 1)C_u$ ，且为 C_u 的整数倍

$$\frac{C_{Lt}}{C_u} = \frac{2^L - k}{k} \cdot \frac{C_a}{C_u}$$

分段结构	设计结果
$M=4, L=4, k=1$	$C_a=C_u, C_{d2}=0$
$M=2, L=6, k=2^4$	$C_a=22C_u, C_{d2}=3C_u$
$M=4, L=6, k=2^2$	$C_a=5C_u, C_{d2}=12C_u$
$M=4, L=8, k=2^4$	$C_a=17C_u, C_{d2}=0$

C_{d1} 的取值不影响线性，但会影响DAC增益误差，如下一页PPT分析

两段结构的增益偏差

已推导出的关系式:

$$dV_{O1} = \frac{kC_u(C_a + C_{Lt})}{X} \cdot V_R$$

$$X = C_{Mt}(C_a + C_{Lt}) + C_a C_{Lt}$$

$$C_{Mt} = (2^M - 1)kC_u + C_{d1}$$

$$C_{Lt} = (2^L - 1)C_u + C_{d2}$$

$$\left\{ \begin{array}{ll} \frac{C_a}{C_u} \geq 1 & k=1 \\ \frac{C_a}{C_u} > k & k > 1 \end{array} \right.$$

理想的dVo1为: $dV_{O1_ideal} = \frac{1}{2^M} \cdot V_R$

增益误差: $g_e = \frac{dV_{O1} - dV_{O1_ideal}}{dV_{O1_ideal}}$

$$g_e = \frac{\frac{C_{d1}}{kC_u} - 1 + \frac{C_a C_{Lt}}{kC_u(C_a + C_{Lt})}}{2^M + \frac{C_{d1}}{kC_u} - 1 + \frac{C_a C_{Lt}}{kC_u(C_a + C_{Lt})}}$$

假设: $C_{Lt} \gg C_a$

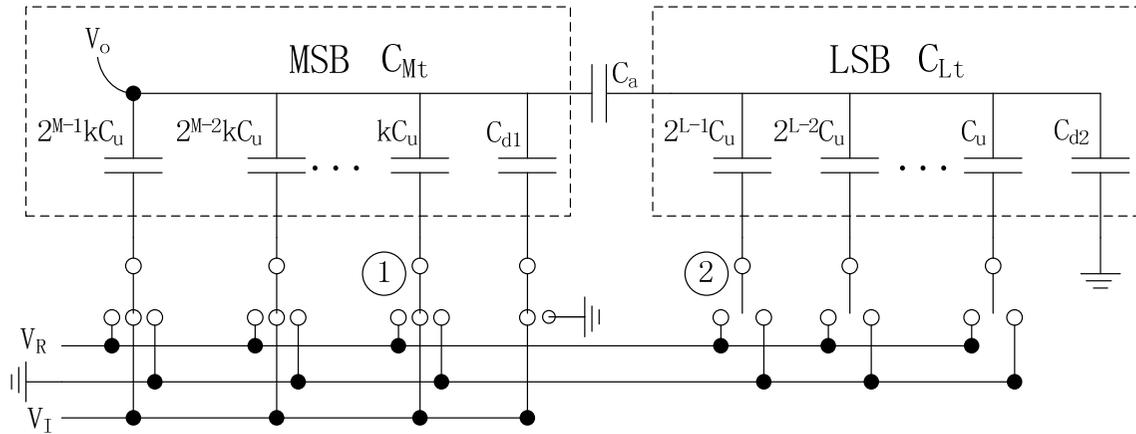
$$\frac{C_a C_{Lt}}{kC_u(C_a + C_{Lt})} \approx \frac{C_a}{kC_u}$$

假设: $\frac{C_{d1}}{kC_u}, \frac{C_a}{kC_u} \ll 2^M$

$$g_e \approx \frac{1}{2^M} \cdot \frac{C_{d1} + C_a - kC_u}{kC_u} \geq \frac{1}{2^M} \cdot \frac{C_{d1}}{kC_u}$$

结论: 尽管Cd1不带来非线性误差, 但会带来DAC增益误差, 其值可用上面ge的表达式来近似。但整个A/D转换的增益可能不受影响? 见下页

两段结构的增益偏差



如左图，考虑输入采样后， V_o 点的电压为：

$$V_o = \frac{V_I C_{It} - V_{ref} \sum_{l=1}^N D_{N-l} 2^{M-l} kC_u}{C_t}$$

$$V_o = \frac{C_{It}}{C_t} \left(V_I - \frac{\sum_{l=1}^N D_{N-l} 2^{M-l} kC_u}{C_{It}} V_{ref} \right)$$

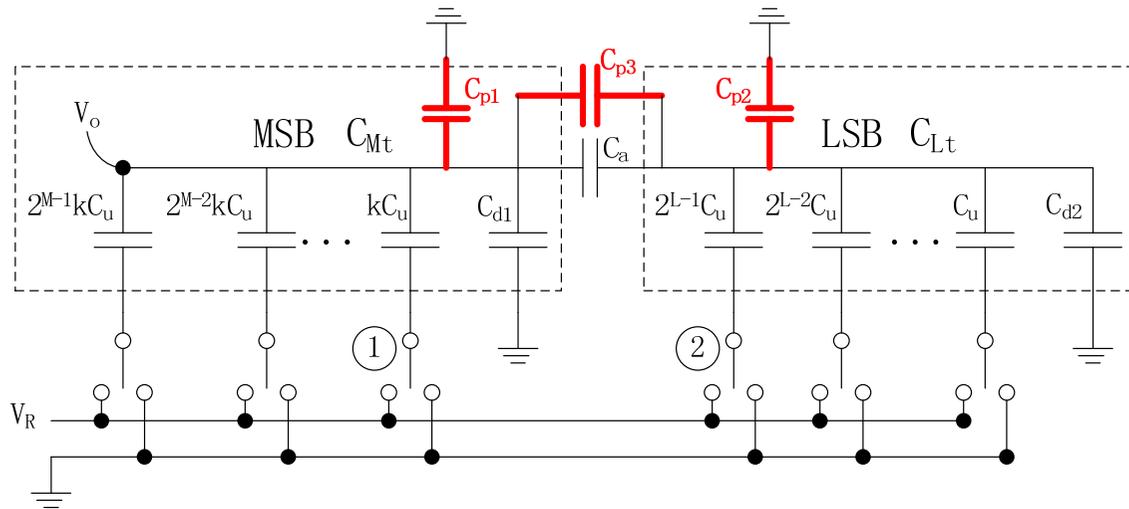
其中 C_t 为 V_o 点的总电容， C_{It} 为接到 V_I 的总采样电容；
由以上公式可见，要令输入 V_I 的量程恰好为 V_R ，则必须有：

$$C_{It} = 2^M kC_u \quad \longrightarrow \quad C_{d1} = kC_u$$

结论：

- 1) ADC的增益误差只取决于总采样电容与接到参考的总电容之比，MSB段接地的 C_{d1} 或寄生不会导致ADC增益误差；**
- 2) 通常在MSB段增加 $C_{d1}=kC_u$ ，且令 C_{d1} 对输入采样，这样可使得LSB段不参与输入采样，降低ADC输入电容，且不会导致增益误差**

寄生电容分析



在①和②点分别输入幅度 V_R 的阶跃，其对DAC输出 V_o 的改变量分别为：

$$dV_{o1} = \frac{kC_u(C_a + C_{p3} + C_{Lt} + C_{p2})}{X} \cdot V_R$$

$$dV_{o2} = \frac{2^{L-1}(C_a + C_{p3})C_u}{X} \cdot V_R$$

这里：
$$X = (C_{Mt} + C_{p1})(C_a + C_{p3} + C_{Lt} + C_{p2}) + (C_a + C_{p3})(C_{Lt} + C_{p2})$$

①和②点的权重误差：
$$w_e = \frac{dV_{o1} - 2dV_{o2}}{2dV_{o2}} = \frac{k(C_a + C_{p3} + C_{Lt} + C_{p2}) - 2^L(C_a + C_{p3})}{2^L(C_a + C_{p3})}$$

根据前面的线性化设计结果有： $k(C_a + C_{Lt}) = 2^L C_a \longrightarrow w_e = \frac{k(C_{p2} + C_{p3}) - 2^L C_{p3}}{2^L(C_a + C_{p3})}$

在实际设计中，通常有： $C_{p3} \ll C_a \ll C_{Lt} \longrightarrow w_e \approx \frac{C_{p2}}{C_{Lt} + C_a} - \frac{C_{p3}}{C_a} \approx \beta - \frac{C_{p3}}{C_a}$

β 为电容上极板寄生电容值与电容本身值之比

寄生电容设计考虑

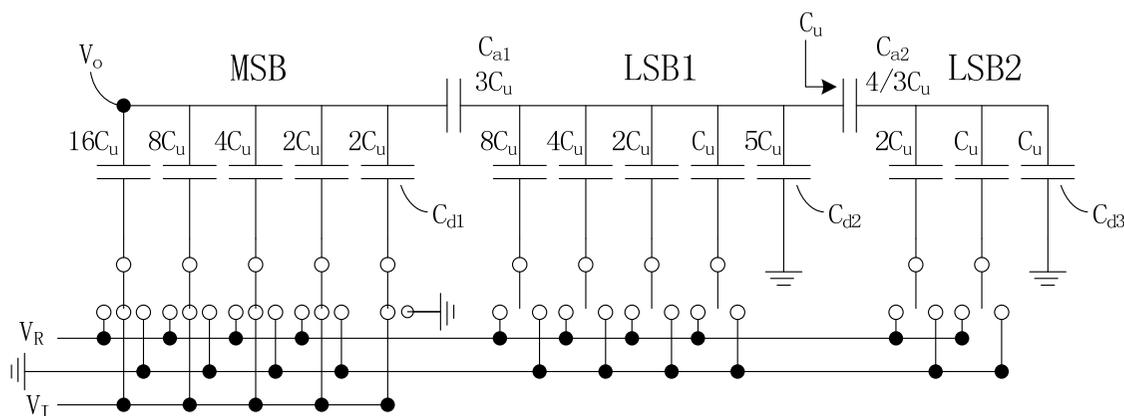
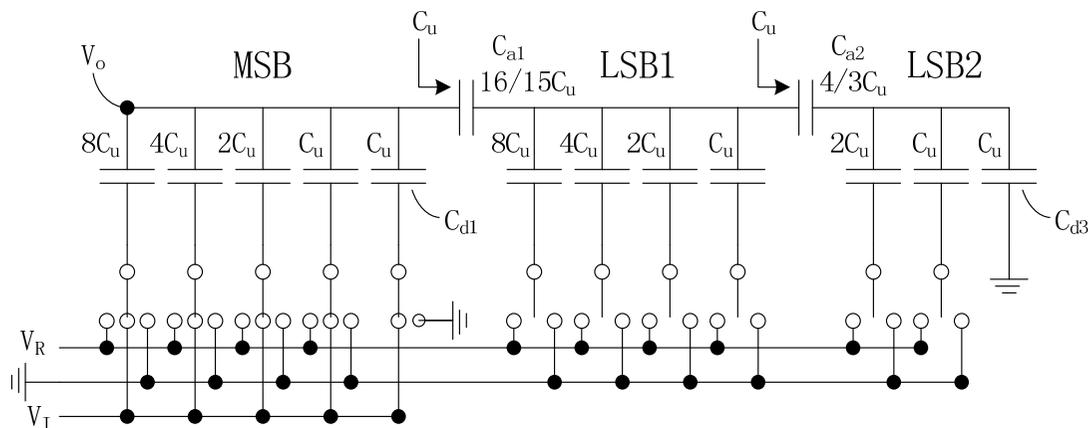
- LSB段的寄生 C_{p2} 带来权重误差，导致非线性
 - LSB段所用电容、 C_a ，采用上极板共接
 - 权重误差比例固定为 β ，因此降低LSB端位数 L ，可降低非线性
- MSB段的寄生 C_{p1} 不会带来非线性问题和ADC增益误差，但作为DAC时，会带来约 C_{p1}/C_{Mt} 的增益误差
 - MSB段所有电容，采用上极板共接，此为底板采样需要
- C_a 的上下极板间寄生 C_{p3} 直接影响权重，导致非线性
 - 版图布线要特别注意最小化 C_{p3}

串联三段CDAC?

已知串联二段线性条件: $\frac{C_a}{C_u} = \frac{k}{2^L - k} \cdot \frac{C_{Lt}}{C_u}$ OR: $\frac{C_{Lt}}{C_u} = \frac{2^L - k}{k} \cdot \frac{C_a}{C_u}$

思路: 利用二段设计结论, 先设计高两段, 再设计低两段

以一个10bit CDAC为例, 采用4-4-2分段结构:



设计1: 允许Ca为非整数Cu, 则由

$$C_{Lt1} = 2^{L_1} C_u \Rightarrow \begin{cases} C_{a1} = \frac{16}{15} C_u \\ C_{d2} = 0 \\ C_{a2} = \frac{4}{3} C_u \\ C_{d3} = C_u \end{cases}$$

$$C_{Lt2} = 2^{L_2} C_u \Rightarrow \begin{cases} C_{a2} = \frac{4}{3} C_u \\ C_{d3} = C_u \end{cases}$$

设计1: Ca1为整数Cu, 则由

$$\begin{cases} k = 2 \\ C_{a1} = 3C_u \end{cases} \Rightarrow \begin{cases} C_{Lt1} = 21C_u \\ C_{d2} = 5C_u \\ C_{a2} = \frac{4}{3} C_u \\ C_{d3} = C_u \end{cases}$$

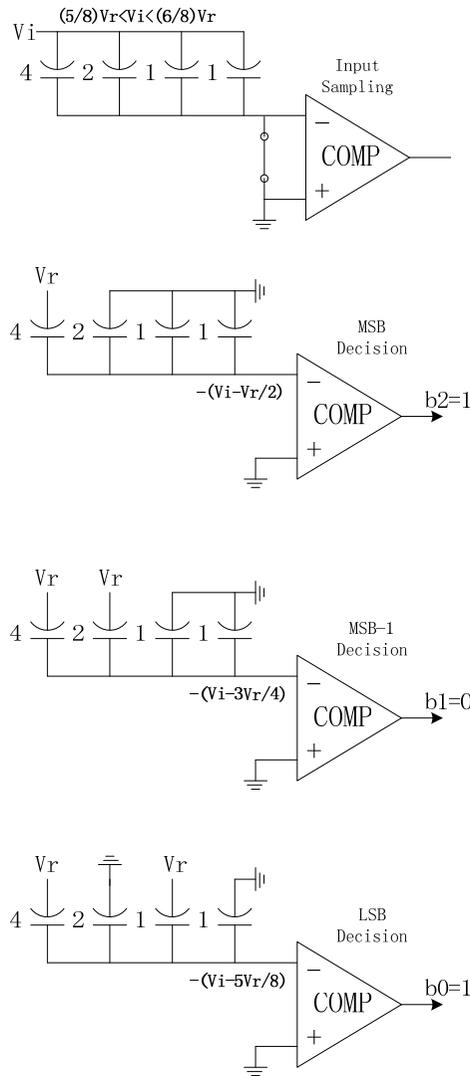
$$C_{Lt2} = 2^{L_2} C_u \Rightarrow \begin{cases} C_{a2} = \frac{4}{3} C_u \\ C_{d3} = C_u \end{cases}$$

Which is better?

- 从噪声和匹配考虑，MSB段的电容不能太小
 - 可取 $k > 1$
- 从优化电容面积考虑，可采用多段结构
 - 对于中低分辨率ADC，优化面积和输入电容
 - 对于失配，可采用校准技术

差分结构

底板采样的单端与全差分结构:



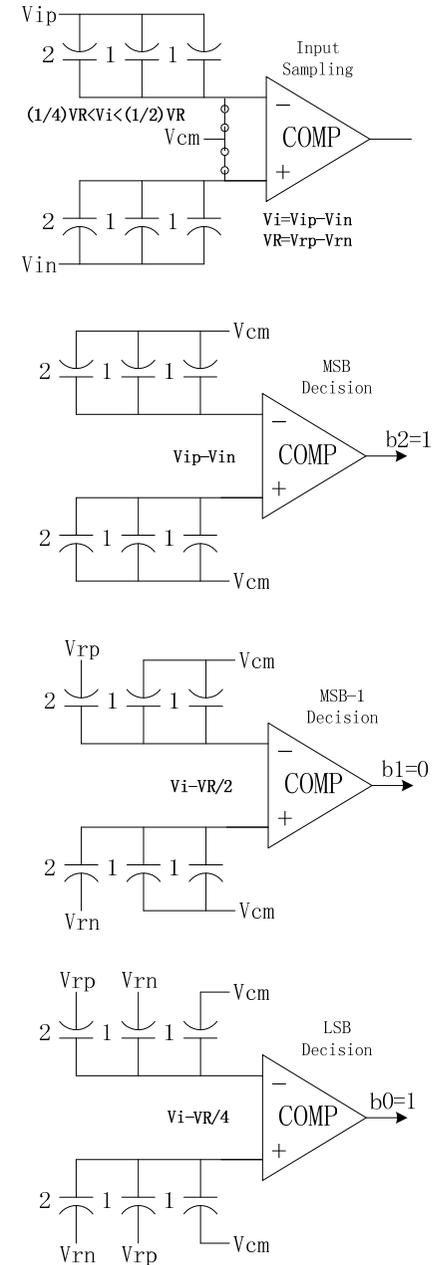
单端结构:
需要 2^N 个电容

全差分结构:
单边只需 2^{N-1} 个电容

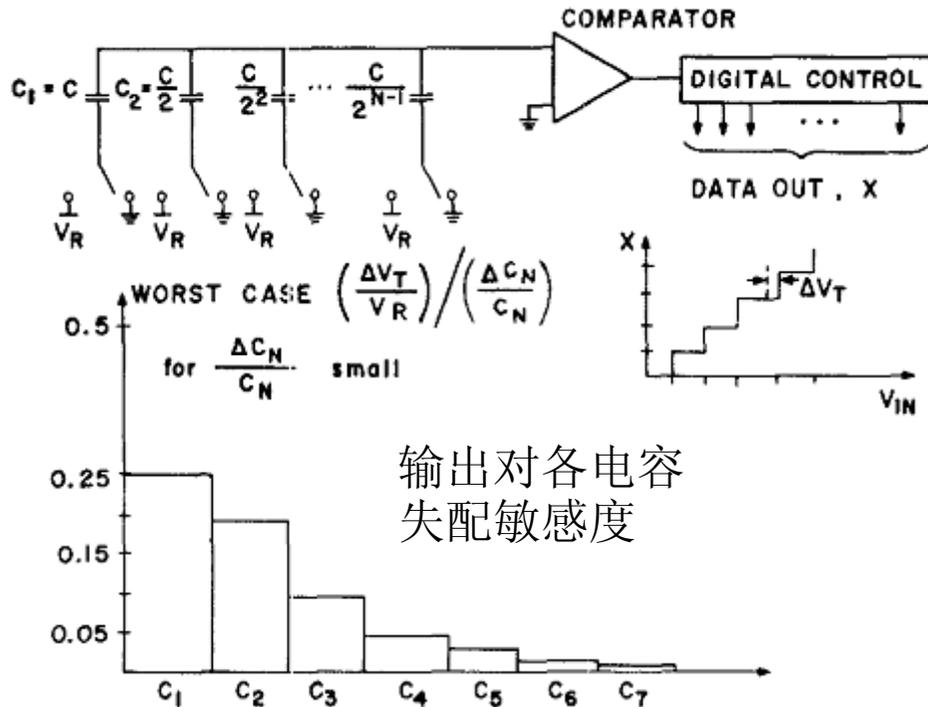
3-bit
Single-end

3-bit
Diff.-end

对于全差分分段结构:
若MSB端分辨率为M, 则
最大的电容为 $2^{M-2}C$;
采样电容为 $2^{M-1}C$



电容失配



Ref: JAMES L. McCREARY, et, al. ALL-MOS Charge Redistribution Analog-to-Digital Conversion Techniques I. JSSC 1975

- 显然，MSB段可采用温度码控制来降低DNL
- 对于INL，MSB段采用温度码与否都一样
- 对于匹配与INL Yield的关系实际上与Current-steering DAC的分析是一样的

$$\Delta C = \sqrt{2^N} \sigma(C_u)$$

$$\frac{\Delta C}{C} = \frac{\sqrt{2^N} \sigma(C_u)}{2^N C_u} = \frac{1}{\sqrt{2^N}} \cdot \frac{\sigma(C_u)}{C_u}$$

对于分段结构:

$$\frac{\Delta C_M}{C_M} = \frac{1}{\sqrt{2^M}} \cdot \frac{\sigma(C_u)}{C_u}$$

$$\Delta V_T = 0.25 \cdot V_R \cdot \frac{\Delta C_M}{C_M} = \frac{2^{N-2}}{\sqrt{2^{M-1}}} \cdot \frac{\sigma(C_u)}{C_u} \text{ LSB}$$

代表DNL

$$\frac{\sigma(C_u)}{C_u} = \frac{1}{2\alpha\sqrt{2^N}}$$

例如: $\alpha \sim 1.95$
for
INL_yield=90%

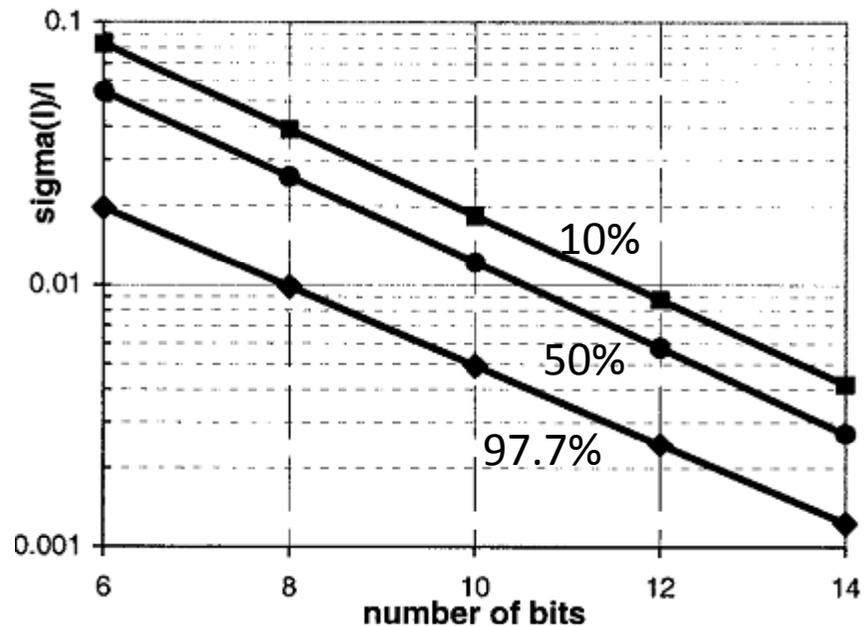
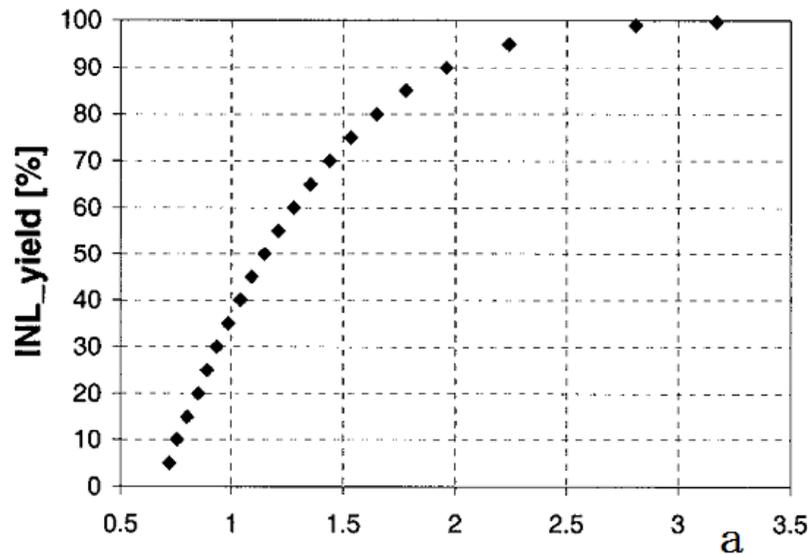
DNL/INL

对于由 2^N 个元件组成的DAC（C-DAC、R-DAC、I-DAC）：

DNL取决于相邻码元变化时可能导致的元件切换的最大总值
INL < 0.5LSB Yield与分辨率N、元件E失配分布的关系：

$$\frac{\sigma(E_u)}{E_u} \leq \frac{1}{2\alpha\sqrt{2^N}}$$

由此可计算出元件匹配要求，然后根据工艺参数可确定元件尺度



Ref: Anne Van Den Bosch, ..., "An Accurate Statistical Yield Model for CMOS Current-Steering D/A Converters", 2001

分段结构设计

分段结构与CDAC非线性

	series-split partitioning [MSB:LSB]	unit capacitor [fF]	$\sigma(C_0)$ [fF] / %	total number of capacitors	C_{Sample} [pF]	$\sigma(\text{INL})^a$ [LSB]
equally sized	12:0	50	0.25 / 0.5	4096	204.8	0.23
	8:4	50	0.25 / 0.5	272	12.8	0.45
	6:6	50	0.25 / 0.5	128	3.2	0.90
	5:7	50	0.25 / 0.5	160	1.6	1.26
equal C_{Sample}	12:0	1.22	0.04 / 3.2	4096	5.0	0.71
	8:4	20	0.16 / 0.8	272	5.0	0.71
	6:6	78	0.31 / 0.4	128	5.0	0.71
	5:7	156	0.44 / 0.28	160	5.0	0.71

a. Max. standard deviation of the INL error calculated by 1000 MC runs of a 12bit ADC with different partitioning of the capacitor array using equal matching factor $A_C=3.5\%$ and $c_0=1\text{fF}/\mu\text{m}^2$.

Ref: Stefan Haenzsche, etc. "Modelling of Capacitor Mismatch and Non-Linearity Effects in ...", MIXDES 2010

对于分段结构:

1) 从匹配角度, 分段结构不能降低电容值

2) 从噪声角度, 分段结构也不能降低电容值

3) 分段结构可提高最小单元电容值, 使其免受工艺最小尺度的限制

4) 若指标不受失配限制, 分段结构可降低总电容值和ADC输入电容 (中低分辨率 or 采用校准)

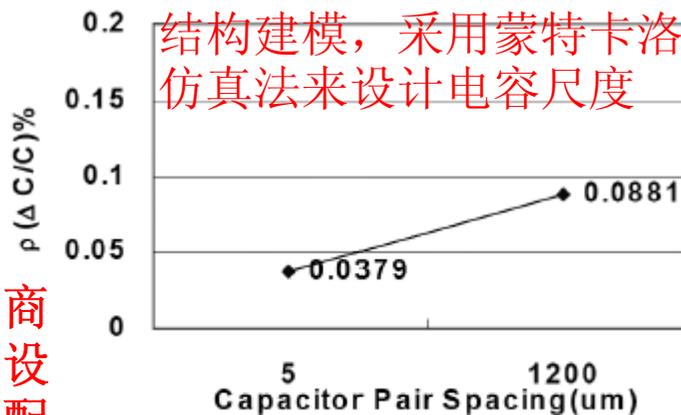
分段结构电容设计: 可按照不分段的方法先设计, 而后截取高M位为MSB段, 选择合适的k, 设计Ca和LSB段电容

差分分段电容设计: 在单端结构的基础上, 截掉MSB段MSB电容; 若受限于采样噪声, 则截掉MSB段LSB电容, 并令Cd1 double, 然后设计合适的k, Ca和LSB段电容

电容取值：蒙特卡洛仿真法

电容面积 (um ²)	电容失配 $\rho(\Delta C/C)\%$
10×10	0.0933
15×15	0.0646
20×20	0.0658
25×25	0.0402
30×30	0.0379
35×35	0.0178
100×100	0.0055

除了计算之外，还可对SAR结构建模，采用蒙特卡洛仿真法来设计电容尺度



根据工艺厂商提供的数据设定容值和失配

10u*10u: 0.11%

满足12bit要求

系统级模型
Mento-Carlo分析

调整容值
N
满足要求?

若由噪声决定：

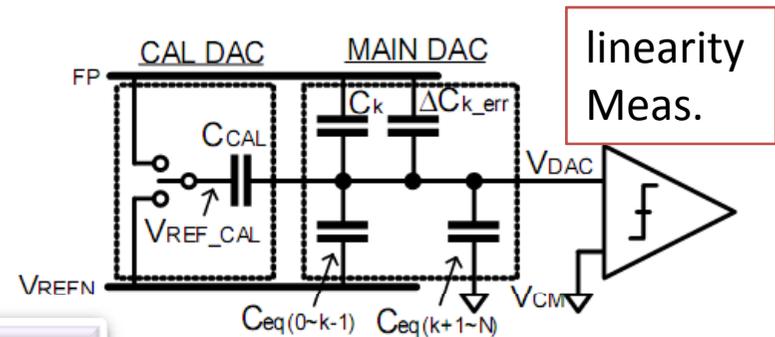
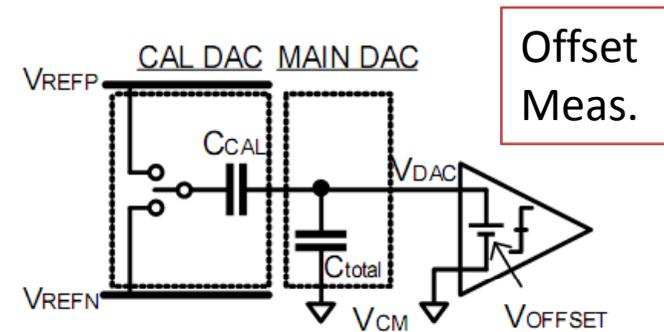
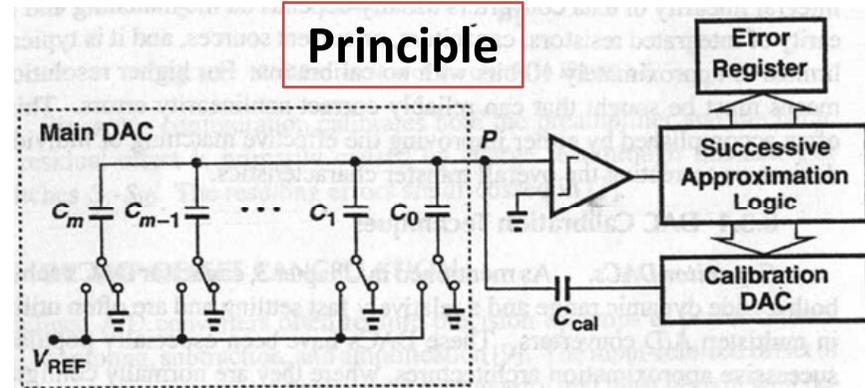
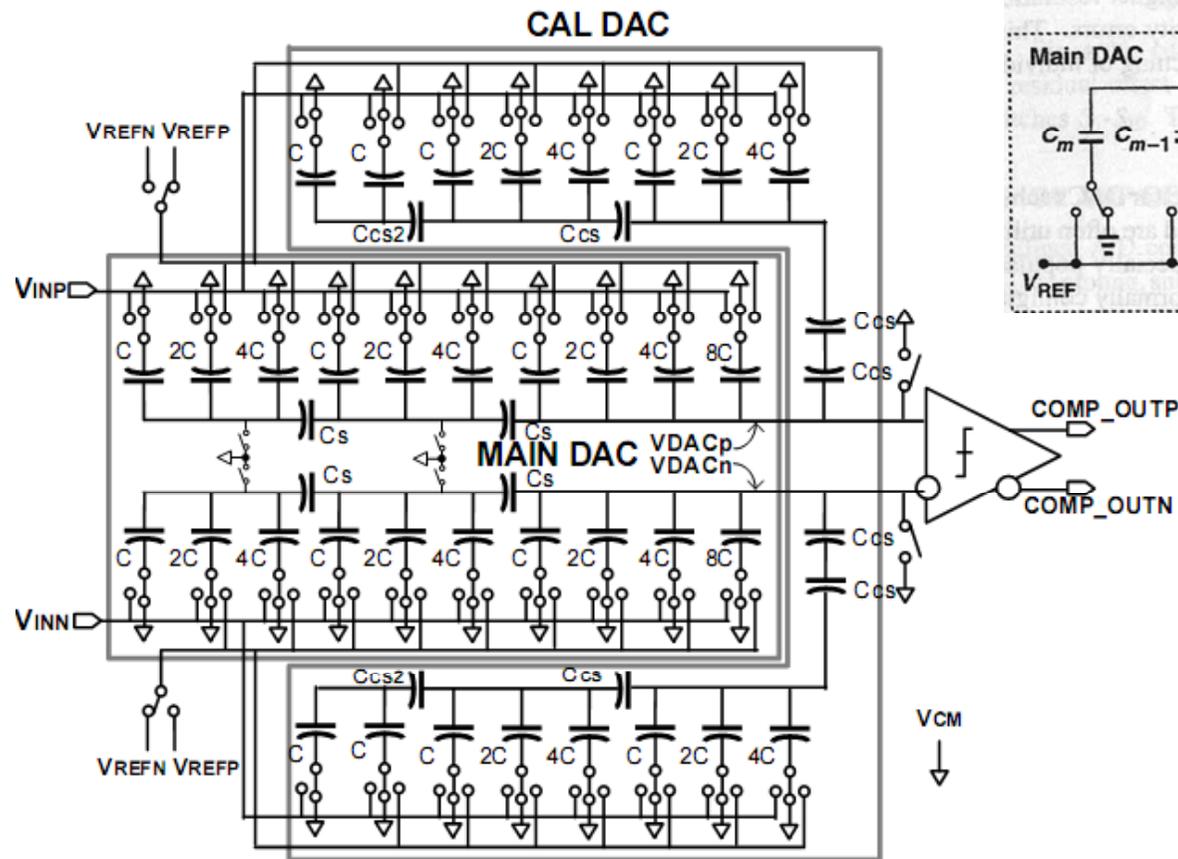
$$V_n^2 = \frac{kT}{2^{N/2} C_U}$$

$$C_U > \frac{12kT}{V_R^2} 2^{2N-N/2}$$

10u*10u的分析结果

DNL		INL		SNDR	
≤0.5LSB	≤1LSB	≤0.4LSB	≤1LSB	<70dB	≥70dB
86.21%	99.54%	85.4%	100%	4.5%	95.5%

电容失配校准



Ref: Y. Kuramochi, et, al. A 0.05-mm² 110-uW 10-b Self-Calibrating Successive Approximation ADC Core in 0.18-um CMOS, ASSC 2007

分段结构结合校准技术带来电容缩小

校准原理

定义

$$\text{平均电容: } C_u = \frac{\sum_{k=0}^N C_k}{2^N} \quad \text{第k个电容: } C_k = 2^{k-1} C_u + C_{e_k} \quad N \geq k \geq 1$$
$$(C_{e_k} \text{为误差}) \quad C_k = C_u + C_{e_k} \quad k = 0$$

由上述定义, 推知: $\sum_{k=0}^N C_{e_k} = 0$

下面各种操作中, 第一步均为: 电容底板、顶板接VCM (主电容阵列)

操作一 (对应上一页 **offset Meas.**):

第二步: 电容顶板与VCM断开, 底板保持接VCM

则顶板上等效误差电压为比较器失调电压: $V_{res_os} = V_{os}$

操作二 (对应上一页 **linearity Meas.**):

第二步: 电容顶板与VCM断开, C_k 的底板接Vrefp, $C_{k-1} \sim C_0$ 的底板接Vrefn, 而 $C_N \sim C_{k+1}$ 的底板保持接VCM

则顶板上等效误差有如下关系:

$$\text{当 } k=N: \quad V_{res_N} - V_{res_os} \propto C_{e_N} - \sum_{k=0}^{N-1} C_{e_k} = 2C_{e_N} \quad \text{这里 } \propto \text{表示与...等比例}$$

$$\text{当 } k=N-1: \quad V_{res_N-1} - V_{res_os} \propto C_{e_N-1} - \sum_{k=0}^{N-2} C_{e_k} = 2C_{e_N-1} - \sum_{k=0}^{N-1} C_{e_k} = 2C_{e_N-1} + C_{e_N}$$

$$\text{依次类推: } V_{res_k} - V_{res_os} \propto 2C_{e_k} + \sum_{l=k+1}^N C_{e_l}$$

校准原理

由“操作一”结合校准DAC和SAR逻辑可以得到Vres_os的测量值
由“操作二”结合校准DAC和SAR逻辑可以得到Vres_k的测量值

假设由Ce_k所致的比较器输入端误差电压为Ve_k，则有：

$$\text{当k=N:} \quad V_{e_N} = \frac{V_{res_N} - V_{res_os}}{2}$$

$$\text{当k=N-1:} \quad V_{e_N-1} = \frac{1}{2} (V_{res_N-1} - V_{res_os} - V_{e_N})$$

$$\text{依次类推:} \quad V_{e_k} = \frac{1}{2} \left(V_{res_k} - V_{res_os} - \sum_{l=k+1}^N V_{e_l} \right)$$

根据上面公式的关系，当得到Vres_os, Vres_k的测量值后，即可计算得到Ve_k的值，它们就是各个电容对应的校准值，它们存放在memory中，在正常转换时实时调用出来用于计算每一步D/A下的校准DAC的输入值。

设计例子

校准模式

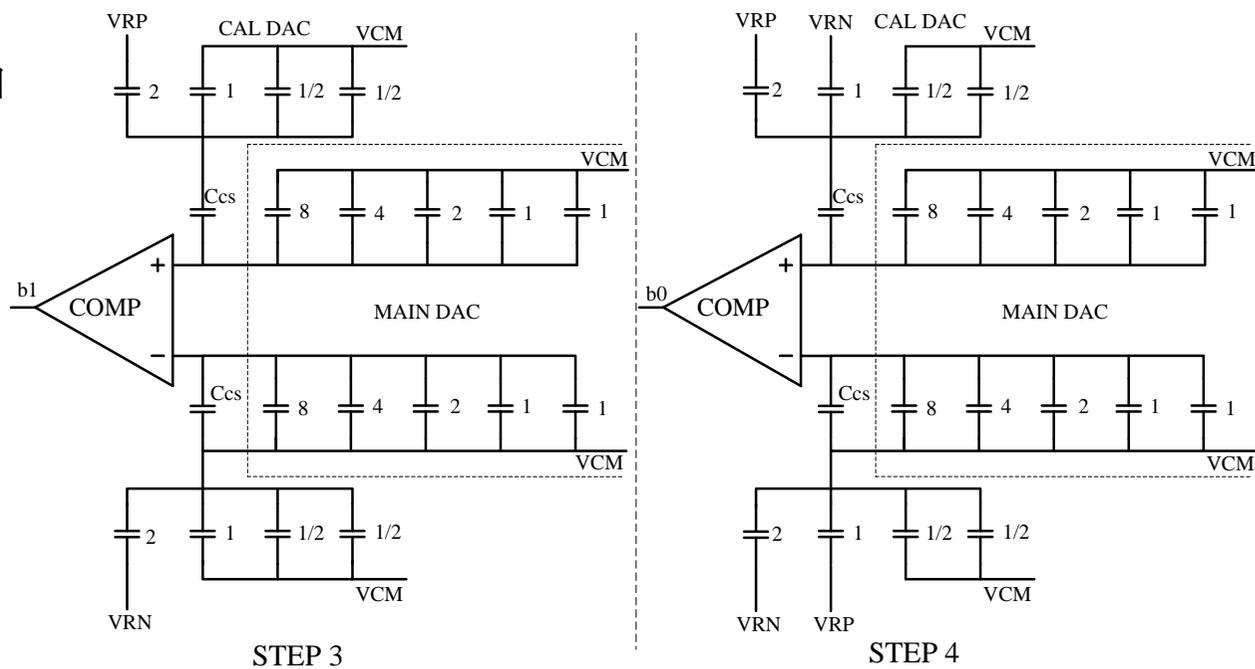
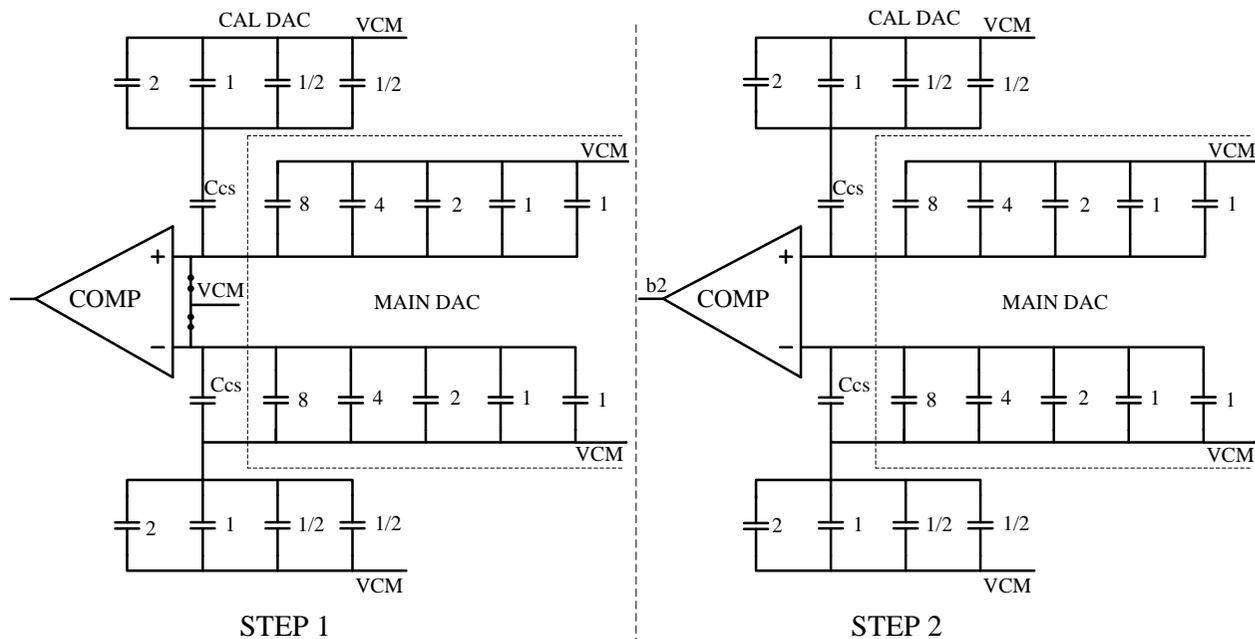
一：校准OFFSET

Step1: 复位

Step2: 比较器输入端从VCM断开，其等效余差电压为比较器失调 V_{os}

从Step2开始，由比较器和CAL DAC构成的SAR ADC对 V_{os} 进行逐次逼近A/D转换

校准SAR ADC完成转换，得到校准码 D_{os}



设计例子

校准模式

二：校准最高位电容失配

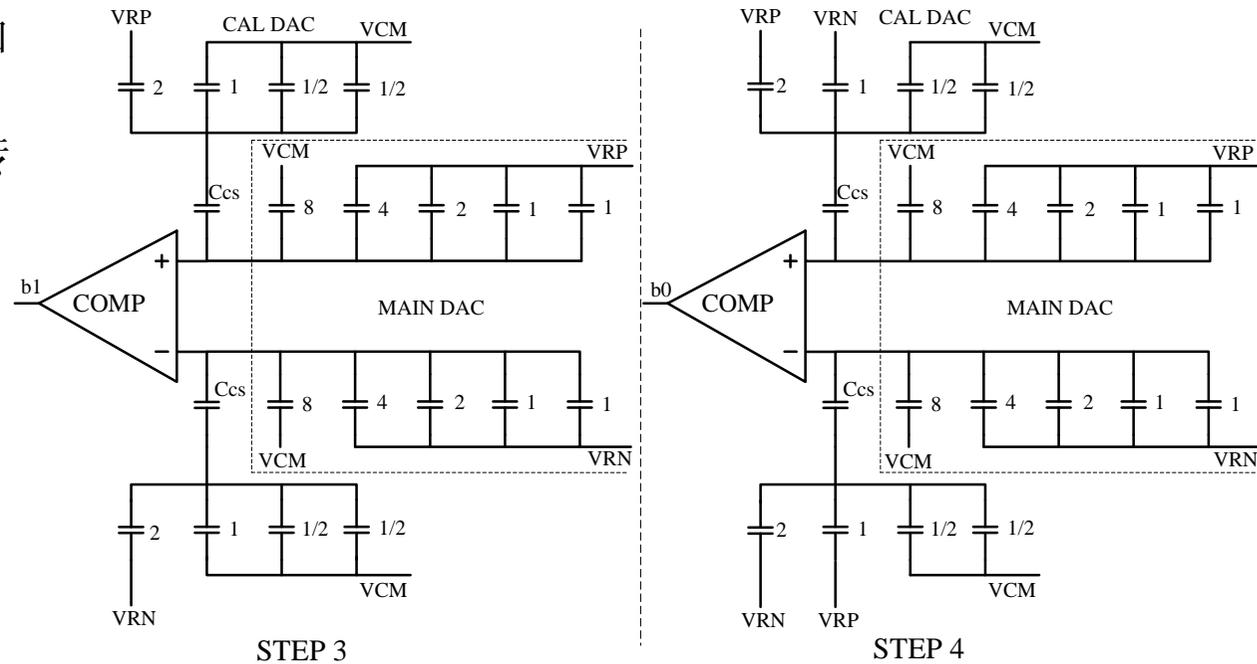
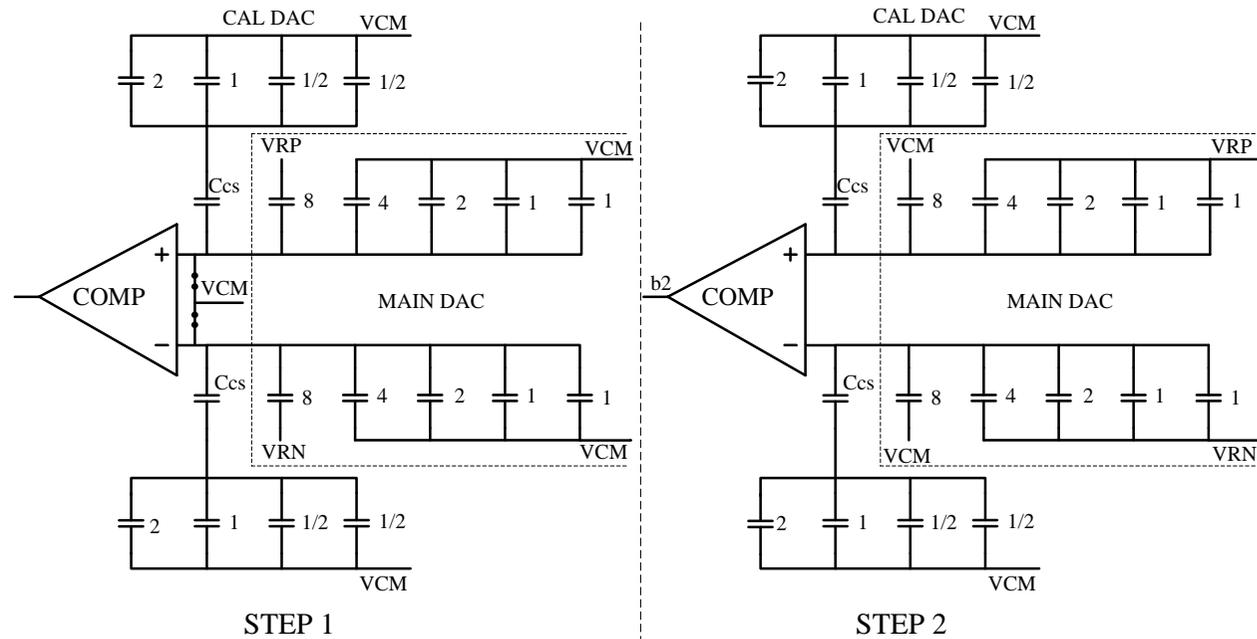
Step1: 复位

Step2: 等效余差电压为

V_{res_4}

从Step2开始，由比较器和CAL DAC构成的SAR ADC对 V_{res_4} 进行逐次逼近A/D转换

校准SAR ADC完成转换，得到转换结果DO4，实际的C4校准码 $DC4 = (DO4 - D_{os}) / 2$



设计例子

校准模式

三：校准次高位电容失配

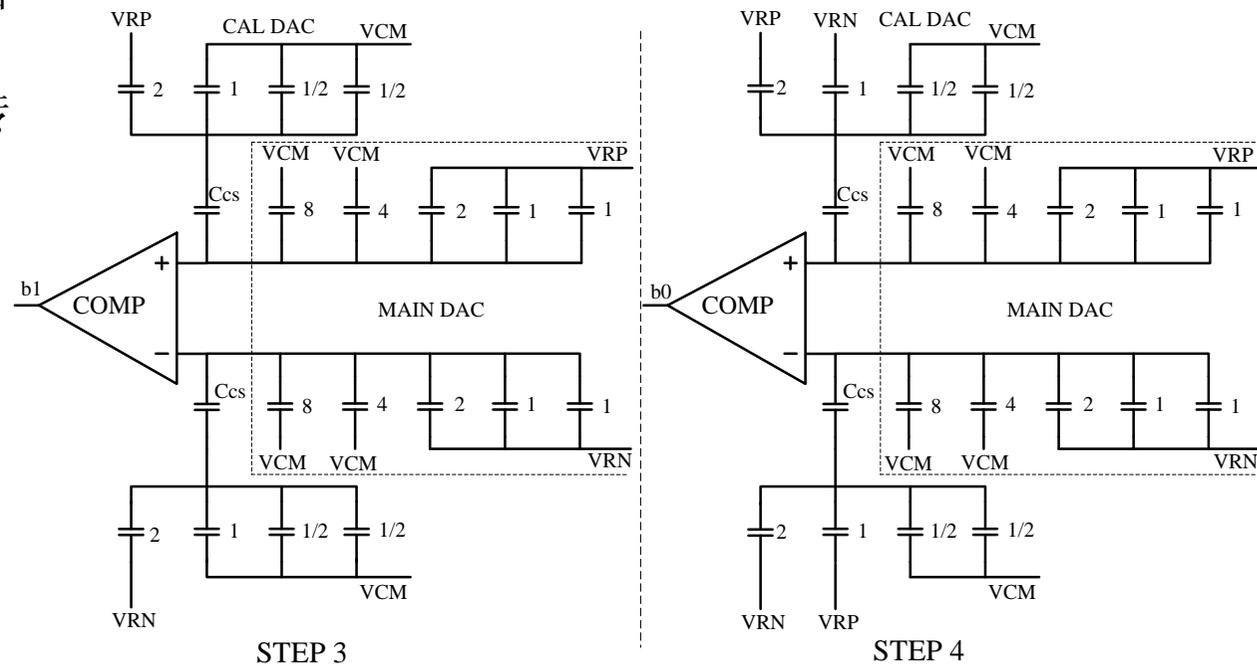
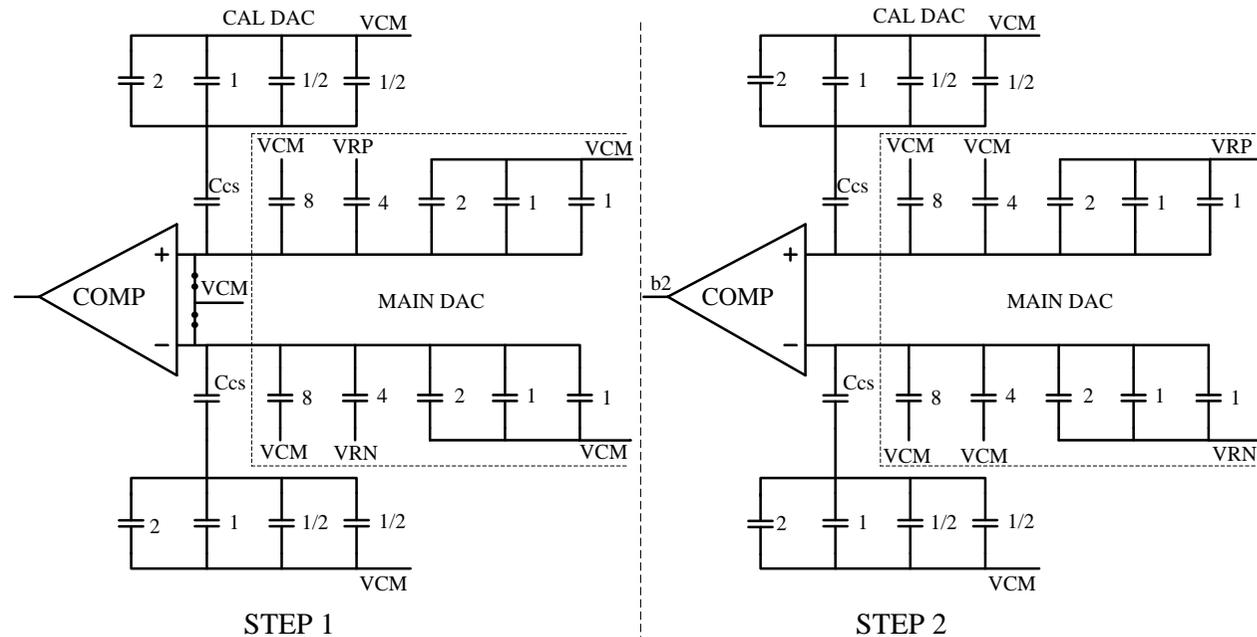
Step1: 复位

Step2: 等效余差电压为 V_{res_3}

从Step2开始，由比较器和CAL DAC构成的SAR ADC对 V_{res_3} 进行逐次逼近A/D转换

校准SAR ADC完成转换，得到转换结果DO3，实际的C3校准码 $DC3 = (DO3 - DOs - DC4) / 2$

后续电容的失配校准依次类推。。。



设计例子

转换模式

Step1: 采样

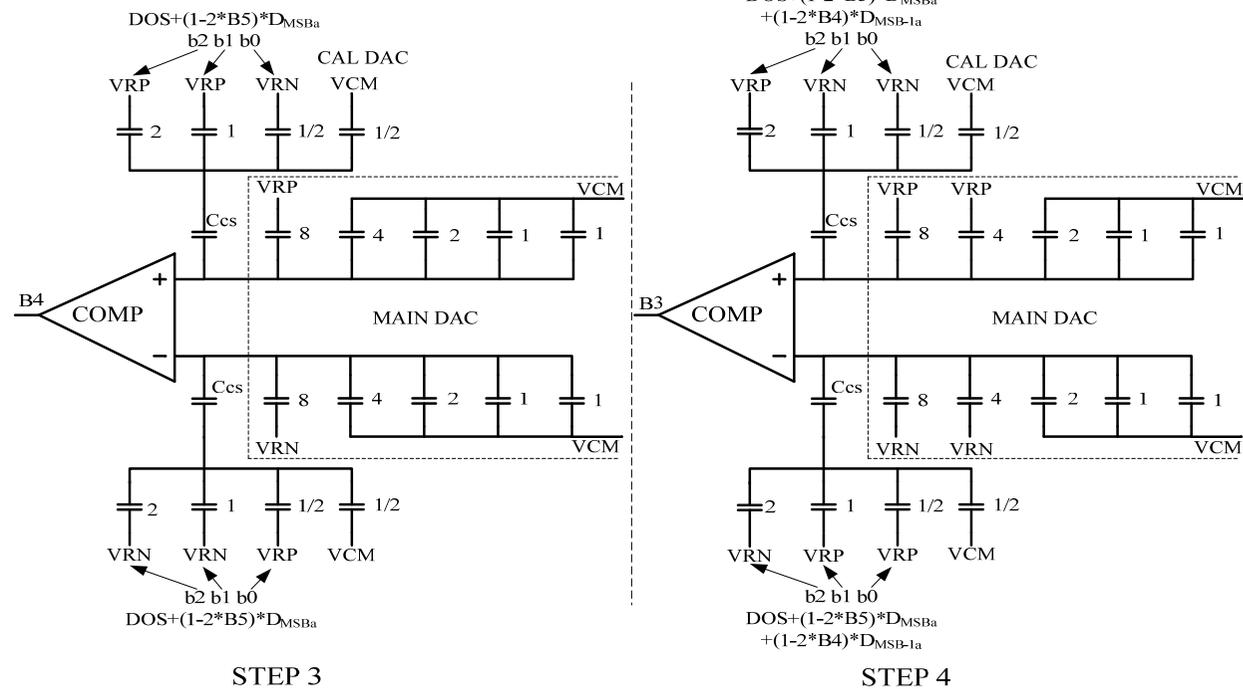
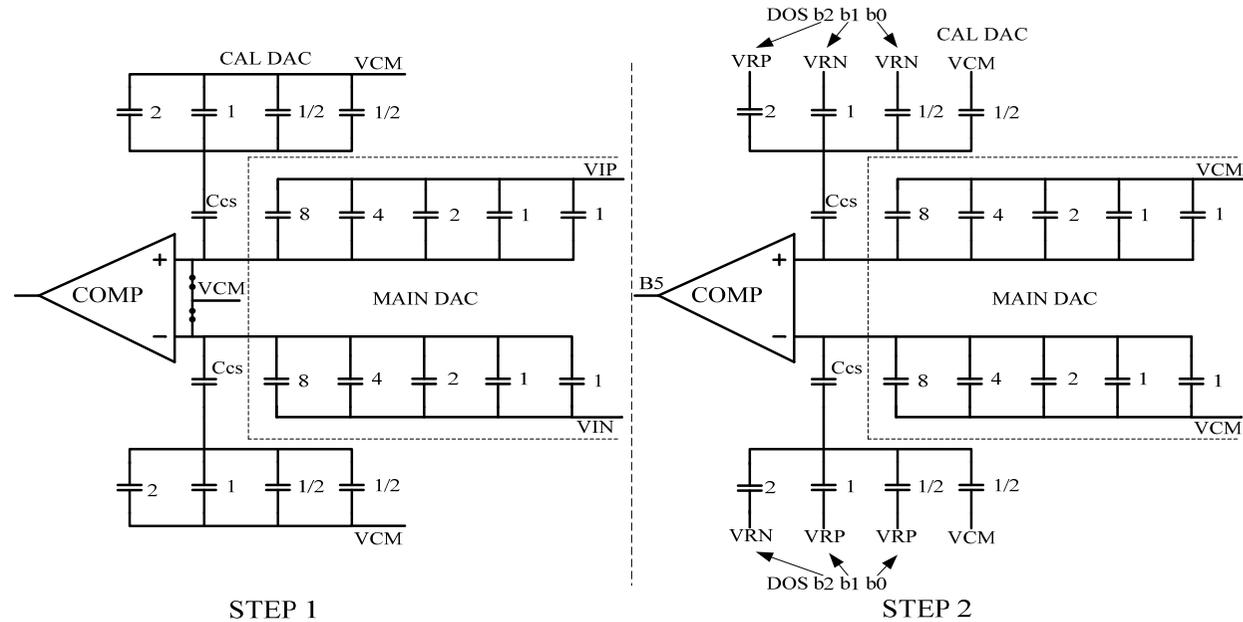
Step2: 校准DAC接Dos, 比较输出B₅

Step3: 校准DAC接
 $D_{os} + (1 - 2B_5)D_{C4}$, 比较输出B₄

Step4: 校准DAC接
 $D_{os} + (1 - 2B_5)D_{C4} + (1 - 2B_4)D_{C3}$, 比较输出B₃

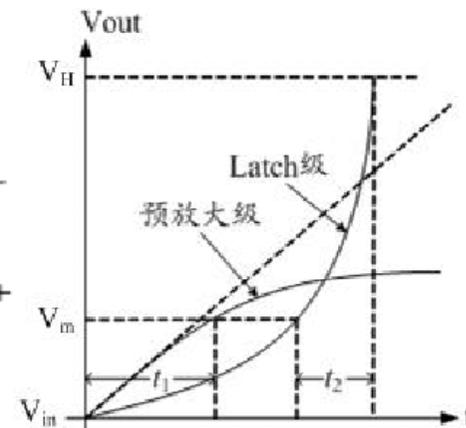
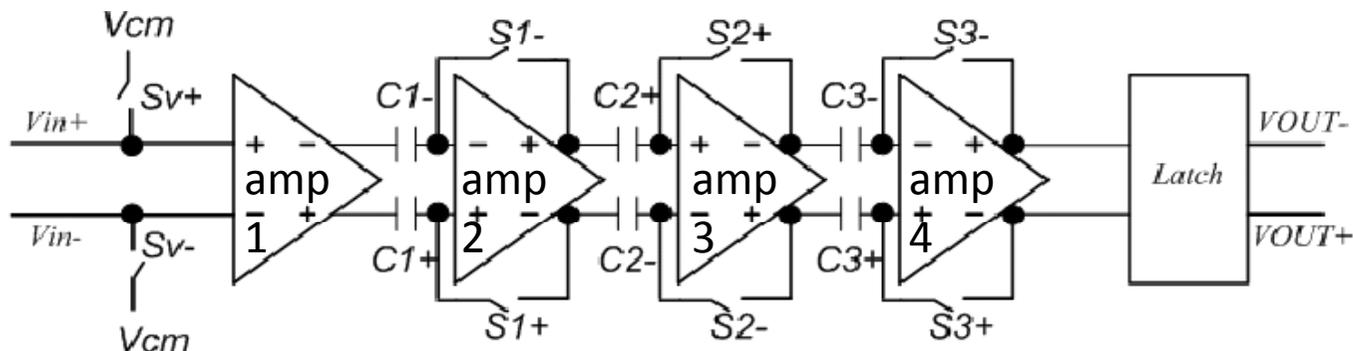
Step5: 依次类推

○ ○ ○



... STEP 5 ... N

Requirements On Comparator?



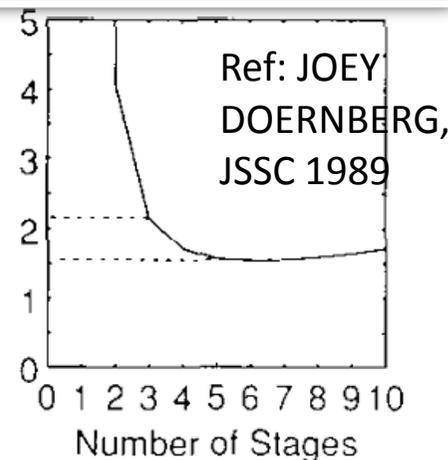
$$V_{OS} \approx \frac{V_{OS1}}{A_0 A_1} + \frac{V_{OS2}}{A_0 A_1 A_2} + \frac{V_{OS3}}{A_0 A_1 A_2 A_3} + \frac{V_{OSLatch}}{A_0 A_1 A_2 A_3} + \frac{\Delta q_1}{A_0 C_0} + \frac{\Delta q_2}{A_0 A_1 C_0} + \frac{\Delta q_3}{A_0 A_1 A_2 C_0}$$

- High Speed
 - Latch尺寸小, 但导致offset分布扩大
 - 前置放大器的带宽
- Low offset
 - 前置放大器的增益
 - Offset Cancellation
- Low Noise
 - 主要是第一级放大器amp1(1/f, thermal noise)
- Low kickback noise
 - Latch设计要合理(for example: Cascode, cap at input)
 - 时序设计控制(especially at latch on-to-off)
- Low Power
 - 比较器是构成SAR ADC功耗的主要单元

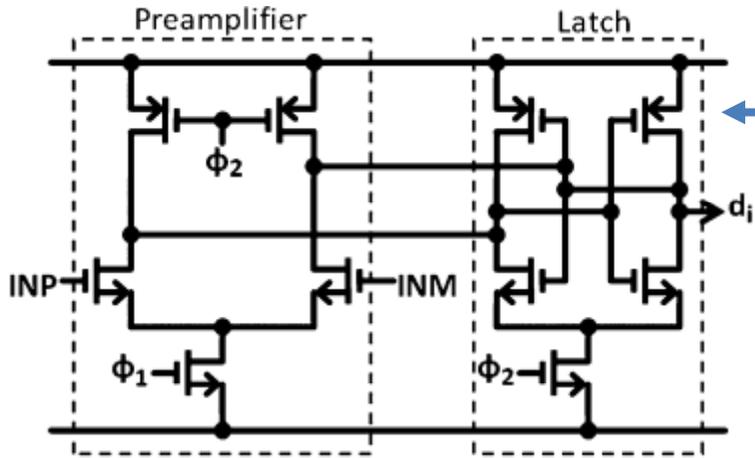
Offset不影响总体线性度, 但考虑到转换精度, 以及latch迟滞效应、噪声和分辨力, 其前置放大器增益需足够

放大器级数要根据延时、增益、功耗来权衡选择

Trade-off



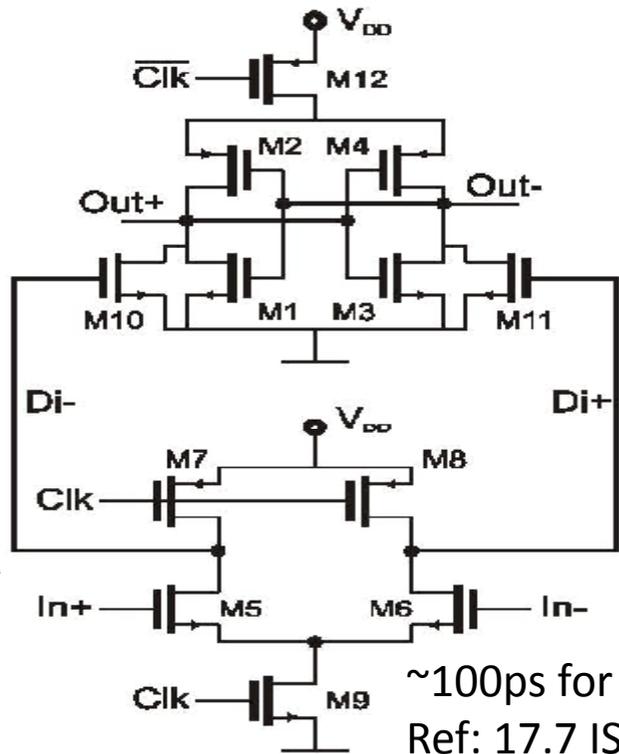
低功耗动态比较器



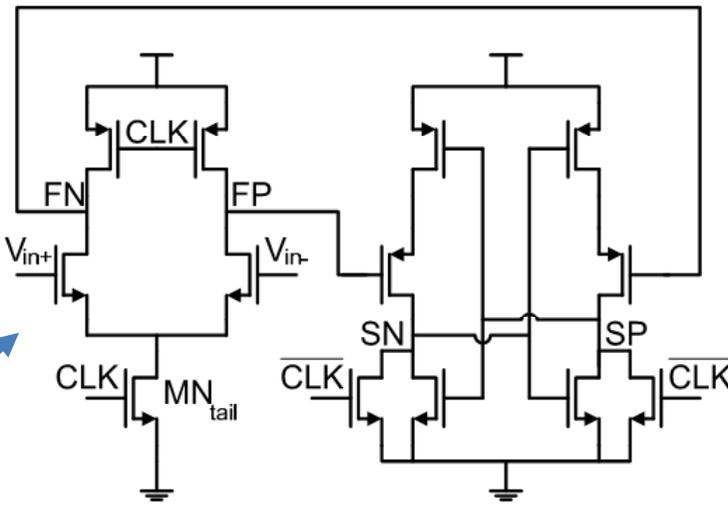
预放大器增益 ~ 2 ，电流1mA
 PMOS负载工作在线性区
 输出共模逼近VDD，这样latch比较时会更快
 速度快： $<100\text{ps}$ for 65nm LL process

Ref: Chun C. Lee, A SAR-Assisted Two-Stage Pipeline ADC. JSSC 2011.4

动态pre-amp + Latch，无静态功耗

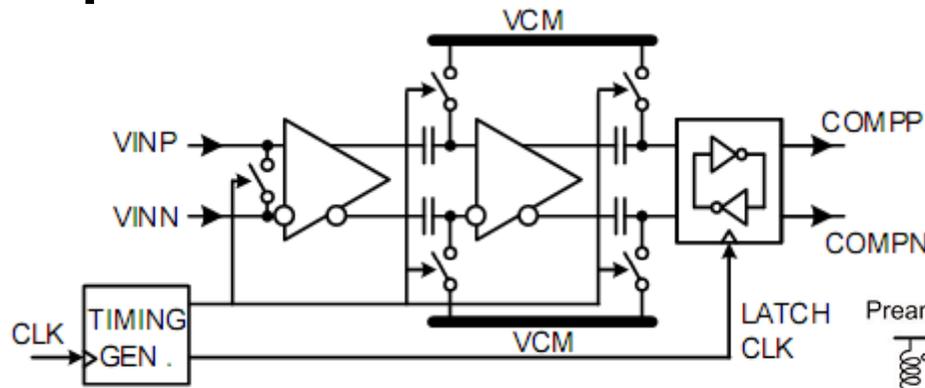


$\sim 100\text{ps}$ for 90nm
 Ref: 17.7 ISSCC2007



Ref: 12.4 ISSCC2008

Comparator offset calibration

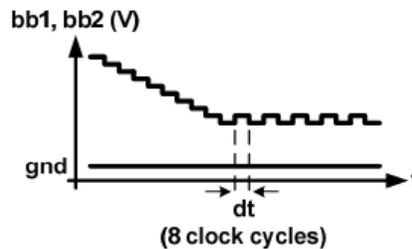
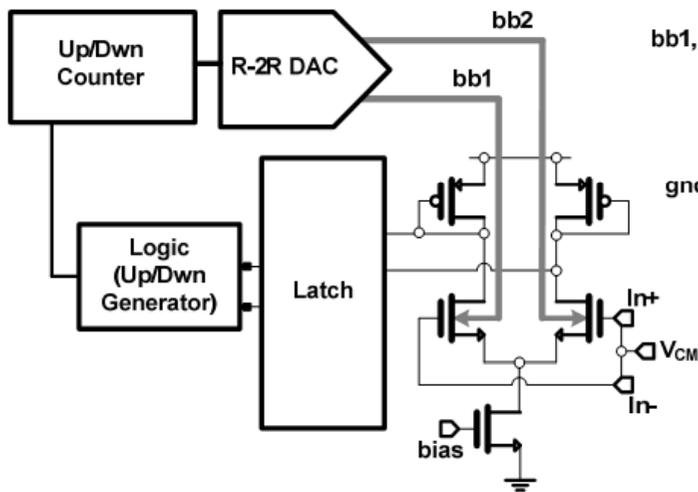
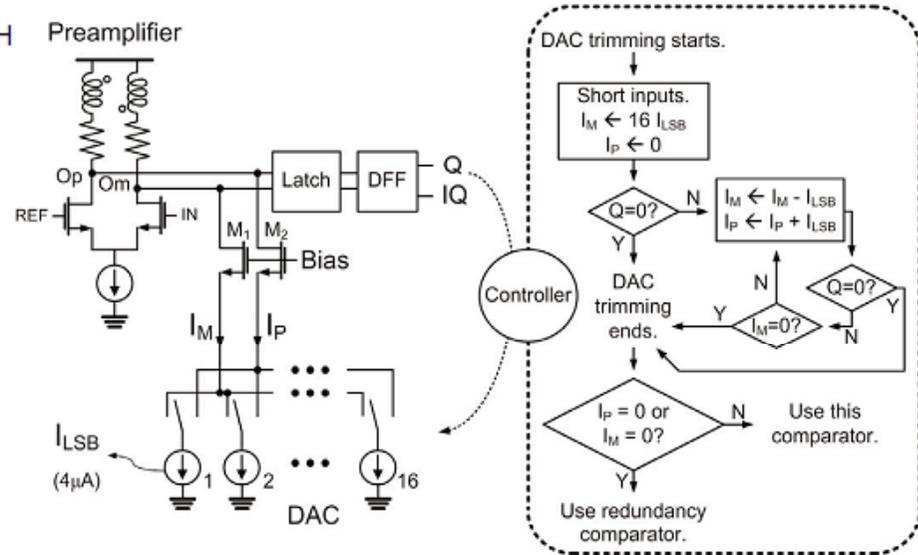


利用电容存储和抵消offset, 是最常用的办法

Ref: Y. Kuramochi, ASSC 2007

在preamp输出加入电流可以矫正offset, 但同时引入寄生, 会降低速度; 冗余设计也是提高yield的办法

Ref: S. Park, et, al. A 4GS/s 4b flash ADC in 0.18um CMOS. ISSCC 2006

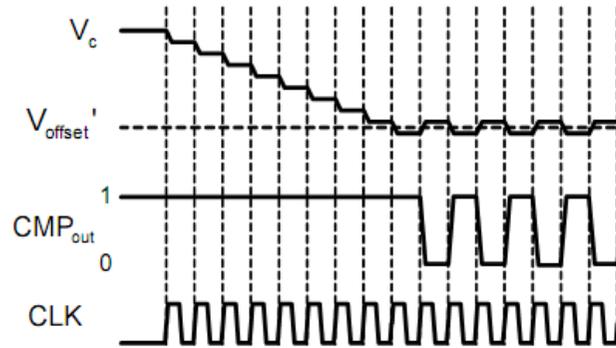
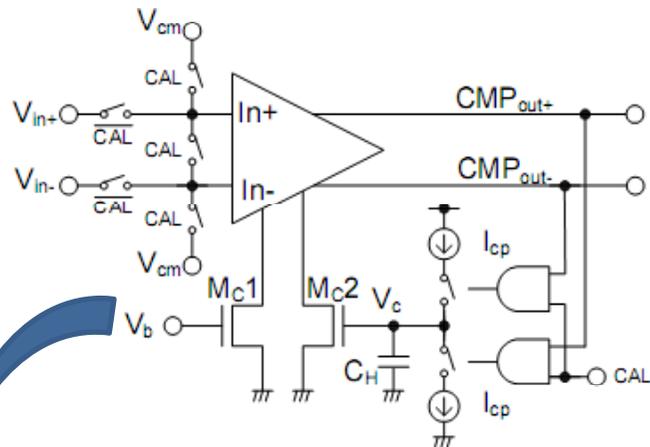


bb1: body bias 1
bb2: body bias 2

Ref:Alpman, Erkan. A 7-BIT 2.5GS/sec TIME-INTERLEAVED C-2C SAR ADC FOR 60GHz MULTI-BAND OFDM-BASED RECEIVERS. PHD Thesis

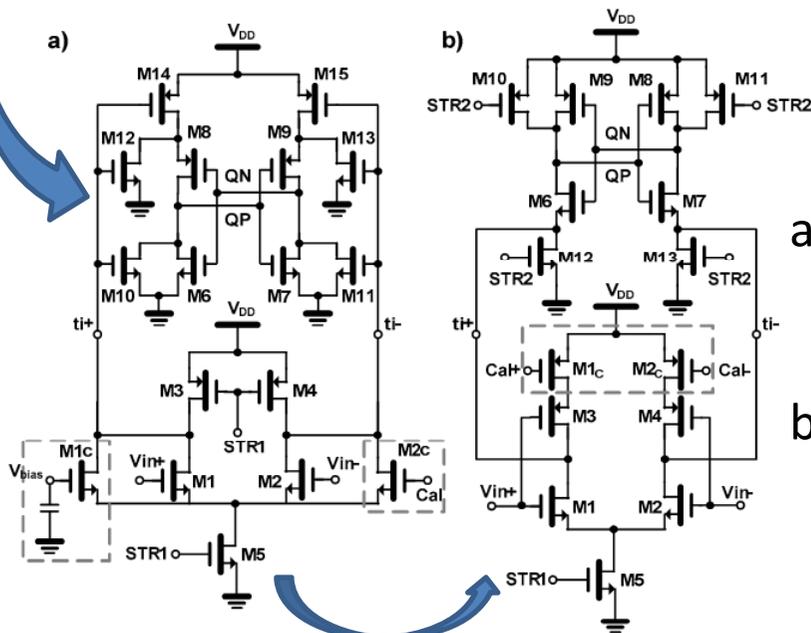
通过衬偏效应来调整输入管VT, 以此来校准offset

Comparator offset calibration



在动态比较器中，
通过调整输入差分对或差分对负载来校准offset

Ref: Masaya Miyahara, etc. A Low-Noise Self-Calibrating Dynamic Comparator for high-speed ADCs

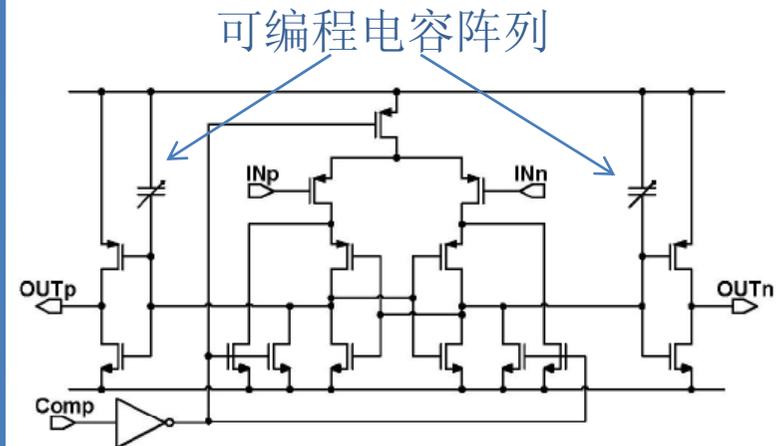


a) 调整输入差分对

b) 调整差分负载

Ref: Chi-Hang Chan, etc. ASSCC 2011 9-4

或通过调整输出点的差分负载电容来校准offset



可编程电容阵列

Ref: 13.5 ISSCC2007

Comparator noise

静态pre-amp + Latch:

输入等效噪声可按照传统的放大器噪声分析方法来进行，即先对各导通管产生的噪声在输出节点功率求和，然后再除以增益平方来求得输入等效噪声

总输出噪声电流密度:

$$\overline{di_o^2} = (\overline{di_{11}^2} + \overline{di_{12}^2}) \cdot \left(\frac{w_{13}}{w_{12}}\right)^2 + \overline{di_{13}^2} + \overline{di_{14}^2}$$

总输出噪声电压:

$$v_{no}^2 = \overline{di_o^2} \cdot r_o^2 \cdot \frac{\pi}{2} \cdot \frac{1}{2\pi r_o C_o} = \overline{di_o^2} \cdot \frac{1}{4g_{ds14} C_o}$$

假设: $g_{m11} = g_{m12} = g_{m13} = \frac{3}{2} g_{ds14}$

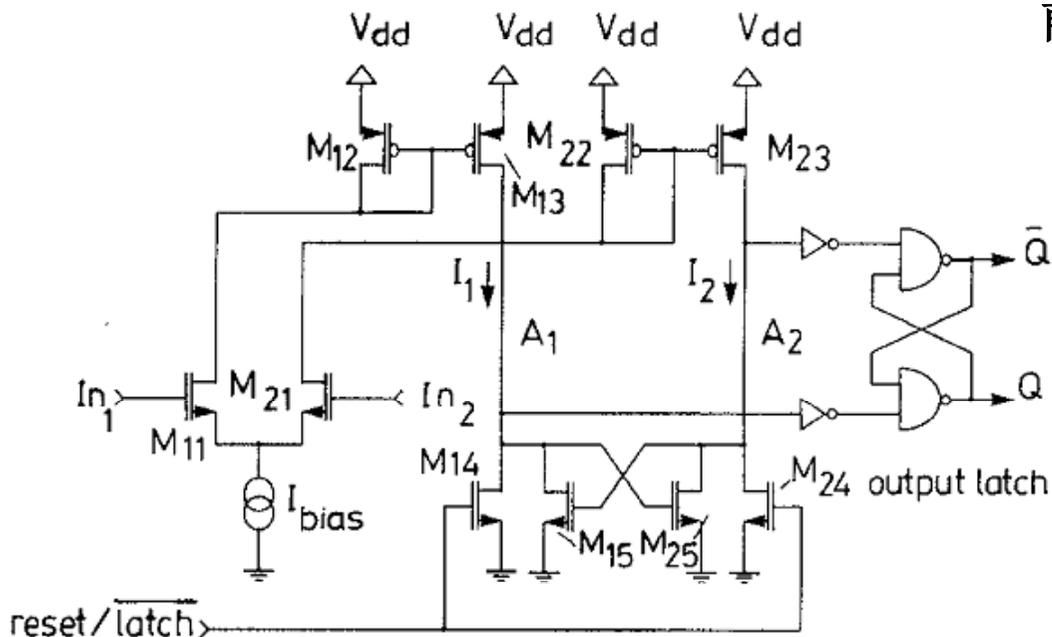
则有: $v_{no}^2 = 4 \frac{kT}{C_o}$

单端: $v_{ni}^2 = 4 \frac{kT}{C_o} \cdot \left(\frac{2}{3}\right)^2$

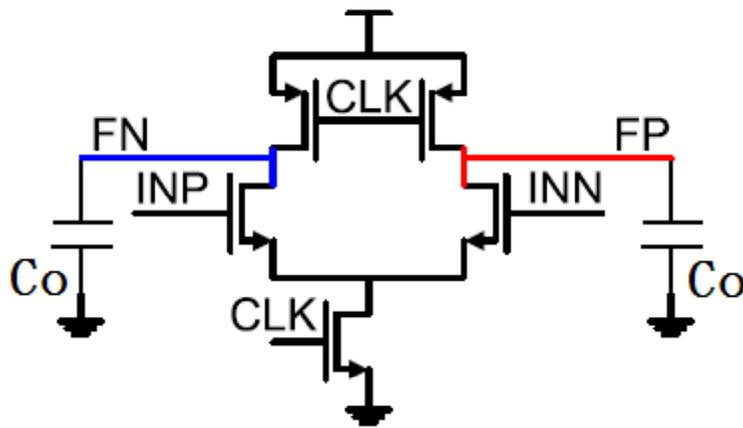
$$v_{ni}^2 = \frac{v_{no}^2}{A^2}$$

增益:

$$A = \frac{w_{13}}{w_{12}} g_{mi} r_o = \frac{w_{13}}{w_{12}} \cdot \frac{g_{m11}}{g_{ds14}}$$



Comparator noise

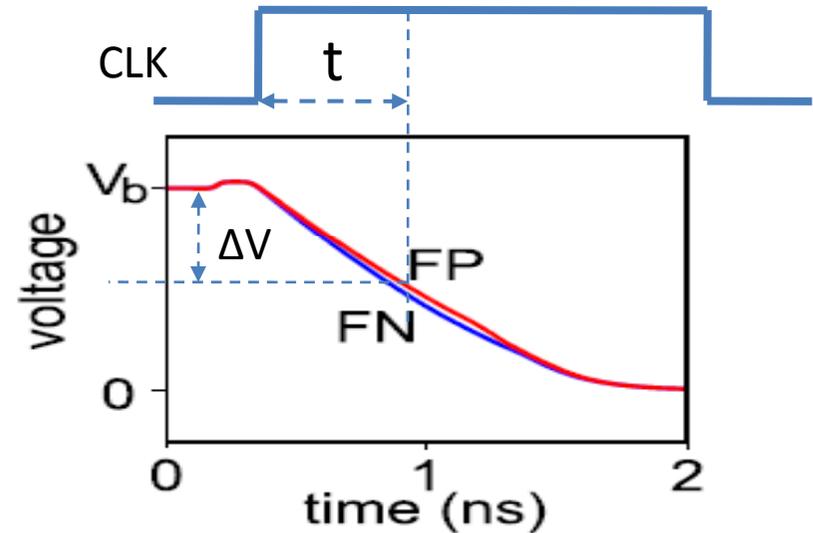


动态pre-amp:

增益和输出噪声与积分时间有关，在时刻t的输入等效噪声为该时刻输出噪声功率除以增益的平方

Note:

大信号输入下，噪声对比较器输出几乎不起作用，因此，噪声分析时，输入应为小信号。



时刻t的增益:

$$A = \frac{g_{m1}t}{C_o}$$

时刻t的输出噪声:

$$v_{no}^2 = \frac{2kT}{C_o} + \frac{4kT\gamma g_{m1}}{C_o^2} t \quad \gamma = \frac{2}{3}$$

在时刻t的等效输入噪声:

$$v_{ni}^2 = \frac{v_{no}^2}{A^2} = \frac{2kTC_o}{(g_{m1}t)^2} + \frac{4kT\gamma}{g_{m1}t}$$

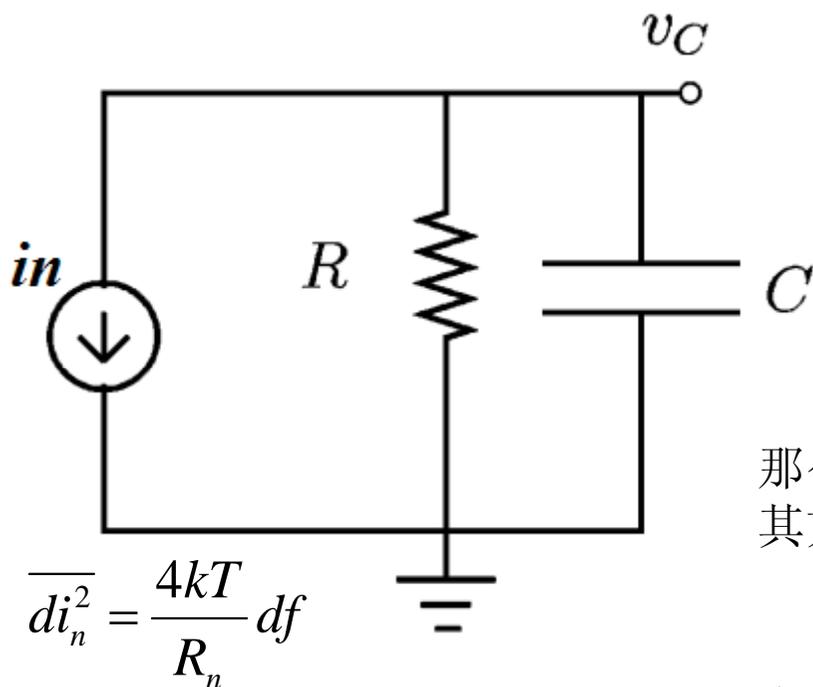
设到时刻t输出共模下降的幅度为ΔV，则有:

$$t = \frac{2C_o\Delta V}{I_b}$$

$$g_{m1}t = \frac{2C_o\Delta V}{V_{ov1}}$$

$$A = \frac{2\Delta V}{V_{ov1}}$$

Time-Domain noise analysis model



Ref: Pierluigi Nuzzo, Noise Analysis of Regenerative Comparators for Reconfigurable ADC Architectures. TCAS I 2008

基本RC并联电路的时域噪声分析

假设:

- ① R为无噪声电阻
- ② in为高斯分布噪声电路, 其等效噪声电阻为 R_n
- ③ $T=0$ 时, v_C 为0均值的高斯变量, 方差为 σ_0

那么, 在时刻 t 时, v_C 仍为0均值高斯变量, 且其方差为:

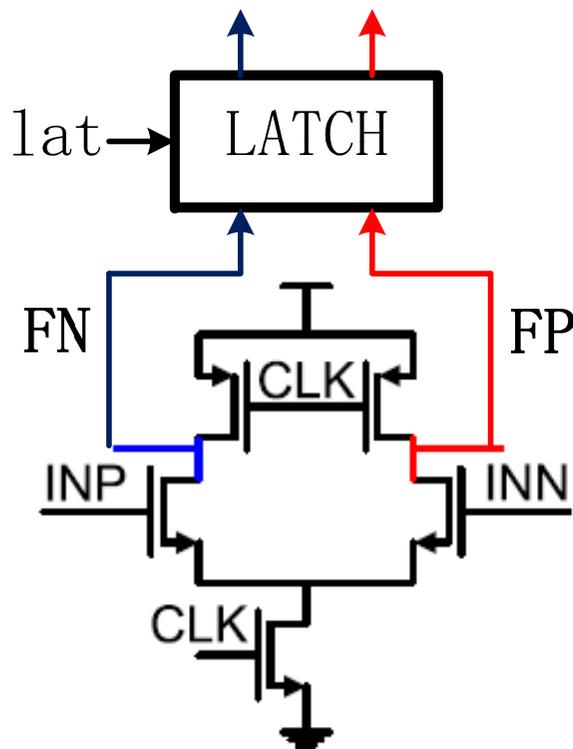
$$\sigma_t^2 = \frac{kTR}{CR_n} (1 - e^{-2t/RC}) + \sigma_0^2 e^{-2t/RC}$$

在 $t \ll RC$ 的情况下, 上式可简化为:

$$\sigma_t^2 = \frac{2kT}{C} \cdot \frac{t}{CR_n} + \sigma_0^2$$

- ① 动态pre-amp或Latch的输出节点, 在触发时钟动作后, 其时域噪声分析可参照上面的RC模型, 其起始噪声为开关关断时的采样噪声, 功率 $\propto kT/C$ 。
- ② 随着 t 的增加, 增加的噪声功率、信号增益A均与 t 成正比, 因此, 输入等效噪声功率随着 t 的增加而减小

Comparator noise



Low noise:

- 降低输入过驱动 V_{ov1}
- 降低输入共模 V_{cmi}
- 延长有效积分时间 t_d
- 增大输出电容 C_o

动态pre-amp+Latch:

Latch的噪声受到前置放大器增益的抑制，若动态pre-amp的增益足够大，则比较器的噪声由pre-amp决定；
动态pre-amp的增益与有效积分时间 t_d 有关， t_d 由LATCH的触发所决定，表示该时刻开始LATCH的正反馈作用超过了输入作用

令pre-amp输入管保持饱和状态的最大共模下降幅度:

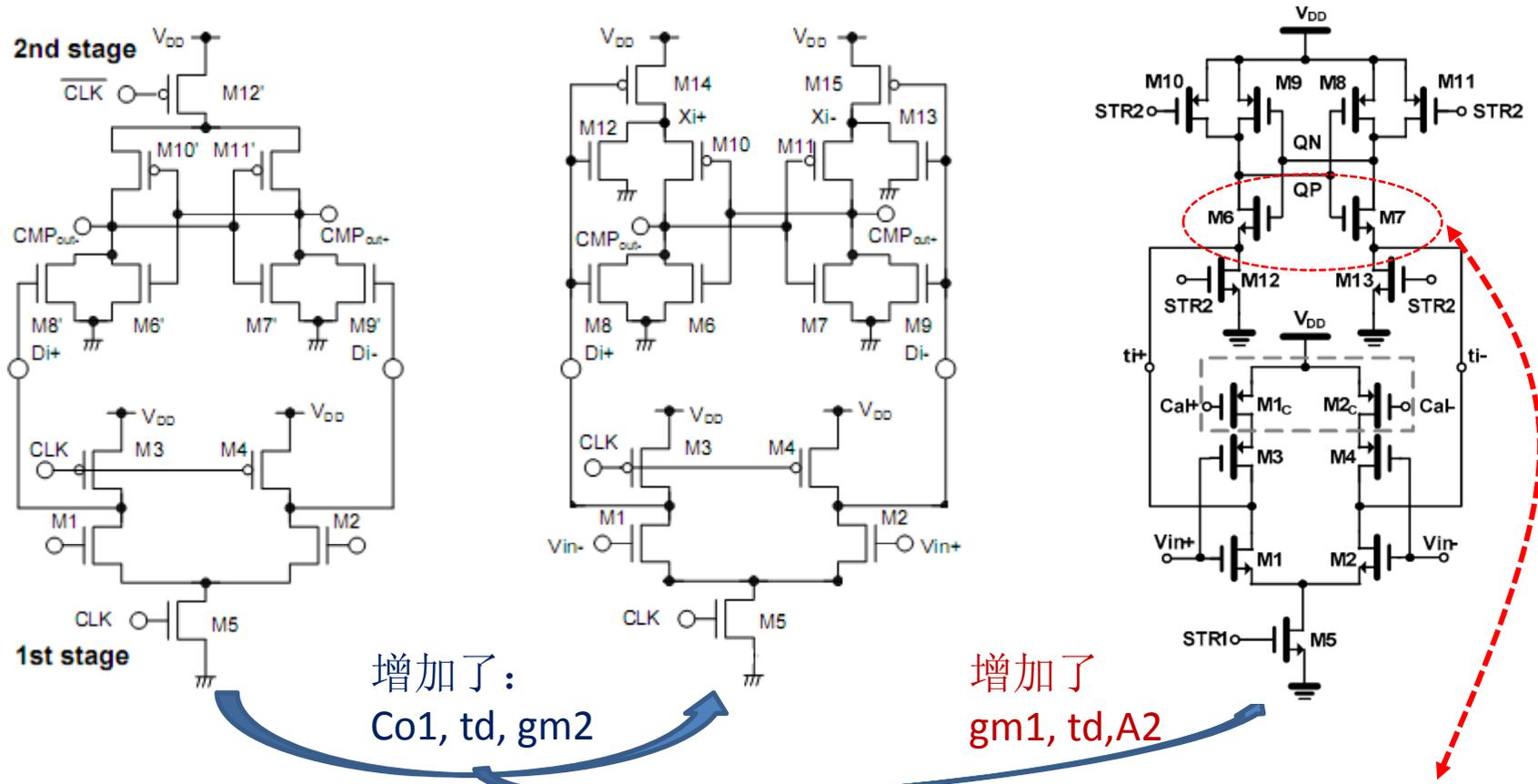
$$\Delta V_{\max} = V_{dd} - V_{cmi} + V_{th}$$

Pre-amp的最大有效积分时间和增益为:

$$t_{\max} = \frac{2C_o \Delta V_{\max}}{I_b} \quad A_{\max} = \frac{2\Delta V_{\max}}{V_{ov1}}$$

在实际设计中， $0 < t_d < t_{\max}$ ，为优化噪声，应使得 t_d 接近 t_{\max} ，但 t_d 的增加会降低速度，这实际上又是一个精度和速度的tradeoff，故LATCH的触发方式和触发时机应仔细考虑

Low noise dynamic comparators



两级动态结构：在第一级增益不够高的情况下，增加第二级增益，也能有效地降低噪声

噪声 $V_{ni}(\sigma)$ 的对比（比对的两者具有相同的size）

第二级通过M6, M7向 t_{i+} , t_{i-} 放电，延长了M1, M2饱和区工作时间 t_d ；第一级差分电流通过M6, M7，带来第二级的电压增益 A_2

2.1mV	0.66mV	
	0.41mV	0.2mV@$\Delta STR=60ps$

Comparator noise measurement

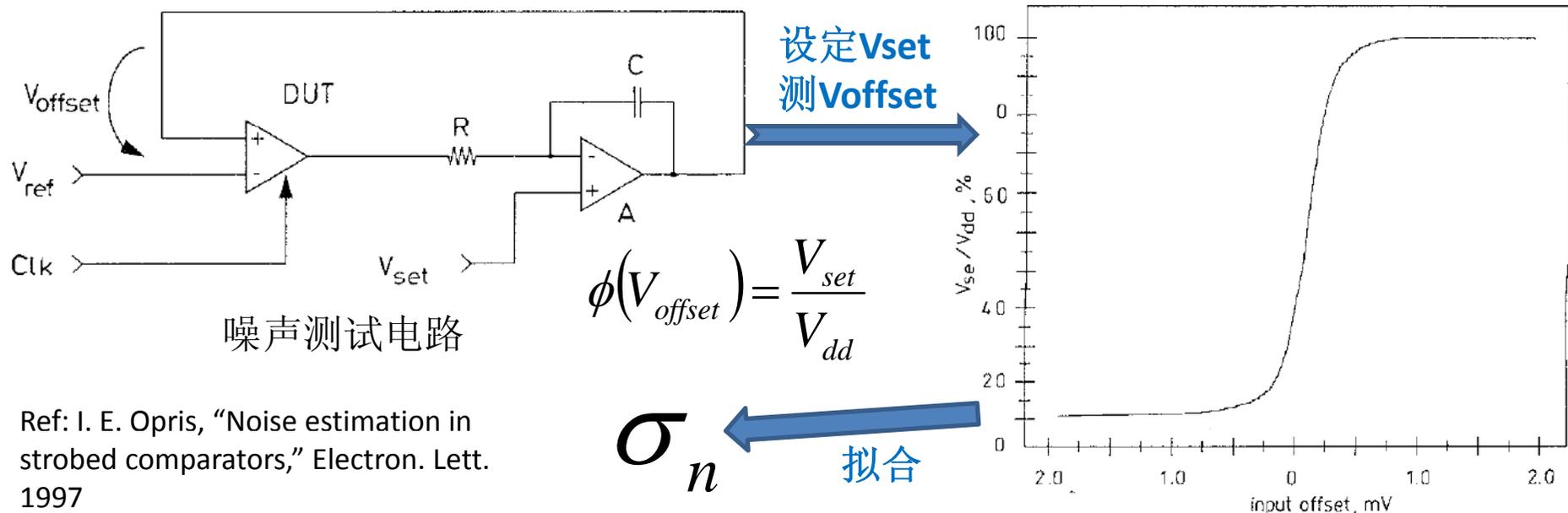
假设比较器的输出为0和1，则：
$$v_o = \frac{1 + \text{sign}(v_i - v_n)}{2}$$

在输入为 v_i 时，输出为1的概率：
$$\phi(v_i) = \frac{1}{\sqrt{2\pi}\sigma_n} \int_{-\infty}^{v_i} e^{-\left(\frac{v_n}{\sigma_n}\right)^2} dv_n$$

在输入为 v_i 时，比较器输出的均值：
$$E[v_o] = p(v_o = 0) \cdot 0 + p(v_o = 1) \cdot 1 = \phi(v_i)$$

测量方法：

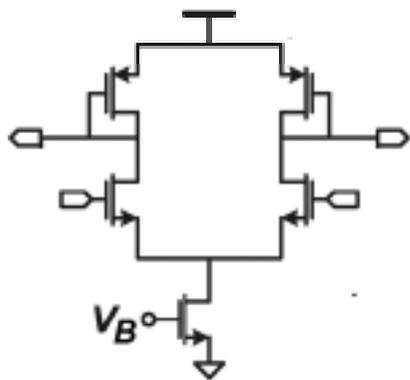
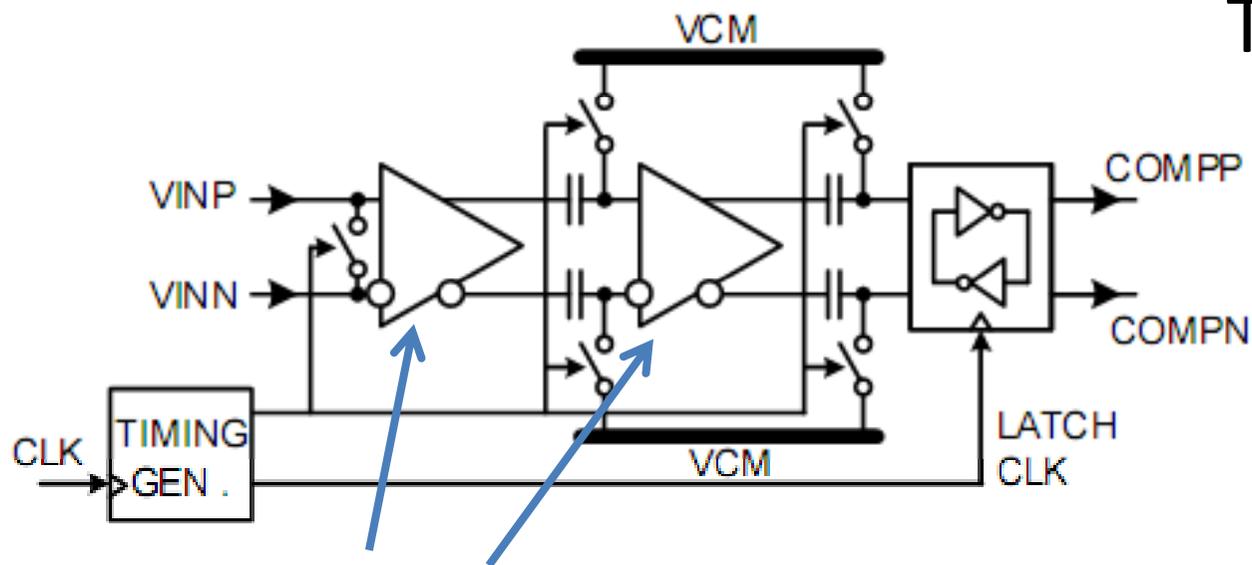
通过测量比较器输出均值与输入电压的关系，拟合出噪声标准差



Ref: I. E. Opris, "Noise estimation in strobed comparators," Electron. Lett. 1997

推荐比较器设计

TBD



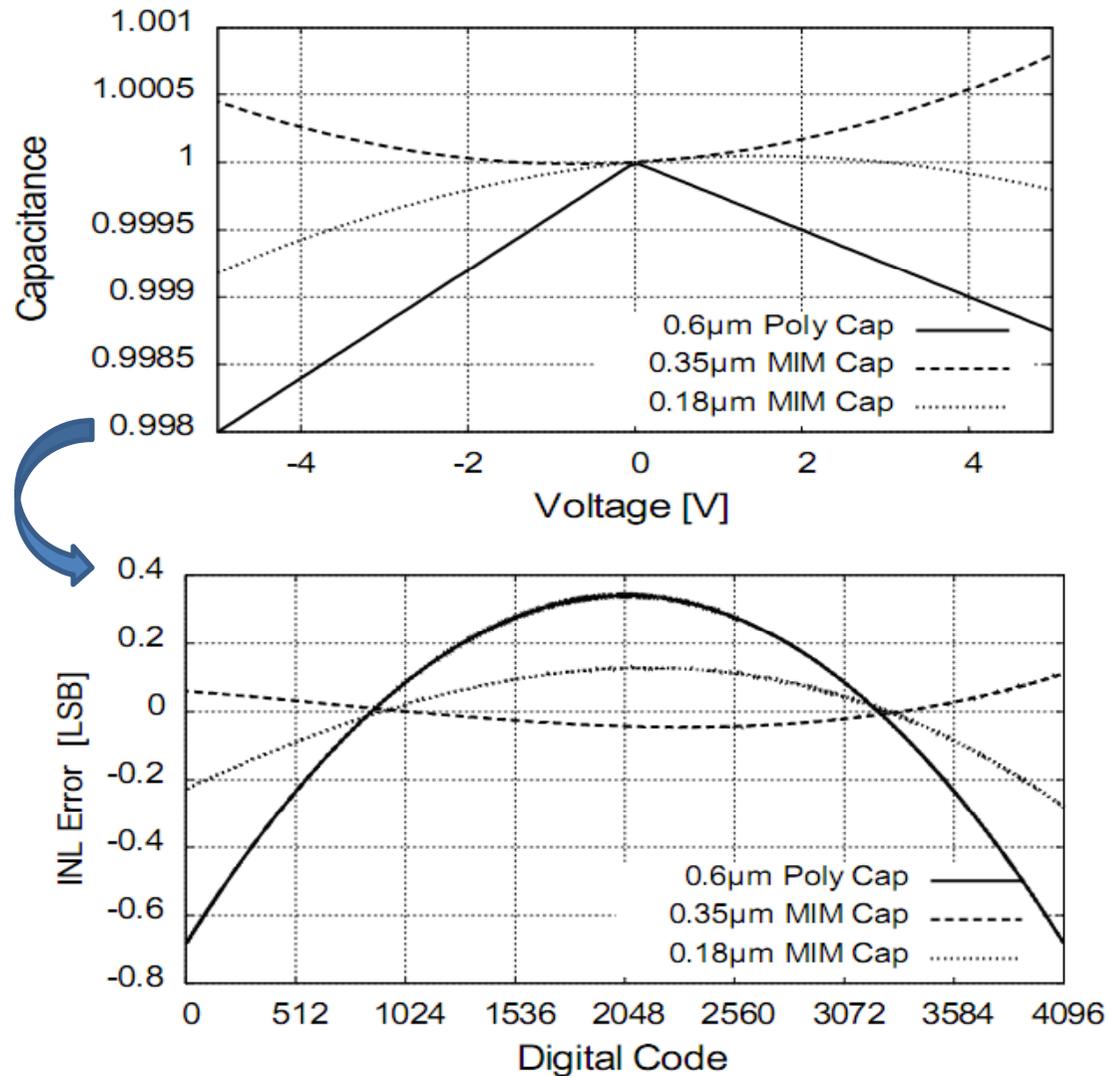
For high resolution ADC (12bit)

静态pre-amp + latch + offset cancellation

For low resolution ADC (8bit)

动态pre-amp + latch

非线性效应



实际电容表达式:

$$C(V) = C_0 \left[\begin{array}{l} 1 + \alpha_1(V - V_{nom}) \\ + \alpha_2(V - V_{nom})^2 \end{array} \right]$$

电容电压系数致使电容值与输入电压有关，导致ADC全局渐变的非线性，影响INL；

通常对12bit以上分辨率的ADC，需要考虑电容电压系数的影响

差分结果不受 α_1 影响，会好得多

MOM电容？

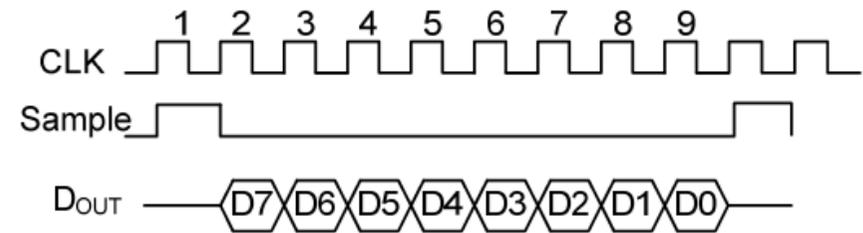
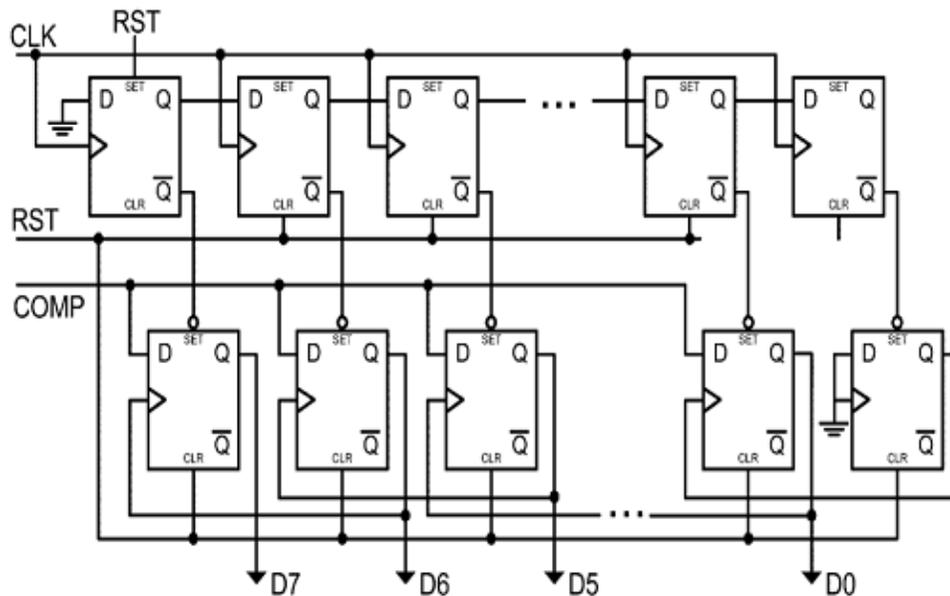
SAR LOGIC

SAR algorithm for 8-bit ADC

Step	SAR								Sample	COMP
0	0	0	0	0	0	0	0	0	1	-
1	1	0	0	0	0	0	0	0	0	D7
2	D7	1	0	0	0	0	0	0	0	D6
3	D7	D6	1	0	0	0	0	0	0	D5
4	D7	D6	D5	1	0	0	0	0	0	D4
5	D7	D6	D5	D4	1	0	0	0	0	D3
6	D7	D6	D5	D4	D3	1	0	0	0	D2
7	D7	D6	D5	D4	D3	D2	1	0	0	D1
8	D7	D6	D5	D4	D3	D2	D1	1	0	D0

SAR逻辑基本操作:

- 1) 复位
- 2) 猜1
- 3) 调取比较器输出
- 4) 移动猜1
- 5) 同步锁存完整转换输出



Timing diagram of 8-bit SA ADC

思考:
差分结构的SAR逻辑电路如何设计?

Asynchronous SAR ADC

- 同步采样，异步转换
- 控制电路需要的脉冲由电路自动产生
- 好处：假设10bit 100MSPS，则对于

同步SAR时钟频率至少1G

比较器时间： $T_{cmp} = K \cdot \ln \frac{V_{FS}}{V_{res}}$

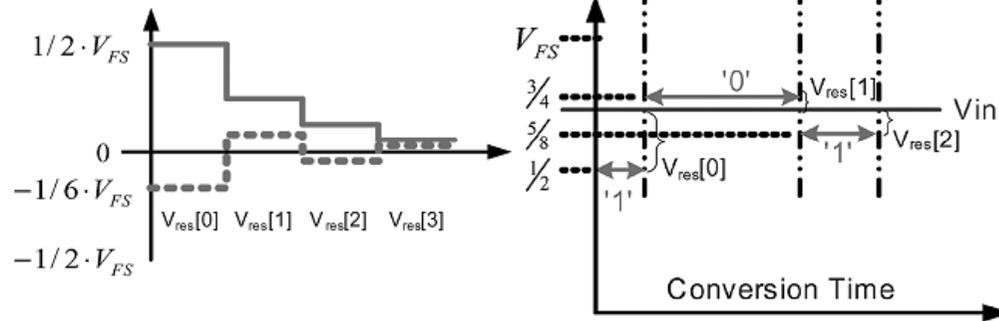
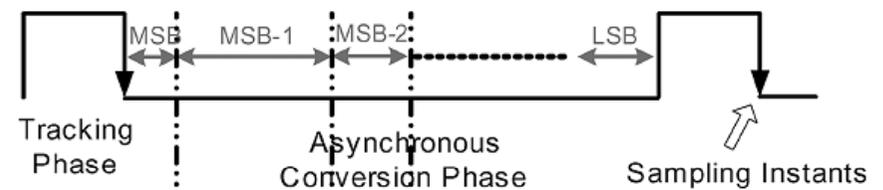
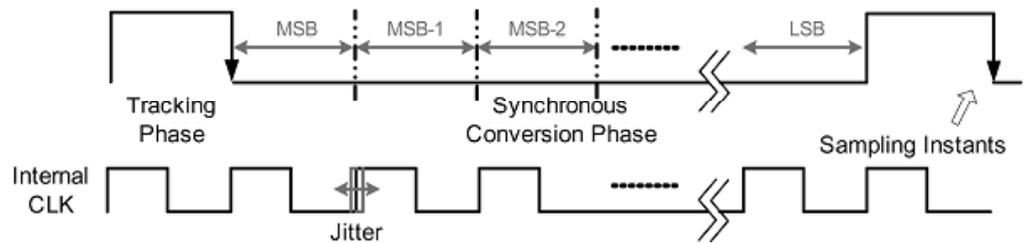
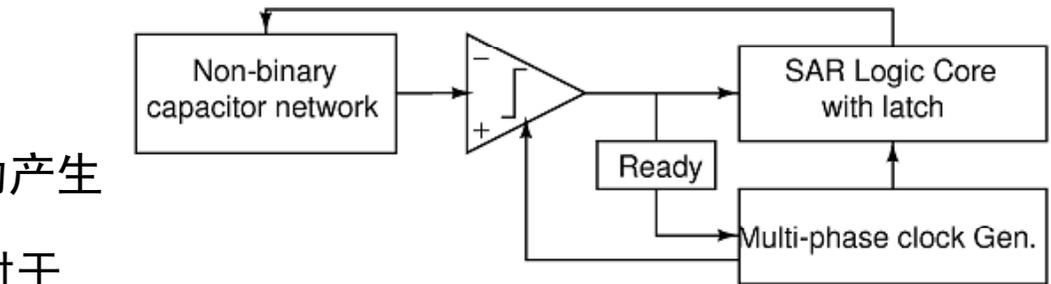
$$T_{async} = \sum_{i=0}^{N-1} K \cdot \ln \frac{V_{FS}}{V_{res}[i]}$$

$$T_{sync} = N \cdot K \cdot \ln \frac{V_{FS}}{V_{min}}$$

当N比较大时，有：

$$\left(\frac{T_{async}}{T_{sync}} \right)_{max} \approx \frac{1}{2}$$

$$\left(\frac{T_{async}}{T_{sync}} \right)_{min} \approx \frac{1}{2}$$

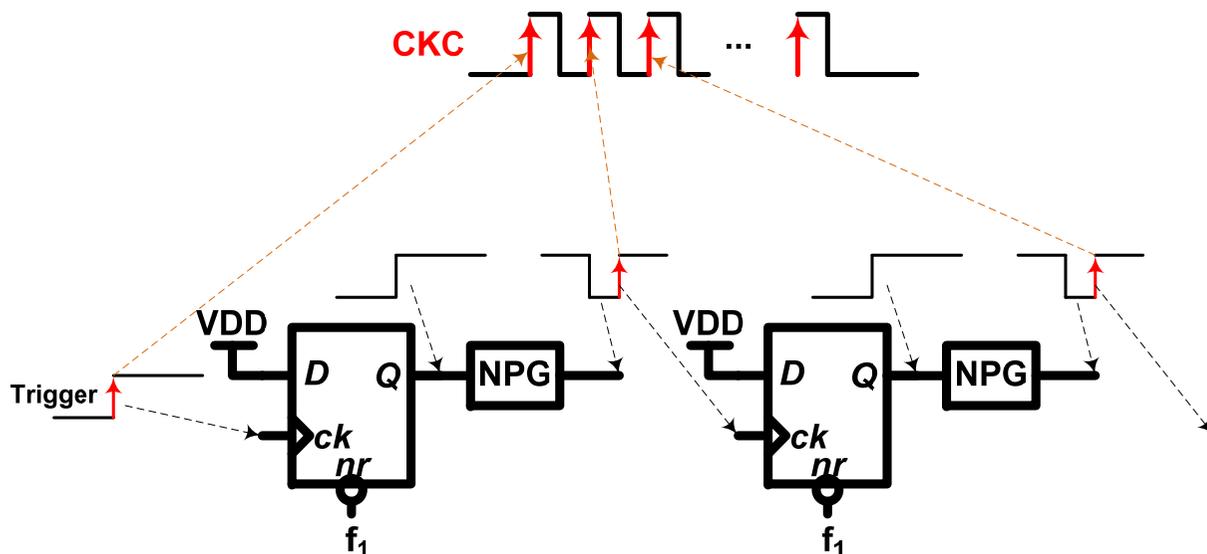


Ref: Shuo-Wei Michael Chen, et, al. A 6-bit 600-MS/s 5.3-mW Asynchronous ADC in 0.13-um CMOS. JSSC 2006

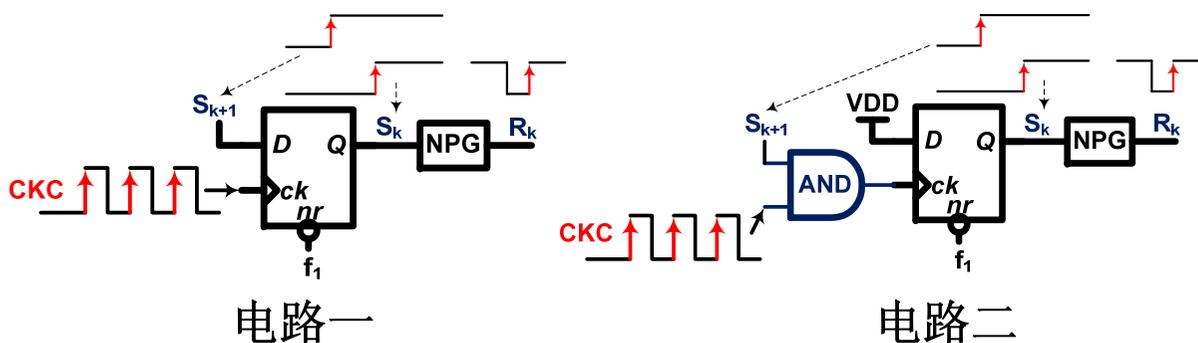
Async. SAR Logic

- 功能要求
 - 由一个外来时钟沿触发的多相时钟，控制比较器的比较和复位
 - 与比较器每次输出同步的时钟沿，用于锁存比较结果并触发DAC
- 性能要求
 - 速度： $\min(\text{环路延迟}-\text{比较时间}-\text{DAC建立时间})$
 - 功耗： $\min(\sum(f_i * C_{ni}))$

Multi-phase Clock Gen.



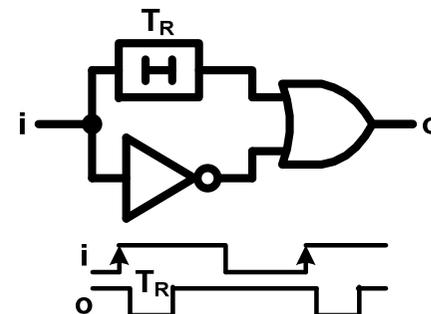
利用多个单脉冲产生电路合成多相时钟



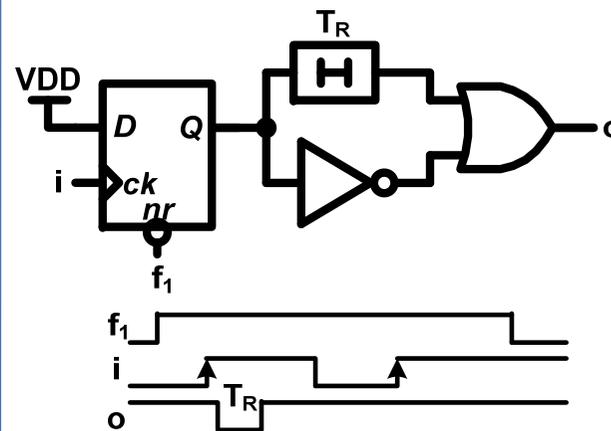
电路一

电路二

脉冲产生电路的顺序触发控制

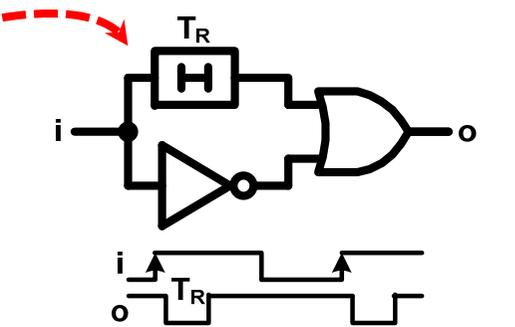
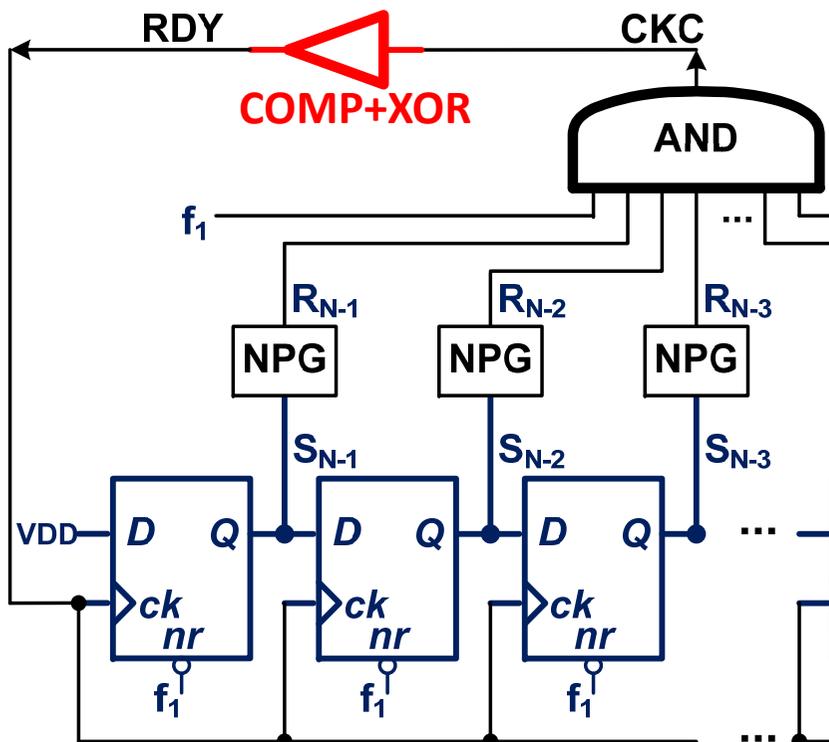


NPG:沿触发负脉冲产生

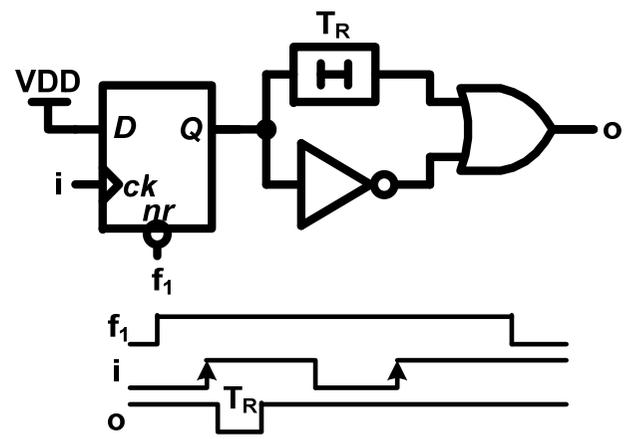


SNPG:单次沿触发负脉冲产生

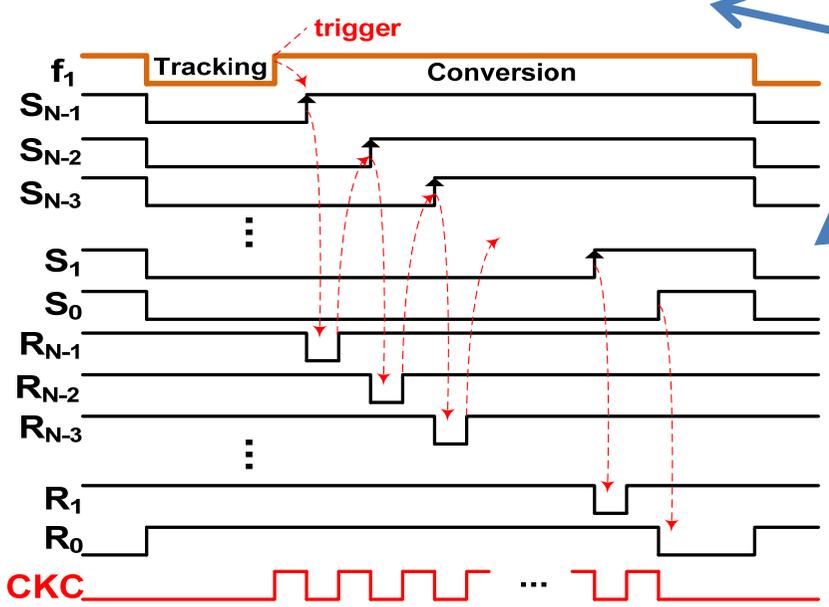
Multi-phase Clock Gen.



NPG:沿触发负脉冲产生



SNPG:单次沿触发负脉冲产生



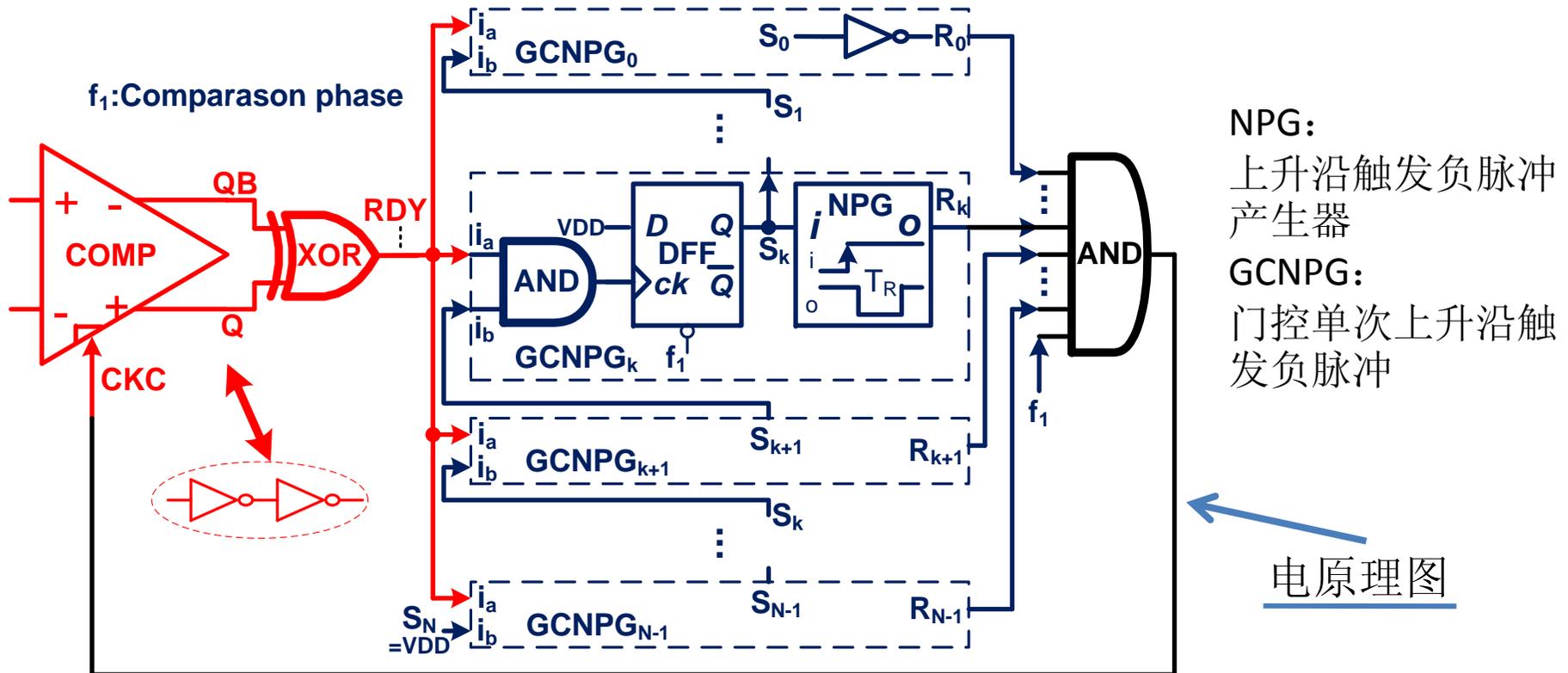
电原理图

信号时序

电路原理:

1. 由N个SNPG构成;
2. 每个SNPG贡献一个负脉冲
3. 移位寄存器链控制依次产生N个负脉冲
4. 通过多输入与门合成多相时钟CKC

Multi-phase Clock Gen.

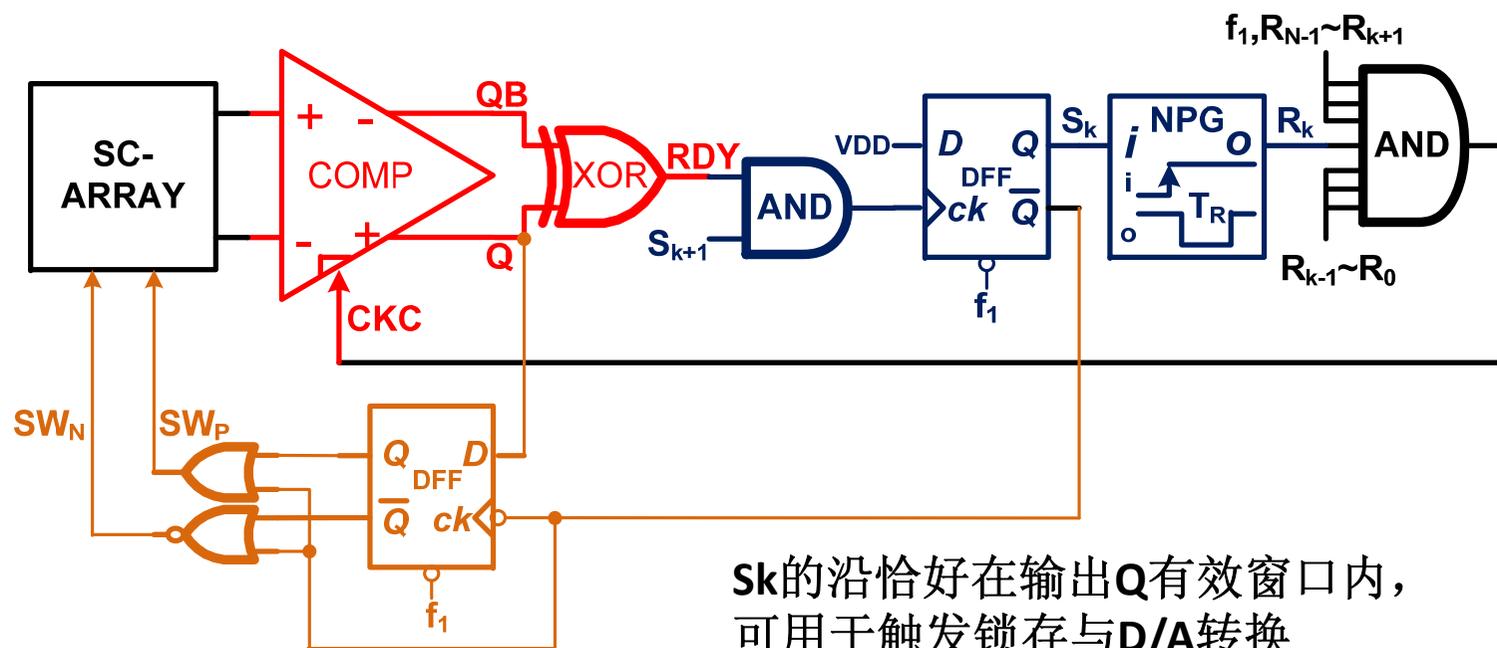


电路原理、信号时序与上一页胶片中的电路类似，区别在于移位控制电路的实现方式

优点：参与高频翻转的电路节点少，功耗低

缺点：单bit转换周期多一个AND门的门延迟

Single step conversion loop



CKC上升沿走一圈的时间:

$$t_{loop} = t_{comp} + t_{xor} + t_{and2} + t_{dff} + t_{npg} + t_{andn}$$

DAC的建立时间:

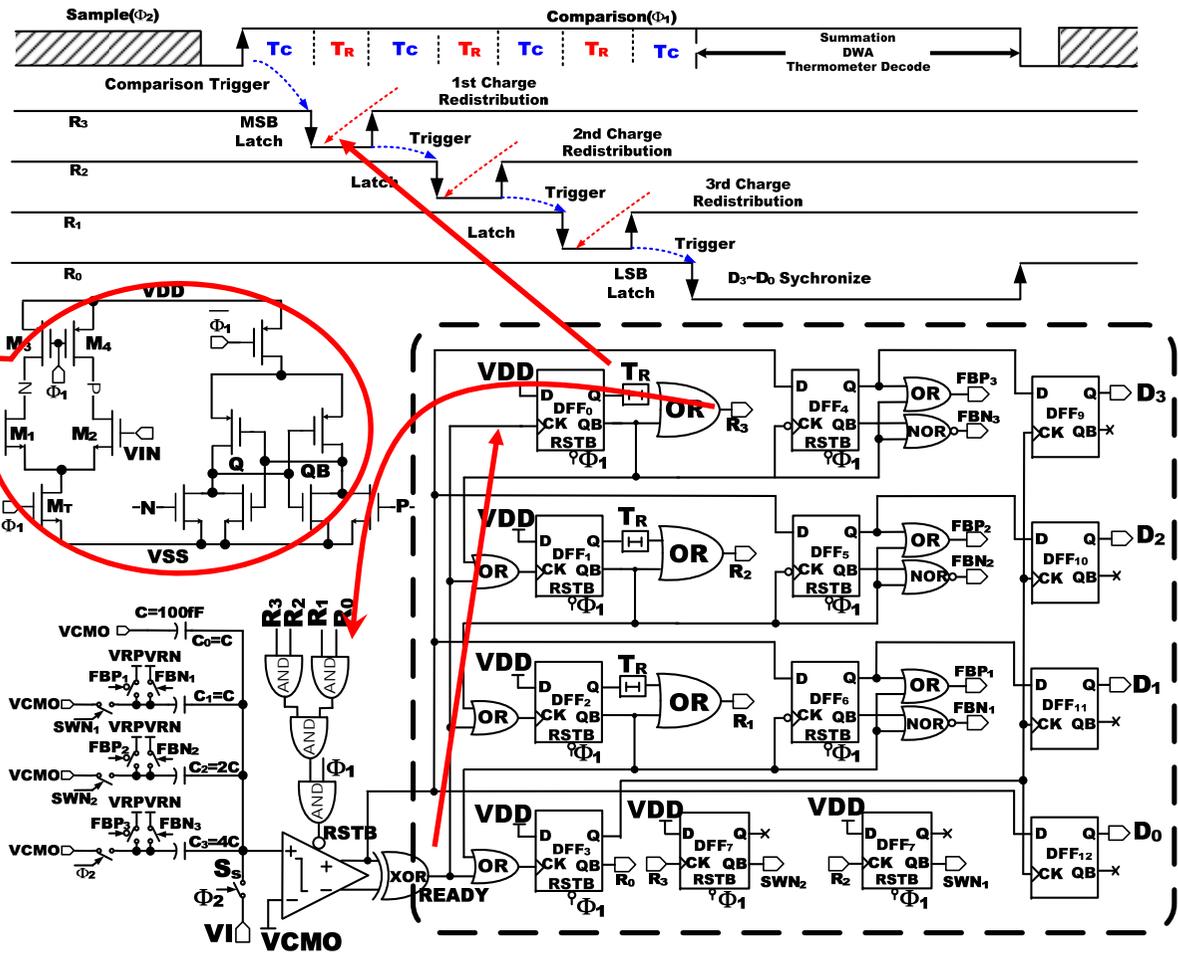
$$t_{dac} = t_{npg} + t_{andn} - t_{dff} - t_{or} = T_R + t_{andn} - t_{dff}$$

需优化的时间:

$$t_{loop} - t_{dac} = t_{comp} + t_{xor} + t_{and2} + 2t_{dff} + t_{or}$$

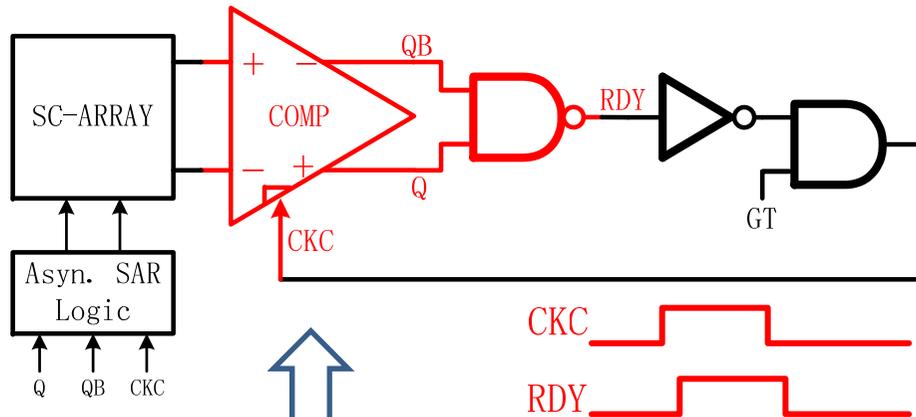
4-bit设计例子

- SAR结构
 - 电荷重分布型DAC
- 1个动态比较器
- 异步控制逻辑

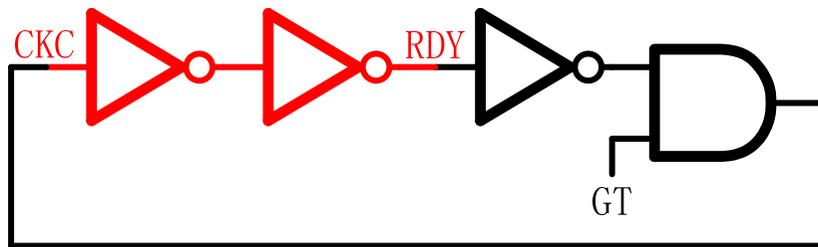
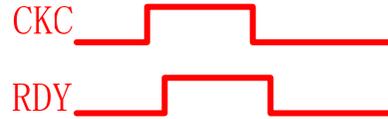


- 异步逻辑由一个时钟沿触发
- 异步控制逻辑自动产生后续的所有脉冲

Multi-phase Clock Gen.



实际电路



门控环振模型

什么电路可以无需外部时钟，自主产生多相时钟？

振荡器！

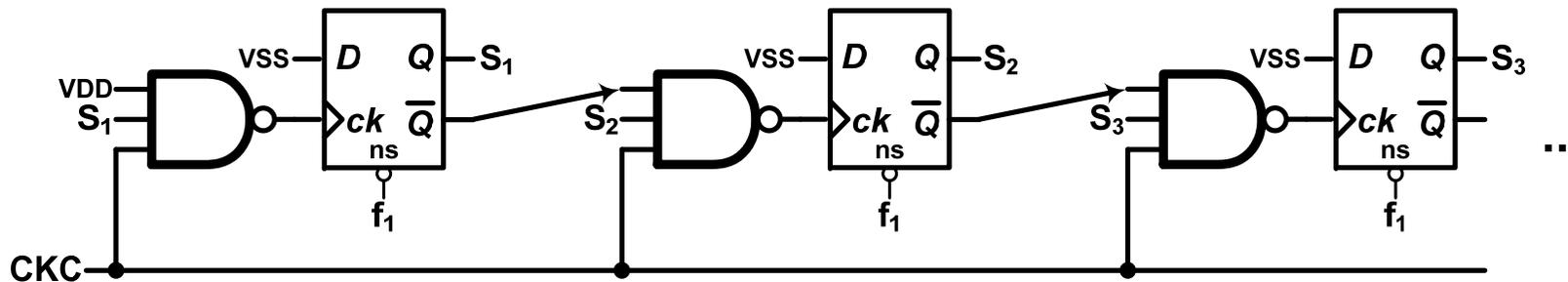
思路：

1. 用环振自主产生时钟；
2. 用门控信号控制时钟的周期数；

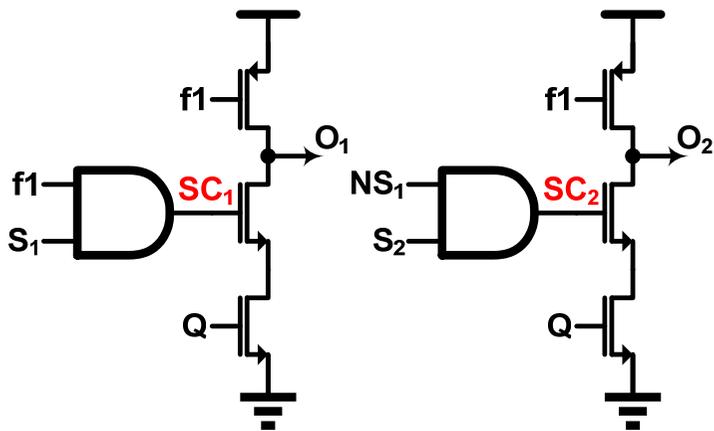
电路特点：

1. 单bit转换环路最简洁，无DFF延迟，可以实现最高速度
2. 需要增加类似于移位寄存器这样的电路来产生数据锁存时钟

时序控制电路

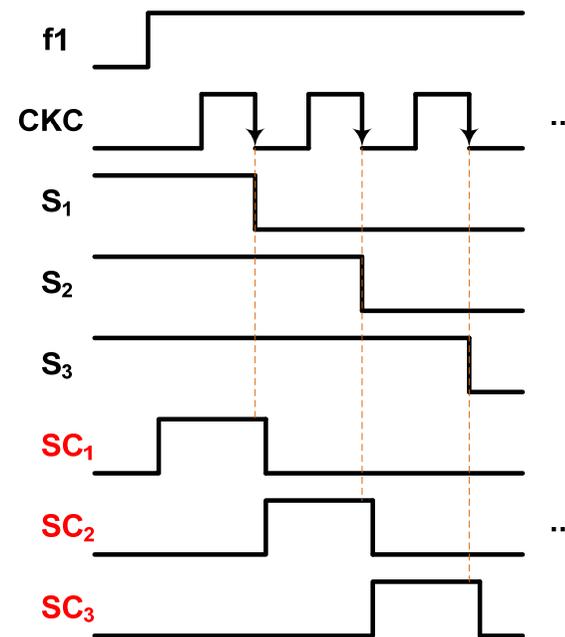


顺序控制电路



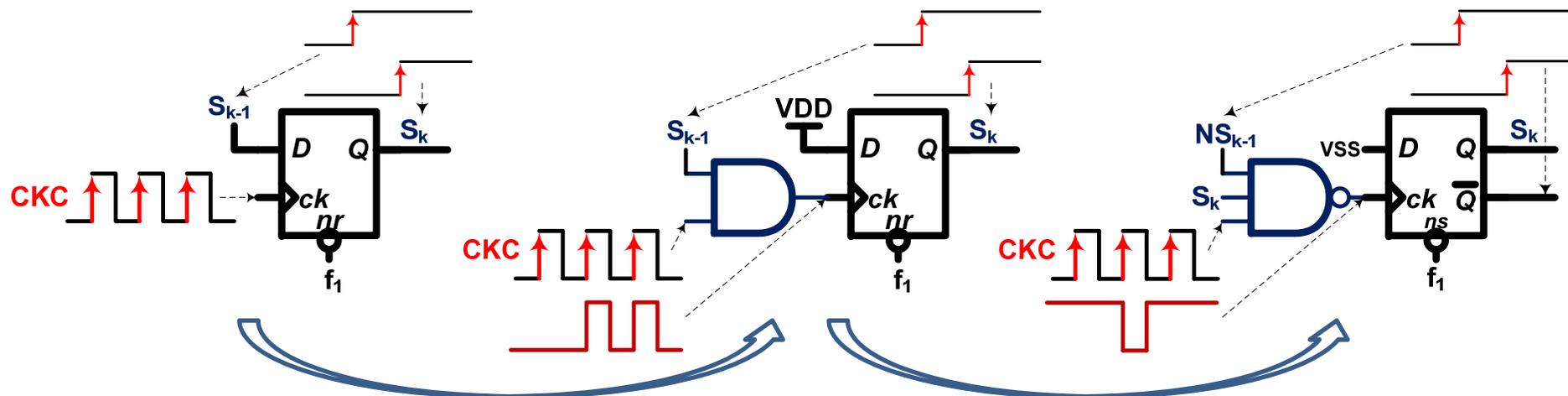
比较器输出的锁存

1. 利用与非门与触发器配合产生顺序翻转的状态信号 S_1, S_2, \dots
2. 利用 f_1, S_1, S_2, \dots 合成顺序选通信号 SC_1, SC_2, \dots
3. 利用顺序选通信号, 将每步比较结果分别锁存, 用于产生 DAC 开关控制信号



信号时序图

Low power design



DFF接收全部时钟脉冲

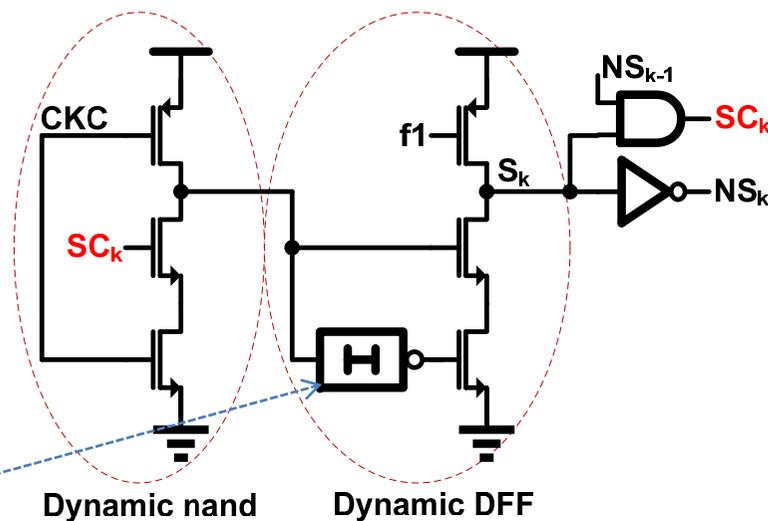
DFF接收一半时钟脉冲

DFF接收一个时钟脉冲

低功耗逻辑设计:

1. 尽量减少高频翻转的节点
2. 采用动态逻辑

顺序控制电路一个单元电路的动态逻辑实现



注：延迟反相电路，可由奇数个反相器串联而成

Dynamic nand

Dynamic DFF

实验4 SAR ADC

- 阅读SAR_ADC_8B_TB schematic，分析电路中各模块的功能
- 对电路进行瞬态仿真
 - 查看CDAC输出VO，SAR Logic输入输出的波形
 - 查看双相不交叠时钟模块输入输出的波形，分析它们的timing关系
 - 对理想8bit DAC的输出VTST进行采样并存储成文本文件，并用MATLAB导入并做谱分析，求出SNDR, HD2, HD3, SFDR等指标
 - 对MSB电容加入2% mismatch，通过上一步方法仿真SNDR等指标
 - 对MSB-1电容加入2% mismatch，仿真SNDR等指标并对比
- 将电路修改为4-4分段电容结构
 - 令 $k=1, k=2$ ，并要求 C_a 为整数倍 C_u ，分别设计4-4 CDAC；
 - 令输入为覆盖整个量程的ramp信号，信号的上升速率足够慢，使得每个台阶都能出现在VTST中
 - 进行瞬态仿真，通过VTST的波形来判断DNL
 - 修改 C_{d1} 的值，仿真VTST的波形并观察其变化并分析
 - 修改 C_{d2} 的值，仿真VTST的波形并观察其变化并分析
 - 修改 C_a 的值，仿真VTST的波形并观察其变化并分析
 - 令输入为正弦信号
 - 瞬态分析，对VTST进行采样并存储成文本文件，并用MATLAB导入并做谱分析，求出SNDR, HD2, HD3, SFDR等指标
 - 对MSB电容加入2% mismatch，通过上一步方法仿真SNDR等指标
 - 对 C_a 电容加入2% mismatch，通过上一步方法仿真SNDR等指标
 - 。。。
- 就电路中的模型替换成实际工艺库中的元件，完成后再仿真验证

实验5 异步SAR ADC

- 阅读SAR_ADC_ASYNC_8B_TB schematic, 分析电路中各模块的功能
- 对电路进行瞬态仿真
 - 查看CDAC输出VO, SAR Logic输入输出的波形
 - 对理想8bit DAC的输出VTST进行采样并存储成文本文件, 并用MATLAB导入并做谱分析, 求出SNDR, HD2, HD3, SFDR等指标
 - 对MSB电容加入2% mismatch, 通过上一步方法仿真SNDR等指标
 - 对MSB-1电容加入2% mismatch, 仿真SNDR等指标并对比
- 带噪声瞬态分析
 - 对理想8bit DAC的输出AOUT进行采样并存储成文本文件, 并用MATLAB导入并做谱分析, 求出SNDR, HD2, HD3, SFDR等指标
 - 修改单位电容Cu的值, 然后仿真ADC的SNDR指标并比对
 - 修改比较器电路, 加大其工作电流, 然后仿真ADC的SNDR指标并比对
- 转换速度优化
 - 通过查看比较器输入端的波形, 分析ADC的最高转换速度
 - 优化异步逻辑, 来优化A/D转换速度
 - . . .