

國立成功大學
電機工程學系
碩士論文

使用於金氧半影像感測器之平行處理遞迴式 12 位元類比數位轉
換器

**A 12-bit Column-parallel Cyclic Analog-to-Digital
Converter for CMOS Image Sensors**

研究生：蘇彥瑩 Student: Yen-Ying Su

指導教授：王俊智 Advisor: Ching-Chun Wang

Department of Electrical Engineering

National Cheng Kung University

Tainan, Taiwan, R.O.C

Thesis for Master of Science

July 2005

國立成功大學電機工程學系
碩士論文

使用於金氧半影像感測器含相關性雙取樣電路之平
行處理遞迴式 12 位元類比數位轉換器

研究生：蘇彥熒

本論文業經審查及口試合格特此證明

論文考試委員：

王 俊 智

羅 錦 豐

張 順 志

林 友 泉

戴 政 秩

指導教授：王 俊 智

系主任：謝 錫 諤

中華民國九十四年七月二十二日

**A 12bit Column-parallel Cyclic Analog-to-Digital
Converter for CMOS Image Sensors**

by

Yen-Ying Su

**A Thesis Submitted to the Graduate Division in Partial
Fulfillment of the Requirement for the Degree of**

MASTER OF SCIENCE

Department of Electrical Engineering


National Cheng-Kung University

Tainan, Taiwan, R.O.C.

July 22nd, 2005

Approved by :





Soon-Jyh Chang



Cheng-Chi Tai

Advisor : 

Chairman : 

中華民國九十四年七月

使用於金氧半影像感測器之平行處理遞迴式 12 位元類比數位轉換器

蘇彥瑩*

王俊智**

國立成功大學電機工程學系

摘要

影像數位化為將影像作分析、儲存、運算及傳播時最有效率的方法。影像感測器是影像數位化的前端系統，傳統的攝相系統採用 CCD 影像感測器單頻道類比輸出，再以單顆類比數位轉換器將類比訊號轉換為數位影像訊號；此架構在數位影像資料規格日益龐大的發展趨勢下，是有其速度上的限制；亦不適於應用為機械儀器之視覺系統應用上。由於 CCD 在製程上並不相容於 CMOS 製程，因此無法將周邊電路整合，此於高度集成化 SOC 趨勢發展下，更是對此系統不利之處，

本論文內容提供理論，設計與實作一內含 64×64 單顆像素面積 $8.05 \times 8.05 \text{ um}^2$ 之 APS 像素陣列、陣列輸出經由平行相關性雙取樣電路與平行處理 12 位元類比數位轉換器後輸出數位化影像，此設計可以提供達 HDTV 1080p 規格之高畫面更新率；周邊電路則包含帶差參考電壓電路提供四組對溫度不敏感之參考電壓，與時脈產生器產生控制晶片運作之時脈電路。本攝相單晶片系統晶片採用 TSMC 0.18 CMOS RF-Mix signal 3.3V 1p6m 製程，單顆 CDS 佈局面積 2042 um^2 ，單顆 ADC 佈局面積 11254 um^2 ENOB 大於 11-bit，全晶片消耗功率小於 90 mW， 64×64 像素陣列循序掃瞄畫面更新率達 520 Frame/s。

* 作者

** 指導教授

A 12-bit Column-parallel Cyclic Analog-to-Digital Converter for CMOS Image Sensors

Yen-Ying Su* Ching-Chun Wang**

Department of Electrical Engineering

National Cheng Kung University Tainan, Taiwan, R.O.C

ABSTRACT

Images in digital format is more convenient for analysis, storage, and operation. In order to achieve the function of digital image output, modern imaging systems are typically implement with signal digitization function. For example, a traditional CCD camera system with a single analog output channel can be implemented with an independent single-chip ADC to convert analog image signal to digital format. However, this traditional architecture faces the insufficient frame-rate limitation as high quality, high resolution digital images are required. For some machine vision applications this architecture cannot achieve the desirable speed. Modern trend on implementing imagers, ADC and other peripheral circuits on a single chip with CMOS process provides an alternative solution.

This thesis describes the theory, design, and characterization of a prototype 64 x 64 APS pixel array. Area for each pixel is $8.05 \times 8.05 \text{ um}^2$. The array output utilizes a column-parallel correlated double sampling circuit, and a column-parallel 12-bit analog-to-digital converter to convert image signal to digitized format. It allows a high frame rate that can achieve the HDTV 1080p specification. A bandgap reference voltage circuit provides four temperature

insensitive reference voltages. An on-chip clock generator generates all operation signals to control the chip. This camera-on-a-chip system uses TSMC 0.18 CMOS RF-Mix signal 3.3V 1p6m process. The layout area of the CDS is 2042 μm^2 . And the ADC area is 11254 μm^2 with ENOB as high as 11-bit. The power consumption of the chip is 87 mW . The frame rate of the 64x64 CMOS image sensor array can achieve 520 Frames/s with progressive scan.

* Author

** Advisor

致謝

時間過得飛快，碩士兩年的生涯就在實驗室與教室中渡過，由於並非電機本科系出身，因此花了更多時間在學習與摸索。雖然最後並未實作出完整的晶片，然而在設計過程中亦學到了許多相關的知識與經驗。

本篇論文的完成，首先要感謝王俊智老師以其於影像感測器豐富的知識涵養所給予的指導與建議，於我對於影像感測器的瞭解有十分大的幫助。再來是林克晃老師，由於其於類比電路設計方面豐富的經驗傳承，使得我能在短時間內對類比 IC 設計有所體悟。感謝父母與家人的鼓勵，使我能安心的專注於自身的研究。學長吳建福、徐偉宏及陳建銘在我不知該如何作時，常常能給予十分有益的幫助與建議，真是十分感謝。同學祥銘、冠宏及正雄，以及學弟仁鋒，常能一起討論研究，給予我莫大的幫助。而學妹如恬與怡慧給我許多精神上的支持，都是十分感謝的好伙伴。謝謝你們一路陪我走來。將永遠銘記在心。

2005. 7. 於 MES 實驗室

目錄

第一章 簡介	1
1.1 研究動機.....	1
1.2 晶片規格.....	5
1.2.1 晶片規格設計.....	5
1.2.2 近期研究發展現況與晶片規格表.....	6
第二章 背景資料	8
2.1 CCD 及 CMOS 影像感測器介紹.....	8
2.1.1 CCD 影像感測器.....	8
2.1.2 CMOS 影像感測器.....	12
2.1.3 CCD 與 CMOS 影像感測器之比較.....	14
2.2 交換電容式電路.....	15
2.2.1 採樣開關.....	17
2.2.2 速度考量.....	18
2.2.3 精確度考量.....	20
2.3 運算放大器.....	22
2.3.1 運算放大器型態.....	22
2.3.2 共模迴授電路.....	28
2.4 類比數位轉換器型態.....	28

2.4.1	Delta-Sigma 式.....	29
2.4.2	快閃式.....	30
2.4.3	雙斜率式.....	31
2.4.4	運算式.....	32
第三章 晶片之架構及設計.....		34
3.1	全晶片架構.....	34
3.2	像素陣列 (Pixel Array) 及控制電路.....	35
3.2.1	電路架構及運作原理.....	35
3.2.2	非理想特性.....	39
3.2.3	像素陣列之模擬結果與佈局圖.....	42
3.2.4	像素陣列之控制電路.....	43
3.3	運算放大器電路及設計.....	44
3.3.1	運算放大器之共模迴授電路.....	47
3.3.2	運算放大器非理想性分析.....	49
3.3.3	任意雜訊.....	51
3.4	相關性雙取樣電路.....	53
3.4.1	電路與運作原理.....	53
3.4.2	理想狀態之操作模式分析.....	55
3.4.3	CDS 之非理想特性.....	57

3.4.4	CDS 運算放大器模擬結果.....	62
3.4.5	CDS 模擬結果.....	64
3.4.6	CDS 佈局圖.....	66
3.5	遞迴式數位類比轉換器.....	67
3.5.1	遞迴式類比數位轉換器之狀態分析.....	70
3.5.2	遞迴式類比數位轉換器非理想性分析.....	73
3.5.3	遞迴式類比數位轉換器模擬結果.....	81
3.6	帶差參考電路.....	84
3.7	時脈產生器.....	89
3.7.1	時脈產生前置放大器.....	90
3.7.2	邏輯電路.....	92
第四章	測試.....	95
4.1	測試架構.....	95
4.2	測試驗證平台.....	95
4.3	類比數位轉換器.....	98
4.4	相關性雙取樣電路及類比數位轉換器.....	101
4.5	單晶片攝相系統測試.....	101
第五章	結論.....	102
5.1	論文貢獻.....	102

5.2 未來改善.....	102
Reference.....	103

圖目錄

圖 1-1 數位攝相系統方塊圖.....	4
圖 1-2 數位照相系統結構圖.....	5
圖 1-3 本晶片之主要架構圖.....	6
圖 1-4 晶片時序分佈圖.....	6
圖 2-1 (a)光閘極 CCD 像素 (b)光二極體 CCD 像素.....	8
圖 2-2 畫面傳遞(FT)CCD 陣列.....	10
圖 2-3 行間傳遞(IT)CCD 陣列.....	11
圖 2-4 畫面行間傳遞(FIT)CCD 陣列.....	11
圖 2-5 MOS 影像陣列架構.....	12
圖 2-6 被動式像素陣列影像感應器.....	13
圖 2-7 主動式像素陣列影像感測器.....	14
圖 2-8 (a) 交換電容式放大器 (b) (a) 之放大模態.....	16
圖 2-9 交換電容式放大器示意圖.....	16
圖 2-10 利用 MOS 元件組成開關.....	17
圖 2-11 採樣電路初始狀態之響應.....	17
圖 2-12 (a) NMOS 和(b) PMOS 元件之開啟電阻和輸入電壓關係圖.....	19
圖 2-13 (a) 互補式開關 (b) 互補式開關之開啟電阻.....	19
圖 2-14 時脈反饋.....	20
圖 2-15 (a) kT/C 雜訊產生示意圖 (b) 在採樣電路中所產生的熱雜訊.....	21
圖 2-16 當 NMOS 開關關閉時之電荷注入情形.....	21
圖 2-17 增益隨頻率下降.....	23
圖 2-18 運算放大器中的迴轉現象.....	24
圖 2-19 單級 OTA.....	25

圖 2-20 典雙級 OTA 型.....	25
圖 2-21 伸縮疊接組態運算放大器.....	26
圖 2-22 折疊疊接組態.....	26
圖 2-23 疊接增益提高組態.....	27
圖 2-24 ADC 之輸入訊號形式.....	29
圖 2-25 超取樣 sigma-delta 類比數位轉換器方塊圖[7].....	30
圖 2-26 雙斜率式類比數位轉換器架構示意圖.....	31
圖 2-27 雙斜率式 ADC 積分器運作圖.....	32
圖 3-1 全晶片系統方塊圖.....	34
圖 3-2 全晶片佈局圖.....	35
圖 3-3 64 x 64 像素陣列佈局.....	36
圖 3-4 像素單元讀取電路圖.....	36
圖 3-5 單顆像素分析(a) RS 開啟時 (b) RS 關閉時.....	37
圖 3-6 重置電晶體時脈反饋示意圖.....	39
圖 3-7 曝光期間雜訊模型.....	40
圖 3-8 (a)源極隨耦器 (b) 含雜訊源之電路.....	41
圖 3-9 單顆像素模擬結果.....	42
圖 3-10 4x4 像素佈局圖.....	43
圖 3-11 控制像素陣列之移位暫存器.....	44
圖 3-12 全差動折疊式運算放大器主電路.....	45
圖 3-13 計算運算放大器直流增益之小信號模型.....	45
圖 3-14 差異差動放大器式共模迴授電路.....	48
圖 3-15 切換電容式共模迴授電路.....	49
圖 3-16 (a)運算放大器輸入對(b)運算放大器輸入對不匹配之小信號模型.....	50
圖 3-17 相關性雙取樣電路圖，取樣像素輸出值狀態：經由 M4 將值儲存於 C4，取	

樣重置訊號：經由 M1 取樣值於 C2.....	54
圖 3-18 CDS 時序圖.....	54
圖 3-19 相關性雙取樣電路之三種操作模式.....	55
圖 3-20 考慮非理想特性之 CDS 操作狀態圖.....	57
圖 3-21 CDS 三種操作模式之雜訊分析等效模型.....	59
圖 3-22 操作於取樣模式之雜訊分析模型.....	61
圖 3-23 CDS 運算放大器波德圖.....	63
圖 3-24 CDS 運算放大器上升迴轉率圖.....	63
圖 3-25 CDS 運算放大器下降迴轉率.....	64
圖 3-26 CDS 針對像素之源極耦隨器做 10%不匹配測試，上圖為像素經 CDS 雙取樣 後輸出，下圖為像素直接輸出.....	65
圖 3-27 CDS 蒙地卡羅分析圖.....	66
圖 3-28 相關性雙取樣電路佈局圖.....	66
圖 3-29 (a)遞迴式類比數位轉換器簡化圖 (b)ADC 方塊流程圖.....	68
圖 3-30 單級遞迴式類比數位轉換器主電路.....	69
圖 3-31 遞迴式類比數位轉換器比較器電路圖.....	69
圖 3-32 遞迴式 ADC 運作狀態簡化圖(a)時脈 c_0, c_1 為開啟(ON)時(b) 時脈 c_0, c_2 為開啟(c) 時脈 c_3 為開啟 (d) 時脈 c_4 為開啟.....	72
圖 3-33 遞迴式 ADC 之時序圖.....	72
圖 3-34 電容比值不匹配對剩餘值之影響.....	74
圖 3-35 取樣相位運算放大器含輸入偏移電壓簡化圖.....	75
圖 3-36 運算放大器輸入偏移電壓造成之轉換誤差.....	75
圖 3-37 有限運算放大器增益對轉換曲線所造成的影響.....	76
圖 3-38 電荷注入效應對於 ADC 轉換之影響.....	77
圖 3-39 ADC 運算放大器於前置放大器狀態之等效電路圖.....	78

圖 3-40 遞迴式類比數位轉換器雜訊分析等效圖(a)取樣狀態(b)第二級取樣狀態.....	78
圖 3-41 ADC 之運算放大器波德圖.....	81
圖 3-42 ADC 運算放大器上升迴轉率.....	82
圖 3-43 ADC 運算放大器下降迴轉率.....	82
圖 3-44 Model SS_3V SS_bip3 85°C 之 FFT 圖形.....	83
圖 3-45 還原波形圖.....	84
圖 3-46 帶差參考電路.....	85
圖 3-47 帶差參考電路之啟動電路.....	86
圖 3-48 偏壓電路.....	87
圖 3-49 二級運算放大器電路.....	87
圖 3-50 帶差參考電路模擬結果.....	88
圖 3-51 時脈產生器架構圖.....	90
圖 3-52 時脈產生前置放大器.....	90
圖 3-53 時脈產生前置放大器，三級運算放大器之波德圖示意圖.....	91
圖 3-54 時脈產生前置放大器之輸出波形圖.....	91
圖 3-55 非重疊時脈產生電路.....	92
圖 3-56 數位單擊電路.....	93
圖 3-57 可重置式負緣觸發 TSPC TFF.....	93
圖 3-58 輸出緩衝器.....	94
圖 4-1 測試平台方塊架構圖.....	95
圖 4-2 電源穩壓電路.....	96
圖 4-3 帶差參考電路之偏壓電路輸出與備用電路.....	97
圖 4-4 測試版參考電壓產生電路.....	97
圖 4-5 ADC 靜態測試版電路方塊圖.....	98

圖 4-6 類比數位轉換器動態測試版輸入電路.....	99
圖 4-7 ADC 測試版輸出電路方塊圖.....	99
圖 4-8 產生 CDS 輸入電壓之測試版電路.....	100

表目錄

表 1-1 數位電視規格表.....	1
表 1-2 CCD 及 CMOS 影像感測器之比較.....	4
表 1-3 晶片主要規格表.....	7
表 2-1 CCD 與 CMOS 影像感測器之優缺點.....	15
表 2-2 四種不同組態效能比較.....	27
表 3-1 CDS 運算放大器規格.....	64
表 3-2 ADC 運算放大器規格.....	82
表 3-3.1 Bandgap Reference Voltage 不同 model 下模擬結果.....	88
表 3-3.2 Bandgap Reference Voltage 不同 model 下模擬結果.....	89

第一章 簡介

1.1 研究動機

電視、電影等影像視訊影音產品自發展以來一直深深影響人類的生活。電視品質從只有黑白灰階，也變成多彩及高解析度。這樣的變化，是極為驚人的。尤其現在個人電腦極為普及，以網路獲取資料十分方便。所以很多家電也變成數位化，來擴充功能，增加便利性及賣點。過去電視節目傳送是以類比訊號透過高頻無線電波 (UHF 與 VHF) 傳送到接收端，再經由類比電視將其影像與聲音呈現出來，但由於以類比傳送方式在傳送過程中容易遭受干擾，在畫面清晰度、抗雜訊與鬼影等表現均不佳，且佔用一定頻寬，使得在頻寬使用上沒有效率；反觀數位廣播，可在傳輸前先進行壓縮，大大提高頻寬使用頻率，且在接收端可針對傳輸過程中訊號衰減進行除錯與更正功能，使得數位廣播具有較高的視訊與音訊品質，且大大增加頻道數，因此電視廣播數位化便成為未來趨勢。

而數位電視 (Digital TV) 是將電視訊號轉換成為數位信號，再以數位技術處理後廣播，電視機接收後將其恢復為一般電視訊號，顯示在電視螢光幕。數位電視能提供比傳統電視較銳利的畫質，與更好的環繞音響。但不是所有的數位電視 (DTV) 都是高解析度電視 (HDTV)，數位電視以解析度來歸類可分為標準 (SDTV) 與高解析度數位電視(HDTV)，從表 1-1 觀察他們的制定規格。

種類	標準畫質數位電視 (SDTV)	高畫質數位電視 (HDTV)
掃描線	畫面解析度低於 720 條掃描線	畫面解析度高於 720 條掃描線
播出格式	480i	720p 與 1080i
音質	數位音質，但不一定是杜比音效	提供杜比立體音效
畫面	畫面與傳統電視相差不大	提供 16：9 的畫面比例

表 1-1 數位電視規格表

本晶片所之電路為符合作為擷取 HDTV 所需之 1080p 影像規格所設計，由於 CIC 並未提供標準 CMOS Image Sensor 之製程，故僅以電路規格符合為主要訴求，並無考慮像素本身是否會因曝光時間不足導致衍生之問題。

欲獲得數位化之影像，可從攝錄之影像端直接獲得，亦可由對母片的後置處理獲得；數位攝相系統挾帶著高度易於後置處理及儲存管理的特性迅速的取代銀鹽影像系統。因而無論於醫療、太空、軍事、及民生上的應用極其廣泛，而由光學影像至數位資訊的轉換流程如圖 1-1 所示。電子式影像感測器 CMOS 或 CCD 感應光譜，產生累積電荷，藉由電路讀取或是電荷轉移的方式傳遞至輸出電路，產生出對應於光線訊號的電子信號，經由 ADC 轉換成數位訊號後，即可得到數位化的影像資料。而後即可對此數位化的影像資料做後置的影像處理；或是直接處理類比的影像訊號訊號；然而處理經由影像單元所產生的類比訊號，勢必需經由類比放大器放大此訊號，而類比放大器的非線性及傳輸時的雜訊影響等因素，會大大的影響了影像的品質；因此經由類比數位轉換器轉換成數位訊號後加以傳輸、儲存或進行其他影像處理的方式，成為增進影像品質的主要方法。一般數位照相系統如圖 1-2 所示，其影像感測器目前主要分成 CCD (Charge Coupled Device) 及 CMOS 兩種影像感測器，此兩種影像感測器之優缺點主要如表 1-2。

由表 1-2 可明顯看出，雖然此兩大影像感測器各具優缺點，然而 CMOS 影像感測器的缺點是能藉由製程的最佳化，及電路的設計來改善的，而且還更能有彈性的創新，如美國的 Foveon 公司利用不同深度吸收不同色光的特性開發出來類似銀鹽底片感光方式的 X3 CMOS 影像感測器，且已成功的運用在專業單眼數位相機上。而 CCD 受限於先天的特殊製程及架構，其既有的缺點是難以改善的；特別是其不相容於 CMOS 製程，因此無法將影像感測器與處理的周邊電路做成高度集成化的單一晶片。像素(pixel)的提高使得影像感測器可以有更多的感測單元，可藉此獲得更精細的影像，對於大型的圖像輸出需求而言，精細的影像擷取，有效提升影像品質，降低數位影像的顆粒感，與馬賽克現象。況且與過去銀鹽底片相比，銀鹽底片的解析度僅受限於塗敷其上的化學分子大小，且其感光可做到單點多色感光層。然而一般 CCD 及

CMOS 影像感測器(除 Foveon 公司號稱生產之晶片外)，皆須彩色濾鏡陣列(Color Filter Array, CFA)，此必然之措施更使得電子影像感測器於解析度上遠遜於銀鹽系統；因此欲獲得高品質之大型輸出圖像，必然需往高解析度方向發展。於架構上 CCD 必須使用單一外接 ADC 晶片來做為類比數位轉換工作，也因此就需要高速的類比數位轉換器，針對此點 CCD 並不利於高像素的發展趨勢，況且高速、高位元之類比數位轉換器不僅晶片本身設計不易，電路版設計也會增加困難度，同時耗電亦會升高，更使得 CCD 先天的耗電缺點雪上加霜。就 CMOS 影像感測器而言，在數位照相系統中是否內建類比處理器也是各具優缺點的；使用分離式類比處理器的主要優點為若以單一晶片固定面積而言，分離式的作法可以使像素的面積加大，增加曝光面積，且相同的像素陣列 (pixel array) 可以因應不同的需求搭配不同的類比處理器。缺點則如前所述與 CCD 相同，隨著像素陣列的提升，類比處理器設計難度也會跟著增加。若將單一類比處理器整合至影像感測器則可提升晶片的整合度，缺點則是(a.)像素陣列只能使用內建的類比處理器，且隨著像素陣列的提升，上述的缺點並無法有效的解決。(b.)需解決大量像素類比訊號間的干擾 (crosstalk 問題)。因此有人提出以平行處理每一行像素的類比處理器[2, 10, 11]，有人提出以單斜率式轉換器 (single-slope) [10, 11]，或 sigma-delta 轉換器來實現[9]，本晶片則是以循環式類比數位轉換器 (Cyclic Analog-to-Digital Converter) 實現。

	CCD Image Sensors	CMOS Image Sensors
優點	<ol style="list-style-type: none"> 1. 成相品質高 2. 高開口率 (Quantamnn Efficiency)，低暗電流 (Dark Current) 3. 低雜訊且為非均向 (non-uniformity) 	<ol style="list-style-type: none"> 1. 可輕易的整合其他電路，如：類比數位轉換器 (ADC)、時脈產生器(Clock)...等等 2. 低耗電，可操作低於 CCD 近 10 倍的電壓 3. 可提供十分高速的數位快門 4. 十分完善的設計工具及標準設計元件庫
缺點	<ol style="list-style-type: none"> 1. 無法集成化其他電路 2. 高耗電 3. 畫面更新速度有限 4. 溢光效應 (Smearing Effect) 	<ol style="list-style-type: none"> 1. 並非是專對感測影像最佳化 2. 高雜訊

表 1-2 CCD 及 CMOS 影像感測器之比較

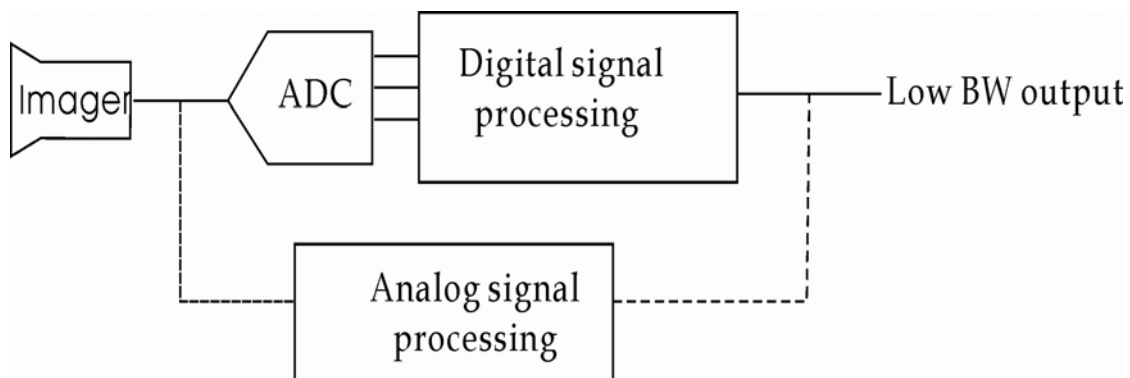


圖 1-1 數位攝相系統方塊圖

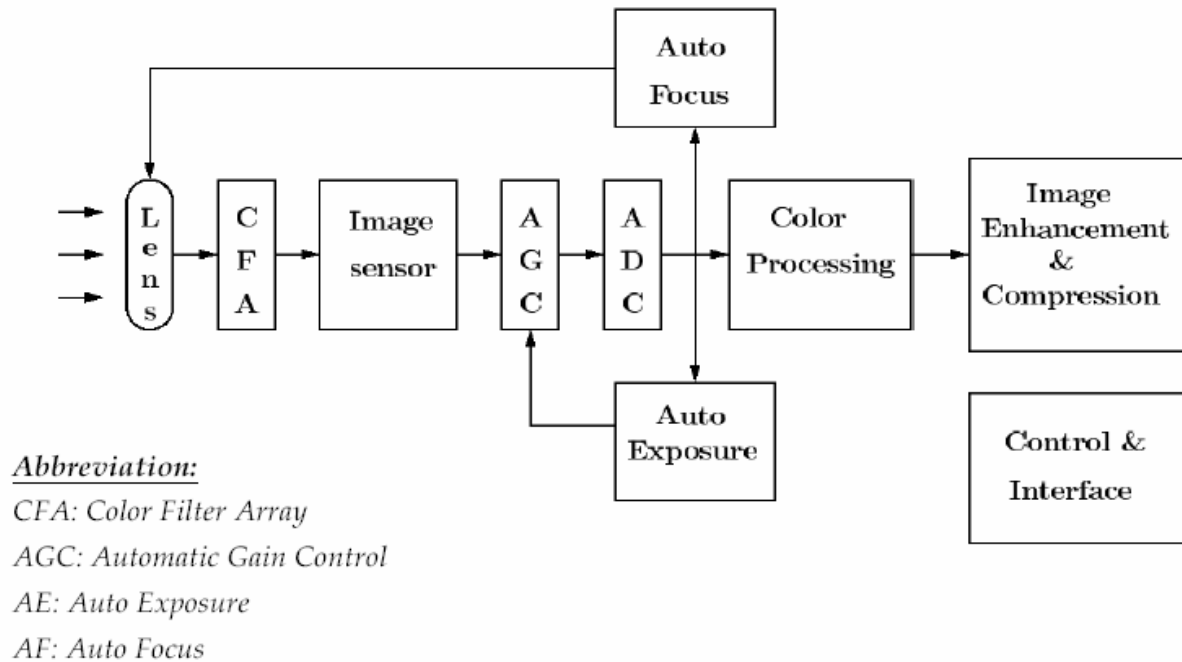


圖 1-2 數位照相系統結構圖

1.2 晶片規格

1.2.1 晶片規格設計

本晶片是設計之主要架構如圖 1-3. 所示，以一個 64 x 64 的像素陣列，每一行的像素對應至一個相關訊號雙取樣電路 (Correlated Double Sampling, CDS)，然後每兩個 CDS 對應到一個遞迴式類比數位轉換器。最後以八個平行之類比數位轉換器為一組使用一 8 位元多工器輸出至一個接腳輸出。電源電路則採用對溫度變化仍能保有恆定電流的 Bandgap 架構。再來是控制整顆晶片的 Clock 電路。

以 HDTV 1080p 之數位電視規格 為 1920 x 1080 個像素陣列，因此每行有 1080 個像素，再以每秒 30 個 frame 並循序式掃瞄計算，以我的架構為兩個 CDS 共用一棵 ADC

$$1/(1080 \times 2 \times 30) = 15.432 \text{ us}$$

此即為亦即每 15.432 us 需輸出一個像素的 12 位元數位資料，然而以我所設計的架構需以兩倍時間再扣除 CDS 取樣時間才是真正的 ADC 運作頻率，故取 30 us 設定 CDS 取樣及穩定的時間為 6 us 則 ADC 運作頻率為 $1/(12 \text{ us})$ 約為 84 kHz

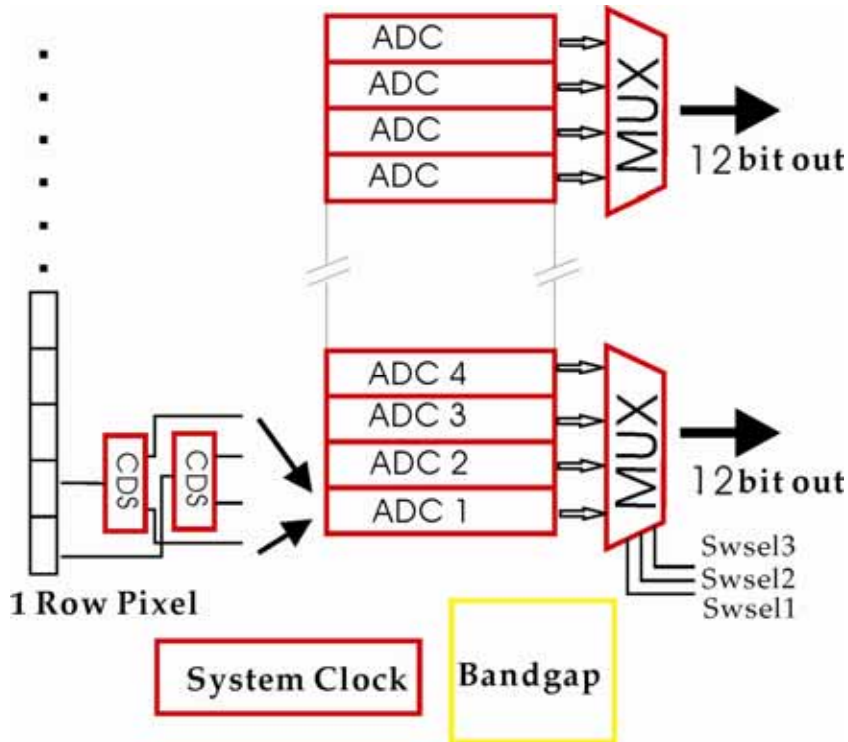


圖 1-3 本晶片之主要架構圖

除了像素陣列及 Column CDS 和 ADC 外，本晶片為量測考量，尚加了接到外部直接輸入值的 16 x CDS 及 8 x ADC 的 Column 一組，以及 8x ADC 一組，故共有 6 組的數位輸出。

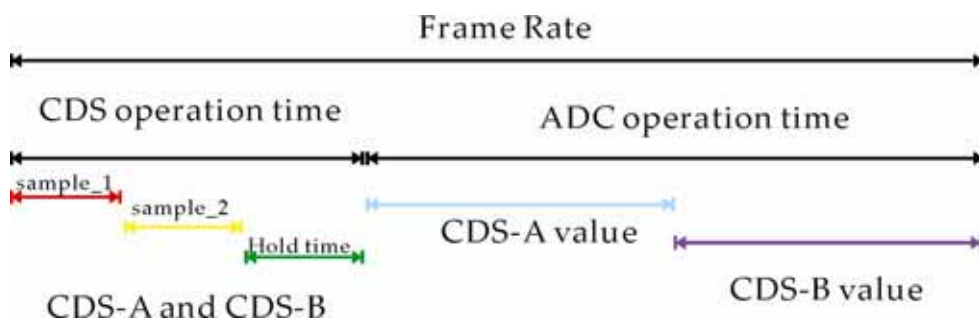


圖 1-4 晶片時序分佈圖

1.2.2 近期研究發展現況與晶片規格表

近幾年的 CMOS 影像感測器論文，多以內建平行處理式類比數位轉換器為主要設計架構，足見此架構已為目前主流。而更先進者已有探討使用像素及類比數位轉換器，即直接將類比數位轉換電路內建於像素中，然而尚有許多困難待克服。本晶片之主要規格列於表 1-3

Technology	TSMC 0.18 1p6m
Pixel Resolution	64 X 64
Pixel Pitch	8.05 um
For 64 x 64 pixel array	520 Frame / s (max)
ADC	12 bit
Number of outputs	6 digital output PAD (48 ADC output)
Power supply	3.3 V
Power dissipation	< 90 mW

表 1-3 晶片主要規格表

第二章 背景資料

2.1 CCD 及 CMOS 影像感測器介紹

數位時代的來臨，使得影像數位化成為必然的需求；而現今取代過去銀鹽底片曝光而產生影像資訊之技術主要區分為電荷耦合元件(Charge Coupled Device, CCD)技術及金氧半影像感測器(CMOS Image Sensor, CIS)；與過去不同的是；銀鹽底片乃藉由光照產生底片上化學物質的變化，而將光譜訊號記錄於變化的化學物質上，經由顯影技術將影像還原呈現；而 CCD 及 CMOS 影像感測器，則藉由二維的像素陣列(pixel array)將光譜訊號轉換成電子能量(其形式可以為電荷、電流，或電壓)，經由讀取電路及類比數位轉換器解析，可獲得數位化之影像訊號。

2.1.1 CCD 影像感測器

CCD 目前廣泛的應用在講求高畫質之高階數位相機，及數位攝影機等攝相系統上，此種形式的影像感測器對於影像訊號的主要挑戰在於傳輸能力，如何控制重疊時脈將感應電荷完整的在鄰近 MOS 電容間傳遞；CCD 像素於光照期間產生電荷累積，並於結束曝光週期時將電荷傳導至輸出電路。其最簡化的型式為一個像素僅包含一個位能井(potential well)及一個轉換閘極(transfer gate)，而位能井可由光閘極(Photogate)或光二極體(Photodiode)所構成。

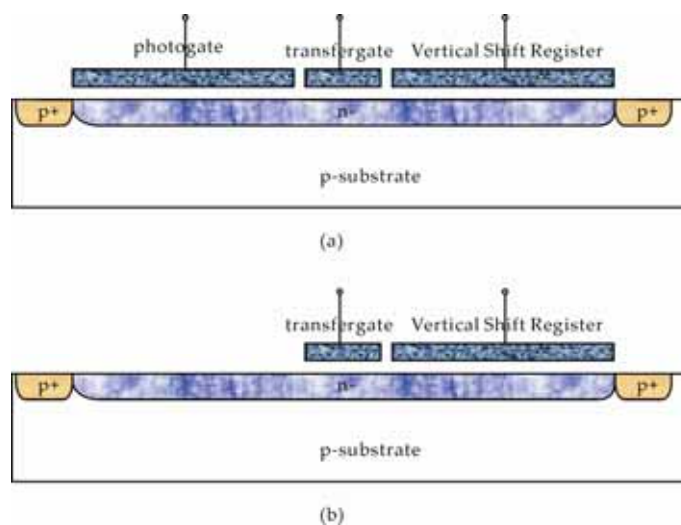


圖 2-1 (a)光閘極 CCD 像素 (b)光二極體 CCD 像素

光閘極像素如圖 2-1 (a)所示，使用 MOS 電容以產生位能井。曝光累積電荷時，transferrate 電壓為低電壓，photogate 電壓則為高電壓，使得感應光照而產生之負電荷電荷得以累積集中於光閘極下的位能井中；當像素結束曝光後，累積於 photogate 中的電荷藉由升高 transferrate 電壓，及降低 photogate 電壓使得電荷傳出 photogate。此時升高 Vertical shift register 端的電壓使其產生位能井以接收 photogate 所累積的光電荷。由於可以擁有大的閘極電容，因此光閘極像素可以有較高的飽和準位，然而因多晶矽所構成的閘極會吸收短波長的光，並且遮蔽下方光二極體感應面積，故此種結構特別對短波長之光會有較低的曝光面積效率(Quantum efficiency)。

簡單的光二極體像素如圖 2-1 (b)。其操作方式類似於光閘極像素。曝光期間，由低 transferrate 電壓所形成的位能障壁隔絕累積於光二極體處的電荷。結束曝光後，則升高 transferrate 及 Vertical Shift Register 電壓，使累積的電荷從光二極體傳至 Vertical Shift Register。然後使 transterrate 處於低電位，開始下一次的曝光累積週期。由於最後的少數電子是藉由擴散方式傳導出來，故光二極體像素的讀取速度相對緩慢。但曝光面積則可相對提昇。

CCD 架構

經由曝光後像素所感應出之電荷累積必須傳導至輸出電路，CCD 的特色即在於必須讓這些感應電荷能在鄰接的 MOS 電容中完整的傳遞，以避免信號的失真，或將殘餘的電荷留滯而造成影像延遲的現象。而此傳遞方式的細節即由 CCD 的架構所決定；一般傳遞方式主要分成畫面傳遞(Frame Transfer, FT)、行間傳遞(Interline Transfer, IT)，以及結合兩種方式的畫面行間傳遞(Frame Interline Transfer, FIT)設計。

Frame Transfer

FT 架構的像素陣列如圖 2-2 所示。在曝光區的相素陣列下內建一整個由光罩所遮蓋的相同陣列，使得曝光結束後，感應累積電荷可立即將整的陣列的畫面傳輸至光罩所遮蓋的陣列中儲存，然後再將畫面從儲存的區域中讀取出來。很明顯的此種方式

需要相同面積的像素陣列來做為儲存區域，因此極耗面積，然而卻可有極高的曝光面積效率。

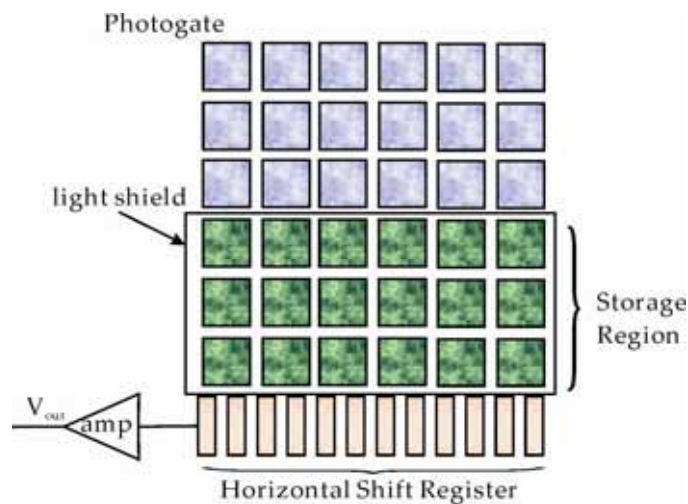


圖 2-2 畫面傳遞(FT)CCD 陣列

Interline Transfer

IT 結構的像素陣列如圖 2-3 所示。在每個行像素間放置垂直位移暫存器 (Vertical Shift Register)，運作方式則如前面 2.1.1 節所述，將電荷傳至垂直位移暫存器後，像素即可再進行曝光的動作，傳遞工作則由重疊時脈改變垂直暫存器的電壓，將電荷一一列的傳至水平暫存器(Horizontal Shift Register)，而輸出電路則一一列的將資料畫面讀取至外部電路。因此此種有效率的工作方式，可使得一個畫面讀取出之後，另一個畫面的資訊已經準備好可立即讀取。此種結構的缺點在於垂直位移暫存器需遮蔽，造成曝光面積效率的下降；然而因為傳輸為由獨立的傳輸暫存器所執行，故在相同速度下與 FT 架構的 CCD 陣列相較，可避免對於上一個畫面傳輸時所遺留下的極少量電子而造成的畫面沾滯現象。

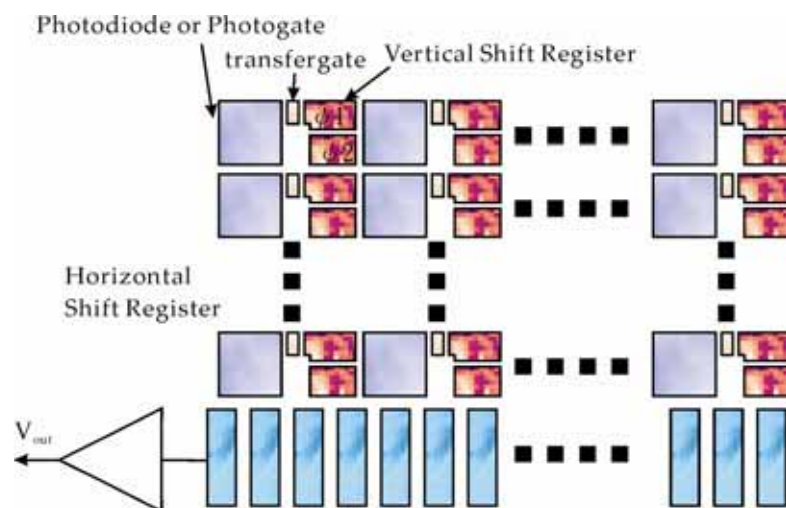


圖 2-3 行間傳遞(IT)CCD 陣列

Frame Interline Transfer

FIT 架構為結合 IT 及 FT 架構，如圖 2-4 所示，可以結合兩者優點，即光二極體高電容量，和非常低的畫面污染；缺點則為由垂直移位暫存器所造成的降低像素曝光面積，和同樣需幾乎雙倍的面積以做為儲存區域。

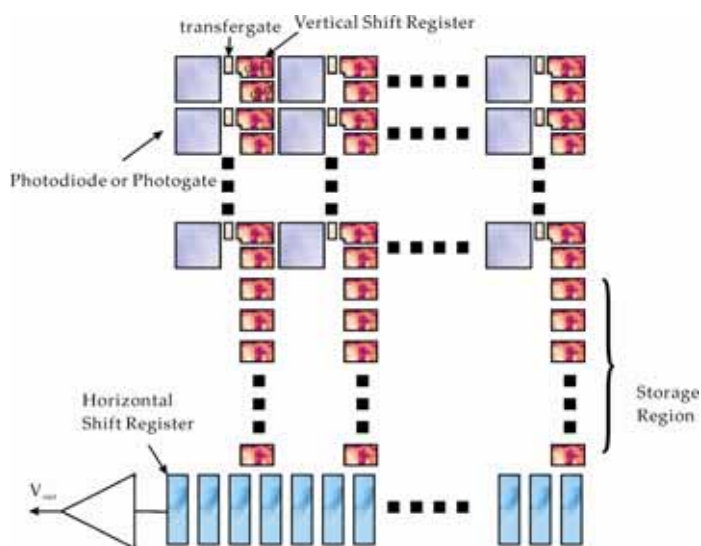


圖 2-4 畫面行間傳遞(FIT)CCD 陣列

2.1.2 CMOS 影像感測器

所謂 MOS 影像感測器，是任何使用 MOSFET 電晶體來將訊號從像素傳輸至輸出電路的像素陣列即可稱為 MOS 影像感測器。信號是藉由傳導線來傳遞，可以是電荷、電流，或電壓的形式。

MOS 像素陣列架構

圖 2-5 所示為一典型的 MOS 像素陣列架構。MOS 陣列與 CCD 陣列主要不同處在於同一時間 MOS 陣列每行只能提供一組信號通過，因此位在此行的每個像素必須做時序多工的分配，使其能在同一行內傳輸，因此需要列選擇器(Row Selector)或列解碼器(Row Decoder)來進行信號的讀取配置；使得當讀取電路要讀取某一列值時，所有其他列的像素必須與行信號線斷路。此時在同一列的所有像素於此時都同時被讀取。因此若僅設計一個輸出電路，則輸出行放大器(Column amplifier)亦需進行多工配置至一個輸出。

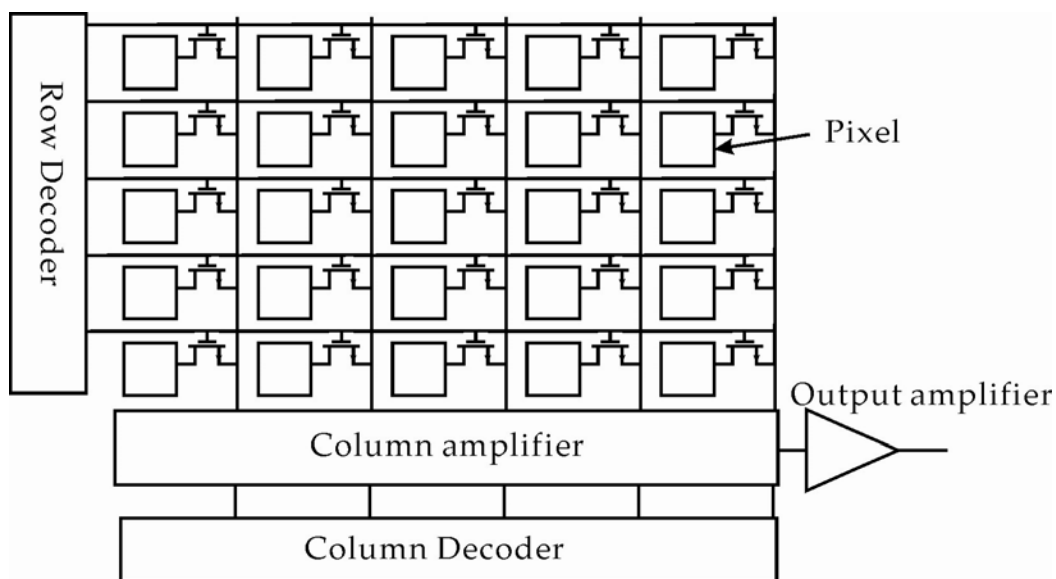


圖 2-5 MOS 影像陣列架構

Passive Pixel Sensors (PPS)

被動式像素感應器，僅採用一棵電晶體做為與行傳輸路徑連結的開關電晶體，當列訊號選擇了該列的像素，曝光感應出的電壓藉由導通的切換 MOS 傳遞至行傳輸路

徑。此種架構最大優點為像素尺寸小，因像素內僅需一棵電晶體故有效曝光面積大；然而速度慢及低訊噪比的缺點使得 PPS 不利於大型化發展，因此漸為 APS 所取代。如圖 2-6 所示，為一 PPS 像素陣列架構之示意圖。每一個像素包含一個光二極體 (Photodiode) 和一個開關電晶體。當開關電晶體選通時，光二極體中由光照產生的電荷傳送到了行傳輸路徑，行線下端的積分放大器將該信號轉化為電壓輸出，光二極體中產生的電荷與光信號成一定的比例關係。

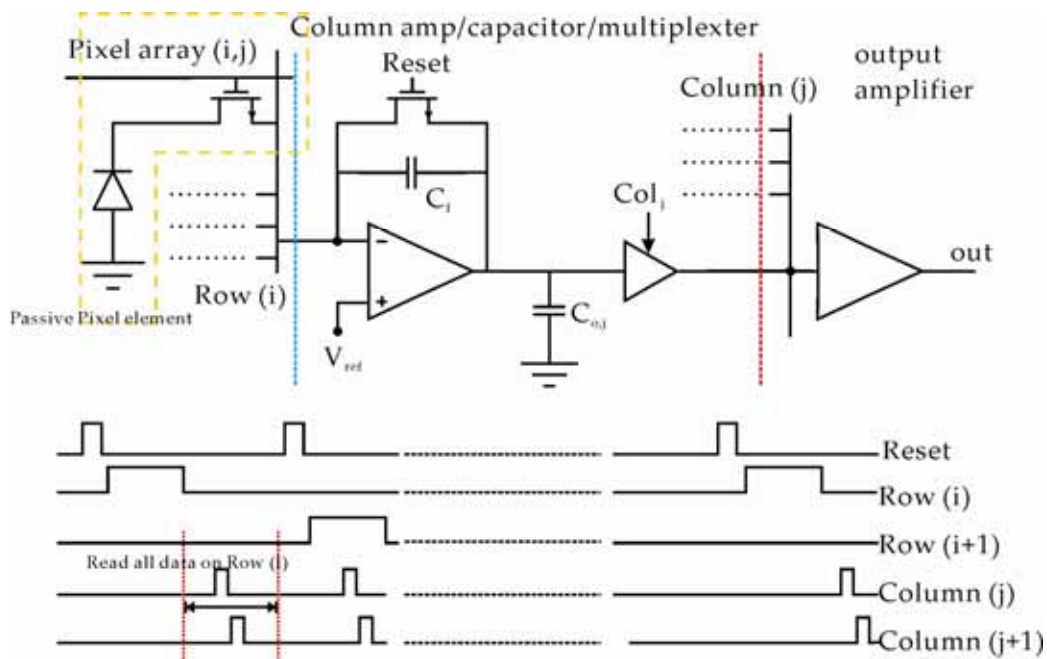


圖 2-6 被動式像素陣列影像感應器

Active Pixel Sensors (APS)

主動式像素影像感應器與被動式主要的差別在於，有一像素單元級的輸出共源極緩衝放大器，每一個像素單元皆有一重置電晶體，當曝光結束，且曝光值讀取出後，將像素單元重置。由圖 2-7 所示可知，一個像素單元內含有至少三顆

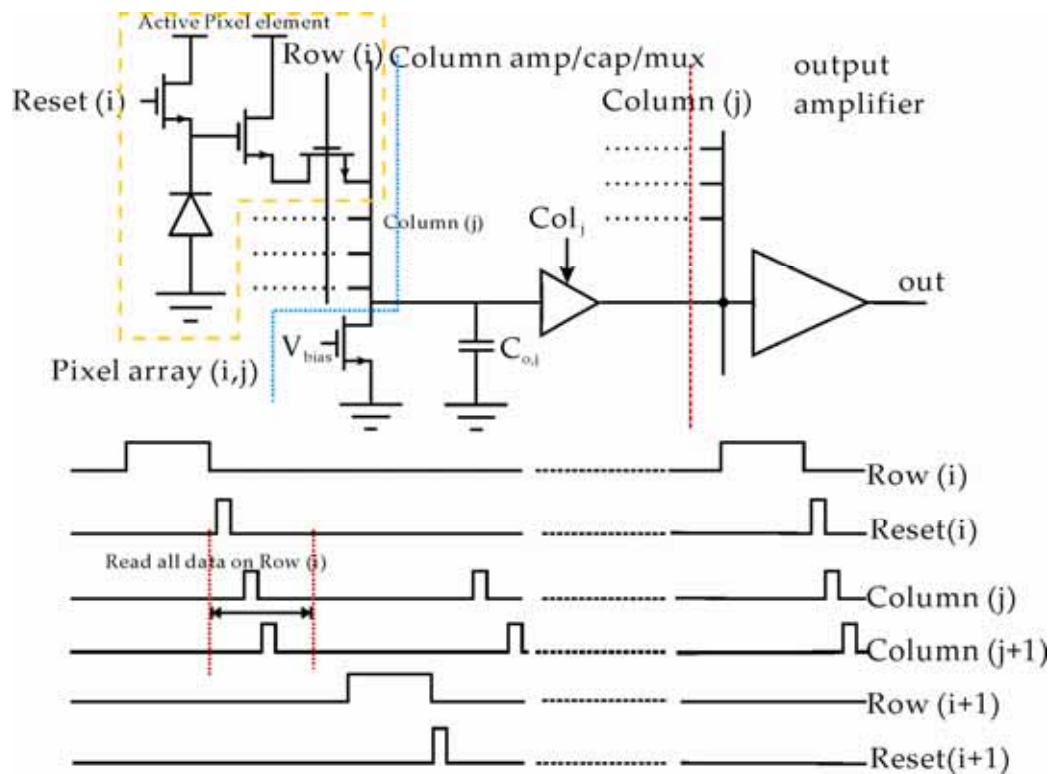


圖 2-7 主動式像素陣列影像感測器

電晶體，因此有效曝光面積必然因這些電晶體的佔據而降低。然而其相對於 PPS 的高訊噪比，及高動態範圍等特性，使得 APS 架構的 CMOS 影像感測器漸成主流。

2.1.3 CCD 與 CMOS 影像感測器之比較

CCD 儲存的電荷訊號，需在同步信號控制下一位一位的轉移後讀取，電荷轉移和讀取輸出需要有時脈控制電路配合，整個電路較為複雜，速度較慢。CMOS 影像感測器，經光電轉換後直接產生電壓訊號，訊號讀取簡易，還能同時處理各單元的圖像訊號，速度比 CCD 快得多。

	CCD 影像感測器	CMOS 影像感測器
優點	<ul style="list-style-type: none"> ✓ 影像品質較高 ✓ 對影像感測的最佳化，高曝光面積效率，低暗電流 ✓ 低雜訊：CCD 並不會主動引入雜訊 	<ul style="list-style-type: none"> ✓ 可做成高度集成化電路，實現單晶片攝相系統 ✓ 低功耗，相較於 CCD 可運作於較低電壓下 ✓ 可獲得極高的畫面更新速率 ✓ 與 CMOS 製程相符，因此有完整的設計及分析工具資源
缺點	<ul style="list-style-type: none"> ✓ 難以做成集成電路 ✓ 高耗電(需高速位移時脈) ✓ 有限的畫面更新速率(需序列式讀取) ✓ 畫面由殘留之少量電荷而造成的畫面污染效應 	<ul style="list-style-type: none"> ✓ 並非為對影像感測用途最佳化設計(已漸漸可改進) ✓ 由多級放大器所造成的高雜訊(像素級、行級和晶片級) ✓ 明顯的行固定圖像雜訊 (Column Fix Pattern Noise)

表 2-1 CCD 與 CMOS 影像感測器之優缺點

CMOS 影像感測器最大的優勢是具有高度系統整合條件，因為採用數位類比混合設計，從理論上而言，影像感測器所需的所有功能，如垂直移位、水平移位暫存器、相關性雙取樣電路（CDS）、類比數位轉換器（ADC）數位影像處理電路等完全可以集成在一起，實現單晶片攝相系統，避免使用外部晶片和設備，可大大的減小了儀器的體積和重量。

表 2-1 詳列了 CCD 與 CMOS 影像感測器主要的優點與缺點，CMOS 影像感測器的缺點，藉由製程的演進，以及電路設計的技巧，以能漸漸能接近 CCD 影像感測器的水準。

2.2 交換電容式電路

在介紹本論文所實作之晶片所使用的電路架構前，需先對交換電容式電路（switch capacitor circuit）有所基本的瞭解。由於將連續的資料離散化，便需要開關來進行採樣，同時也需要一高輸入阻抗來量測儲存值，而 CMOS 製程則相較於其他製程更加容易達到此要求。舉例而言，如果圖 2-8 之運算放大器使用雙載子電晶體作為輸入時，在放大相位【圖 2-8(b)】中從反相輸入端引出的基極電流便會在輸出電壓中產生誤差。易於製作開關及 MOS 開極輸入端的高輸入阻抗特性，使得以交換電容式電路進行採樣資料成為 CMOS 製程中的重要應用。

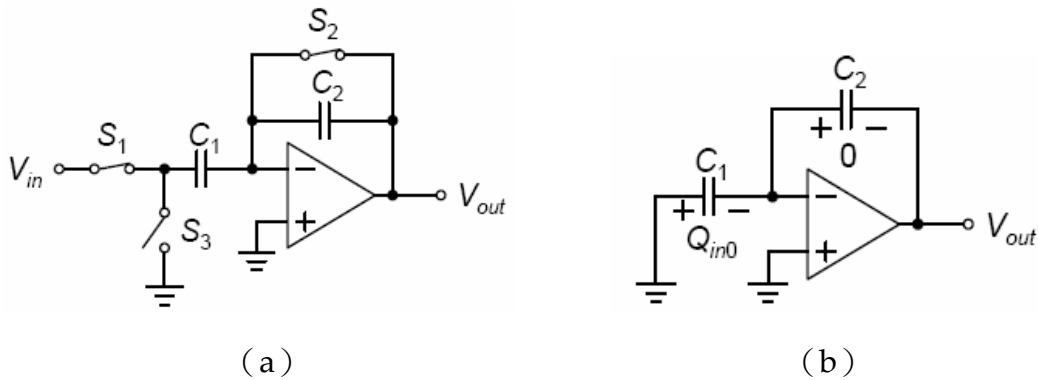


圖 2-8 (a) 交換電容式放大器 (b) (a) 之放大模態

前述討論可以引起我們產生圖 2-9 中交換電容式放大器之觀念，其運作概念主要涵蓋在兩種相位的運作中：「採樣」和「放大」相位。因此除了連續的類比輸入 V_{in} 之外，需要藉由時脈（clock）的控制來定義「採樣」及「放大」這兩個相位。

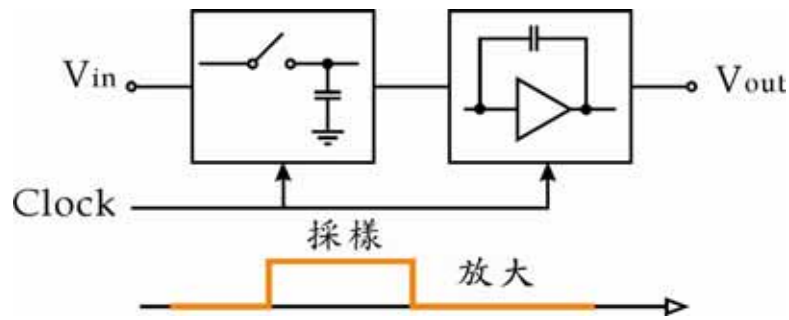


圖 2-9 交換電容式放大器示意圖

2.2.1 採樣開關 (Sampling Switches)

圖 2-10 為一簡單採樣電路，由於 MOS 電晶體可在無電流時開啟，以及閘極(G)電壓不影響導通之源極(S)和汲極(D)電壓的特性，使得 MOS 電晶體可以做為取樣開關。由圖 3-4 可知電路如何對輸入信號進行採樣。在圖 2-11 (a) 中假設 $t = t_0$ 時 $V_{in} = 0$ ，且電容有一初始電壓為 V_{DD} 。於是電容隨著時間進行放電，當 $V_{out} = V_{DD} - V_{TH}$ ，即 M1 之 V_{gd} 大於 V_{TH} 時，M1 進入三極管區。然而元件仍持續對 C_H 進行放電直到 V_{out} 趨近為零。此時電晶體可被視為一電阻 $R_{on} = [\mu_n C_{ox} (W/L) (V_{DD} - V_{TH})]^{-1}$ 。

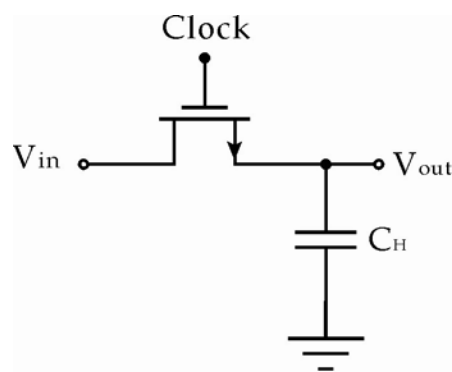


圖 2-10 利用 MOS 元件組成開關

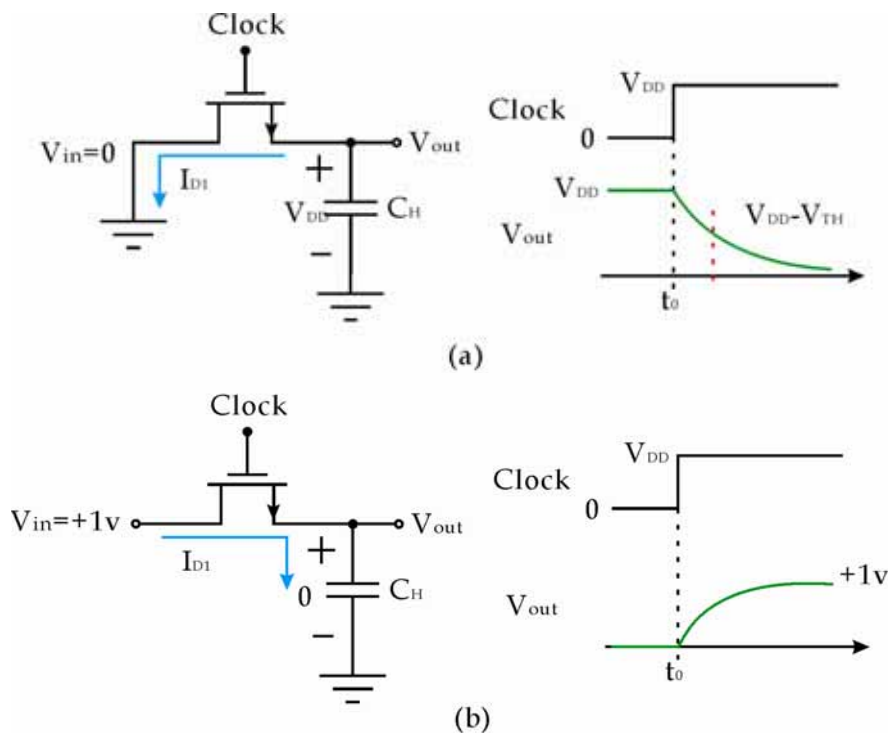


圖 2-11 採樣電路初始狀態之響應

同樣的在圖 2-11 (b) 中電晶體隨著 Clock ON 而開啟，但當 C_H 充電至 V_{out} 趨近於 +1V 時，M1 運作於三極管區，電晶體可視為一電阻，此電阻為

$$R_{on} = [\mu_n C_{ox} (W/L) (V_{DD} - V_{in} - V_{TH})]^{-1} \quad (2-1)$$

由以上對 MOS 開關的分析可知，一個 MOS 開關僅需交換汲極 (Drain) 和源極 (Source) 的角色即可雙向引導電流；而當開關開啟 (ON) 時 V_{out} 會追蹤 (tracks) 信號，反之當開關關閉 (OFF) 時，取樣電容 C_H 則會保持 (Hold) 住 V_{in} 之瞬間值。

然而在圖 2-11 (b) 中，若假設 $V_{in}=V_{DD}$ 時，並忽略通道長度調變效應以及基板效應下可得到[1]

$$V_{out} = V_{DD} - V_{TH} - \frac{1}{\frac{1}{2} \mu_n \frac{C_{ox}}{C_H} \frac{W}{L} t + \frac{1}{V_{DD} - V_{TH}}} \quad (2-2)$$

由式 2-1 可知，當 $t \rightarrow \infty$ 時， $V_{out} \rightarrow V_{DD} - V_{TH}$ ，此乃因此時 M1 之驅動電壓會消失，並使得對 C_H 充電之電流減少至可忽略的數值。所以在一般運作速度下，假設 V_{out} 不會超過 $V_{DD} - V_{TH}$ 是合理的。由此分析可知若輸入信號位準接近 V_{DD} 時，則 NMOS 開關提供之輸出無法準確追蹤輸入訊號。

2.2.2 速度考量

在開關開啟之後輸出電壓從 0 變至最大輸入位準所需的時間，可以簡單的定義成採樣電路的速度。然而 V_{out} 理論上需要無限大的時間才會與 V_{in} 相等，因此一般定義輸出在 t_s 秒之後穩定於 0.1 % 正確性之內，即 $\Delta V/V_{in0} = 0.1\%$ 。由此可知速度需求必須伴隨著正確度需求。在 $t = t_s$ 之後我們可以認為源極和汲極電壓大約相等。

採樣速度主要由兩個因素所決定：開關的開啟電阻 (R_{on}) 和採樣電容值 (C_H)。因此若欲達到高速，必須使用大長寬比和小電容值作為元件。然而由式 (2-1) 可知開啟電阻與輸入位準相關，以 NMOS 開關而言對大部分正輸入會產生較大之時間常數 (因 R_{on} 增加)。圖 2-12 為 NMOS 及 PMOS 開關之開啟電阻和輸入位準的關係圖。

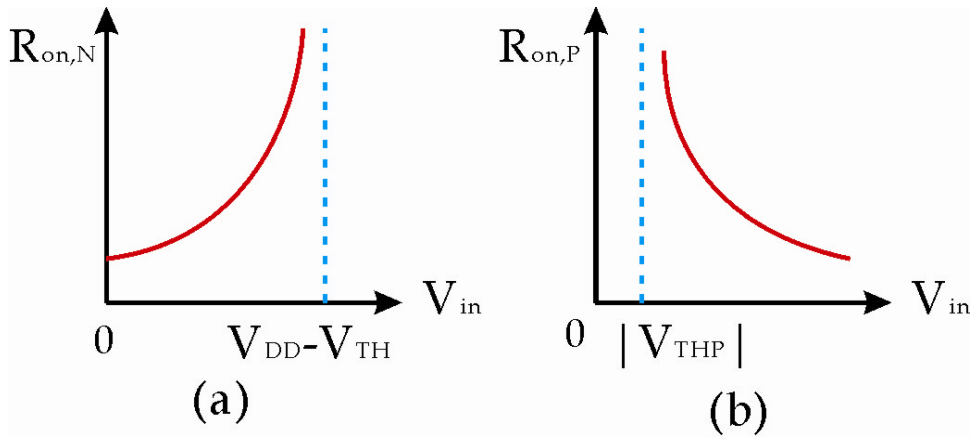


圖 2-12 (a) NMOS 和 (b) PMOS 元件之開啟電阻和輸入電壓關係圖

採用互補式開關 (transistor gate) 如圖 2-6 則等效電阻為：

$$R_{on,eq} = R_{on,N} \parallel R_{on,P}$$

$$= \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right)_N (V_{DD} - V_{in} - V_{THN})} \parallel \frac{1}{\mu_p C_{ox} \left(\frac{W}{L}\right)_P (V_{in} - |V_{THP}|)} \quad (2-3)$$

當 $\mu_n C_{ox} (W/L)_N = \mu_p C_{ox} (W/L)_P$ 時，則 $R_{on,eq}$ 和輸入位準無關。

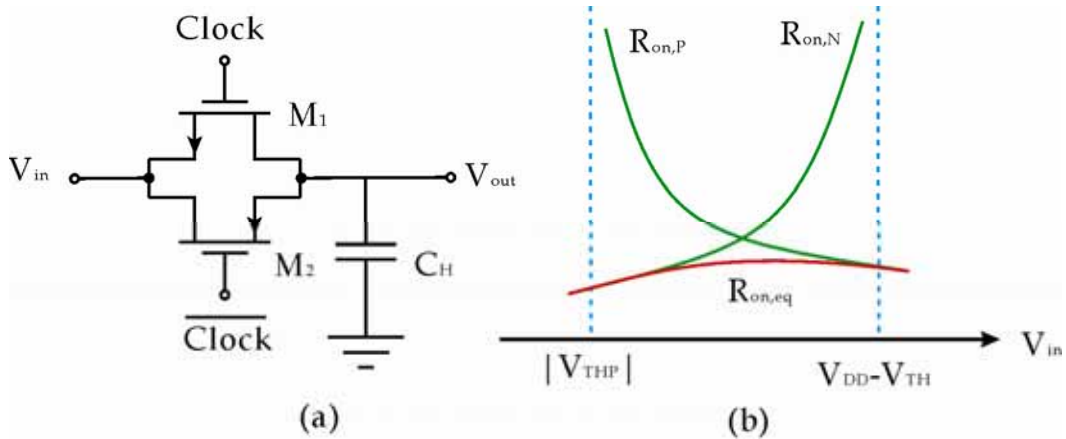


圖 2-13 (a) 互補式開關 (b) 互補式開關之開啟電阻

圖 2-13 (b) 為一般情況下 $R_{on,eq}$ 的特性。雖然互補式開關有開啟電阻和輸入位準無關，及電荷注入抵銷的優點，然而其需要多一組反相的控制訊號來控制，因此對高速

輸入訊號而言，NMOS 和 PMOS 能否同時關閉以避免不精確的採樣值是很重要的。因此在使用上還是要多方考量。

2.2.3 精確度考量

於 2.2.2 中曾討論出使用較大之 W/L 比的 MOS 開關或較小的採樣電容可以獲得取樣電路速度上的提升，然而此方式卻會使得採樣信號之精確度下降。MOS 開關電晶體的主要誤差來源分別為：(a) 時脈反饋 (Clock feed through) (b) kT/C 雜訊 (c) 通道電荷注入 (Channel Charge Injection)

(a) 時脈反饋

MOS 開關在運作時，會由於閘極-汲極或閘極-源極的重疊電容而將 Clock 訊號耦合至採樣電容中，如圖 2-7 所示，因此而造成採樣輸出電壓誤差，假設 C_{ov} 為每單位寬度之重疊電容，則可將此誤差表示為

$$\Delta V = V_{CK} \frac{WC_{ov}}{WC_{ov} + C_H} \quad (2-4)$$

其中 V_{CK} 為 Clock ON 時的電壓。由式 (2-4) 表示可知，誤差 ΔV 和輸入位準無關，顯示此效應在採樣電路特性中為常數。

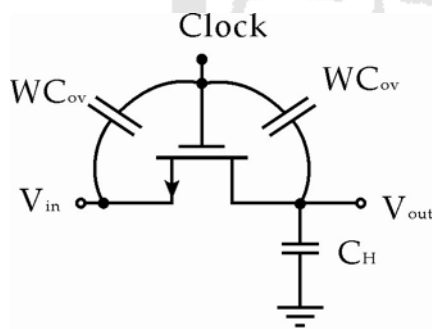


圖 2-14 時脈反饋

(b) kT/C 雜訊

如圖 2-15 (a) 當一電阻對一電容充電，則會使得電容之總均方根雜訊電壓增加為 $\sqrt{kT/C}$ 。因此類似的效應同樣會在採樣電路中發生，取樣相位時【圖 2-15 (b)】開關的開啟電阻 R_{on} 會在輸出端產生熱雜訊；保持相位時，此雜訊

便隨著輸入電壓的瞬間值儲存於電容上。 kT/C 雜訊的問題限制了許多高精度應用的效能，於本類晶片設計中在 ADC 的精確度上亦佔有決定性的影響。因此為了達到低雜訊，採樣電容必須夠大，然而對於面積以及速度的影響卻必須去平衡的。

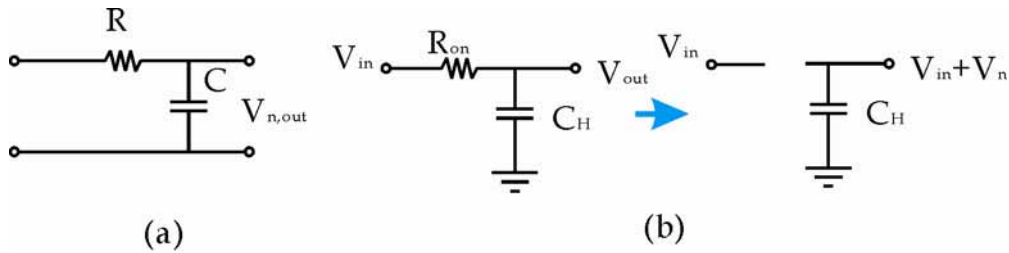


圖 2-15 (a) kT/C 雜訊產生示意圖 (b) 在採樣電路中所產生的熱雜訊

(c) 通道電荷注入

MOS 電晶體導通時，必須在氧化層-矽層介面間存在一電子通道。假設 $V_{in} \approx V_{out}$ ，可得到反轉層的引出電荷為

$$Q_{ch} = WLC_{ox}(V_{DD} - V_{in} - V_{TH}) \quad (2-5)$$

L 為等效通道長度。當開關關閉時【圖 2-16】， Q_{ch} 會經過源極和汲極流出，此現象即為「通道電荷注入 (channel charge injection)」

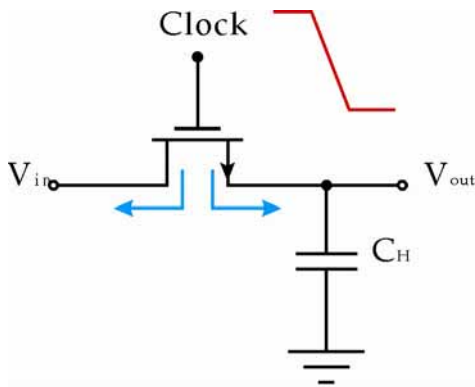


圖 2-16 當 NMOS 開關關閉時之電荷注入情形

圖 2-16 中假設注入左邊的電荷被 V_{in} 吸收，且不會產生誤差。而另一邊注入 C_H 之電荷則會被儲存並產生電壓誤差。若 Q_{ch} 的一半注入 C_H 時，結果誤差為：

$$\Delta V = \frac{WLC_{ox}(V_{DD} - V_{in} - V_{TH})}{2C_H} \quad (2-6)$$

NMOS 開關誤差將造成輸出端一負的位降，並由式 2-6 可看出，誤差值直接與 WLC_{ox} 成正比與 C_H 成反比，並與輸入電壓相關。

2.3 運算放大器

運算放大器 (operational amplifiers, op amps) 為許多類比混合信號系統中不可或缺的部分；運算放大器依架構主要可分成「伸縮組態」(telescopic)、「折疊疊接組態」(folded cascode)、「雙級組態」(two stage) 和「增益提高組態」(gain-boosting)，本章僅就在速度、面積及架構考量下可能選用的運算放大器架構進行討論。最後討論本論文所選用之架構。

本論文所選用的電路架構都是採用全差動結構 (fully differential structure)，由於全差動相較於單端結構，具有對於共模雜訊 (common mode noise) 低敏感度，且理想上對於時脈反饋誤差 (clock-feed-through error) 是零的優點。然而在電路上卻也由於所需的線路變成雙倍而較為複雜；並且差動輸出的運算放大器 OTA 需要增加共模迴授電路 (common mode feedback, CMFB)，以穩定 OTA 的共模輸出準位；也因此更增加了放大器電路的複雜度，同時也降低了速度。

2.3.1 運算放大器型態

由於切換電容式取樣電路的效能絕大部分取決於運算放大器，因此運算放大器的架構選擇，及其適用範圍將會是取樣電路的設計重心。在介紹運算放大器各種型態之前，先介紹運算放大器的效能參數。

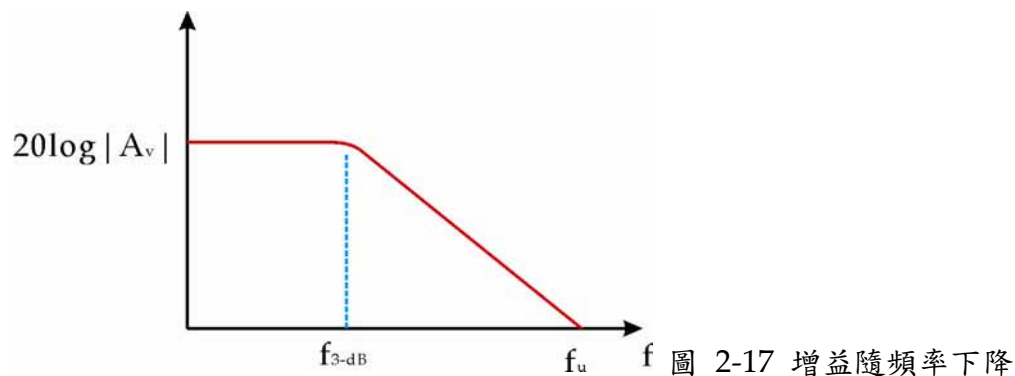
(1) 增益

運算放大器的開迴路增益決定了使用運算放大器時，迴授系統的精確度。然而於運算放大器中此項參數往往與速度或是輸出振幅會交互限制，而高開路迴路增益的運

算放大器也必須對其非線性現象 (nonlinearity) 及不匹配現象 (mismatch) 做好分析，並加以抑制。

(2) 小信號頻寬

運算放大器在工作頻率增加時，開回路增益會開始下降；通常定義為 f_u 「單增益 (unit gain)」 頻率。 f_{3-dB} 則為增益下降 3-dB 時的頻率。



(3) 大信號頻寬

使用於迴授電路之運算放大器處理大的瞬間訊號時，若僅利用小訊號特性，如開迴路響應，將使得速度很難以非線性現象來解釋，此時運算放大器所表現的為一大信號特性。如圖 2-18 當輸入大小增加時，電路的步級響應開始偏離線性，此時輸出訊號將顯示一具有固定斜率之線性特性。此時運算放大器即遇到了迴轉現象，且稱此斜率為「迴轉率」(slew rate)。

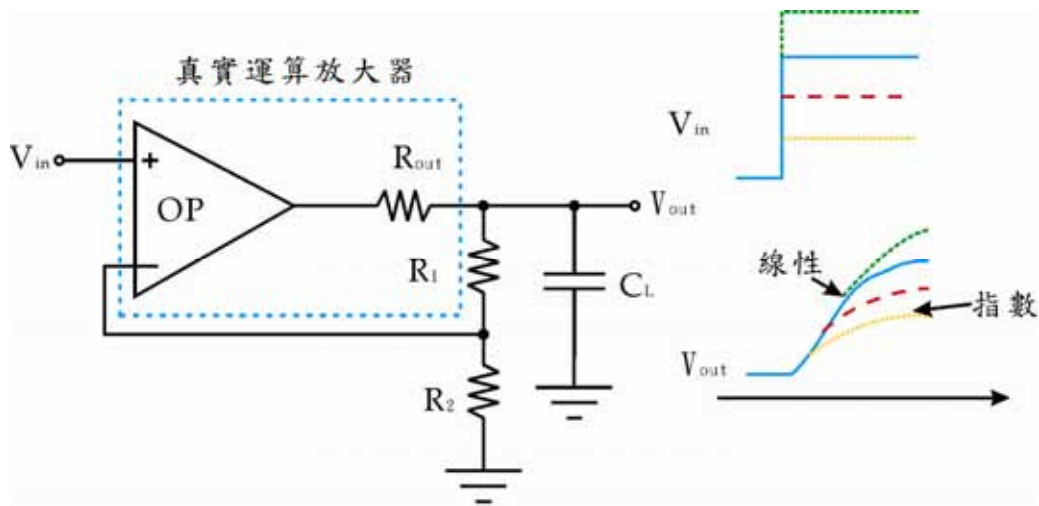


圖 2-18 運算放大器中的迴轉現象

(4) 輸出振幅

運算放大器的系統常需要大的電壓振幅以容納一大範圍的信號強度。全差動運算放大器所產生的互補訊號，使得可使用之振幅放大約兩倍。最大輸出電壓振幅將和元件大小、偏壓電流和速度相互限制。

(5) 雜訊與偏移

運算放大器之輸入雜訊與偏移決定電路是否能在合理品質下處理之最小信號位準。在一般放大器組態中會以增加尺寸和偏壓電流來降低雜訊與偏移的影響。

(6) 供應電源排斥

運算放大器常用於混合信號系統，因此常會連結至雜訊較高的數位供應線路。在有供應雜訊出現情況下，當雜訊增加時，運算放大器的效能是否能維持變得相當重要，而全差動組態在這方面表現優於單端組態。

(a) 單級 (single-stage)

這是屬於結構最簡單的一種 OTA，如圖 2-19 所示，因此是速度最快的一種 OTA，缺點是增益 (gain) 相當低，並無法達到所需的增益。

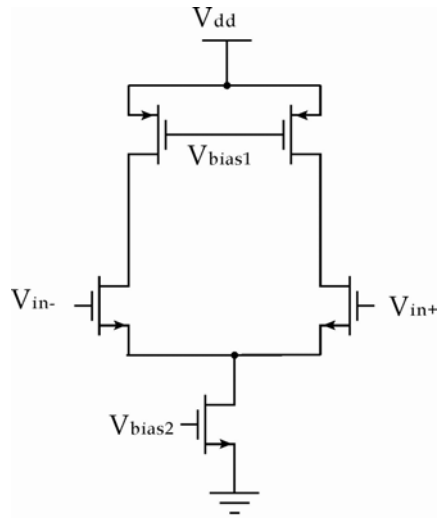


圖 2-19 單級 OTA

(b) 雙級 (two stage)

藉由增加一級輸出級，即可得到一兩級放大器。其概念為第一級提供高增益而第二級提供大振幅。然而增加一個增益級同時卻也引入至少一個極點，使得在迴授系統中使用此種運算放大器並需確保其穩定度，將會增加設計之困難。

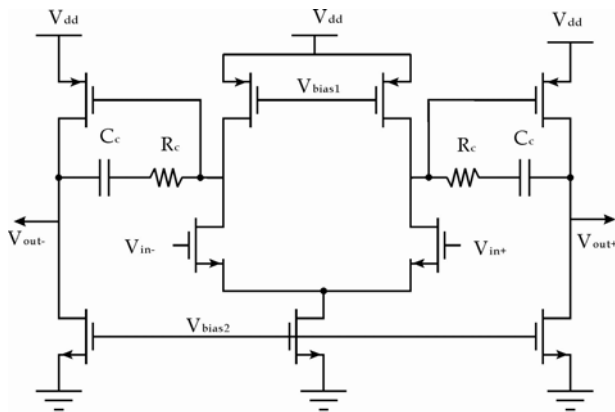


圖 2-20 典雙級 OTA 型

(c) 伸縮疊接 (telescopic cascode)

此種組態為提升單級之輸出阻抗，以增加增益，優點是能夠保有單級的高速，並有高增益。然而疊接越多輸出振幅範圍也就越小。在低供應電壓的趨勢下，此特性是我們所不願見到的。另一個缺點為，伸縮放大器並不是用於操作作為單增益緩衝器。

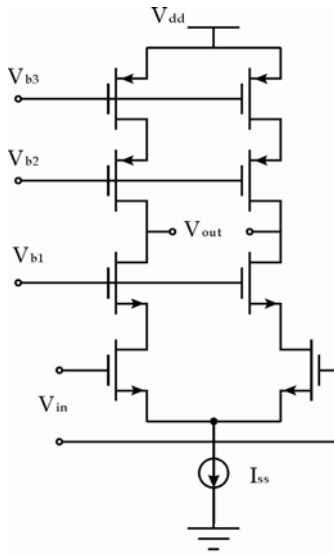


圖 2-21 伸縮疊接組態運算放大器

(d) 折疊疊接 (folded cascode)

折疊疊接組態放大器屬於在雙級放大器及伸縮疊接放大器間尋求平衡的一種方式。可以在低的供應電壓下，仍能保有相對較高的輸出振幅，並能經由設計使得輸入及輸出直流準位相等，即可將輸入及輸出連接做為單增益緩衝器。一般而言此種組態的增益低於雙級組態，速度低於伸縮疊接組態。本論文所選用的 OTA 即為此種組態的全差動放大器。

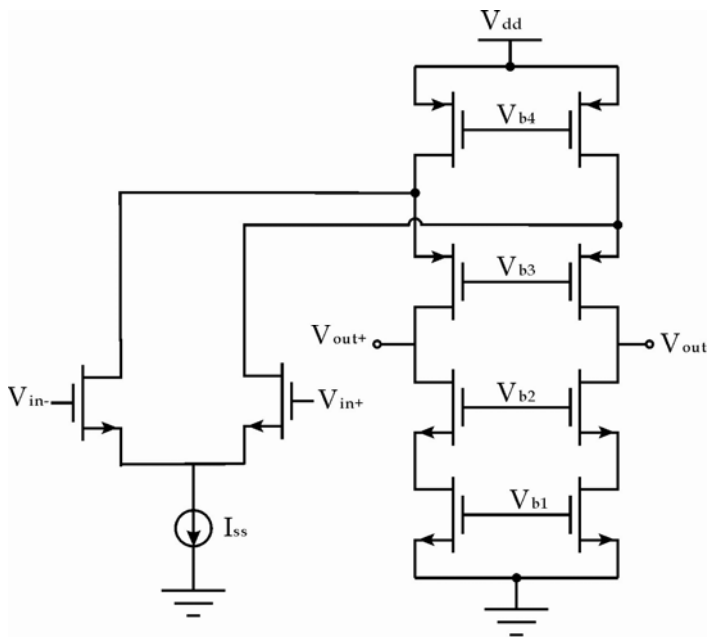


圖 2-22 折疊疊接組態

(e) 增益提高 (gain boosting)

於伸縮和折疊疊接組態之單級運算放大器中，我們的目的是將輸出阻抗最大化以得到一高電壓增益。增益提高之概念即是在不增加多餘疊接元件下，增加其輸出阻抗。如此不僅可提高增益又可不犧牲輸出振幅。缺點則是這些額外加入放大器的可能會降低整顆放大器的速度。因此這些放大器必須設計具高頻寬之放大器。[1]

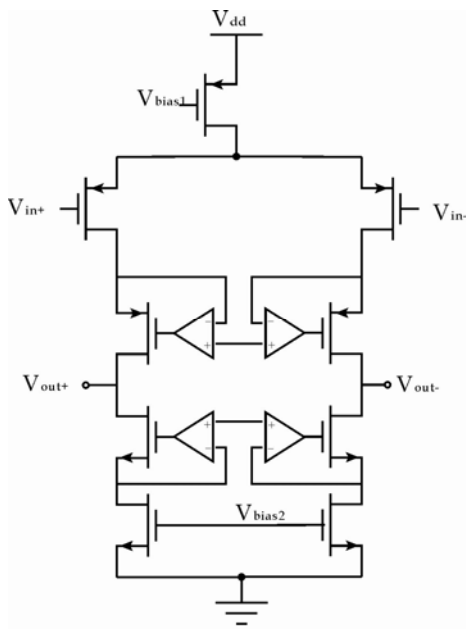


圖 2-23 疊接增益提高組態

表 2-2 所列為四種常用放大器組態效能比較表

	伸縮疊接	折疊疊接	雙級	增益提高
增益	中等	中等	高	高
輸出振幅	中等	中等	最大	中等
速度	最快	快	慢	中等
能耗	低	中等	中等	高
雜訊	低	中等	低	中等

表 2-2 四種不同組態效能比較

2.3.2 共模迴授電路 (Common Mode Feedback Circuit, CMFB)

在高增益放大器中，輸出共模位準對於元件特性及不匹配相當敏感，且無法藉由差動迴授來穩定。因此必須加入一共模迴授電路以量測兩個差動輸出的共模位準，且依此調整放大器的共模輸出電流，以達到穩定全差動放大器的共模電壓。CMFB 的三個主要功能分別為(1)量測輸出共模準位，(2)與參考電壓比較，(3)誤差回傳至放大器偏壓電路。而目前主要的電路技巧可分成 (1) 交換電容式電路 (2) 差動放大器 (Differential Difference Amplifier, DDA) (3) 電阻平均電路 (Resistor-averaged circuit)。

交換電容式 CMFB 主要架構為使用兩相等大小的電容來平均兩差動端電壓；受制於因切換時脈而引入的雜訊，交換電容式共模迴授電路僅適用於取樣資料電路[8]。

由於差動對的輸入範圍以及非線性限制 DDA 形式的 CMFB 適合小電壓振幅之電路。然而藉由降低輸入對的 W/L 比並增加偏壓電流，可增加輸入範圍及線性度；但卻會降低 DDA 電路的轉導增益，並造成更大的共模偏移電壓($|V_{CM}-V_{RCM}|$)。

電阻平均共模迴授電路乃是利用電阻平均兩差動輸出端電壓，並將結果送至感應差動對與 V_{RCM} 做比較。此技術可降低由差動對之非線性現象所導致的共模偏移電壓，且電壓振幅不受差動對之限制；因此可在沒有明顯的共模偏移下，允許更大的電壓振幅輸出。然而缺點則是需要極大的電阻做為平均電阻，不僅極佔面積而且會降低輸出阻抗，進而降低運算放大器增益。

2.4 類比數位轉換器型態

已有許多種數位-類比轉換器架構應用於影像陣列解碼，數位-類比轉換器架構的選擇主要考量為需考慮信號形式(signal format)，精確度(accuracy)，取樣頻率(sampling rate)，及面積下來選擇。CMOS 影像感測器的輸出通常都會使用相關性雙取樣電路(CDS)做為接收取樣像素輸出的第一級。由於 CDS 可有效降低共模雜訊，以及 CMOS 像素的固定圖像雜訊(FPN)，而 CDS 即可視為 ADC 的取樣/保持電路；因此 ADC 所接收到的信號形式為步階直流電壓值，而非具有頻率的弦波。即使直接

將像素輸出直輸出至 ADC 亦同樣為步階直流電壓值。如圖 2-24。每個步階電壓代表每個像素的輸出。對於精確度的要求，則取決於所應用的範圍，例如：做為光學滑鼠之影像感測器則僅需 6-bit 或更低之解析度，而一般做為數位影像顯示裝置則以 RGB 各 8-bit 解析度展開之 16777216 色之色域為標準；然而更高的解析度則可以提供更寬廣的色階，並可展開更寬廣之色

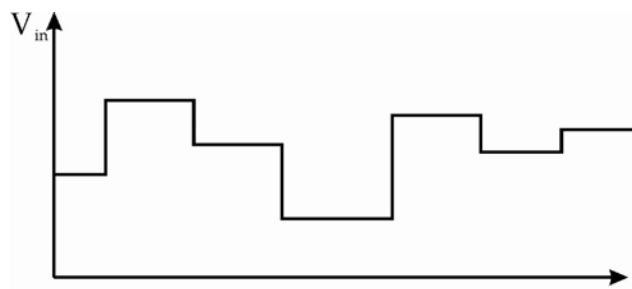


圖 2-24 ADC 之輸入訊號形式

域。現今高階的 DVD 電影影像放映機，內部已採用解析度 14-bit 之 DAC 做為解碼 IC，因此本設計選定 12-bit 做為影像來源的數位資料解析度。

取樣頻率的選擇則需依據設計的架構而定；頻道數目越多即需共用同一頻道 ADC 的像素行數越少，每個頻道的 ADC 取樣頻率就可以越低，即允許使用越低速的 ADC。因此若所有的像素均共用一棵 ADC 時，則此 ADC 需要運作的取樣速度時脈為最大。面積則為每個頻道的 ADC 所需佔有的面積乘上頻道數。由於欲實現平行處理之 ADC，因此面積上需選擇可實現之架構。

2.4.1 Delta-Sigma 式

Delta-sigma ADC 常用來做為高解析度，低取樣頻率的應用。解析度範圍約為 12 至 24 位元。典型的輸入信號速度範圍約為 kilohertz 乃至於 megahertz。Sigma-delta ADC 的系統架構方塊圖，如圖 2-25 所示。第一級為連續時間的去圖形失真(anti-aliasing)濾波器並將輸入信號頻寬限制在低於一半的取樣頻率以下。當設計高的超取樣比(oversampling ratio)時，可使用簡單的去圖形失真濾波器，例如簡單的 RC 低通電濾波器。濾波後的信號 $X_c(t)$ 仍為連續時間訊號，經由取樣保持電路

(Sample and Hold, S/H)取樣後，變為離散時間的信號 $X_{sh}(t)$ ，此信號與圖 2-24 所示之 CDS 輸出信號及像素輸出信號類似；sigma-delta 調節器(modulator)則處理 $X_{sh}(t)$ 信號，將此離散時間類比信號轉換成 noise-shaped 低解析度數位訊號。此系統的第三個區塊為一個 decimator。在通常約等於兩倍輸入頻率的低取樣頻率下將超取樣低解析度的訊號轉換成高解析度數位訊號。Decimation 濾波器可被視為一接著降取樣器(down sampler)之低通濾波器。典型的 sigma-delta 類比數位轉換器的電路架構為切換電容式電路。一個 N 階的 sigma-delta 轉換器需要 N 個積分器及一個比較器。若 C 是此晶片欲設計的頻道數， A_{int} 為一級積分器所需佔有的面積。則 ADC 所需佔的總面積約可估計為

$$A_{\Delta-\Sigma} = N \cdot C \cdot A_{int} \quad (2-7)$$

由上式可知，面積與 sigma-delta ADC 所設計的階數成正比，因此已有論文實現使用一階 sigma-delta 轉換器實現像素-平行(Pixel-parallel)類比數位轉換器之單晶片攝相系統，參考[9]。

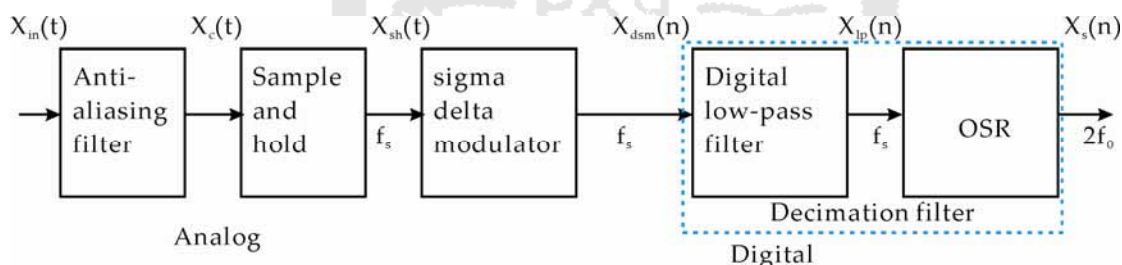


圖 2-25 超取樣 sigma-delta 類比數位轉換器方塊圖[7]

2.4.2 快閃式(Flash Converter)

快閃式類比數位轉換器是一種應用在低解析度，但高速應用當中的轉換器。典型的精確度值為 6-bit，取樣速度則為數十至數百 megahertz，近年由於製程的進步，甚至有出現 gigahertz 的論文。對於所需的功率與面積會隨著精確度的增加而成等比級數增加；一個 12-bit 的快閃類比數位轉換器需要 4096 個比較器，這在面積上的成

本效益已經不能接受，然而若所設計的 CMOS 影像感測器之用途應用於低解析度高畫面更新率時，如：光學滑鼠之影像感測晶片；則採用內建快閃式 ADC 亦為可行的辦法之一。

2.4.3 雙斜率式(Dual-Slope Converter)

類似於 sigma-delta 類比數位轉換器，雙斜率式類比數位轉換器亦應用在高精確度，低取樣頻率的應用上。典型的雙斜率類比數位轉換器架構方塊圖如圖 2-26 所示。一個正比於輸入電壓 V_{in} 的電流在固定的時間 T_{charge} 內對電容充電，在積分週期結束後將計數器重置，並於積分器的輸入端輸入與輸入電壓 V_{in} 反相的參考電壓 V_{ref} ，則此反相參考電壓會對積分器之積分電容放電，直至運算放大器輸出端之電壓回到 0 輸入準位。如圖 2-27 所示。 V_{ref} 對積分電容的放電是等斜率放電因此可藉由

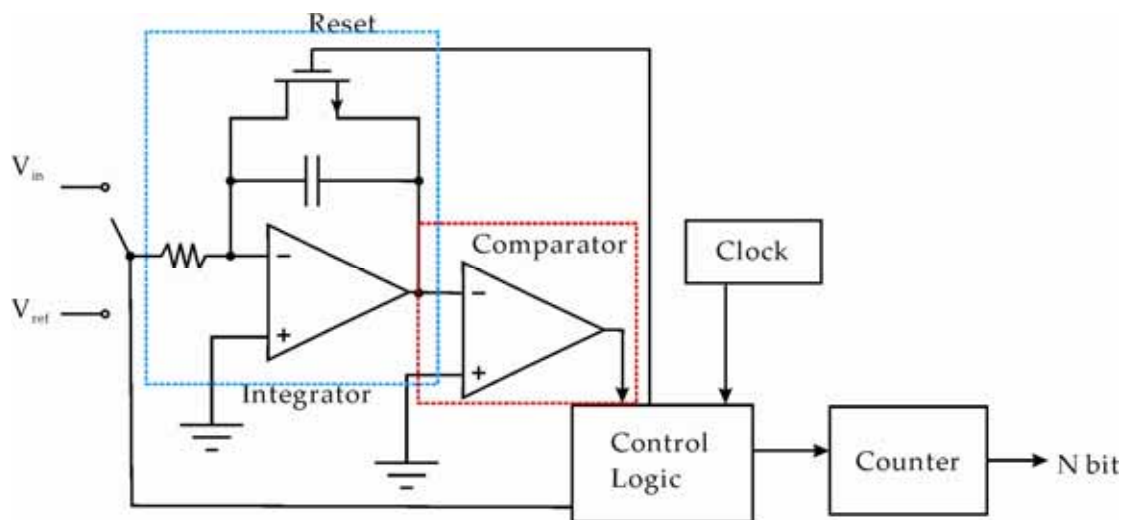


圖 2-26 雙斜率式類比數位轉換器架構示意圖

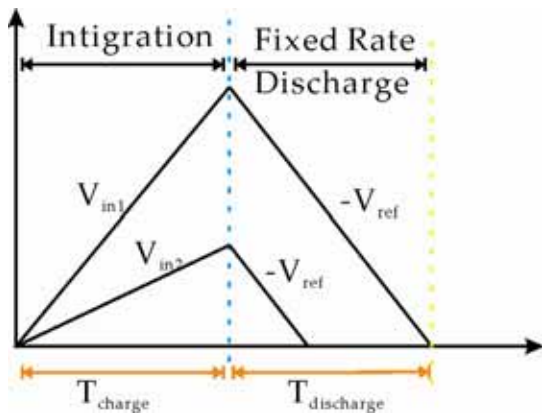


圖 2-27 雙斜率式 ADC 積分器運作圖

$$\frac{|V_{in}|}{|V_{ref}|} = \frac{T_{charge}}{T_{discharge}} \quad (2-1)$$

獲得輸入電壓之值。

由於上升斜波及下降斜波均由同一時脈所計數，因此並不需要有高的時脈穩定度；即假設時脈緩慢了 10%，則由相同輸入電壓造成的上升積分其上升電壓將增加 10%，因此同樣的下降斜波也會增加 10% 的計數時間，故並不需高時脈穩定度之時脈。然而穩定的 V_{ref} 電壓則是不可或缺的。由於雙斜率式 ADC 的特性因此於平行處理式類比數位轉換器用途上是十分可行的選擇之一；因為其可於整顆晶片中所有頻道皆共用計數器及參考電壓斜波。每個轉換器僅需要一組 RC 積分器，比較器及數位拴鎖器(latch)；其所佔面積夠小，及低轉換速率十分適合用於每行皆為獨立頻道的平行處理應用。缺點則是需要高速的全晶片計數器。如一個 12-bit 的 ADC 需要在 4 μ s 之內解碼出來，則所需的計數器速度至少需

$$f_{count, min} = \frac{2^{12}}{4\mu s} = 1.024GHz$$

如此高的速度，要使每行的 ADC 皆在 4ns 以內的時脈偏移量下接收，此種方式對於大尺寸之 CMOS 影像應用上，是不利的缺點之一。

2.4.4 運算式

運算式(algorithmic)轉換器為一可串接數級的架構，每一級對輸入電壓執行數學運算後，產生一個位元及輸出殘餘電壓值；而輸出殘餘電壓則做為下一級的輸入電

壓。典型的運作方式為將輸入加倍，依據輸入為“正”或為“負”做為判斷，同時加/減一參考電壓。若輸入電壓為“正”則產生一個位元“1”，若輸入電壓判斷為“負”則為“0”。

運算式轉換器可細分成管線式及遞迴式(cyclic)結構。在管線式轉換器中，使用個別不同的切換電容式積分器來組成每一級。而遞迴式轉換器，則使用相同的切換電容式積分器重複循環遞迴使用來產生接下來的位元。對於一個解析度為 12 bit 的轉換器而言，管線式轉換器需要 12 級來實現。而遞迴式轉換器則可任意選擇需要多少級，原則以解析度的因數為主，而最常見的則是使用兩級為設計。此兩種方式管線式的通常是運用在較高的取樣速度，而遞迴式則因循環取樣剩餘值的關係，適合應用於取樣速度較低，需要小面積的應用中。

第三章 晶片之架構及設計

3.1 全晶片架構 (Pixel Array)

本論文實做之晶片採用 TSMC 0.18 um CMOS 1p6m 一層多晶矽六層金屬層製程，整顆晶片之主要架構如圖 3-1 所示，整體架構為整合一 64 x 64 像素大小為

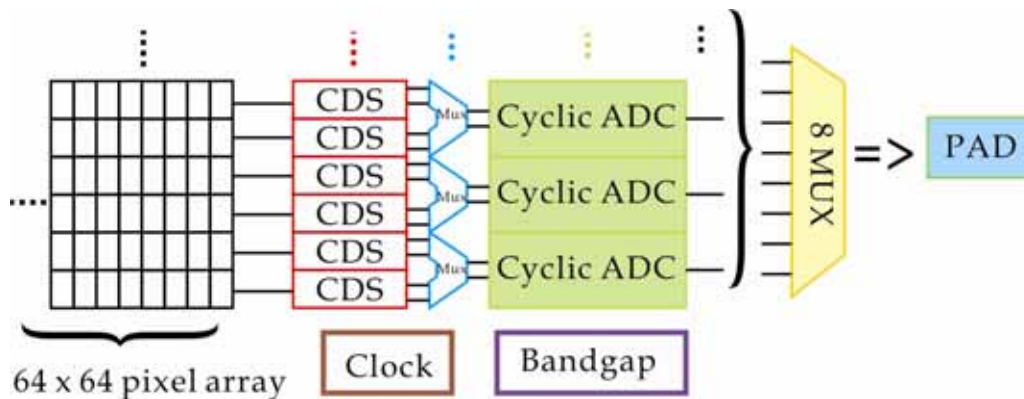


圖 3-1 全晶片系統方塊圖

8.05 x 8.05 um² 像素陣列，每行(column)像素共同輸出至一個相關雙取樣電路 (Correlated Double Sampling, CDS)；兩組的 CDS 經由一個 2 x 1 類比多工器切換共同分享一個循環式類比數位轉換器。由於若每行之類比數位轉換器皆獨立輸出至一個接腳到晶片外部，則勢必造成晶片接腳過多，因此設計採用一 8 x 1 數位多工器，使每 8 組類比數位轉換器之數位輸出經數位多工器共同推動一個接腳驅動電路，將轉換出的數位訊號傳輸至晶片外部。周邊電路包含控制整顆晶片運作的時脈電路，與提供 CDS 及 ADC 內部運算放大器以及像素陣列輸出電流源的帶差參考電路(Bandgap Reference Voltage Circuit)。除了實現單晶片攝相系統電路 (camera on a chip) 外，另設置專為測試考量之獨立 ADC 電路及 CDS 和 ADC 電路兩組，做為測試。圖 3-2 為全晶片佈局圖。基於國家晶片中心並未提供標準 CMOS 影像感測器製程，為求本顆設計晶片在標準 CMOS 影像感測器製程中仍能實現之考量，雖然標準 TSMC 0.18 CMOS RF-Mix signal 3.3V 1p6m 製程提供了六層金屬層，佈局時除使用 MIM 之電

容外，皆於第三層金屬層以下完成接線佈局。以期證明在轉換製程時此種設計方式之可行性。

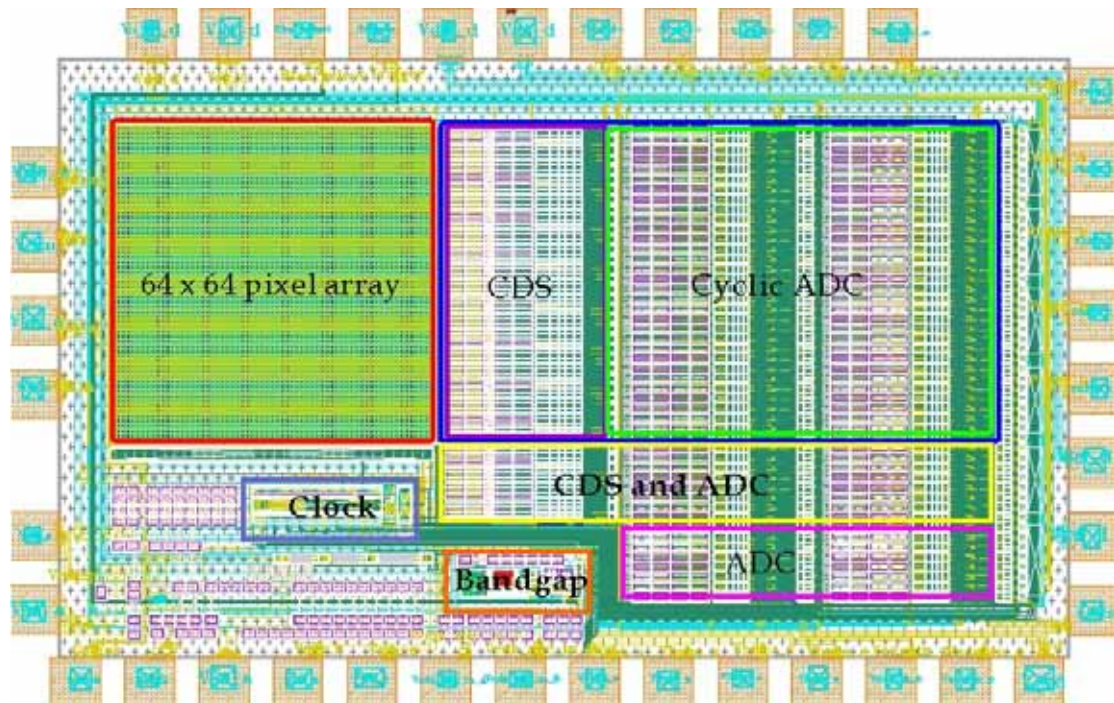


圖 3-2 全晶片佈局圖

3.2 像素陣列 (Pixel Array) 及控制電路

3.2.1 電路架構及運作原理

本類晶片內建一 64×64 像素陣列[圖 3-3]，每列像素由左邊所對應的 Row selector 來產生控制像素的列選擇及重置訊號，本類晶片採用的像素單元[1]電路如圖 3-4 所示，採用四顆 NMOS 電晶體組成主動式讀取電路，此種結構

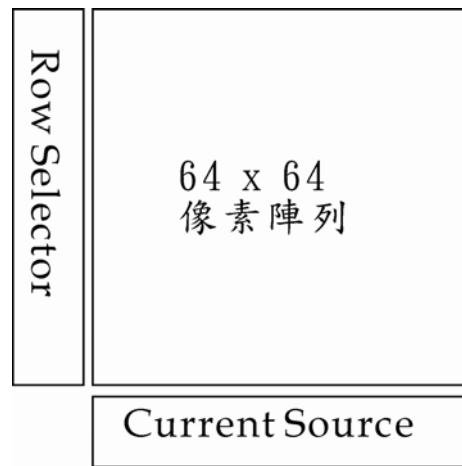


圖 3-3 64 x 64 像素陣列佈局

相較於三顆電晶體所組成的讀取電路，若於像素小型化考量下，對於像素的定量效率 (Quantum efficiency) 是較為不利的，好處為於結構上多了一電荷感應擴散小電容，此擴散電容可藉由在曝光期間多階調整 M4 電晶體閘極電壓 $b(t)$ ，以產生非線性的壓縮曲線，來達到增加像素動態範圍的功能[2]。M3 的作用如同一共閘極放大器 (common gate amplifier)；光電流累積於 M3 低阻抗端的源極流入 M3 高阻抗端的汲極，使得電荷可以由面積、電容較大的光二極體收集，並由小的電荷感應擴散電容感應可造成較僅由光二極體感應電壓更敏感之電壓變化。

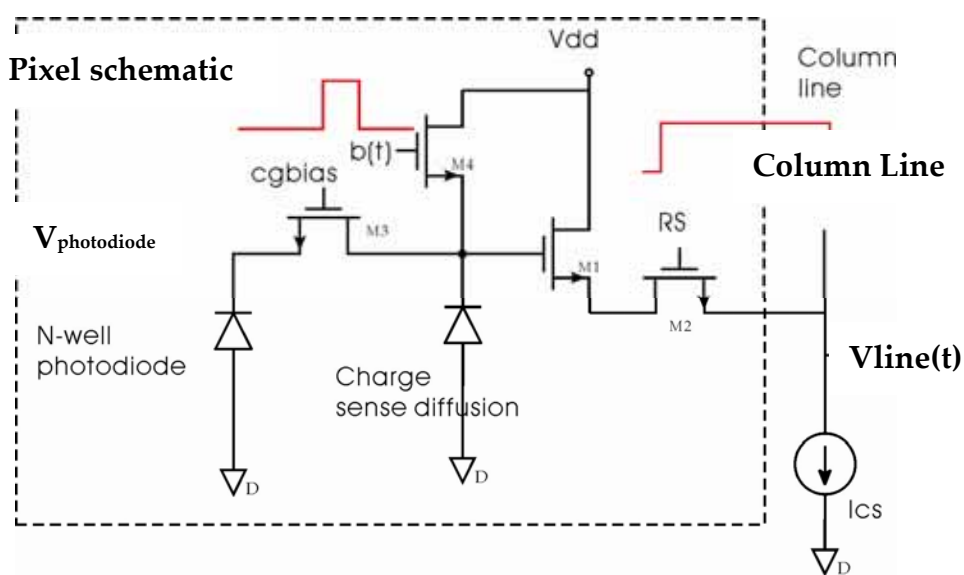


圖 3-4 像素單元讀取電路圖

然而此種電荷感應擴散電容之設計，雖具有可增加像素單元動態效能的好處，卻也容易因像素陣列大型化而造成此小電荷感應電容之不匹配(mismatch)問題。由於 CIC 可採用之製程非 CMOS 影像感測器製程關係，本論文重點並非在製作高性能的像素，故不在此方面進行太過深入的探討；因此在控制上僅取其基本的運作模式工作。像素單元在曝光後，會在 N 型井光二極體 (N-well photodiode) 產生電荷堆積，造成 M3 源極端電壓 $V_{\text{photodiode}}$ 下降，透過 M3 電荷感應擴散電容電位亦下降，當 RS(Row select)信號選擇此像素時，像素的曝光值 $V_{\text{line}}(t_1)$ 透過源極追隨放大器 M1 的緩衝後將像素曝光值傳到下一級即 CDS，待下一級取樣結束並進入穩態後，像素進行重置，重置後的電壓，亦經過源極追隨放大器後，將重置後的像素電壓 $V_{\text{line}}(t_2)$ 傳至 CDS，待 CDS 取樣結束並進入穩態後，RS 信號結束，電晶體 M2 關閉。

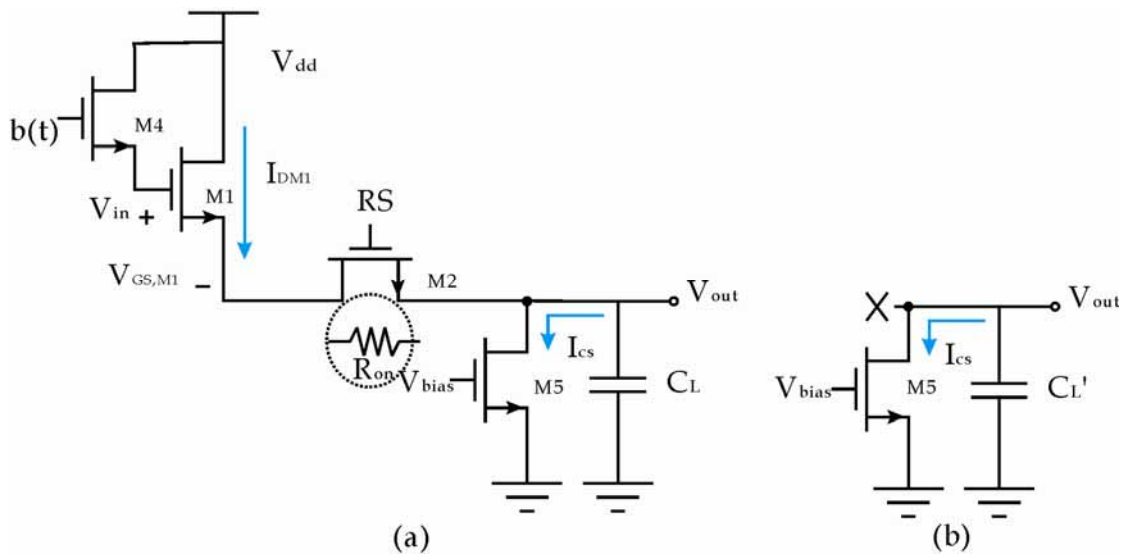


圖 3-5 單顆像素分析(a) RS 開啟時 (b) RS 關閉時

以單顆像素分析，如圖 3-5 所示，其中 C_L 為像素陣列輸出導線之總寄生電容加上下一級 CDS 的輸入電容，當 RS 開啟[圖 3-5 (a)]， $V_{GS,M1} > V_{THn}$ 足以驅動 M1 時， $I_{DM1} - I_{CS}(t)$ 對 C_L 充放電，當 $t \rightarrow \infty$ 時

$$I_{DM1} \approx I_{CS}(t)$$

$$V_{out} \approx V_{in} - V_{THn} - I_{DM1} R_{on}$$

其中 $I_{DM1}R_{on}$ 很小可忽略不計。

在像素控制電路之位移暫存器對像素陣列做漸進式掃瞄(progressive scan)時，在選擇列(row)與下一列之間時，會短暫出現 RS 關閉[圖 3-5 (b)]；此時 I_{CS} 對 C_L 進行放電，其中 C_L 為像素陣列輸出導線之寄生電容。使 V_{out} 均會達到一初始值。

由圖 3-5 (a)可計算出

$$V_{out,min} = V_{bias} - V_{THn,bias}$$

$$V_{out,max} = V_{dd} - V_{THn,M4} - V_{GS,M1}$$

上式中 $V_{out,max}$ 為當重置電晶體的閘極電壓為 V_{dd} 時，可求得。因此像素的最大輸出振幅為

$$V_{swing} = V_{out,max} - V_{out,min}$$

由 KCL 定律可知

$$I_{DM1} = I_{CS} + C_L \frac{dV_{out}}{dt} \quad (3-1)$$

因此上式可改寫成

$$\frac{\Delta V_{out}}{\Delta t} = \frac{I_{DM1} - I_{CS}}{C_L} \quad (3-2)$$

由式(3-2)估計符合規格之 Δt ， $\Delta V_{out} = V_{swing}$ ， C_L 則可由佈局及製程資訊獲得，因

此可求得 $I_{DM1} - I_{CS}$ 。又 $I_{DM1} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{in} - V_{out} - V_{thn})^2$ 欲使 $V_{in} \rightarrow V_{out}$ 則可令

$$I_{CS} = \frac{\Delta V_{out}}{\Delta t} \cdot C_L。$$

在本設計中 $C_L = 300 \text{ fF}$ $\Delta V_{out} = 1.2V$ $\Delta t = 500ns$ 則可得 $I_{CS} \approx 0.72\mu A$ 。

3.2.2 非理想特性

時脈反饋

電晶體 M4 於閘極與汲極、閘極與源極間因覆蓋重疊(overlap)而分別產生覆蓋電容 $C_{gd,M4}$ 、 $C_{gs,M4}$ [圖 3-6]。以此像素電路架構可看出，源極端為高阻抗的電荷感應端，所以從閘極電壓 $b(t)$ 所造成的反饋(feed-through)會導致電荷感應端電壓明顯的改變。

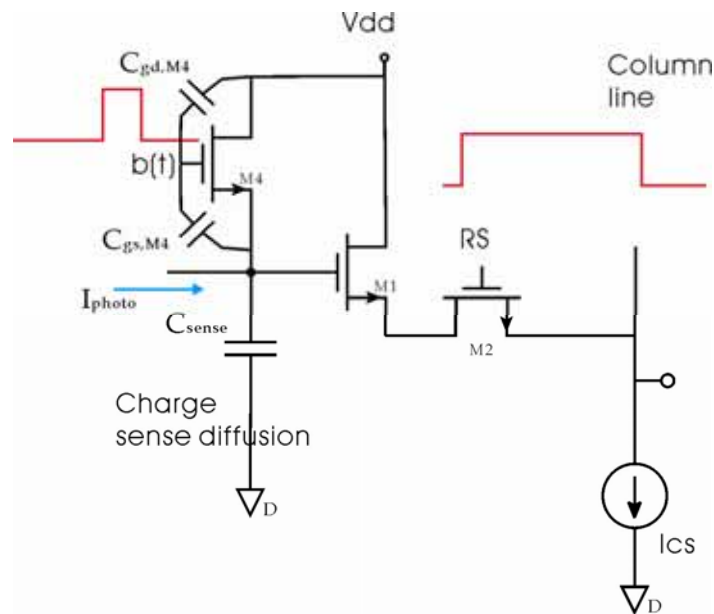


圖 3-6 重置電晶體時脈反饋示意圖

因此若於曝光期間 M4 的閘極端有數位雜訊時，則其電壓為

$$V_{sense} = \frac{I_{photo}t}{C_{sense} + C_{gs,M4}} + \frac{C_{gs,M4}}{C_{sense} + C_{gs,M4}} \Delta V_{b(t)} \quad (3-3)$$

所影響的項即為式右邊之項 $\frac{C_{gs,M4}}{C_{sense} + C_{gs,M4}} \Delta V_{b(t)}$ 。

熱雜訊

(1) 曝光狀態之熱雜訊

圖 3-7 所示為當光電流流經電荷溢出閘電晶體 M3 像素雜訊模型，以 V_n^2 表示時

$$\begin{aligned} \overline{V_n^2} &= \overline{I_n^2} \cdot r_{O,M3}^2 \\ &= 4kT\gamma g_{ds} \cdot r_{O,M3}^2 \end{aligned} \quad (3-4)$$

其中 γ 為一隨製程而變的係數， g_{ds} 為汲極、源極電導當 M3 操作在三級管區時， $\frac{1}{r_{ds}} = g_{ds} = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{THn} - V_{DS})$ ，由於 $V_{DS} \approx 0$ 故 $g_{ds} \approx g_m$ ；從式(3-4)推論若 g_{ds} 下降，則由電荷溢出閘電晶體之雜訊電流將會下降。因此設計 M3 時可將其設計為最小尺寸。

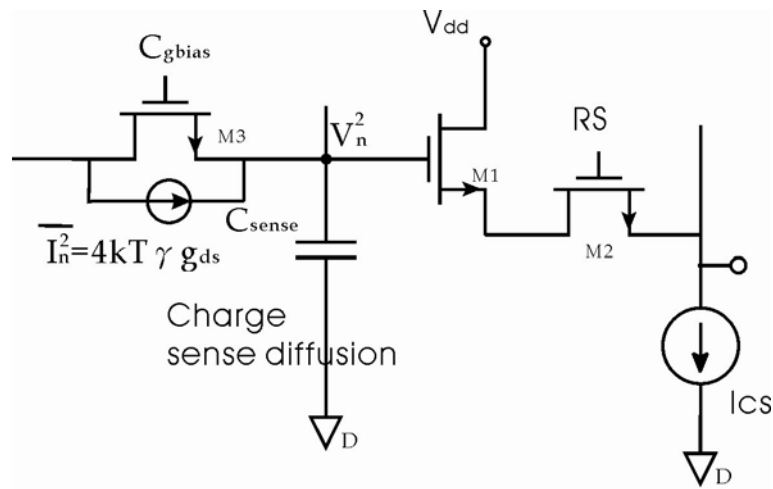


圖 3-7 曝光期間雜訊模型

(2) 輸出狀態之熱雜訊

如圖 3-8 所示，源極隨耦器 M1、電流源元件 M5 及傳輸電晶體 M2 於操作時均會產生熱雜訊和 1/f 雜訊。其中 1/f 雜訊可藉由相關性雙取樣電路(CDS)幾乎完全將其移除，圖 3-8 為源極隨耦器 M1、傳輸電晶體 M2 及電流源元件 M5 之電路及雜訊模型，雜訊電流從源極隨耦器注入，藉由輸出阻抗轉換成電壓雜訊。輸出電容為像素陣列的輸出線寄生電容及所串連的電荷感應電容和 M1 的閘源極電容所組成。

$$C_{out} = C_{line} + \frac{C_{sense} C_{gs,M1}}{C_{sense} + C_{gs,M1}} \quad (3-5)$$

輸出電阻為：

$$R_{out} = r_{o5} \parallel (R_{out,M1} + r_{o2}) \quad (3-6)$$

其中

$$R_{out,M1} = \frac{1}{g_{mb,M1} + g_{m,M1} \frac{C_{sense}}{C_{sense} + C_{gs,M1}}} \parallel r_{o1} \quad (3-7)$$

由電流源 M5 所產生的輸出雜訊為

$$\overline{V_{n,out}^2} |_{M5} = \overline{I_{n5}^2} \cdot R_{out}^2 \quad (3-8)$$

所以總輸出雜訊為

$$\overline{V_{n,out}^2} = \overline{V_{n1}^2} A_v^2 + \overline{V_{n,out}^2} |_{M5} \quad (3-9)$$

其中 A_v 為源極耦隨器增益

$$A_v = \frac{\frac{1}{g_{mb1}} \parallel r_{o1} \parallel r_{o5} + r_{o2}}{\frac{1}{g_{mb1}} \parallel r_{o1} \parallel r_{o5} + r_{o2} + \frac{1}{g_m}} \quad (3-10)$$

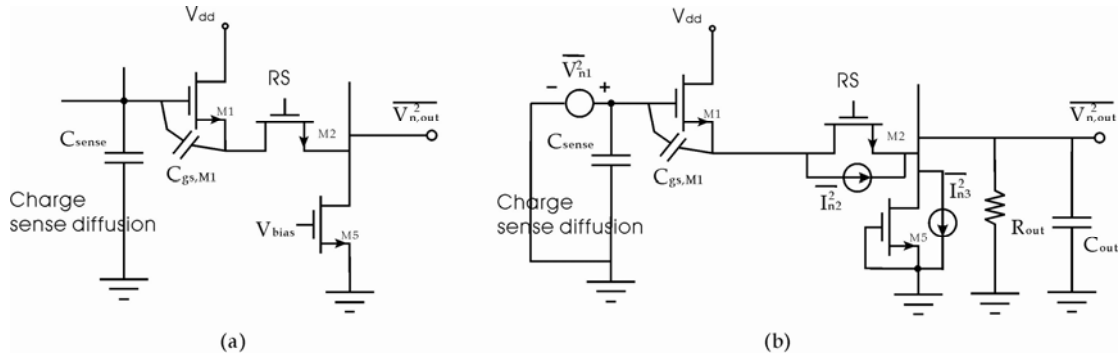


圖 3-8 (a)源極耦隨器 (b) 含雜訊源之電路

3.2.3 像素陣列之模擬結果與佈局圖

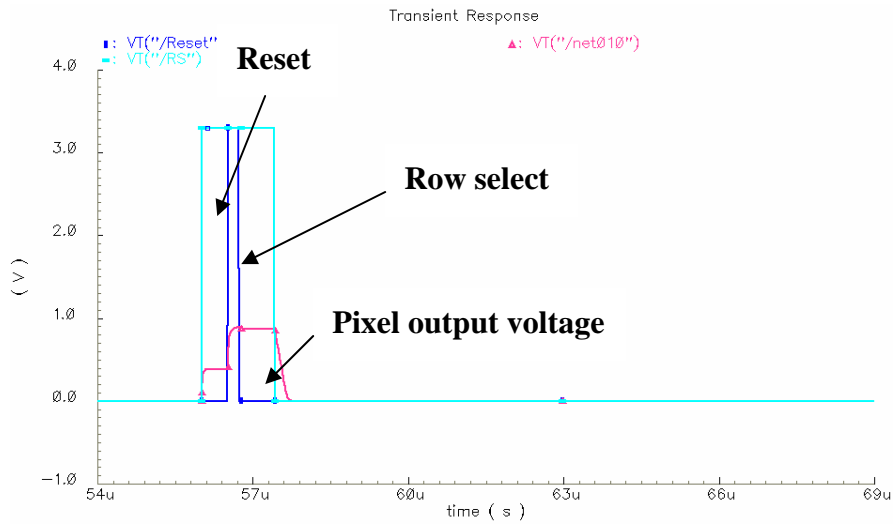


圖 3-9 單顆像素模擬結果

圖 3-9 為本顆晶片所採用像素單元的模擬結果，在 Row select 信號開啟期間，像素首先輸出曝光累積電荷之電壓；重置訊號將像素重置後，則輸出像素重置電壓。

圖 3-10 為一 4x4 之像素佈局圖，基於設計規範之定義，此像素於佈局上，採用每四顆像素，共用一 Vss 接地點，以符合設計法則 (Design Rule)。(在標準之 CMOS 影像感測器製程中像素內不需額外接地點 Vss 是被允許的。)

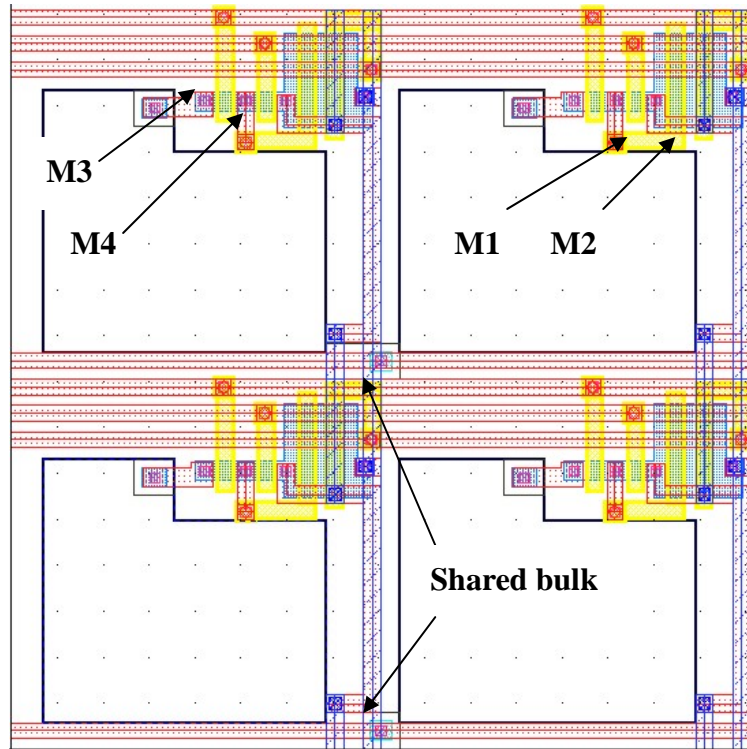


圖 3-10 4x4 像素佈局圖

3.2.4 像素陣列之控制電路

本晶片所採用的像素陣列控制電路是以移位暫存器(shift register)為主體架構，產生做為控制像素的列選擇(RS)訊號。如圖 3-11 所示，由時脈產生器產生經由晶片外接輸入之觸發訊號而發生的 Row_Trigger 訊號，此訊號即做為相關性雙取樣電路(CDS)的 Isolate 時脈之第一個訊號，此訊號同時也對移位暫存器做重置的動作；圖 3-11 中，2x1 Mux 之 C1 及 S 共同接到移位暫存器之最後一組輸出，使得此移位暫存器可不斷的循環掃描。

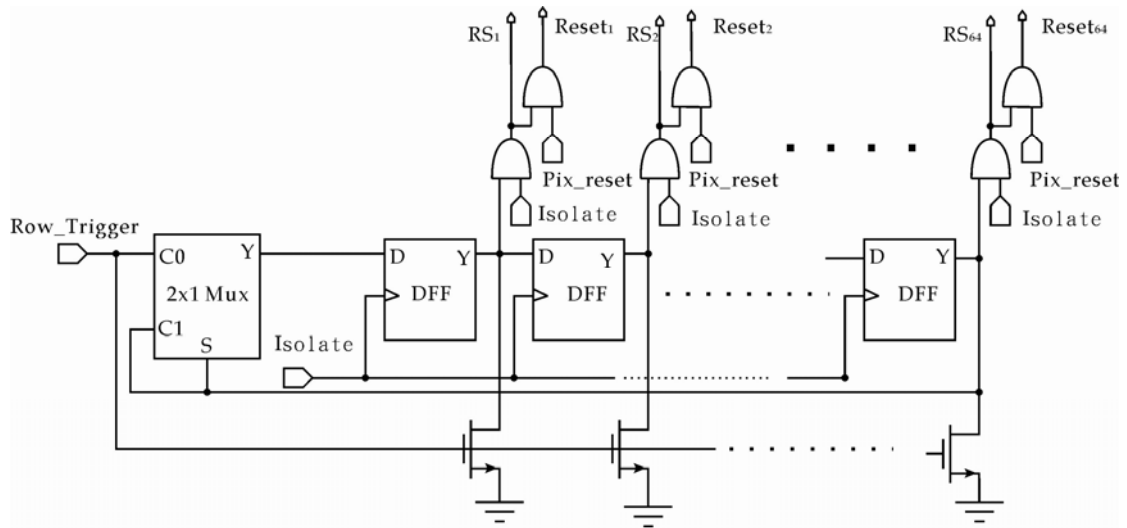


圖 3-11 控制像素陣列之移位暫存器

3.3 運算放大器電路及設計

為簡化本類 IC 之設計，本類 IC 於 CDS 及 ADC 皆採用相同之運算放大器電路結構，如圖 3-12 所示；考量面積及效能要求不同，CDS 及 ADC 之運算放大器具有不同的規格。由於 CDS 是做為類比數位轉換器之前端，因此在 CDS 電容的選擇上主要以考量降低 $\frac{kT}{C}$ 雜訊，使輸入到 ADC 之最小輸入訊號(LSB)大於 ADC 之總輸入雜訊。若 CDS 輸出訊號振幅足夠大，則我們可以盡量設計小的取樣電容，以滿足面積上的需求，可降低運算放大器的負載，及像素之輸出電容負載，並使用較小的偏壓電流，功率消耗也能因此降低。

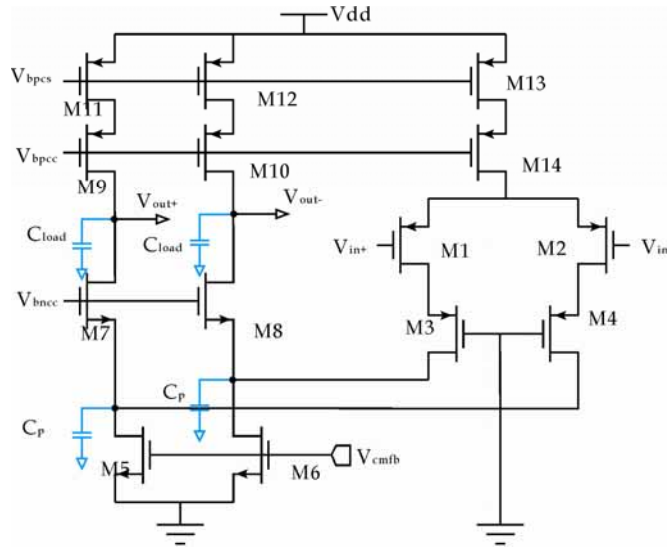


圖 3-12 全差動折疊式運算放大器主電路

此運算放大器為一全差動折疊式運算放大器(fully differential folded cascade op amplifier)，與一般常見折疊式運算放大器主要差異在於輸入差動對之下，疊接一級共閘級組態 M3 及 M4。疊接 M3 及 M4 可增加原本之輸入差動對 M1、M2 的有效輸出阻抗，因此可有效增加直流增益。然而增加此一級，卻也會造成線性輸入範圍縮小的缺點。

直流增益分析

由包含 M1、M3、M6、M8、M10、M12 之等效半電路可求出低頻差動增益，完整之小信號模型如圖 3-13(a) 所示

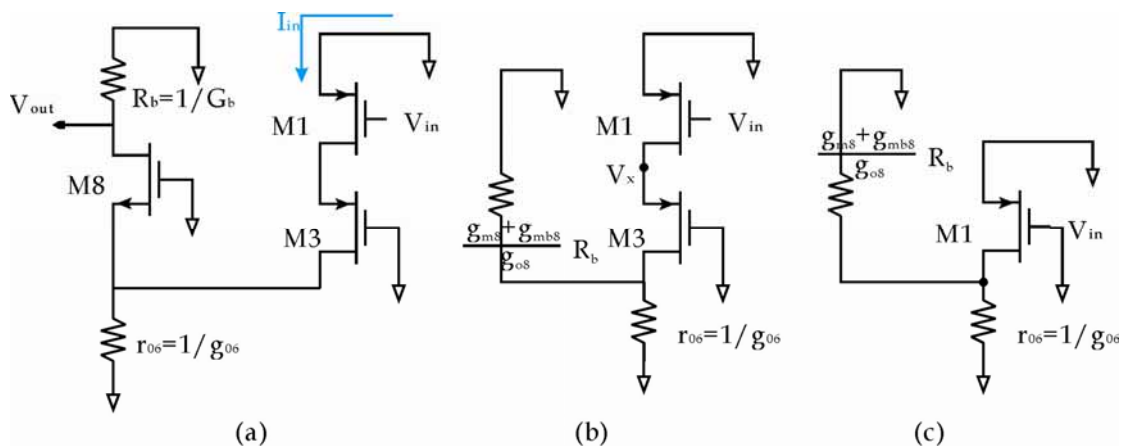


圖 3-13 計算運算放大器直流增益之小信號模型

當小訊號輸入加在差動輸入對中的 M1 時，產生電流 I_{in}

$$I_{in} = g_{m1} V_{in} \quad (3-11)$$

從 M3 源極看入之等效阻抗為

$$R_{s3} = \frac{g_{m3} + g_{mb3}}{g_{o3}} (r_{o6} + \frac{g_{m8} + g_{mb8}}{g_{o8}} R_b) \quad (3-12)$$

所以，流經 M3 之部分 I_{in} 電流比例為

$$f_1 = \frac{r_{o1}}{R_{s3} + r_{o1}} \quad (3-13)$$

M3 汲極流出之電流，經 M6、M8 分流後，流經 M8 之電流分量參數為

$$f_2 = \frac{\frac{g_{m8} + g_{mb8}}{g_{o8}} R_b}{\frac{g_{m8} + g_{mb8}}{g_{o8}} R_b + r_{o6}} \quad (3-14)$$

因為

$$\frac{v_{out}}{R_b} = f_1 \cdot f_2 \cdot I_{in} \quad (3-15)$$

將(3-11)帶入(3-15)得到直流增益

$$\frac{v_{out}}{v_{in}} = g_{m1} \cdot f_1 \cdot f_2 \cdot R_b \quad (3-16)$$

由上述的分析可知藉由增加 I_{in} 分流後流經增益分支 M8 的電流分量，使得疊接之 M3 能增加運算放大器的直流增益。為增加增益，並降低輸入電容，可將輸入差動對 M1、M2 之 L 設計得較小，以提升 W/L 比，並降低 WxL 之面積。因此 M1 具有高的輸出轉導。若將疊加之 M3 移除如圖 3-13 (c)，則於 M8 源極所看到的阻抗為 r_{o1} 及 r_{o6} ，從 M8 源極看進去之阻抗為 $\frac{g_{m8} + g_{mb8}}{g_{o8}} R_b$ ；少了 M3 則造成 M1 之輸出阻抗 r_{o1} 與 $\frac{g_{m8} + g_{mb8}}{g_{o8}} R_b \parallel r_{o6}$ 進行分流，如此則輸入電流 I_{in} 流入 M8 分支之電流分量將會降低，從而使得增益下降。因此 M3 有效的強迫電流於 M6 與 M8 間分流，而不是在 M6、M8 及 M1 間分流。

增加一級 M3，並不會明顯增加運算放大器的面積，且不需要額外的偏壓電壓；

在輸入共模振幅分析上見圖 3-13 (b)，大訊號分析時 $V_x \geq |V_{thp}|$ ，為保持輸入差動對

M1、M2 於飽和狀態，可得 $V_{in} \geq V_x$ 即 $V_{in} \geq |V_{thp}|$ ，因此共模輸入下限為 $|V_{thp}|$ 。

增加此一級共閘極組態對 M3、M4 的額外好處為，可略微降低運算放大器的輸入電容。輸入電容是由閘極-源極寄生電容及乘以米勒效應的閘極-汲極寄生電容的和所構成。由於 M3 為 M1 的汲極電流提供了一個低阻抗端，因此降低了米勒效應的米勒乘積因子。

差動模式頻率響應

此運算放大器的轉換方程式有兩個極點及一個零點，主極點由負載電容及運算放大器之輸出阻抗所構成：

$$p_1 = -\frac{1}{C_{load}R_o} \quad (3-17)$$

次極點則出現在 M8 源極的寄生電容 C_p ，由於 C_p 為 $C_{gd,m3}$ 、 $C_{gd,m6}$ 、及 $C_{gs,m8}$ 所組成，因此 C_p 甚大，形成第二極點。

$$p_2 = -\frac{1}{C_p} \left(g_{m8} + g_{mb8} + \frac{1}{r_{o6}} + \frac{1}{(g_{m3} + g_{mb3})r_{o3}r_{o1}} \right) \quad (3-18)$$

3.3.1 運算放大器之共模迴授電路

所有型態的全差動運算放大器都需要共模迴授電路，以維持在高增益區間操作時的共模準位穩定度。共模迴授電路主要包含共模偵測電路及迴授電路；藉由偵測後調整共模輸出電流來達到穩定共模輸出的目的。共模迴授電路之原理為將全差動輸出端的兩個輸出電壓的平均值 (V_{CMO}) 與外部提供的共模參考電壓 (V_{CM}) 進行比較，將比較後的差異轉換成共模輸出電流回授給主電路，以調整共模電壓。共模迴授方式主要分成三種：

- ✓ 切換電容式 (switch capacitor)
- ✓ 差異差動放大器式 (differential difference amplifier, DDA)
- ✓ 電阻平均式電路 (resistor-averaged circuit)

切換電容式共模迴授電路，需由時脈控制開關以切換電容，受制於時脈所引入之雜訊，一般而言切換電容式共模迴授電路適用於資料取樣電路 [12]。差異差動放大器式 (DDA)，使用四個相似電晶體做輸出電壓平均及與共模電壓比較 [12]。由於差動對

對於輸入範圍之限制，及非線性現象，DDA 型態之 CMFB 適用於較小的輸出電壓振幅；然而，亦可藉由降低 MOS 電晶體的 W/L 比及增加偏壓電流的方式，增加輸入範圍，及線性度。電阻平均式共模迴授電路，使用電阻平均取樣兩差動輸出共模電壓，將結果送至差動對，與參考共模差動電壓作比較。此方式可以由於差動對非線性所造成的共模電壓誤差；且不會對輸出電壓振幅範圍有所限制，因此允許更大的輸出電壓振幅而不會有明顯的共模電壓偏移現象。缺點是需要大電阻，不僅需要消耗大量晶片面積，且如同於輸出端併聯一電阻，造成輸出電阻下降，使運算放大器增益下降；此外對於電流模式系統改變輸出阻抗即影響關鍵的極、零點位置。

在設計本類運算放大器時，曾試用過兩種共模迴授電路如圖 3-14、3-15，於面積考量下，選用圖 3-14 DDA 式結構。

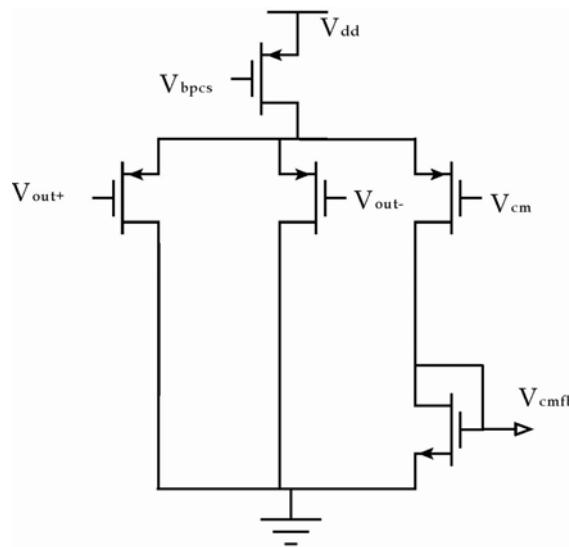


圖 3-14 差異差動放大器式共模迴授電路

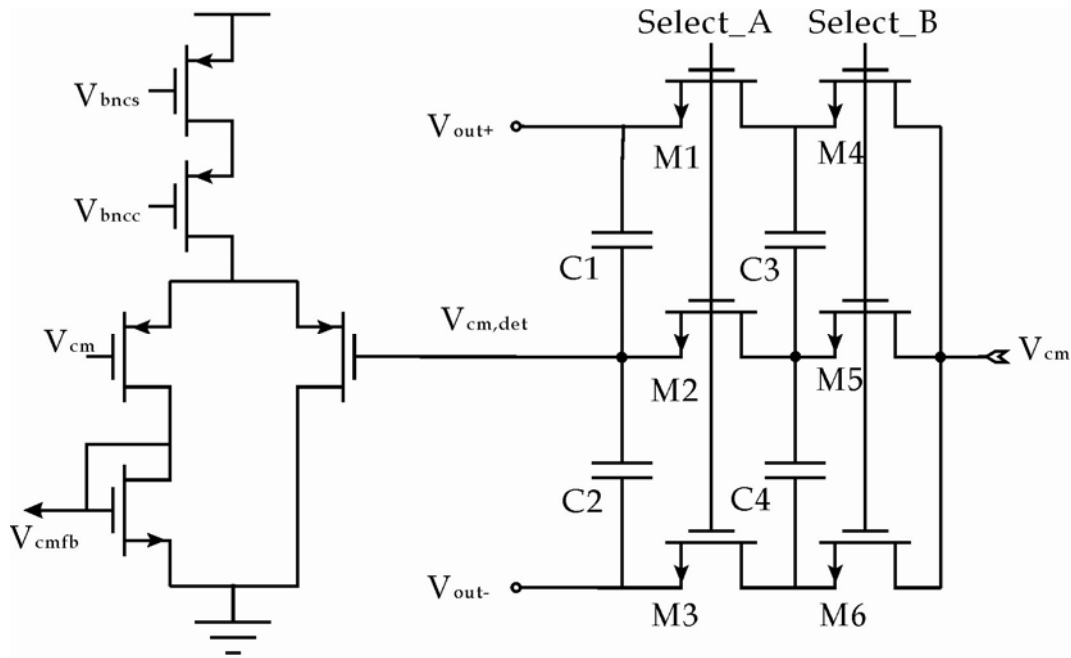


圖 3-15 切換電容式共模迴授電路

由圖 3-14 所示中可看到一簡單的 CMFB 電路，利用差動對對運算放大器輸出端取樣，再與參考共模輸入準位 V_{cm} 做比較，然後由下方的電晶體做為電流鏡迴授電流回運算放大器。

圖 3-15 則為電容式共模迴授電路，由 M1~6 及 C1~4 組成共模偵測器。Select_A 與 Select_B 為兩非重疊訊號，當 Select_A 為低電位(low)時， $V_{cm,det}$ 起始值為 V_{out+} 與 V_{out-} 中間之值，任何輸出共模變化將會由 $V_{cm,det}$ 所偵測出。M1~6 及 C1~4 的動作就像切換電容式電阻，因此 Select_A 及 Select_B 的切換速度必須夠快，以使得 $V_{cm,det}$ 可以正確的追蹤(track) V_{out+} 及 V_{out-} 的共模準位。

3.3.2 運算放大器非理想性分析

共模排斥(Common Mode Rejection Ratio, CMRR)

在 CDS 及 ADC 運作中，運算放大器的差動偏移電壓，可藉由將運算放大器置於單增益迴授時的重置/取樣狀態中消除；此時輸入的共模準位與輸出共模準位相等。然而在接下來的運作狀態中，由於電荷注入或輸出共模準位變化等因素造成共模飄移的現象。用於 CDS 電路之運算放大器在 sample1 及 sample2 狀態間存在一特別大之偏移輸入模式，CDS 之運作可參見 3.4.1 節中所述，由於有此運作狀態，因此運

算放大器的 CMRR 成為 CDS 效能的重要參數。元件的不匹配，使得共模輸入變化也會導致差動輸出變化，而產生誤差。

運算放大器輸入端簡化圖，如圖 3-16(a) 所示，圖 3-16(b) 為小信號模型其中輸入對採用簡化的 T 型小信號模型。此分析主要目的為探討全差動運算放大器有 g_m 及 g_o 不匹配情況時對於共模排斥比的影響。因此假設電流源為一理想電流源，輸出阻抗無限大。因此輸入對元件參數可表示如下：

$$g_{m1} = g_{m,i} - \frac{1}{2} \Delta g_{m,i} \quad (3-19)$$

$$g_{m2} = g_{m,i} + \frac{1}{2} \Delta g_{m,i} \quad (3-20)$$

$$g_{o1} = g_{o,i} - \frac{1}{2} \Delta g_{o,i} \quad (3-21)$$

$$g_{o2} = g_{o,i} + \frac{1}{2} \Delta g_{o,i} \quad (3-22)$$

其中 g_{mi} 為 M1 及 M2 的平均轉導增益值， g_{oi} 則為 M1 及 M2 汲極-源極平均等效阻抗 r_o 的倒數， $g_{oi}=1/r_o$ 。

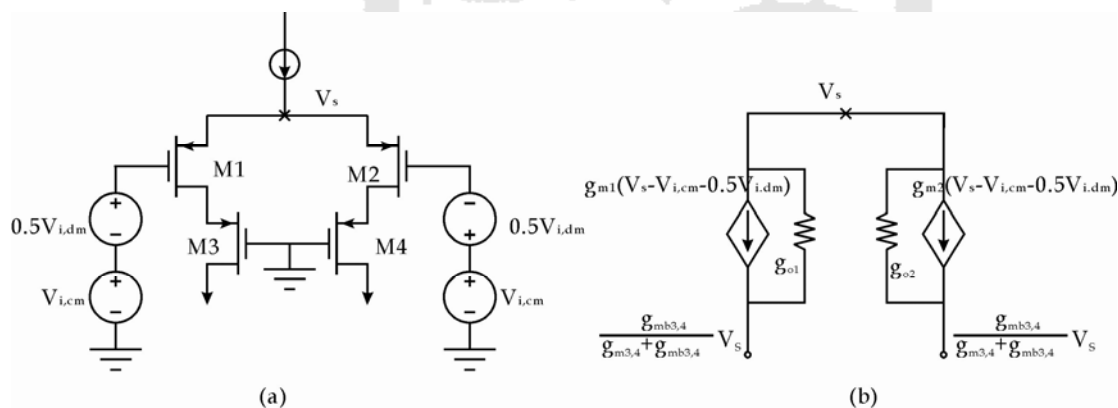


圖 3-16 (a) 運算放大器輸入對 (b) 運算放大器輸入對不匹配之小信號模型

如圖 3-16(a) 運算放大器於運作時，輸入端之訊號可視為由共模訊號 $V_{i,cm}$ 及差模訊號 $V_{i,dm}$ 所組合而成，為使運算放大器之輸出共模準位不因輸入訊號而改變，由圖 3-12 中知，M7、M8 的閘極輸入電壓即使輸入共模準位飄移，仍保持定值；因此為

使兩分支上之共模電流相同，M3 及 M4 的源極電壓亦應保持相同位準；然而此共模電壓 $V_{S3,4}$ 明顯會隨輸入共模位準 $V_{i,cm}$ 而改變。由於假設為理想電流源，因此 M3 及 M4 的汲極電流並不與輸入共模位準一起改變，但因 M3、M4 與 M1、M2 處在相同之 N-well，其基版電壓(bulk voltage)與輸入共模位準一起改變。見圖 3-16(b)令基版電位及源極電壓變化為 V_s 可得：

$$g_{m3,4}v_{s3,4} - g_{mb3,4}(v_{s3,4} - v_s) = 0$$

$$v_{s3,4} = v_{d1,2} = \frac{g_{mb3,4}}{g_{m3,4} + g_{mb3,4}} v_s \quad (3-23)$$

$V_{S3,4}$ 為 M3 及 M4 之源極電壓， $V_{d1,2}$ 為 M1 及 M2 之汲極電壓。

見圖 3-16(b)令流經 M1、M2 分支的電流相等，可得

$$g_{m1}(v_s - v_{i,cm} - \frac{1}{2}v_{i,dm}) + g_{o1}v_s(1 - \frac{g_{mb3,4}}{g_{m3,4} + g_{mb3,4}})$$

$$= g_{m2}(v_s - v_{i,cm} + \frac{1}{2}v_{i,dm}) + g_{o2}v_s(1 - \frac{g_{mb3,4}}{g_{m3,4} + g_{mb3,4}}) \quad (3-24)$$

共模排斥(the common-mode rejection ratio, CMRR)為差動輸出增益除以輸入共模增益，即 $CMRR = A_{DM}/A_{CM-DM}$ ，又 $A_{CM-DM} = \frac{\Delta v_{os,out}}{\Delta v_{CM,in}}$ 可得

$$CMRR = \frac{A_{DM}}{\frac{\Delta v_{os,out}}{\Delta v_{CM,in}}} = \frac{\Delta v_{CM,in}}{\Delta v_{os,out}} A_{DM}$$

我們可以看到 $\frac{\Delta v_{os,out}}{A_{DM}}$ 其實為輸入差動偏移電壓 $V_{i,dm}$ ，因此由(3-24)將式(3-19,20,21,22)

帶入可得共模排斥比為

$$CMRR = \frac{v_{i,cm}}{v_{i,dm}} = \frac{1 + \frac{g_{m,i}}{g_{o,i}}(1 + \frac{g_{mb3,4}}{g_{m3,4}})}{\frac{\Delta g_{o,i}}{g_{o,i}} + \frac{\Delta g_{m,i}}{g_{m,i}}} \quad (3-25)$$

3.3.3 任意雜訊(Random Noise)

熱雜訊及 1/f 雜訊可經由計算等效成運算放大器輸入端之輸入雜訊。由於本顆晶片為全差動式架構，大部分的 1/f 雜訊及輸入偏移電壓會被消除，因此熱雜訊可被視為主要之雜訊來源。

本類運算放大器之主要熱雜訊來源分別為輸入對的 M1、M2，及做為電流源之 M5、M6、M11、M12，在 MOSFET 中的熱雜訊可視為一汲極至源極的分支電流模型表示[1][3]

$$\overline{i_d^2} = 4kT\gamma g_m \Delta f \quad (3-26)$$

0.18 製程中 γ 為一隨 V_{GS} 變動係數[3]， $1.4 \geq \gamma \geq 0.8$ 取 $\gamma=1$ ，由於電流源電晶體及輸入電晶體皆由輸出電容及阻抗取樣，平方雜訊電流直接相加，因此 M1 分支之電流雜訊可表示為

$$\overline{i_n^2} = 4kT(g_{m1} + g_{m6} + g_{m12})\Delta f \quad (3-27)$$

$\overline{i_n^2}$ 為總雜訊電流，考慮差動電路雙端，則此熱雜訊相當於輸入端之總輸入電壓雜訊頻譜密度為

$$S_o = 8 \frac{kT}{g_{m1}} (g_{m1} + g_{m6} + g_{m12}) \quad (3-28)$$

3.4 相關性雙取樣電路 (Correlated Double Sampling, CDS)

相關性雙取樣電路常應用在許多類比電路中，以降低電路的偏移(offsets)及重置雜訊(reset noise)。CDS 的主要運作特性為對前一級之信號輸出做二次取樣，第一次取樣輸出訊號，第二次則取樣重置信號，藉由相減電路的運算，使得前一級電路因 W/L 比不匹配而造成之非線性現象所導致的偏移及重置雜訊將被消除；因此 CDS 常被廣泛應用於高線性度放大器的輸入級，或是高解析度的 delta-sigma 轉換器中。

相關性雙取樣電路使用於 CMOS 影像感測器中，目的是用來降低固定圖像雜訊 (Fixed Pattern Noise, FPN)，及重置雜訊。

3.4.1 電路與運作原理

圖 3-17 所示為所採用之相關性雙取樣電路圖 [2]，其運作時序圖則示於圖 3-18，其中 Trigger 訊號為由晶片外部輸入之觸發訊號，Reset 則為像素重置訊號。此 CDS 電路藉由將像素曝光累積週期(integration period)末期的值與像素重置(reset)值相減以降低像素的固定圖像雜訊，同時將原本像素的單端輸出值轉換為全差動之輸出電壓，以做為下一級遞迴式類比數位轉換器之輸入訊號。

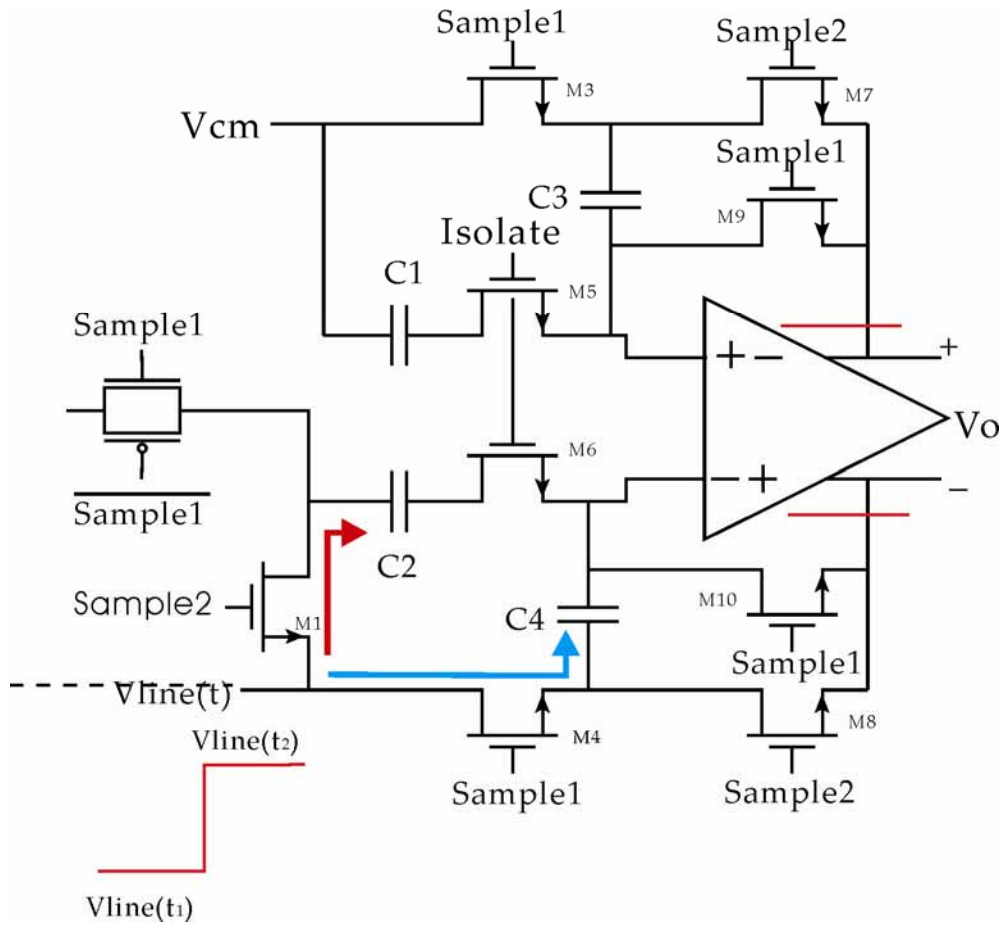


圖 3-17 相關性雙取樣電路圖，取樣像素輸出值狀態：經由 M4 將值儲存於 C4，
取樣重置訊號：經由 M1 取樣值於 C2

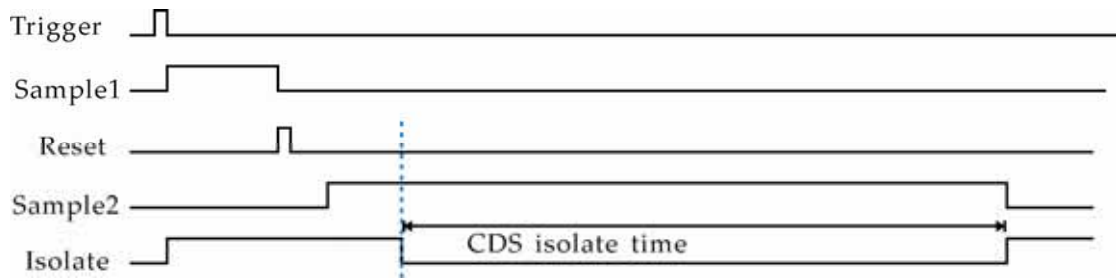


圖 3-18 CDS 時序圖

像素在經過一段時間的曝光後，以一個外加觸發訊號(Trigger)來做為啟動 CDS

之運作訊號；當觸發訊號結束後，Isolate 及 Sample 1 便開啟(ON)，如 3.2.1 節所述，Isolate 訊號同時也是做為像素列選擇(Row select)之訊號，因此像素的資料便開始被讀取；圖 3-19 為 CDS 的三種操作模式。此時 CDS 處於第一個操作模式：取樣像素曝光值訊號 $V_{line}(t1)$ [圖 3-19 (a)]；當第一個操作狀態的像素輸出電壓 $V_{line}(t1)$ 及運算放大器輸出 V_o 已處於所需精確度之穩態下，即 V_o 的差動輸出值需在小於一個 LSB 值時趨近，則可視為 V_o 已處於所需精確度之穩態下。CDS 結束取樣(sample1 關閉)，像素進行重置；像素重置結束後，CDS 進入第二個操作模式：取樣像素重置訊號 $V_{line}(t2)$ [圖 3-19 (b)]；其中 sample1 時脈訊號下降緣與 sample2 時脈訊號上升緣間並沒有特別的延遲需求，但必須確保此兩時脈訊號是非重疊(non-overlap)的；當第二個操作狀態的像素輸出重置電壓 $V_{line}(t2)$ 及運算放大器輸出 V_o 已處於所需精確度之穩態下，Isolate 時脈訊號關閉(OFF)，此時 CDS 進入第三個操作狀態 [圖 3-19 (c)]，此狀態的 CDS 將保持住前述兩步驟之運算輸出結果 V_o ，像素的任何輸出信號改變將不會再影響 CDS 的值。

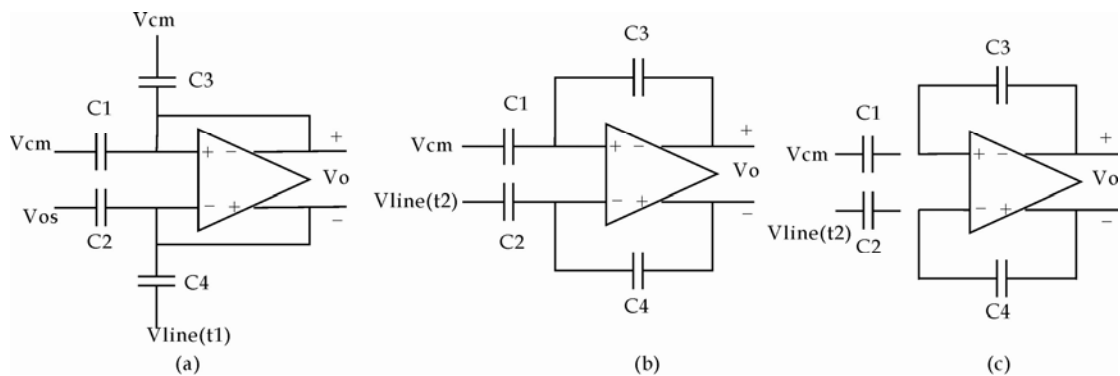


圖 3-19 相關性雙取樣電路之三種操作模式

3.4.2 理想狀態之操作模式分析

理想狀態為假設 $C_1 \sim C_4$ 之電容值皆相同，運算放大器之增益為無限大，且無輸入偏移電壓，切換開關均為理想之狀況下，依此分析。

由圖 3-19 (a) CDS 於此時處於重置狀態，全差動運算放大器為單增益緩衝器模

式，同時 C4 電容取樣並儲存像素曝光輸出值；因運算放大器共模迴授故

$$V_{o(+)} = V_{o(-)} = V_{in(+)} = V_{in(-)} = V_{cm}$$

此時取樣電容上所儲存之電荷分別為

$$Q_{C_2} = C_2(V_{os} - V_{cm})$$

$$Q_{C_4} = C_4(V_{line}(t_1) - V_{cm})$$

$$Q_{C_1} = Q_{C_3} = 0$$

其中 V_{os} 為晶片外加之偏移電壓訊號準位。圖 3-19 (b) 取樣與運算狀態，此狀態下 CDS 取樣像素重置訊號，並與前次取樣值進行運算。假設運算放大器輸入端無任何漏電流，則流經 C2 之電流與流經 C4 之電流相等，流經 C1 與 C3 之電流相等，因此儲存於 C2 上之電荷變化量等於 C4 之電荷變化量，可得：

$$Q_{C_1} = C_1(V_{cm} - V_x) = \Delta Q_{C_1}$$

$$Q_{C_3} = C_3(V_{o(+)} - V_x) = \Delta Q_{C_3}$$

$$Q_{C_4} = C_4(V_{o(-)} - V_x) \Rightarrow \Delta Q_{C_4} = C_4(V_{o(-)} - V_x - V_{line}(t_1) + V_{cm})$$

$$Q_{C_2} = C_2(V_{line}(t_2) - V_x) \Rightarrow \Delta Q_{C_2} = C_2(V_{line}(t_2) - V_x - V_{os} + V_{cm})$$

電荷量不變可得

$$\Delta Q_{C_4} = -\Delta Q_{C_2} \qquad \Delta Q_{C_3} = -\Delta Q_{C_1}$$

經由推導可得，理想狀態下

$$V_o = V_{o+} - V_{o-} = (V_{cm} - V_{os}) + (V_{line}(t_2) - V_{line}(t_1)) \quad (3-29)$$

由式 3-29 可看出此 CDS 之差動輸出電壓有一直流平移項 $(V_{cm} - V_{os})$ ，其中 V_{cm} 為運算放大器之共模參考準位， V_{os} 則為外加電壓，因此可藉由調整此平移項 $(V_{cm} - V_{os})$ ，來達成做為下一級遞迴式類比數位轉換器之輸入訊號，因此 CDS 之總輸出電壓範圍介於 -1V 至 +1V 間。

3.4.3 CDS 之非理想特性

電容值不匹配

理想上 $C_1 \sim C_4$ 有相同的電容值 C ，然而由於佈局及製程上的關係，必然於實際上會造成些許的偏差值；而電容之電容值不匹配則會產生增益及偏移誤差，可藉由計算輸出電壓 V_o 來獲得增益及偏移誤差項。此時的輸出電壓已不會再是如式(3-29)所示，而是含有複雜的電容做為函數。

由 3.4.2 節的分析可知，輸出電壓值是由節點電荷於 sample1 及 sample2 狀態時相等所計算出，同樣：

$$\begin{aligned} Q_{in(+)} &= (v' - v_{cm})(C_1 + C_3) + v' C_{p(+)} \\ &= (v'' - v_{o(-)})C_3 + (v'' - v_{cm})C_1 + v'' C_{p(+)} \end{aligned}$$

$$\begin{aligned} Q_{in(-)} &= (v' - v_{os})C_2 + (v' - v_{line}(t_1))C_4 + v' C_{p(-)} \\ &= (v'' - v_{o(+)}C_4 + (v'' - v_{line}(t_2))C_2 + v'' C_{p(-)} \end{aligned}$$

如圖 3-20 所示

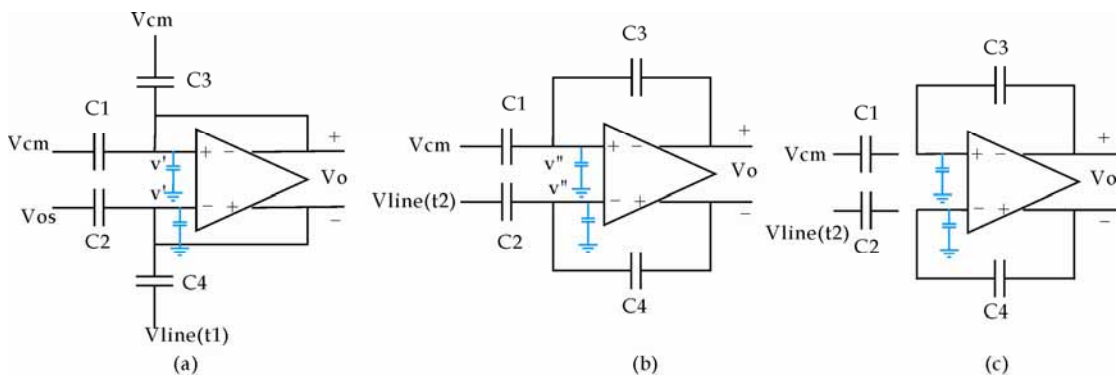


圖 3-20 考慮非理想特性之 CDS 操作狀態圖

其中 $C_{p(+)}$ 及 $C_{p(-)}$ 分別為運算放大器之正輸入端及負輸入端之寄生電容， v' 及 v'' 分別為 sample1 和 sampel2 控制訊號開啟時之 op-amp 輸入端電壓。上述恆等方程式經由運算後可得考慮電容不匹配情況時輸出電壓為：

$$V_o = \frac{2(C1+C3+C_{p+})}{C3(C2+C4+C_{p-})+C4(C1+C3+C_{p+})} (V_{line}(t1) \cdot C4 - V_{line}(t2) \cdot C2 + V_{os} \cdot C2 - V_{cm} \cdot C4) \quad (3-30)$$

由(3-30)分別對變數 C1 , C2 , C3 ,C4 ,Cp(+) , Cp(-)做偏微分即可得輸出電壓分別對於這些電容變數的不匹配敏感度(sensitivity)

$$\frac{\Delta V_o}{\Delta C1/C1} = \frac{C}{2(2C+C_p)} V_{O,nom} \quad (3-31)$$

$$\frac{\Delta V_o}{\Delta C2/C2} = (V_{OS} - V_{line}(t_2)) - \frac{C}{2(2C+C_p)} V_{O,nom} \quad (3-32)$$

$$\frac{\Delta V_o}{\Delta C3/C3} = -\frac{C+C_p}{2(2C+C_p)} V_{O,nom} \quad (3-33)$$

$$\frac{\Delta V_o}{\Delta C4/C4} = (V_{line}(t_2) - V_{OS}) + \frac{C+C_p}{2(2C+C_p)} V_{O,nom} \quad (3-34)$$

$$\frac{\Delta V_o}{\Delta C_{p(+)} / C_{p(+)}} = \frac{C+C_p}{2(2C+C_p)} V_{O,nom} \quad (3-35)$$

$$\frac{\Delta V_o}{\Delta C_{p(-)} / C_{p(-)}} = -\frac{C+C_p}{2(2C+C_p)} V_{O,nom} \quad (3-36)$$

其中 $V_{o,nom}$ 為理想狀況時之輸出電壓[式 (3-29)]。由上面式子可以看出每個取樣電容的不匹配對於輸出電壓的影響皆不同。

輸入偏移電壓及有限運算放大器增益

在理想情況，若運算放大器之增益為無限大時，相關輸入偏移電壓會完全被消除，然而實際運算放大器增益是有限的，其實際輸出電壓同樣可藉由前述電荷於節點不累積的方程式計算出。

Sample1 控制訊號開啟(ON)狀態

$$\begin{aligned} Q_{in(+)} &= 2(v_{o(-)} - v_{cm})C + v_{o(-)}C_p \\ &= \frac{A}{1+A} v_{offset} C + (v_{cm} + \frac{1}{2} \frac{A}{1+A} v_{os}) C_p \end{aligned} \quad (3-37)$$

$$Q_{in(-)} = (2v_{o(+)} - v_{os} - v_{line}(t_1))C + v_{o(+)}C_p$$

$$= (2v_{cm} - \frac{A}{1+A}v_{offset} - v_{os} - v_{line}(t_1))C + (v_{cm} - \frac{1}{2} \frac{A}{1+A}v_{os})C_p \quad (3-38)$$

Sample2 控制訊號開啟(ON)狀態

$$Q_{in(+)} = (2v_{in(+)} - v_{o(-)} - v_{cm})C + v_{in(+)}C_p \quad (3-39)$$

$$Q_{in(-)} = (2v_{in(-)} - v_{o(+)} - v_{line}(t_2))C + v_{in(-)}C_p \quad (3-40)$$

令式(3-37)與(3-39)相等，式(3-38)與(3-40)相等

$$v_o = \frac{[-\frac{2}{1+A}v_{offset} + v_{os} - v_{cm} + v_{line}(t_1) - v_{line}(t_2)]C - \frac{1}{1+A}v_{os}C_p}{(1 + \frac{2}{A})C + \frac{1}{A}C_p}$$

$$= \frac{C}{(1 + \frac{2}{A})C + \frac{C_p}{A}}v_{o,norm} - \frac{2C + v_{os}C_p}{(1+A)[(1 + \frac{2}{A})C + \frac{C_p}{A}]} \quad (3-41)$$

有限運算放大器增益及輸入偏移電壓，將同時產生 CDS 增益及偏移誤差。

隨機雜訊(Random noise)

由於相關性雙取樣電路移除了大部分具有共模特性之 1/f 雜訊，因此僅需考慮熱雜訊；由 3.4.1 節內容敘述可知 CDS 運作於三種模態，因此雜訊亦分成三種操作模式分析。如圖 3-21 所示。

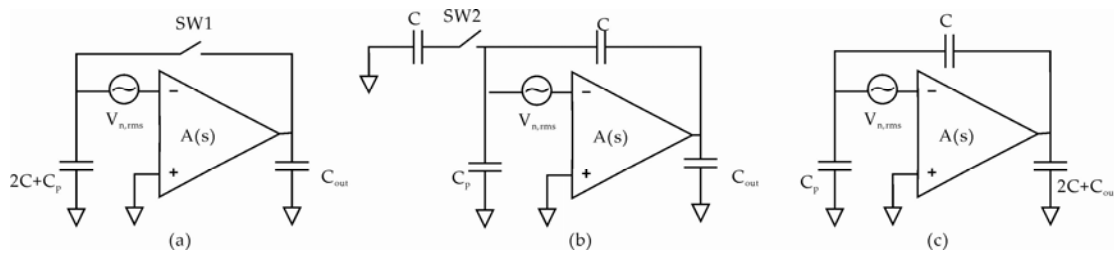


圖 3-21 CDS 三種操作模式之雜訊分析等效模型

當 sample1 開關開啟(ON)時，開關雜訊及運算放大器等效輸入參考雜訊被電容取樣，雜訊模型如圖 3-21 (a)所示。其中假設圖 3-17 中之電容值皆相等，即 $C_1=C_2=C_3=C_4=C$ 。當 isolate 開關開啟時，開關雜訊及運算放大器等效輸入參考雜訊

如圖 3-21 (b)所示，被電容取樣。當 ADC 取樣 CDS 之輸出時，由運算放大器直接輸出之雜訊如圖 3-21 (c)。

於圖 3-21 (a)中所示電容所取樣的為所有開關之總雜訊電壓 $v_{n,sw1}$ 及運算放大器輸入參考雜訊，此時運算放大器，及負載電容形成一含有脈衝響應之線性系統，由 Parseval 定理可知輸出端方均根雜訊能量為：

$$\begin{aligned}
 E[v_{o,n}^2(t)] &= \int_{-\infty}^{\infty} S_{v_{i,n}}(f) |H(f)|^2 df \\
 &= S_0 \int_{-\infty}^{\infty} |H(f)|^2 df \\
 &= S_0 \int_{-\frac{t_{sample}}{2}}^{\frac{t_{sample}}{2}} h^2(t) dt \\
 &= S_0 \left(\frac{g_m}{C_{load}}\right)^2 t_{sample}
 \end{aligned} \tag{3-42}$$

假設輸入雜訊頻譜密度 $S_{v_{i,n}}(f)$ 為式(3-28)所求得之運算放大器總輸入頻譜雜訊 S_0 ， g_m 為運算放大器輸入對之轉導增益， t_{sample} 為 CDS 之取樣時間即 sample1 開啟時之時間。由於一個單極點系統之雜訊頻寬為 $\pi/2$ 乘上極點頻率[1]即

$$\overline{V_{n,out,tot}^2} = V_0^2 \cdot \frac{\pi}{2} \times w_{p1} = \int_0^{\infty} \overline{V_{n,out}^2} df = \frac{\pi}{2} \times V_0^2 \times UGBW(Hz) \tag{3-43}$$

其中 UGBW 為運算放大器之單增益頻寬；由 3.3 節中 (3-16)、(3-17)式中，運算放大器直流增益與主極點乘積可得，此時運算放大器之單增益頻寬為：

$$\begin{aligned}
 UGBW(Hz) &= \frac{1}{2\pi} \frac{g_{m,i}}{C_{load}} \\
 &= \frac{1}{2\pi} \frac{g_{m,i}}{C_{out} + 2C + C_p}
 \end{aligned} \tag{3-44}$$

因此計算 CDS 之等效輸入端運算放大器熱雜訊 $v_{n,1,oa}^2$ 時可得此一方程式

$$v_{n,1,oa}^2 \cdot \left(\frac{2C + C_p}{2C}\right)^2 = S_0 \cdot UGBW(Hz) \frac{\pi}{2}$$

將(3-44)帶入可得

$$v_{n,1,oa}^2 = \frac{1}{4} S_0 \frac{g_{m2}}{C_{out} + 2C + C_p} \left(\frac{2C}{2C + C_p}\right)^2 \tag{3-45}$$

而總方均根開關雜訊為

$$v_{n,sw,tot}^2 = 2 \cdot \frac{kT}{C_{out} \parallel (2C + C_p)} \quad (3-46)$$

乘 2 之係數為 CDS 切換至此狀態需有兩個開關執行切換動作。將此總方均根開關雜訊推回等同於運算放大器反相輸入端之雜訊分量為

$$v_{n,sw,n-}^2 = v_{n,sw,tot}^2 \left(\frac{C_{out}}{(2C + C_p) \parallel C_{out}} \right)^2 = v_{n,sw,tot}^2 \left(\frac{C_{out}}{2C + C_p + C_{out}} \right)^2 \quad (3-47)$$

見圖 3-22 從反相輸入端之雜訊又可推回得 V_{in} 處之等效切換開關總輸入雜訊為

$$v_{n,sw,in}^2 = v_{n,sw,n-}^2 \left(\frac{2C + C_p}{2C} \right)^2 \quad (3-48)$$

綜合(3-46)、(3-47)、(3-48)可得

$$\begin{aligned} v_{n,sw,in}^2 &= 2 \cdot \frac{kT}{C_{out} \parallel (2C + C_p)} \left(\frac{C_{out}}{2C + C_p + C_{out}} \right)^2 \left(\frac{2C + C_p}{2C} \right)^2 \\ &= \frac{kT}{C} \frac{2C + C_p}{2C} \frac{C_{out}}{C_{out} + 2C + C_p} \end{aligned} \quad (3-49)$$

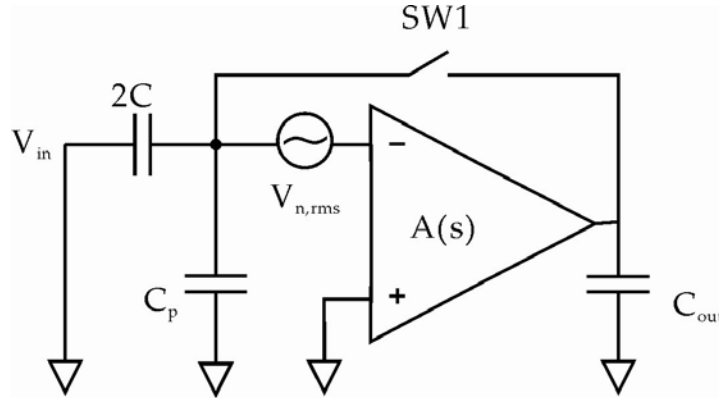


圖 3-22 操作於取樣模式之雜訊分析模型

因此圖 3-21 (a)中之 CDS 取樣雜訊為總開關雜訊 $V_{n,sw1}$ 與運算放大器輸入參考雜訊 $V_{n,1,oa}$ 之和，由於切換開關雜訊頻寬遠大於運算放大器之頻寬，因此可忽略運算放大器增益對於切換開關之影響；由式(3-45)與(3-49)可得

$$v_{n,in,1}^2 = \frac{2kT}{C_{out} \parallel (2C + C_p)} \left(\frac{C_{out}}{2C + C_p + C_{out}} \right)^2 \left(\frac{2C + C_p}{C} \right)^2 + \frac{1}{4} S_0 \frac{g_{m2}}{C_{out} + 2C + C_p} \left(\frac{2C + C_p}{C} \right)^2$$

(3-50)

以相同之分析方式，當 isolate 訊號開啟時，CDS 的雜訊模型如圖 3-21(b)；此為一電壓取樣-電壓迴授之迴授電路[1]，而 CDS 操作在此模式下所需切換之開關僅一 isolate 開關，故總切換開關雜訊已無需乘 2 之係數。因此 CDS 輸入端電容雜訊電壓的之等效方均根雜訊電壓為

$$v_{n,in,2}^2 = \frac{kT}{C \parallel (C_p + C \parallel C_{out})} \left(\frac{C_p + C \parallel C_{out}}{C + C_p + C \parallel C_{out}} \right)^2 + \frac{1}{4} S_0 \frac{g_{m2}}{C_{out} + C \parallel (C + C_p)} \left(\frac{C}{2C + C_p} \right) \quad (3-51)$$

CDS 第三個狀態為保持狀態，此時下一級的 ADC 直接取樣到運算放大器之雜訊，此雜訊模型如圖 3-21 (c)所示。由於 CDS 此時為單增益，因此輸入及輸出參考雜訊相同，則方均根輸入雜訊為：

$$v_{n,in,3}^2 = \frac{1}{4} S_0 \frac{g_{m2}}{2C + C_{out} + C \parallel C_p} \left(\frac{C + C_p}{C} \right) \quad (3-52)$$

由(3-50)、(3-51)、(3-52)總和可得 CDS 輸入參考雜訊為

$$v_{n,in,rms} = \sqrt{v_{n,in,1}^2 + v_{n,in,2}^2 + v_{n,in,3}^2} \quad (3-53)$$

藉由帶入各電容值即可得所需之輸入參考雜訊。

3.4.4 CDS 運算放大器模擬結果

取樣電路中運算放大器規格的设计是最為關鍵的，需設計符合電路要求對於直流增益 (DC gain)、單增益頻寬(unity-gain frequency)、迴轉率(Slew-rate)及輸出振幅之規格。此外，高速及高精確度的要求常相互抵觸。

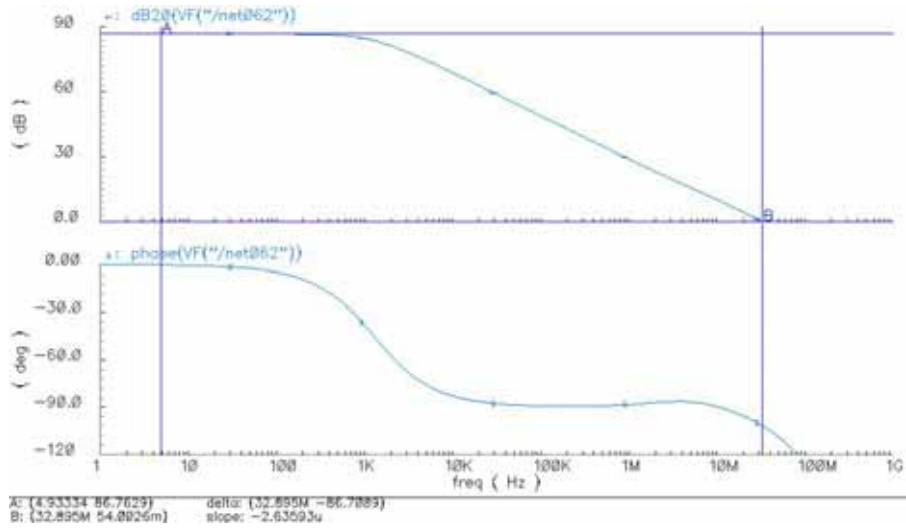


圖 3-23 運算放大器波德圖

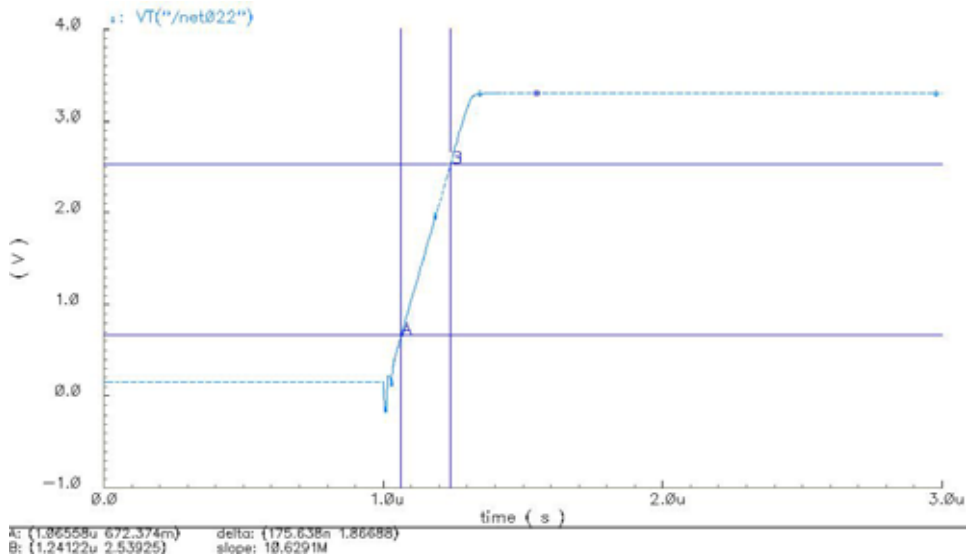


圖 3-24 上升迴轉率圖

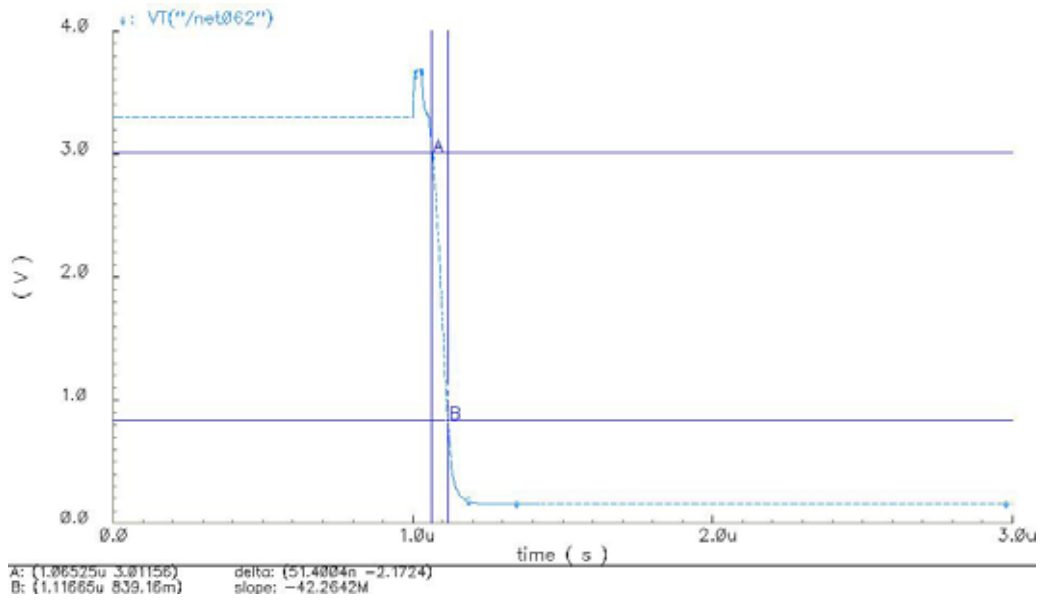


圖 3-25 下降迴轉率

差動輸出直流增益值	86.76 dB
單位增益頻寬	32.89 MHz
相位間隙(Phase Margin)	82°
迴轉率(Slew Rate)	(上升) 6.77V/us (下降) 34.97 V/us
負載電容	500 fF

表 3-1 運算放大器規格

假設 CDS 之取樣時間為 2 us，一般而言，好的設計法則需要 $1/4 \times 2\text{us} = 500\text{ns}$ 做為運算放大器迴轉時間， $3/4 \times 2\text{us} = 1.5\text{us}$ 做為 CDS 取樣值之穩定時間；本 CDS 之輸出振幅為 0.5 V，因此無論上升及下降時間此運算放大器接能符合 CDS 之設計需求。

由式 3-41 可推導出欲符合 12 bit 之規格的運算放大器的增益約為 85 dB，因此此運算放大器符合此一規格需求。

3.4.5 CDS 模擬結果

CDS 之設計目的，為經由二次取樣，來消除電晶體 W/L 不匹配現象，以及 $1/f$

雜訊，因此，對於像素而言，做為輸出放大的源極耦隨器、N-井光二極體電容(N-well Photodiode)及電荷感應擴散電容(charge sense diffusion)都是可能的主要不匹配來源；而對於重置電晶體，則由於第一次取樣時，並無取樣到其資訊，故 CDS 並無法消除其不匹配和所產生的雜訊效應。因此 CDS 之設計良莠可藉由針對源極耦隨器作蒙地卡羅分析(Monte Carlo Analysis)來看出。

像素源極耦隨器不匹配分析

圖 3-26 為 CDS 針對像素之源極耦隨器 W 做 10%不匹配測試，橫軸為取樣次數，做 60 次任意於 10%不匹配偏移量值中取樣；縱軸為輸出電壓值。

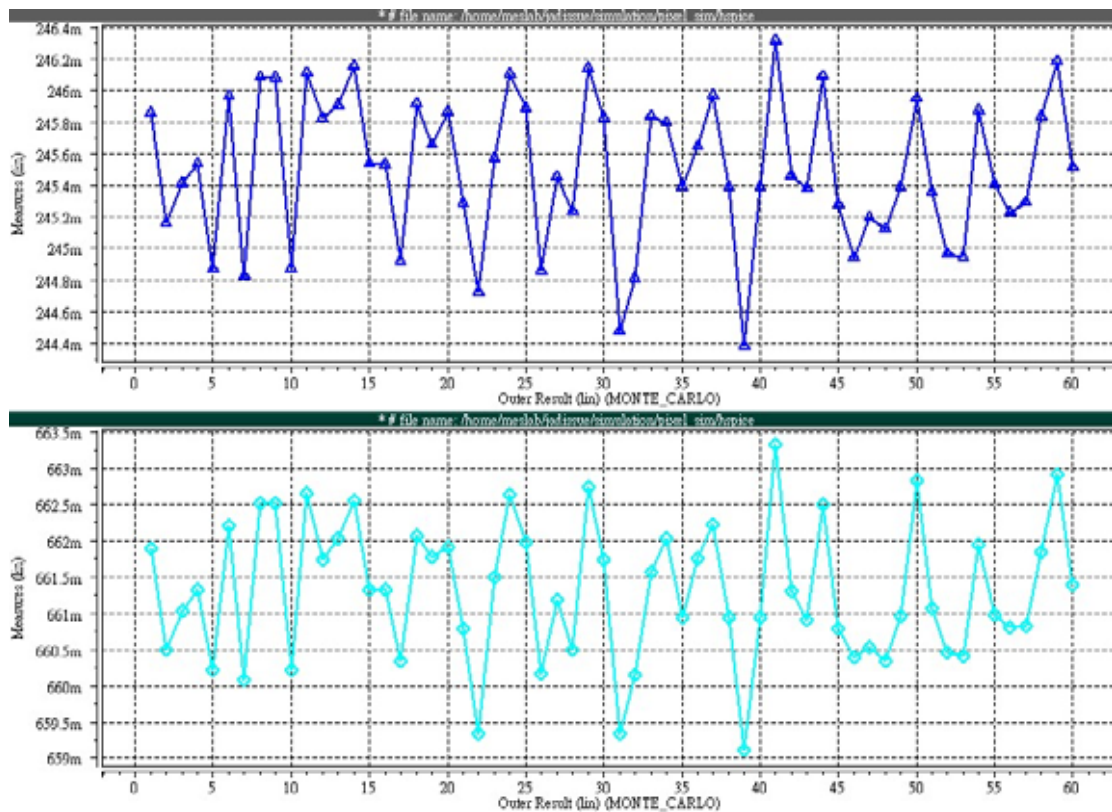


圖 3-26 CDS 針對像素之源極耦隨器做 10%不匹配測試，上圖為像素經 CDS 雙取樣後輸出，下圖為像素直接輸出

圖 3-27 為根據分析而得的資料，求得與平均值之差，實線為經由 CDS 取樣後輸出，虛線為像素輸出；由此圖可明顯看出，此 CDS 對於消除由像素之源極耦隨器

所造成的不匹配效應，具有明顯之效果。當不匹配偏移值過大時，此 CDS 可以修正回其應有之輸出值；反之，CDS 則可忠實傳遞輸出其應有之值。

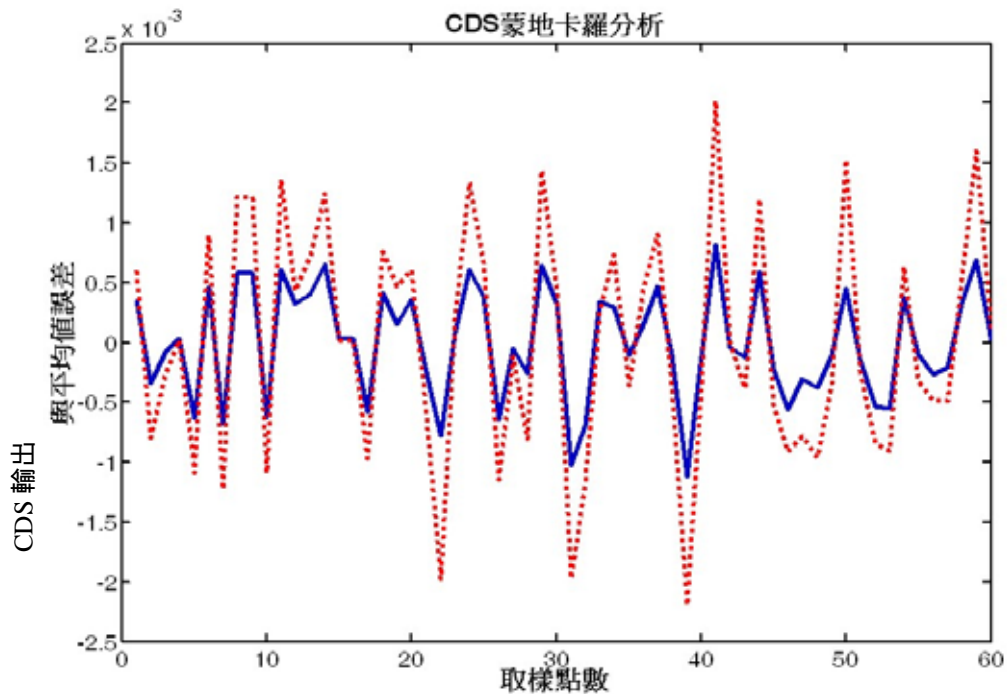


圖 3-27 CDS 蒙地卡羅分析圖

3.4.6 CDS 佈局圖

在佈局上，由於面積的限制，所有電路部分皆僅包一層 Guard Ring，並將控制開關之時脈訊號隔離包圍於取樣電容中，使其遠離運算放大器電路，類比電路部分盡可能以對稱方式實現。本 CDS 設計上為以期能適用於 $4\mu\text{m} \times 4\mu\text{m}$ 之像素單元，CDS 佈局於高度上為 $4\mu\text{m}$ 為限制。

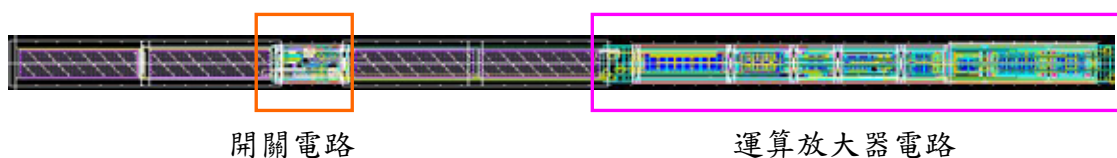


圖 3-28 相關性雙取樣電路佈局圖

3.5 遞迴式類比數位轉換器 (Cyclic Analog-to-Digital Converter)

遞迴式或稱運算式(Algorithmic)類比數位轉換器相對於其他型態的類比數位轉換器(ADC)而言其優勢在於，可以在相對小的面積下實做出高解析度(resolution)的ADC。設計高精確度的遞迴式 ADC 主要的挑戰在於，(a)對於電容的匹配度誤差必須不靈敏(Insensitive)，(b)高精確度及線性的兩倍運算。

圖 3-29(a) 為本次實作所採用的遞迴式類比數位轉換器的簡化圖，圖 3-29(b)則是其方塊流程圖。由圖中可看出，本類 ADC 設計於架構上主要分成兩級；轉換過程，從 ADC 讀取前一級的輸出訊號 A_{in} ， A_{in} 為一在 $-1V$ 至 $+1V$ 區間之全差動訊號。輸入 A_{in} 與 0 比較後產生第一個輸出位元 MSB b_0 ；當輸入訊號為正時 $b_0=1$ ，輸入訊號為負時 $b_0=0$ 。隨後將儲存於取樣電容中的輸入值經由電路運算，使輸入值成為 $2 \times A_{in}$ ，若第一次電路對輸入訊號判斷為 $b_0=1$ 時，則加上由外部提供之參考電壓 $-V_{ref}$ ，若判斷為 $b_0=0$ ，則加上參考電壓 V_{ref} 。同樣的在第二級中，從第一級取得運算後的剩餘值，繼續執行與第一級相同的判斷及運算，產生 b_1 後，第一級接受來自第二級運算後的剩餘值，執行運算獲得 b_2 ，依此類推。

在上述之遞迴式 ADC 流程敘述中可知，藉由串接相同運算功能之電路，可以達成如同管線式類比數位轉換器(pipeline ADC)之運作模式，因此只要串接越多級，就能達成速度提升之目的。然而卻會造成面積上的增加，及時脈控制上的困難；若僅以一級運算電路進行不斷循環，至所需位元輸出為止，則完成一個資料的解析所耗費的時間便拉長，意即取樣時間增長，則欲達成類比數位轉換所需的速度規格，勢必須設計頻寬規格相較於多級組態更佳之運算放大器，及更大 W/L 比的切換開關，以提升電容取樣速度，如此不僅無法有效降低面積，更引發其他諸如取樣精確度、電荷注入..等問題。因此在此晶片架構中，兩級管線式設計，是最為平衡之設計。

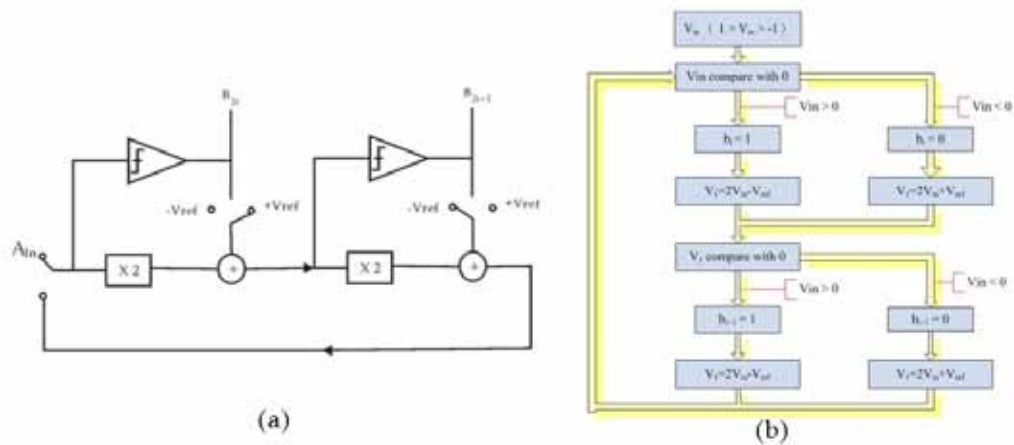


圖 3-29 (a)遞迴式類比數位轉換器簡化圖 (b)ADC 方塊流程圖

圖 3-30 為此次所採用 ADC 其中一級之電路圖，圖 3-31 為所採用的比較器。此遞迴式 ADC 使用四個非重疊(nonoverlap)時脈來控制運算，時脈 c_0 則是取樣時脈；每一級由四個電容及一些切換開關組成差動取樣電路。時脈中標示有 d 的則代表時脈延遲一個單位時間。如 c_1d 即為時脈 c_1 延遲一個單位時間，同樣的 c_1dd 為 c_1d 延遲一個單位時間。採用延遲時脈主要是做為降低 MOS 開關電荷注入效應之考量；圖 3-30 中運算放大器輸出端串接之三顆電晶體則是利用延遲，來造成一瞬間的短路，避免運算放大器於此相位時因前一個狀態所造成之過度飽和現象，而影響之後的運作效能。

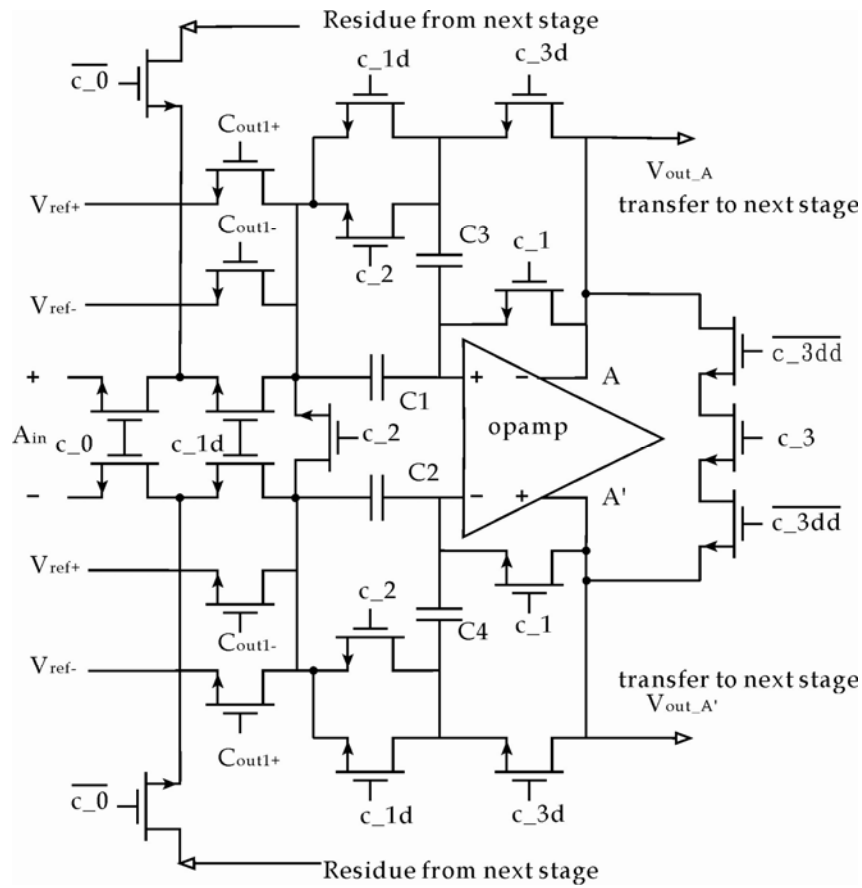


圖 3-30 單級遞迴式類比數位轉換器主電路

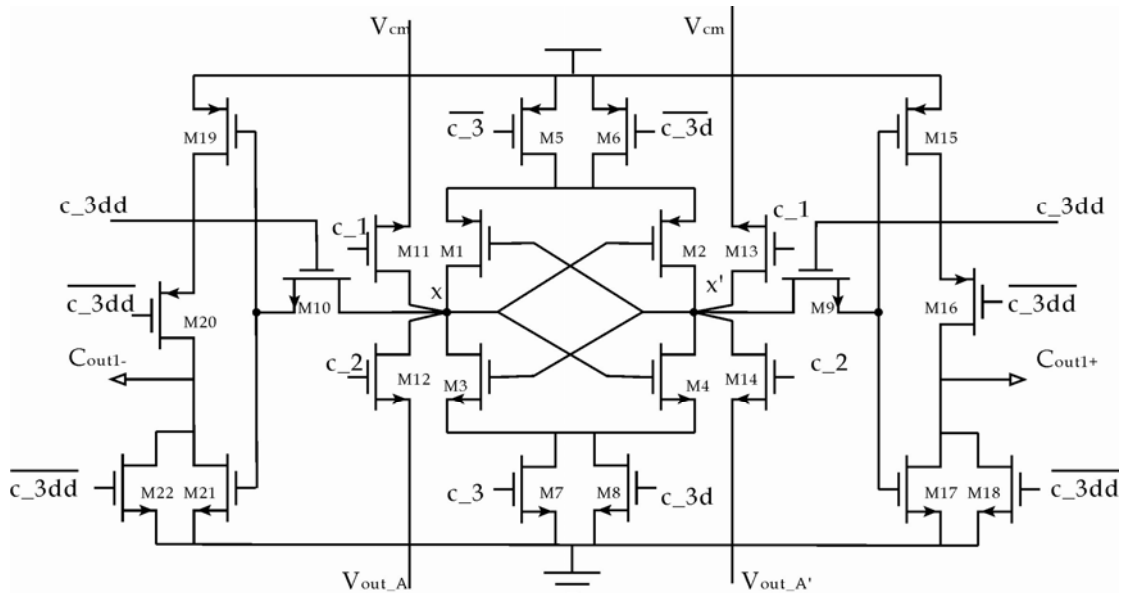


圖 3-31 遞迴式類比數位轉換器比較器電路圖

圖 3-31 為此類比數位轉換器所採用之比較器，M1~4 為一對背對背相接反相器之拴鎖電路，負責將 x 與 x' 的電壓迅速拉開，M5~M8 則使此兩電位更接近電源電壓及接地電壓。此比較器運作方式為：當 C_1 為高電位時，M11、M13 導通，將 V_{cm} 引入相當於重置 x 與 x' 的電壓。當 C_2 為高電位時，M12、M14 開通，將 V_{out_A} 、 $V_{out_A'}$ 讀取至 x 與 x' ，並將直儲存於 x 與 x' 的寄生電容中。當 C_3 時脈為高電位時，M5、M7 的導通，此時拴鎖電路迅速比較 V_{out_A} 、 $V_{out_A'}$ 之電壓，並將 x 與 x' 電壓拉開；經一單位延遲時間 M6、M8 導通，使 x 與 x' 電壓足以拉開至電源電壓以及接地電壓準位。再經一單位延遲時間，及 C_{3dd} 時脈為 ON，M10、M9 導通，將 x 與 x' 值讀取出，此時後面的 M15~18 以及 M19~21 可分別視為一反相器，使得輸出訊號成為真正的數位訊號 C_{out1+} 與 C_{out1-} 。在 C_3 時脈訊號為高電位之前 M22 與 M18 為開啟狀態，使得 C_{out1+} 與 C_{out1-} 平時輸出均為低電位輸出， C_3 ON 之後 M22 與 M18 則為關閉。

3.5.1 遞迴式類比數位轉換器之狀態分析

圖 3-32 為遞迴式 ADC 操作在四個相位狀態的簡化圖，圖 3-33 為控制 ADC 運作的時序圖。類比數位轉換器之轉換程序由 c_0 及 c_1 時脈訊號為高準位訊號開始，於初始相位時，比較器的兩個輸出 C_{out1+} 及 C_{out1-} 皆為 0，運算放大器處於單增益迴授狀態，將運算放大器的輸入偏移電壓(input offset voltage)取樣儲存於電容 $C1\sim4$ 上板中，而下版則取樣 ADC 的輸入電壓 V_{in} ，如圖 3-32(a)所示。

ADC 的第二個運作狀態，如圖 3-32(b)所示，此時時脈 c_2 為開啟(ON)，第一級運算放大器處於開迴路狀態，並將電容 $C1\sim4$ 短路至同一電位，強迫將電容於上一狀態取樣到的電壓送至運算放大器的差動輸入端 V_{in+} 、 V_{in-} ，此動作即為圖 3-28 (b) 中所述， V_{in} 與 0 作比較，判斷 V_{in} 的正負；此時運算放大器#1 的功用如同下一級比較器之消除偏移電壓前置放大器，由於運算放大器的高開迴路增益，因此僅需一有限的電壓差異，即造成運算放大器之差動輸出端大振幅的輸出，並由比較器取樣此訊號，至 c_2 信號為低準位時，比較器停止取樣運算放大器輸出值。

圖 3-32(c)為遞迴式 ADC 之第三個運作相位。當時脈 c_3 為高準位時，運算放

大器的輸出端 V_{out_A} 、 $V_{out_A'}$ 連接之串連的三顆電晶體藉由延遲時脈之控制短暫的短路了一下，此動作的目的乃為了幫助運算放大器從上一個 ADC 相位操作於開迴路時而造成的飽和狀態中復原。運算放大器輸出連結至 C3 和 C4 的底板此時若將 C1 及 C2 的底板相連結，則由於運算放大器虛短路之特性，使得儲存於 C1 和 C2 的電荷分別轉移至 C3 和 C4，而讓 C3 及 C4 上的壓降變成輸入電壓之兩倍，造成類比電路上的雙倍運算。然而於此電路中，雖未將電容 C1 及 C2 底板短路，但將其接相同電位 V_{ref+} 或 V_{ref-} 亦可視同建立在此電位上之短路，並作 $\pm V_{ref}$ 之動作。此時第二級 ADC 運作狀態如同第一級於取樣輸入時之狀態，亦即 ADC 之第二級電路此時取樣第一級運算後剩餘值。

比較器於此狀態之運作，由圖 3-31 可看出，分別位於拴鎖電路上方及下方之兩顆 PMOS 及兩顆 NMOS，分別於 c_3 及 c_{3d} 時脈到達時開啟，其目的是讓拴鎖電路判斷完取樣的 V_{out_A} 、 $V_{out_A'}$ 後能更迅速的達到其判斷穩態，亦即使 X 及 X' 點之電壓更迅速的拉開。比較器之輸出 C_{out1+} 和 C_{out1-} 則連接控制此運算電路是要加上一 V_{ref+} 或 V_{ref-} 電壓。 C_{out1+} 和 C_{out1-} 也是輸出之數位訊號，取其中一輸出訊號連結至 8x1 多工器數位電路，使 8 個頻道的 ADC 輸出共用一晶片的輸出腳位。

如圖 3-32 (d)，ADC 運作在第四個相位狀態，即 c_4 時脈為開啟。此時 ADC 之第一級電路處在開路狀態，第二級電路此時運作如同圖 3-31(b) 第一級之運作狀態，計算第一級運算後剩餘值，輸入比較器判斷。

此後 ADC 運作狀態回到圖 3-32 (a)，第一相位狀態，然而此時第一級所接收的輸入訊號，則是第四狀態時 ADC 第二級電路之運算剩餘值而不是新的 ADC 輸入值。此循環依此進行至所有需判斷之位元產生為止。

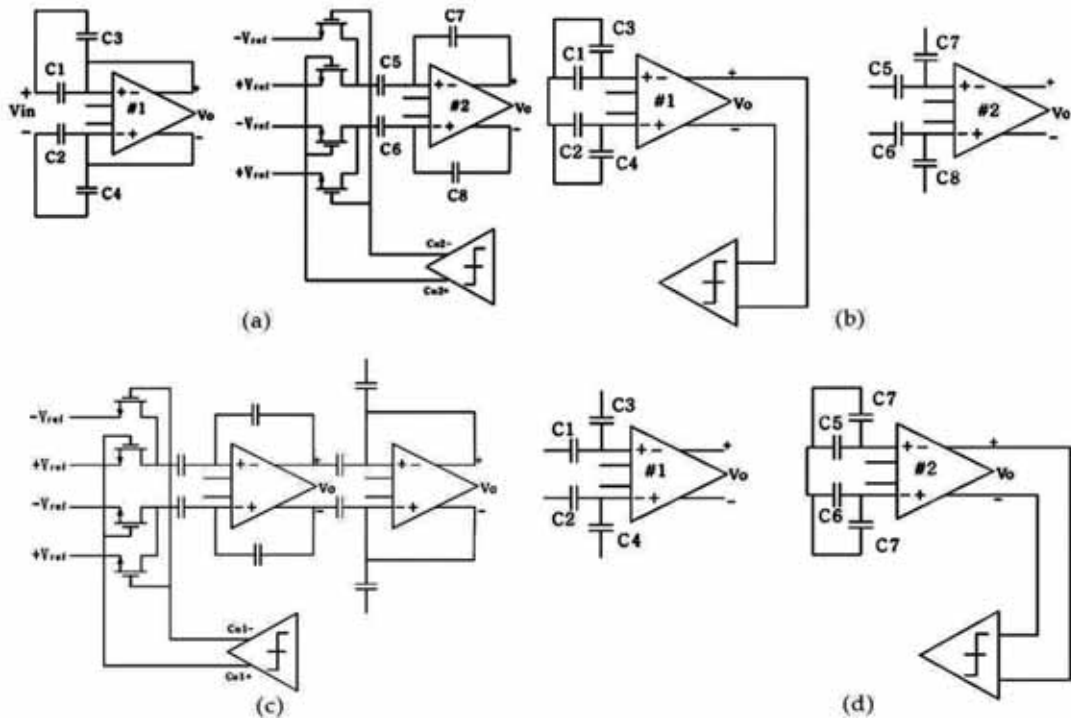


圖 3-32 遞迴式 ADC 運作狀態簡化圖(a)時脈 c_0, c_1 為開啟(ON)時(b) 時脈 c_0, c_2 為開啟(c) 時脈 c_3 為開啟 (d) 時脈 c_4 為開啟

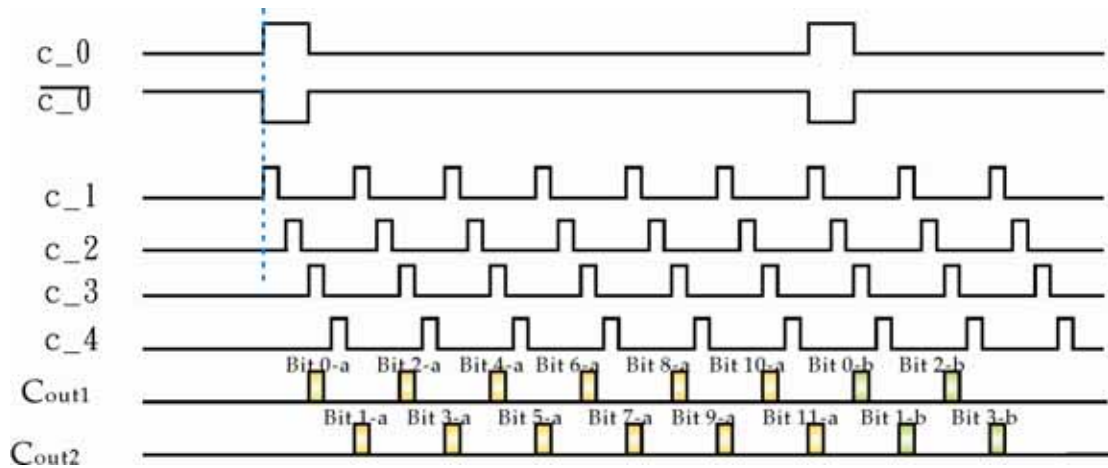


圖 3-33 遞迴式 ADC 之時序圖

理想狀態分析

圖 3-32(a)狀態

儲存於電容 $C1, C3$ 上之電荷：

$$Q_{C1} = Q_{C3} = C(v_{in(+)} - v_{cm}) ; \quad (3-54)$$

儲存於電容 C2,C4 上之電荷

$$Q_{C2} = Q_{C4} = C(v_{in(-)} - v_{cm}) ; \quad (3-55)$$

此時 $v_o = v_{o+} - v_{o-} = 0$

圖 3-32(b)狀態

$$Q_{C1,C3} = 2C(v_x - v_{in,op(+)}); \quad Q_{C2,C4} = 2C(v_x - v_{in,op(-)}) \quad (3-56)$$

式(3-54)之總電荷等於式(3-56)中 $Q_{C1,C3}$;

式(3-54)之總電荷等於式(3-56)中 $Q_{C1,C3}$;

$$2C(v_{in(+)} - v_{cm}) = 2C(v_x - v_{in,op(+),t2}) \quad (3-57)$$

$$2C(v_{in(-)} - v_{cm}) = 2C(v_x - v_{in,op(-),t2}) \quad (3-58)$$

所以此時

$$v_{in,op(+)} - v_{in,op(-)} = v_{in(-)} - v_{in(+)} = -v_{in} \quad (3-59)$$

圖 3-32(c)狀態

$$Q_{C1} = (v_{in,op(+),t3} - v_{ref\pm})C_1 ; \quad Q_{C3} = (v_{in,op(+),t3} - v_{o(+)})C_3$$

$$Q_{C2} = (v_{in,op(-),t3} - v_{ref\mp})C_2 ; \quad Q_{C4} = (v_{in,op(-),t3} - v_{o(-)})C_4$$

由於 $\Delta Q_{C1} = -\Delta Q_{C3}$; $\Delta Q_{C2} = -\Delta Q_{C4}$ 經計算可得

$$v_o = 2((v_{in,op(+),t3} - v_{in,op(-),t3}) - (v_{in,op(+),t2} - v_{in,op(-),t2})) + (v_{ref\pm} - v_{ref\mp}) \quad (3-60)$$

將式 3-59 帶入 3-60 中，又在第三相位狀態時運算放大器為迴授狀態，故輸入端

視為虛接地 $v_{in,op(+),t3} \approx v_{in,op(-),t3}$ 所以可得

$$v_o = 2v_{in} + 2v_{ref\pm} \quad (3-61)$$

此證明，在理想狀態下，此電路可獲得遞迴式類比數位轉換器之運算需求。

3.5.2 遞迴式類比數位轉換器非理想性分析

電容不匹配特性

電容不匹配特性對於遞迴式 ADC 解析度而言具有極關鍵性的影響，特別對於解析度達 12bit 以上之設計，已有許多相關解決之技巧[4],[5],[6]，然而這些技巧多半以降低取樣頻率，或藉由增加轉換步驟因而導致面積增加，或需要額外控制邏輯的方式來達成，這對於此次設計中需以平行式實現轉換運算而言，以過於複雜的電路，或增加面積來達成提升解析度的方式，均不利於平行式架構之實現。本電路採用全差動之對稱結構，對於電容不匹配效應分析如下：

$$v_{residue} = v_{in} \left(1 + \frac{1}{2} \left(\frac{C_1}{C_3} + \frac{C_2}{C_4}\right)\right) + \left(\frac{C_1}{C_3} + \frac{C_2}{C_4}\right) v_{ref\pm} \quad (3-62)$$

圖 3-34 為電容比值不匹配對剩餘值之影響，其中實線為理想之轉換剩餘值曲線，虛線為電容值不匹配時所造成之影響。

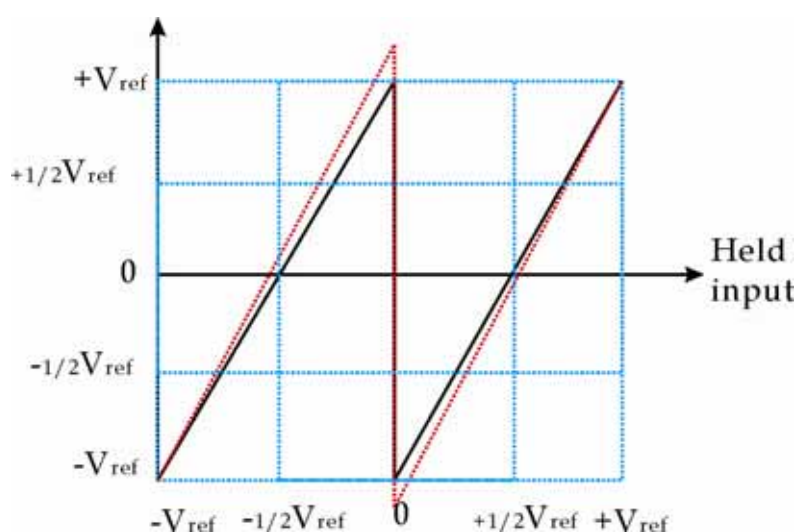


圖 3-34 電容比值不匹配對剩餘值之影響

運算放大器輸入偏移電壓

大部分運算放大器之偏移電壓，已於取樣運算中消除。然而由於有限的運算放大器增益而導致並未能完全移除此效應。如圖 3-35，運算放大器於取樣相位時之輸入電壓為

$$v_{in} = \frac{A}{A+1} v_{os} \quad (3-63)$$

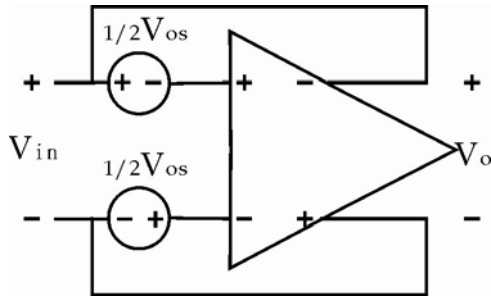


圖 3-35 取樣相位運算放大器含輸入偏移電壓簡化圖

有效輸入參考剩餘偏移電壓

$$v_{os, res} = \frac{1}{A+1} \frac{2C + C_p}{C_p} v_{os} \quad (3-64)$$

C_p 為運算放大器輸入寄生電容。此偏移剩餘值對轉換運算之影響如圖 3-36 所示。

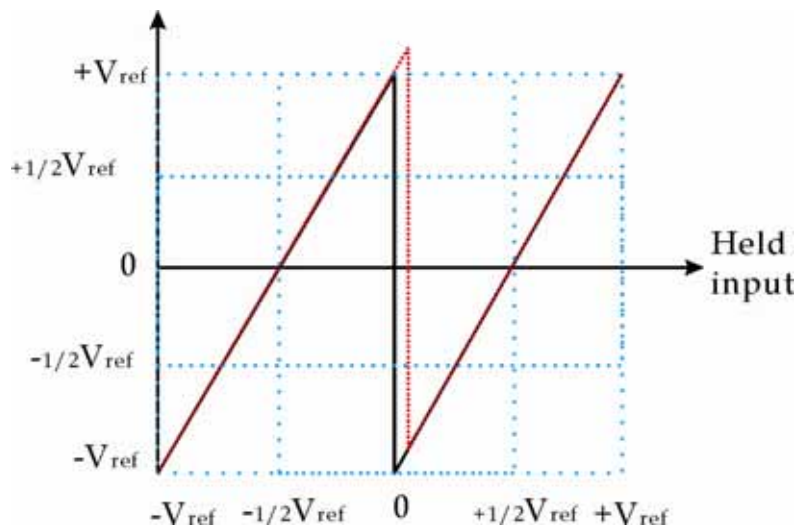


圖 3-36 運算放大器輸入偏移電壓造成之轉換誤差

有限運算放大器增益

理想上我們假設運算放大器增益為無限大，然而實際運算放大器增益為一有限值，不僅無法完全消除如上所述之輸入偏移電壓，在計算剩餘值時，有限的運算放大器增益會導致增益誤差。運算放大器於重置狀態時，此時輸出之差動電壓為零，有限

的運算放大器增益造成 ADC 無法完全準確的取樣輸入電壓；若理想的輸出殘餘值為 $V_{residue}$ ，此時運算放大器的輸入電壓為 $V_{residue}/A$ ， A 為 op-amp 的有限增益。因此這一級由有限的運算放大器增益所造成之誤差為：

$$v_{A,err} = \frac{1}{A} \frac{2C + C_p}{C_p} V_{residue} \quad (3-65)$$

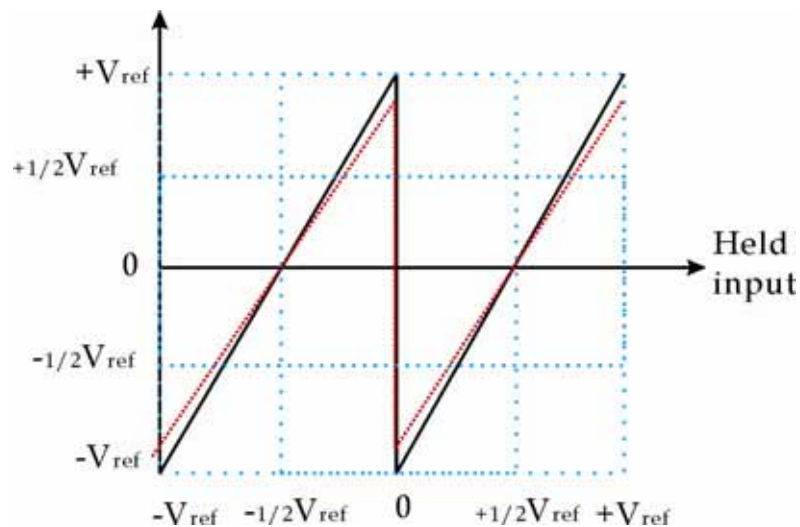


圖 3-37 有限運算放大器增益對轉換曲線所造成的影響

切換開關電荷注入效應

當 MOS 開關打開時，原本存在於通道上的電荷便會流入電晶體兩端--汲極和閘極。然而取樣電路其有效取樣值即為取樣結束時最後所取樣到的電壓。若 ADC 的電路完全完美對稱，則開關之電荷注入，可因差動之兩端皆有相同的效應而相互消滅。然而在實際運作上，由於切換開關電晶體並不會完全匹配；如：運算放大器的輸入偏移電壓及輸入兩端電壓不同，皆會造成開關電荷注入的不對稱現象。

少量的電荷注入現象，是極複雜的時脈及源-汲極阻抗函數。圖 3-38 為此效應對於轉換曲線的影響。

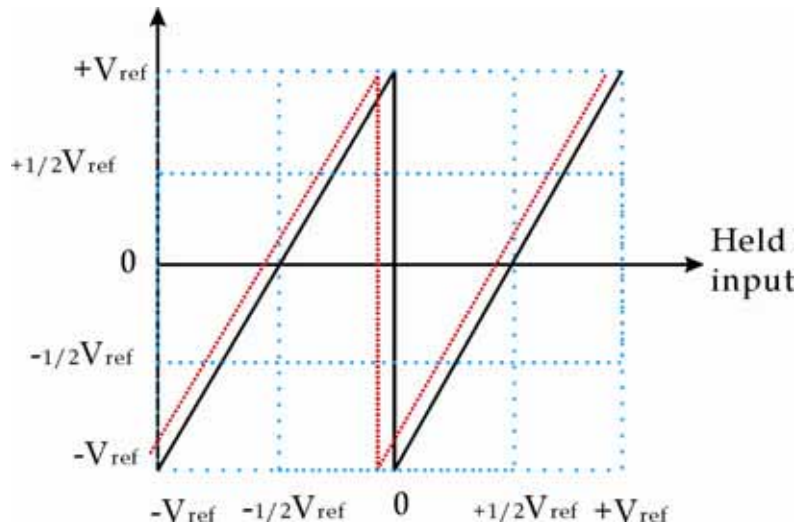


圖 3-38 電荷注入效應對於 ADC 轉換之影響

比較器偏移電壓

當取樣電路所取樣的電壓非常小，以致於運算放大器在做為前置放大器狀態時，仍難以將此訊號拉開放大時，比較器偏移電壓對於取樣值判斷之影響就變得十分重要。如圖 3-39 前級運算後之殘餘值做為輸入電壓 V_{in} 從 ADC 輸入級經由取樣電容的分壓至運算放大器輸入端：

$$v_{in,oa} = v_{in} \frac{2C}{2C + C_p} \quad (3-66)$$

運算放大器之差動輸出電流為 $v_{in,oa}$ 乘上運算放大器輸入對轉導 g_{mi} 。此電流累積於總負載電容 C_{load} ，此負載電容乃由比較器之輸入電容加上運算放大器輸出寄生電容所組成；我們必須確保輸入比較器之電壓大於比較器本身之偏移電壓，可得

$$|v_{in,oa}| \cdot g_{m,i} \cdot \delta t_{pre-amp} \geq C_{load} V_{comp,os} \quad (3-67)$$

將式(3-66)帶入(3-67)可得

$$|v_{in}| \geq v_{comp,os} \left(1 + \frac{1}{2} \frac{C_p}{C}\right) \left(\frac{C_{load}}{g_{m,i}}\right) \left(\frac{1}{\delta t_{pre-amp}}\right) \quad (3-68)$$

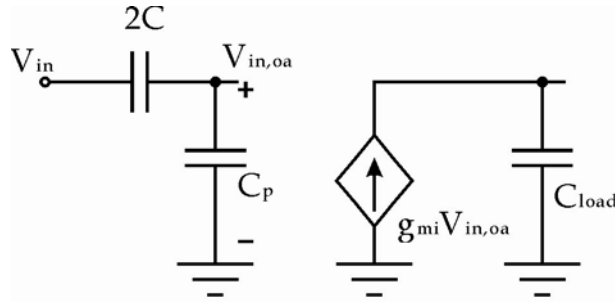


圖 3-39 ADC 運算放大器於前置放大器狀態之等效電路圖

任意雜訊

由本遞迴式類比數位轉換器架構圖 3-30，並結合時脈控制之 ADC 狀態所推導出來的各狀態之等效雜訊分析圖，如圖 3-40 所示。圖 3-40 (a) 之 ADC 取樣狀態等效雜訊分析圖，與 3.4.3 節 CDS 非理想性分析之任意雜訊分析中的圖 3-22 相同。由於在取樣狀態時，CDS 與 ADC 之運作方式一樣，因此，其對於雜訊分析的結果也相同，此時的總方均根雜訊同樣為運算放大器熱雜訊，與切換開關雜訊之總和。

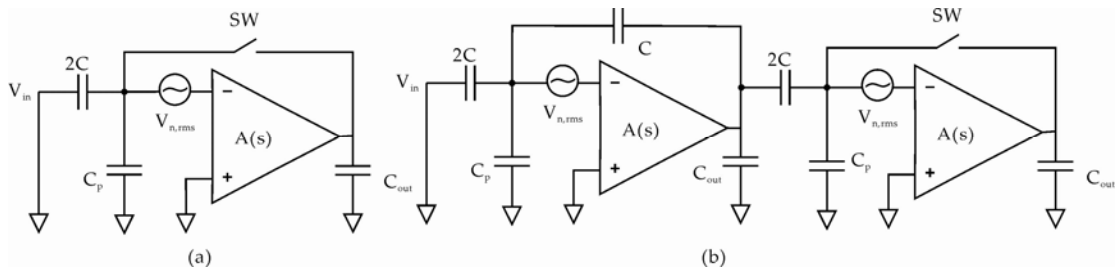


圖 3-40 遞迴式類比數位轉換器雜訊分析等效圖(a)取樣狀態

(b)第二級取樣狀態

第二級取樣狀態，即圖 3-32 (c) 之雜訊分析等效圖如圖 3-40 (b) 所示，第二級所取樣到之雜訊源主要有三個：(1) 第一級運算放大器之熱雜訊，(2) 第二級運算放大器熱雜訊，(3) 以及取樣開關開啟時之切換開關雜訊。

圖 3-40 (a) 所示與 CDS 之任意雜訊分析相同，故可得 ADC 在第一次取樣 CDS

之輸出訊號時的總等效輸入熱雜訊為：

$$v_{n,rms,sample}^2 = \frac{1}{4} S_0 \frac{g_{m2}}{C_{out} + 2C + C_p} \left(\frac{2C}{2C + C_p} \right)^2 + 2 \cdot \frac{kT}{C_{out} \parallel (2C + C_p)} \left(\frac{C_{out}}{2C + C_p + C_{out}} \right)^2 \left(\frac{2C + C_p}{2C} \right)^2 \quad (3-69)$$

(3-69)式可由 3.4.3 節中(3-45)運算放大器之等效總輸入雜訊，與(3-49)切換開關之等效總輸入雜訊之和即可獲得。

由圖 3-40 (b)可看出，此時第一級運算放大器處於電壓取樣-電壓迴授之迴授組態，可得

$$R_{out,closed} = \frac{R_{out}}{1 + \frac{C}{2C + C_p} g_m R_{out}}$$

$$R_{out,closed} \approx \left(\frac{2C + C_p}{C} \right) \cdot \frac{1}{g_m} \quad (3-70)$$

所以在此狀態下之單增益頻寬為：

$$UGBW(Hz) = \frac{1}{2\pi} \cdot \frac{g_m}{C_{out} + 2C + C \parallel (C + C_p)} \cdot \frac{C}{2C + C_p} \quad (3-71)$$

將(3-71)代入，由此可得由第一級運算放大器所產生之熱雜訊，經由取樣電容 2C 所取樣到之雜訊為：

$$v_{n,1}^2 = (S_0 \cdot UGBW(Hz) \cdot \frac{\pi}{2}) \left(\frac{C + C_p}{C(C + C_p)} \right)^2 \frac{1}{2C + C_p}$$

$$= \left(\frac{1}{4} S_0 \cdot \frac{g_m}{C_{out} + 2C + C \parallel (C + C_p)} \cdot \frac{C}{2C + C_p} \right) \left(\frac{2C + C_p}{C} \right)^2$$

$$= \frac{1}{4} S_0 \cdot \frac{g_m}{C_{out} + 2C + C \parallel (C + C_p)} \cdot \frac{2C + C_p}{C} \quad (3-72)$$

由於第二級運算放大器此時於輸入端維持虛短路，見圖 3-32(c)，因此所有雜訊視為通過取樣電容。

由於此時第一級運算放大器為負迴授迴路狀態，故假設第一級運算放大器之輸出為虛接地，此情況僅在低頻時為真。由第二級運算放大器熱雜訊所產生之取樣雜訊為

$$\begin{aligned}
v_{n,2,lowf}^2 &= (S_0 \cdot UGBW(Hz) \cdot \frac{\pi}{2}) \left(\frac{2C + C_p}{2C} \right)^2 \\
&= \frac{1}{4} S_0 \frac{g_{m2}}{C_{out} + 2C + C_p} \left(\frac{2C + C_p}{2C} \right)^2
\end{aligned} \tag{3-73}$$

然而在高頻，當第一級運算放大器增益下降時，由於第一級與第二級處在不同的閉迴路增益狀態下，故此時第二級的增益仍高。因此，當第一級運算放大器增益降到 0 時，此時第一級之有效輸出阻抗恰為輸出電容，此時第二級之雜訊變為

$$v_{n,2,highf}^2 = \frac{1}{4} \frac{g_{m2}}{C_{out} + C_p + 2C \parallel (C_{out} + C \parallel (C + C_p))} \left(\frac{\frac{C_{out} + C \parallel (C + C_p)}{2C + C_{out} + C \parallel (C + C_p)} \cdot 2C + C_p}{2C} \right)^2 \tag{3-74}$$

由於高頻與低頻雜訊不同，估計實際雜訊應介於中間。

切換開關產生 kT/C_{net} 雜訊，因此將位於切換開關左邊及右邊之總電容和為

$$C_{net} = C_{out} \parallel (C_p + 2C \parallel (C_{out} + C \parallel (C + C_p))) \tag{3-75}$$

總開關雜訊電壓為

$$v_{n,sw}^2 = \frac{2kT}{C_{net}} \left(\frac{C_{out}}{C_{out} + (C_p + 2C \parallel (C_{out} + C \parallel (C + C_p)))} \right)^2 \left(\frac{\frac{C_{out} + C \parallel (C + C_p)}{2C + C_{out} + C \parallel (C + C_p)} \cdot 2C + C_p}{2C} \right)^2 \tag{3-76}$$

同理類比數位轉換器之總方均根雜訊電壓為

$$v_{n,rms,res} = \sqrt{v_{n,1}^2 + v_{n,2}^2 + v_{n,sw}^2} \tag{3-77}$$

由於 ADC 為一直以餘值循環進行低位元的轉換，因此，任意雜訊會不斷循環取樣至下一級，將此餘值循環雜訊等效為輸入雜訊時則由式可獲得：

$$v_{n,rms}^2 = v_{n,rms,sample}^2 + v_{n,rms,res}^2 \left(\left(\frac{1}{2}\right)^2 + \left(\frac{1}{4}\right)^2 + \left(\frac{1}{8}\right)^2 \dots \right) \tag{3-78}$$

其中 $v_{n,rms,sample}^2$ 即為由式(3-69)所得，取樣前級 CDS 輸出值之等效輸入熱雜訊；

$v_{n,rms,res}^2$ 則為由式(3-77)所求得。

3.5.3 遞迴式類比數位轉換器模擬結果

運算放大器模擬結果

圖 3-41、3-42、3-43 分別為使用於此 ADC 運算放大器之波德圖與上升/下降迴轉率圖，本類 ADC 取樣頻率為 83.33 kHz，然而切換開關保持時間(duration)約為 440 ns，一般而言，一個好的取樣設計需有低於 1/4 的時間迴轉，3/4 以上的時間做為穩定；即 110 ns 為迴轉時間，本運算放大器以 500 fF 負載電容模擬測得上升迴轉率達 6.77414 V/us，單端輸出振幅小於 0.7 V(不考慮圖 3-32(b)(d)中開迴路狀態之運算放大器飽和輸出，因此時運算放大器輸出給比較器)，因此符合所需。運算放大器規格列於表 3-2。

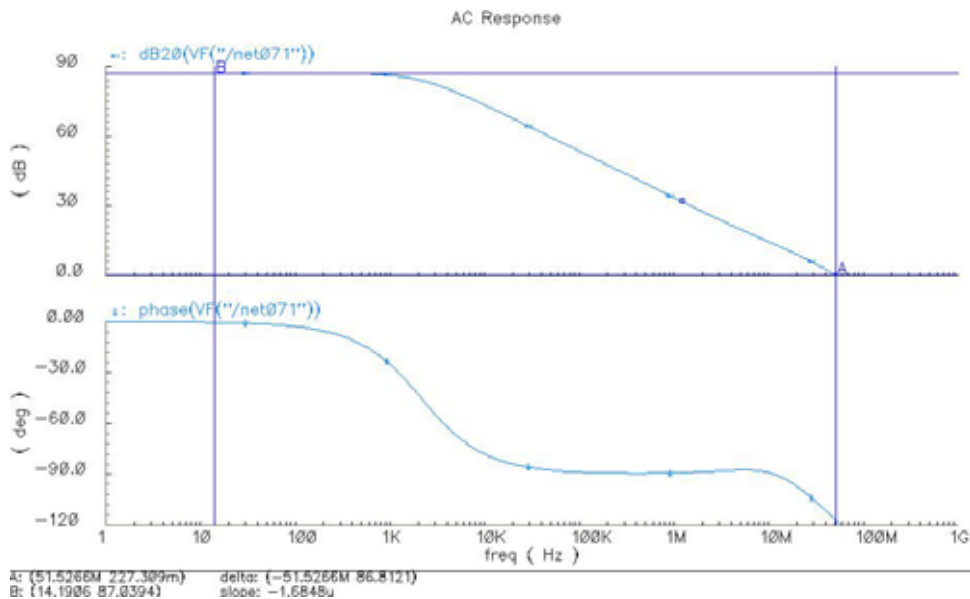


圖 3-41 ADC 之運算放大器波德圖

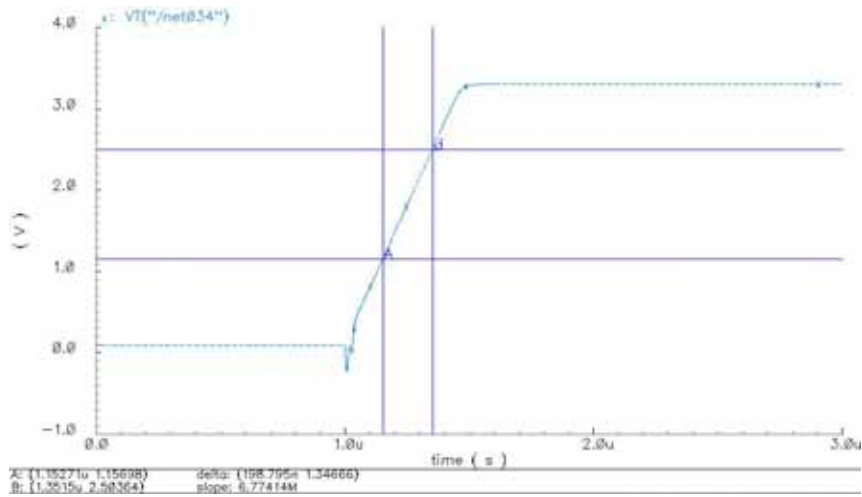


圖 3-42 ADC 運算放大器上升迴轉率

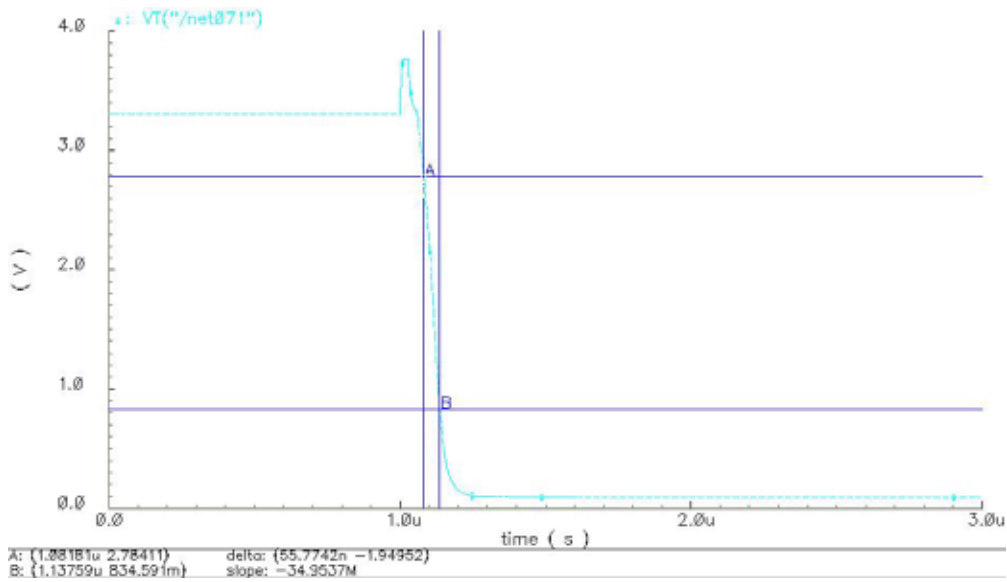


圖 3-43 ADC 運算放大器下降迴轉率

差動輸出直流增益值	87.03 dB
單位增益頻寬	51.53 MHz
相位間隙(Phase Margin)	65°
迴轉率(Slew Rate)	(上升) 6.7741 V/us (下降) 34.974 V/us
負載電容	500 fF

表 3-2 ADC 運算放大器規格

遞迴式類比數位轉換器之模擬結果

本類 ADC 為低速之類比數位轉換器，在快速富利葉轉換(FFT)分析中，採用 1kHz 的輸入頻率，可獲得有效位元(ENOB) 11.1936 bit。圖 3-44 為 FFT 分析之圖形。圖 3-45 則為利用理想類比數位轉換器數學模型，將本 ADC 之輸出位元還原成輸入波之圖形。

由 FFT 分析可看出本類 ADC 在未經由校正處理下，模擬結果可得到接近 12 bit 的水準，做為彩色處理器而言實已足夠，目前所使用之影像 ADC 僅需 8 bit 解析度，以 RGB 各 8 bit 解析出 16777216 色之色彩空間。

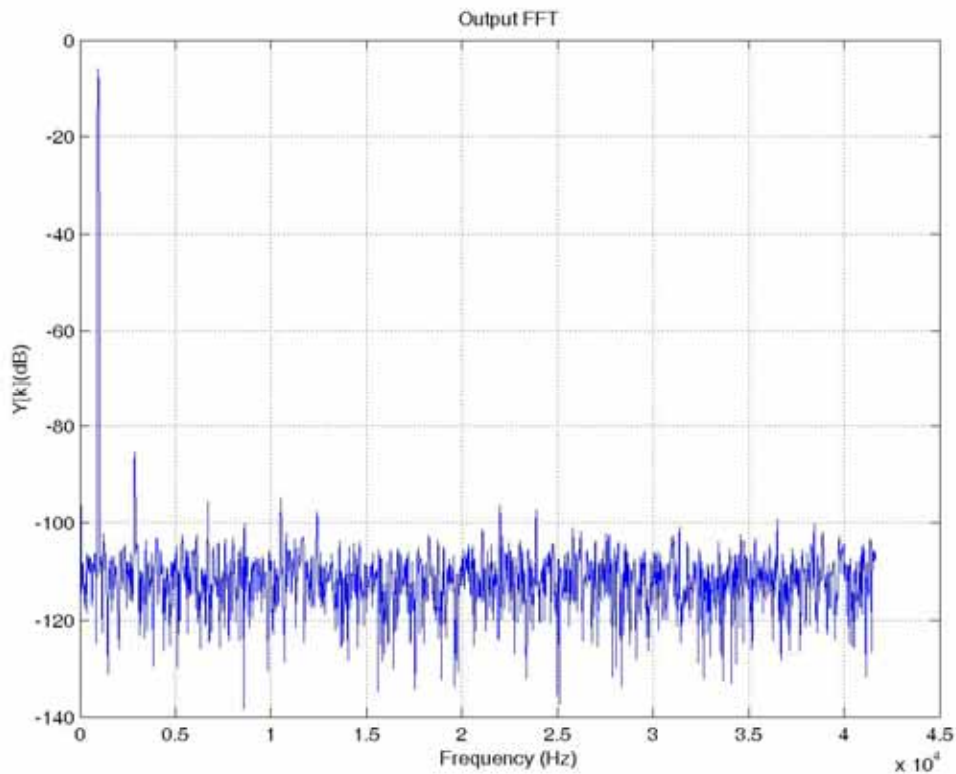


圖 3-44 Model SS_3V SS_bip3 85 之 FFT 圖形

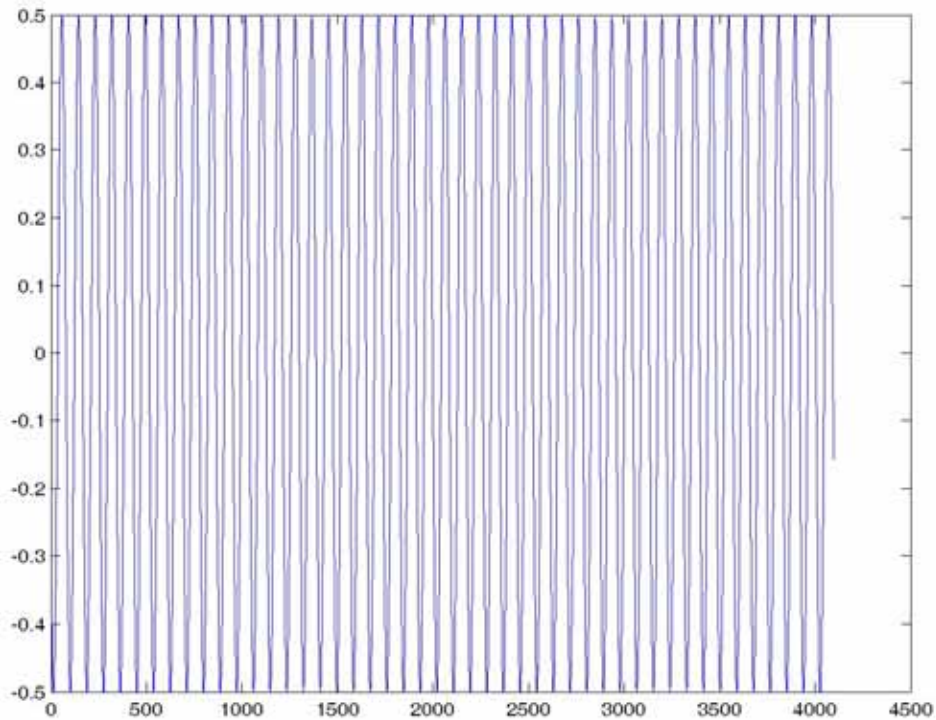


圖 3-45 還原波形圖

3.6 帶差參考電路 (Bandgap Reference Circuit,BGR)

本晶片使用帶差參考電路，做為提供晶片參考電壓源。使用帶差參考電路是期望其能提供對於製程，電壓及溫度變化相對穩定的參考電壓源。圖 3-46 為本次所使用之 BGR，此 BGR 之概念為利用兩個僅由同一個迴授路徑產生之正比於 V_f 及 V_T 的電流，PMOS 電晶體 M1、M2 及 M3 之 W/L 尺寸為相同，R1 及 R2 電阻相同。

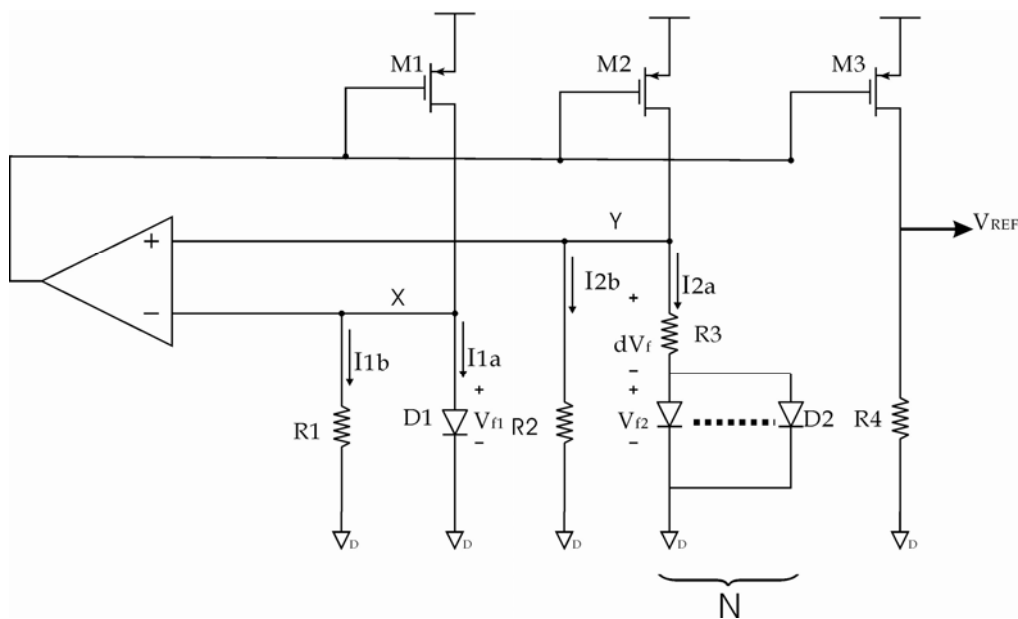


圖 3-46 帶差參考電路

假設運算放大器為理想，將 X 及 Y 之電壓控制為虛短路即 $V_X = V_Y$

由於 M1、M2 及 M3 都連到共同的點，因此 $I_{M1} = I_{M2} = I_{M3}$ ；由上述可知 $R1 = R2$ ，可得

$I_{1b} = I_{2b}$ ， $I_{1a} = I_{2a}$ 存在於 R3 間的電位差 dV_f

$$dV_f = V_{f1} - V_{f2} = V_T \cdot \ln\left(\frac{I_{1a}}{I_{2a}/N}\right) = V_T \cdot \ln(N) = \frac{kT}{q} \cdot \ln(N) \quad (3-79)$$

I_{2a} 正比於 V_T

$$I_{2a} = \frac{dV_f}{R_3} \quad (3-80)$$

I_{2b} 正比於 V_{f1}

$$I_{2b} = \frac{V_{f1}}{R_2}$$

因此可得此關係式

$$I_{M3} = I_{M2} = I_{2a} + I_{2b} = \frac{dV_f}{R_3} + \frac{V_{f1}}{R_2} \quad (3-81)$$

其中 dV_f 為一正溫度係數，而 V_{f1} 為一負溫度係數，因此可藉由調整 R_3 、 R_2 參數來獲得一對溫度係數不敏感之電路。

啟動電路

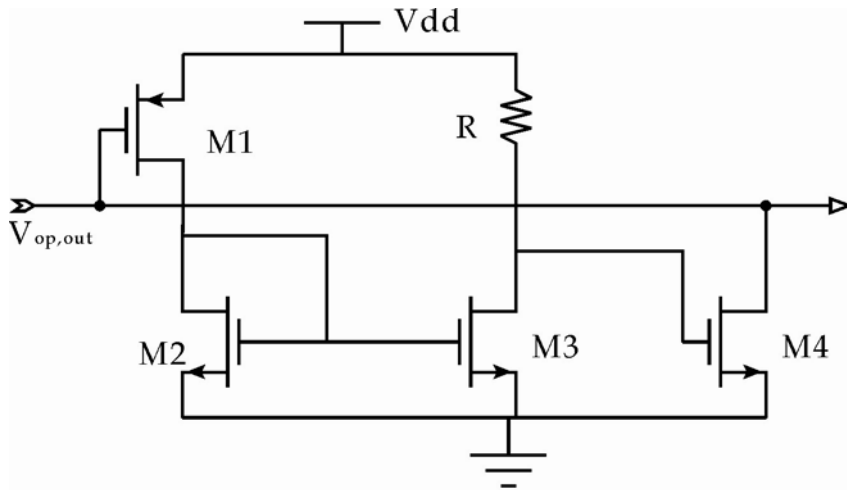


圖 3-47 帶差參考電路之啟動電路

啟動電路之目的在於確保電路可運作於操作狀態下，圖 3-47 為本 BGR 所使用之啟動電路。假設電路啟始時所有電晶體皆未導通，處於關閉狀態，皆無電流通過；則 $V_{G,M4}=V_{dd}$ 此時 M4 必然開啟處於飽和狀態而導通；將原本未知的 $V_{op,out}$ 電壓拉低，迫使 M1 導通，於是分支 M1, M2 上即有電流通過，經電流鏡使得分支 R、M3 上導通電流 $V_{G,M4}$ 下降，關閉 M4。由於啟動電路將 $V_{op,out}$ 電壓拉低這動作使得串接於此運算放大器輸出圖 3-45 上之 PMOS 亦全部都導通，使得帶差參考電路可以運作於正確的操作狀態。

偏壓電路

如圖 3-48 所示之偏壓電路，由兩組寬振幅偏壓電路所組成[7]，一組為 NMOS 寬振幅偏壓電路(Wide swing bias circuit)，輸出 V_{bncc} 、 V_{bncc} 兩組參考電壓，並成為另一組 PMOS 寬振幅偏壓電路之電流源，產生 V_{bpcc} 、 V_{bpcc} 兩組輸出參考電壓。故共提供四組參考電壓，及對於溫度係數不靈敏之穩定參考鏡像電流源。對溫度變化不靈敏之電流由最左邊的分支，一路鏡像至右邊輸出四組偏壓點。採用寬振幅偏壓電路的目的在於，避免運算放大器之輸出振幅受限於偏壓電路。

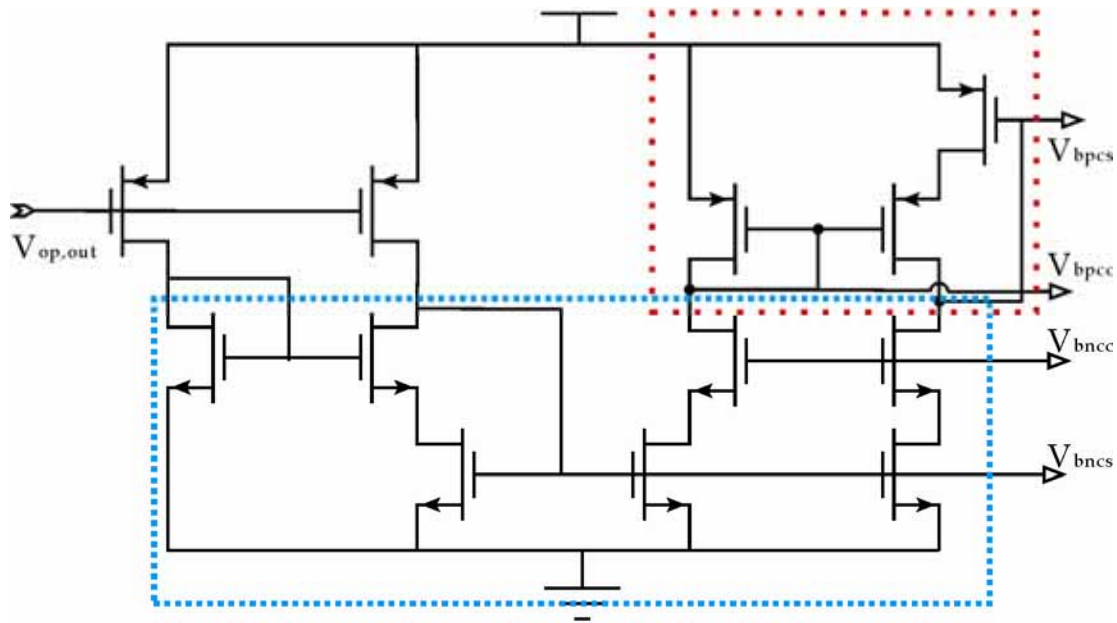


圖 3-48 偏壓電路

運算放大器電路

使用於 BGR 的運算放大器其功用為，利用運算放大器負迴授時其輸入端為虛短路的特性，讓 V_x 及 V_y 之電壓相等；因此此運算放大器著重於高增益，及低偏移電壓之性能。見圖 3-46，運算放大器，藉由電晶體 M1、M2 迴授至運算放大器輸入端，而形成一負迴授組態。本類運算放大器所採用為一簡單之二級運算放大器如圖 3-49。

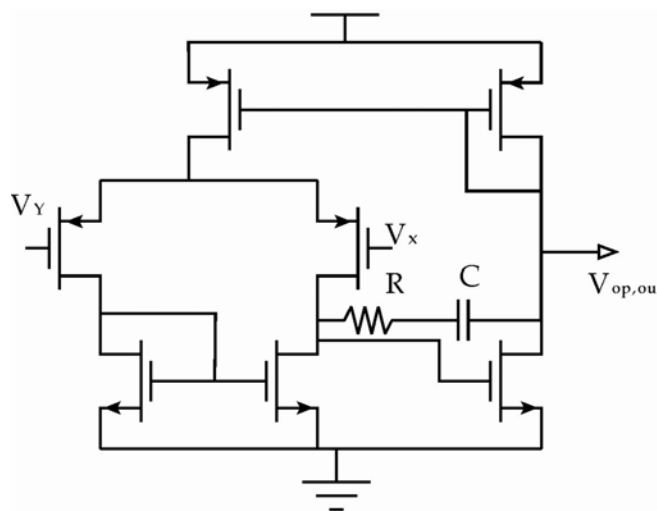


圖 3-49 二級運算放大器電路

模擬結果

在各種模型(model)下，輸出分支電流對溫度變化圖，由於本晶片主要操作溫度為攝氏 20~50 度之區間，因此設計時宜將最平滑的部分設計於此區間中。

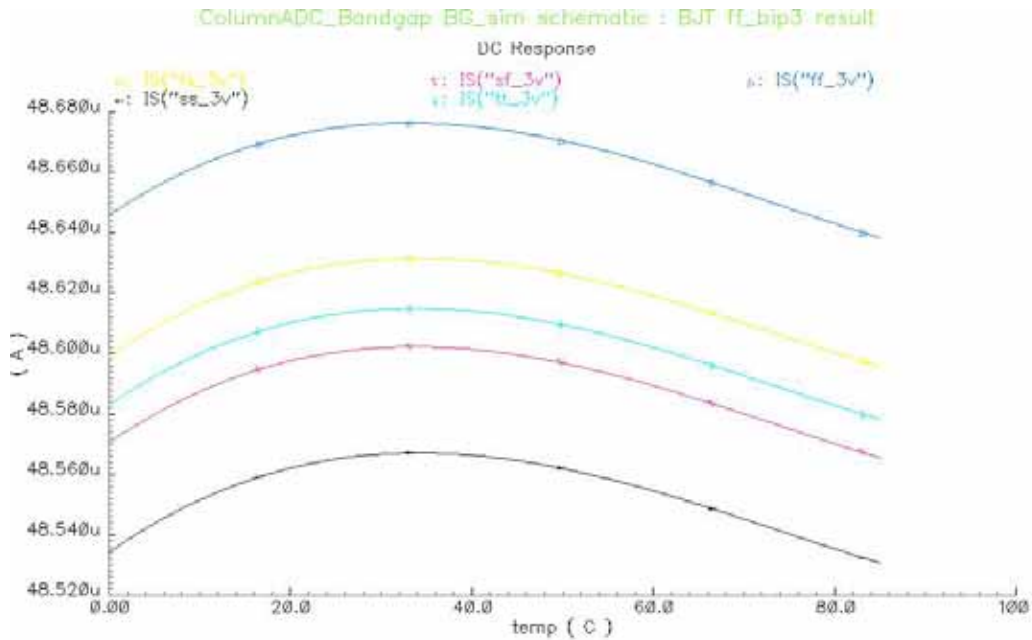


圖 3-50 帶差參考電路模擬結果

BJT TYPE : ff_bip3			
Temperature : 0 ~ 85		ppm= I/avg I/ T	
CMOS TYPE	Current Difference	Average Current	ppm
tt_3v	36.7687n	48.6022u	8.9
ss_3v	36.283n	48.5544u	8.8
ff_3v	37.9771n	48.6635u	9.2
sf_3v	36.7552n	48.5896u	8.9
fs_3v	35.8156n	48.619u	8.7

最佳情況

表 3-3.1 Bandgap Reference Voltage 不同 model 下模擬結果

BJT TYPE : ss_bip3			
Temperature : 0 ~ 85		ppm= I/avg I/ T	
CMOS TYPE	Current Difference	Average Current	ppm
tt_3v	44.8202n	50.6708u	10.4
ss_3v	44.5409n	50.6207u	10.4
ff_3v	45.8636n	50.7349u	10.6
sf_3v	44.8858n	50.6577u	10.4
fs_3v	43.8132n	50.688u	10.2

表 3-3.2 Bandgap Reference Voltage 不同 model 下模擬結果

3.7 時脈產生器 (Clock Generator)

時脈產生器，用於產生全晶片之控制訊號，主要分成時脈產生前置放大器、除頻電路、非重疊時脈產生電路(Nonoverlapping clock generator)、觸發電路、及邏輯運算電路組合而成；前置放大器電路之目的主要為利用輸入之差動正弦波訊號，產生低時脈飄移(Jitter)之時脈訊號；由於本電路為切換電容取樣電路，為降低電荷注入(Charge injection)，或瞬間短路..等功能，因此需要許多延遲時脈，故雖為低速運作之晶片，然而低 Jitter 之電路亦為所需。除頻電路乃因類比數位轉換器之輸出為 8 x 1 之多工器輸出，故需提供較高頻的訊號以控制多工器選擇輸出 ADC 訊號。時脈產生器架構如圖 3-51 所示。

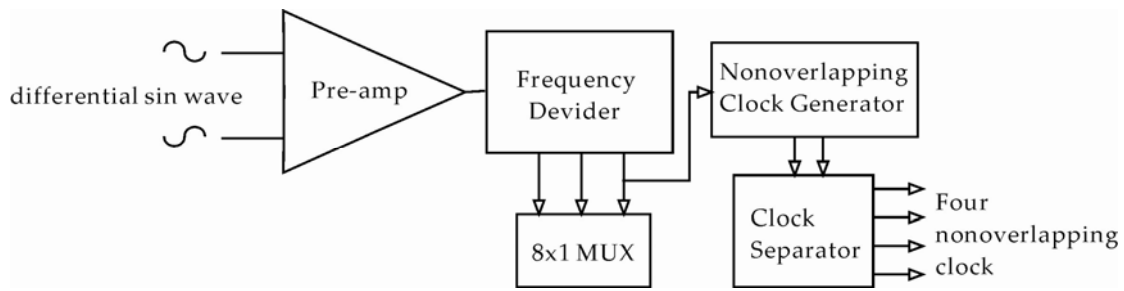


圖 3-51 時脈產生器架構圖

3.7.1 時脈產生前置放大器

位於最前端的時脈產生前置放大器，包含三個差動運算放大器，如圖 3-52 所示；以三級串接差動運算放大器做為接收外部輸入之弦波訊號，將輸入弦波信號放大至成為一方波信號輸出。其中 amp1、amp2 使用為圖 3-52 左側之單級差動輸出運算放大器，電阻 R 則做為共模迴授電路；amp3 則使用圖 3-52 右側之電路，將訊號轉成方波輸出。其後接一串接之反相器，以產生更完整之時脈信號。

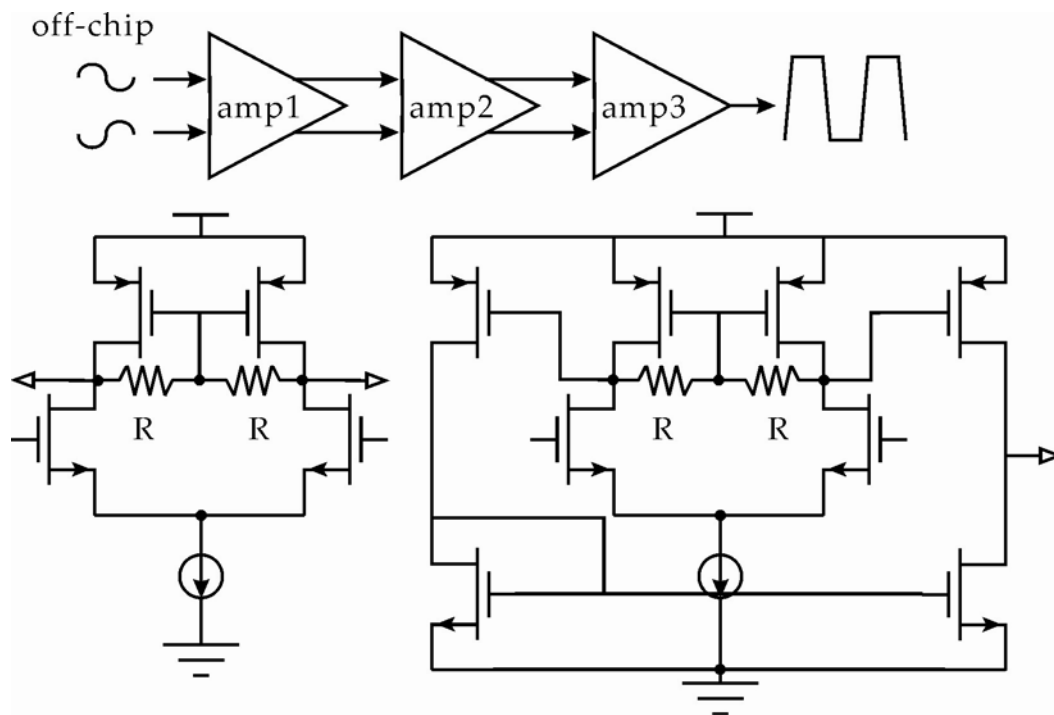


圖 3-52 時脈產生前置放大器

此三級運算放大器於設計時，無需太高之增益，其主要目的在於期能使每一個差

動弦波都有穩定的交越點，以減少之後時脈產生時之 Jitter 效應。後續兩級 amp2 之頻寬需大於 amp1 的頻寬，而 amp3 之頻寬又需大於 amp2 頻寬如圖 3-53 所示，其目的在於避免因增益下降，而造成前級輸出放大的高頻成分，反而被後級所衰減。若因頻寬不夠而衰減了高頻成分，則波形會變得較為圓滑，與欲取得的數位方波訊號不符，使得後級要將波形拉開形成方波的電路造成轉換判斷上的不穩定，反而不利於降低 Jitter 的目的。圖 3-54 為時脈產生前置放大器之輸出模擬結果。

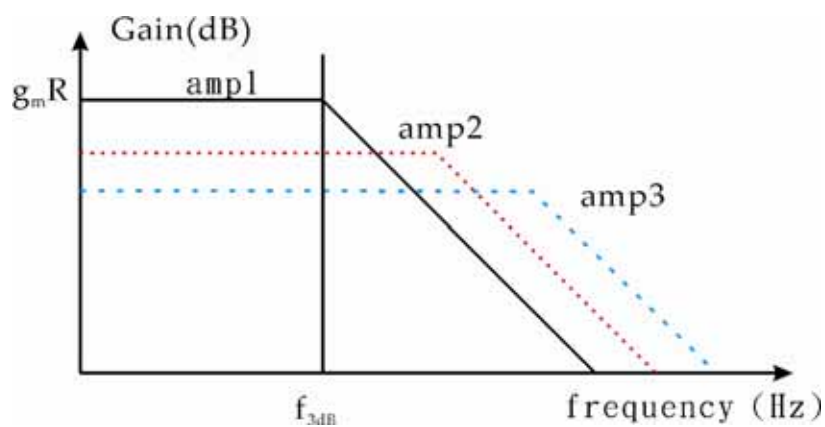


圖 3-53 時脈產生前置放大器，三級運算放大器之波德圖示意圖

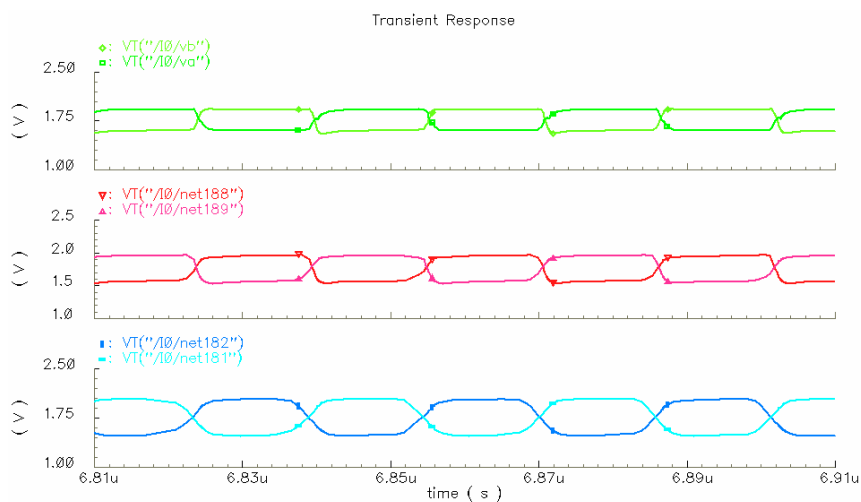


圖 3-54 時脈產生前置放大器之輸出波形圖

3.7.2 邏輯電路

非重疊時脈產生電路(Nonoverlapping clock generator)

非重疊時脈產生電路如圖 3-55 所示，由 NOR 及反相器組成，串疊之反相器即為產生非重疊之延遲時間，因此串疊越多反相器，非重疊延遲時間會越長。

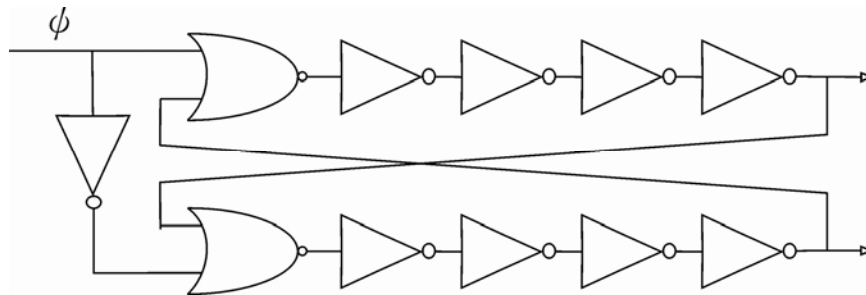


圖 3-55 非重疊時脈產生電路

數位單擊電路

在本時脈數位系統中，常常需要產生一個單擊時序訊號，即每當啟動信號致能時，產生一個期間為 T 的高電位脈波輸出。這種單擊電路通常使用 RC 型電路，而脈波寬度 T 由 RC 時間常數決定，然而因本質上此為一非同步電路，且難以於整合的數位電路中實現，另一方面由於 RC 數值上很難搭配到一個精確的值，因此亦難以產生一個精確的時脈寬度。圖 3-56 為一數位單擊電路示意圖，假設系統需產生一個寬度為 8 個單位時脈週期的脈波輸出，因此使用一個模 8 二進制計數器，計數所需要的系統時脈數目。在圖 3-56 中，當啟動信號啟動時，JK 正反器的輸出將於下一個時脈的正緣時上升為 1，同時致能模 8 計數器，當模 8 計數器計數到 7 時，JK 正反器的 K 輸入端為 1，因此在下一個時脈的正緣時，輸出下降為 0，因此產生一個寬度為 8 個時脈週期的脈波輸出，電路時序如圖 3-64 所示。計數器於啟動信號前，需先清除為 0，才能確保動作正確。

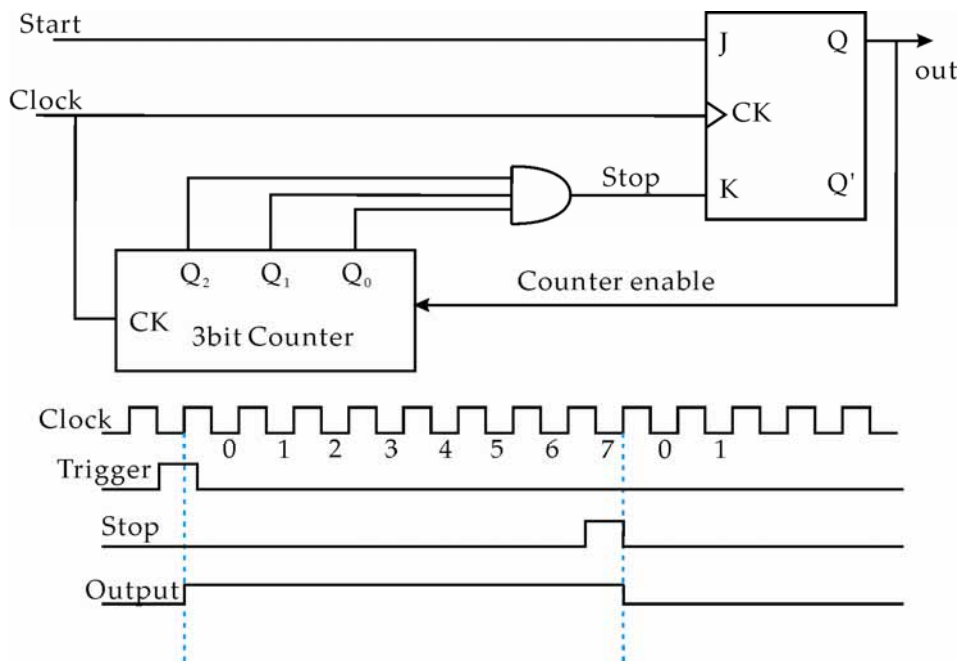


圖 3-56 數位單擊電路

True Single Phase Clocked Register(TSPCR)

在本時脈產生器之數位電路中經常使用到 TFF 及 DFF，並需要重置信號控制重置 TFF 及 DFF 之狀態，使其回到初始值。本人提出一可重置式 TFF 及 DFF，於低速使用下可正常運作，如圖 3-57 所示。DFF 則是將 D 訊號改由外部輸入

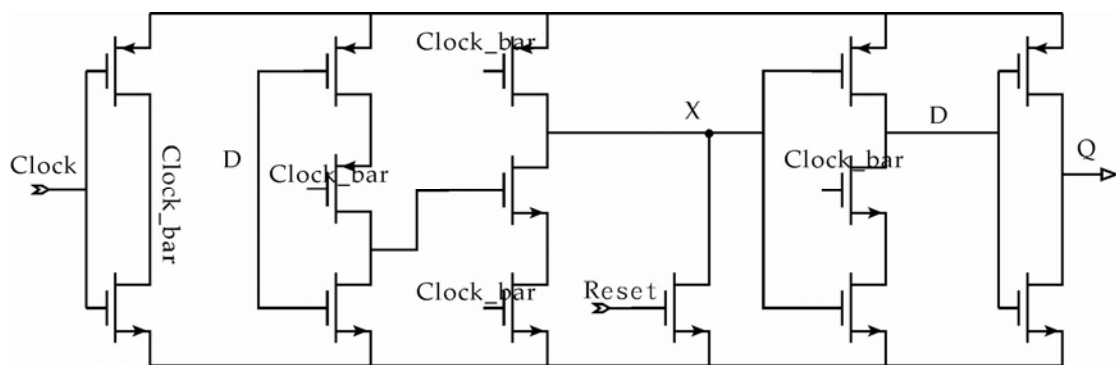


圖 3-57 可重置式負緣觸發 TSPC TFF

，此可重置式負緣觸發 TSPC 主要是加入一顆重置電晶體，強制重置 X 點之電位，可使 Q 輸出為 0。

輸出緩衝驅動電路

輸出驅動電路需設計為足以推動輸出電容負載，使其上升、及下降時間低於容許之範圍。為增加效率及降低失真，採用四級串連之反相放大器組成時脈輸出電路。如圖 3-58 所示。

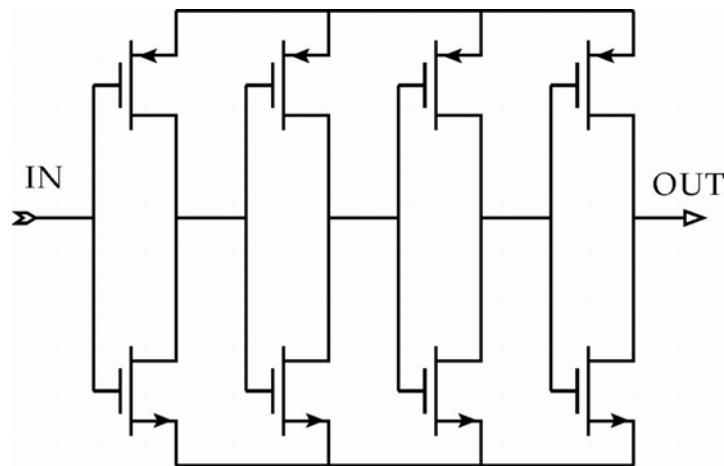


圖 3-58 輸出緩衝器

第四章 測試

4.1 測試架構

本晶片之測試主要分成帶差參考(bandgap reference voltage)電源測試，時脈產生器功能測試，相關性雙取樣電路和類比數位轉換器測試，類比數位轉換器測試，及單晶片攝相系統功能測試，五個主要功能。主要測試電路方塊圖如圖 4-1 所示。

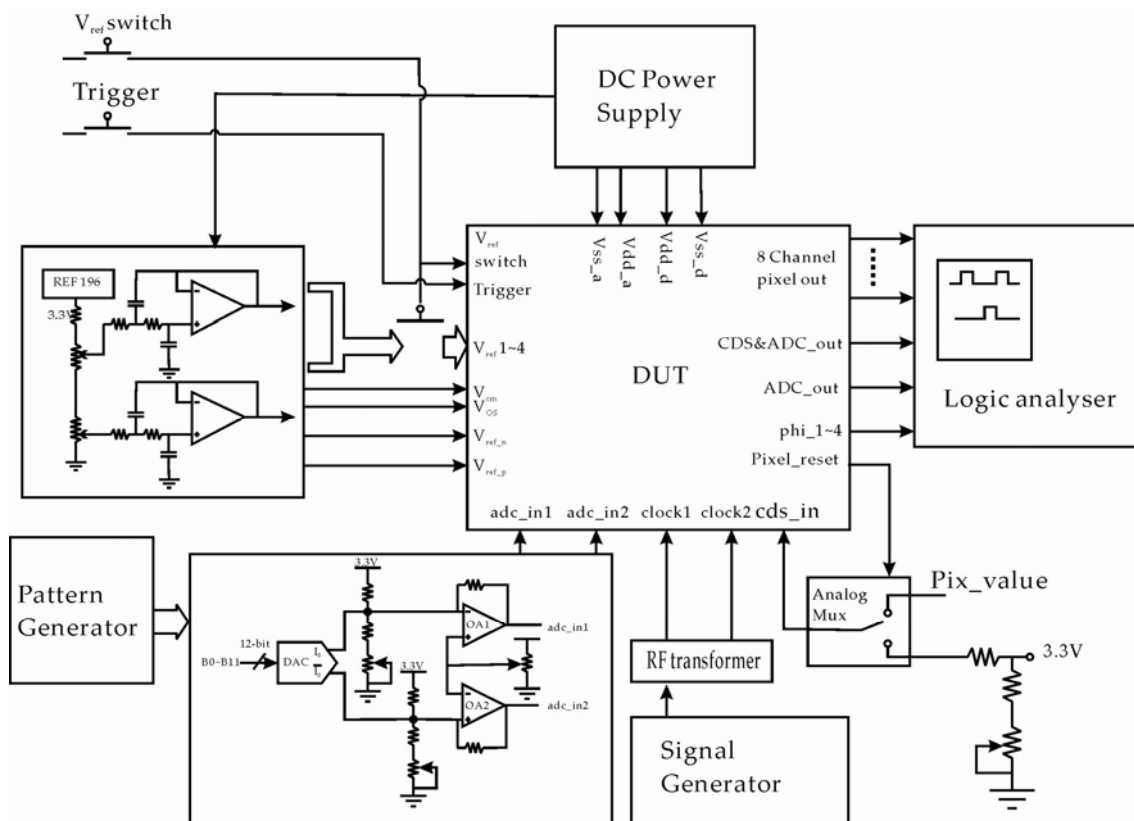


圖 4-1 測試平台方塊架構圖

4.2 測試驗證平台

測試本晶片首先必須確認周邊電路是否正常工作，因此必須量測帶差參考電壓電路，及時脈產生器功能是否能產生全晶片所需之正確時脈。

電源供應

在電源供應部分，如圖 4-2 所示，使用 LM317 為主要穩壓 IC 的穩壓電路，於晶片的數位(Vddd,Vssd)以及類比(Vdda,Vssa)電源輸入處各自分別加上三顆濾波電

容，以濾除不必要之高頻雜訊。在數位及類比濾波槽之間，加上 Bead inductor 做為隔絕數位及類比電源高頻雜訊間的相互干擾。

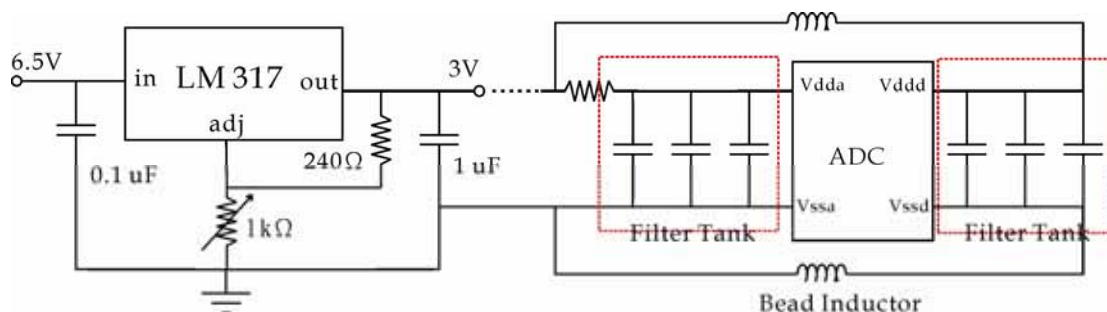


圖 4-2 電源穩壓電路

時脈產生器

時脈產生器輸入之訊號由訊號產生器產生弦波訊號後，經由 RF transformer 轉換出兩相位差為 180 度的弦波訊號，輸入時脈產生器輸入端。RF transformer 常用於做為低功率電路的輸入訊號阻抗匹配器，以提升功率轉換效率，並可做為隔絕直流訊號之用。

本晶片所需之控制電路有像素陣列的讀取、重置動作，CDS 電路的取樣與維持動作，以及 ADC 類比數位轉換運算等複雜時脈，而這些時脈皆是由四個非重疊的時脈經由邏輯運算所產生出來，因此本晶片設計有此四個時脈的輸出，藉以測試時脈產生器是否有正常運作。將此四個晶片輸出埠連接至邏輯分析儀，即可觀察。

帶差參考電路

在晶片導入電源後，帶差參考電路即因啟動電路的致能而運作，可藉由示波器觀察參考輸出偏壓點是否為所需的參考輸出值；若帶差參考電路無法正常運作，則本晶片之設計如圖 4-3，於偏壓輸出電路之輸出端設計有類比 2x1 多工器，藉由晶片接腳 V_{ref} switch 來選擇是否使用內部提供之參考電路，避免晶片因偏壓電路的失效而導致全晶片的無法運作。而由晶片外部提供之參考電壓電路，如圖 4-4 所示，REF 196 為一帶差參考 IC，可提供穩定不受溫度變化的電壓，藉由其下所接之電阻分壓，調

整可變電阻至所需的參考電壓輸出。圖 4-4 中之運算放大器接成單增益負迴授狀態，使得運算放大器之輸出能追隨輸入電壓，設計時可使 $R1=R2=R$ 、 $C1=C2=C$ ，則 RC 時間常數即為此電路的穩定時間。本晶片之測試所需參考電壓，如 V_{cm} 、 V_{os} 、 V_{ref_n} 、 V_{ref_p} 皆可藉由此電路產生。

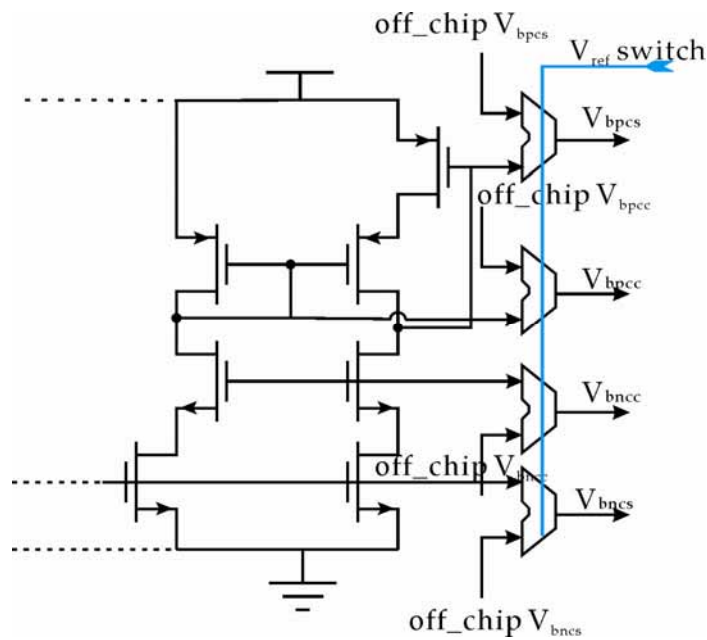


圖 4-3 帶差參考電路之偏壓電路輸出與備用電路

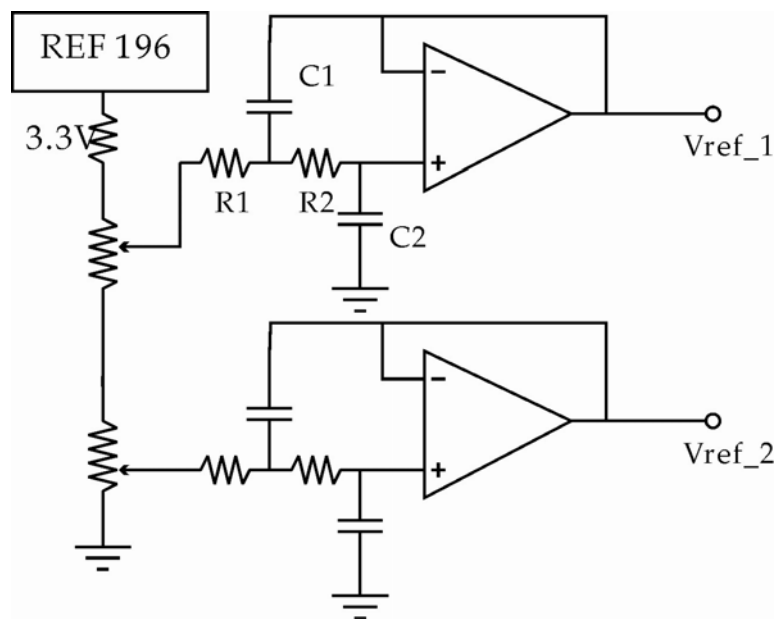


圖 4-4 測試版參考電壓產生電路

4.3 類比數位轉換器

本晶片設計有獨立 8 個頻道之類比數位轉換器，此 8 個頻道共用一組外部輸入訊號，因此理論上此 8 個頻道的 ADC 所解出來的數位碼需相同。若有所不同則可討論是否是因製程上的飄移，或不匹配而造成的結果。ADC 的測試主要分為靜態的積分非線性(Integral Nonlinearity, INL)、微分非線性(Differential Nonlinearity, DNL)、偏移誤差(Offset Error)及增益誤差(Gain Error)，以及動態的總諧波失真(Total Harmonic Distortion)，訊/噪比(Signal-to-Noise Ratio, SNR)，有效位元數(Effective Numbers of Bit, ENOB)。靜態測試乃藉由輸入一緩升或緩降的斜波，來測得各項數據。由於影像感測器輸出訊號為一變換的階梯電壓，故靜態測試對於專門設計為 CMOS 影像感測器的類比數位轉換器至為重要，所採用的測試電路如圖 4-5 所示。由運算放大器及電容所構成的積分器可產生斜率 $dV/dt = 1/C$ 之斜波(Ramp wave)輸入至待測的 12 bit ADC，經 ADC 解碼後與由 Pattern Generator 所產生的理想數位碼比較，將比較結果迴授控制積分器的電流源。於是積分器輸出端所產生的斜波，即為待測 ADC 的真實斜波輸出波形，藉由精確數位伏特計所量測出的數據，即可計算得到 INL、DNL。

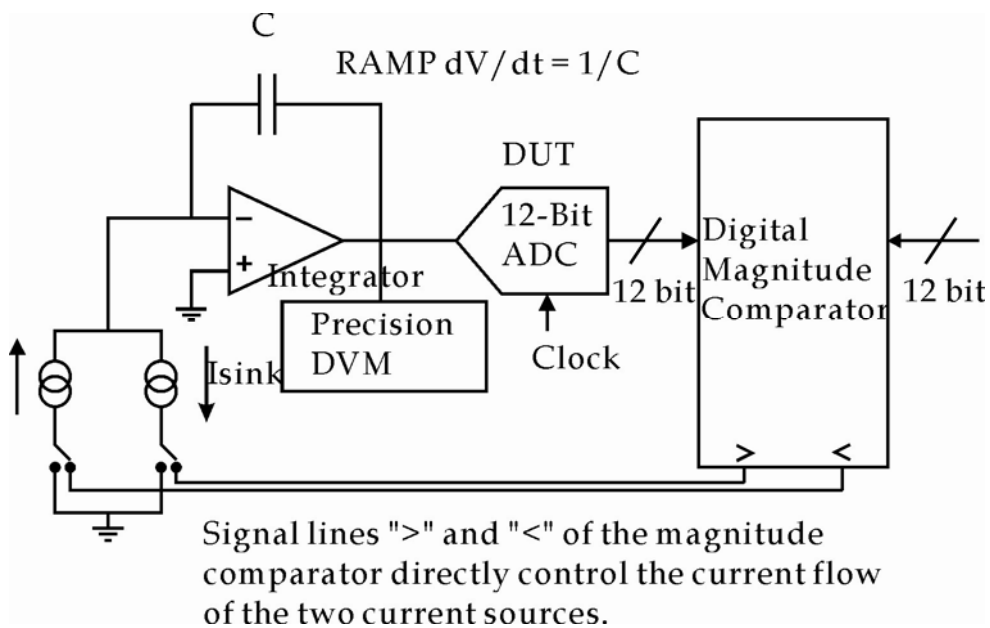


圖 4-5 ADC 靜態測試版電路方塊圖

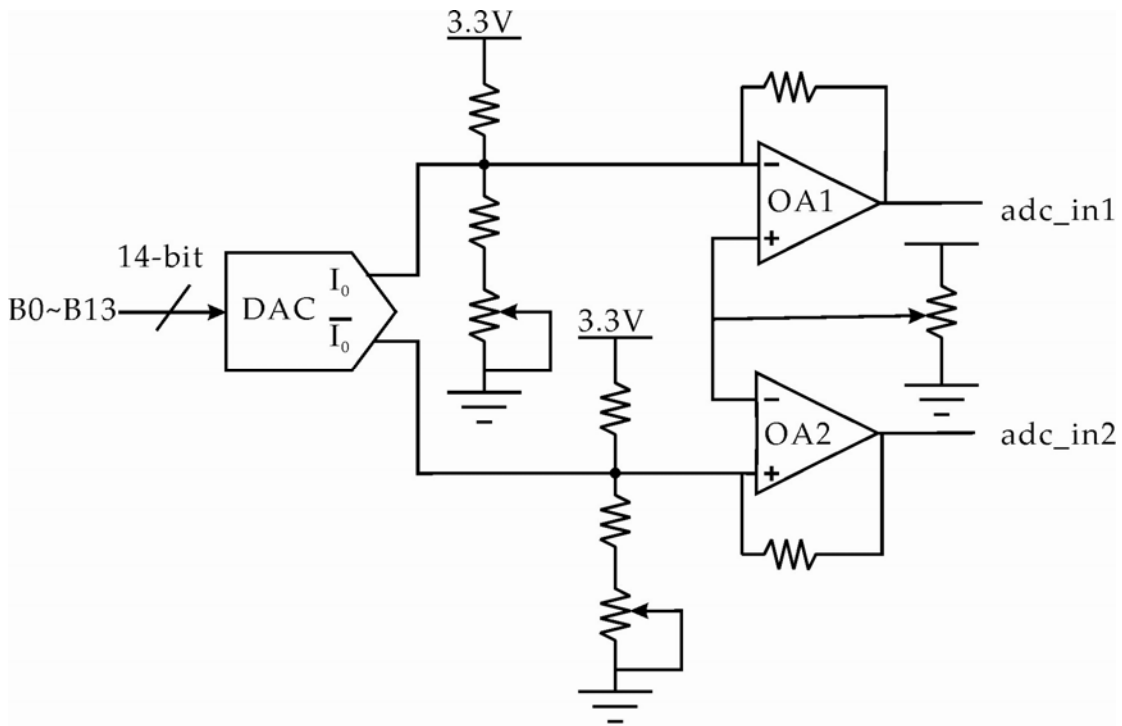


圖 4-6 類比數位轉換器動態測試版輸入電路

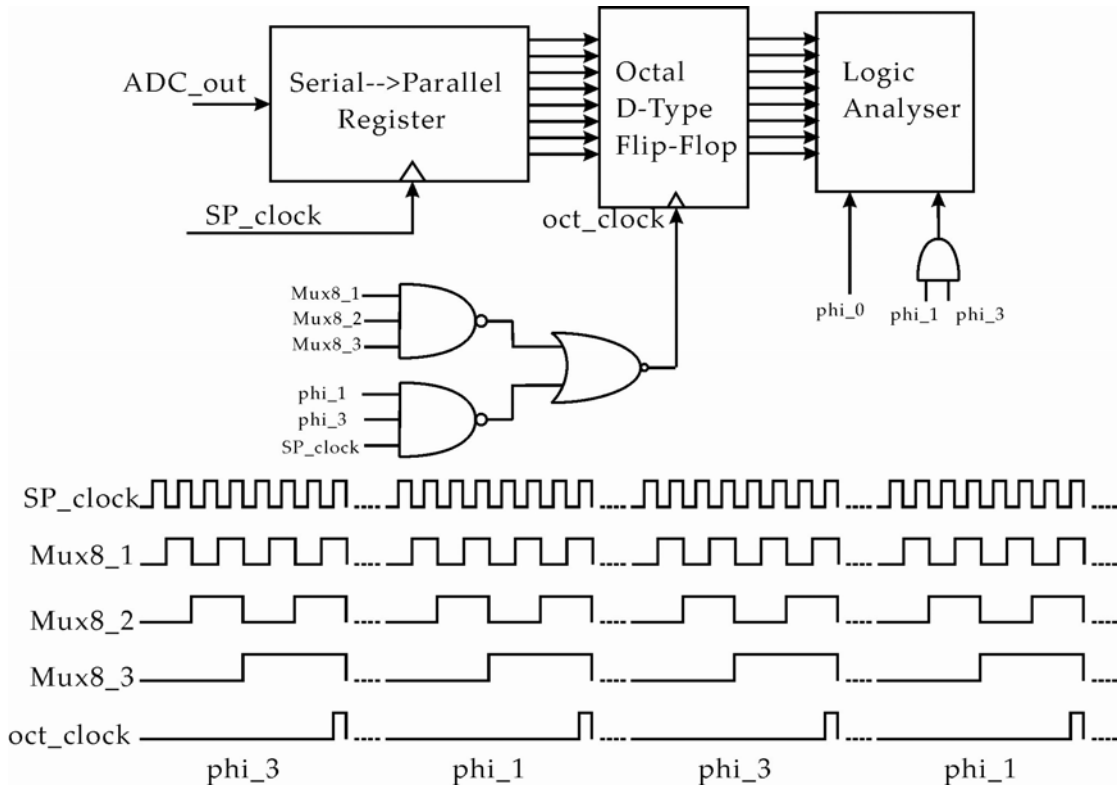


圖 4-7 ADC 測試版輸出電路方塊圖

動態測試之輸入電路如圖 4-6 所示，由 Pattern Generator 所產生的弦波碼輸入到一個 14 bit DAC 來產生精確度達 14 bit 的弦波，藉由電阻調整直流準位及振幅，輸入至 ADC。ADC 之輸出電路方塊圖如圖 4-7 所示。其中 SP_clock、Mux8_1、Mux8_2、Mux8_3 為晶片內部時脈產生器產生之時脈輸出，而 Mux8_1、Mux8_2、Mux8_3 為控制晶片內 8x1 多工器之時脈。將 ADC 的輸出接至串列轉平行暫存器 (Serial-to-Parallel Register)，將 ADC_out 輸出轉換成 8 個頻道的 ADC 輸出，每一個頻道代表一個 Column ADC 輸出，藉由 Octal D-type Flip Flop 取樣同步化 8 個頻道的 ADC 輸出，此時每個頻道為一 12 bit 的 ADC 串列輸出，以邏輯分析儀接收此一串列輸出資料，phi_0 為晶片內時脈產生器所產生的 ADC 取樣訊號，輸出至晶片外部，連接至邏輯分析儀做為邏輯分析儀串列輸入的旗標訊號，而 Phi_1、Phi_3 則做為串列訊號的伴隨時脈。由邏輯分析儀取得數位資料碼後，傳至電腦藉由 Matlab 所撰寫之程式，即可計算出 ENOB、SNDR。

4.4 相關性雙取樣電路及類比數位轉換器

相關性雙取樣電路需輸入一步階電壓，如圖 4-8 所示，其中 Pixel_reset 為像素重置時脈，由於像素重置後，cds 需輸入像素重置後的值，利用一固定之參考電壓做為像素重置後的值。Pix_value 則輸入由參考電壓產生電路所產生之欲測的像素輸出值。由邏輯分析儀取得 ADC 輸出訊號後即可分析 CDS。

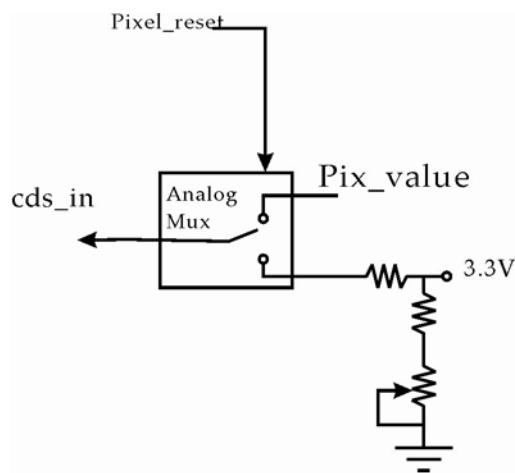


圖 4-8 產生 CDS 輸入電壓之測試版電路

4.5 單晶片攝相系統測試

由於本晶片所採用的製程並非標準 CMOS 影像感測器製程，故並不針對像素的性能做測試考量，於單晶片攝相系統運作上，僅以全黑模式、遞增光源模式，集中單點光源，三種模式測試。全黑模式在於觀察此像素陣列在不照光時，像素所產生暗電流而形成的固定圖像雜訊(Fixed Pattern Noise)。遞增光源模式目的則在於觀察本晶片是否能在 HDTV 規格的速度下正確的運作，產生漸增的數位輸出值。集中單點光源，則為觀察本晶片是否能正確顯示影像圖形。

第五章 結論

5.1 論文貢獻

本晶片成功實作出內含 12 位元平行處理類比數位轉換器之單晶片攝相系統，相當於對 CMOS 影像感測器的高集成電路特性作了驗證；採用多頻道平行處理類比數位轉換器之優點為(1)平行輸出提供較高的畫面傳輸率，(2)影像感測器直接輸出數位資料，方便與數位訊號處理器作整合，勿需擔心相鄰頻道間的交互干擾，(3)將轉換器整合在晶片中可有效降低系統的尺寸、功率及價格。

一些可考慮的架構與本晶片所採用的架構相較。對於 12 bit 的解析度，flash 架構所需的面積太過龐大。Dual-slope 為可行的方案之一，然而在 HDTV 規格的速度下，略嫌過慢。Sigma-Delta 架構亦有速度上的問題。Cyclic 及 Pipeline 運算轉換器則為可用的選擇。且在 $8.05 \text{ um} \times 8.05 \text{ um}$ 的像素面積，以符合面積及速度要求下，模擬有效位元數可達 11 bit 以上。

5.2 未來改進

由於本晶片為本人第一顆獨立設計至 tape out 的晶片，且架構龐大，在測試部分考慮多有未盡周詳之處；可改進之處

- (1) 應設計獨立之 CDS 以利 CDS 之測試。
- (2) 設計獨立之 pixel 類比輸出，可與內建 CDS 及 ADC 之效能進行比較。
- (3) 數位輸出部分若能整合記憶體元件，將數位輸出資料存成畫面型態的資料再讀取出，可大大降低外部數位電路的複雜度。
- (4) 若情況允許應採用標準 CMOS 影像感測器製程實現。

參考論文

- [1] Behzad Razavi, "Design of Analog CMOS Integrated Circuits."
- [2] Steven Decker, "A 256 x 256 CMOS Imaging Array with Wide Dynamic Range Pixels and Column-Parallel Digital Output" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 33, NO. 12, DECEMBER 1998.
- [3] Kwangseok Han, Kwyro Lee, "Thermal Noise Modeling for Short-Channel MOSFET's" Simulation of Semiconductor Processes and Devices, 2003. SISPAD 2003. International Conference on 3-5 Sept. 2003 Page(s):79 – 82.
- [4] P.W.Li, M.J.Chin, P.R.Gray, and R. Castello, "A ratio-independent algorithmic analog-to-digital technique," IEEE J. Solid-State Circuits, col. SC-19, pp. 828-836, Dec. 1984.
- [5] C. C. Shih and P. R. Gray, "Reference refreshing cyclic analog-to-digital and digital-to-analog converter," IEEE J. Solid-State Circuits, vol. SC-21, pp. 544-554, Aug. 1986.
- [6] Bernard Ginetti, Paul G. A. Jespers, "C CMOS 13-b Cyclic RSD A/D Converter" IEEE J. Solid-State Circuits. Vol. 27. No. 7. July 1992.
- [7] David A. Johns and Ken Martin, Analog Integrated Circuit Design. John Wiley & Sons Inc., 1997.
- [8] R. Castello and P. R. Gray, "A high-performance micropower switched-capacitor filter," IEEE J. Solid-State Circuit, vol. SC-20, no. 6, pp.1122-1132, Dec. 1985.
- [9] Lisa G. McIlrath, "A Low-Power Low-Noise Ultrawide-Dynamic-Range CMOS Imager with Pixel-Parallel A/D Conversion " IEEE , JSCC, Vol. 36, NO. 5, May 2001.
- [10] B. Ackland and A. Dickinson, "Camera on a chip," in 1996 IEEE international Solid-State Circuits Conference, (San Francisco, CA), February 1996.

[11] Andrew J. Blanksby, Member, IEEE, and Marc J. Loinaz, Member, IEEE

“Performance Analysis of a Color CMOS Photogate Image Sensor.”

[12] Louis Luh, John Choma, Jr., and Jeffrey Draper “A Continuous-Time Common-Mode Feedback Circuit (CMFB) for High-Impedance Current Mode Application” IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—II: ANALOG AND DIGITAL SIGNAL PROCESSING, VOL. 47, NO. 4, APRIL 2000.