

國立中央大學

電機工程研究所  
碩士論文

增強 CMOS 鎖相迴路可靠度

Reliability Enhancement Of CMOS PLLs

研究生：黃啟書 撰

指導教授：魏慶隆 博士

中華民國九十五年七月二十五日



## 摘要

良率與可靠度是半導體產品的兩項重要因素，在製造過程中發生了一些外在情況而造成在製造過程中產生了一些缺陷，然而在 CMOS IC 中較為常見的是在 MOS 元件上閘氧化層上的問題，一般我們稱之為 Defect (缺陷)，這個原因在 IC 剛被製造出來時很難被發現的，直到過了一段時間才會因為這個缺陷使得閘氧化層損毀使得電路的執行效率大大地減低，因此要如何提早發覺並且將其避免類似的情況發生就有不少方法出現，而在目前較有效率的方式 Burn-in(燒烤)，這個方法就是將 IC 送進考箱裡利用高溫高壓的方示讓有缺陷的 MOS 電路提早損毀，如此一來便可以避免這些產品流入客戶的手中，但是這個方法不但提高了產品的成本也增加許多的測試時間。

還有另外的方式是使用傳統 Iddq Test 以及 0-1 Test 但是對於類比電路而言其實可能並不適用，因此我們採用另一種方式來測就是加高電壓的方式來對有缺陷的 MOS 加壓，再經我們的推導可以算出加壓的電壓與加壓時間為何，如此一來就可精確的判斷出沒有缺陷的 MOS 可以承受的時間為多長，而達不到這一時間的 MOS 則會損毀，這樣我們就可以不用花太多的時間與金錢來提高可靠度，因此我們選則 PLL(Phase Clock Loop)作為本篇論文對類比電路採用加壓測試的電路，而 PLL 又可分為三種分別為線性鎖相迴路(Linear PLL)、數位式鎖相迴路(Digital PLL)以及全數位式鎖相迴路(ADPLL)，其中線性鎖相迴路為完全的類比電路所組成，全數位式鎖相迴路則為整個電路均是以數位為架構所成的電路，而我們這一次 PLL 所選用的是數位式鎖相迴路，這一種 PLL 的特點是在相位頻率偵測器由原先的類比電路架構改為數位電路架構其於的部份則均為類比電路，因此我們選用這一種型式的 PLL 便可加以驗證加壓測試方式可以對類比電路或數位電路均適用。

## **Astract**

Yield and reliability are two important factors of the semiconductor products, it produces some defects in the course of making to cause some external situations in the course of making, but comparatively a common one is that the floodgate on MOS component oxidizes one story of questions had in CMOS IC, generally we call that Defect (defect ), this reason is very difficult to be found when IC was just made out, can make floodgate oxidize one layer of damage make the execution efficiency of the circuit lower greatly by the defect until after a while, want how discover and prevent similar situation from is it have methods appear to take place it ahead of time, more efficient way Burn-in at present (roast), this method is to send IC to while testing the case and utilize the side of high-temperature high pressure to show and let defective MOS circuit be damaged ahead of time, can prevent these products from flowing into the customer's hands once coming so, but this method has not only raised the cost of the products also increases a lot of test time.

Other ways use traditional Iddq Test and 0-1 Test but but the speech may actually not be suitable for imitating the circuit, it is that a way with high voltage pressurize to defective MOS so we adopt another way to examine, and then by to is it can calculate voltage that pressurize and why it will be pressurization time to derive us, how long is the acceptable time of MOS without defect of very accurate judging so once coming, MOS not reaching this time will be damaged, in this way we needn't spend too much time and money raising the reliability , so we select PLL (Phase Clock Loop ) to adopt the circuit that pressurize and test in imitating the circuit as this page thesis, and it is linear phase locking return circuits respectively that PLL can be divided into three

kinds (Linear PLL), several type phase locking return circuit (Digital PLL ) and location type phase locking return circuit (ADPLL ) totally, linear phase locking return circuit among them make up by complete simulation circuit, totally the location type phase locking return circuit regards digit as the circuit become of structure for the whole circuit, and we several type phase locking return circuit, this at phase place frequency detect examining device change it several circuit structure their from original simulation circuit structure to in kinds of the characteristics of PLL on part imitate by circuit, so PLL that we selected this kind of modelling for use can prove that it can be to imitating the circuit or the digit circuit suitably to pressurize to test the way .

## 誌謝

本篇論文得以完成，首先要感謝我的指導教授魏慶隆博士，平日忙於院內的公事之外仍然撥空指導缺失，在我研究遇到了瓶頸也能明確指引我一個方向讓我在研究之不會找不到方向摸不著頭緒，回首這兩年的研究生的總總不論是在課業上或者是待人處事方面以等等都獲益良多，這些在我未來的人生道路上都有相當大啓發與影響，在老師的不斷的免勵指導之下我才能夠順利畢業，在此向老師致上心中最誠摯的感謝。

另外我還要感謝系上的老師讓我在研究生兩年的時間在課業上教導我非常多讓我能在這兩年的研究生能過的相當充實，當然還有要感謝已經畢業的學長還有跟我一起進來的同學秉彤，感謝你們在我困難的時候能夠適時的幫助我也同時提供意見給我感謝你們，以及跟我一起進來電子組的同學謝謝大家這兩年來的陪伴，讓我在研究所兩年一直在很歡樂的氣氛下度過且充實下度過。

最後要感謝的是我的家人，感謝我的父母扶養我到這麼大期盼我順利畢業，因為有你們全心全意的支持讓我能無後顧之憂完成我的學業完成這一篇論文，感謝我的家人感謝所有幫助過的所有人，這一切一切點滴在心頭我必定不忘，希望今後大家也都能平平安安、順順利利作任何事都能心想事成。

<b>Table of contents</b>		Page
<b>Chapter1</b>	<b>INTRODUCTION</b>	1
1.1	Motivation.....	2
1.2	Organization.....	3
<b>Chapter2</b>	<b>BRACKGROUND</b>	4
2.1	Physical Failure Mechanisms.....	4
2.2	Failure Mechanisms.....	4
2.2.1	CMOS Gate-Oxide Reliability.....	5
2.3	Defect Models.....	7
	Hole-Induced (Reciprocal-Field) Breakdown	
2.3.1	Model.....	7
	Thermochemical (Linear-Field) Breakdown	
2.3.2	Model.....	8
2.4	Extreme-Voltage Stress Tests.....	8
2.5	Burn-in.....	10
2.6	Extreme-Voltage Stress Tests with 1/E model.....	12
2.6.1	Stress Time and Stress Voltage.....	12
2.6.2	Stress Test Vector Generation.....	13
<b>Chapter3</b>	<b>PHASE LOCK LOOP ARCHITECTURE</b>	15

3.1	PLL Architecture.....	15
3.2	Phase Frequency Detector.....	17
3.3	Charge Pump.....	22
3.4	Loop Filter.....	25
3.5	Voltage-Controlled-Oscillator(VCO).....	28
3.6	Divider.....	31
3.7	System Simulation.....	32
<b>Chapter4</b>	<b>STRESS TEST OF CMOS PLLS FOR RELIABILITY EEHANCEMENT</b>	<b>35</b>
4.1	Conventional Stress Test:0-1 Tests and Iddq Tests.....	35
4.2	Stressable Analysis of Dvdloped Stress Tests.....	41
4.2.1	PFD.....	41
4.2.2	Charge Pump.....	42
4.2.3	Divider.....	43
4.2.4	VCO.....	44
4.3	Design for Stressable VCO	46
4.4	Stress Vector for Stress PLL.....	49
4.5	Improvement.....	52
<b>Chapter5</b>	<b>SUMMARY and Future Work</b>	<b>57</b>

5.1	Summary.....	57
5.2	Future Research Work.....	57
	<b>Reference</b>	59

# Chapter 1

## INTRODUCTION

由於微電子工業的進步而成爲全球最大的產業[1]，CMOS 目前是有最大優勢技術並且預計未來仍然佔著領導的地位。微電子電路的生產過程從一矽晶體的發展開始到封裝，良率(Yield)與可靠度(reliability)是生產與製造很重要的驅動力，良率必須在最理想水準外仍然保留一定的可靠度[2]。

每個客戶的積體電路 (ICs) 嘗試的提高可靠度、擁有高效能(performance)、壓低成本、及縮短上市時間(time-to-market)等等。在半導體公司而言，在設計時實際面臨著在成本、效能、可靠度以及上市時間甚至客戶的需求等等之間的取舍。

氧化物(Oxide)的缺陷(defect)已經被認爲最可能影響 COMS 積體電路的可靠度的原因之一[4-8]。對於微粒子的破壞、基底(substrate)上的缺陷、某一點的缺陷(spot defects)等等在氧化物上的問題[9]，半導體的製程上經常使用離子的方式去除沉積在晶圓(wafer)上的一些物質，以解決上述問題。如果電荷夠大而且沒有任何漏電路徑到基體，那麼電流將會打穿電晶體的氧化層造成氧化層的裂縫。氧化層的損壞將導致效能的下降而造成可靠度的降低。

氧化層的質量及壽命及厚度有密切的關係[8,12]。當氧化層的厚度比預期的薄的話就會很容易發生，而變薄的那一點則形成一個凹洞、表面不平或者降低凹槽高度[13]，這將使縮短開氧化層的壽命增加氧化層漏電流，或者引起與時間有關的非導電性的破壞。

可靠度的分析是指透過 IC 最初的測試並且達到一定程度的良率之後而這 IC 仍能繼續動作到一定的時間。因此，IC 公司嘗試降低早期的損毀率，以增加該

產品的可靠度。如果較差可靠度的產品釋放出給客戶或者是裝在模組的系統上，很容易在早期的時候就因為缺陷而產生故障。從一些經驗就可以知道那些缺陷可能在第一年之內就造成損毀[14]，如圖 1.1 中所示，這些較高的早期缺陷的數量被叫為早期的損毀(Early Failures)，在過了一段時間之後該元件幾乎固定的故障率進入穩態時期。

加壓測試(Stress Test)是一種加速篩選具有早期缺陷的元件以維持可靠度的一種技術。其目的在於迫使具有早期缺陷的元件提早從故障率高的區域進入穩定期。在加壓測試時，將工作環境的電壓或溫度提到較平常高。IC 工廠的標準加壓測試時有高電壓加壓測試(High-Voltage Stress, 或 Extreme-Voltage Stress)及高溫加壓測試(High-Temperature Stress, 或 Burn-In 崩應) [15-17]。崩應的成效是非常顯著，幾乎所有的電路或者是早期的缺陷都適用。崩應可以減少產品早期的缺陷數量，但是相對的在成本與時間上卻有相當大的影響，增加產品的製造成本約 5%~40%，還有需要花費崩應的時間以及增加產品的複雜性。

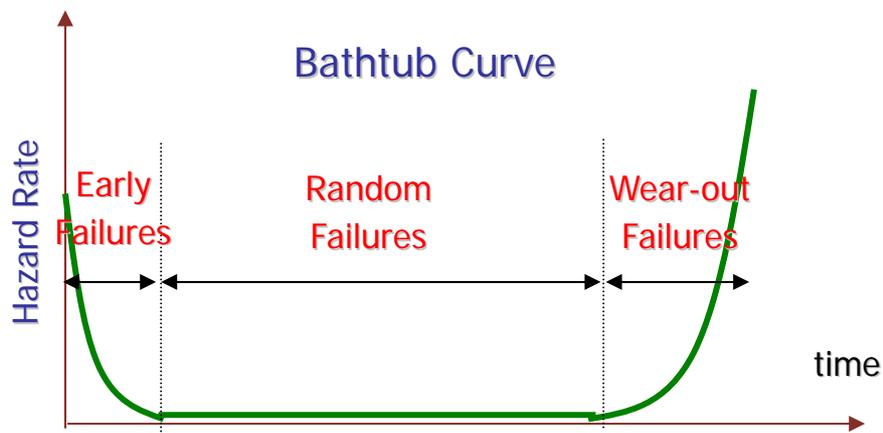


圖 1.1.

## 1.1 Motivation

如何在數位電路設計上增強可靠度的問題曾經被討論過，但是在類比電路上卻幾乎沒有，因為類比電路本身就很容易受到外界的雜訊干擾而導致整個電路

的誤動作。目前 IC 製造廠的作法，以研發給數位電路上增強可靠度的加壓測試方法對類比電路測試，造成類比及混合電路無法達到滿意的可靠度。因此，提出一種增強類比電路可靠的方法有其必要性，我們將以鎖相迴路 (Phase Locked Loop, PLL)來驗證此測試方法，在此，我們採用數位與類比相存的混合式的 PLL，我們將會有深入的探討如何測試這種電路。

## 1.2 Thesis Organization

本篇論文分為五章，第二章我們先討論造成 CMOS 的缺陷的原因及 CMOS 的損毀機制，且解說氧化層的缺陷相關的  $1/E$  model 及  $E$  model，而這些理論針對數位 CMOS IC 所研發，我們將討論是否試用於類比電路，最後說明要如何對類比電路產生加壓測試向量的方法與分析過程。

第三章說明 PLL 的架構原理以及子電路各個部份在電路上的功能，在設計方面需考慮到整個電路的穩定性，因此在濾波器上有較多的著墨，最後說明壓控振盪器的原理以及設計。

第四章針對 CMOS PLL 來作測試，首先會先採用傳統用於數位電路的加壓測試方法，0-1 Test 跟  $I_{ddq}$  Test，來對 PLL 的各個子電路做測試，但是效果不彰，於是採用研發的加壓測試來測試 PLL，且算出各個 MOS 的的加壓時間與找出測試向量，最後說明如何設計高可靠度的 PLL 及如何對 PLL 輸入測試向量。

第五章則是作最後的總結及未來的研究方向。

## Chapter 2

### BRACKGROUND

此章先說明會影響到 CMOS IC 可靠度的原因？以及在閘氧化層上的缺陷模式(Defect Model)，再來說明如何用現有的方法來提升 CMOS IC 的可靠度。

#### 2.1 Physical Failure Mechanisms

構造的故障(Physical Failures)可能來自於化學上的、電子上的、實體上的、製程上的、或者是溫度上的程序上所導致的，可被歸類於幾種型態、模式、缺陷的累積、或者是在根源情況，而其故障包含了短路、開路或者是參數上所造成的問題。

#### 2.2 Failure Mechanisms

當電晶體的傳導速率下降時則在熱傳導損害情況，它可能在汲極端(Drain)邊界的通道附近改變，因此它可能無法在汲極端產生通道，這個問題在類比電路上比較不常發生，因為類比電路很少會在通道長度被設計在最小尺寸。

*Electromigration* 係指金屬原子傳導和電子流動方向播散，它會造成電晶體的傳導下降，而 *Electromigration* 模型參數是從內部的高品質的金屬連接線的發生與維護的資訊有相關。

而 *Gate Oxide Breakdown* 破壞原理是在每一個 MOS 元件的閘極上的薄的非導體遭到破壞，閘氧化層上的非導體介質原本上強而有力的隔離物但經常被電場損毀，在一個足夠高的電場環境下並且有一定值的電壓將會對閘氧化層產生破壞性的影響，這種現象我們稱之為時間相關的非導體性破壞(Time-Dependent

Dielectric Breakdown , TDDB)。IC 設計裡的對內部相互連結最大金屬線得可靠度是來自於晶圓場在電性遷移特性規則[20]，因此對於類比電路而言閘氧化層 Breakdown 是一種相當常見的破壞。

### 2.2.1 CMOS Gate-Oxide Reliability

TDDB 是一種穿透 CMOS 的閘極端氧化層到基底(substrate)的破壞行為，而其中有一條通道是介於在氧化層與閘極之間，被破壞掉就無法有效的由閘極來控制汲極到源極間的電流。閘氧化層的破壞將導致電晶體的效能退化進而導致可靠度的降低，因此氧化物缺陷是 ICs 的可靠性問題的主要的原因。

當 MOS 的閘氧化層很薄的時會很容易造成氧化物遭到破壞，如果閘氧化層很薄也很靠近源極的話那麼閘極到源極的路徑就會被確立，同樣的閘氧化層很薄也是很靠近汲極的話那麼閘極到汲極的路徑也是被確立，例如一個擁有很薄的閘氧化層的 NMOS 如圖 2.1 所示，在製造的時候在在有些位置上有不均勻像在閘氧化層或者是閘氧化層跟下方的基板之間還是下方的基板不均勻都有可能，而金屬離子、粒子和晶體的缺陷降低的閘氧化層非導電性的能力。

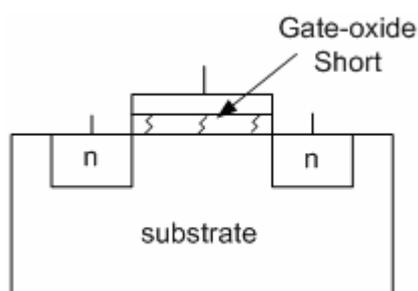


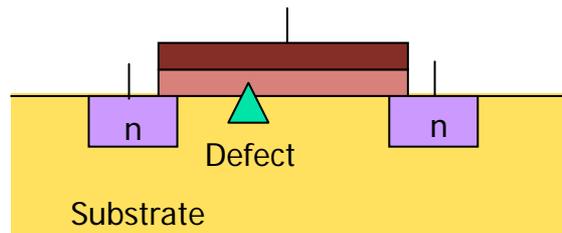
圖 2.1:

如圖 2.2 所示為閘氧化層的示意圖[21]，在 Step1 表示在閘氧化層上的缺陷，當電壓加在不均勻的矽晶體或二氧化矽的電晶體的閘級上那將會產生一個電場 (Step 2)，而這個高電場會將閘氧化層打穿並且會加速電荷通過閘氧化層(Step

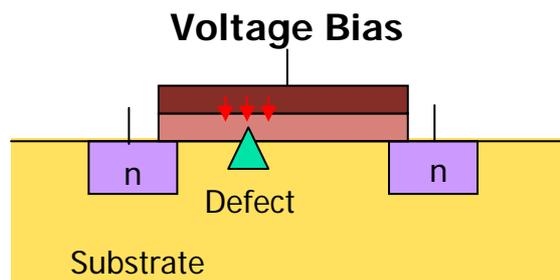
3)，其原因為閘氧化層上的二氧化矽不均勻的幾何結構、閘極電壓的持續加壓、還有閘氧化層的厚度寬度對於電壓及溫度均有相當程度的影響。

### 閘氧化層打穿的過程

Step1. 在製造時結構上的不均勻



Step2. 電壓加在不規則的矽晶體或二氧化矽的電晶體的閘極



Step3. 在高電場下造成打穿閘氧化層

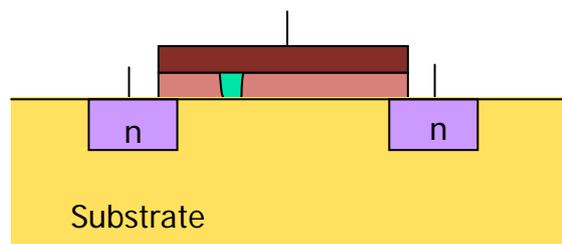


圖 2.2

## 2.3 Defect Models

TDDDB 是在半導體可靠性方面研究破壞性理論相當重要的一環[22]，從 20 世紀 60 年代起研究人員已經努力去理解氧化物的性質與行爲，過去 40 年科學家已經能組成足夠的關於 TDDDB 的訊息發展像時間一樣的變量與電場的函數關係描述故障的基本的模型 [23]，分別有兩個氧化物故障模型 [24]目前與這有關分別是: (i) The Classic Hole Induced (1/E) Model, 及(ii) The Thermochemical (E) Model，把複雜的現象描述爲允許可靠性計算和預測的相對簡單的數學表示。

### 2.3.1 Hole-Induced (Reciprocal-Field) Breakdown Model

**Hole induced breakdown model** [24]曾經被提議並且確定的數量[12]，這個破壞機制是由陰極注入的電子的正回授，電洞產生將要對陰極影響離子和隨後電洞的漂流以及在陷入困境的電洞在陰極界面會提升電場的強度，這些過程最終引起非導電性的損壞，因此對於電洞引起的故障模型在 effective-oxide-thinning model [12]所提出的解釋有關缺陷的損壞這個模型如 2.1 式所示。

$$t_{BD}(T) = \tau_0 \exp\left(\frac{G(T)X_{eff}}{V_{ox}}\right) \quad (2.1)$$

其中  $t_{BD}$  是崩潰時間(單位爲秒)， $X_{eff}$  爲閘氧化層的厚度， $V_{ox}$  則是加在氧化物的電壓(單位爲 V)， $\tau_0(T)$  則是與溫度相關的係數其中 T 爲絕對溫度(單位 °K)， $G(T)$  也是與溫度相關的係數(單位爲 MV/cm)，在一般常用的數值  $G=350$  MV/cm 和  $\tau_0=10$  p sec [2.1]，在上述模型其溫度的最佳組合在  $25^\circ\text{C} \sim 125^\circ\text{C}$ ，例如一個固定溫度  $T=300^\circ\text{K}$ (室溫爲 27 度),當使用加壓方式作測試是與溫度無關的，當溫度有變化時 2.2 式可用來表示[12]。

$$t_{BD}(T) = \tau_0(T) \exp\left(\frac{G(T)}{E_{ox}}\right) \quad (2.2)$$

### 2.3.2 Thermochemical (Linear-Field) Breakdown Model

Thermochemical breakdown model 與 Hole induced breakdown model 形成強列對比[24]接受 Eyring 模型的熱力學的特性，另外在模型已經用來在氧化物損壞之前預測氧化物壽命，M. Kimura [26]為非導電性的故障提出一個定量熱力學的模式，在考慮熱力學的自由能之下可以使用 Eyring 模型，這裡作穿過非導電性使用的那些恆定電場和未知常數根據那些領域損毀時間決定，由容易改便的定值來累積損毀率，而 Thermochemical breakdown 時間如 2.2 式所示

$$t_{BD} = \tau_0(t) \exp[-\gamma(T)E_{ox}] = \tau_0(t) \exp\left[-r\left(\frac{V_{ox}}{Y_{eff}}\right)\right] \quad (2.3)$$

其中  $t_{BD}$  是崩潰時間(單位時間為秒)， $X_{eff}$  為閘氧化層的厚度， $V_{ox}$  則是加在氧化物的電壓(單位為 V)， $\tau_0(T)$ 則是與溫度相關的系數其中 T 為決對溫度(單位 °K)， $r(t)$ 也是與溫度相關的系數(單位為 MV/cm)，一般而言當  $r=3.2327$  cm/MV 則  $\tau_0=6.3515e^{18}$  sec 在 25°C，或著當  $r=2.62$ cm/MV 則  $\tau_0=1.43e^{14}$  sec 在 125°C，另外注意到上述模型是在溫度方面的最佳配合在 25°C 到 125°C 的範圍內。

## 2.4 Extreme-Voltage Stress Tests

極端電壓(Extreme-voltage)或高電壓的加壓測試常用於數位電路上，一般電晶體可以被分成三個區域分別是 GD (閘極與汲極), GB (閘極與基底), 以及 GS (閘極與源極)，當在 GD 區域時產生的損害是在閘極與汲極之間的氧化層被打穿了，同理可證其它區域也是一樣，首先令  $V_{GD}$ 、 $V_{GB}$  和  $V_{GS}$  為這三區的電壓以

COMS 數位電路來說，電晶體在三個端點加壓可以分為兩種情形，一種為  $((V_D, V_G, V_S)=(0, V_{\text{stress}}, 0))$  這是針對 NMOS 而另一種為  $((V_D, V_G, V_S)=(V_{\text{stress}}, 0, V_{\text{stress}}))$  這是針對 PMOS [2.9]，這是說  $V_{GD}$ 、 $V_{GB}$  以及  $V_{GS}$  是相同的即  $V_{\text{stress}}$ ，然而對類比電路而言  $V_{GD}$ 、 $V_{GB}$  以及  $V_{GS}$  可能因為工作函數而導致不相同，因此在類比電路上壓力的定義未曾被提出來討論。

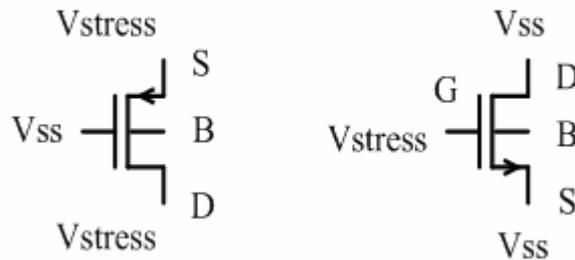


圖 2.3

NMOS:  $(V_D, V_G, V_S)=(0, V_{\text{stress}}, 0)$

PMOS:  $(V_D, V_G, V_S)=(V_{\text{stress}}, 0, V_{\text{stress}})$

COMS 三端的加壓模式如圖 2.3 所示，在傳統的加壓方式有兩種分別為  $I_{\text{ddq}}$ -Test 和 0-1 Test，一般來說這兩種都常用於數位電路中。

對於數位高壓電路而言，在多輸入邏輯 IC 中都每一個閘氧化層必須經歷同相位完整的加壓測試，例如有兩個輸入分別 A 及 B，加壓向量分別為  $(A, B)=(0, 0)$  和  $(1, 1)$ ，這就是被稱為 0-1 Test。

一般而言互補式的電晶體(CMOS)在靜態時電晶體不會有同時為 ON 的情況， $I_{\text{ddq}}$  測試 [26] 參考以穩態電源電流的測量為基礎的電路測驗方法， $I_{\text{ddq}}$  代表靜態的  $I_{\text{dd}}$  或者靜止的電源電流，在穩態裡當全部切換狀態都穩定下來時，CMOS 電路幾乎使靜態電流近乎為零，在完美的 CMOS 電路裡的漏電流是可以忽略的，然而在閘氧化層的短路或者是金屬線的短路的情形下，則有一電流路徑從 VDD 到 GROUND 而且電流當高，因此透過監控電源電流可以看出是否有漏電流，這

一個想法可由圖 2.4 表達出來其中圖 2.4(a)為 COMS 反相器中的閘氧化層短路圖 2.4(b)則表示為 COMS 反相器輸出端短路，因為損害所形成的傳導路徑可在圖 2.4(a)和 2.4(b)所強調，透過圖 2.4 所題出的那樣，測試的  $I_{ddq}$  的概念也非常簡單，至於方法的詳細情形我們將留到 Chapter 4 再說明。

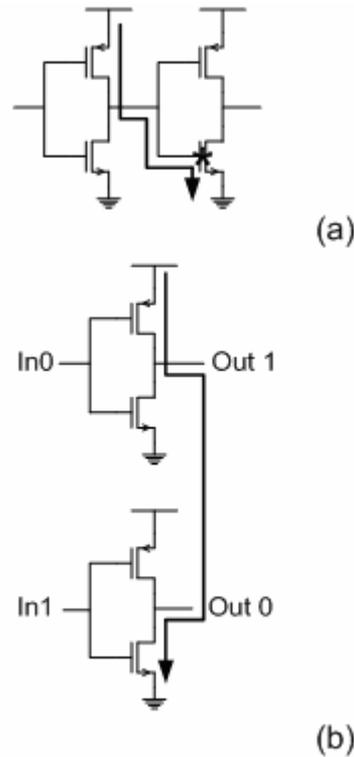


圖 2.4

## 2.5 Burn-in

崩應(Burn-in)在生產過程除去較差或者低可靠性 ICs(使用高溫和高壓力電壓)，一般而言過程在 4~168 個鐘頭，幾乎所有製造商對於產品幾乎 100%的使用崩應的方式，崩應是很昂貴的可能佔產品的價質費用在 5%到 40%之間如圖 2.6 所示，在 IC 被測試之後並且在失敗的總量上取得一個平衡，在一般較好的數值

是在每百萬個中少於一百個有缺陷，崩應的目的是減少產品在早期的死亡率，早期的死亡率的需要 IC 的分佈參數以及破壞原裡才能推算出，崩應的目的是在維護產品的品質，但是它的費用卻相當的高導致在各個學術期刊上出現了其它的方法，其中兩種方式分別為 Iddq-Test 以及極端電壓加壓測試，而崩應則是在最後一個階段，也被稱為之前和之後崩應測試。

part Cost	Burn-in Cost	Total Cost	% Burn-in Cost
\$45.00	\$23.00	\$68.00	33.82%
\$11.15	\$18.35	\$29.50	62.20%
\$ 2.50	\$ 6.25	\$ 8.75	71.43%
\$ 1.02	\$ 6.48	\$ 7.50	86.40%
\$ 0.80	\$ 0.41	\$ 1.21	33.88%
\$ 0.28	\$13.52	\$13.80	97.92%

圖 2.6

一間典型的在崩應的烤爐由一個溫度烤爐和一個控制系統組成通常為 PC 或工作站，溫度烤爐包含電源、壓縮機和一個界面控制系統，通常一塊驅動板與每塊用崩應的板相應把信號送並且得到在測試設備，驅動板價格會反應在精確的傳送頻道數和精密都會影響燒傷烤爐，現在崩應的期間也能讓系統執行寫操作(傳送簡單的訊號給在作測試的元件)和讀的操作(將訊號回授到系統來)而且時間也相當的短並且檢測有無問題。

基於可靠性崩應可以帶來不錯的成果但是卻因為價格較高所以必須在成本以及失敗率取得一個平衡，還有減少崩應的時間這兩個問題必須要檢驗，首先崩應必須建立在穩定的失敗率中，持續的追蹤三個月來保證崩應的品質，第二要減少崩應的時間需要不斷的模擬試驗，另一種減少崩應的時間方法可能要朝晶圓方向發展，但是在計術上有相當大的困難仍然要去克服，例如晶圓在溫度上的膨脹係數以及一些可以實行的方法和測試。

## 2.6 Extreme-Voltage Stress Test with 1/E Mode

在這一節我們將回顧一下測試向量的產生過程[27]。

### 2.6.1 Stress Time and Stress Voltage

如圖 2.7 所示其中  $Y_{eff}$  為氧化層的厚度，當破壞行電壓  $V_{ox}$  此時的溫度為  $T$  且  $Z$  為時間週期單為秒可以藉由 2.2 式計算出。

$$Y_{eff} = [V_{ox} / G(T)] \ln \left[ \frac{Z}{\tau_0(T)} \right] \quad (2.4)$$

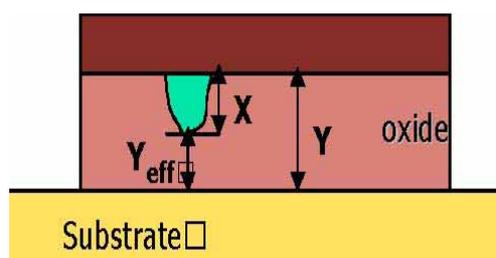


圖 2.7

由 2.4 式可以得到破壞的時間隨電壓和溫度增加而減少，令  $V_{yn}$  在  $V_{normal}$  通過電晶體的區域範圍  $y$  (GD, GB, or GS) 上的最大電壓，這這一部分電路設計者可能會提供或者是做由直流模擬作蒙地卡羅分析(Monte Carlo)也可得到，再令  $V_{yst}$  為  $V_{stress}$  通過的區域電壓，由 2.4 式  $y$  區域的加壓電壓可以得到如 2.5 所示。

$$t_{stress} = \tau_0 (Z / \tau_0) \left( \frac{V_{yn}}{V_{yst}} \right) \quad (2.5)$$

加壓電壓  $V_{stress}$  可以被定義為通過氧化層的臨界電壓如 2.6 式所示。

$$V_{stress} = T_{eff} * 6 \text{ MV/cm} = T_{eff} * 0.6 \text{ V/nm} \quad (2.6)$$

在[19, 27]裡有相關的介紹，爲了證明加壓測試可以在類比電路上實行，考慮惠普 AMOS14TB 的 0.5 微米製程，閘氧化層的厚度爲 9.7 奈米，假設正長的操作電壓爲 3.3V 時，由 2.6 式當閘氧化層的厚度爲 9.7 奈米可得到 5.82V，否則就跟其它有相關，未來我們所定義的加壓電壓將會依照此模式計算出來。

## 2.6.2 Stress Test Vector Generation

考慮一個簡單的轉換電路如圖 2.8 所示總共有六個電晶體還有兩個輸入分別爲 in+和 in-，這李有四個加壓測試向量分別爲(in+,in-)=(0,0), (0,3.3), (3.3,0), (3.3, 3.3)，而每一個測試向量都會對電路進行測試其中電源供應爲 3.3V，結果如表 2.1 所示。

在表 2.1 其中 1 的意思是說有經過加壓測試而可以測得到的則在那一個加壓測試向量表示爲 1，而另一個問題是如何利用將加壓測試向量作最小化並且可以含蓋全部的待測區域，而在實際上最小含蓋區的問題是以選則列來含蓋所有的行，假設壓力向量(0, 3.3)和(3.3, 0)被選擇而這一電路的模擬電源電壓分別爲是 3.3V 以及  $V_{stress}=9.7*0.6= 5.82V$ ，用 5.82V 再作一次可以得到相同的結果如表 2.2 所示，而加壓時間的產生可由 2.5 式得到。

利用模擬結果以及 2.5 式我們可以得到表 2.3 的結果，在表 2.3 所示可得到最後兩個加壓向量，其中一個組需要 0.31 秒才能完成加壓測試，而另外兩組要 0.47 秒才能完成整個測試。

表 2.1

Dn	Up	M1 GS	M1 GD	M1 GB	M2 SG	M2 DG	M2 BG	M3 GS	M3 GD	M3 GB	M4 SG	M4 DG	M4 BG	M5 GS	M5 GD	M5 GB	M6 SG	M6 DG	M6 BG
0.0	0.0	1	1	1	1	1	1	1	0	1	1	0	1	0	0	0	0	0	0
0.0	3.3	0	1	0	0	0	0	0	0	0	1	1	1	1	1	1	0	0	0
3.3	0.0	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	1	1	1
3.3	3.3	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 2.2

in+	in	C1	C2	C3	C4
0.0	0.0				
0.0	5.82		0		5.82
5.82	0.0	4.73	0	5.82	
0.0	0.0				
SV max		2.73	0	3.3	3.3

C1: M1\_GS, M1\_GB, M2\_DG, M3\_GS, M3\_GD, M3\_GB;

C2: M1\_GD; C3: M2\_SG, M2\_BG, M6\_SG, M6\_DG, M6\_BG;

C4: M4\_SG, M4\_DG, M4\_BG, M5\_GS, M5\_GD, M5\_GB.

表2.3

in+	in	C2	C1	C3	C4
0	1	1	0	0	1
1	0	1	1	1	0
Regions		1	6	5	6
SV max		0	0.31	0.47	0.47

## Chapter 3

### PHASE LOCKED LOOP ARCHITECTURE

本章節說明鎖相迴路(Phase Locked Loop, PLL)的基本結構、電路設計以及其電路模擬結果。此電路將作為範例來分析其可靠性及設計具有高可靠度的鎖相迴路。

#### 3.1 PLL Architecture

鎖相迴路發展至今已經有數十年了，其主要用於對時脈或頻率的精確控制，像需要高速傳輸資料裝置或者是無線電波的頻率調諧等等都需要精確的頻率控制，因此 PLL 便可以簡化電路的複雜度並且有效的控制電路的頻率以增加電路的精確性[28]。

PLL 的基本架構圖如圖 3.1 所示，PLL 是利用一個封閉迴路機制將輸入訊號 ( $V_{ref}$ )與回授訊號( $V_{fb}$ )的相位與頻率鎖定在同一個準位，其動作原理是將輸入參考訊號( $V_{ref}$ )與回授訊號( $V_{fb}$ )利用 PFD(Phase Frequency Detector)相互比較這兩訊號的相位超前或落後並且偵測出兩訊號的的相位差異量，當參考頻率高於回授頻率則輸出端會在 UP 發出一個脈波，反之則會在 DN 端發出一個 DN 的脈波，而這些脈波則會適當的控制 CP(Charge Pump)對下一級 LPF(Low Pass Filter)充電的電荷量,如此一來就可以有效控制 VCO(Voltage Controlled Oscillator) 的振盪頻率，VCO 的輸出頻率再接回 PFD 的輸入端( $V_{fb}$ )再比較兩訊號相位，如果相為不相同則會繼續如前述的動作直到兩訊號的相為相同則 PFD 便不會有任何訊號輸出時便達到鎖住相位的目的了。

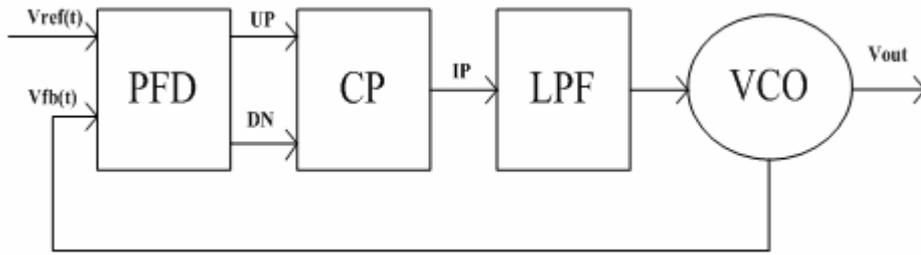


圖 3.1

但是一般的 PLL 都會在回授路徑加上一個除頻器(Divider)如圖 3.2 所示，因此最後由 VCO 的輸出頻率就會變成

$$F_{out} = (F_{ref} * D)$$

其中 D 為除頻器的除數因此 PLL 便可藉著除頻器除數的改變便很容易藉由一個固定的參考頻率來產生各種電路所需要的頻率[29]。

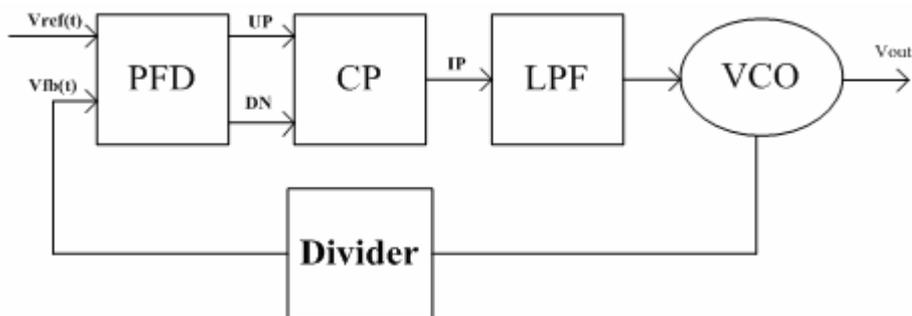


圖 3.2

圖 3.3 為一個線性模型的 PLL 其中開迴路轉移函數如 3.1 式所示

$$G(s) = \frac{I_p K_{vco}}{2\pi C_p s^2} \quad (3.1)$$

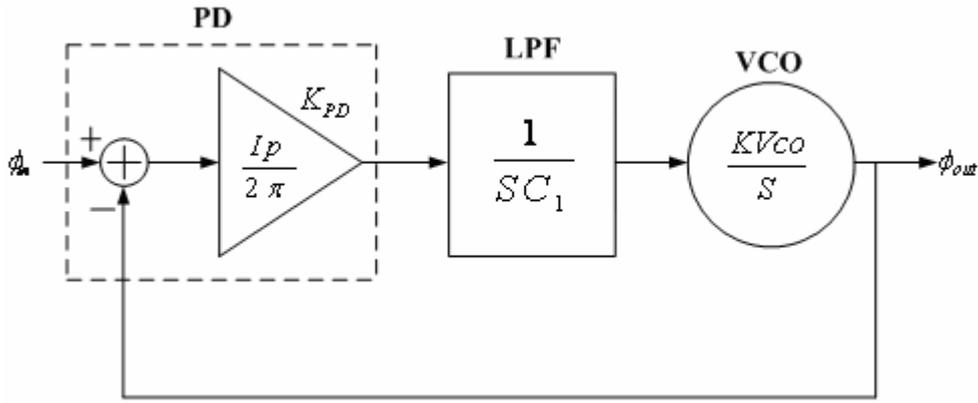


圖 3.3

因此可以推算出閉迴路增益如 3.2 式所示

$$H(S) = \frac{\phi_{out}(S)}{\phi_{in}(S)} = \frac{\frac{I_p K_{VCO}}{2\pi C_1}}{S^2 + \frac{I_p K_{VCO}}{2\pi C_1}} = \frac{K_{PD} Z_{LF}(s) K_{VCO}}{S} \quad (3.2)$$

$$H(S) = \frac{\phi_{out}(S)}{\phi_{in}(S)} = \frac{\frac{I_p K_{VCO}}{2\pi C_1}}{S^2 + \frac{I_p K_{VCO}}{2\pi C_1}} = \frac{K_{PD} Z_{LF}(s) K_{VCO}}{S}$$

### 3.2 PFD (Phase Frequency Detector)

相位檢測器是用來偵測兩輸入訊號的相位差  $\Delta\Phi$  與輸出電壓  $V_{out}(t)$  成線性比例的電路，如圖 3.4 所示當  $\Delta\Phi=0$  時則輸出為 0，其中線的斜率為 PD 的增益並且表示為  $V/rad[28]$ 。

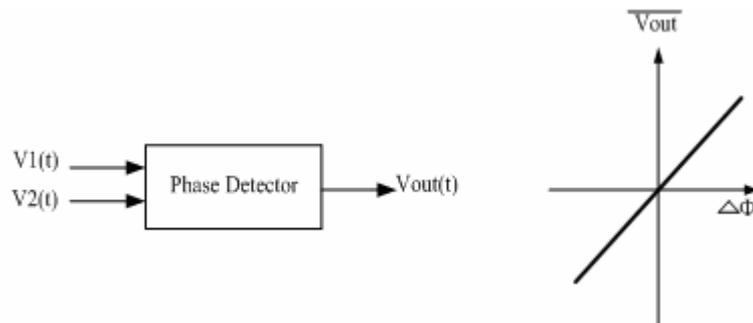
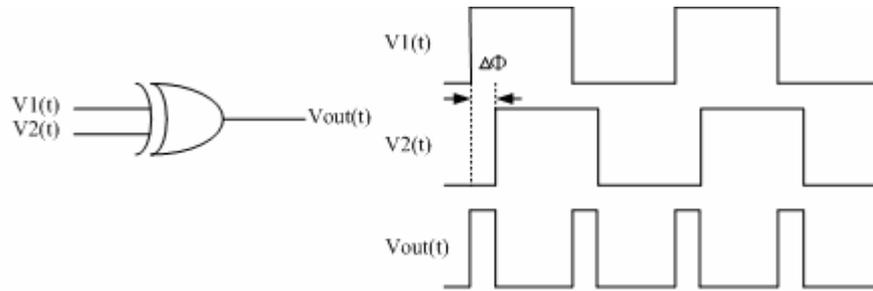


圖 3.4

例如我們最常用來檢測兩訊號的向位是否相同的方式是用 XOR 如圖 3.5 所

示，當兩輸入訊號無相位差時則輸出為零，當兩訊號有相位差的時候，則輸出依照 $\Delta\Phi$ 成比例及依照相位差來產生輸出訊號因此，當輸入訊號相位改變時則輸出脈衝的寬度也會隨之改變[28]。



$$\overline{V_{out}} = 2V_o \frac{\Delta\phi}{2\pi} = \frac{V_o}{\pi} \Delta\phi$$

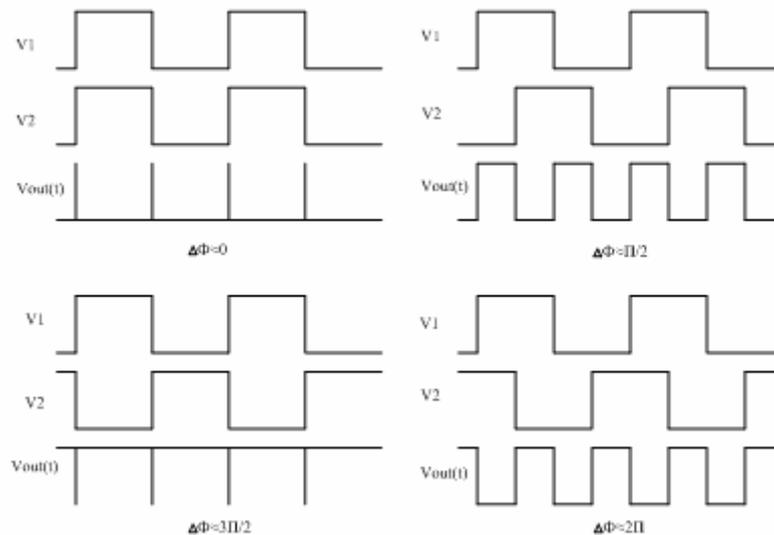


圖 3.5

雖然 XOR GATE 的作法相當簡單且便利，但是 XOR 有相當多的缺點，例如相位偵測範圍為 $\pm\frac{\pi}{2} \pm\frac{\pi}{2}$ ，無法判斷兩輸入訊號的超前或落後，因此 XOR 並無法在實際上用來當 PD，首先我們先看看我們所需要的 PD 是能夠有效的分別出兩訊號的超前或落後如圖 3.6 所示。

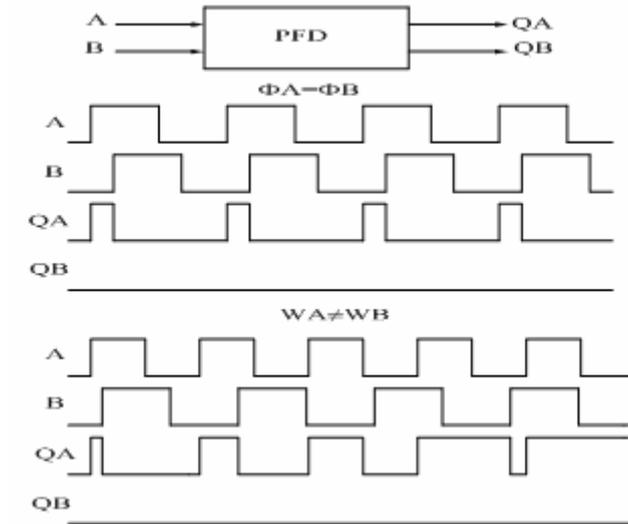


圖 3.6

圖 3.7 為 PFD 的理論狀態, 假設 PFD 的狀態一開始為 State 0, 當 A 領先 B 則 PFD 會進入 State I, 若 A 持續領先 B 則 PFD 停留在 State I 否則回到 State 0, 相反的如果一開始 A 就落後 B 則 PFD 進入 State II, 若 A 持續落後 B 則停留在 State II 否則的話回到 State I[29]。

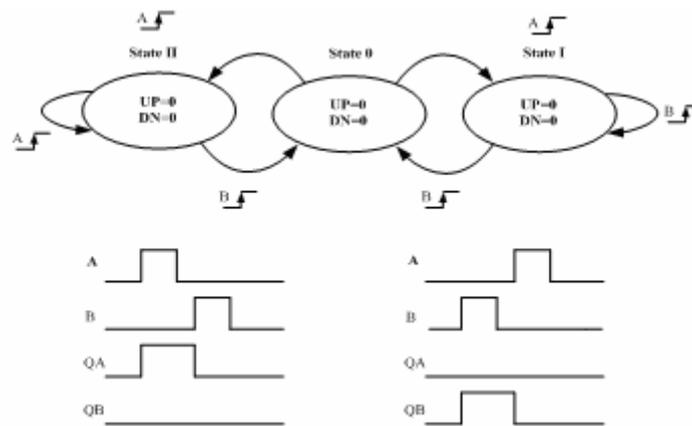


圖 3.7

因此我們可以將電路實現如圖 3.8 所示。

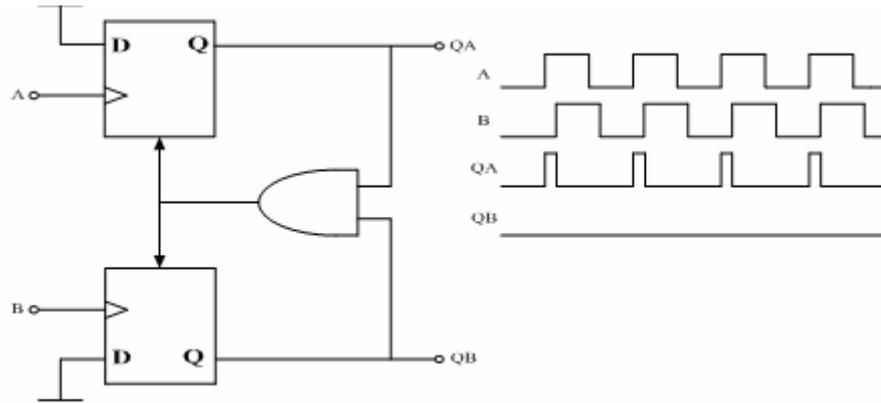


圖 3.8

一般的 D-flip-flop 有相當多種，不過我們是採用簡單的形式如圖 3.9 所示，然後再將其化簡後如圖 3.10 所示，完整的電路則在圖 3.11 所示[29]。

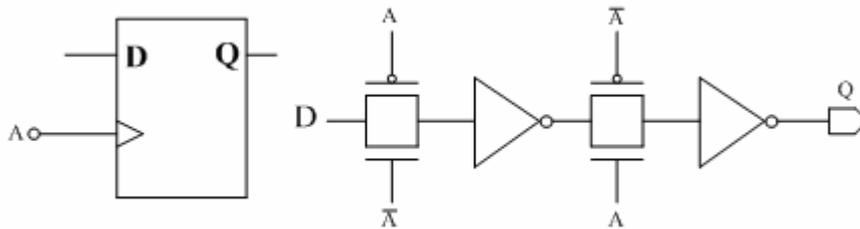


圖 3.9

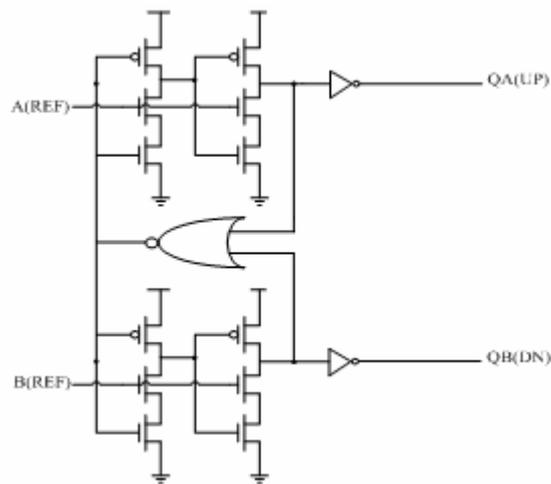


圖 3.10

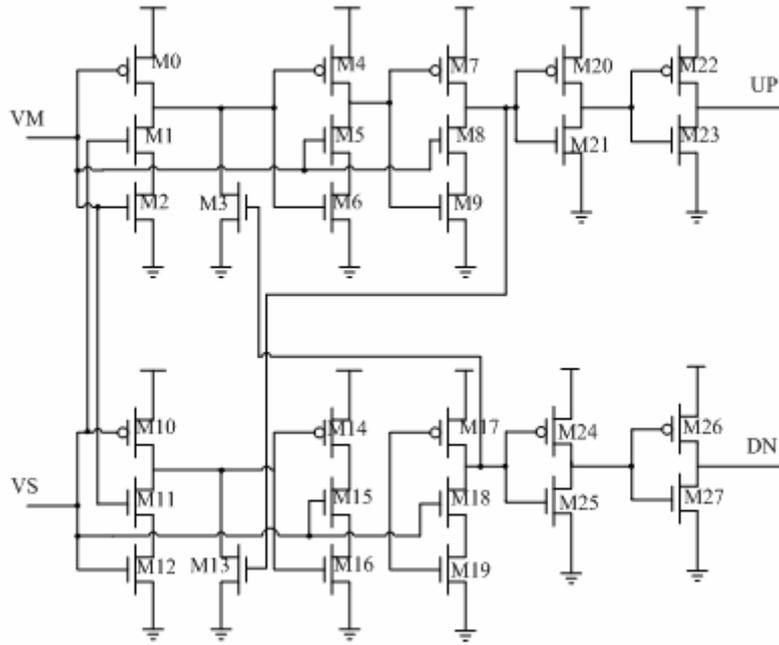


圖 3.11

圖 3.12 展示 PFD 的模擬。

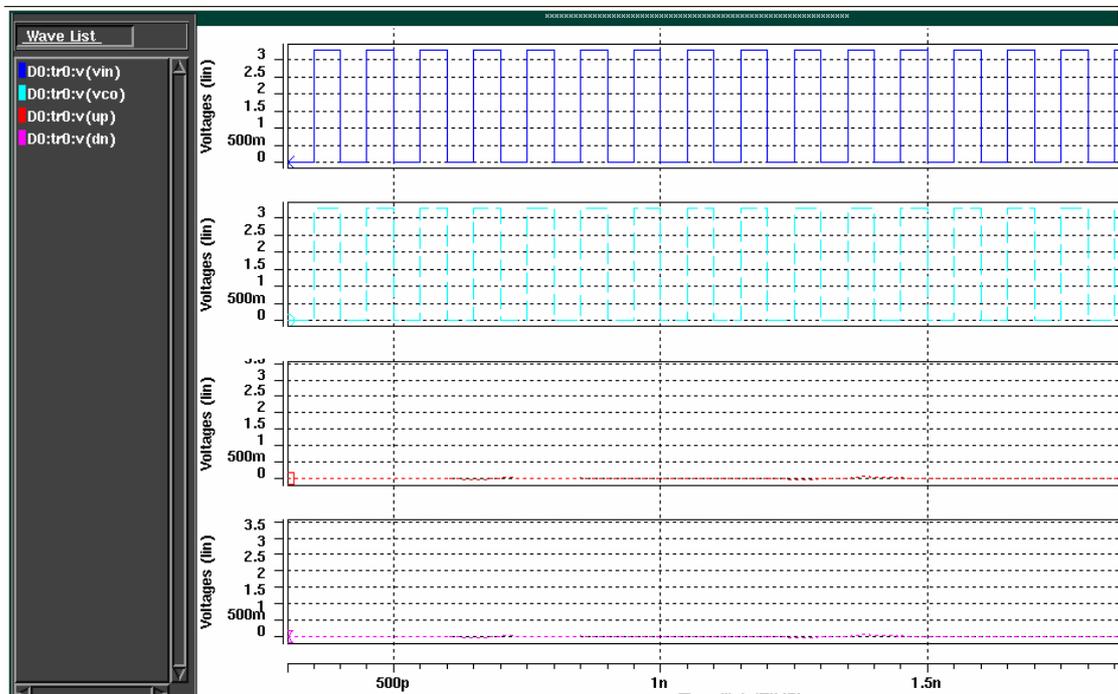


圖 3.12

一般我們希望能將 PFD 能調至最靈敏的情況，但是就實際狀況而言 PFD 調到兩個訊號都完全無相位誤差時輸出的 UP 或 DN 才無輸出其實並不是最佳的情況，因為在電路上有不少 Gate Delay 如果讓 PFD 太過於靈敏不但讓 PLL 鎖定的時間加長甚至增加 PLL 的 Jitter，因此適當的增加 D 讓它無法偵測範圍也就是 Dead Zone 的範圍反而可以改善 PLL 的鎖定時間與 Jitter，因此我們在我們所設計的 PLL 裡最後把 PFD 的 Dead Zone 設定在 750p sec 左右就可以得到不錯的效果。

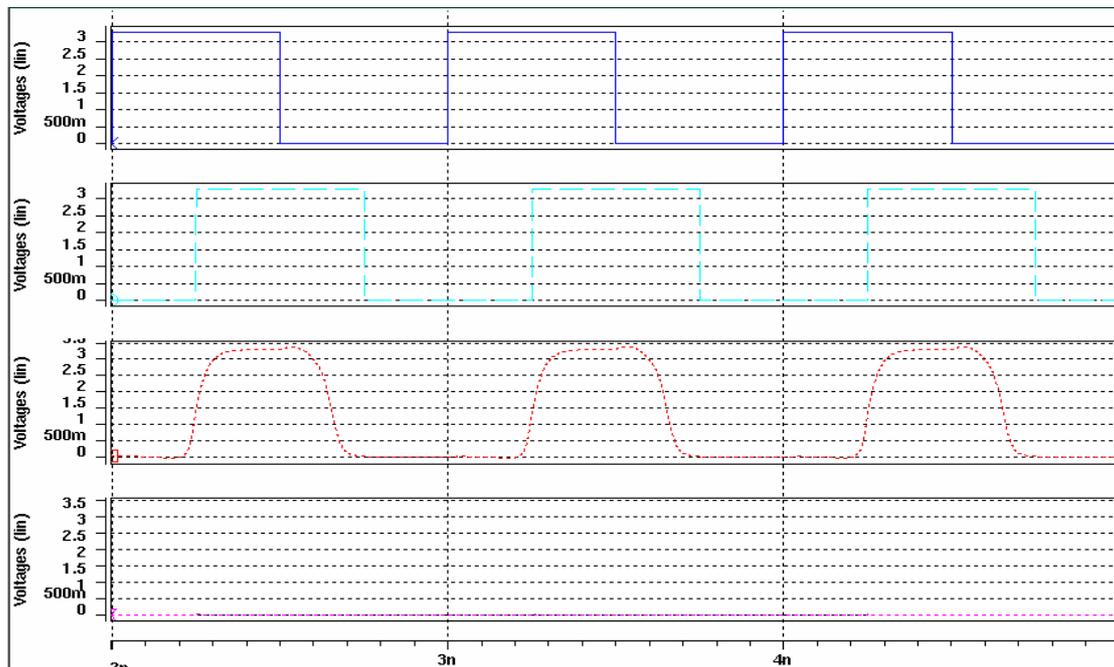


圖 3.13

### 3.3 Charge Pump

圖 3.14 為一個 Charge Pump，當 PFD 偵測出兩訊號之間的相位差時，則會依照迴授的訊號 B 與參考頻率 A 的相位超前或落後來輸出 UP 或 DN，而 Charge Pump 的作用是将 PFD 的輸出相位對 Loop Filter 來充放電，如圖 3.14 所示，其中 Loop Filter 用一個電容 C1 代替，當 UP=DN=0 時，則 Charge Pump 沒有任何動作；當 UP=1 及 DN=0 時 SW1 ON 而 SW2 OFF，則 IP1 開始對 Cp 充電；而 UP=0 及 DN=1 時 SW1 OFF 且 SW2 ON，則 IP2 經過 SW2 放電。

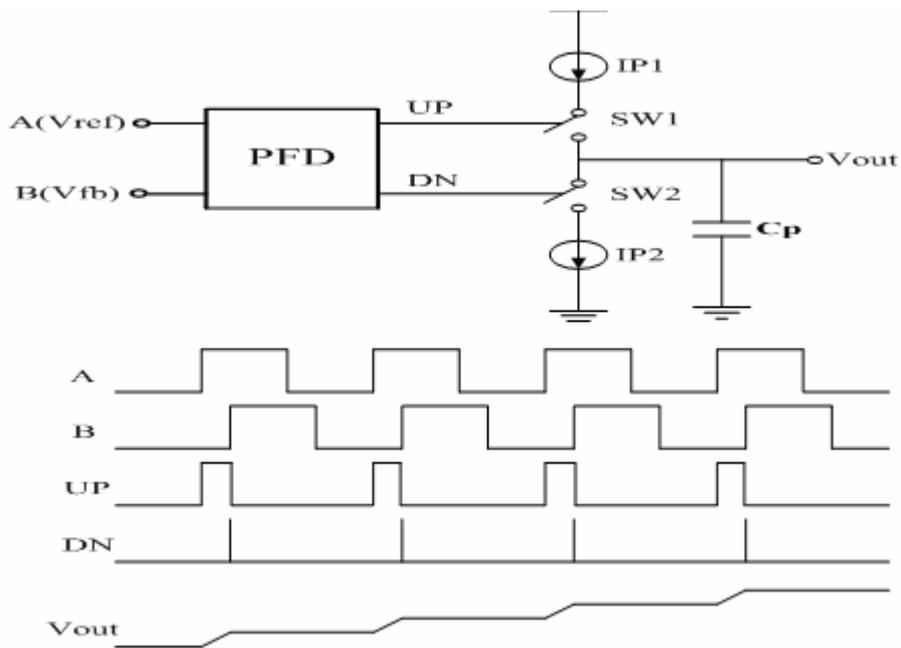


圖 3.14

我們在設計上採用最簡單的模式，就如同圖 3.14 所示用兩個 Switch 來控制兩個電流的流量，而電流源要設計使得 IP1 與 IP2 相同，也就是說充電的電流跟放電的電流要相同。我們所使用的電路如圖 3.15 所示。

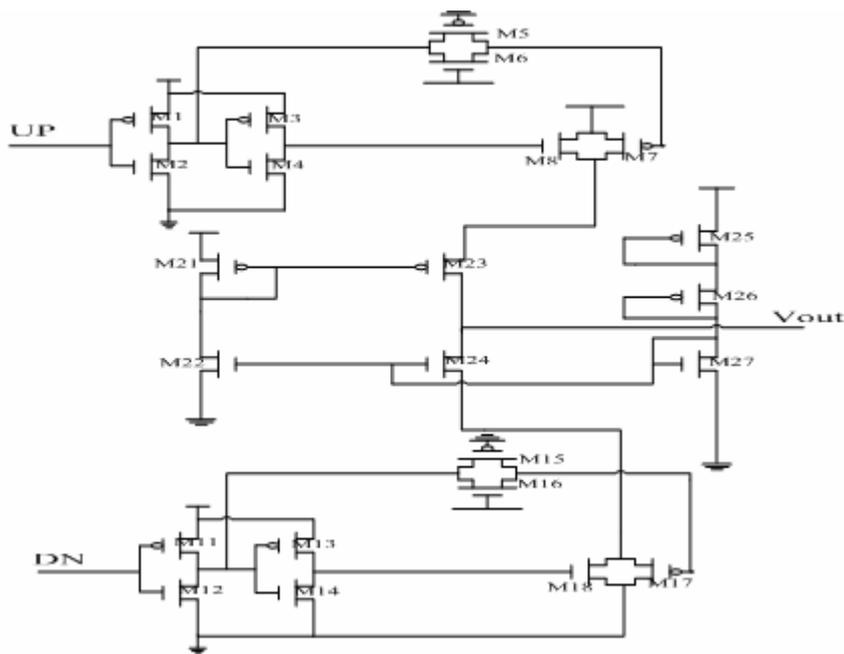
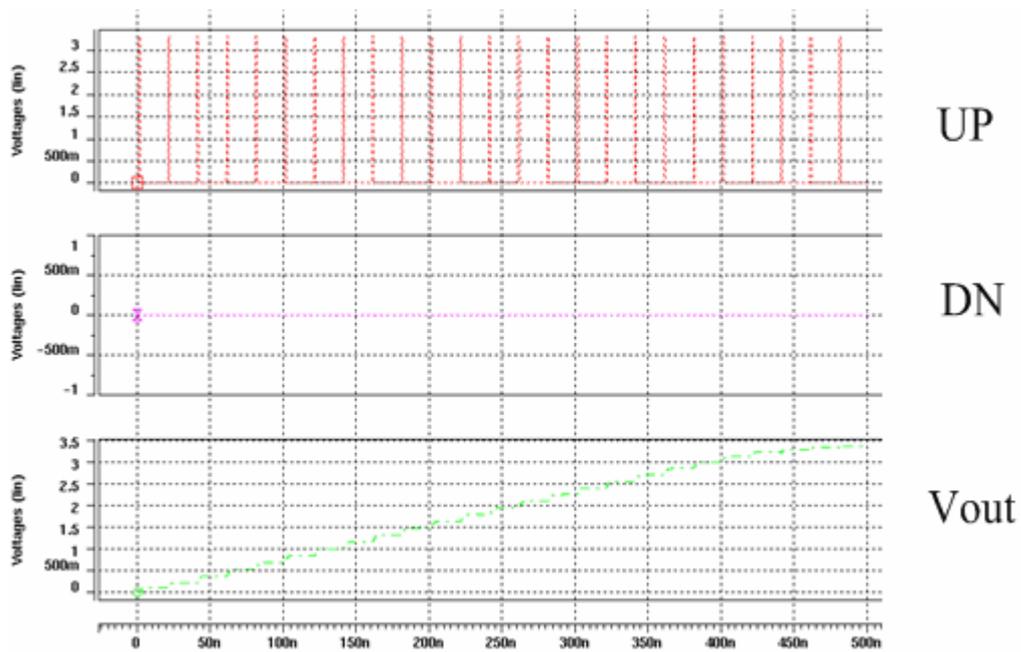
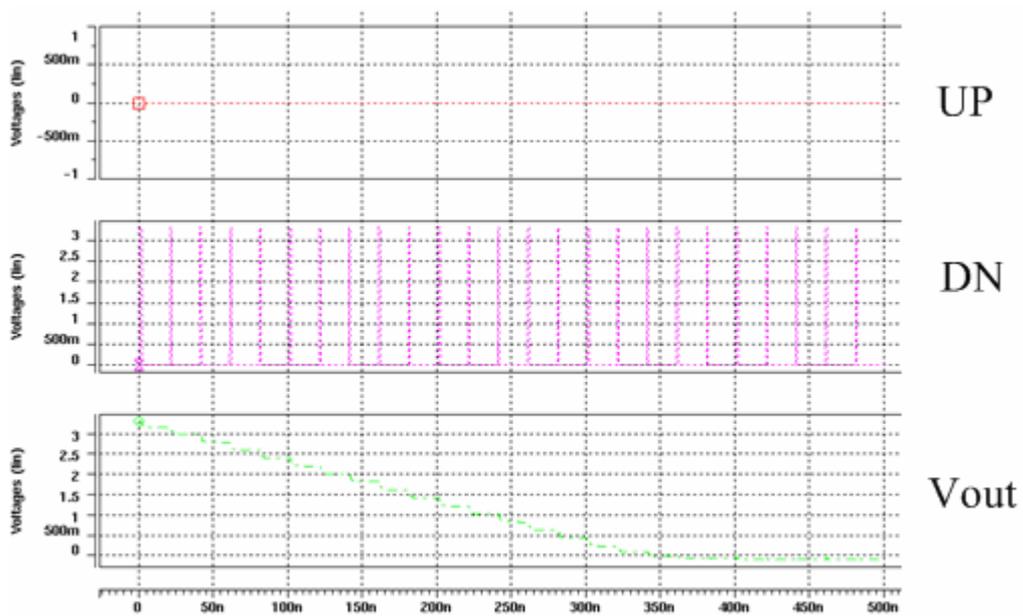


圖 3.15

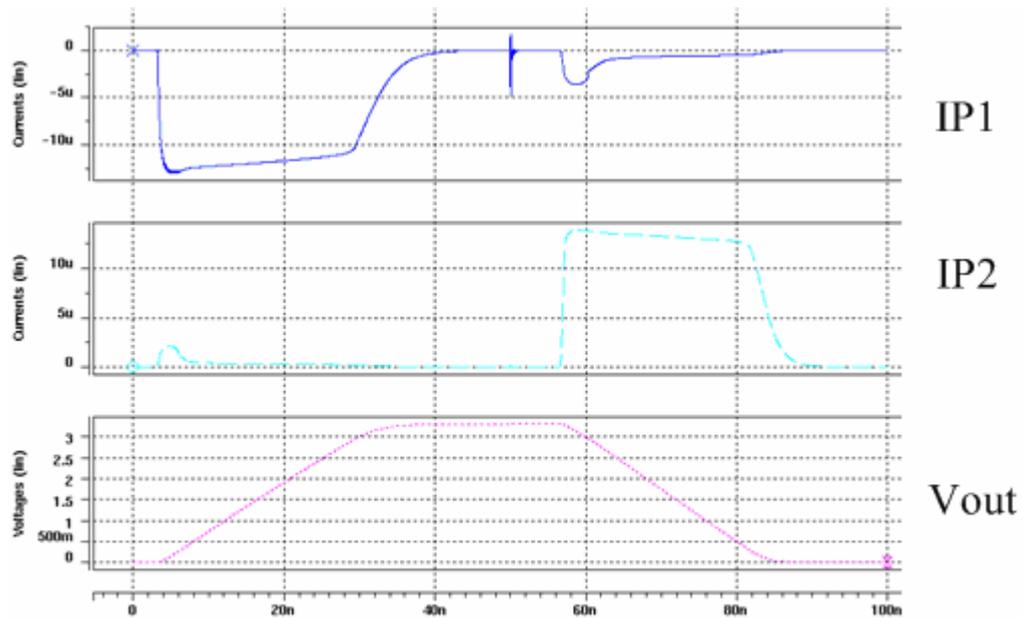
在應用上M1~M8及M11~M18作為兩個當作Switch SW1及SW2這兩個Switch為ON或OFF，由UP或DN控制而M21~M27是組成一個電流源控制對下一級的充放電，圖3.16說明Charge Pump UP與DN及IP1與IP2對Loop Filter充放電的模擬。



(a) 當連續訊號 UP 輸入時對 Loop Filter 充電



(b) 當連續訊號 DN 輸入時對 Loop Filter 放電



(c) IP1 與 IP2 對 Loop Filter 充放電的狀況

圖 3.16

### 3.4 Loop Filter

Loop Filter 在 PLL 是用來濾掉 Charge Pump 輸出的高頻雜訊，並且產生一個穩定的控制電壓來控制下一級的 VCO，一般 Filter 可分為主動與被動兩種，而在此應用的 Loop Filter 採用被動式的。其為採用二階的低通濾波器(Low Pass Filter) 如圖 3.17 所示，以及轉移函數如 3.3 式所示[29]。

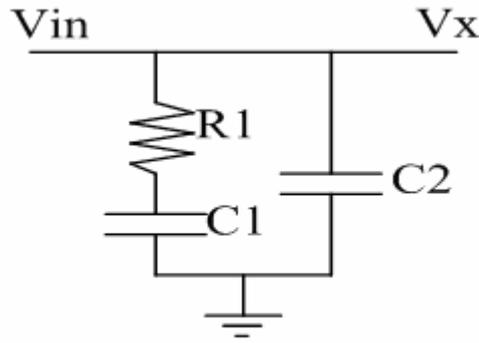


圖 3.17

$$z_{LF}(s) = \frac{1 + SR_1C_1}{S(C_1C_2R_1 + C_1 + C_2)} = \frac{a}{S} \frac{1 + S\tau_z}{1 + S\tau_p} \quad (3.3)$$

其中

$$\tau_z = R_1C_1 \quad \tau_p = R_1 \frac{C_1C_2}{C_1 + C_2} \quad a = \frac{1}{C_1 + C_2}$$

其 Open-Loop Bandwidth 及 Phase Margin 可由 Open-Loop gain 由 3.1 式得到 3.4 式以及 3.5 式。

$$G(s) = \frac{K_{PD}Z_{LF}(s)K_{VCO}}{S} = \frac{IpK_{VCO}}{S} \frac{a}{S} \frac{1 + S\tau_z}{1 + S\tau_p} \quad (3.4)$$

$$G(s) \Big|_{s=j\omega} = -a \frac{IpK_{VCO}}{2\pi\omega^2} \frac{1 + S\tau_z}{1 + S\tau_p} \quad (3.5)$$

$$\phi(\omega) = \tan^{-1}(\omega\tau_z) - \tan^{-1}(\omega\tau_p) + 180^\circ \quad (3.6)$$

圖 3.18 為一頻率響應圖，其中  $\omega_c$  為開迴路頻寬， $\omega_z$  為零點頻率，而  $\omega_p$  為極點頻率可推算出 Open-Loop Bandwidth 的  $\omega_c$  由 3.6 式可得到 3.7 式以及 Phase Margin  $\phi_m$ 。

$$\phi_{m,\max} : \frac{d\phi}{d\omega} = \frac{\tau_z}{1+(\omega\tau_z)^2} - \frac{\tau_p}{1+(\omega\tau_p)^2} = 0 \quad (3.7)$$

$$\Rightarrow \omega_c = \frac{1}{\sqrt{\tau_z\tau_p}} \quad (3.8)$$

$$\phi_{m,\max} = \tan^{-1} \left( \frac{\tau_z - \tau_p}{2\sqrt{\tau_z\tau_p}} \right) = \tan^{-1} \left( \frac{b-1}{2\sqrt{b}} \right) \quad (3.9)$$

$$\text{其中 } b = \frac{\tau_z}{\tau_p} = 1 + \frac{C_1}{C_2}$$

再由 3.9 式可推導出 3.10 式，如此一來便可以輕易的得到當你需要多少 Phase Margin，而知道 C1 與 C2 之間的關係，例如如果我們需要 60° 的 Phase Margin 代入 2.10 式可以得到 b=13.93 這樣就可以得到 C1/C2=12.93 的比值了。

$$b = \frac{1}{\left( -\tan \phi_m + \frac{1}{\cos \phi_m} \right)^2} \quad (3.10)$$

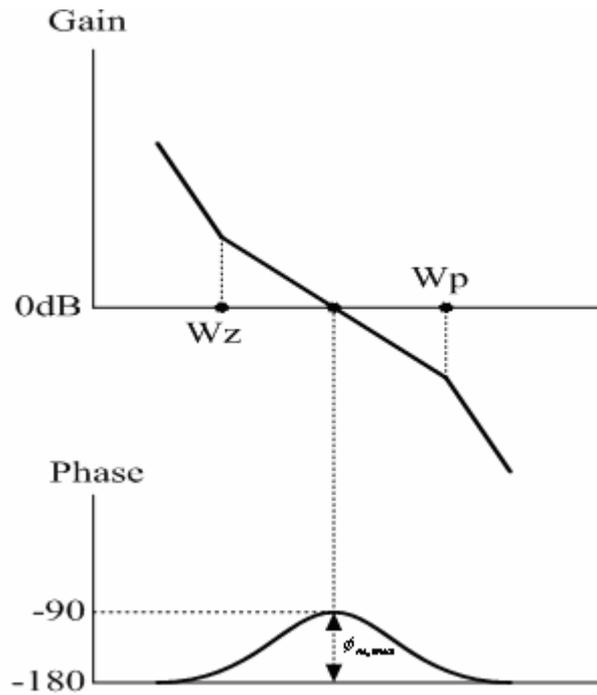


圖 3.18

### 3.5 Voltage Controlled Oscillator (VCO)

環形振盪器(VCO)的工作原理是利用多級延遲緩衝器(Delay Cell)所組成的回授網路。一個閉迴電路如圖 3.19 所示能振盪的條件有二如 3.11 以及 3.12 兩式所示則電路會在  $\omega_o$  振盪，此條件稱為巴克豪森準則(Barkhausen Criteria)。

圖 3.20 為一三級的環形振盪器而每一級的轉移函數為  $-A_o \frac{S}{1 + \frac{S}{\omega_p}}$  那我們

可以得到整個迴路增益為 3.11 式所示。

$$H(S) = \frac{-A_o^3}{\left(1 + \frac{S}{\omega_p}\right)^3} \quad (3.11)$$

其中  $\omega_p$  為每一級的極點

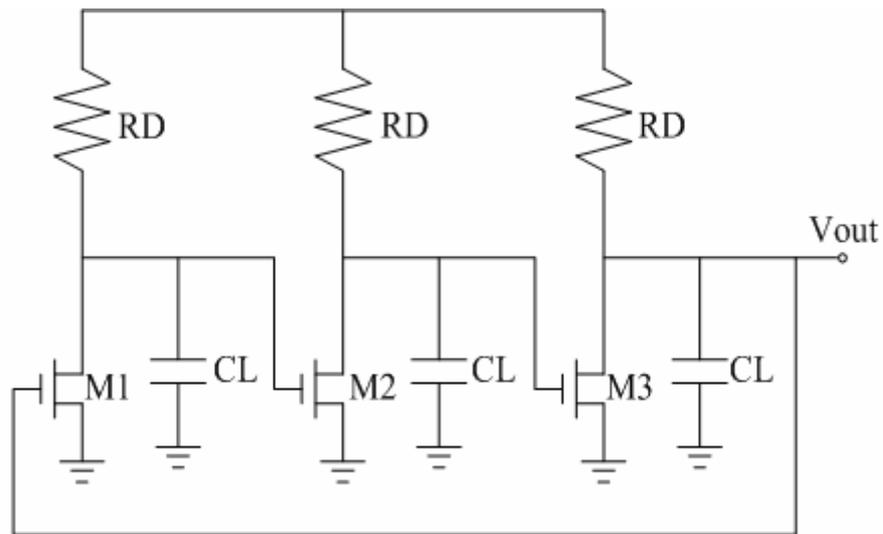


圖 3.20

當頻率相位移 180 度時電路就會開始振盪則，每一級的相位所須要的相位移為 60 度，因此由 3.12 式可推算出振盪頻率  $\omega_{osc}$  為

$$\tan^{-1} \frac{\omega_{osc}}{\omega_p} = 60^\circ \quad (3.12)$$

$$\omega_{osc} = \sqrt{3}\omega_p \quad (3.13)$$

但是每一級電路增益最小值必須為 1

$$\frac{A_o^3}{\left( \sqrt{1 + \left( \frac{\omega_{osc}}{\omega_p} \right)^2} \right)^3} = 1 \quad (3.14)$$

由 3.13 式和 3.14 式可推導出 3.15 式

$$A_o = 2 \quad (3.15)$$

經過上面的分析三級的環型振盪器每一級需要最小的低頻增益為 2，振盪頻率為  $\sqrt{3}\omega_p$ 。

圖 3.21 是我們所用的 VCO 的組態，這是一個三級的差動式環型振盪器，為了避免 Latch up 所以其中一級必須要反接，我們也可以利用上面的方法可以計算出最小增益為  $\sqrt{2}$ ，起振頻率為  $\omega_p$ 。

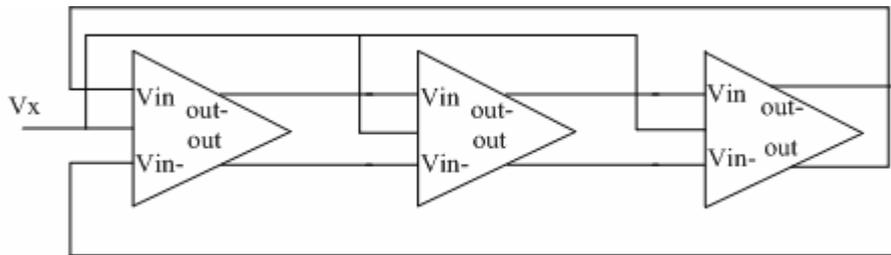


圖 3.21

圖 3.22 是我們這一次採用有的延遲元件，其中 M2 跟 M3 為一交錯式的 MOS 是用來控制栓鎖(latch)的強度由控制電壓  $V_x$  來控制，當  $V_x$  電壓較低時栓鎖的強度變弱推動 PMOS 負載電流較高振盪頻率上升，當  $V_x$  電壓上升此時栓鎖變強而推動 PMOS 電流下降導致輸出較難轉態振盪頻率下降。

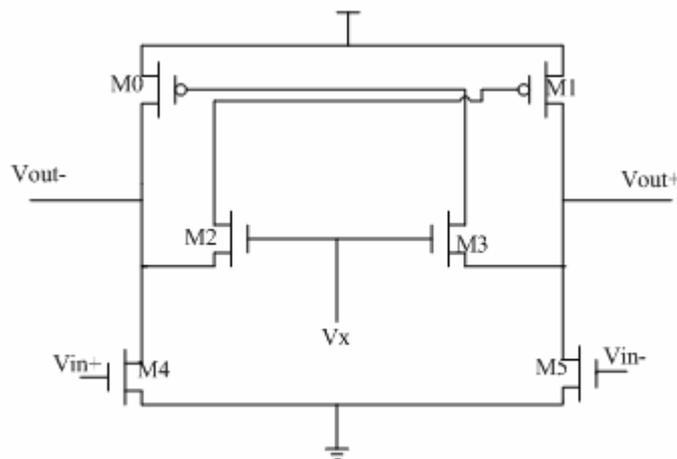


圖 3.22

圖 3.23 是在 VCO 的輸出端加上一級用作整波用的 Duty cycle 其主要的作用是  
 是用來幫最後的輸出波形能夠都有左右對稱 50% 的波形，最後我整個 VCO 整體  
 的方塊圖如圖 3.24 所示，圖 3.25 為 VCO 的模擬圖。

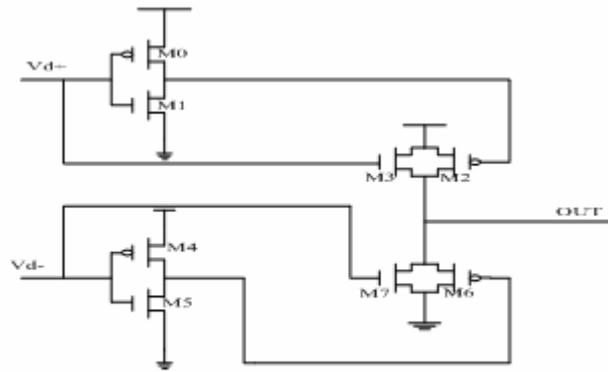


圖 3.23

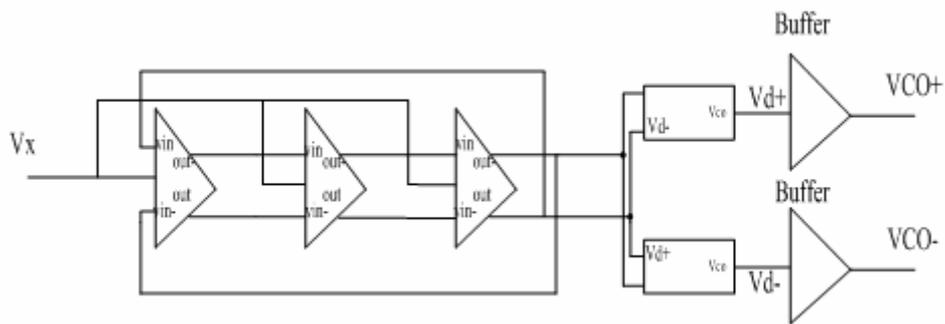


圖 3.24

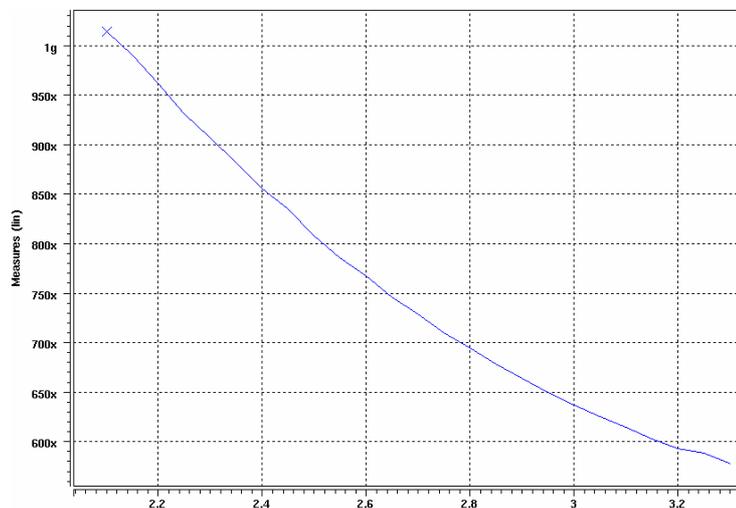


圖 3.25

### 3.6 Divider

除頻器(Divider)在 PLL 上是將輸出的高頻訊號降頻至與輸入參考訊號相同的頻率再來跟 PFD 做相位比較，一般所謂的除頻器實際上就是一個計數器，而我們這一次所設計的 PLL 需要除 32 因此我們是採用五個除二電路串聯來達到除 32 圖 3.26 為一除二電路而圖 3.27 則是由五個除二電路所組成的除 32 電路，而圖 3.28 則是 divider 32 模擬的波形。

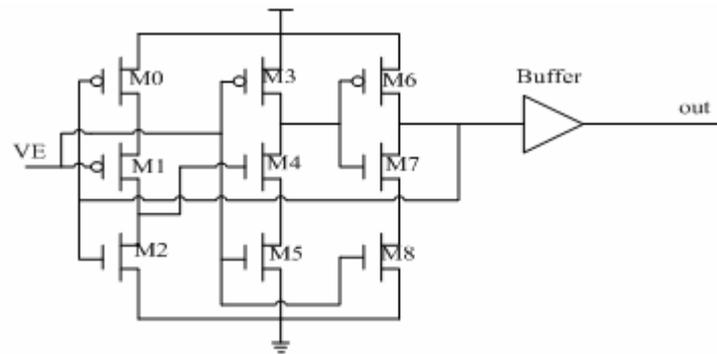


圖 3.26

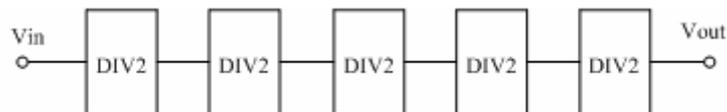


圖 3.27

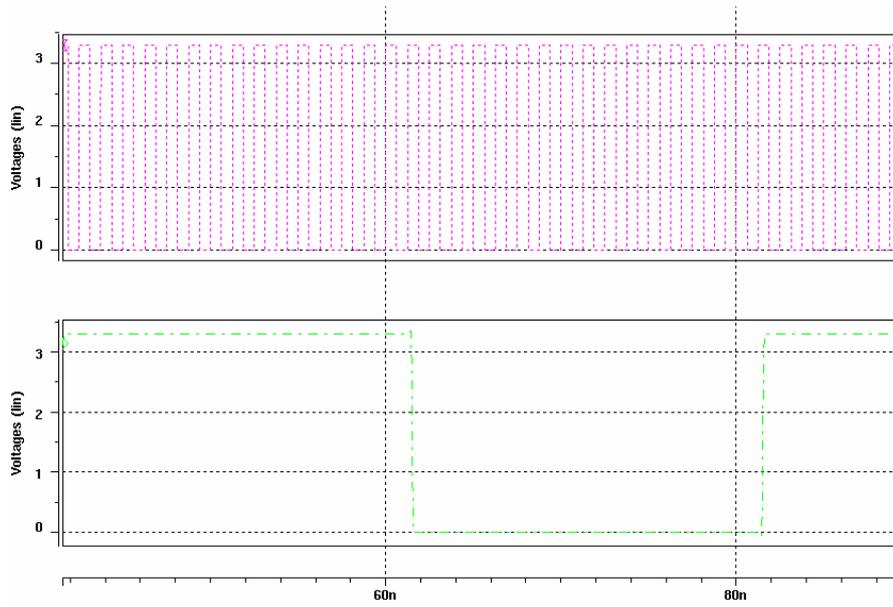


圖 3.28

### 3.7 Simulation

完整的方塊圖如圖 3.29 所示，表 3.1 列列舉 PLL 所設計規格。

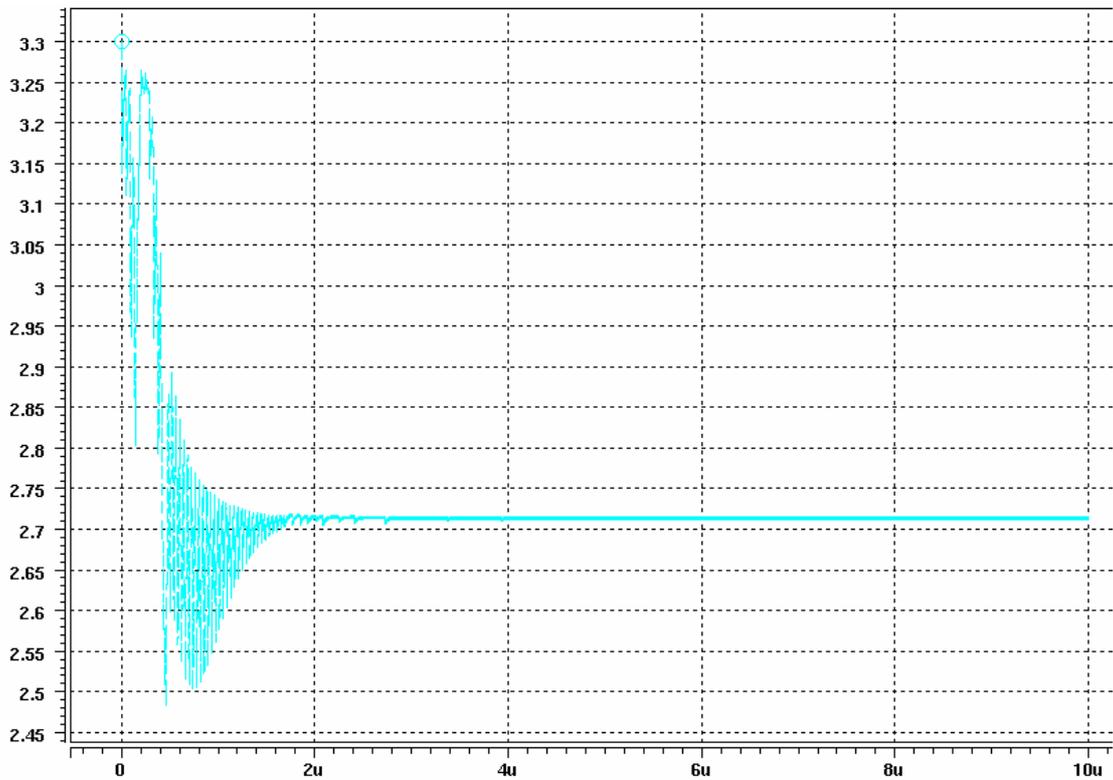


圖 3.29

表 3.1

TECNOLOGY	TSMC 0.35um
Supply Voltage	3.3
Reference frequency	25MHZ
KVco(MHZ/V)	471.67
Divider Number	32
Jitter	2ps
Output Loading	100fp
Power Consumption	9.118mw
Loop Filter	9.864pf

## Chapter 4

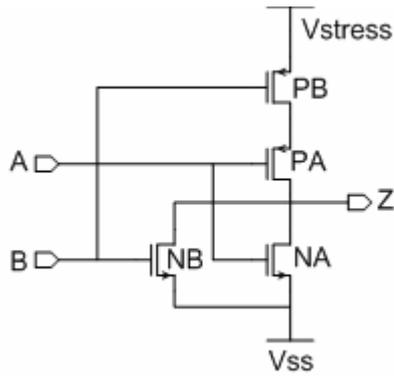
### STRESS TESTS OF CMOS PLLS FOR RELIABILITY ENHANCEMENT

近幾年來，由於半導體製程的複雜性增加，所製成的混合訊號電路成品可靠性(reliability)有逐漸降低的趨勢。本章將先討論目前半導體公司最常用於增強可靠性的測試方法如0-1 Test及Iddq Test。測試的結果將證明，這些測試方法無法有效的提高混合訊號電路成品可靠性，也就是說有些產品中也許在某些MOS電晶體含有閘氧化層的defects，這些產品可能通過測試而沒有被發現，也因此降低成品的可靠度。基於此，本章節提出有效的增強可靠性的測試方法，並將它應用於增強PLL的可靠性。最後，提出一個可靠的PLL電路設計。

#### 4.1 Conventional Stress Tests: 0-1 Tests and Iddq Tests

圖 4.1(a)為一個 CMOS NOR gate，它將用來說明 Iddq-Test 與 0-1 Test 的測試過程及結論[31]。圖 4.1(b)給予測試向量  $(A,B)=(0,0)$ ，致使兩個 PMOS 電晶體 PA 與 PB 為 ON，而另兩個 NMOS 電晶體則是要輸入向量  $(A,B)=(1,1)$  時才會 ON。圖 4.1(c)為 0-1Test 的結果，其中欄內為“1”表示相對應的測試向量能完全測試到所有 MOS 電晶體對應到該行[32]。

事實上， $\{(0,0), (1,1)\}$  亦 Iddq Test 的測試向量。測試結果如圖 4.1(d)所示。因此，Iddq Test 或 0-1 Test 都可以完全測試到所有在此 NOR gate 測試了結果如圖 4.1(d)所示。因此，Iddq Test 或 0-1 Test 都可以完全測試到所有的 MOS 電晶體。



(a)

If  $A=V_{ss}$  and  $B=V_{ss}$   
 $\Rightarrow V_x=V_z=V_{stress}$   
 $\Rightarrow$  Stress PA & PB  
 If  $A=V_{stress}$  and  $B=V_{stress}$   
 $\Rightarrow V_z=V_{ss}$   
 $\Rightarrow$  Stress NA & NB

(b)

A	B	PA	NA	PB	NB
0	0	1	0	1	0
1	1	0	1	0	1

(c)

A	B	PA	NA	PB	NB
0	1	1	0	0	1
1	0	0	1	1	0

(d)

圖 4.1

下一步，將以 PLL 電路的所有元件來檢驗 Iddq Test 及 0-1Test，以了解這些測試方法的缺失。首先，考慮 PLL 電路內的 PFD 子電路，如圖 3.11 所示。圖 4.2 說明其測試的結果。首先，我們用 0-1Test 來對 PFD 作測試，其測試向量為  $(V_M, V_S) = (0,0)$  及  $(1,1)$ 。分別的對 PFD 輸入測試其模擬結果如圖 4.2(a)所示，結果顯示 defects 在電晶體 M0, M1, M2, M4, M6, M7, M10, M16, M17, 及 M20~M27 將無法被此測試向量偵察到。即 0-1 Test 無法對 PFD 能做一個完整的測試。其次，以相似的方式，以 Iddq Test 來對 PFD 來作測試，其結果在展示於圖 4.2(b)。

VM	VS	M0	M1	M2	M3	M4	M5	M6	M7	M8	M9	M10	M11	M12	M13
0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1
1	1	0	0	0	0	0	1	0	0	1	1	0	1	1	0

VM	VS	M14	M15	M16	M17	M18	M19	M20	M21	M22	M23	M24	M25	M26	M27
0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
1	1	1	1	0	0	1	0	0	0	0	0	0	1	1	0

(a) 01-test

VM	VS	M0	M1	M2	M3	M4	M5	M6	M7	M8	M9	M10	M11	M12	M13
0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1
0	1	0	0	1	0	0	0	0	0	0	0	1	1	0	0
1	0	1	1	0	0	0	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	0	0	1	0	0	0

VM	VS	M14	M15	M16	M17	M18	M19	M20	M21	M22	M23	M24	M25	M26	M27
0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	1	1	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

(b) Iddq-test.

圖4.2

在圖 4.2 顯示，甚至應用所有可能的測試向量(兩個輸入，共有 4 個可能的測試向量)，即 (0,0), (0,1), (1,0), 及(1,1)。結果發現，測試向量(0,0)可測試電晶體 M3, M13, 及 M19; (0,1)可測試電晶體 M2, M10, 及 M11; (1,0)可測試電晶體 M0, M1, M12, M15, M18 及 M19; 及(1,1)可測試電晶體 M0 及 M10。亦即，尚有 17 個電晶體(M4~M9, M14, M16, M17, 及 M20~M27)的 defects 無法被 Iddq Test 檢視到。

上述測試結果顯示，PFD 含 28 個 MOS 電晶體，而 0-1 Test 僅可測其中的 13 個，因此，此測試方法的 stressability 為 13/28，或 46.4%。而 Iddq Test 僅可測其中的 11 個，其 stressability 為 11/28，或 39.2%。

檢視 PLL 的子電路 Charge Pump 如圖 3.15 所示。相同的，此電路共含 27 個

MOS 電晶體。0-1 Test 可測其中的 6 個 (M2, M3, M7, M11, M14, 及 M17) , 因此, 其 stressability 為 6/21, 或 28.57%。而 Iddq Test 僅可測其中的 8 個 (M2, M3, M4, M12, M13, M14, M23, M24), 因此, 其 stressability 為 8/21, 或 38.1%。

Up	Dn	M1	M2	M3	M4	M5	M6	M7	M11	M12	M13
0	0	1	0	0	1	0	0	0	1	0	0
1	1	0	1	1	0	0	0	1	0	1	1

Up	Dn	M14	M15	M16	M17	M21	M22	M23	M24	M25	M26	M27
0	0	1	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	1	0	0	0	0	0	0	0

(a) 0-1 Test

Up	Dn	M1	M2	M3	M4	M5	M6	M7	M11	M12	M13
0	0	0	1	1	0	0	0	0	0	1	1
1	1	1	0	0	1	0	0	0	0	0	0

Up	Dn	M14	M15	M16	M17	M21	M22	M23	M24	M25	M26	M27
0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	1	1	0	0	0

(b) Iddq Test

圖 4.3

檢視 PLL 的子電路 VCO 如圖 3.22 所示。此電路共含 3 個輸入端(Vd、VIN+、VIN-)及 6 個 MOS 電晶體。圖 4.4 顯示測試結果。0-1 test 可測其中的 4 個 (M2, M3, M4 及 M5), 因此, 其 stressability 為 4/6, 或 66.7%。而 Iddq test 僅可測相同的 4 個 MOS 電晶體, 其 stressability 亦是 66.7%。

Vd	VIN	VIN-	M0	M1	M2	M3	M4	M5
0	0	0	0	0	0	0	0	0

1	1	1	0	0	1	1	1	1
---	---	---	---	---	---	---	---	---

(a) 0-1 Test

Vd	VIN	VIN-	M0	M1	M2	M3	M4	M5
1	1	1	0	0	1	1	1	1

(b) Iddq Test

圖 4.4

檢視 PLL 的子電路 Duty Cycle 部份如圖 3.23 所示。此電路共含 2 個輸入端 (Vd+, Vd-) 及 8 個 MOS 電晶體。由測試結果如圖 4.5 所示，01 test 與 Iddq test 均可完全測試所有 8 個 MOS 電晶體，其 stressability 為 100%。

Vd+	Vd-	M0	M1	M2	M3	M4	M5	M6	M7
0	0	1	0	0	0	1	0	0	0
1	1	0	1	1	1	0	1	1	1

(a) 0-1 Test

Vd+	Vd-	M0	M1	M2	M3	M4	M5	M6	M7
0	1	1	0	0	0	0	1	1	1
1	0	0	1	1	1	1	0	0	0

(b) Iddq Test

圖 4.5

檢視 PLL 的子電路 Divider 如圖 3.26 所示。此電路共含 1 個輸入端 (VE) 及 9

個 MOS 電晶體。由測試結果如圖 4.6 所示，0-1 test 除了 M4 無法測試外，其餘 8 個皆可測，即其 stressability 為 8/9，或 88.9%。而 Iddq test 除了 M3 及 M4 無法測試外，其餘 7 個皆可測，即其 stressability 為 7/9，或 77.8%。

VE	M0	M1	M2	M3	M4	M5	M6	M7	M8
0	1	1	0	1	0	0	0	1	0
1	0	0	1	0	0	1	1	1	1

(a) 0-1 Test

VE	M0	M1	M2	M3	M4	M5	M6	M7	M8
0	0	0	1	0	0	1	0	0	0
1	1	1	1	0	0	0	1	1	1

(b) Iddq Test

圖 4.6

表 4.1 整理上述各子電路用 0-1 test 及 Iddq test 測試方法所得到的 stressability。很清楚的了解，除了 Duty Cycle 之外其它部份都無法達到 100%。

表 4.1

	0-1 Test	Iddq Test
Phase Frequency Detector	46.4%	39.2%
Charge Pump	28.57%	38.1%
Delay Cell	66.7%	66.7%
Duty Cycle	100%	100%
Divider	88.9%	77.8%

由上述的分析可以得知就以 0-1 Test 或 Iddq Test 而言如果要用來對 PLL 來作閘氧化層的 Defect 測試那勢必存在著某些 MOS 不可測的風險同時也降低了電路的可靠性。

## 4.2 Stressability Analysis of Developed Stress Tests

對於加壓式測試的理論已於 2.3 節談論過，此理論將應用於 PLL 的各個子電路，其各個部份的加壓時間可由 2.5 式計算，而此應用採用 TSMC 0.35um 製程。

### 4.2.1 PFD

首先我們由圖 3.11 可以得知 PFD 總共有 28 顆 MOS，每一個 MOS 有 3 個區域(regions)，(GD , GS , GB)，因此，PFD 總共有 84 個區域，至於測試向量產生的方法可由[33]可以得到，PFD 有兩個輸入其測試向量為(VM , VS)=(0, 1)、(1, 0)、及(1, 1)，其中 1 與 0 各代表 VDD 與 0V。其模擬結果可用來計算出每一區域

加壓所需的時間，再來依所得到的加壓時間將他分類並且也依照不同的測試向量再次分類[33]，如圖 4.7 所示，依照區域劃分可以分成 8 組 C1~C7，其中，每一組的成員亦顯示於圖 4.7。例如，C5 包含 PMOS 電晶體 M7 的 SG 與 BG，即含有 2 個區域。測試結果得知每一組至少有一個測試向量可檢視其 defect。因此，其 stressability 為 100%。但此測試向量所需的加壓時間以所有各組的最大加壓時間為主。以此例而言，其加壓時間為 8.13 u sec。

VM	VS	C1	C2	C3	C4	C5	C6	C7
0	1	0	1	0	1	0	1	0
1	0	1	0	1	0	1	0	1
1	1	0	1	1	0	0	0	1
Number of Region		17	22	20	18	2	2	3
Vvest/Vyn		5.82/3.3				2.9469/1.6845		
Column stress time		8.13E-06 Sec				9.11E-07Sec		

C1:M0\_DG,M0\_DG,M0\_BG,M7\_DG,M22\_DG,M22\_SG,M22\_BG,M6\_GD,M6\_GS,M6\_GB,M21\_GD,M21\_GS,  
M21\_GB, M13\_GD,M9\_GD,M9\_GS,M9\_GB; C5:M7\_SG,M7\_BG; C6:M17\_SG,M17\_BG;  
C2:M4\_DG,M4\_SG,M4\_BG,M20\_DG,M20\_SG,M20\_BG,M10\_DG,M2\_GD,M2\_GS,M2\_GB,M5\_GD,M5\_GS,  
M5\_GB, M8\_GD,M8\_GS,M8\_GB,M10\_SG,M10\_BG,M23\_GD,M23\_GS,M23\_GB,M11\_GB;  
C3:M14\_DG,M14\_SG,M14\_BG,M1\_GB,M12\_GD,M12\_GS,M12\_GB,M27\_GD,M27\_GS,M27\_GB,M1\_GD,  
M1\_GS, M11\_GD,M11\_GS,M19\_GD,M19\_GS,M19\_GB,M18\_GD,M18\_GS,M18\_GB;  
C4:M17\_DG,M26\_DG,M26\_SG,M26\_BG,M3\_GD,M3\_GS,M3\_GB,M16\_GD,M16\_GS,M16\_GB,M25\_GD,  
M25\_GB,M13\_GS,M13\_GB,M15\_GD,M15\_GD,M25\_GS,M15\_GB; C7: M24\_DG,M24\_SG,M24\_BG;

圖 4.7

## 4.2.2 Charge Pump

考慮子電路 CP(Charge Pump) 如圖 3.15 所示，其中兩個輸入分別為“Up”

跟 ” Dn” ，總共有 23 個 MOS 以及 69 個 regions ，輸入測試向量有三個分別爲 (Up,Dn)=(0 , 1) 、(1 , 0)以及(1 , 1) 。 最後的結果可由圖 4.8 得知，期 69 個 regions 可分成 11 組，C1-C11，各組所含的 regions 都可被測試到。因此 Charge Pump 有 100%的 stressability 。

Up	Dn	C1	C2	C3	C4	C5	C6	C7	C8	C9	C10
0	1	0	0	1	0	0	1	1	1	1	1
1	0	1	1	0	1	1	0	1	1	1	1
Number of Region		26	10	9	6	7	6	1	1	1	1
Vvest/Vyn		5.82/3.3			1.6262	1.1419	0/0	2.1598	2.5183	4.6781	-30519/
					/1.0065	/0.73089		/1.185	/1.386	/2.569	-1.56261
Column stress time		8.13E-06			0.00082	0.004333		1.26	1.45	1.36	2.2E-08
								E-06	E-06	E-06	

C1:M3\_DG , M3\_SG , M3\_BG , M7\_DG M7\_BG , M2 DG , M2\_SG , M2\_BG , M6\_GD ,M6\_GS,M8\_GD, M8\_GS , M8\_GB , M5\_BG , M6\_GBM11\_BG , M13\_DG , M13\_SG , M13\_BG , M17\_BG , M12\_GD , M12\_GS , M18\_GS ,M18\_GBM16\_GD , M16\_GS ,M17\_SG C2: M7\_DG , M11\_DG , M11\_SG , M15\_DG , M15\_SG , M14\_GD , M14\_GB , M14\_GS,M12\_GB , M15\_BG C3: M18\_GD , M1\_DG , M1\_SG , M1\_BG , M5\_DG , M5\_SG , M4\_DG , M4\_SG , M4\_BG; C7:M25\_BG C4: M23\_DG , M23\_SG , M23\_BG , M21\_SG , M21\_BG , M25\_DG C5:M24\_GD , M24\_GS , M24\_GB , M22\_GS , M22\_GB , M27\_GS , M27\_GB C6:M17\_DG , M21\_DG , M25\_SG , M26\_SG , M16\_GB ,M27\_GD; C8:M26\_DG C9:M26\_BG C10:M22\_GD

圖 4.8

### 4.2.3 Divider

考慮除頻器(Divider)如圖 3.26 所示，因爲除頻器的輸入只有一個所以測試向

量也是只以兩個分別是 $(VE)=(0)、(1)$ ，總共有 9 個 MOS 有 27 個 regions 所以最後的結果可由圖 4.9 得知，27 個 regions 可分成 9 組，C1~C9，本方法可完整的測試除頻器。

VE	C1	C6	C2	C3	C4	C5	C7	C8	C9
0	0	1	0	0	0	1	1	1	1
1	1	0	1	1	1	0	0	0	0
Number of Region	11	5	1	2	1	3	1	1	2
Vyset/Vyn	5.82/3.3		2.76/1.66	1.32/1.82	5.331/3.141	5.79469/3.3	0/0	0.87/0.61	3.84/2.2
Column Stress time	8.13E-06		0.00023	1.73E-05	6.43E-05	1.03E-06		0.2648	1.3E-05

C1:M1\_GD , M1\_GS ,M1\_GB, M2\_GD , M2\_GS , M2\_GB , M5\_GD , M5\_GS , M5\_GB , M8\_GS , M8\_GB  
 C2 : M6\_DG C3 : M6\_SG , M6\_BG C4: M8\_GD C5: M0\_DG , M0\_SG , M0\_BG  
 C6: M3\_DG , M3\_SG ,M3\_BG, M4\_GB, M7\_GB C7: M4\_GD C8: M4\_GS C9:M7\_GD , M7\_GS

圖 4.9

#### 4.2.4 VCO

由圖 3.22 所示的 Delay Cell 得知總共有六個 MOS 有 18 個 regions，而一個 Delay Cell 有三個輸入端，所產生的測試向量為 $(Vd, Vin+, Vin-)=(0, 0, 0)、(1, 0, 1)$ 及 $(1, 1, 0)$ ，最後可得到如圖 4.10(a)所示的結果，其中 18 個 regions 可分成 4 組分別是 C1~C4。結果顯示所產生的測試向量可完整的測試 Delay Cell。

Duty-Cycle 的電路，如圖 3.23，總共有 8 個 MOS，即 24 個 regions。Duty-Cycle 有兩個輸入，所產生的測試向量為 $(Vd+, Vd-)=(0,1)、(1,0)$  以及 $(1, 1)$ 。最後的結果

可從圖 4.6(b)得到，其中 24 個 regions 可分成 4 組分別為 C1~C4，結果顯示所產生的測試向量可完整的測試 Duty-Cycle。

Vd	Vin	Vin-	C1	C2	C3	C4
0	0	0	1	0	0	0
1	0	1	0	1	0	1
1	1	0	0	0	1	0
Number of Region			2	5	5	6
Vyst/Vyn			2.9111/1.6511	5.82/3.3	5.82/3.3	5.82/3.3
Column stress time			8.26E-06	9.02*E-06	9.02*E-06	8.13*E-06

C1:M0\_DG, M1\_DG C2:M0\_SG, M0\_BG, M3\_GD, M5\_GD, M2\_GS C3:M1\_SG, M1\_BG, M3\_GS, M2\_GD, M4\_GD C4:M5\_GS, M5\_GB, M2\_GB, M3\_GB, M4\_GB, M4\_GS

(a)

Vd+	Vd-	C1	C2	C3	C4	C5
0	1	1	0	0	1	0
1	0	0	1	1	0	0
1	1	0	0	1	1	1
Number of Region		4	4	8	6	1
Vyst/Vyn		5.82/3.3 Number of Region				3.572/1.97
Column stress time		8.13E-06				1.77*E-06

C1: M7\_GD, M0\_DG, M0\_SG, M0\_BG    C2: M4\_DG, M4\_SG, M4\_BG, M6\_DG  
 C3: M3\_GD, M3\_GS, M3\_GB, M1\_GS, M1\_GB, M2\_DG, M2\_SG, M2\_BG, M1\_GD  
 C4: M6\_BG, M7\_GD, M7\_GS, M5\_GD, M5\_GS, M5\_GB    C5: M6\_SG

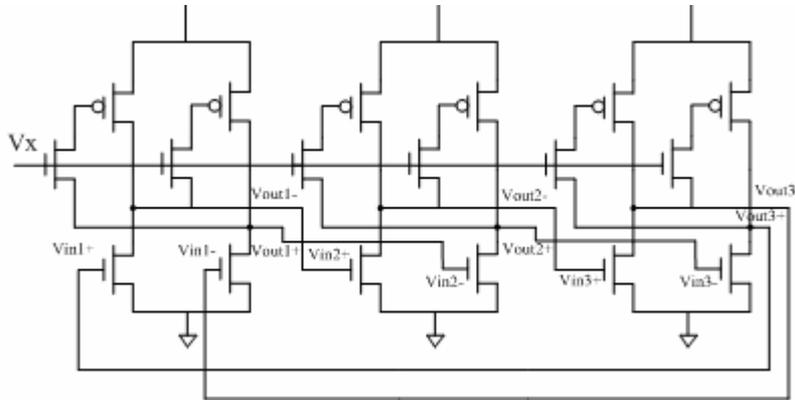
(b)

圖4.10

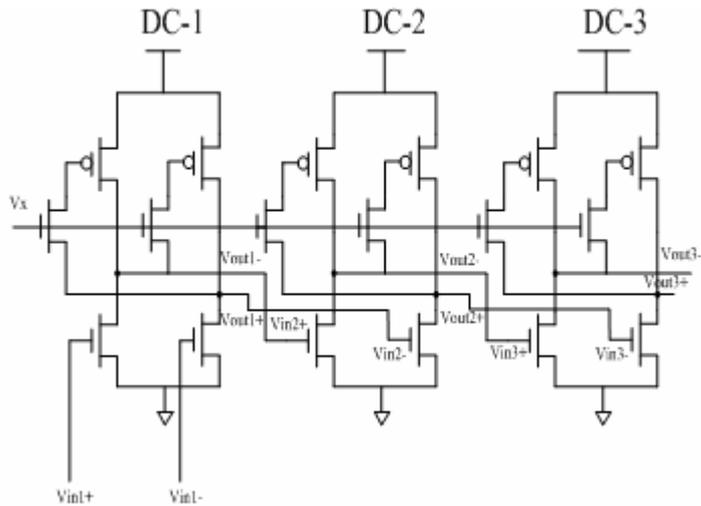
### 4.3 Design of Stressable VCO

VCO 如圖 4.11(a)所示是由三個延遲電路(Delay Cells)所組成。前節已討論過，一個延遲電路可由測試向量  $(V_x, V_{in+}, V_{in-})=(0, 0, 0)$ 、 $(1, 1, 1)$ 、 $(1, 1, 0)$  完整的測試。此電路含有一個控制訊號( $V_x$ )及 2 個資料訊號( $V_{in+}, V_{in-}$ )，產生 2 個輸出訊號( $V_{out+}, V_{out-}$ )。表 4.2 列出延遲電路對此測試向量的輸入/輸出的關係。

首先考慮在無迴授路徑之下的三個延遲電路，如圖 4.11(b)，分別命名為 DC -1，DC-2 以及 DC -3。輸入測試向量到 DC-1，將產生輸出訊號( $V_{out1+}, V_{out1-}$ )。這些輸出訊號( $V_{out1+}, V_{out1-}$ )成爲 DC-2 的輸入訊號，即 $(V_{in2+}, V_{in2-})=(V_{out1+}, V_{out1-})$ 。相同的， $(V_{in3+}, V_{in3-})=(V_{out2+}, V_{out2-})$ 。



(a)



(b)

圖 4.11

表 4.2

Vx	Vin+	Vin-	Vout+	Vout-
0	0	0	1	1
1	0	1	1	0
1	1	0	0	1

當在表 4.2 的測試向量輸入 DC-1 時，在前節已經討論過，此測試向量可完整的測試 DC-1 的 defects。然而，其相對應的輸出訊號分別為(1,1)、(1,0)及(0,1)。若將 DC-1 所產生的向量(0,1,1)、(1,1,0)及(1,0,1)輸入至 DC-2 時，很明顯的 DC-2 缺乏測試向量(0, 0,1) 使其測試變為不完整。於是，額外的測試向量必需增加如表 4.3。

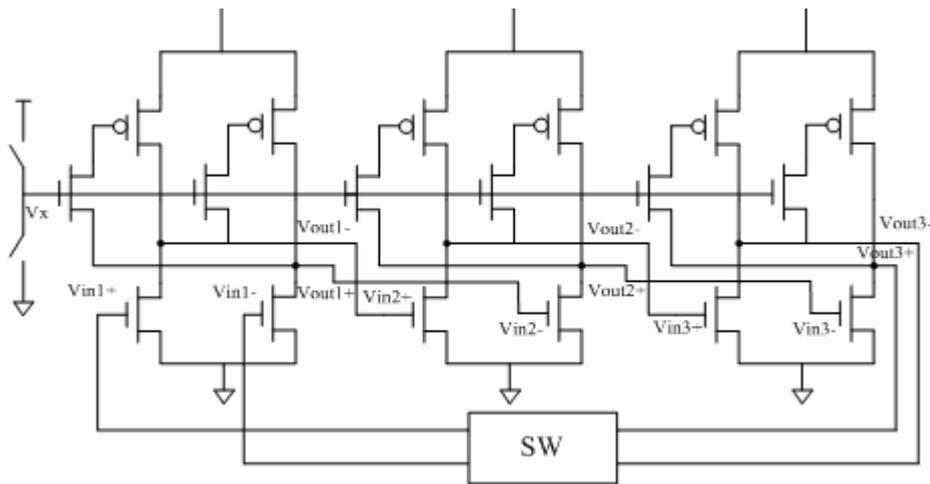
表 4.3

Vx	Vin+	Vin-	Vout+	Vout-
0	0	0	1	1

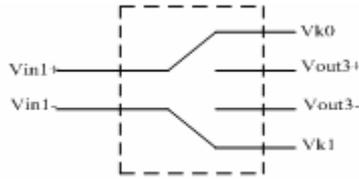
0	1	1	0	0
1	0	1	1	0
1	1	0	0	1

其中，所增加的測試向量為多餘的(redundant)。當在表 4.3 的測試向量輸入 DC-1 時，DC-1 的輸出訊號可完整的測試 DC-2。而 DC-2 的輸出訊號可完整的測試 DC-3。因此，表 4.3 的測試向量可完整的測試無迴授路徑之下的三個延遲電路，如圖 4.11(b)。

實際上，兩個輸入  $V_{in1-}$  和  $V_{in1+}$  在圖 4.11(a) 既沒有控制能力(controllability)也沒有觀察能力(observability)，因此，DC-1 並非可測試的。除非，在回路上加開關來控制，如圖 4.12 所示，以增加控制能力及觀察能力。此處，一個兩位元的計數器用來產生  $V_{k0}(=V_{in1+})$  與  $V_{k1}(=V_{in1-})$  的訊號。此外，控制訊號必需可為 0 或 1。在正常操作下，已經有一個開關來提昇  $V_x$  到  $V_{dd}$ 。因此，此處需要另一個開關來控制  $V_x$  到 0，如圖 4.11(a) 所示。



(a)



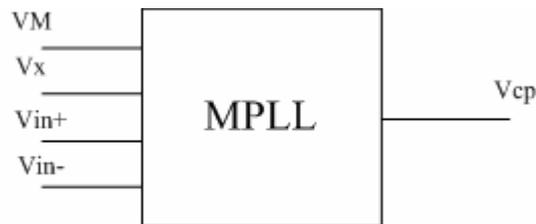
(b)

圖 4.12

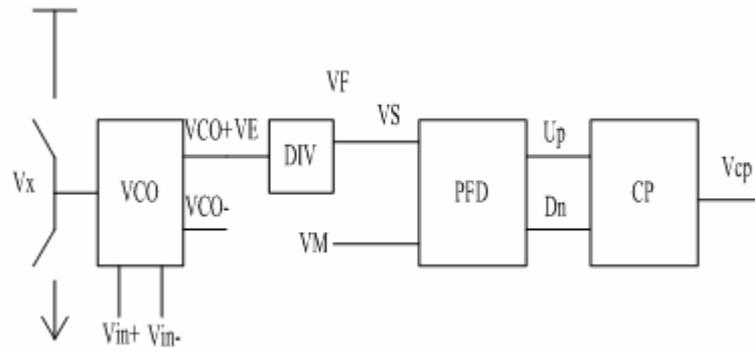
爲了方便討論，在圖 4.12 的電路稱爲 modified VCO，或 MVCO。在正常的操作期間  $V_{in1+}$  跟  $V_{in1-}$  與  $V_{in3+}$  跟  $V_{in3-}$  相接；而在測試時則  $V_{in1+}$  跟  $V_{in1-}$  與  $V_{k0}$  跟  $V_{kl}$  相接且  $V_x$  依需要而接 0 或  $V_{dd}$ 。因此，在測試期間，MVCO 如圖 4.11(b) 可完整的被測試。

#### 4.4 Stress Vector for Stressable PLL

下一個問題，如何產生測試向量來測試整個 PLL？圖 4.13 展示整個測試架構的方塊圖，其中總共有四個輸入訊號 ( $V_M$ ,  $V_x$ ,  $V_{in+}$ ,  $V_{in-}$ ) 與一條輸出訊號 ( $V_{cp}$ )。圖 4.13(b) 爲其內部的輸入輸出的關係方塊圖，其中 MVCO 的兩個輸入是將回授路徑切斷作爲測試用，以輸入測試向量到 Delay Cell 的兩個輸入端， $V_{in+}$  ( $V_{k0}$ ) 及  $V_{in-}$  ( $V_{kl}$ )，及控制輸入端 ( $V_x$ )，此外，尚需測試向量輸入 PFD 的  $V_M$ 。如此便可完整的測試整個 PLL。



(a)



(b)

圖 4.13

對應於在表 4.3 的測試向量，表 4.4 列舉所有節點的電壓狀況(粗體字表示輸入向量)。有關輸入訊號 VM，由於要使電路能製造 “Up” 及 ” Dn” 的所有情形，輸入訊號 VM 以及由 Divider 的輸出訊號 VS 之間的時脈的拿捏要注意，尤其是因為經過 Divider 要除 32 因此在 VCO 的輸入訊上需要再注意。圖 4.14 說明測試向量的實際應用。

表 4.4

<b>Vx</b>	<b>Vin+</b>	<b>Vin-</b>	Vout+	Vout-	VE	VF	<b>VM</b>	Up	Dn	Vcp
<b>0</b>	<b>0</b>	<b>0</b>	1	1	1	1	<b>0</b>	1	0	1
<b>1</b>	<b>0</b>	<b>1</b>	1	0	1	1	<b>1</b>	0	0	0
<b>1</b>	<b>1</b>	<b>0</b>	0	1	0	0	<b>0</b>	1	1	1
<b>0</b>	<b>1</b>	<b>1</b>	0	0	0	0	<b>1</b>	0	1	0

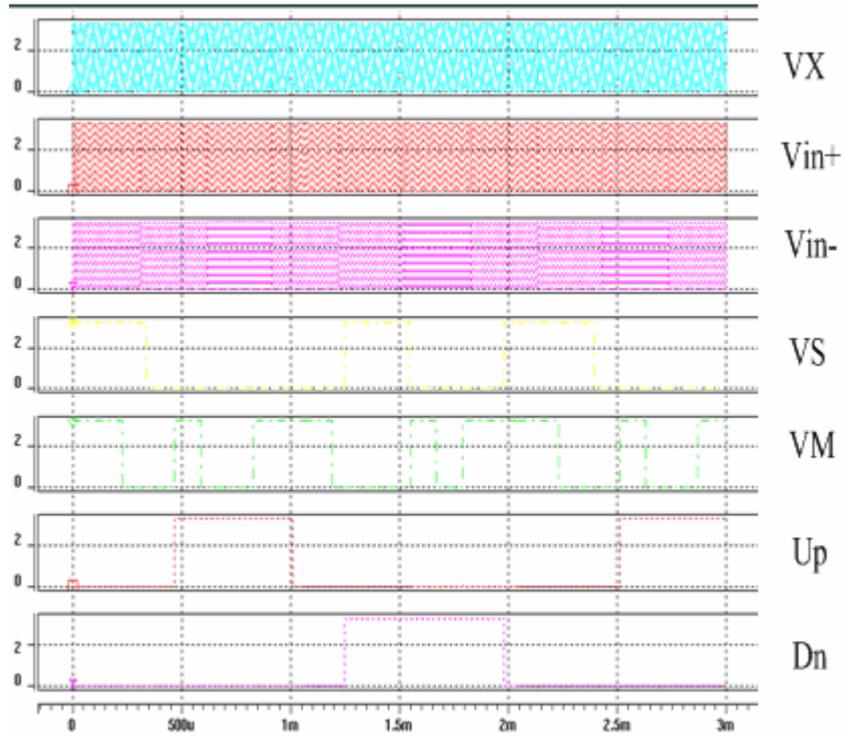


圖 4.14

將 MVCO 加入原來的 PLL 稱為 MPLL，已用 TSMC 0.35 um 製程及 3.3V supply voltage 作模擬，圖 4.15 為 MPLL 的模擬結果，表 4.5 為 MPLL 的一些 performance 參數。

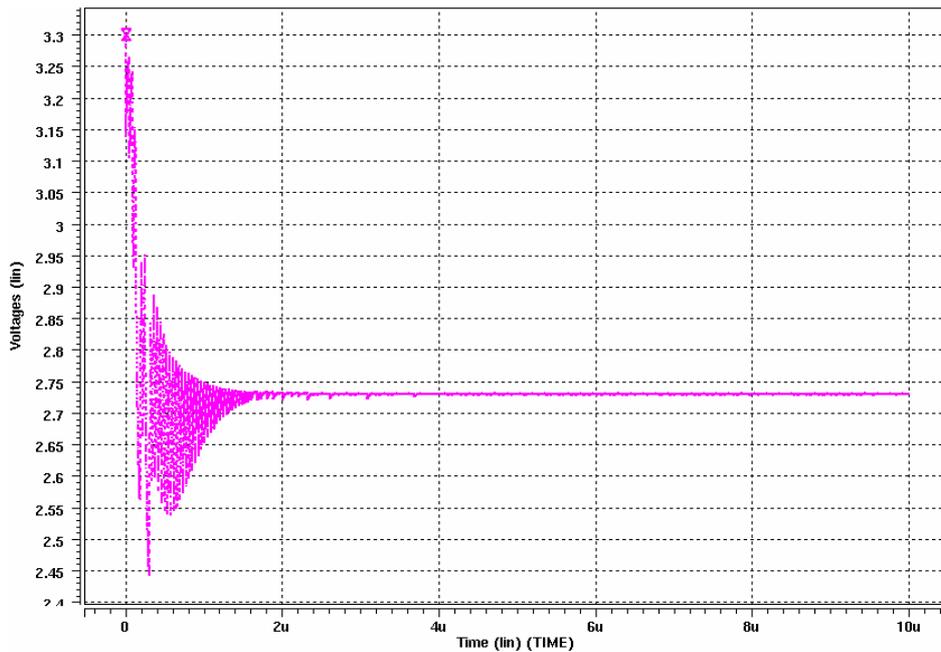


圖 4.15

表 4.5

	Original PLL	MPLL
TECNOLOGY	TSMC 0.35um	TSMC 0.35um
Supply Voltage	3.3	3.3
Reference frequency	25MHZ	25MHZ
KVco(MHZ/V)	471.167	425.2
Divider Number	32	32
Jitter	2ps	2.5ps
Output Loading	100fp	100fp
Power Consumption	9.118mw	9.275mw
Loop Filter	9.864pf	9.556pf

#### 4.5 Improvement

在前節已討論到各個子電路每一個的加壓的過程及計算出每一個子電路的加壓時間。在實用上，加壓時間不宜過長，有違經濟原則。若有加壓時間過長，電路將需要改善[34]。基本上，加壓時間過長原因部分是由於類比電路的結構造成某些節點無法提昇或降低到適當的電壓，而需要更長的加壓時間來測試。因此，增加適當的開關可解決此問題。例如在Divider的電路可能發生此問題。

考慮stressability分析如圖4.9，在C8組(M4\_GS)所需的測試時間要0.2648秒。圖4.15為Divider在M4的S端的模擬結果。當VE=0，M4的G端為HIGH，M5的G端為LOW，致使M5此時為OFF狀態而無法傳送完整的HIGH電位及無法使M4的S端提

升至VDD。模擬的結果顯示M4的S端為2.69V(在正常電壓3.3V下)，及3.95V(在加壓電壓5.82V下)。因此，VGS=0.61V(在正常下)及0.87V(在加壓下)，如圖4.9所示，所以，經計算得到其測試時間為0.2648秒。爲了改善加壓時間，可加一個PMOS開關如圖4.16所示，其G端接M8的G端；S端接Vdd；及D端接M4的S端。當VE=0，M8的S端亦爲0，導致此PMOS爲ON而將M4的S端提升至3.3V，如此一來M4端的G端跟S端電壓相同而在加壓測試以5.82V時也是如此，這將使得在計算加壓時間時在 $V_{yest}/V_{yn}=0/0$ 因此，M4便不須測試。

圖 4.16 的電路稱爲 MDB2(Modified Divider-by-2)電路，圖 4.17 爲 MDB2 的 modified 模擬結果，其功能爲 2 倍除頻器；而圖 4.18 爲 32 倍除頻器模擬波形。在測試分析如圖 4.19 所示，加壓時間有明顯的改善，圖 4.20 爲 MPLL 加上 MDB32(32 倍除頻器)的模擬結果。圖 4.20 與圖 4.15 非常相似，此證明加壓時間的改善，並非影響 MPLL 的功能。

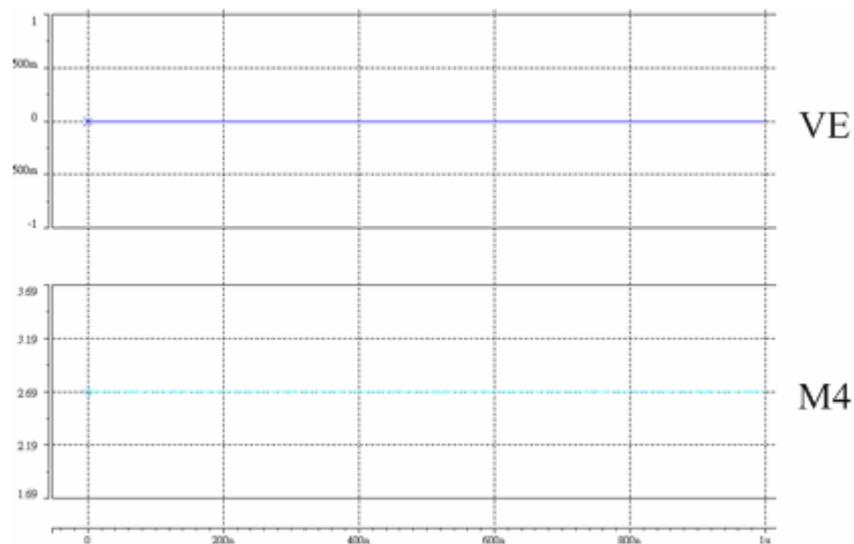


圖 4.15

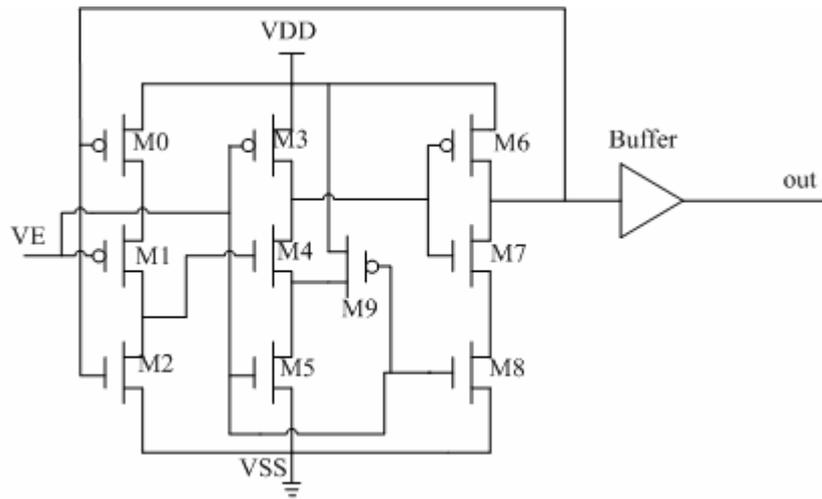


圖 4.16

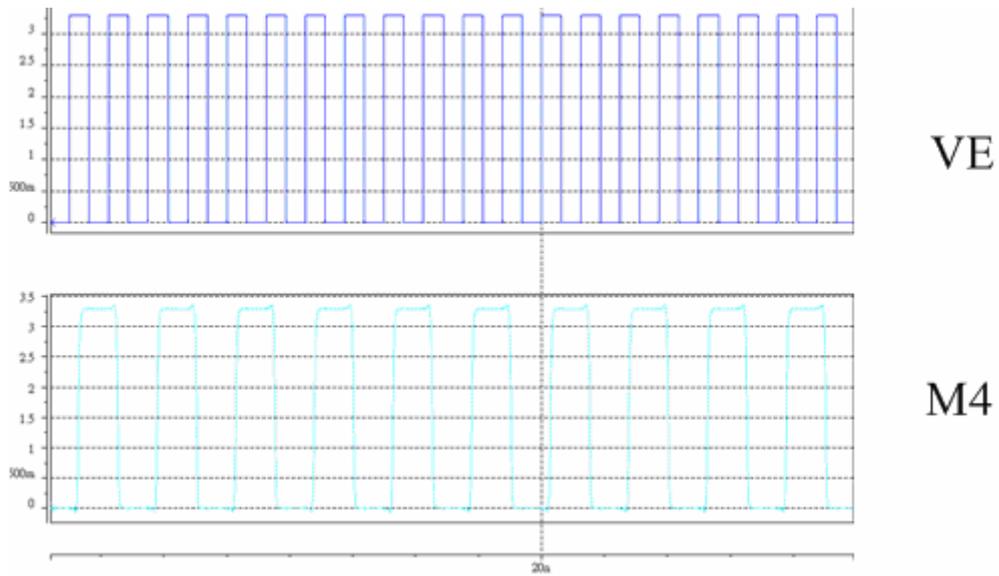


圖 4.17

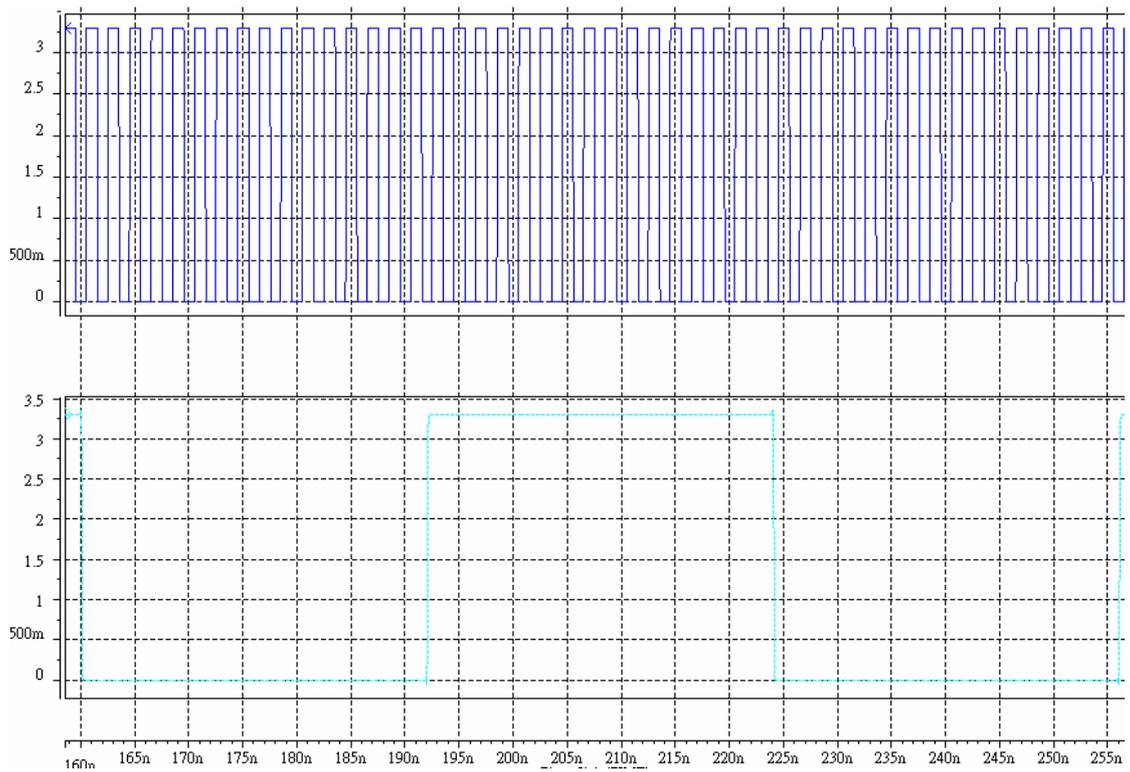


圖 4.18

VE	C1	C6	C2	C3	C4	C5	C7	C8	C9	
0	0	1	0	0	0	1	1	1	1	
1	1	0	1	1	1	0	0	0	0	
Number of Region	11	5	1	2	1	3	1	1	2	
Vyest/Vyn	5.82/3.3		1.32/1.82	1.32/1.82	5.331/3.141	5.794/3.3	0/0	4.94411/2.6877		3.84/2.2
Columns	8.13E-06		0.00023	1.73E-05	6.43E-05	1.03E-06		7.62E-06		1.3E-05

Stress time								
-------------	--	--	--	--	--	--	--	--

C1: M1\_GD , M1\_GS , M1\_GB, M2\_GD , M2\_GS , M2\_GB , M5\_GD , M5\_GS , M5\_GB , M8\_GS , M8\_GB

C2 : M6\_DG C3 : M6\_SG , M6\_BG C4: M8\_GD C5: M0\_DG , M0\_SG , M0\_BG

C6: M3\_DG , M3\_SG , M3\_BG, M4\_GB, M7\_GB , M9\_SG , M9\_BG C7: M4\_GD , M4\_GS

C8: M9\_DG C9: M7\_GD , M7\_GS

圖 4.19

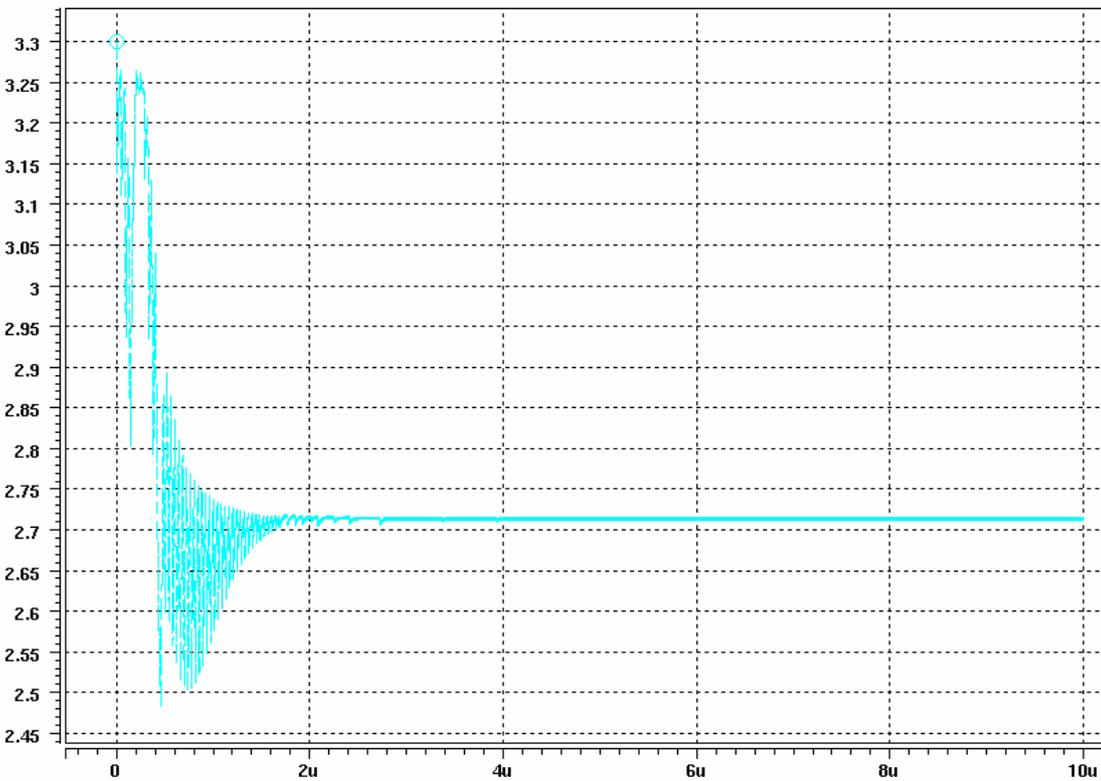


圖 4.20

## Chapter 5

### SUMMARY AND FUTURE WORK

#### 5.1 Summary

本論文討論造成 CMOS IC 的可靠度下降的原因閘氧化層得缺陷，並且提出加壓式測試的方式來提升 CMOS IC 的可靠度，而我們所採用的待測電路為 PLL，在第三章有討論到我們所使用的是 TSMC 0.35um 製成規格為輸入參考頻率為 25MHZ 輸出頻率為 800MHZ 除頻器為 32，而 PLL 最終鎖定時間為 2.5u sec 且 Jitter 為 2p sec 而我們就用這樣的架構使用多種不同的方式測試。

在第四章中我們有提到在傳統用於數位系統電路的測試方式如 Iddq Test 及 0-1 Test 的方式來作測試，但是實際上從表 4.1 可得知實際上這兩種方式在某些數位電路的成效不甚理想再加上 VCO 在正常動作內部訊號本身是屬於時變訊號，因此，在傳統的 Iddq Test 或 0-1 Test 方式不可行，我們所採用的加壓測試為可行的方式，經過最後的時脈輸入訊號如圖 4.25 所示也證實了使用這種加壓測試方式沒有動態上的問題。

而我們所採用的加壓方式測試技術包含測試向量的產生、加壓方式的分析以及加壓的設計的方法，我們針對類比電路以及混合訊號電路來作測試，在第四章有提到將它的加壓測試時間算出，在最後發覺有某些 MOS 因為加壓時間過長導致使用加壓測試方式的成效並不是很好，因此我們在最後一部份特別針對電路的某一部份來作修改，像在 VCO 加上 Switch 還有在 Divider 部份則是加入了一個 PMOS 來改上 M4 的加壓時間問題，加壓時間獲得相當的改善。電路模擬結果驗證電路修改的正確性，而可靠度的增強並未影響 PLL 的效能(Performance)。

#### 5.2 Future Research Work

就一個產品而言要如何追求到較高的可靠度一般都是採用崩應的方式來提高可靠度，但是就以產品的成本以及崩應時間較長再加上產品的上市時間而言，

其實崩應未必是最佳的選則因此有鑑於此在電路的內部作一些小設計再加上由外面一些測試儀器也許也能得到不錯的效果，雖然說我們這一次有把基本的模擬作完但是仍然沒有直接將晶片完成實際作量測也是一大缺憾。還有最後我們在 VCO 方面如果採用其它的型式時那麼在輸入測式向量方面也許就不是那麼容易這也是值得我們去探討的。

# REFERENCES

- [1] D.E. Swanson, "Forty years and looking forward," *International Journal of Semiconductor*, vol. 11, no. 1, January 1988.
- [2] A. Christou, *Integrating Reliability into Microelectronics Manufacturing*, John Wiley & Sons, Chichester, 1994.
- [3] Technology Roadmap for Integrated Circuits used in Critical Applications, [Online] Available <http://www.sandia.gov/eqrc/critical/critical.html>, September 1998.
- [4] E.R. Hnatek, *Integrated Circuit Quality and Reliability*, 2nd Edition, Marcel Dekker, Inc., New York, 1995.
- [5] C.F. Hawkins and J.M. Soden, "Electrical Characteristics and Testing Considerations for Gate Oxide Shorts in CMOS ICs," *Proc. International Test Conference*, Philadelphia, PA, pp. 544-555, 1985.
- [6] C.F. Hawkins and J.M. Soden, "Reliability and Electrical Properties of Gate Oxide Shorts in CMOS ICs," *Proc. International Test Conference*, Washington, DC, pp. 443-451, 1986.
- [7] M.H. Woods, "MOS VLSI Reliability and Yield Trends," *Proceedings of IEEE*, vol.74, no. 12, pp.1715-1729, December 1986.
- [8] T. Kim and W. Kuo, "Modeling Manufacturing Yield and Reliability," *IEEE Trans. on Semiconductor Manufacturing*, Vol. 12, No. 4, pp. 485-492, November 1999.
- [9] M. Syrzycki, "Modelling of Spot Defects in MOS transistors," *Proc. International Test Conference*, Washington, DC, pp.148-157, 1987.
- [10] P. Simon, J.M. Luchies, and W. Maly, "Identification of Plasma-Induced Damage Conditions in VLSI Designs," *IEEE Trans. on Semiconductor Manufacturing*, vol. 13, no. 2, pp.136-144, May 2000.

- [11] T. Brozek, V.R. Rao, A. Sridharan, J.D. Werking, Y.D. Chan, and C.R. Viswanathan, "Charge Injection Using Gate-Induced-Drain-Leakage Current for Characterization of Plasma Edge Damage in CMOS Devices," IEEE Trans. on Semiconductor Manufacturing, vol. 11, no. 2, pp.211-216, May 1998.
- [12] J.C. Lee, I. Chen, and C. Hu, "Modelling and Characterization of Gate Oxide Reliability," IEEE Trans. on Electron Devices, vol. 35, no. 12, pp. 2268-2278, December 1988.
- [13] K.F. Schuegraf and C. Hu, "Effects of Temperature and Defects on Breakdown Lifetime of Thin SiO<sub>2</sub> at Very-Low Voltages," Proc. IEEE International Reliability Physics Symp., San Jose, CA, pp.126-135, 1994.
- [14] W. Kuo, W-T.K. Chien, and T. Kim, *Reliability, Yield, and Stress Burn-in, A Unified Approach for Microelectronics Systems Manufacturing and Software Development*, Kluwer Academic Publishers, Boston, 1998.
- [15] T. Barrette, M. Stover and E. Sugasawara, "Evaluation of Early Failure Screening Methods," Dig. of Papers, 1996 International Workshop on IDDQ Testing, Washington, DC, pp.14-17, 1996.
- [16] R. Kawahara, O. Nakayama, and T. Kurasawa, "The Effectiveness of IDDQ and High Voltage Stress for Burn-in Elimination," Dig. of Papers, International Workshop on IDDQ Testing, Washington, DC, pp.9-13, 1996.
- [17] A.W. Righter, C.F. Hawkins, J.M. Soden, P. Maxwell, "CMOS IC Reliability Indicators and Burn-in Economics," Proc. International Test Conference, Washington, DC, pp.194-203, 1998.
- [18] T.Y.J. Chang and E.J. McCluskey, "SHORt Voltage Elevation (SHOVE) Test," Dig. of Papers, IEEE International Workshop on IDDQ Testing, Washington, DC, pp. 45-49, 1996.
- [19] M.A. Khalil and C.L. Wey, "High-Voltage Stress Test Paradigms of Analog CMOS ICs for Gate-Oxide Reliability Enhancement," Proc. IEEE VLSI Test Symposium, pp. 333-338, 2001.
- [20] MOSIS parametric test results at <http://www.mosis.org/cgi-bin /cgiwrap/umosis/swp/params/hp-amos14tb/t07k-params.txt>

- [21] M.A. Khalil, Extreme-Voltage Stress Test of Analog CMOS ICs for Gate-Oxide Reliability Enhancement,” Ph.D. Dissertation, Department of Electrical and Computer Engineering, Michigan State University, 2002.
- [22] C.L. Henderson, *Time Dependent Dielectric Breakdown of Semiconductor Reliability*, IEEE, UK, 2002.
- [23] D. L. Crook, “Method of Determining Reliability Screens for Time Dependent Reliability Breakdown,” Proc. IEEE International Reliability Physics Symposium, pp.1-4, 1979.
- [24] M. Kimura, “Field and Temperature Acceleration Model for Time-Dependent Dielectric Breakdown,” IEEE Transactions on Electron Devices, Vol.46, No. 1, pp.220-229, Jan. 1999.
- [25] T.Y.J. Chang and E.J. McCluskey, "SHOrt Voltage Elevation (SHOVE) Test for Weak CMOS ICs," Proc. VLSI Test Symposiums, pp. 446-451, 1997.
- [26] R. Rajsuman, “Iddq testing for CMOS VLSI,” Proc. IEEE Volume 88, Issue 4, pp.544 – 568, 2000.
- [27] M.A. Khalil and C.L. Wey, “Extreme-Voltage Stress Vector Generation of Analog CMOS ICs for Gate-Oxide Reliability Enhancement,” Proc. International Test Conference, Baltimore, MD, pp. 348-357, 2001.
- [28] B.Razavi, Design of Analog CMOS Integrated Circuit, McGraw-Hill, 2001
- [29] H.Y Huang, S.F Ho and L.W Huang, “A Wideband Programmable Spread-Spectrum Clock Generator,” Proc. Of VLSI Design/CAD Symposium, Taiwan, pp.9-48, 2005.
- [30] H.B Lee, W.Y Chung (2001),“Research on the Design of Low Voltage CMOS Phase Locked Loops for Clock Generator,”CHUNG YUAN JOURNAL, Vol.29 , No.3, pp.293 – 301,2001
- [31] M.A. Khalil, Extreme-Voltage Stress Test of Analog CMOS ICs for Gate-Oxide Reliability Enhancement,” Ph.D. Dissertation, Department of Electrical and Computer Engineering, Michigan State University, 2002.

- [32] C.L. Wey, M.-Y. Liu, S. Quan, "Reliability Enhancement of CMOS SRAMs," Proc. of IEEE International Workshop on Memory Technology, Design, and Testing (MTDT), Taipei, Taiwan, August 2005.
- [33] P. Simon, J.M. Luchies, and W. Maly, "Identification of Plasma-Induced Damage Conditions in VLSI Designs," IEEE Trans. on Semiconductor Manufacturing, vol. 13, no. 2, pp.136-144, May 2000.