

PROJECT:	MI200	FILE ID	HW-A-0505-00X
Unit:		Rev:	0.1 draft
File Name:		Data:	
Author:			



ESD protect of PAD design

Wu Yanhui

.2005-07-11

Miartech

Postal address

Room 401,NO.20 Building,498 Guoshoujing Road,
Shanghai Pudong Software Park,Pudong New District,
Shanghai,China

Tel.: (86)-21-50271118 Fax: (86)-21-

Internet

<http://www.miartech.com>

Contents

1	ESD 测试模型	2
1.1	ESD保护测试的几种放电模式.....	2
1.2	HBM(Human Body Model)	2
1.3	Other ESD test models	2
2	ESD保护器件	3
2.1	Diode ESD device.....	3
2.2	NMOS ESD device	4
2.3	SCR ESD device	5
3	ESD保护方案	6
3.1	ESD of analog I/O PAD:.....	6
3.1.1	gCNMOS结构的静电保护工作原理.....	6
3.2	ESD protect of output & digital I/O PAD	7
3.3	ESD protect of chip.....	7
4	ESD 保护电路的layout	9
4.1.1	ESD保护MOS管的性能优化.....	9
4.1.2	ESD管的尺寸选择	9
4.1.3	POWER RING的线宽选择	9
5	参考文献.....	10

1 ESD 测试模型

1.1 ESD保护测试的几种放电模式

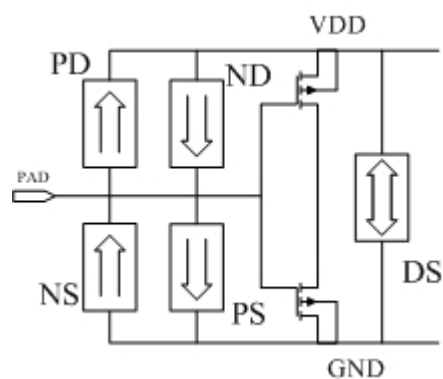


Fig. 1

在对PAD的ESD保护测试中，包含有I/O-to-VDD positively and negatively (PD and ND)，I/O-to-GND positively and negatively (PS and NS)，以及VDD-to-GND (DS) 这几种放电模式。通常ESD保护中会将PD和ND合并，NS和PS合并，如常用的ggPMOS，ggNMOS结构。

1.2 HBM(Human Body Model)

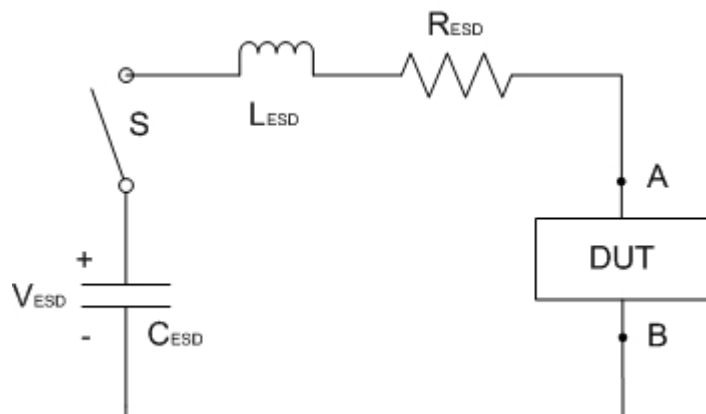


Fig. 2 HBM ESD model circuit

人体模型用于仿真带电人体接触到电子器件时的静电放电。如Fig. 2所示， C_{ESD} ($= 100\text{pF}$) 进行充电，然后通过 R_{ESD} ($= 1500\ \Omega$) 和 L_{ESD} ($\approx 7.5\ \mu\text{H}$) 对测试器件 (device under test, DUT) 进行放电。

1.3 Other ESD test models

在ESD测试中除了HBM外，比较常用到的还有Machine model(MM)，模型电路与HBM类似，但参数不同 $C_{ESD} = 200\text{pF}$ ， R_{ESD} 为负电阻，其放电波形也是不同的。

此外，还有Charged-device model(CDM)，International Electrotechnical Commission(IEC) model，transmission line pulse (TLP) model。

2 ESD保护器件

The principle of ESD protection is twofold: to provide a low-impedance discharging path to shunt ESD currents and to clamp pin-voltage to a safe level to avoid dielectric breakdown.

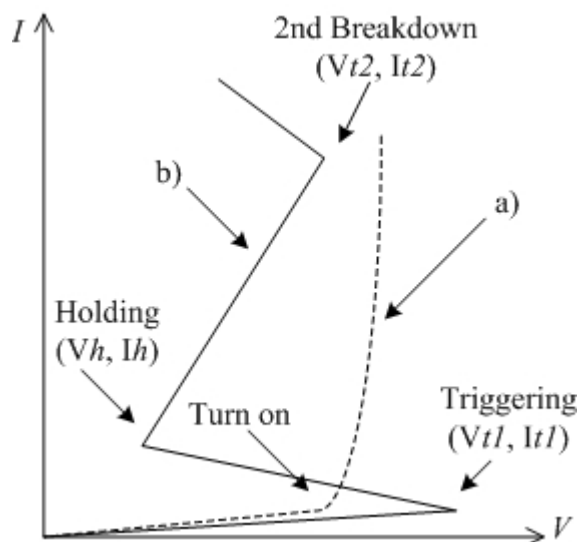


Fig. 2-1 Typical ESD protection structure I~V characteristics: (a) simple turn-on; (b) snapback.

两类典型的ESD I~V特性曲线如图Fig. 2-1所示，分别为simple turn-on和I~V snapback，后者因为其对电流的处理能力更具吸引力。一个成功的ESD保护设计应该正确的定义出以下参数：triggering point(V_{t1} and I_{t1})，snapback holding point(V_h and I_h)，thermal breakdown threshold point(V_{t2} and I_{t2})等。

2.1 Diode ESD device

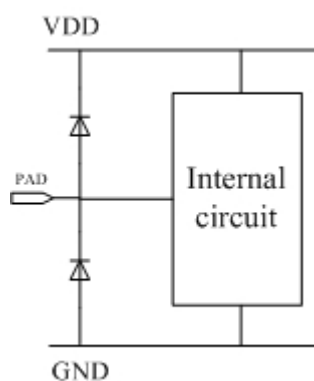


Fig. 2-2 diode ESD protection scheme

在早期的ESD保护方案中，这种反接在电源间的diode结构被广泛应用（Fig. 2-2）。它的状态过程如图Fig. 2-1中的simple turn-on，通常采用Zener diodes。这种简单的解决方案是可以通过SPICE进行仿真的。正向连接的diode可以更好的处理大电流传输，但由于其较低的正向启动点压（~6.5V），这样就限制了其在较高电源电平的应用。多极串联diode（正向或者反向）可以解决这个问题，但是，同时由于其阻抗的增加减弱了其电流处理能力。用大尺寸的diode提高ESD保护性能的同时会产生更多的寄生效应。

2.2 NMOS ESD device

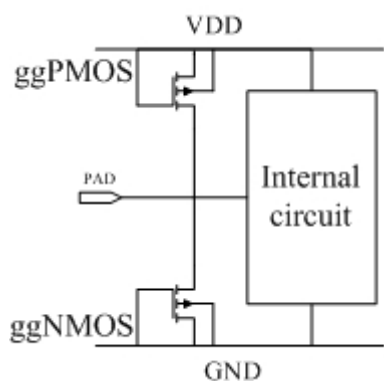
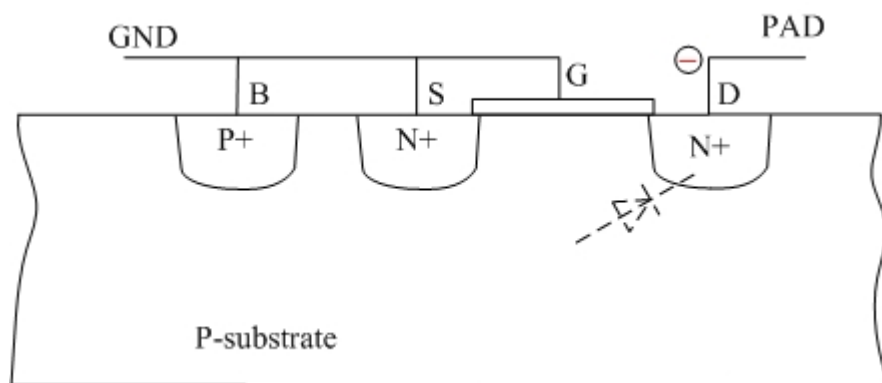


Fig. 2-3 ggNMOS ESD protection structure

Fig.2-3所示的是应用最广泛的ggNMOS（grounded-gate NMOS）ESD保护结构，Drain端接至PAD，Gate端接至电源地。ESD保护利用其寄生的NPN三极管，形成一个低阻抗的放电通路，以此来保护IC的内部电路。

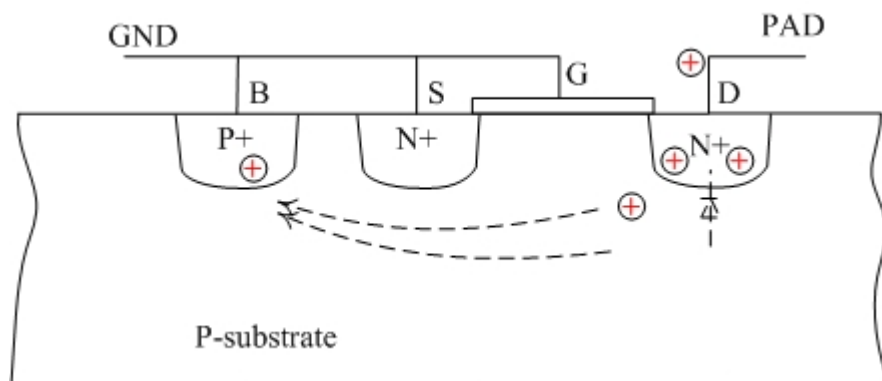
这里仅说明ggNMOS静电保护的工作原理，ggPMOS的工作原理可由此类推。

ggNMOS的剖面结构如下，当PAD端聚集大量的负电荷时，通过Drain端与P-substrate之间的PN结，电荷由B端泻放到GND。

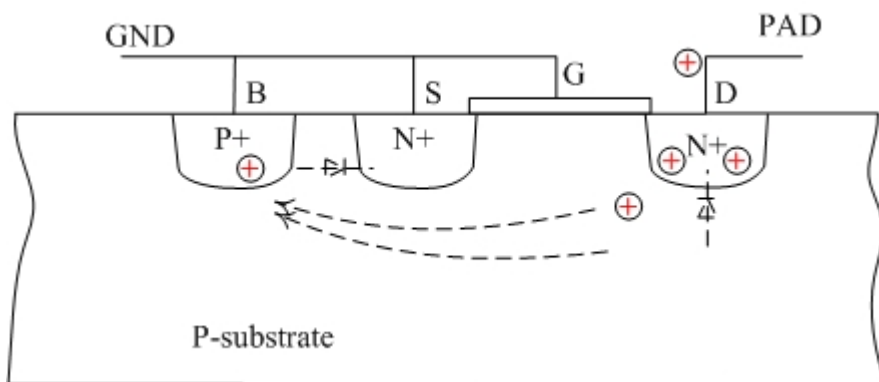


当PAD端聚集大量的正电荷时，利用的是寄生的三极管。寄生三极管的启动原理如下。

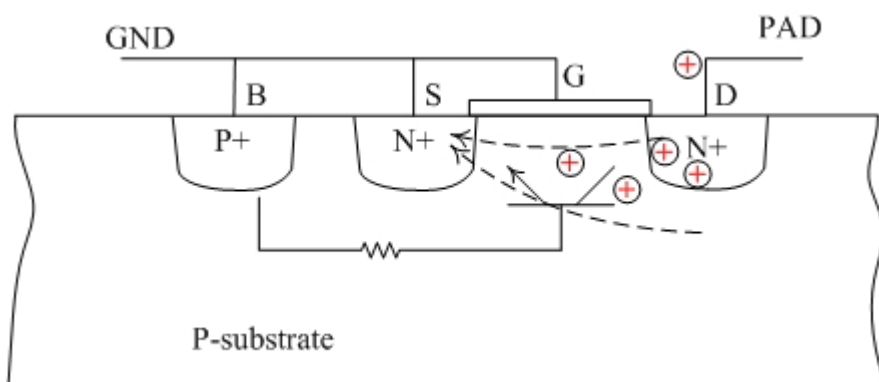
Step1: 大量的正电荷聚集在Drain端，一定的正电荷通过Drain和P-substrate之间反偏的PN结转移至P-substrate，这部分正电荷聚集到同为P型材料的B端，转移到GND。



Step2: 聚集到B端的正电荷，使得与Source端的PN结导通，由此导通寄生的三极管。



Step3: 寄生的三极管被打开，大量的正电荷通过Gate下面的区域迅速由Drain端转移到Source端。聚集的正电荷得以快速的泻放到地。



在ggNMOS结构的ESD保护中，器件的不均匀性将影响到其性能，在layout的时候需要充分考虑到这个问题，同时可对器件进行改进，增加Drain端的宽度，在电路中相当于添加小电阻，减小电流，提高其均匀性，在 § 4.1中将作叙述。

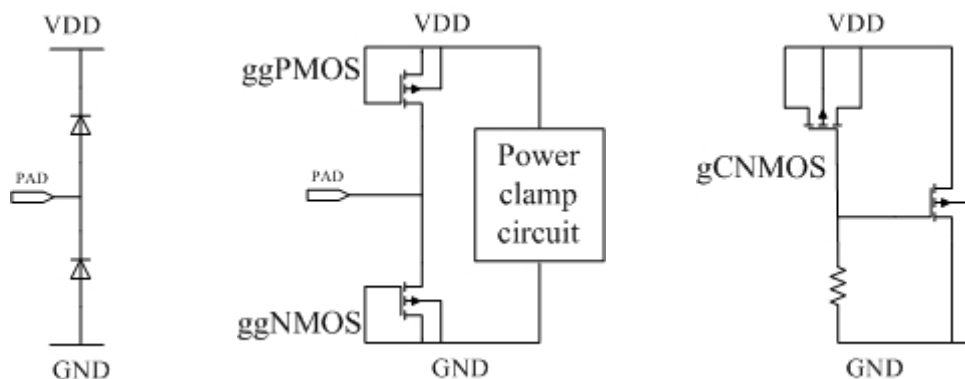
ggNMOS电路的I~V特性如图2-1，由于triggering point电压高于snapback holding point的电压，由于器件不均匀性，有可能使某一个器件经过snapback后达到 V_{t2} 而损坏，其余的器件仍然未达到triggering point。为避免这种情况发生，可以对电路结构进行改进，降低 V_{t1} ，使得 $V_{t1} < V_{t2}$ ，如gCNMOS。

2.3 SCR ESD device（需补充）

SCR结构因为其I~V特性，是一种性能良好的ESD保护器件。实质为一种p-n-p-n结构。

3 ESD保护方案

3.1 ESD of analog I/O PAD:



一般的ESD保护中采用在接口与电源间添加反向的二极管，在IC的ESD保护中则采用ggPMOS和ggNMOS这两种结构来替代二极管，同时利用MOSFET的二极管特性和这种结构中寄生的三极管特性。ggPMOS和ggNMOS可以完成对电源和对地的静电电荷泻放。

随晶片的尺寸越来越大，环绕整个IC的VDD和VSS的power ring也越拉越长，寄生的电容电阻效应便会显现出来，当IC布局造成电源线杂散电容电阻可能会延迟ESD电流未经由VDD与VSS之间的ESD防护电路，而旁通而过。这时，来不及泻放的ESD电流会藉由电源线相连接而进入IC内部电路。

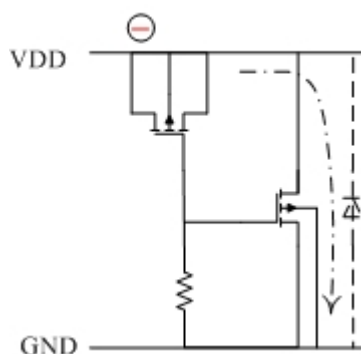
这样，在晶片尺寸（die size）较大时，Input pad的ESD防护电路就必须有直接与VDD之间的旁通电路，而不能藉由VDD与VSS之间的ESD防护电路来间接放电。

MI200设计中的电源线之间的Power clamp circuit使用的是gCNMOS结构。gCNMOS结构中利用电容（这里采用的是PMOS管电容）和小电阻将静电荷快速耦合到NMOS管的gate端，迅速开启NMOS管进行电荷泻放。

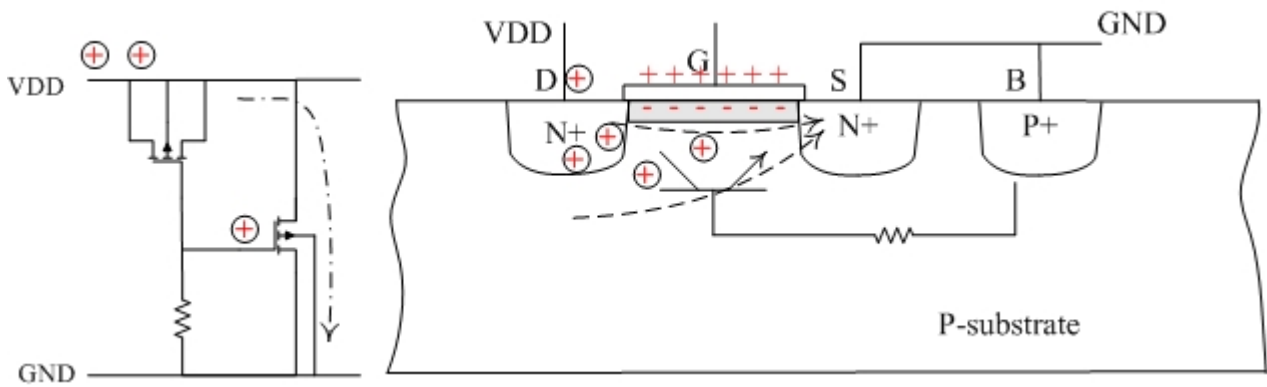
3.1.1 gCNMOS结构的静电保护工作原理

gCNMOS中NMOSFET在ESD保护时候，工作原理基本同ggNMOS，PMOS电容和电阻主要起将电荷耦合到NMOSFET的Gate端的作用。

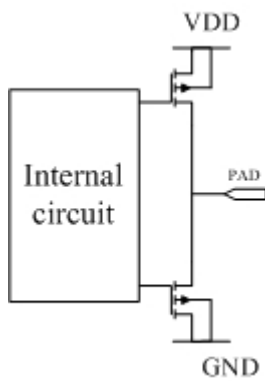
在VDD端聚集大量的负电荷时候，利用的是Drain端与P-substrate之间的PN结，进行电荷泻放。



在VDD端聚集大量正电荷时，首先PMOS电容为维持电容上下极板的电荷平衡，会在另一极板聚集相应的正电荷，这就将静电放电的正电荷一部分耦合到了相连的Gate端，Gate端的正电荷在沟道中吸引一定的负电荷，使得Drain端的正电荷在P-substrate中的移动加速，从而加速了寄生三极管的导通，以及电荷泻放。



3.2 ESD protect of output & digital I/O PAD



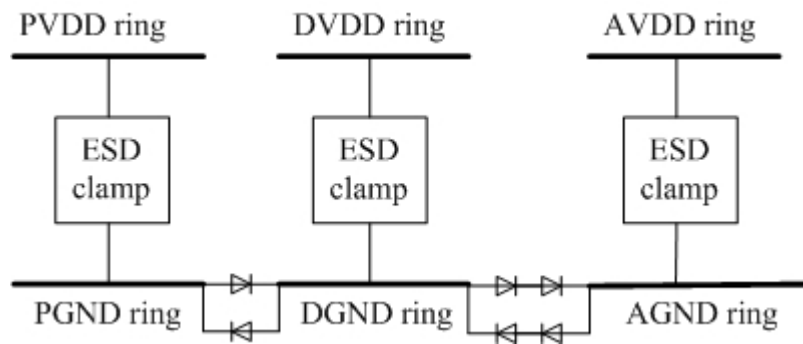
在output PAD或者I/O PAD中，通常用于ESD保护的MOSFET也用作输出时的驱动管，如上图所示。

3.3 ESD protect of chip

CMOS电路中全晶片ESD防护设计考虑：

1. To provide ESD protection with efficient discharging paths to bypass any ESD stress.
2. To protect themselves against ESD damages with some degree of robustness during ESD stress.
3. To pass normal I/O signals and remain inactive when the IC is in the normal operating condition.
4. To cause acceptable I/O signal delays(as small as possible) because the ESD protection circuits are added around the I/O pads.
5. To offer high ESD protection capability within small layout area.
6. To maintain high latch up immunity of CMOS IC's.
7. To fabricate the ESD protection circuits without adding extra steps or masks into the CMOS process.

在全芯片的ESD防护中还需要考虑的是，多电源之间的静电泻放，在MI200中，我们采用的是三套电源，采用的是在几套GND的power ring之间添加diode，这样就可以保证任意两个PAD之间同时存在正向和反向的有向通道。



MI200有三组power lines，其ESD具体实现方式和参考的电路有区别，需要特别注意。

三组power lines分别为：AVDD, AGND; DVDD, DGND; PVDD, PGND

各组电源之间必须有良好的电荷泻放通路。由于Power line上噪声较大，所以在各VDD间没有通路，它们之间的放电通过VSS间构成的环路来完成。

AVSS上噪声较DVSS和PVSS小，所以AVSS到DVSS或PVSS方向只需要一个二极管，而其它四种组合中需要两各二极管串连。

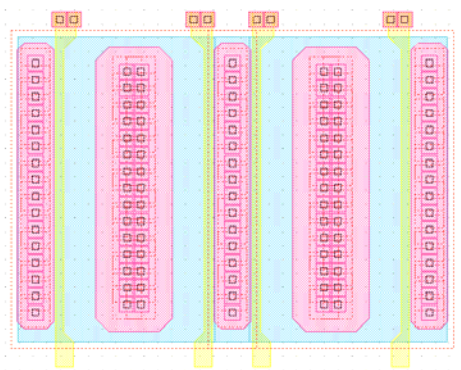
4 ESD 保护电路的layout

4.1.1 ESD保护MOS管的性能优化

为提高MOSFET的ESD性能，在layout中对使用的ESD管进行适当处理。ESD击穿主要是，最脆弱的器件和器件最脆弱的部位，要提高ESD管的性能可从这两个方面着手。

首先是避免器件的不均匀性，从schematic方面来说，可以在ESD管Drain端添加小电阻来均衡ESD放电电流，而通过延长ESD管的Drain的宽度即可实现。从另一个角度，增加了Drain端的宽度，可以增加电子-空穴对数量，相同电流下，以电子数量降低电子移动速度。

同时，在ESD管的Gate的边缘添加倒角，增强ESD管的性能，如下图。



4.1.2 ESD管的尺寸选择（需补充）

在设计中，根据经验值，选择ggPMOS和ggNMOS的ESD管的整体尺寸为：***

gCNMOS管的耦合电容选用***的finger形式的PMOS管，耦合电阻选用***欧姆的小电阻。

4.1.3 POWER RING的线宽选择（需补充）

项目中，AVDD，AGND，DVDD及DGND部分的power ring线宽都采用***u宽。

PVDD的最大电流为***mA，所需最小power ring线宽为***u，选用***u。因PGND采用中间供电的形式，采用***u线宽。

5 参考文献

A.Z. Wang, H.G. Feng; On-chip ESD protection design for integrated circuits: and overview for IC designers;

台湾静电防护工程学会教程:

<http://140.96.180.105/tech/index.html>

<http://140.96.180.105/tech/esd/index.html>