厦门大学

硕士学位论文

24位Σ-△A/D转换器中抽取滤波器的设计和实现

姓名:章建钦

申请学位级别:硕士

专业: 微电子与固体电子学

指导教师: 李开航;陈松岩

摘要

近十几年来,随着微电子技术的快速发展和计算机技术在集成电路中的应 用,集成电路已发展到超大规模甚至是单片系统集成阶段,大大促进了数字技术 的发展。数字技术具有速度快、精度高、抗干扰能力强等优点而得到广泛的应用, 越来越多的电子设备已经从采用模拟电路实现而大范围地向数字化转变。随着数 字化进程的深入,作为连接模拟和数字世界桥梁的模数转换器也同样成为研究热 点,其中高位的Σ-Δ型A/D转换器作为高精度信号处理中的重要接口部件,由 于其转换精度高而使它们在当今高精度信号处理领域中倍受青睐。因此本论文以 实现性能良好的高位Σ-Δ型A/D转换器芯片为目标,设计和实现一款 24 位Σ -Δ型A/D转换器的关键部分——数字抽取滤波器。

本文先简要介绍Σ-△A/D 转换器在高精度信号处理中的应用和数字抽取滤 波器在Σ-△A/D 转换器中的作用,接着对Σ-△A/D 转换器的基本工作原理进行 了介绍,其中着重分析了过采样技术和噪声整形技术的基本原理,然后对数字抽 取滤波器的原理和实现结构进行了研究,特别介绍了抽取的原理、抽取滤波器的 多级结构以及多级结构中的前级梳状滤波器和后级半带滤波器的等方面的原理。

本论文设计的数字抽取滤波器采样频率为 256KHz,输出数据率为 20Hz,要 求整个滤波器实现 12800 倍降采样,其中级联积分梳状滤波器实现 3200 倍降采 样,半带滤波器实现最后的四倍频降采样。积分梳状滤波器采用无乘法器、结构 规则、易于版图实现的递归结构来实现,而半带滤波器则采用运算量低、节省硬 件资源的转置型结构来实现。设计首先使用 MATLAB 对滤波器整体进行仿真, 由设计指标定出了各部分结构的参数,然后采用 CSMC 0.5um 工艺规则完成滤波 器的整体版图设计,最终完成了流片和测试。测试结果表明,所设计的数字抽取 滤波器实现了抽取滤波的功能,且整体性能良好,达到预期目标。

关键词: $\Sigma - \Delta A/D$ 转换器; 数字抽取; 滤波器

Abstract

With the rapid development of microelectronic technology and the aid of computer technology in IC design and development, the scale and complexity of integrated circuits have been increasing exponentially over the past few decades. Due to its flexibility, high resolution, strong anti-interference and fast increasing processing power, more and more applications are using digital circuits and digital technology. Powerful digital circuits and digital processing technology demand higher performance analog-to-digital converters (ADC), which is the interface between analog and digital worlds. This encouraged research activities on high performance ADCs. Among these high performance ADCs, sigma-delta ADC technology has been proven to be an excellent technology choice for implementing high resolution ADC in large-scale digital CMOS process. Its popularity has made it a critical component in many applications.

In this thesis, a brief introduction is given to the application of sigma-delta A/D converters in high-resolution signal processing applications, and the role of decimation filters in sigma-delta A/D converters. The second part explains the basic theory of sigma-delta A/D converters; include the analysis of oversampling and noise shaping technology, followed by a summary of research results in the theory and implementation of digital decimation filters, including comb filters and half-band filter as decimation filters.

The sampling frequency of the designed digital decimation filter is 256kHz. The output data rate is 20Hz. The filter's decimation ratio is 12800, with decimation ratio of 3200 realized by the CIC filter and decimation ratio of 4 realized by the half band filter. The CIC filter is implemented using a recursive structure. The half band filter is realized with a transpose structure. Matlab computer software is used in the design and simulations of the filter. The filter is fabricated in CSMC 0.5um CMOS process. The test results verified the filter's functionality. The design goals and targets have been successfully achieved.

Key words: $\Sigma - \Delta A/D$ converter; digital decimation; filter

厦门大学学位论文原创性声明

兹呈交的学位论文,是本人在导师指导下独立完成的研究成果。本人在论文 写作中参考的其他个人或集体的研究成果,均在文中以明确方式标明。本人依法 享有和承担由此论文产生的权利和责任。

声明人 (签名). 人

08年6月2日

厦门大学学位论文著作权使用声明

本人完全了解厦门大学有关保留、使用学位论文的规定。厦门大学有权保留 并向国家主管部门或其指定机构送交论文的纸质版和电子版,有权将学位论文用 于非赢利目的的少量复制并允许论文进入学校图书馆被查阅,有权将学位论文的 内容编入有关数据库进行检索,有权将学位论文的标题和摘要汇编出版。保密的 学位论文在解密后适用本规定。

本学位论文属于

1. 保密(),在年解密后适用本授权书。

2. 不保密 ()

(请在以上相应括号内打"√")



第一章 绪论

自1959年第一块集成电路在美国TI公司诞生以来,集成电路技术就以惊人 的速度飞快发展。至今,集成电路已经历了小规模,中规模,大规模,甚大规模 和目前的系统集成或片上系统(soc)的发展过程。随着集成电路规模的不断扩 大,并且由于数字信号处理具有精度高、功能强、易实现等特点,许许多多原来 由模拟电路实现的功能现在都由数字电路实现了。目前数字技术已渗透到各个工 程领域,各种以数字技术为基础的设备开始进入生产和生活中,例如数字控制, 数字通信,数字电视等等。虽然模拟集成电路不能像数字集成电路那样享受深亚 微米技术带来的可按比例缩小的特性,但是模拟电路仍然具有重要地位。数字技 术的处理对象是数字信号,但是人们所能感知的外部世界中的物理量大部分却都 是随时间连续变化的模拟量(比如速度,温度,压力等),因此在应用数字系统 处理模拟信号时,必须先将模拟信号转换成数字信号,这就需要模拟集成电路。 另外,还可以利用模拟集成电路技术提升数字电路的功能,因此模拟集成电路和 数字集成电路相辅相成。随着集成电路的不断向前发展,作为模拟集成电路和数 字集成电路的重要接口——模数转换器(A/D转换器)的重要性也日益显现,吸引 了人们的极大研究兴趣。

1.1 Σ-ΔA/D转换器在高精度信号处理中的应用

随着数字技术的发展,A/D转换器正朝着低功耗高速、高分辨率的方向发展。 同时A/D转换器的应用领域也在不断拓宽,比如多媒体、通讯、自动化、仪器仪 表等。对于不同领域的不同要求,需要不同种类型的A/D转换器来满足。

迄今为止已研究出的A/D转换器按电路结构划分主要有以下几种:积分型、 逐次逼近型、快闪(flash)型、流水线型和sigma-delta(Σ-Δ)型。其中快 闪(flash)型、流水线型和sigma-delta(Σ-Δ)型是后期发展起来的。早期 发展起来的A/D转换器结构,如逐次逼近型、积分型等,主要应用于中速或较低 速、中等精度的数据采集和智能仪器中。后期发展起来的流水线型和快闪(flash) 型A/D转换器则主要应用于高速情况下的信号处理和数据采集、视频信号量化及 高速数字通讯技术等领域。

20世纪90年代以来获得快速发展的Σ-Δ型A/D转换器利用高采样率和数字 信号处理技术,将抽样、量化、数字信号处理融为一体,从而获得了迄今为止最 高的转换精度(可达24 位)。Σ-Δ型A/D转换器由于转换精度高,动态范围大, 成本低,在信号处理特别是高精度信号处理领域应用广泛。它主要应用于高精度 信号采集特别是数字音响系统、多媒体、地震勘探仪器、声纳、温度检测、应变 计、热电偶、过程控制、智能变速器、医疗仪器测量等电子测量领域^[1, 2]。

近年来随着便携式个人消费品和无线数字通信技术的进一步发展,目前国外 对Σ-Δ型A/D转换器的研究从原有的高分辨率的基础上开始朝着低压、高速、更 宽的信号带宽方向深入,同时应用领域也进一步扩大,目前已突破了中低频范围 的音频和直流测量开始进入通信和视频领域^[3~18]。表1.1给出了目前Σ-Δ型A/D 转换器主要厂商的部分代表性产品。从表上可以看出Σ-Δ型A/D转换器主要应用 在仪器仪表,测量等高精度信号处理领域,同时也可以看出商用产品和目前的最 新研究成果(文献[19~31])还有一定差距,国外研究成果领先于现有商用产品。

型号	分辨率	采样	主要应用	售价	厂商	
	(位)	频率	领域	(1K 片)		
PCM4220	24	216KHZ	音频处理	\$9.95	德州仪器	
ADS1234	24	80SPS	过程控制	\$4.5	(TI)	
AD1871	24	96KHZ	音频处理	\$5. 09	AD 公司	
AD7763	24	625KHZ	仪器仪表	\$17.95	(ADI)	
LTC2453	16	60SPS	系统监控	\$2.32	凌特	
LTC2492	24	15SPS	温度测量	\$2.95	(Linear Tech)	
MAX1402	18	480SPS	称重仪等	不详	美信	
MAX11040	24	64KHZ	仪器仪表	不详	(MAXIM)	
MCP3551	22	14SPS	汽车传感	\$2.85	微芯	
MCP3553	20	60SPS	应变测量	\$2.85	(MICROCHIP)	

表 1.1 sigma-delta 型 ADC 的代表性产品

1.2 数字抽取滤波器在 Σ -△A / D 转换器中的作用

Σ-△A / D转换器用过采样技术和Σ-△噪声整形技术来减少带内量化噪声, 但无论是过采样技术还是Σ-△噪声整形技术,都只是使量化噪声在频域中进行 再分配,并没有使总的噪声功率减小,因此对整形后的量化噪声必须采用数字抽 取滤波器来滤除掉。数字抽取滤波器在Σ-△A/D 转换器中的作用主要有以下三 个方面:

(1) 低通滤波

数字抽取滤波器的主要目标是将输入信号带宽外的噪声(如量化噪声、调制器产生的噪声和前置滤波器没有滤掉的输入信号内的噪声)滤除掉。滤除后的基带应只剩下小部分量化噪声,因此提高了量化信噪比,即相当于增加了数字输出的有效分辨率。

(2) 数字抽取

由于Σ-△调制器的输出为高速低分辨率的数据流,为了降低Σ-△调制器的 数据输出率得到最终的转换结果,必须进行数字抽取。数字抽取实际上是实现将 采样频率降至奈奎斯特频率并且将字长增加到相应位数,从而获得高分辨率的量 化信号的过程。

(3) 数字抽取前的抗混叠滤波。

相对于最终的采样频率 Fs,数字抽取滤波器还必须起到抗混叠滤波器的作 用。在进行数字抽取的过程中,调制器输出的高速低分辨率数据流经过抽取后得 到了低速高分辨率信号,因此抽取过程实际上是一个对信号进行重采样的过程, 因而会引入混迭失真。为了防止混叠发生,必须对信号进行低通滤波。所以数字 抽取滤波器还起到了抗混叠滤波的作用。

1.3 论文的主要任务和章节安排

随着我国消费类电子产业和多媒体产业的继续快速发展,未来几年将是我国 微电子发展的关键时期。目前sigma-delta型A/D转换器在我国主要是依靠进口, 绝大部分的市场份额都为外国厂商所占有。与国外的快速发展相比, 目前国内 sigma-delta型A/D转换器的研究水平则还处在比较低的阶段,成熟的产品也还比

较少,因此设计和开发具有自主产权的高性能、高分辨率、低价格、具有市场竞 争力的sigma-delta型A/D转换器迫在眉睫,开展这方面的工作具有很强的实际意 义和理论意义。基于以上考虑,我们设计一款24位高精度sigma-delta A/D转换 器芯片,本论文的主要工作是设计和实现其中的重要组成部分——数字抽取滤波 器,并在理论上加以分析和研究。本课题基于CMOS CSMC 0.5um工艺,设计应用 于24位高精度sigma-delta A/D转换器中的数字抽取滤波器的指标为:

分辨率:24 位

采样率: 256KHz

信号带宽:10Hz

工艺:SMIC 0.5um

数字部分电压:5V

阻带衰减:100dB

降采样率:12800 倍

根据上述指标,通过搜集相关文献和资料,对抽取滤波器的原理以及实现方 法进行深入学习和研究,分析和比较了各种滤波器结构之后,确定出符合设计要 求的滤波器结构,并用 Matlab 实现所设计滤波器的仿真,然后着手对滤波器的 各个模块进行电路设计,在满足 CSMC 0.5um 工艺规则要求基础上采用 EDA 工具 完成芯片总体版图设计,最后提交代工企业进行流片并取回测试,对测试结果进 行分析和总结。各章节的内容安排如下:

第一章首先阐述了课题的背景,接着简要介绍了Σ-ΔA/D 转换器在高精度 信号处理中的应用,同时还介绍了数字抽取滤波器在Σ-ΔA/D转换器中的作用。

第二章主要讨论了 sigma-delta A/D 转换器的基本原理,主要是从调制器的性能指标,调制器的工作机理,过采样技术和量化噪声整形技术四个方面进行介绍。

第三章对数字抽取滤波器的原理和实现结构展开了详细研究,首先介绍了抽 取的原理,接着从抽取滤波器的多级结构等方面进行了阐述,最后对多级结构中 的前级梳状滤波器和后级半带滤波器的原理进行了介绍,其中重点介绍了梳状滤 波器的原理和实现结构。

第四章介绍了抽取滤波器的具体设计过程,首先结合设计指标确定滤波器的

整体结构。接着介绍了级联积分梳状(CIC)滤波器和半带滤波器的设计过程。 两种滤波器的设计均从实现结构入手,在分析和比较各种实现结构优缺点的基础 上确定滤波器的结构。同时给出了设计中用到的子模块原理图和滤波器参数。

第五章首先给出了采用 CSMC 0.5um 工艺规则完成的整体版图,接着给出了流 片后芯片的测试结果,测试结果表明设计达到了设计指标。

第六章对全文进行了总结,并给出了后续工作的建议。

第二章 sigma-delta A/D 转换器基本原理

传统结构的高精度A/D转换器(逐次逼近,双斜率积分等)是以器件的高精 度和电路的复杂性为代价的,并且为了防止混叠噪声的影响,需要高性能的前端 抗混叠滤波器,增加了对设计和工艺的要求。随着大规模集成电路(VLSI)技术的 发展,芯片电源电压进一步下降,模拟电路的信噪比恶化,因此传统的A/D转换 器与数字电路进行单片集成存在一定困难^[32]。

Σ-△调制技术只要采用较简单的结构及低成本就能获得高分辨率,目前已 经成为一种流行的技术。Σ-△调制技术的基本思想是利用反馈环路来提高粗糙 量化器的有效分辨率并整形其量化噪声。它采用过采样技术与Σ-△调制器的噪 声整形技术对量化噪声进行双重抑制,使基带内信噪比大大提高。同时,过采样 Σ-△调制技术大大缓解了对前置抗混叠滤波器的性能要求,使得ADC中数字电路 的比例增加,模拟电路的比例减少,对模拟电路精度的要求降低,从而降低成本, 并且更易于与数字电路的大规模集成^[33]。

本章将从 Σ - Δ 调制器的性能指标, Σ - Δ 调制器的工作原理,过采样技术和 量化噪声整形技术三个方面对sigma-delta A/D转换器的基本原理进行介绍。

2.1 $\Sigma - \Delta$ 调制器的性能指标

Σ-Δ调制器的性能主要由以下几个指标来确定:动态范围(Dynamic Range, DR),过采样率M,输入信号的Nyquist率,量化信噪比(Signal-to-Noise Ratio, SNR),信号噪声失真比(Signal-to-Noise and distortion ratio),功耗。

(1) 动态范围

动态范围是Σ-△调制器最重要的指标,它决定了整个Σ-△调制器可达到的 精度。它的定义为Σ- △调制器的量化器满刻度均方根值与量化噪声均方根值之 比。动态范围代表量化器所能分辨的信号电平的相对范围(用dB表示),与信号 特性无关。其与精度的具体关系为^[34]:

$$N = \frac{D R - 1.76}{6.02}$$
(2.1)

动态范围与调制器阶数L、过采样率M,以及调制器总增益G有以下关系:

$$DR = \frac{3}{2} \frac{2L+1}{\pi^{2L}} G^2 M^{2L+1} (2^N - 1)^2$$
 (2.2)

式(2.2)中,N为量化器的位数。

(2) 量化信噪比

量化信噪比也是Σ-△调制器最重要的指标之一,它的定义为信号功率与噪 声功率的比值。在实际的ADC中噪声应包括:带内的量化噪声、随机噪声、谐波 畸变引起的噪声等。在过采样频率为M的条件下,Σ-△调制器的最大信噪比表示 为:

$$SNR = 6.02N + 1.76 + 10 \lg M$$
 (2.3)

该公式在第三节中有详细推导。

(3) 信号噪声失真比

信号噪声失真比是Σ-△调制器输入模拟信号功率与噪声和失真功率之和的 比值,最大信号噪声失真比用于度量Σ-△调制器处理基带内最大信号的能力, 与频率有关。

(4) 过采样率M

输入信号的Nyquist率 f_N 就是输入模拟信号最大频率的2倍,而过采样率M 就是采样频率 f_S 与输入信号的Nyquist率的比值,即 $f_S = M f_N$ 。Nyquist 率决定了 Σ -△调制器输入信号的最大带宽。

(5) 功耗

功率也是∑-△调制器设计中要考虑的重点指标。电路功耗P与调制器阶数L、 电源电压Vdd、过采样率M,以及采样电容Cs有以下关系^[35]:

$$P \propto (L+1) M C_{s} V_{dd} \qquad (2.4)$$

从上式可以看出,在保持电源电压、过采样率和采样电容乘积不变的情况下,电路功耗P与调制器阶数L成正比,即调制器阶数越高,电路的功耗越大。因此,合理地选择调制器的阶数和过采样率,可以在保证电路功能的前提下,有效地降低电路的功耗。

2.2 Σ -△调制器的工作原理

与一般的A/D转换器不同, Σ-△型A/D转换器并不是直接根据采样保持电路 采样到的样值大小来进行量化编码, 而是根据前一量值与后一量值的差值即所谓 增量的大小来进行量化编码。从某种意义讲, Σ-△型A/D转换器是根据信号波形 的包络线进行量化编码的。Σ-△型A/D转换器由三部分组成, 第一部分为抗混叠 滤波器, 第二部分为模拟Σ-△调制器, 第三部分为数字抽取滤波器, 其组成框 图如图2-1所示。



图 2-1 $\Sigma - \Delta 型 ADC 组成框图$

 Σ - Δ 调制器也称噪声整形调制器 (noise shaping modulator)。它具有对 模拟电路精度要求较低和只对量化噪声进行调制等优点^[36]。 Σ - Δ 调制器主要由 积分器和量化器组成,其中积分器的个数称为阶数,量化器的个数称为级数。一 阶 Σ - Δ 调制器的结构框图如图2-2所示,它由一个减法器、一个积分器和一个量



图2-2 一阶Σ-△调制器结构框图

化器组成。其中量化器包括一个1bit的ADC和一个1bit的DAC。量化器有两个输出: 一个为数字输出y(kT),即1bitADC的输出;另一个为模拟输出q(kT),即量化值 y(kT)经1bit DAC变换后的输出。积分器对调制器的输入x(kT)和量化器内的1bit DAC的输出q(kT)之差进行累加;量化器内的1bit ADC则对积分器的输出u(kT)进 行量化。对于1位量化器来说,它的输出q(kT)只有两种取值,分别为+1和-1。当 积分器的输出u(kT)≥0时y(kT)=1,q(kT)=1;u(kT)<0时y(kT)=0,q(kT)=-1。 一阶Σ-△调制器的工作过程为:当积分器的输出大于0时,量化器反馈给输入一 个正的脉冲,该值与调制器的输入相减,使积分器的输出朝负的方向变化;当积 分器的输出小于0时,量化器反馈给输入一个负的脉冲,该值与调制器的输入相 减,相当于输入与一个正的量相加,使积分器的输出朝正的方向变化。



图2-3 一阶Σ-△调制器的实现框图

图2-3所示为一个一阶Σ-△调制器的实现框图,从图上可以看出一阶Σ-△ 调制器内的1bit ADC在具体实现时为一个比较器,1bit DAC则由一个接参考电压 的开关实现,积分器和求和电路则由开关电容电路来实现。由于整个调制器为一 个闭环负反馈系统,所以虽然图2-3中的电压q在±V_{REF}两个值上跳动,但是多次 采样后,q的平均值却等于或近似等于模拟输入电压V_{LA},而积分器的输入电压的 平均值则近似为零。因为1bit DAC 输出电压的平均值(即电压q的平均值)等于 输入端的模拟输入电压V_{LA},所以控制该DAC的比较器输出Y必与输入模拟信号V_{LA} 相关.下面举例说明。设输入模拟电压V_{LA}=0.8 (V),V_{REF}=1.0 (V)。积分器在第n 次采样时的输出电压u (n) 不但与第n次采样时的输入电压V (n) (其中V (n) = V_{IA} - q (n))有关,而且与第n-1次采样时的输出电压 (积分电容C₂上的初始值电压) u (n-1) 有关,因此可以用u (n) = u (n-1) + V (n) 表示。当u (n) >0时, 比较器 (即1bit ADC) 的输出Y (n) =1;当u (n) \leq 0时,比较器的输出Y (n) =0。同时对应的1bit DAC 的输出电压q (n) 在Y (n) =1 时为+1,Y (n) =0 时则为-1。

采样周期	$V(n) = V_{IA} - q(n)$	u (n)	Y (n)	q (n)
1	0.8-0=0.8	0.0+0.8=0.8	1	+1
2	0.8-1=-0.2	0.8-0.2=0.6	1	+1
3	0.8-1=-0.2	0.6-0.2=0.4	1	+1
4	0.8-1=-0.2	0.4-0.2=0.2	1	+1
5	0.8-1=-0.2	0.2-0.2=0.0	0	-1
6	0.8+1= 1.8	0.0+1.8=1.8	1	+1
7	0.8-1=-0.2	1.8-0.2=1.6	1	+1
8	0.8-1=-0.2	1.6-0.2=1.4	1	+1
9	0.8-1=-0.2	1.4-0.2=1.2	1	+1
10	0.8-1=-0.2	1.2-0.2=1.0	1	+1
11	0.8-1=-0.2	1.0-0.2=0.8	1	+1
12	0.8-1=-0.2	0.8-0.2=0.6	1	+1
13	0.8-1=-0.2	0.6-0.2=0.4	1	+1
14	0.8-1=-0.2	0.4-0.2=0.2	1	+1
15	0.8-1=-0.2	0.2-0.2=0.0	0	-1

表2 图2-3中各点电压

假设*q*(*n*)和*V*(*n*)的初始值均为0,则每次采样时各点的电压如表2所示。 从表2中可以看出,第5次采样和第15次采样的数据相同。这表明,每经过10次采 样,积分器的输出为零一次,然后重复此循环,比较器输出*Y*(*n*)的数据流为 01111111101111111110...。在这10次取样中,1bit DAC的输出电压*q*(*n*)有9 个"+1"和一个"-1",其平均值为(9-1)/10=0.8(V),即等于模拟输入电 压V_{IA}的值。同理,当V_{IA}=0.5(V)时,比较器输出*Y*(*n*)的数据流为0111011101110..., 1bit DAC的输出电压*q*(*n*)的平均值等于(-1+1+1+1)/4=0.5(V);当V_{IA}=0.2 (V)时,比较器输出*Y*(*n*)的数据流为0110101101010...,1bit DAC的输出 电压*q*(*n*)的平均值等于(-1+1+1+1)/5 = 0.2(V); 而当V_{IA}=0.0(V) 时,比较器输出*Y*(*n*)的数据流为0101010...,1bit DAC的输出电压*q*(*n*)的平 均值等于(-1+1)/2 =0。图2-4所示为输入模拟正弦波信号时Σ-△调制器的 输出波形^[37]。





资料来源: R. J.贝克著,沈树群等译:《CMOS混合信号电路设计》,科学出版社, 2005年6月

2.3 过采样技术和量化噪声整形技术

Σ-ΔA/D转换器将输入信号以远高于奈奎斯特频率的采样频率进行高速采 样,同时利用调制器反馈环路结构对量化噪声进行整形,使其被整形到信号带宽 之外,再通过低通滤波从而实现高分辨率的数据转换^[38~40]。

2.3.1 过采样技术





图2-5所示为三位理想A/D转换器的转换特性曲线^[41],该曲线呈阶梯状,对应

的量化噪声电压的均方根值为^[42]:

$$v_{rms} = \frac{\Delta}{\sqrt{12}} \tag{2.5}$$

⊿是最小的量化间隔,即1LSB。噪声能量为

$$E_{n} = \frac{\Delta^{2}}{12}$$
 (2.6)

当输入为随机信号且幅度大于分层电平时,量化噪声在0~0.5 F_s (F_s为采样频 率)的频率范围内与频率无关,即它具有白噪声的性质,所以量化噪声的功率密 度谱为:

$$R(f) = \frac{E_n}{0.5F_s} = \frac{\Delta^2}{6F_s}$$
(2.7)

$$r_1(f) = \frac{\Delta^2}{6f_N} = \frac{\Delta^2}{12f_s}$$
(2.8)

如图2-6所示。



 Σ - Δ A/D转换器的采样频率 F_s 远高于由采样定理确定的临界频率 f_N , 设过采样因子为 M,及采样频率 $F_s = Mf_N = 2Mf_s$,则由公式 (2.6)可知, 这种转换器的量化噪声功率密度为:

$$r_{2}(f) = \frac{\Delta^{2}}{6Mf_{N}} = \frac{\Delta^{2}}{12Mf_{s}}$$
(2.9)

图2-6所示的噪声功率密度谱中矩形面积代表总的噪声能量。从图上可以看出, 过采样并未改变总的噪声能量,但降低了有用信号带宽(0~*f*,)内的噪声能 量,因此提高了信噪比。

设输入信号为正弦信号,其满幅度值为V_{FS},则有效值为^[43]:

$$v_{rms} = \frac{V_{FS}}{2\sqrt{2}} = \frac{(2^N - 1)\Delta}{2\sqrt{2}}$$
(2.10)

由式(2.8)可以得到临界采样ADC的信噪比为:

$$\left(\frac{S}{N}\right)_{p} = \frac{\left(v_{rms}\right)^{2}}{r_{1}(f)f_{s}} = \frac{\left(2^{N}-1\right)^{2}\Delta^{2}}{8}\frac{12}{\Delta^{2}} = \frac{3}{2}\left(2^{N}-1\right)^{2} \approx 1.5 \times 2^{2N}$$
(2.11)

用分贝表示为:

$$\left(\frac{S}{N}\right)_{p} = 10 \, \lg \left(1.5 \times 2^{2N}\right)$$

≈ 20 N lg 2 + 10 lg 1.5 = 6.02 N + 1.76(dB) (2.12)
 可见, 信噪比只与位数有关, 位数增加一倍, 信噪比增加6dB。同时, 从上式可以得到:

$$6.02N = \left(\frac{S}{N}\right)_p - 1.76dB \tag{2.13}$$

所以要提高ADC的精度,必须提高信噪比。

对于过采样,由式(2.10)可知,信噪比为:

$$\left(\frac{S}{N}\right)_{p} = \frac{\left(v_{rms}\right)^{2}}{r_{2}\left(f\right)f_{s}} = \frac{\left(2^{N}-1\right)^{2}\Delta^{2}}{8}\frac{12M}{\Delta^{2}} \approx 1.5 \times 2^{2N}M \qquad (2.14)$$

用分贝表示则为:

$$\left(\frac{S}{N}\right)_{p} = 10 \lg(1.5 \times 2^{2N} M) = 6.02N + 1.76 + 10 \lg M$$
 (2.15)

从上式可以看出,前两项与临界采样A/D转换器一样,第三项是过采样的贡献。 若 $M = 2^m$,则增加 $10m \lg 2 \approx 3mdB$ 。例如,采样频率提高一倍,即M = 2, 信噪比将增加3dB; M = 256,增加24dB; M = 1024,则增加30dB。

2.3.2 量化噪声整形技术

仅使用过采样技术来减少信号带内量化噪声效果不明显。为了把采样频率降 至可行的程度,引入了噪声整形技术。其思想是利用负反馈对量化器产生的量化 噪声进行低频衰减、高频放大,量化噪声大部分被驱赶到信号频带之外,然后用 数字滤波器滤除带外噪声。因此结合过采样、噪声整形和低通滤波,就可以显著 减少信号频带内的量化噪声,起到传统AD转换中增加量化器比特数的作用^[44~46]。

在图2-2所示的一阶Σ-△调制器结构框图中,积分器和量化器组成环路。因为量化噪声是一种独立噪声,具有可加性,所以系统的噪声特性可以用图2-7所示的反馈模型来分析。其中H(Z)是离散时间积分器的Z域的传输函数,Q(z)为 环路内产生的量化噪声。



图2-7 Σ-△ ADC的环路噪声模型

由图2-7可得:

$$Y(z) = [X(z) - Y(z)]H(z) + Q(z)$$
(2.16)

即:

$$Y(z) = \frac{H(z)}{1+H(z)}X(z) + \frac{1}{1+H(z)}Q(z)$$
(2.17)

设H(z)是一个单位增益的离散时间积分器,其传输函数为:

$$H(z) = \frac{1}{z-1}$$
(2.18)

则:

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})Q(z)$$
 (2.19)

上式中 z⁻¹ 表示延迟,而(1-z⁻¹)表示的是同相微分,所以上式的物理意义是:这 种环路对输入信号 X(z)的作用是延迟,但是对量化噪声 Q(z)则是微分。

将 $z = e^{iwT^*}$ (T^* 是过采样的采样周期)带入离散时间微分器的z域传输函数 (1- z^{-1}),得到:

$$1 - z^{-1} = 1 - e^{-jwT^*} = 1 - (\cos wT^* - j\sin wT^*)$$

= $(1 - \cos wT^*) + j\sin wT^*$
= $2\sin^2 \frac{wT^*}{2} + j^2 \sin \frac{wT^*}{2} \cos \frac{wT^*}{2}$
= $2 j \sin \frac{wT^*}{2} e^{-jwT^*/2}$ (2.20)

它的模为:

$$|1 - z^{-1}| = 2\sin\frac{wT^*}{2}$$
 (2.21)

其中 $T^{\bullet} = \frac{1}{Mf_N}$ (f_N 是临界采样频率)。当 $f = \frac{Mf_N}{2}$ 时, $\frac{wT^{\bullet}}{2} = \frac{\pi}{2}$,

 $sin \frac{wT^*}{2} = 1$,如图2-8所示,图中示出了正弦波的前四分之一。

由式子(2.19)可知,噪声整形的结果是将环路产生的量化噪声乘以整形因子2sin(wT^{*}/2),而噪声功率密度则是乘以整形因子的平方。单纯过采样A/D



图 2-8 整形因子2 sin(wT*/2)的图像

转换器的噪声功率密度谱已由式子(2.10)给出,所以有环路噪声整形的Σ-Δ A/D转换器的噪声功率密度谱为:

$$r_3(f) = (2 \sin \frac{w T^*}{2})^2 r_2(f)$$
 (2.22)

如图2-9所示。为了比较,图2-9中也给出了奈圭斯特频率进行采样和单纯过采样的噪声功率谱 $r_1(f)$ 和 $r_2(f)$ 。

有用信号带宽 f, 内的噪声能量为:

$$E_n = \int_0^{f_r} \left(2\sin\frac{wT^*}{2}\right)^2 r_2(f) df \qquad (2.23)$$

设 f_s 远小于过采样频率 Mf_N ,则对于 $f \le f_s$ 频率范围,总有 $\frac{wT^*}{2} = \frac{\pi f}{Mf_N} \ll 1$, 所以:

$$\sin \frac{wT^*}{2} \approx \frac{wT^*}{2} = \frac{\pi f}{Mf_N}$$
(2.24)



图2-9 噪声功率密度谱

将上式代入式(2.23)中,可得

$$E_n \approx \int_0^{f_s} 4\left(\frac{\pi f}{Mf_N}\right)^2 \frac{\Delta^2}{6Mf_N} df = \frac{2}{9}\pi^2 \Delta^2 \left(\frac{f_s}{Mf_N}\right)^3 = \frac{\pi^2 \Delta^2}{36M^2}$$
(2.25)

可得信噪比为:

$$\left(\frac{S}{N}\right)_{p} = \frac{\left(v_{rms}\right)^{2}}{E_{n}} = \frac{\left(2^{N}-1\right)^{2}\Delta^{2}}{8} \frac{36M^{3}}{\pi^{2}\Delta^{2}} \approx 1.5 \times 2^{2N} \times \frac{3M^{3}}{\pi^{2}}$$
(2.26)

以分贝表示,则为:

$$\left(\frac{S}{N}\right)_{p} = 6.02N + 1.76 + 10 \lg \frac{3M^{3}}{\pi^{2}} (dB)$$
 (2.27)

前两项是线性量化临界采样的信噪比,第三项是过采样加噪声整形的贡献。若 $M = 2^m$,且N = 1,即图2-7中的DA转换器是1位的,则:

$$\left(\frac{S}{N}\right)_{p} = 6.02 + 1.76 - 5.17 + 9.03m = 2.61 + 9.03m \qquad (2.28)$$

例如, 若m=8, M=256, 信噪比等于74.85dB, 过采样加噪声整形的贡献为9.03m-5.17=67.1dB; 若m=10, M=1024, 信噪比等于92.91dB, 过采样加噪声整形的贡献为85.13dB。

以上分析的一阶Σ-△调制器环路中只含有一阶积分,对于高阶Σ-△调制器则在环路内有大于一阶的积分。下面以二阶和五阶为例进行简要说明。

图2-10和图2-11分别为二阶 Σ - \triangle 噪声整形结构框图和五阶 Σ - \triangle 噪声整形的结构框图。

对于二阶 Σ - Δ 噪声整形环路,其噪声功率密度为:

$$r_4(f) = (2\sin\frac{wT^*}{2})^4 r_2(f)$$
 (2.29)

*r*₂(*f*)是不加噪声整形的过采样A/D转换器噪声功率密度。二阶噪声整形对应的 信噪比为:

$$\left(\frac{S}{N}\right)_{p} = 10 \lg \frac{(2^{N} - 1)^{2} M^{5}}{2\pi^{4}} \approx 6.02N + 1.76 + 10 \lg \frac{5M^{5}}{\pi^{4}} \qquad (2.30)$$

若m = 8, N = 1,则信噪比等于114.8dB。而过采样和二阶噪声整型的贡献为 15m-13=107dB。



图 2-10 二阶∑-△噪声整形结构框图



图 2-11 五阶∑-△噪声整形结构框图

资料来源: R. del Rio 、F.Medeiro 等编著: 《CMOS cascade sigma-delta modulators for sensors and telecom》, Springer, 2006年2月。

对于五阶噪声整形结构, 其噪声功率密度为:

$$r_7(f) = (2\sin\frac{wT^*}{2})^{10}r_2(f)$$
 (2.31)

信噪比为:

$$\left(\frac{S}{N}\right)_{p} = 10 \lg \frac{33(2^{N}-1)^{2} M^{11}}{2\pi^{10}} \approx 6.02N + 1.76 + 10 \lg \frac{11M^{11}}{\pi^{10}} (dB)$$
$$= 6.02N + 1.76 + 33.1m - 39.3 (dB) \qquad (2.32)$$

若m=8, N=1,则信噪比等于232.7dB。而过采样和五阶整形的贡献为33.1m-39.9=224.9dB.所以阶数越高,信噪比则越大,特别是当M较大时效果更为显著。

总之,提高A/D转换器的信噪比有两条途径:一是采用过采样技术;二是采 用高阶噪声整形技术。

第三章 数字抽取滤波器的原理及结构

3.1 数字抽取滤波器原理

3.1.1 抽取的原理

抽取就是对输入序列每间隔M-1个样点采样一次,设输入序列为*x(n)*,输 出序列为*y(n)*,则:

$$y(n) = x(Mn), \quad \text{ } \pm p \ n = -\infty \ \sim +\infty \tag{3.1}$$

$$\Rightarrow \qquad y_0(n) = x(n)p(n) \tag{3.2}$$

式中:
$$p(n) = \sum_{k=-\infty}^{+\infty} \delta(n - Mk)$$

其频谱为:
$$p(e^{j\omega}) = \frac{2\pi}{M} \sum_{k=0}^{M-1} \delta(\omega - 2k\pi / M)$$
 (3.3)

信号频谱为:
$$Y_0(e^{j\omega}) = \frac{1}{2\pi} X(e^{j\omega}) P(e^{j\omega}) = \frac{1}{M} \sum_{k=0}^{M-1} X^{j(\omega-2k\pi/M)}$$
 (3.4)

分析输出序列的频谱,由于输出序列 y(n)是 y₀(n)在n上进行M倍压缩得到的时域 压缩频域扩展,所以:

$$Y(e^{j\omega}) = Y_0(e^{j\omega/M}) = \frac{1}{M} \sum_{k=0}^{M-1} X^{j(\omega-2k\pi)/M}$$
(3.5)

由式(3.5)可分析得出输出信号与输入信号频谱的关系,输出信号频谱是由输入信号频谱在ω轴上每间隔2π/M的移位叠加,再进行M倍的扩展而成,这样输出信号频谱Y(e^{jw})就是周期为2π/M的周期信号。模拟信号经采样得到的离散 信号的频谱是周期为2π/M的连续周期信号,只要采样频率高于奈奎斯特频率, 离散信号频谱就不会发生混叠,该信号可以被重建,当然经过过采样后的信号频 谱也不会发生混叠;而要使过采样的信号经过抽取后得到的信号频谱可以重建, 即信号不发生混叠,根据式(1~5)抽取前后频谱关系的分析,需要在抽取前对 信号进行滤波,即采用抗混叠低通滤波器先对所需要的信号进行滤波,再进行频率抽取。假设抗混叠低通滤波器的单位采样响应表示为 *h*(*n*),则滤波器的输出 *w*(*n*)可以表示为:

$$w(n) = \sum_{k=-\infty}^{\infty} h(k) x(n-k)$$
(3.6)

最终的输出 y(m) 则为:

$$y(m) = w(Mm)$$
(3.7)

图3-1给出了系统方框图,图3-2给出了对应各点信号的典型频谱^[48]。



图 3-1 M 倍抽取的系统框图



图 3-2 (a) M 倍抽取系统中各点信号的典型频谱



图 3-2 (b) M 倍抽取系统中各点信号的典型频谱 资料来源: 张欣编著: 《VLSI 数字信号处理——设计与实现》,科学出版社, 2003 年 7 月。

3.1.2 抽取滤波器与 FIR 滤波器

通过上节的分析可知,抽取前应做低通滤波处理以避免信号混叠。但在过采 样Σ-ΔA/D转换器中,常常将抽取与低通滤波结合在一起,这样做可以提高计算 效率。过采样Σ-ΔA/D转换器对低通滤波器的性能要求较高,即要求有较高的阻 带衰减,又要求较窄的过渡带。从原则上来讲,FIR滤波器和IIR滤波器均适用于 作抽取滤波器。但是,在采样率变换系统中,通常优先考虑使用FIR滤波器。这 主要是因为使用FIR滤波器可以获得精确的线性相位,而IIR只是逼近线性相位。

FIR 数字滤波器的传递函数为^[49]:

$$H(z) = \sum_{n=0}^{N} h(n) z^{-n}$$
(3.8)

式子(3.8)中,N为FIR数字滤波器的阶数;h(n)(n=0…N)为滤波器的单位



图 3-3 直接形式的 FIR 滤波器

脉冲响应。图 3-3 给出了式 (3.8) 的直接实现形式。

对于线性相位 FIR 数字滤波器,其单位脉冲响应应具有对称性^[50],如式子(3.9) 所示

$$h(n) = h(N - n) \tag{3.9}$$

式子(3.10)给出了FIR 数字滤波器的设计公式:

$$N \approx \frac{D(\delta_p, \delta_s)}{(\Delta f / f)}$$
(3.10)

式子中 N——滤波器的阶数; $D(\delta_p, \delta_s)$ 最大通带纹波系数 δ_p 和最大阻带纹波

系数 δ_s 的函数。

f----滤波器输入采样频率

 Δf ——过渡带的宽度,其值为 $f_s - f_p$, f_s 为阻带边界频率, f_p 为 通带边界频率

设计容限图 3-4 对式(3.10)中的各参数给出了进一步的直观说明。从式子(3.10) 中可以看出,对于确定的通带纹波和阻带纹波要求,FIR 数字滤波器的阶数 N 与 滤波器输入采样频率 f 对过渡带宽度 Δf 之比值 $f/\Delta f$ 成正比。FIR 数字滤波 器的设计方法在很多文献中都有介绍,具体的设计方法可查看文献^[51~54]。



图3-4 FIR低通滤波器的设计容限图

3.1.3 抽取滤波器的多级结构

抽取滤波器的具体实现结构可以分为单级结构和多级结构两种。单级结构只 由一级来实现抽取,多级结构则将抽取分为多级来实现。由于在实际应用中单级 结构实现时滤波器的阶数 N 通常都比较大,因此所需要的运算量和存储量也比较 大,这在具体实现中是不可取的,所以一般都采用多级结构来实现。采用多级结 构来实现可以降低滤波器的阶数,这样也就减少了运算量和存储量^[55],从而也 就降低了电路的硬件开销。下面举例说明。

当采样频率f=38MHz, f_s =280KHz, f_p =200KHz,降采样率 M 为 64 时,如 果用单级 FIR 数字滤波器实现,如图 3-4 (a)所示, $f/\Delta f$ =475。如果采用两 级来实现相同的降采样率,如图 3-4 (b)所示,图中取 M1=8, M2=8,各级滤波 器的通带边界频率为所要设计的降采样滤波器的通带边界频率,这里为 f_p =200KHz;各级的阻带边界频率为输出采样频率减去通带频率,这样不仅可以 使过渡带尽量宽,而且能保证不会发生频率混叠现象。由于各级滤波的输出采样 不同,故它们的阻带边界频率也不同。第一级滤波器的输入采样频率为 38MHz, 输出采样频率为 4.75MHz, f_s =4.55MHz, $f/\Delta f$ =10.8;第二个滤波器的输入采



样频率为 4.75MHz,输出采样频率为 593.75KHz, f_s =58KHz, $f / \Delta f$ =59.4; 者之和为 70.2。对图 3-4 中的 H(z), $H_1(z)$ 和 $H_2(z)$, 假定具有相同 的 $D(\delta_p, \delta_s)$,由式子 (3.10)可知,多级实现时所用的滤波器的阶数之和不到 单级实现的 20%。因此多级结构和单级结构相比更节省硬件资源,实现时一般都 采用多级结构。

3.2 梳状滤波器的原理与结构

3.2.1 梳状滤波器的原理

在采用多级结构实现抽取滤波器时,通常将梳状滤波器(comb filter)作为多级结构中的第一级。这主要是因为梳状滤波器的系数恒为1,在硬件实现时不需要乘法器电路,可以非常有效地减少电路的硬件开销^[56]。

梳状滤波器是一种最简单的 FIR 滤波器,其单位脉冲响应 h(n) 为:

$$h(n) = \begin{cases} 1, 0 \le n \le N - 1 \\ 0, \notin \mathbb{C} \end{cases}$$
(3.11)

其中 N 为滤波器的节数,它的传递函数为:

$$H(z) = \sum_{n=0}^{N-1} Z^{-n} = \frac{1-z^{-N}}{1-z^{-1}}$$
(3.12)

其幅频响应为:

$$H(e^{j\omega}) = H(z)|_{z=e^{j\omega}} = \frac{\sin(\omega N/2)}{\sin(\omega/2)} e^{-j\omega(N-1)/2}$$
(3.13)

式中 $\omega = 2\pi f_{sig} / f$ 为数字频率, f为采样频率。从式子(3.13)可以看出, 梳状 滤波器的相位响应是线性的, 相位常数 $\alpha = (N - 1) / 2$ 。

在式子 (3.12) 中令 $z = e^{j\omega}$ 则可得:

$$H(\omega) = \frac{1 - e^{-jN\omega}}{1 - e^{-j\omega}}$$
(3.14)

$$\exists x | 1 - e^{-x} | = | (1 - \cos x) + j \sin x | = \sqrt{(1 - \cos x)^2 + (\sin x)^2} = \sqrt{2(1 - \cos x)}$$
(3.15)

所以:

$$|H(\omega)| = \frac{\sqrt{2(1 - \cos \omega N / 2)}}{\sqrt{2(1 - \cos \omega / 2)}} = \frac{\sin(\omega N / 2)}{\sin(\omega / 2)}$$
$$= \frac{S \operatorname{in} c (\omega N / 2)}{S \operatorname{in} c (\omega / 2)}$$
(3.16)



图 3-5 梳状滤波器的幅频响应

图 3-5 给出了梳状滤波器的幅频响应,从图 3-5 中可以看出,其幅频响应具有如下特点: 在 $\omega_k = 2\pi k / N, k = 1, 2, \dots N - 1$ 处, $H(f_{sig}) = 0$ 。即在 ω_k 附近形成了多个阻带,设阻带的带宽为 $2\Delta\omega$,则阻带最小衰减为:

$$\delta_s = 20 \lg \left| \frac{\sin(\Delta \omega N/2)}{N \sin(\pi k/N - \Delta \omega/2)} \right|$$
(3.17)

由于梳状滤波器的系数均为1,因此实现起来很简单。但是从图3-5中还可以看

出,一阶梳状滤波器的阻带衰减较小,幅频响应中的第一旁瓣峰值处的衰减仅为 十几 dB。因此,一阶梳状滤波器不能对Σ-△调制器产生的量化噪声提供足够的 衰减。为了提高梳状滤波器的阻带衰减,需要采用高阶结构。降采样率为N的K 阶梳状滤波器的传递函数为:

$$H(z) = \left(\frac{1}{N}\sum_{n=0}^{N-1} z^{-n}\right)^{\kappa} = \left[\frac{1-z^{-N}}{N(1-z^{-1})}\right]^{\kappa}$$
(3.18)

对应的频率响应为:

$$|H(e^{j\omega})| = H(z)|_{z=e^{j\omega}} = \left[\frac{\sin(N\pi f_{sig})}{N\sin(\pi f_{sig})}\right]^{k}$$
(3.19)

式中的 K 称为梳状滤波器的阶数。K 阶梳状滤波器的阻带衰减成 K 倍增大,因此通带边缘也更为陡峭。K 阶梳状滤波器的阻带衰减公式表示为:

$$\delta_s = 20 K \lg \left| \frac{\sin(\Delta \omega N / 2)}{N \sin(\pi k / N - \Delta \omega / 2)} \right|$$
(3.20)

图 3-5 中同时也给出了五阶梳状滤波器的幅频响应,从图上可以看出结果与以上 分析相符。同时从图 3-5 中还可以看出,在通带内,梳状滤波器有一定的衰减, 因此后面需要加一个补偿滤波器来对此进行修正。梳状滤波器的输出采样频率为 奈圭斯特频率的四倍。这是因为输出采样频率太高,会增加后面低通滤波器的设 计难度;若输出采样频率太低,如小于四,则一方面会增加梳状滤波器在通带内 的衰减,使补偿滤波器难于设计,另一方面会对在以输出采样频率进行采样时将 发生混叠的高频分量的衰减不够,从而增加信号基带内的噪声。补偿滤波器一般 都由一个 FIR 滤波器来实现,最后四倍频的降采样滤波器一般由半带滤波器来实 现,关于半带滤波器的原理将在下一节中介绍。

3.2.2 梳状滤波器的结构

梳状滤波器的实现结构主要有很四种^[57~59],其中应用最为典型和广泛的是 递归结构^[60, 61]和非递归结构两种^[62, 63]。

3.2.2.1 递归结构

将梳状滤波器的传递函数进行变换整理可得:

$$H(z) = \frac{1}{N^{k}} (1 - z^{-N})^{k} (\frac{1}{1 - z^{-1}})^{k} = H_{1}(z) H_{2}(z)$$
(3.21)

上式中:

$$H_{1}(z) = \frac{1}{N^{k}} (1 - z^{-N})^{k}$$
(3.22)

$$H_{2}(z) = \left(\frac{1}{1-z^{-1}}\right)^{k}$$
(3.23)

从以上两个式子可以看出, *H*₁(*z*)即为数字差分器的Z域传递函数, *H*₂(*z*)为 数字积分器的Z域传递函数, 所以递归结构的梳状滤波器是由数字积分器和数字 差分器组成。在实际实现时将降采样开关置于积分器和差分器之间, 这样差分器 的N个延迟单元只要由一个延迟单元来实现即可, 从而减小了硬件开销和功耗。 由此得到递归结构的梳状滤波器, 如图3-6所示。



图 3-6 梳状滤波器的递归结构

递归结构的梳状滤波器优点是没有乘法器,结构规则,易于版图实现,而且 采样滤波变换范围广。但是当抽取因子N和滤波器器级数k比较大的时候就会带来 较大的功耗,因为积分器部分一直工作在较高的频率下(过采样频率)。

3.2.2.2 非递归结构

非递归结构是梳状滤波器的另一种实现方法。由于使用了置换原则,所以非 递归结构每级有相同的低阶FIR滤波器但是有不同的采样率。

令 N = 2ⁱ 梳状滤波器的Z变换,用式(3.24)表达:

$$H(z) = \frac{1}{N^{-k}} \left(\sum_{n=0}^{N^{-1}} z^{-n} \right)^{k} = \frac{1}{N^{-k}} \left(\sum_{n=0}^{2^{\prime}-1} z^{-n} \right)^{k}$$
$$= \frac{1}{N^{-k}} \prod_{i=0}^{\log_{2} N^{-1}} (1 + z^{-2^{\prime}})^{k}$$
(3.24)

由此得到基于非递归算法的梳状滤波器结构,如图 3-7 所示。这种结构的优 点是前级的字长非常短,功耗较低。假设滤波器的输入字长 m 位,每级字长增加 n 位,第 i 级的字长为 m+i×n,采样速率每级降低 2 倍,随着信号速率的逐渐变 小,当采样率和滤波器阶次增加时,功耗增加的较少。



图 3-7 四级梳状滤波器的非递归结构

递归结构的梳状滤波器中的积分器工作在很高的输入频率下,功耗相对较 大,而非递归结构将滤波器通过多级抽取实现,降低了工作频率,相比之下,功 耗会更节约一些,但是由于每一级的工作频率都不一样,所以要求比较复杂的时
钟分频电路。同时由于每一级实现的降采样率都为 2, 所以该结构只适用于抽取 因子为 2^t 的系统中。

3.3 半带滤波器的原理

半带滤波器是一种特殊的 FIR 数字滤波器,它所有奇数项系数(除了最中间一项外)都精确为零^[64]。因此,实现这种滤波器时它的运算量比同样长度的 其他线性相位滤波器少一半以上,半带滤波器也因此而得到广泛应用。

半带滤波器具有如下特性[65]:

(1) 通带波纹 δ_n 与阻带波纹 δ_s 相等, 即 $\delta_n = \delta_s$

(2) 通带边频 f, 与阻带边频 f. 相对于 f/4 对称, 即

 $f_p + f_s = \pi$ 用数字频率表示为: $\omega_p + \omega_s = \pi$ (3)频率响应满足如下关系:

$$H(e^{j\omega}) = 1 - H[e^{j(\pi - \omega)}]$$
(3.25)

以下为简要推导过程:

设有一种 FIR 滤波器的冲激响应h(n)为实数且是偶对称的,即 $h(-n) = h(n), |n| \le L, h(n)$ 的长度为N,由于 $|n| \le L, f(N) = 2L + 1,$ 为奇数。则有:

$$H (e^{j\omega}) = \sum_{n=-L}^{L} h(n) e^{-jn\omega}$$
(3.26)

从上式可得:

$$H \left[e^{j(\omega + \frac{2\pi k}{K})} \right] = \sum_{n=-L}^{L} h(n) e^{-j(\omega + \frac{2\pi k}{K})n}$$
(3.27)

在式子 (3.27) 两侧对 k 进行求和, 则:

$$\sum_{k=0}^{K-1} H\left[e^{j(\omega+\frac{2\pi k}{K})}\right] = \sum_{k=0}^{K-1} \sum_{n=-L}^{L} h(n) e^{-jn\omega} e^{-j\frac{2\pi kn}{K}}$$

$$= \sum_{n=-L}^{L} h(n) e^{-j\omega n} \sum_{k=0}^{K-1} e^{-j\frac{2\pi kn}{K}} = \begin{cases} Kh(n), n = 0\\ 0, n \neq 0 \end{cases}$$
(3.28)

如果设 $h(0) = \frac{1}{2}, K = 2, 则$

$$H(e^{j\omega}) + H(e^{j(\pi+\omega)}) = 1$$
 (3.29)

又因为 $H(e^{j\omega})$ 是周期为 2π 的偶函数,所以上式可以表示为:

$$H(e^{j\omega}) = 1 - H(e^{j(\pi - \omega)})$$
(3.30)

同时:

$$\omega_{p} + \omega_{s} = \pi \tag{3.31}$$

满足式(3.30)和式(3.31)的滤波器称为半带滤波器(half-band filter)。 其频率响应关于 $\omega = \pi/2$ 对称,且在 $\omega = \pi/2$ 处的频率响应等于0.5。图 3-8 所示为半带滤波器的幅频响应。





从式子(3.30)中可得到半带滤波器的脉冲响应h(n)满足如下关系式:

式子(3.32)中, N/2 为奇数。从式子(3.32)可以看出,和一般的直接型 FIR 数字滤波器相比它几乎有一半的系数 h(n)为 0,这大大减少了卷积计算中 的乘法次数。正因为如此,半带滤波器广泛地应用于降采样滤波器的实现中。

第四章 数字抽取滤波器的设计与实现

4.1数字抽取滤波器的整体结构设计

Σ-ΔA/D转换器充分利用现代VLSI高集成度的优点,通过过采样技术和噪声 整形技术,实现了传统奈圭斯特率A/D转换器达不到的精度。通过前面章节的介绍 可知Σ-ΔA/D转换器主要由调制器和数字抽取滤波器两部分组成,并且它的精度 由调制器部分决定,但是面积和功耗则主要由数字抽取滤波器部分决定^[66]。因此, 数字抽取滤波器的设计,主要包括选择合适的体系结构和采用恰当的实现电路, 以使其面积和功耗达到尽可能小。

本设计的目标是带宽为10Hz,分辨率为24bit的Σ-ΔA/D转换器中的数字滤 波器部分。该Σ-Δ模数转换器的调制器的阶数为三阶,采样率为256K,所要求的 数字抽取滤波器的性能指标如表4.1所示。

输入采样频率(Hz)	256k
输出信号频率(Hz)	20
	10
阻带频率(Hz)	30
阻带衰减(dB)	100
输入数据比特数(Bit)	1
输出数据比特数(Bit)	24

表 4.1 抽取滤波器的性能指标

由于多级结构与单级结构相比具有运算量和存储量较低节约硬件实现等优 点,所以本设计中的数字抽取滤波器采用多级结构。该抽取滤波器总共分为三级, 整体结构如图4~1所示。其中第一级为级联积分梳状(CIC)滤波器(也叫SINC 滤波器),实现3200倍抽取,将采样频率从调制器输出的256KHz降到4倍奈圭斯特 频率。第二级和第三级均为半带滤波器,实现剩下的四倍频抽取,将输出频率降 到20Hz。



图4-1 滤波器整体结构

4.2 级联积分梳状 (CIC) 滤波器的设计

4.2.1 梳状滤波器结构选择

文献[67~69]对梳状滤波器的实现结构提出了改进。文献[67]将梳状滤波器 的传递函数进行展开,并将展开后的系数进行重新组合,提取出公因子采用分级 实现,从而节省了一定的硬件资源降低了功耗,但是该方法只适用于抽取率很低 的情况,抽取率较高时该方法则过于复杂而较难实现;文献[68]提出了通过改变 滤波器传递函数的零点位置来实现更优幅频特性的方法,但是该方法实现时硬件 比传统结构更复杂。由于本设计降采样率较大,所以文献[67]的方法不可行,文 献[68]的方法可以获得较好的性能但是成本也较高,所以本设计采用常用结构。

在3.2节中已经简要介绍了梳状滤波器的两种常用结构:递归结构和非递归 结构。递归结构由于积分器工作在较高频率所以功耗会相对较大,但是具有结构 规则易于版图实现的优点;非递归结构由于降采样是通过多级实现且每级的字长 逐级递增,前级字长较短功耗增加较少,但是它的时钟电路要求更高,且只适用 于抽取因子为2⁴ 的系统中。基于以上两种类型的优缺点和本次设计的抽取滤波 器的实际特性进行综合考虑,本次设计采用递归结构。由于本设计中的调制器输 出频率为256K,相对较低,所以功耗增加并不会太明显,同时抽取因子也不是2 的整数次方,所以本次设计采用递归结构方案。

一般来说,对于L阶,过采样率为M的Σ-△调制器,为了产生足够的量化噪 声衰减,梳状滤波器的阶数应不小于L+1阶^[70]。本次设计中调制器为三阶,所以 梳状滤波器的阶数应该为四阶。图4-2给出了四阶递归结构的梳状滤波器的结构 框图。



图 4-2 四阶递归梳状滤波器结构框图

4.2.2 数字积分器的实现

积分器的传输函数如公式(4.1)所示:

$$Y(n) = Y(n-1) + X(n)$$
(4.1)

对应 Z 变换为:

$$Y(z) = z^{-1}Y(z) + X(z)$$
(4.2)

因此,积分器的 Z 域传递函数为:

$$H(z) = \frac{1}{1 - z^{-1}}$$
(4.3)

从公式(4.1)可以看出积分器在某一个时钟周期的输出等于该时钟周期的输入 与上一时钟周期的输入之和。积分器的原理框图如图 4-3 所示。



图 4-3 数字积分器



图 4-4 另一种数字积分器

图 4-3 中的延时单元 z⁻¹可以通过寄存器(D 触发器)实现,累加则是通过 一个加法器电路来实现。图 4-4 所示为另一种数字积分器的实现原理框图,该积 分器的传递函数为:

$$H(z) = \frac{z^{-1}}{1 - z^{-1}}$$
(4.4)

图 4-4 所示积分器与 4-3 所示的积分器在功能上是完全一致的,唯一的差别是输出相位不同,图 4-4 所示的积分器输出有延时一个周期。但是在性能上图 4-4 所示结构要优于图 4-3 所示结构,多级级联时,图 4-4 所示结构相当于插入了流水 线寄存器,这样它的最高时钟频率可以高于图 4-3 的结构,因此在实际应用中通 常采用图 4-4 所示的积分器。

4.2.3 数字差分器的实现

数字差分器的时域和传输函数由公式(4.5)给出:

$$Y(n) = X(n) - X(n-1)$$
(4.5)

对应 Z 变换为:

$$Y(z) = X(z) - z^{-1}X(z)$$
(4.6)



图 4-5 数字差分器

因此, 差分器的 Z 域传递函数为:

$$H(z) = \frac{Y(z)}{X(z)} = 1 - z^{-1}$$
(4.7)

从公式(4.5)中可以看出,差分器的输出是当前时钟周期的输入与上一个时钟周期的输入之差。图 4-5 所示为数字差分器的实现原理框图。同积分器一样,图 4-5 中的延时单元 z⁻¹ 通过寄存器(D 触发器)实现,累加则是通过一个加法器电路来实现。

4.2.4 级联积分梳状 (CIC) 滤波器

本次设计中级联积分梳状(CIC)滤波器的阶数为4阶,降采样率为3200倍, 对应的传输方程为:

$$H(z) = \left(\frac{1-z^{-3200}}{1-z^{-1}}\right)^4$$
(4.8)

级联积分梳状(CIC)滤波器实现时每级必须保持一定的精度,否则可能发生 运算溢出。为了保证其结果不溢出,输出所需的二进制位数应满足^[71]:

$$L \ge N \log_2 M + L_{in} \tag{4.9}$$

公式(4.9)中N为梳状滤波器阶数, M为其降采样率, Lin 为输入的二进制位数。在本次设计中, N = 4, M =3200, Lin= 1, 故梳状滤波器的输出至少为47位。所以最终的CIC滤波器框图如图4-6所示。

图 4-7 所示为该梳状滤波器的幅频响应。图 4-8 给出了在低频部分的局部放 大图。图 4-9 为该梳状滤波器的相频响应,从图 4-9 中可以看出该滤波器具有良 好的线性相位。







图 4-8 CIC 滤波器低频部分幅频响应



图 4-9 CIC 滤波器相频响应

4.2.5 加法器和D触发器

4.2.5.1 加法器

加法器是应用于所有数据处理(运算)和数字信号处理中的基本模块之一。 在本次设计中加法器则是积分器和差分器的重要模块。一个二进制加法器电路的 输出逻辑表达式为^[72]:

$$Sum = A \otimes B \otimes C \tag{4.10}$$

$$C_{out} = AB + BC_{in} + AC_{in} \tag{4.11}$$

其中 A 和 B 是加法器的两个输入端, C_{in}是加法器前一级的进位, Sum 是求和输出 信号, C_{out} 是本级加法器的进位输出。该逻辑表达式的门级实现如图 4-10 所示。 从图 4-10 中可以看出求和信号是通过进位信号产生,这减少了电路的复杂度, 因此节省芯片面积。

CMOS 加法器的晶体管级线路图如图 4-11 所示。







图 4-11 加法器单元的晶体管级线路图

4.2.5.2 D触发器

D 触发器在数字设计中有很多应用,最主要的是用来临时存储数据或作为 一个延时单元。在本设计中积分器和差分器中的延时单元也通过 D 触发器来实 现。对于 D 触发器其输出逻辑表达式可以表示为^[73]:

$$Q = D \tag{4.12}$$

从式子(4.12)可以看出 D 触发器的输出与输入相同,只是时间上有延时。本设 计中用的 D 触发器单元如图 4-13 所示。该触发器为两级主从触发器,它由两个 基本 D 触发器单元级联而成。第一级触发器(即主触发器)由正相时钟信号驱 动,第二级触发器(即从触发器)由反相时钟信号驱动。当时钟信号为高时,主 触发器状态与 D 输入信号一致,从触发器保持其先前值。当时钟信号从逻辑"1" 跳变到"0"时,主触发器停止对输入信号采样,在时钟信号跳变时刻存储 D 值。



图 4-12 D 触发器单元的晶体管级线路图

4.3 半带滤波器的设计

半带滤波器作为一种特殊的 FIR 滤波器其设计方法与 FIR 滤波器的设计方法 基本一致,但是在设计多级半带滤波器要注意以下 3 个问题:一是每级通带截止 频率 f,不能小于信号带宽;二是每级过渡带是可变的,取决于每一级的输入采 样率 $f \mathcal{D} f_p$; 三是如果对通带波动要求为 δ ,则用特性相同的 M 级实现时,每一级的通带波动为 δ / M 。

在本设计中半带滤波器要实现最后四倍频的抽取,由于半带滤波器只能实现 二倍频的抽取故采用两级级联的结构,滤波器输入信号带宽≤10Hz。第一级半 带滤波器将采样率从80Hz降低到40Hz,实现两倍抽取。通带截止频率 *f*_p为20 Hz, 过渡带为20 Hz到35 Hz,阻带衰减为-50dB。通过MATLAB工具即可设计出满足 设计指标的半带滤波器及其系数。图4-13和图4-14所示为设计出的第一级半带滤 波器幅频响应和相频响应。



图 4-13 第一级半带滤波器幅频响应



图 4-14 第一级半带滤波器相频响应

第二级半带滤波器将采样率从 40Hz 降低到 20Hz,实现两倍抽取。通带截止频率 *f*_p为 10 Hz,传输带为 10 Hz 到 18 Hz,阻带衰减为-60dB。通过 MATLAB 设计 出满足设计指标的半带滤波器的幅频响应和相频响应如图 4-15 和图 4-16 所示。







图 4-16 第二级半带滤波器相频响应

系数	第一个半带滤波器	第二个半带滤波器
h(0)	0. 000000000000000	0. 000000000000000
h(1)	0. 00000000000000	0. 000000000000000
h(2)	-0. 036657786979421	0.011984691831738
h(3)	0. 000000000000000	0. 00000000000000
h(4)	0. 287913996792016	-0.064856749890823
h(5)	0. 500000000000000	0. 00000000000000
h(6)	0. 287913996792016	0. 302548591990474
h(7)	0. 000000000000000	0. 500000000000000
h(8)	-0. 036657786979421	0. 302548591990474
h(9)	0. 000000000000000	0. 000000000000000
h(10)	0. 000000000000000	-0. 064856749890823
h(11)		0. 000000000000000
h(12)		0. 011984691831738
h(13)		0. 00000000000000
h(14)		0. 00000000000000
$\frac{h(12)}{h(13)}$		0.011984691831738 0.00000000000000 0.000000000000000

表 4.2 半带滤波器系数

表4.2给出了通过MATLAB设计得出的第一级和第二级半带滤波器的系数。从 以上图表可以看出,半带滤波器具有低通滤波特性和线性相位特性,滤波器系数 中有一半为0,且另一半不为0的系数呈偶对称。

半带滤波器的实现结构有直接结构,直接转置结构^[74],并行等效结构和直接 转置型polyphase结构^[75]等。直接结构效率较低,运算量也最大;直接转置结构 比直接结构可以节省一些硬件资源(减少一定量的寄存器);并行等效结构由于 利用了线性相位滤波器的系数对称特性,和直接转置结构相比运算量可减少2倍; 直接转置型poly-phase 结构则充分利用了半带滤波器的系数特性进一步降低了 电路硬件实现的复杂度,从而进一步节省了硬件资源。

本设计采用的滤波器结构如图4-17所示。该结构同直接转置型poly-phase结构一样也充分利用了半带滤波器系数的对称特性,具有运算量低,节省硬件资源等优点。与直接转置型poly-phase 结构不同的是乘法运算被安排在滤波器输入的延时相加后再进行。从图4-17可以看出,该滤波器的实现单元电路实际上只有触发器、加法器和乘法器。理想滤波器的系数都是无限字长的,但是由于实际硬件



图4-17 半带抽取滤波器实现框图

单元处理数据的字长却是有限的,所以在做滤波器设计时首先要对滤波器系数进行量化和截短^[76]。用传统的集成电路实现方法实现数字滤波时,乘法运算占用了 滤波过程的大量时间。乘法处理往往按变量相乘的算法,其步骤多且资源耗费也 很大^[77]。CSD 编码作为一种基本的乘法实现方法.具有非零位的个数最少且每一 个非零位的相邻位必为零等特点。并且采用 CSD 编码可将乘法运算转换为移位加 减运算实现,从而减小硬件的开销^[78]。表 4.2 和 4.3 给出了经过量化和 CSD 编码 后的半带滤波器系数。在本设计中,由于滤波器系数已经固定(不可进行编程),因此为了节省面积和功耗采用了文献^[79]中的方法,直接把系数做在电路内部。并且由于系数是用CSD码来表示,所以乘法运算被转换为移位加减运算来实现,这样便大大降低了电路和版图的实现难度。加减运算所用的加法器与梳状滤波器中的一样,这里不再赘述。

表 4.2 第一级半带滤波器系数的 CSD 码

系数						CS	SD I	<u>ц</u> .,							
h(0)										~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~					
h(1)															
h(2)	()	0	0	0	1	0	1	0	-1	0	0	0		
h(3)					-	~~~~~	~	~	~	·					
h(4)	()	0	0	0	1	0	1	0	0	-1	0	-1		
h(5)					· · · · · · ·					~~~	~				
h(6)	()	0	0	0	1	0	1	0	0	-1	0	-1		
h(7)									~	~		~			
h(8)	(2	0	0	0	1	0	1	0	-1	0	0	0		
h(9)															
h(10)														······	

表 4.3 第二级半带滤波器系数的 CSD 码

系数					CS	SD	码						
h(0)													
h(1)					<u> </u>	·							
h(2)		0	0	0	0	1	0	-1	0	0	0	1	
h(3)				~~~~~						·····	,		
h(4)	C	0	0	1	0	0	0	0	1	0	0	1	
h(5)							·····						
h(6)	0) 1	0	1	0	0	-1	0	-1	0	0	-1	
h(7)		·	· · · ·						_				
h(8)	0	1	0	1	0	0	-1	0	-1	0	0	-1	
h(9)			·			~							
h(10)	0	0	0	1	0	0	0	0	1	0	0	1	
h(11)		·			~~~~							~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~	
h(12)		0	0	0	0	1	0	-1	0	0	0	1	
h(13)					-			~					
h(14)					<u> </u>			.					

第五章 芯片版图和测试

5.1 芯片版图

IC 设计的方法可以分为全定制设计方法、半定制设计方法、定制设计方法 等^[80],不同设计方法对应的版图设计过程有较大的区别。

全定制设计方法是从每个器件的图形尺寸开始设计,然后进行整体版图的布 局和布线。全定制设计的特点是针对每个组件进行电路参数、版图参数的优化, 使每个元件和连接布局、布线最紧凑,最合适,这样可以达到最佳的性能(最低 的功耗,最快的速度)和最小的芯片面积,有利于提高集成度和降低成本。全定 制设计方法在完成布局布线后还需要进行设计规则检查(DRC)与版图和电路图 一致性检查(LVS)等工作,所以工作量较大,设计周期相对较长。

半定制设计方法通过把芯片上的单元排列成阵列(行)的形式,行与行之间 留有布线通道用来实现单元之间的连接。这种方法的特点是设计周期较短,但是 芯片面积的利用率较低。

定制设计方法的版图设计是采用标准单元来实现的。标准单元库中的各个单 元经过精心设计并完成设计规则检查和电学性能验证。定制设计法的布局和布线 可以由软件来自动完成,所以效率较高但是对应的成本也较高。

由于本次设计的滤波器属于数模混合系统中的部分,且滤波器在结构上具有 很规则的特点,同时为了获得最佳的性能(包括速度和功耗)以及最小的芯片面 积,所以本次设计中的版图设计采用全定制方式来实现。本设计采用 CSMC 0.5um 标准 CMOS 工艺进行流片。图 5-1 和图 5-2 给出了本次设计中使用最多的 单元模块加法器和 D 触发器的版图,滤波器的最终整体版图如图 5-3 所示。

52

第五章 芯片版图和测试



图 5-1 加法器单元的版图



图 5-2 D 触发器单元的版图



图 5-3 滤波器实现版图

5.2 测试方案

- 被测芯片所需电源电压由一电压板提供。
- 阶跃响应所需的阶越信号源通过对应力传感器施加一突变应力来产生,幅频
 响应所需的正弦波信号则由信号发生器产生。
- 被测芯片输出的 24 位二进制数据由单片机进行采集,同时通过串行通信接口 发送给 PC 机。
- PC 机接收单片机发送的 24 位二进制数据并且通过 MATLAB 软件编程将它们 转换成 10 进制数,同时绘制测试结果图。

图 5-4 所示为测试方案的总体框,图 5-5 所示为测试实物图。



图 5-4 测试框图



图 5-5 测试实物图

5.3 测试结果分析

图 5-6 所示为阶跃信号输入时的芯片输出响应,图 5-7 为对应的局部放大图。 从图 5-6 中可以看出整个 ADC 具有良好的线性相位,输出响应速度较快,且输 出平稳,越变时不存在波动,整体性能良好。从图 5-7 的局部放大图可以看出传 感器输入有一定量的噪声,所以 ADC 的输出有很小的毛刺。







图 5-7 ADC 阶跃响应局部放大图











图 5-10 ADC 输入正弦波时输出的局部放大图

当对测试芯片输入如图 5-8 所示频率为 1HZ 的正弦波信号时的输出如图 5-9 所示,图 5-10 为对应的局部放大图。从图上可以看出整个芯片工作正常,滤波器实现了滤波功能。图 5-9 中的输出信号直流电平有一定的漂移,这是由于信号源输出的直流电平不稳定造成的。

输入频率(Hz)	输入电压 V _{pk-pk} (mv)	归一化输出值(LSB)
1	4	1. 0000000
3	4	1. 0000000
5	4	1.0000000
6	4	1.0000000
7	4	0.9500000
8	4	0.8250000

表 5.1 滤波器幅频响应测试数据

9 4 0.6250000 10 4 0.400000 11 10 0.7875000 12 10 0.400000 13 10 0.1375000 14 10 0.0400000 15 10 0.0362500 16 20 0.0012500 17 20 0.0022500 19 20 0.0012500 21 28 0.0006250 24 28 0.0007000 25 28 0.0005750 27 28 0.0002625	
1040.40000011100.787500012100.40000013100.137500014100.040000015100.036250016200.001250017200.007125018200.002250019200.001625020200.001250021280.000625024280.000700025280.000575027280.0002625	
11100.787500012100.40000013100.137500014100.04000015100.036250016200.001250017200.007125018200.002250019200.001625020200.001250021280.000625024280.000700025280.000575027280.0002625	
12 10 0.400000 13 10 0.1375000 14 10 0.0400000 15 10 0.0362500 16 20 0.0012500 17 20 0.0071250 18 20 0.0022500 19 20 0.0012500 21 28 0.0006250 24 28 0.0007000 25 28 0.0005750 27 28 0.0002625	
13 10 0.1375000 14 10 0.0400000 15 10 0.0362500 16 20 0.0012500 17 20 0.0071250 18 20 0.0016250 20 20 0.0016250 21 28 0.0006250 24 28 0.0005750 25 28 0.0005750 27 28 0.0002625	
14100.04000015100.036250016200.001250017200.007125018200.002250019200.001625020200.001250021280.000625024280.000700025280.000575027280.0002625	
15100.036250016200.001250017200.007125018200.002250019200.001625020200.001250021280.000625024280.000700025280.000575027280.0002625	
16200.001250017200.007125018200.002250019200.001625020200.001250021280.000625024280.000700025280.000575027280.0002625	
17200.007125018200.002250019200.001625020200.001250021280.000625024280.000700025280.000575027280.0002625	
18 20 0.0022500 19 20 0.0016250 20 20 0.0012500 21 28 0.0006250 24 28 0.0007000 25 28 0.0005750 27 28 0.0002625	
19 20 0.0016250 20 20 0.0012500 21 28 0.0006250 24 28 0.0007000 25 28 0.0005750 27 28 0.0002625	
20 20 0.0012500 21 28 0.0006250 24 28 0.0007000 25 28 0.0005750 27 28 0.0002625	
21 28 0.0006250 24 28 0.0007000 25 28 0.0005750 27 28 0.0002625	
24 28 0.0007000 25 28 0.0005750 27 28 0.0002625	
25 28 0.0005750 27 28 0.0002625	
27 28 0.0002625	
28 28 0. 0001250	
30 28 0.0000625	
31 28 0. 0000388	
32 28 0. 0000250	
33 28 0.0000225	
35 28 0.0000200	
38 28 0.0000175	
39 28 0.0000150	

表 5.1 给出了滤波器幅频响应的测试数据,由测试数据绘制的幅频响应如图 5-11 所示。为了便于分析和比较,图 5-11 中同时也给出了三级滤波器级联的总 体仿真结果。测试时被测芯片的输入信号是由信号发生器产生的 30 个不同频率 的正弦波信号,仿真结果曲线给出的仿真频率点数为 40 个。当输入信号频率超 过 40Hz 时由于滤波器的衰减很大,滤波器输出信号幅值很小,且噪声幅值已与 其相当,所以无法实现测量,在图 5-11 中这些无法测量频率点的输出值均用可 测量的最后一个值来代替。从图 5-11 中可以看出测试结果与仿真结果基本一致, 其中阻带衰减达到了-113dB,滤波器达到了设计指标。



图 5-11 滤波器幅频响应测试图

5.4 总结

通过测试结果可知,芯片工作正常,实现了Σ-ΔAD转换器中的抽取滤波器 功能,滤波器的幅频响应和仿真结果基本一致,整个滤波器的性能良好,满足设 计指标要求。

第六章 结论

6.1 工作总结

sigma- delta 型 A/D 转换器凭借着其高精度,高性价比的优点,在直流测量, 音频,通信,视频等领域有着越来越广泛的应用。我国在 sigma- delta 型 A/D 转 换器领域的研究还比国外落后,未来几年是我过集成电路产业发展的关键时期, 这使得本文对 sigma- delta 型 A/D 转换器中的重要模块数字抽取滤波器的研究具 有积极意义。

本文在阅读大量相关文献的基础上,对抽取滤波器的原理以及实现方法进行深入学习和研究,设计并且实现了一种基于 CSMC 0.5um CMOS 工艺,应用于 24 位高精度 sigma- delta 型 A/D 转换器中的数字抽取滤波器。本论文主要完成了以下工作:

(1) 简要介绍了 sigma-delta A/D 转换器的基本原理,其中包括调制器的工作机理,过采样技术和量化噪声整形技术的原理。

(2)详细介绍了抽取滤波器的原理和实现结构,在对抽取滤波器的原理充 分理解的基础上,对抽取滤波器不同实现结构进行了分析和比较。

(3)在对不同结构实现的抽取滤波器有了比较充分的了解之后,确定了所要设计的数字抽取滤波器的结构,设计了降采样率达 3200 倍的梳状滤波器和后级的两个半带滤波器。并且对该设计进行了流片后的测试,测试结果表明该设计有较好的性能。

6.2 后续工作建议以及展望

本设计在功能和性能都满足设计要求,但还可以在芯片面积和功耗方面做进一步的改进,包括以下几个方面:

(1)由于芯片面积在很大程度上决定了产品的成本,所以如果在能够保证 输出数据信噪比的前提下应该减少滤波器的阶数,以减小芯片面积。

(2) 放宽滤波器的阻带衰减,以减小滤波器的系数量化字节长度,减小面

61

积和功耗。

(3) 尝试采用新的结构,近一步优化设计性能。

参考文献

- [1]Stewart, R.W. An overview of sigma delta ADCs and DAC devices[J].Oversampling and Sigma-Delta Strategies for DSP, Nov 1995, 1/1 1/9
- [2]张媛媛,姜岩峰. S-A模拟/数字转换器综述[J]. 微电子学, 2006, 36(4),456-460.

[3]王 品. 模拟/数字转换技术及其发展趋势[J]. 微电子学, 2005, 35(3), 221-225.

- [4]Ritoniemi. T, Pajarre. E, Ingalsuo. S, Husu. T, Eerola. V, Saramiki. T. A stereo audio sigma-delta A/Dconverter [J], JOURNAL OF SOLID-STATE CIRCUITS, 29(12), 1994, 1514–1523.
- [5] Jiri Nedved, Jozef Vanneuville, Donne Gevaert, Jan Sevenhans. A Transistor-Only Switched Current Sigma-Delta A/D Converter for a CMOS Speech CODEC [J]. JOURNAL OF SOLID-STATE CIRCUITS, 30(7), 1995,819-822.
- [6]James C. Morizio, Michael Hoke, Taskin Kocak. 14-bit 2.2-MS/s Sigma–Delta ADC's [J],IEEE JOURNAL OF SOLID-STATE CIRCUITS, 35(7), 2000,968-977.
- [7]Hotger Benidt, Raik Richter, Hans-Joachim Jeiitschel. A 100 MS/sec, 8th-order Quadrature Sigma-Delta ADC for Complex-IF Signal Digitization in a Wideband-IF Sampling Receiver [C]. ASIC 2003 Proceedings 5th International Conference, 2003, 669-672.
- [8] L.J. Breems, E.J. van der Zwan, E.C. Dijkmans, J.H. Huijsing. A 1.8mW CMOS ∑∆ Modulator with Integrated Mixer for A/D Conversion of IF Signal [J], JOURNAL OF SOLID-STATE CIRCUITS, 35(1),2000, 468–475.
- [9] Zhongming Shi. Sigma-delta ADC and DAC for digital wireless communication [C], Radio Frequency Integrated Circuits (RFIC) Symposium, IEEE 13-15, 1999, 57-62.
- [10] Philips, K. A 4.4mW 76dB Complex ΣΔ ADC for Bluetooth Receivers [C], ISSCC,2003, 64-65.
- [11]YuanChenandK-T.Tiew. A Sixth-order Sub sampling Continuous time Bandpass Delta-Sigma Modulator [J], CircuitSandSystems, Vol. 6, 2005, 5589- 5592.
- [12]Q. Sandifort, L.J. Breems, C. Dijkmans, H. Schuurmans. IF-to-Digital Converter for FM/AM/IBOC Radio[C].
 Proceedings of the 29th European Solid-State Circuit Conference, 2003, 707–710.
- [13]Sun-Hong Kim, Ho-Yeon Lee, Seok-Woo Choi, Dong-Yong Kim. Wideband multi-bit third-order sigmadelta ADC for wireless transceivers [C]. ASIC 5th International Conference, Vol.1, 2003, 689 - 692.
- [14]Richard Gaggl, Maurizio Inversi, Andreas Wiesbauer. A Power Optimized 14-Bit SC $\Delta\Sigma$ Modulator for

ADSL CO Applications[C]. ISSCC 2004, SESSION 4.

- [15]Takeshi Ueno, Tetsuro Itakura. A 0.9V 1.5mW Continuous-Time ΔΣ Modulator for WCDMA [C]. ISSCC 2004, SESSION 4.
- [16]Chiheb REEAI, Adel GHAZEL, Fethi FARHAT. High order 1-bit Sigma Delta ADC For Multistandard GSM/RJMTS Radio Receiver[C]. ISCAS, 2004, 128-131.
- [17]Oguz altum, jinseok Koh, Philip.E.Allen. A 1.5V multirate multibit sigma delta modulator for GSM
 WCDMA in a 90 nm digital CMOS process[C]. Circuits and Systems ISCAS, Vol. 6, 2005, 5577- 5580.
- [18]Yong Ping Xu, Rui Yu. Electromechanical Resonator Based Bandpass Sigma-Delta Modulator for Wireless Transceivers[C]. RFIT, 2005, 101-104.
- [19]Bahar Jalali, Farahani, Mohammed Ismail. Adaptive Sigma Delta ADC for WiMAX Fixed Point Wireless Applications[C]. 2005 IEEE.
- [20]Raf Schoofs, Michiel Steyaert, Willy Sansen. A 1 GHz Continuous-Time Sigma-Delta A/D Converter in 90 nm Standard CMOS, 2005 IEEE
- [21]Ana Rusu, Delia Rodriguez, de Llera Gondlez. The Design of a Low-Distortion Sigma-Delta ADC for WLAN Standards[C]. ISSCS, Vol. 1, 2005, 151-154.
- [22]A. Rusu, M. Ismail. Low-distortion bandpass ∑△ modulator for wireless radio receivers[J]. ELECTR-ONICS LETTERS, 41(19), 2005, 1044-1046.
- [23] Jen-Shiun Chiang, Yi-Tsung Li, Hsin-Liang Chen. A 20-MS/S SIGMA DELTA MODULATOR FOR 802.11/ a APPLICATIONS[C]. ISCAS, 2006, 1888-1992.
- [24]Ana Rusu, Mohammed Ismail1. Sigma-Delta Solutions for Future Wireless Handields[C]. ICECS, 2006, 58-61.
- [25]Lucien J. Breems, Robert H.M, van Veldhoven. Continuous-time Sigma-Delta Modulators for Highly Digitised Receivers[C]. ICECS, 2006, 41-45.
- [26] Silva, P.G.R, Breems, L.J, Makinwa K.A.A, Roovers, R, Huijsing, J.H. An 118dB DR CT IF-to-Baseband Σ Δ Modulator for AM/FM/IBOC Radio Receivers[C]. ISSCC, 2006. 66-67.
- [27]Bharath Kumar Thandri, Jose Silva-Martinez. A 63 dB SNR, 75-mW Bandpass RF Σ △ADC at 950 MHz Using 3.8-GHz Clock in 0.25-um SiGe BiCMOS Technology[J]. JOURNAL OF SOLID-STATE CIRCUITS, 42(2), 2007,269-279.
- [28]Teng-Hung Chang, Lan-Rong Dung, Jwin-Yen Guo, Kai-Jiun Yang. A 2.5-V 14-bit, 180-mW Cascaded Σ
 Δ ADC for ADSL2+ Application[J]. JOURNAL OF SOLID-STATE CIRCUITS, 42(11), 2007,2357-2368.
 [29]Paulo G. R. Silva, Lucien J. Breems. An IF-to-Baseband ΣΔ Modulator for AM/FM/IBOC Radio

Receivers With a 118 dB Dynamic Range[J]. JOURNAL OF SOLID-STATE CIRCUITS, 42(5), 2007, 1076-1089.

- [30]Thomas Christen, Thomas Burger, Qiuting Huang. A 0.13um CMOS EDGE/UMTS/WLAN Tri-Mode ΣΔ ADC with -92dB THD[C]. ISSCC, SESSION 13, 2007.
- [31]Sotir Ouzounovl, Robert van Veidhoven. A 1.2V 121-Mode CT ∑△ Modulator for Wireless Receivers in 90nm CMOS[C]. ISSCC, SESSION 13, 2007, 242-600.
- [32]董在望,李冬梅,王志华,李永明. 高等模拟集成电路[M].北京:清华大学出版社, 2006.
- [33]StevenR.Norsworthy, RIChardSehreier, GaborC. TemeS. Delta-sigma DataConverters Theory Design, and Simulation[M]. PIScataway USA: IEEE Circuits&Systems Society, 1996.
- [34]Schreier R, Temes G.C. Delta-sigma 数据转换器[M]. 北京:科学出版社, 2007.
- [35]S. R. Norsworthy, R. Schreier, G. C. Temes. Delta-Sigma Data Converters, Theory, Design, and Simulation[M]. Piscataway, NJ: IEEE Press, 1997.
- [36]洪志良. 模拟集成电路分析与设计[M].北京:科学出版社, 2005.
- [37]R. J.贝克著, 沈树群、李国华、汤静译. CMOS 混合信号电路设计[M].北京:科学出版社, 2005.
- [38]RichardSehreier, GaborC.Temes. Understanding Delta-Sigma Data Converters[M]. Piseataway USA: IEEEPress, 2005.
- [39]Ovidiu Bajdechi, Johan H. Huijsing. Systematic design of Sigma-Delta analog-to-digital converters [M]. Boston : Kluwer Academic Publishers,2004.
- [40]R. del Rio, F. Medeiro. CMOS cascade sigma-delta modulators for sensors and telecom [M]. Dordrecht:Springer,2006.
- [41]Phillip E.Allen, Douglas R.Holberg 著, 冯军、李智群译. CMOS 模拟集成电路设计[M]. 北京:电子工 业出版社, 2006.
- [42]陈贵灿,张瑞智,程军. 大规模集成电路设计[M]. 北京:高等教育出版社,2005.
- [43]秦世才,高清运.现代模拟集成电子学[M].北京:科学出版社,2003.
- [44]易婷. 高性能∑-△模数转换器设计[D]. 复旦大学博士论文,2002.
- [45]David A. Johns, Ken Martin著,曾朝阳、 赵阳、 方顺等译. 模拟集成电路设计[M]. 北京:机械工业出版 社,2005.
- [46]孙振国. 高精度∑-△调制器的设计[D]. 浙江大学硕士学位论文 2005
- [47]R. Jacob Baker, Harry W. Li, David E. Boyce著 陈中建译. CMOS电路设计·布局与仿真[M]. 北京:机械T. 业出版社, 2006.

[48]张欣. VLSI 数字信号处理——设计与实现[M]. 北京:科学出版社,2003.

[49]姜宇柏,黄志强. 通信收发信机的 Verilog 实现与仿真[M]. 北京:机械工业出版社,2007.

[50]P. P. VAIDYANATHAN, TRUONG Q. NGUYEN. A "TRICK" for the Design of FIR Half-Band Filters[J].

IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS. VOL.CAS-34, NO. 3, 1987,297-300.

[51] 王宏. MATLAB 6.5 及其在信号处理中的应用[M].北京:清华大学出版社,2004.

[52]飞思科技产品研发中心. MATLAB 7 辅助信号处理技术与应用[M]北京:电子工业出版社,2005.

- [53]Robert J. Schilling, Sandra L.Harris. Fundamentals of digital signal processing using MATLAB [M]. 西安: 西安交通大学出版社,2005.
- [54] Vinay K. Ingle, John G. Proakis. Digital signal processing using MATLAB[M].北京:科学出版社,2003.
- [55]Soei-Shin Hang, Rajeev Jain. Decimation filter compiler for oversampling A/D applications[C]. ICASSP, Vol. 5, 1992, 537-540.
- [56]Brian P. Brandt, Bruce A. Wooley. A Low-Power, Area- Efficient Digital Filter for Decimation and Interpolation [J]. JOURNAL OF SOLID-STATE CIRCUITS, 29(6), 1994, 679-687.
- [57]H. Aboushady, Y. Dumonteix, M. M. Lou"erat, H. Mehrez. EFFICIENT POLYPHASE DECOMPOSITION OF COMB DECIMATION FILTERS IN ∑△ ANALOG-TO-DIGITAL CONVERTERS [J]. Circuits and Systems II, 48(10),898-903.
- [58]SHUNI CHU, C. SIDNEY BURRUS. Multirate Filter Designs Using Comb Filters [J]. TRANSACTIONS ON CIRCUITS AND SYSTEMS, VOL. CAS-31, NO. 11, 1984, 913-924.
- [59]Gorun Rujii'i, Hrvoje Bubii. EFFICIENT MODIFIED-SINC DECIMATION FILTERS [J]. Circuits and Systems II, 48(10),2001,898-903.
- [60]Stephanie Sculley, Terri Fie. DIGITAL COMB FILTER IMPLEMENTATION FOR THE II ∑△ A/D CONVERTER [C]. ISCAS, Vol.2, 1996, 281-284.
- [61]Louis Luh, John Choma, Jr. Jeffrey Draper, Herming Chiueh. A High-speed Digital Comb Filter for ∑∆ Analog-to-Digital Conversion [J]. Circuits and Systems, 1999,356-359.
- [62]Nianxiong Tan, Sven Eriksson, Lars Wanhammar. A Novel Bit-Serial Design of Comb Filters for Oversampling A/D Converters [C]. IEEE International Symposium on Circuits and Systems, 1994,259-262.
- [63]Emad N. Farag, Ran-Hong Yan, Mohamed I. Elnasry. DECIMATION FILTERS: LOW-POWER DESIGN AND OPTIMIZATION [J]. Communications, Computers and Signal Processing, 2(2), 1997, 850-853.
- [64]PENG Chungan, YU Dunshan, SHANG Tianxiu, SHENG Shimin. Efficient VLSI Design and Implementation of DecimationFilter for 2nd ∑△ A/D Converter [J]. 北京大学学报(自然科学版), 43(3), 2007, 394-399.

- [65]Pavel Zahradn'ık, Miroslav Vlcek. Analytical Design of Optimal FIR Comb Filters [C]. 10th International Telecommunications Conference, Vol.1, 2003, 3590-3593.
- [66]Hengfang Zhu, Xiaobo Wu, Xiaolang Yan. Low-Power and Hardware Efficient Decimation Filters in Sigma-Delta A/D Converters [C]. Electron Devices and Solid-State Circuits, 2005, 665-668.
- [67] Andrea Gerosa, Andrea Neviani. A low-power decimation filter for a sigma-delta converter based on a power-optimized sinc filter [C]. ISCAS, Vol.2, 2004,248-248.
- [68]Letizia Lo Presti. Efficient Modified-Sinc Filters for Sigma-Delta A/D Converters [J]. IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS---II, 47(11), 2000, 1204-1213.
- [69]Massimiliano, Laddomada. Comb-Based Decimation Filters for ∑ △ A/D Converters: Novel Schemes and Comparisons [J]. TRANSACTIONS ON SIGNAL PROCESSING, 55(5), 2007, 1769-1779.
- [70]J. C. Candy. Decimation for sigma-delta modulation [J]. TRANSACTIONS ON COMMUNICATION, vol. COM-34, NO. 1, 1986, 72–76.
- [71]Hogenauer E B. An Economical Class of Digital Filters for Decimation and Interpolation[J].TRANSAC- -TIONS ON ACOUSTICS, SPEECH, AND SIGNAL PROCESSING, VOL. ASSP-29, NO. 2, 1981,155-162.
- [72]Sung-Mo Kang, Yusul Leblebici 著,王志功、窦建华等译. CMOS 数字集成电路——分析与设计[M].北京: 电子工业出版社, 2005.
- [73]Alan B.Marcovitz 著, 殷洪玺、刘新元、禹莹等译. 逻辑设计基础(第二版)[M]. 北京: 清华大学出版社,2006.
- [74] Uwe Meyer-Baese著, 刘凌译. 数字信号处理的FPGA实现(第二版)[M]. 北京:清华大学出版社,2006.
- [75]易婷,方杰,洪志良. 14位1.5625 MHz 的ΣΔ A/D中的降采样低通滤波器的设计[J]. 固体电子学研究 与进展, 24(4), 2004, 455-460.
- [76]许波,林争辉. 一种用于ΣΔA/D或D/A过采样转换器的数字滤波器[J]. 微电子学, 30(2), 2000, 69-71.
- [77]Keshab K. Parhi 著, 陈弘毅、白国强、吴行军等译. VLSI 数字信号处理系统[M]. 北京: 机械工业出版 社, 2004.
- [78]杨 刚,林争辉. 多级抽取滤波器的VLSI实现[J]. 上海交通大学学报, 34(7), 2000, 900-902.
- [79]李梁,李儒章,张俊安,杨毓军. 一种适合ΣΔA/D转换器的FIR数字滤波器[J].微电子学,36(3),2006, 340-343.
- [80]李东生. 电子设计自动化与IC设计[M]. 北京: 高等教育出版社, 2004.
攻读硕士期间发表的学术论文

- A Low Voltage High Frequency programmable Gm-C Band pass Filter. 2007 IEEE Xiamen International Workshop on Security, Anti-counterfeiting, Identification, 2007, 74-74.
- [2] 基于 Switched-RC 技术的 0.8V 带通滤波器.现代电子技术, 2008, 31(9);177-179.

致谢

在论文完稿之际,我首先要感谢我的导师李开航副教授,回顾三年的学习生活,李老师在学业和科研上给予我很大的指导和帮助,正是李老师无微不至的关怀与照顾,我今天才能顺利完成学业。同时李老师严谨求实的治学态度、博学精深的学识和敏锐深刻的洞察力给我留下了难以磨灭的印象,将对我今后的工作和学习产生深远的影响,再次感谢李老师给我的谆谆教诲和辛勤培养。

我还要感谢陈松岩老师在我攻读硕士期间给予我的关心和帮助。同时我也要 感谢海芯科技有限公司许肖锋总经理在我完成毕设过程中给予的帮助。

感谢王日炎、聂彬、师姐张君玲、师妹杨玲玲、师弟吴冬明、张海滨、高盛 昌、王亮、周林兵、李威、杨旭刚,感谢你们为我的学习和科研营造了轻松、融 洽的氛围,感谢你们曾经给予的帮助和关心。

感谢舍友何熙、杨东平、赖起帮、黄志福、翁山杉以及杨涛、洪瑞煌、陈伟、 陈换庭等同学好友,与你们的友谊是我学习工作之余最大的快乐,感谢你们陪伴 我走过这段难忘的日子,祝愿你们梦想成真,拥有一个美好幸福的未来!

最后,我要感谢我的父母以及家人,他们给予了我最无私的关爱,他们的鼓励和支持一直陪伴着我,激励着我,我将会用不懈的奋斗和努力来回报他们。

24位Σ-△A/D转换器中抽取滤波器的设计和实现



 作者:
 章建钦

 学位授予单位:
 厦门大学

相似文献(10条)

 期刊论文 王雷. 佘天丽. Wang Lei. She Tianli 多级数字抽取滤波器的结构与应用 -地质装备2006,7(3) 本文介绍了多级数字抽取滤波器CS5376A的特点及结构,分析了CS5 376A芯片的参数设定、以及配合CS5371/72 Delta-Sigma A/D转换器和 TMS320LF2407 DSP构成高精度数据采集系统应用于数字强震仪中的方法.

2. 期刊论文 吴倩瑜. 张正璠. 李儒章. 石立春 一种Σ-Δ A/D转换器抽取滤波器的设计 -微电子学2010, 40(2)

设计了一种Σ-Δ A/D转换器中的数字抽取滤波器.该滤波器应用于音频范围,采用多级多采样率的结构,由梳状滤波器、补偿滤波器以及两个半带滤 波器组成.滤波器系数用标准符号编码实现,减少了乘法单元的使用.采用Simulink模拟过采样128倍的4位调制器输出;用Verilog编写用于测试的滤波器代 码.在Matlab中分析滤波器输出码流,得到的信噪比为101 dB,能够满足高端音频A/D转换器的要求.

3. 学位论文 蔡友 Sigma-Delta ADC中抽取滤波器的研究与实现 2007

本文的内容是Sigma-Delta模数转换器中的数字抽取滤波器的研究与设计。

本设计所研究的Sigma-Delta模数转换器(采样频率44.1KHz)主要应用在消费类数字音频接收机,数字音频录音机,包括便携式的CD-R(Compact Disc Recordable),DCC(Digital Content Creation),MD(MiniDisc),DAT(Digital Audio Tape),多媒体消费电子设备和音乐取样合成器。因此研究应用于音频系统中的ADC芯片具有很大的现实意义。

抽取滤波器是Sigma-Detta模数转换器中的重要组成部分。低字率、高采样频率的数字调制信号被转换成高字率、奈奎斯特频率采样的信号。本文设 计和实现了一个过采样率为256的数字抽取滤波器,应用于2-1级联的三阶ΔΣ调制器。该抽取滤波器包括:级联积分梳状(CIC: Cascaded-Integrated-Comb)滤波器、补偿滤波器和两个窄带有限冲击响应半带滤波器。应用置换原则的梳状滤波器大大节省了芯片面积和功耗。补偿滤波器实现了降采样和频 率补偿两种功能,减小了硬件开销。在已有技术的基础上,利用半带滤波器的冲激响应的对称性,改善了滤波器的速率、功耗等性能,更重要的是减小 了芯片面积。滤波器系数都采用 CSD(Canonic Signed Digit)码实现。补偿和半带滤波器均采用等波纹设计方法,整个设计采用了多级多采样率信号处 理电路原理。

电路的设计参数如下:数字部分电压为1.8V,动态范围98dB,噪声与谐波失真比96dB,有效信号位数18位,抽取滤波器通带波纹0.006 dB,阻带衰减110dB,四级线性相位抽取滤波器,256倍降采样率。

整个设计经过了MATLAB系统仿真、Verilog HDL RTL 级代码编写、ModelsimSE RTL级代码前仿真和门级代码后仿真、Synopsys Design Compiler综 合、 Encounter布局布线、Calibre DRC和LVS。整个滤波器经过了FPGA验证,采用上海中芯国际有限公司0.18um CMOS混合信号工艺流片并进行了测试 ,测试结果基本满足设计要求。

4. 期刊论文 黎骅. 李冬梅. 李福乐. 王志华 一种用于过采样 Σ-Δ A/D转换器的抽取滤波器 -微电子学2004, 34(6)

采用0.8 μm CMOS工艺,实现了一种用于过采样Σ-Δ A/D转换器的数字抽取滤波器.该滤波器采用多级结构,梳状滤波器作为首级,用最佳一致逼近算 法设计的FIR滤波器作为末级,并通过位串行算法硬件实现.芯片测试表明,该滤波器对128倍过采样率、2阶Σ-Δ调制器的输出码流进行处理得到的信噪比 为75 dB.

5. 学位论文 赵洪海 △-∑A/D转换器在地震数据采集系统中的应用研究 2001

该文介绍了地震数据采集系统的发展历史,讨论了最新电子技术在新一代地震数据采集系统中的应用.,较诚意细地讨论了过采样△-Σ调制器与数字 抽取滤波器所组成的△-Σ结构的24位模-数转换技术及DSP技术在地震数据采集系统中的应用.该课题提出了新一代地震数据采集系统的设计思路和特点 ,研制了新型的WF-1006型地震数据采集系统,最后还讨论了地震数据采集系统的发展趋势.

6. 期刊论文 张媛媛. 姜岩峰. ZHANG Yuan-yuan. JIANG Yan-feng Σ-Δ模拟/数字转换器综述 -微电子学2006, 36(4) Σ-Δ Α/D转换器是利用速度换取精度的高精度模拟/数字转换器. 文章分析了Σ-Δ Α/D转换器的产生、组成和优势, 重点介绍了Σ-Δ 调制器结构及 其性能指标, 简要介绍了数字抽取滤波器. 对Σ-Δ Α/D转换器国内外发展状况进行了全面的分析. 在此基础上, 论述了Σ-Δ Α/D转换器未来的发展趋势.

7. 学位论文 王其超 一种16位音频Sigma-Delta模数转换器的研究与设计 2009

Sigma-Delta A/D转换器利用过采样,噪声整形和数字滤波技术,有效衰减了输出信号带内的量化噪声,提高了信噪比。与传统的Nyquist转换器相比,它降低了对模拟电路性能指标和元件精度的要求,简化了模拟电路的设计,降低了生产成本。

本论文在对Sigma-Delta A/D转换器原理研究的基础上,基于TSMC0. 18um工艺,采用1. 8V工作电源,128倍的过采样率,6. 4MHz的采样频率,设计 了一个主要应用于音频信号处理的Sigma-Delta A/D转换器,分辨率达到16位。在调制器的设计中,本文采用了多级噪声整形MASH (2-1) 级联调制器结构,同时,考虑了各种非理想因素对系统性能的影响,在SDtoolbox工具的帮助下使用Simulink进行调制器系统设计。并使用Cadence Spectre对模块电路进行设计仿真,包括运放,比较器,带隙基准电压源,CMOS开关,非交叠时钟产生电路等。在数字抽取滤波器的设计中,采用了分级抽取技术,使用 MATLAB软件中的SPTool和FDATool工具对各级抽取滤波器进行优化设计。并在原有的滤波器算法的基础上,采用了CIC滤波器和半带滤波器,设计出了运算量和存储量都相对少的三级抽取滤波器系统,大大降低了功耗和面积。

论文的仿真结果表明,所设计的Sigma-Delta A/D转换器信噪比达到102.3dB,满足系统需要的16位精度要求。

8. 学位论文 刘洪江 0. 25um工艺下数字抽取滤波器的研究与设计 2004

数字抽取滤波器是一种对数字信号进行速率变换的信号处理单元,在数字接收机、声频信号处理以及Delta Sigma A/D转换器等领域应用广泛.简单的 抽取滤波器可以用FPGA或DSP芯片来实现;复杂的多位高抽样率的抽取滤波器占用资源较多,一般用ASIC实现,设计过程中面临的最大挑战是如何选取恰当 的结构,在确保功能完备的基础上尽量减小芯片面积,该论文的目标是实现用1st Silicon公司的0.25um CMOS工艺实现十六位Delta Sigma A/D转换器中的 数字抽取滤波器,论文围绕所做工作介绍了用深亚微米工艺设计数字集成电路的详细流程以及实现数字抽取滤波器系统所用软件;该论文还简要提及了关 于数字集成电路设计的可综合设计、可测试性结构设计、以及数字IC设计过程中的面积考虑、功耗考虑等等。最终论文实现了信号带宽为0[~]3.4kHz的用在 16-bit Delta Sigma ADC中的数字抽取滤波器。采用CSD码、CIC滤波器和半带滤波器等设计技术,以及乘法器的简化设计,实现了256:1的速率变换,经过后 仿真和PPGA的软硬件协同验证,对于三阶调制器产生的1kHz信号的调制码,经过解调信噪比可以达到94.10dB,无杂散动态范围97.1dB,而最高时钟频率在 32MHz以上.

9. 期刊论文 廖声刚. Liao Shenggang 408UL地震数据采集系统的FDU -物探装备2008, 18(1)

本文简要介绍了与FDU的24位A/D转换器有关的增量调制器、数字抽取滤波器的工作原理、FDU电路的组成及其各部分电路的主要功能.

10. 学位论文 方利 Σ -△ADC数字抽取滤波模块的设计研究 2009

 $\Sigma - \triangle$ A/D转换器基于高分辨率、良好的线性度和容易与数字系统集成的优势,广泛应用于音频和电子测量领域。而作为 $\Sigma - \triangle$ A/D转换器必不可少的重要组成部分的数字抽取滤波模块,是设计高性能 $\Sigma - \triangle$ A/D转换器的关键。

基于Σ-△ A/D转换器的基本原理与结构,本文广泛深入地研究了数字抽取滤波器的设计方法,提出了五级多采样速率的数字抽取滤波器系统架构:级联积分梳状滤波器+CIC 补偿滤波器+两级半带抽取滤波器+直流补偿滤波器。

本设计采用CSD编码、MAG 优化、RAG 优化、分布式算法和同步流水线技术对抽取滤波模块作优化,进一步简化功能结构,提升抽取滤波运算效率

,提升系统工作速度,改善系统整体性能,并减少实现电路所需的硬件资源。

本文所设计的数字抽取滤波模块可实现的分辨率为18-bits,降采样率256 倍,信号带宽44kHz,动态范围98dB,信噪比96dB,通带波纹0.05dB。整 个设计经过高效低成本的FPGA 仿真验证和Simulink 行为级验证,实现了抽取滤波运算速度、功耗和硬件资源的均衡,功能和性能都符合设计预期指标。

本文链接: http://d.g.wanfangdata.com.cn/Thesis_Y1443821.aspx

授权使用: 西安电子科技大学(xadzkj),授权号: c9df4c0d-c233-4927-8244-9da3010b61de,下载时间: 2010年 6月28日