

7. MOSFETs in ICs—Scaling, Leakage, and Other Topics

本章的主题是 MOSFET 的 gate 长度如何继续缩小。一个重要的主题是 MOSFET 的关闭电流或者泄流电流。它是之前章节中导通电流的相反面。本章的主要内容是亚阈值漏电和它对器件缩小的影响， I_{on} 和 I_{off} 的折中对电路设计的影响。给出了特别强调的点，用于理解未来 MOSFET 缩小的机会，包括迁移率增强，高-k 介质和金属栅极，SOI，多栅 MOSFET，金属化 source/drain，等。也介绍了器件仿真和电路仿真用的 MOSFET 集成模型。

7.1 TECHNOLOGY SCALING—FOR COST, SPEED, AND POWER CONSUMPTION

7.2 SUBTHRESHOLD CURRENT—“OFF” IS NOT TOTALLY “OFF”

伴随 I_{on} 的增加，电路速度得以改进，因此，希望能使用小的 v_t 。我们能够设定 V_t 在任意小的值，例如 10mV？答案是不可以。

在 $V_g < V_t$ ，一个 N 沟道的 MOSFET 是处于关闭状态。然而，一个漏电流仍会流过 drain 和 source。处于 $V_g < V_t$ 下的 MOSFET 电流被称为亚阈值电流。这是 MOSFET 泄流电流， I_{off} 的主要贡献。 $I_{off} = I_d$ 在 $V_{gs} = 0$ 和 $V_{ds} = V_{dd}$ 。保持 I_{off} 非常小是很重要的，以最小化静态功耗。

图 7-2a 显示了亚阈值电流的曲线。当 $V_{gs} < V_t$ ， I_{ds} 显示为直线，即 V_{gs} 的指数关系。

图 7-2b-d 解释了亚阈值电流。在 $V_{gs} < V_t$ ，反型层电子浓度 n_s 很小，但能够允许一个很小的漏电流过 drain 和 source。在图 7-2b，一个更大的 V_{gs} 会把表面的 E_c 拉得更靠近 E_f ，引起 n_s 和 I_{ds} 增加。从图 7-2c 的的等效电路，我们可以得到，

$$\frac{d\phi_s}{dV_{gs}} = \frac{C_{oxe}}{C_{oxe} + C_{dep}} \equiv \frac{1}{\eta} \quad (7.2.1)$$

$$\eta = 1 + \frac{C_{dep}}{C_{oxe}} \quad (7.2.2)$$

对 7.2.1 积分可以得到

$$\phi_s = \text{constant} + V_g / \eta \quad (7.2.3)$$

I_{ds} 正比于 n_s ，因此

$$I_{ds} \propto n_s \propto e^{q\phi_s/kT} \propto e^{q(\text{constant} + V_g/\eta)/kT} \propto e^{qV_g/\eta kT} \quad (7.2.4)$$

一个实用和普遍的 V_t 定义是， $V_t = V_{gs}$ 在 $I_{ds} = 100nA \times WL$ 处，如图 6-12。（一些公司可能使用 200nA）。等式 7.2.4 可以写为，

$$I_{ds}(nA) = 100 \cdot \frac{W}{L} \cdot e^{q(V_{gs} - V_t)/\eta kT} \quad (7.2.5)$$

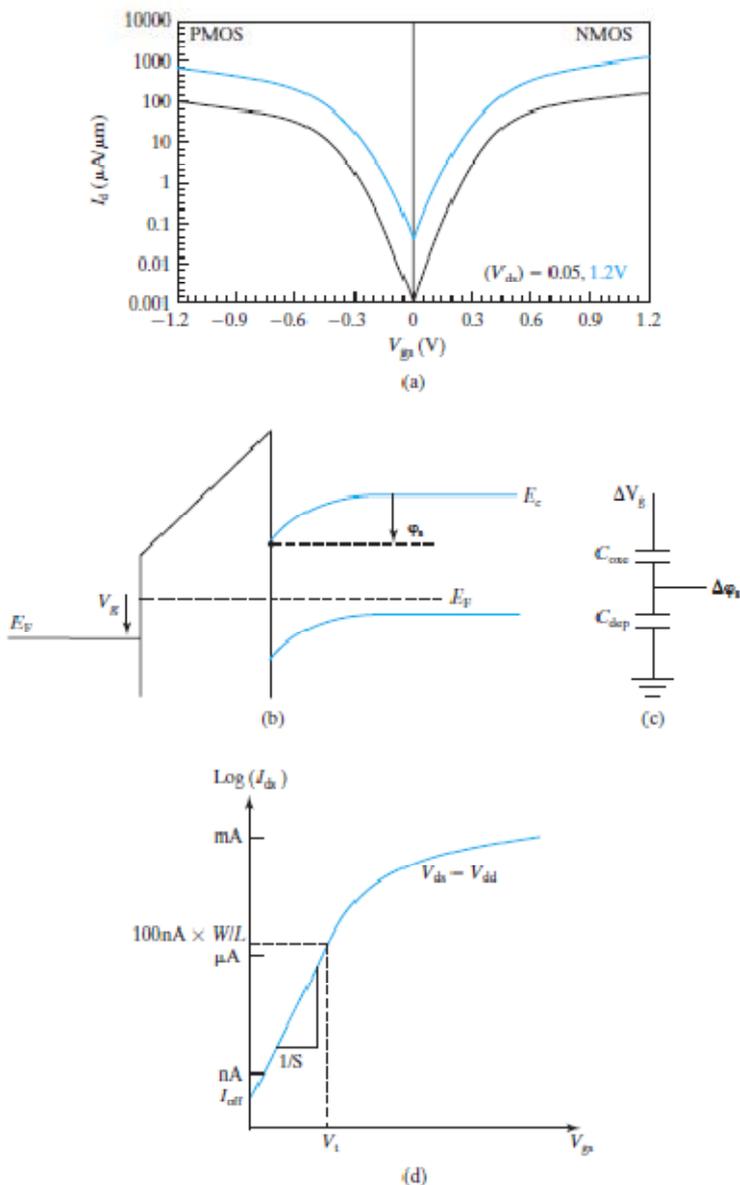


FIGURE 7-2 The current that flows at $V_{gs} < V_t$ is called the subthreshold current. $V_t = 0.2\text{V}$. The lower/upper curves are for $V_{ds} = 50\text{mV}/1.2\text{V}$. After Ref. [2]. (b) When V_g is increased, E_C at the surface is pulled closer to E_F , causing n_s and I_{ds} to rise; (c) equivalent capacitance network; (d) subthreshold I-V with V_t and I_{off} . Swing, S , is the inverse of the slope in the subthreshold region.

很明显，等式 7.2.5 满足 V_t 的定义和等式 7.2.4。等式 7.2.5 的简化的另一个原因是采用新的 V_t 定义。在室温时，对于 V_{gs} 每变化 60mV ，函数 $\exp(qV_{gs}/kT)$ 会变化 10 倍，因此对于每个 $\eta + 60\text{mV}$ ， $\exp(qV_{gs}/kT)$ 变化 10 倍。例如，如果 $\eta = 1.5$ ，等式 7.2.5 表明，在室温时，当 $V_{gs} < V_t$ ， V_{gs} 每降低 90mV ， I_{ds} 减小 10 倍。 $\eta \times 60\text{mV}$ 被称为亚阈值摆幅，用符号 S 表示。

$$S(\text{mV/decade}) = \eta \cdot 60\text{mV} \cdot \frac{T}{300\text{K}} \tag{7.2.6}$$

$$I_{ds}(\text{nA}) = 100 \cdot \frac{W}{L} \cdot e^{q(V_{gs} - V_t)/\eta kT} = 100 \cdot \frac{W}{L} \cdot 10^{(V_{gs} - V_t)/S} \tag{7.2.7}$$

$$I_{off}(\text{nA}) = 100 \cdot \frac{W}{L} \cdot e^{-qV_t/\eta kT} = 100 \cdot \frac{W}{L} \cdot 10^{-V_t/S} \tag{7.2.8}$$

对于给定的 W ， L ，有 2 种方法可以最小化 I_{off} ，如图 7-2d 说明。第一个方法是增大 V_t 。这个方法不可取，因为一个大的 v_t 会减小 I_{on} ，从而降低电路速度（见等式 6.7.1）。比较好的办法是降低亚阈值摆幅。通过降低 η 可以降低

S。这可以通过增大 C_{oxe} (等式 7.2.2), 即使用更薄的 T_{ox} , 降低 C_{dep} , 即增大 W_{dep} , 来实现。另一个降低 S, 即减小 I_{off} 的方法是让晶体管工作在远低于室温下。最后一个方法是特别有效的, 但很少使用, 因为降温需要增加很高的成本。

除了亚阈值漏电, 其他漏电部分已经变得非常重要了。它们是 1. 经由非常薄氧化层的 **tunnel 漏电** (见 7.4 节), 2. **drain 到衬底的 junction 漏电**。

The Effect of Interface States

当表面态存在时, 亚阈值摆幅会变小 (见 5.7 节)。图 7-3 表明当 ϕ_s 变化时, 一些表面缺陷从高于费米能级移动至低于费米能级, 或反之。结果, 这些表面缺陷变得被电子占据。这种电荷的变化引起的电压变化 (ϕ_s) 等于一个电容的效应。这个表面态的影响等效于给 C_{dep} 加入了一个并联的电容, 如图 7-2c。亚阈值摆幅会很差, 除非半导体-介质界面是低密度的界面态, 诸如被 **carefully prepared Si-SiO₂** 界面。亚阈值摆幅经常会衰减, 在 MOSFET 被 **electrically stressed** 后 (见 5.7 节 side bar “reliability”) 和在新的界面态被产生后。

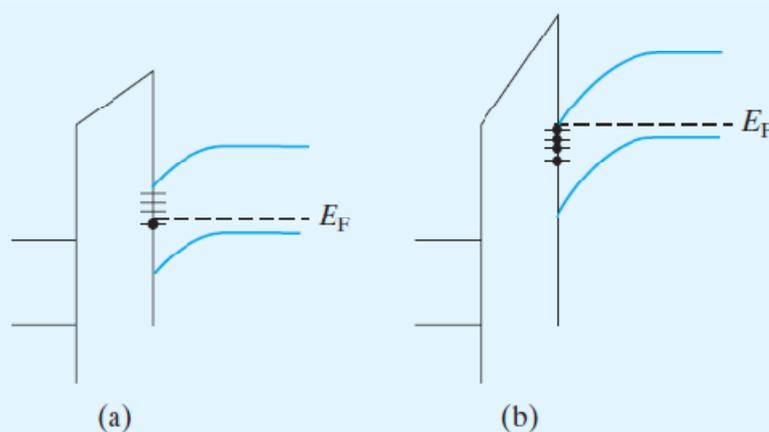


FIGURE 7-3 (a) Most of the interface states are empty because they are above E_F . (b) At another V_g , most of the interface states are filled with electrons. As a result, the interface charge density changes with V_g .

7.3 V_t ROLL-OFF—SHORT-CHANNEL MOSFETs LEAK MORE

先前的章节指出 V_t 不能被设得太低, 否则, I_{off} 会非常大。本小节扩展分析沟道长度 (L) 也不能太短。原因是: V_t 随着 L 减小而减小, 图 7-4. 当 V_t 减小过多, I_{off} 会变得过大, 沟道长度不能被接受。

Gate Length (L_g) vs. Electrical Channel Length (L)

栅极长度是栅极的物理长度, 能被通过 SEM 扫描电子显微镜实际测量。在生产环节能被很好的控制。相比, 沟道长度不能被精确的决定, 由于源和漏端结的侧面扩散。 L 跟随 L_g 但是两者的差值不能被精确的量化, 尽管已做努力, 见 6.11 节描述。因此, 在数据表达中, L_g 被广泛用于替代 L , 如图 7-4 的做法。 L 仍旧是一个有用的概念, 它被用于理论公式, 即使小尺寸晶体管的 L 不能被精确测量。

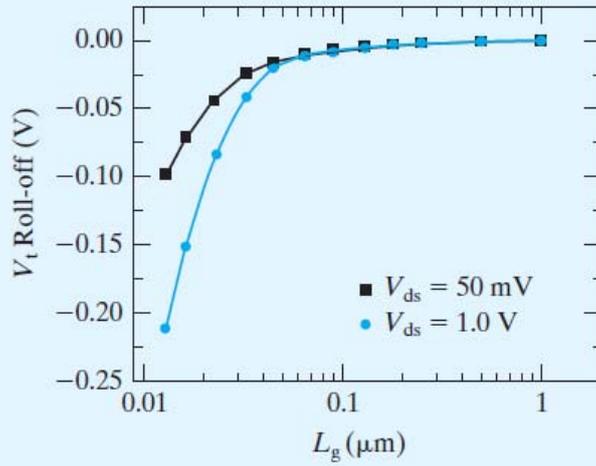


FIGURE 7-4 $|V_t|$ decreases at very small L_g . This phenomenon is called V_t roll-off. It determines the minimum acceptable L_g because I_{off} is too large when V_t becomes too low or too sensitive to L_g .

在某个 L_g , V_t 变得太小以至于 I_{off} 变得不可接受[见等式 7.2.8]。短沟道器件的衬底更重的掺杂，比起长沟道器件能提高他们的 V_t 。然而，在某个 L_g , V_t 受生产影响变得非常敏感，会引起 L 的偏差，以至于在 worst case, I_{off} 变得不可接受。器件开发工程师必须设计该器件，诸如 V_t roll-off 不会阻止目标最小 L_g 的使用，例如那些在表 7-1 的第 2 行所列的尺寸。

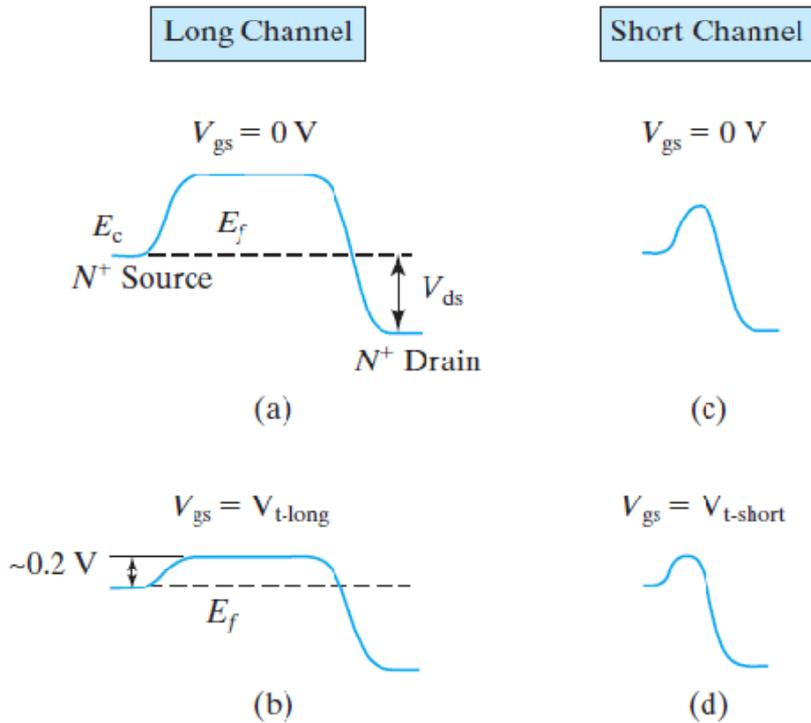


FIGURE 7-5 a-d: Energy band diagram from source to drain when $V_{gs} = 0$ V and $V_{gs} = V_t$. a-b long channel; c-d short channel.

为是么 V_t 随着 L 减小会降低? 图 7-5 给出了一个模型用来理解这个效应。图 7-5a 显示了长沟道器件在 $V_{gs}=0$ 时半导体-绝缘体界面的能带图。图 7-5b 显示了在 $V_{gs}=V_t$ 时的能带图。在 (b) 中，沟道内的 E_c 被拉低，低于 (a) 中的 E_c ，因此它更靠近源端内的 E_c 。当沟道的 E_c 仅比源端的 E_c ($\sim E_{fn}$) 高 ~ 0.2 eV 时，沟道内的 n_s 达到 $\sim 10^{17} \text{cm}^{-3}$ ，达到反型阈值条件 ($I_{ds}=100 \text{nA} \times W/L$)。我们可以说 0.2eV 的势垒足够低来允许 N^+ 源端内的电子流入沟道，形成反型层。下面的模拟演示可以帮助理解能带势垒的高度。源端就像一个蓄水池，势垒就是一个大坝， V_{gs} 控制大坝的高度。

当 V_{gs} 足够高，大坝就充分地低，以使水能流入沟道和漏端。这个 V_{gs} 定义为 V_t 。

图 7-5c 显示了短沟道器件在 $V_{gs}=0$ 时半导体-绝缘体界面的能带图。如果沟道长度足够短， E_c 将不能达到图 7-5a 相同的峰值，结果，如图 7-5d，仅需一个比图 7-5b 更小的 V_{gs} 就能将势垒拉低 0.2eV。换句话说，短沟道器件的 V_t 低于长沟道器件。这解释了图 7-4 的 V_t roll-off 现象。

我们可以用过另外的方法来理解 V_t roll-off 现象。图 7-6 显示了栅极和沟道间的一个电容 C_{oxe} 。也显示了第 2 个电容，漏端和沟道中间点之间的 C_d ，在此处，图 7-5d 内的 E_c 达到峰值。当沟道长度减小，漏端至源端和漏端至“沟道”的距离也减小，因此， C_d 增加。不要关心 C_d 的确切定义和大小。聚焦于 C_d 的概念：漏端和沟道势垒点之间的耦合电容。

从这 2 个电容的等效电路中，很明显沟道电压同栅极电压相似，对沟道电势有相似的作用。 V_{gs} 和 V_{ds} 一起决定了沟道势垒电势高度，如图 7-5。当 V_{ds} 存在时，仅需很小的 V_{gs} 就可以拉低势垒 0.2eV；因此， V_t 低于定义值。这个理解给了我们一个 V_t roll-off 的简单公式，

$$V_t = V_{t-long} - V_{ds} \cdot \frac{C_d}{C_{oxe}} \quad (7.3.1)$$

V_{t-long} ，是长沟道器件的阈值电压 ($C_d=0$)。更精确点， V_{ds} 应该加上一个常数，它是在阈值条件下，N-反型层和 N+ 的 drain 和 source 端之间 0.2V 内建电势的组合效应[4]。

$$V_t = V_{t-long} - (V_{ds} + 0.4 \text{ V}) \cdot \frac{C_d}{C_{oxe}} \quad (7.3.2)$$

使用图 7-6，能直观地看到，当 L 减小时， C_d 增大。当电容的两极彼此靠近时，电容增大。对于图 7-6 的 2 维图形，这种直觉也是正确的。泊松等式的结果 (4.1.3 节) 表明在 2 维结构中， C_d 是 L 的指数函数[5]，因此，

$$V_t = V_{t-long} - (V_{ds} + 0.4 \text{ V}) \cdot e^{-L/l_d} \quad (7.3.3)$$

where
$$l_d \propto \sqrt[3]{T_{oxe} W_{dep} X_j} \quad (7.3.4)$$

X_j 是 drain 端结的深度。等式 7.3.3 提供了 V_t roll-off 是 L 和 V_{ds} 函数的半量化模型。它可以被看作是设计小尺寸 MOSFET 和理解新晶体管结构的指导。在 L 非常大时， V_t 等于 V_{t-long} 。Roll-off 是 L 的指数函数。在 V_{ds} 很大，直至 V_{dd} 时，roll-off 也很大。通过等式 7.2.8，可接受的 I_{off} 决定了可接受的 V_t 。这依次决定了可接受的最小 L ，由公式 7.3.3。可接受的最小 L 是 l_d 的数倍。Drain 端能降低 source-channel 势垒，并减小 V_t ，这现象被称为 DIBL。 l_d 被称为 DIBL 特征长度。在每个工艺节点，为了支持 L 减小， l_d 必须随 L 等比例减小。这意味着我们必须减小 T_{ox} ， W_{dep} ，和 X_j 。事实上，在每个工艺节点，所有这些参数都被减小以获得所期望的 l_d 减小。减小 T_{oxe} 增加了栅极控制或者 C_{oxe} 。降低 X_j 减小了 C_d ，由于减小了 drain 的尺寸。降低 W_{dep} 也减小了 C_d ，由于引入了一个接地的电极板（衬底的电中性区域或耗尽区的底部），使得静电性地隔离了沟道和 drain 端。

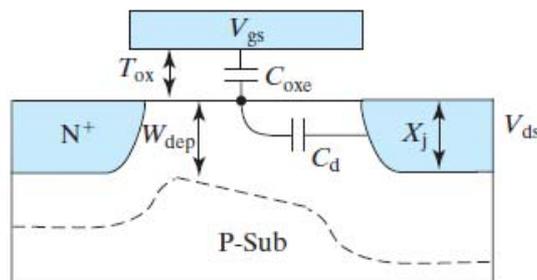


FIGURE 7-6 Schematic two-capacitor network in MOSFET. C_d models the electrostatic coupling between the channel and the drain. As the channel length is reduced, drain to “channel” distance is reduced; therefore, C_d increases.

等式 7.3.4 的给出的基本信息是：为了支持栅极长度的减小，MOSFET 中的垂直尺寸 (T_{ox}, W_{dep}, X_j) 也必须减小。如图 7-7 的例子表明，氧化层厚度近似等比例于栅极长度。

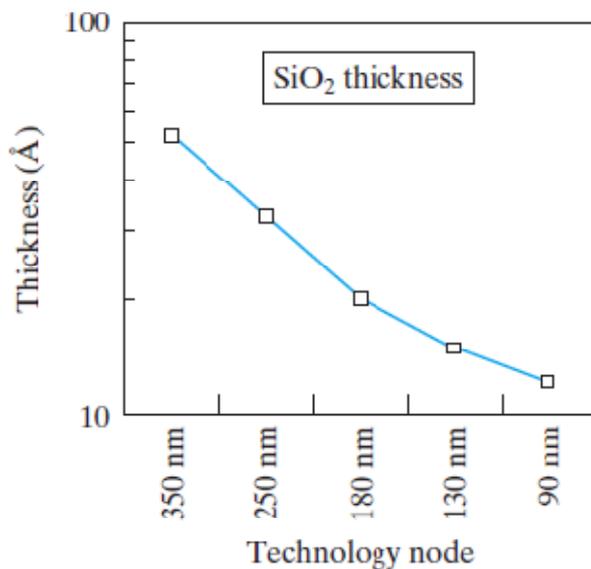


FIGURE 7-7 In the past, the gate oxide thickness has been scaled roughly in proportion to the line width.

7.4 REDUCING GATE-INSULATOR ELECTRICAL THICKNESS AND TUNNELING LEAKAGE

自从硅 MOSFET 应用以来，SiO₂ 被用作栅极绝缘层。氧化层厚度近几年来从 10um 工艺的 300nm 减小至 65nm 工艺的 1.2nm。有 2 个理由持续的驱动着氧化层厚度的减小。第一个，一个薄的氧化层，即更大的 C_{ox} 增大了 I_{on} ，一个更大的 I_{on} 提高了电路速度（见等式 6.7.1）。第二个原因是去控制 V_t roll-off（从而控制衬底漏电），当根据等式 7.3.3,7.3.4 的 L 的不断减小时。我们不能低估第二个原因的重要性。图 7-7 表明，氧化层厚度随着工艺长度被等近似比例的缩小。

我们期望更薄的氧化层。但是，是什么阻止了工程师使用任意薄的栅极氧化层薄膜？生产薄氧化层是不容易的，但是如图 6-5 所示，高良率地生长非常薄和均匀的栅极氧化层薄膜是可能的。氧化层击穿是另一个受限因素。如果氧化层太薄，氧化层上的电场太高以至于引起破坏性的击穿（见 sidebar“SiO₂ 击穿电场”）。另一个受限因素是高场强下的长时间工作，尤其是在高工作温度下，破坏了 Si-SiO₂ 间很弱的化学键，从而产生了氧化电荷和 V_t 漂移（见 5.7 节）。 V_t 漂移导致了电路行为的改变，产生了可靠性问题。

对于 SiO₂ 薄膜厚度小于 1.5nm，tunneling 漏电变成了最严重的制约因素。图 7-8a 说明了经由 tunneling 的栅极漏电现象（见 4.40 节）。在热速度（thermal velocity）下，电子到达栅极氧化层势垒处，并以由等式 4.20.1 给出的概率出现在栅极一侧。这引起了栅极漏电。图 7-8b 表明了 SiO₂ 漏电随着厚度的降低而呈现的指数性增长，其吻合 tunneling 模型的预测[6]。在 1.2nm 处，SiO₂ 泄漏 $10^3 A/cm^2$ 。如果一个芯片包含 $1mm^2$ 的该薄介质，芯片的氧化层漏电将达到 10A。这么大的电流会使得一个手机的电池在几分钟内消耗完。通过在 SiO₂ 内加入氮（nitrogen），可以使该漏电减小 10 倍。

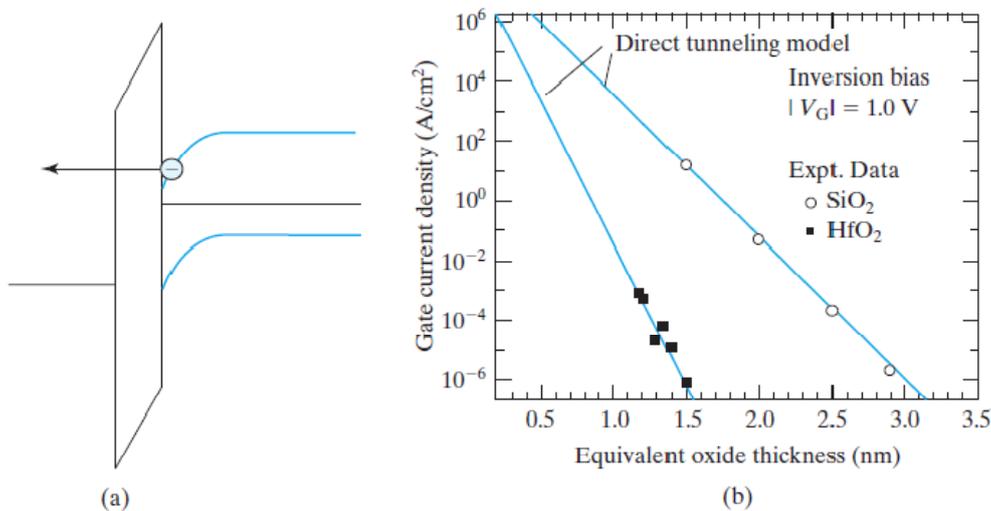


FIGURE 7-8 (a) Energy band diagram in inversion showing electron tunneling path through the gate oxide; (b) 1.2 nm SiO₂ conducts 10³ A/cm² of leakage current. High-*k* dielectric such as HfO₂ allows several orders lower leakage current to pass. (After [6]. © 2003 IEEE.)

工程师已经开发了高-*k* 电介质工艺来取代 SiO₂。例如，HfO₂ 的相对介电常数(*k*)~24，比 SiO₂ 大 6 倍。在都产生相同 Cox 的条件下，一个 6nm 厚的 HfO₂ 等效于 1nm 厚的 SiO₂。我们说这个 HfO₂ 薄膜的等效氧化层厚度，EOT 为 1nm。而且，HfO₂ 薄膜有一个更厚的隧道势垒，对于电子和空穴。该结果使得流过 HfO₂ 的的漏电小于图 7-8b 中 SiO₂ 漏电的几个数量级。其他有用的高-*k* 电介质包括 ZrO₂ 和 Al₂O₃。在 IC 生产中采用高-*k* 介质的困难在于，这些高-*k* 介质与硅衬底之间会发生化学反应。通过在硅衬底和高-*k* 介质间插入一层薄的 SiO₂ 界面层，可以最小化这些问题。

等式 7.3.4 中包含了氧化层厚度 Toxe，其有等式 5.9.2 定义。

$$T_{oxe} = T_{ox} + W_{dpoly}/3 + T_{inv}/3 \quad (5.9.2)$$

包括 Tox 或 EOT，poly-si 的栅极耗尽层厚度也需要最小化。在这方面，金属是好得多的栅极材料。NFET 和 PFET 的栅极可以使用不同的金属（其金属功函数接近 N+ 和 P+ poly-si 的功函数），以获得优化的 Vts[7]。

另外，Tinv也是Toxe的一部分，也需要最小化。决定Tinv的材料参数是电子或空穴的有效质量(effective mass)。一个更大的有效质量能产生更薄的Tinv。但不幸的是，一个更大的有效质量会导致更低的迁移率（见等式2.2.4）。幸运的是，有效质量是晶体空间方向的函数。垂直于氧化层界面方向的有效质量决定了Tinv，而同电流方向的有效质量决定了表面迁移率。制作一种晶体管，其wafer的方向（图1-2），在垂直于氧化层界面方向提供更大的mn和mp，但在电流方向一个更小的mn和mp，是可能的。

• SiO₂ Breakdown Electric Field •

什么是SiO₂的击穿电场强度？这没有一个简单的答案，因为击穿场强是测试时间的函数。如果一个1秒的电压脉冲应用于一个10nm的SiO₂薄膜，需要15V的电压来击穿该薄膜，则该击穿场强为15MV/cm。如果相同的氧化层被测试1个小时，那么击穿场强会相当的低。如果测试一个月，则击穿场强更低。这一现象被称为依赖时间的介质击穿。大多数IC应用要求的器件寿命在几年或超过10年。明显地，对于一个新工艺，生产商不可能实际测量10年的击穿场强。实际上，工程师会基于小时至几个月时长的测试并结合氧化层击穿的物理理论模型来预测10年长的击穿电压。通过不同的模型，一个宽范围的击穿场强被预测出来。从过去的结果来看，对于10年长的应用，最优的预测值为7MV/cm，这基本上是正确的。

击穿场强模型考虑了一系列的事件因素[8]，在高电场下的经由氧化层的载流子隧穿破坏了SiO₂内Si-O的化学键，从而产生了氧化层缺陷。这一过程会更迅速的发生，在哪些有缺陷的氧化层内，它们的弱化学键的密度相当地高。当产生的缺陷在任何一个点上达到一个关键密度时，击穿就会发生。在long-term stress测试中，击穿电压更低些，因为在长时间测试内达到关键缺陷密度的概率是很低的。一个碰巧的事实是非常薄氧化层的击穿电压会提高。当通过一个非常薄氧化层时电荷载流子获得更少的能量，相比于后氧化层，从而产生更少的氧化层缺陷。

7.5 HOW TO REDUCE Wdep

等式 7.3.4 表明一个小的 Wdep 有助于控制 Vt roll-off, 并能是 L 更小。通过提高衬底掺杂浓度 Nsub, 可以降低 Wdep, 因为 Wdep 正比于 $1/\sqrt{N_{\text{sub}}}$, 然而, 根据等式 5.4.3, 如下

$$V_t = V_{\text{fb}} + \phi_{\text{st}} + \frac{\sqrt{qN_{\text{sub}}2\epsilon_s\phi_{\text{st}}}}{C_{\text{ox}}} \quad (7.5.1)$$

如果 Vt 不增加, Nsub 不必增加, 除非 Cox 增加, 即 Tox 减小。等式 7.5.1 可能写为 7.5.2, 通过把 Nsub 由等式 5.5.1 代入。明显的, Wdep 仅随 Tox 等比例减小。

$$V_t = V_{\text{fb}} + \phi_{\text{st}} \left(1 + \frac{2\epsilon_s T_{\text{ox}}}{\epsilon_{\text{ox}} W_{\text{dep}}} \right) \quad (7.5.2)$$

事实表明, 根据等式 7.3.4, Tox 是 L 降低的主要促成因素。

减小 Wdep 的另一个方法是采用 steep retrograde doping profile, 如图 6-12。在这种情况下, Wdep 由轻掺杂的表面层的厚度决定。这表明 (见 sidebar), 一个具有理想 retrograde 掺杂浓度的 MOSFET 的 Vt 为

$$V_t = V_{\text{fb}} + \phi_{\text{st}} \left(1 + \frac{\epsilon_s T_{\text{ox}}}{\epsilon_{\text{ox}} T_{\text{rg}}} \right) \quad (7.5.3)$$

此处 Trg 轻掺杂层的厚度。等式 7.5.3 的 Trg, 如果 Vt 保持恒定, Trg 仅随 Tox 等比例缩小。然而, Trg (理想矩形器件的 Wdep) 仅是均匀掺杂器件的 Wdep 的一半 [见等式 7.5.2], 但能产生相同的 Vt。这是 retrograde 掺杂的一个优势。retrograde 掺杂的另一个优势是反型层内 ionized impurity scattering (see Section 2.2.2) 的降低, 表面迁移率的提高。为了在一个非常薄的轻掺杂层内产生一个 sharp retrograde doping profile, 即非常薄的 Wdep, 必须注意阻止掺杂扩散 (dopant diffusion)。

● Derivation of Eq. (7.5.3) ●

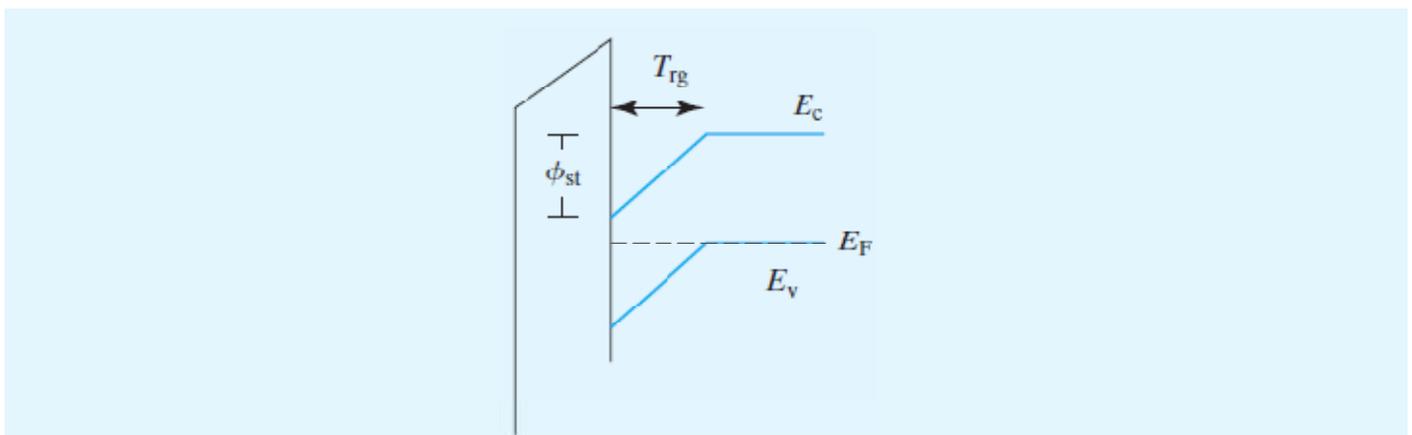


FIGURE 7-9 Energy diagram of a steep-retrograde doped MOSFET at the threshold condition.

阈值条件处的能带图如图 7-9。

能带弯曲 ϕ_{st} , 随 Trg (轻掺杂耗尽层的厚度) 均匀地降低, 产生了一个电场 $\mathcal{E}_s = \phi_{\text{st}}/T_{\text{rg}}$, 因为电通量 (electric

flux) 的连续性, 氧化层厚度 $\mathcal{E}_{OX} = \mathcal{E}_s \cdot \epsilon_s / \epsilon_{OX}$, 因此

$$V_{OX} = T_{OX} \mathcal{E}_{OX} = \phi_{st} \frac{\epsilon_s T_{OX}}{\epsilon_{OX} T_{rg}} \quad (7.5.4)$$

由等式 5.2.2, 7.5.4

$$V_t = V_{fb} + \phi_{st} \left(1 + \frac{\epsilon_s T_{OX}}{\epsilon_{OX} T_{rg}} \right) \quad (7.5.5)$$

这里有一个有趣的现象是关于 W_{dep} 的进一步减小。等式 7.5.1 中, 一个更高的 N_{sub} (更小的 W_{dep}) 或者等式 7.5.3 中, 一个更小的 T_{rg} 可以产生一个比期望大的 V_t , 如果这个更大的 V_t 被一个衬底 (阱)-源偏置电压, V_{bs} 拉低 (见 6.4 节)。所要求的 V_{bs} 是一个跨过衬底-源结的前向偏置电压。如果 V_{bs} 低于 0.6V, 一个前向偏置电压, 即一个小的前向偏置电流是可接受的。

● **Predicting the Ultimate Low Limit of Channel Length—A Retrospective** ●

当沟道长度过小时, MOSFET 会有过大的 I_{off} , 这几乎不能成为一个可以实际应用的晶体管。假设光刻和刻蚀技术可以制作出所期望的小尺寸, 什么是 MOSFET 沟道长度的下限?

在 1970 年代, 半导体工业的沟道长度下限是 500nm。在 1980 年代, 是 250nm。到 1990 年代, 是 100nm。现在的下限要小得多。是什么使得专家们低估了沟道长度缩小的潜力? 对历史发展的一个回顾表明, 研究者们犯了个错误: 在量产中, 工程师们能制作出多饱和的栅极氧化层。在 1970 年代, 15nm 被认为是下限。在 1980 年代, 是 8nm。由于对 T_{ox} 的估计错误, 对最小可接受 W_{dep} 和最小 L 的估计也发生了错误, 根据等式 7.3.4。

7.6 SHALLOW JUNCTION AND METAL SOURCE/DRAIN MOSFET

图 7-10, 首次在图 6-24b 中被引入, 显示了一个典型 drain (source) 结的侧面图。额外的工艺步骤被引入以在 deepN+ 结和沟道之间产生 **shallow junction extension**。shallow junction 的引入是因为根据等式 7.3.4, drain 的结深度必须保持小。为了保持这个 junction shallow, 在所需最低温度下, 有一个非常短时间的退火处理以激活掺杂物和退火注入损坏, 在 0.1s (flash annealing) 内或 1us (laser annealing) 内。(见 3.6 节)。为了进一步降低杂质扩散, **shallow junction extension** 内的掺杂浓度比 N+ 掺杂浓度低得多。shallow junction 和轻掺杂的组合产生了一个不期望的寄生电阻, 其降低了珍贵的 I_{on} 。这是为抑制 V_t roll-off 和亚阈值漏电而付出的代价。在远离沟道处, 如图 7-10, 使用了一个 deep N+ 结来最小化总的寄生电阻。图 7-10 中电介质隔离层的宽度必须尽可能的小以最小化该寄生电阻。

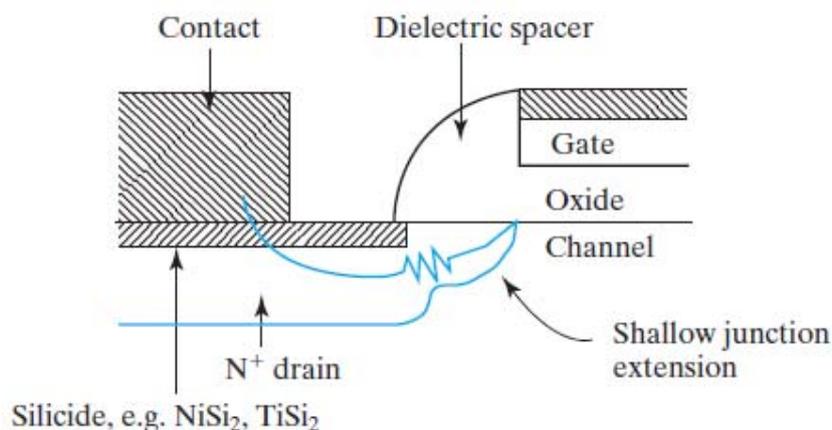


FIGURE 7-10 Cross-sectional view of a MOSFET drain junction. The shallow junction extension next to the channel helps to suppress the V_t roll-off.

7.6.1 MOSFET with Metal Source/Drain

金属 source/drain MOSFET 或者 Schottky source/drain MOSFET，如图 7-11a 所示，他们有非常浅的结（有助于短沟道效应）和低的串联电阻，因为 silicide 的导电性比 N+或 P+ Si 大 10 倍以上。仅有的问题是 Schottky-S/D MOSFET 的 I_d 比传统的 MOSFET 低，如果 Φ_B 过大以至于不能使载流子从 source 到沟道容易的流动（NFET 的电子）。

图 7-11b 显示了从 source 端沿着沟道表面到 drain 端的能带图。为了简化， V_{ds} 被设为 0。在 $V_g=0$ 时，能带图类似于传统 MOSFET 的能带图，因为势垒阻止了 source 端的电子进入沟道，晶体管是关闭的。在开启状态，图 7-11c，沟道的 E_c 被栅电压拉低，但并不在 source/drain 的边沿处，此处势垒高度被固定在 Φ_B （见 4.16 节）。这个势垒在传统 MOSFET 上是不存在的，如图 7-11d 所示，他们能减弱金属 S/D MOSFET 的 I_d 。

为了释放 Schottky S/D MOSFET 的全部潜能，一个非常低 Φ_B 的 schottky 结被使用（NFET）。在金属和沟道之间加入了一层薄的 N+区域。这最小化了势垒对电流的影响，如图 4-46. 有一点必须注意，减小低 Φ_B 的 schottky drain 端至衬底结的大反向漏电[9]。

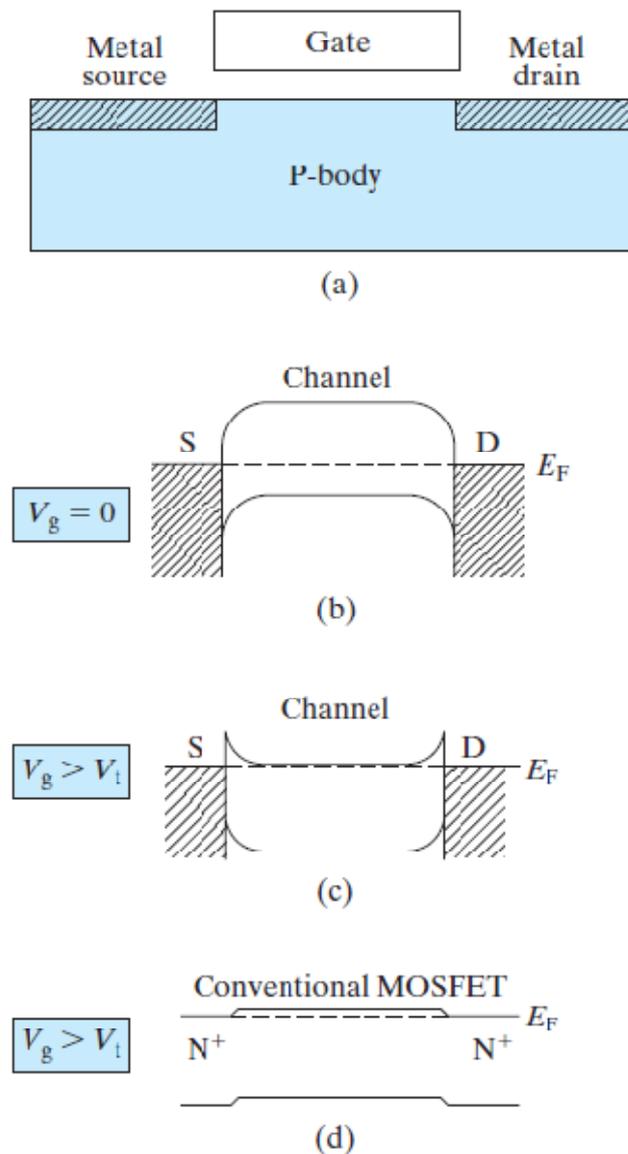


FIGURE 7-11 (a) Metal source/drain is the ultimate way to reduce the increasingly important parasitic resistance; (b) energy band diagrams in the off state; (c) in the on state there may be energy barriers impeding current flow. These barriers do not exist in the conventional MOSFET (d) and must be minimized.

7.7 TRADE-OFF BETWEEN I_{on} AND I_{off} AND DESIGN FOR MANUFACTURING

如果 V_t 被设定在非常高的值，亚阈值 I_{off} 将不会是个问题。但这是不能被接受的，因为一个高的 V_t 会降低 I_{on} ，从而降低电路速度。使用更高的 V_{dd} 可以提高 I_{on} ，但这是不可接受的，因为这会增加功耗。减小 L 能提高 I_{on} 但这样也会较小 V_t 并增加 I_{off} 。

QUESTION

下列哪些因素会导致同时衬底漏电的减小和 I_{on} 的增大？ 一个更大的 V_t ，一个更长的 L ，一个更小的 V_{dd} ？

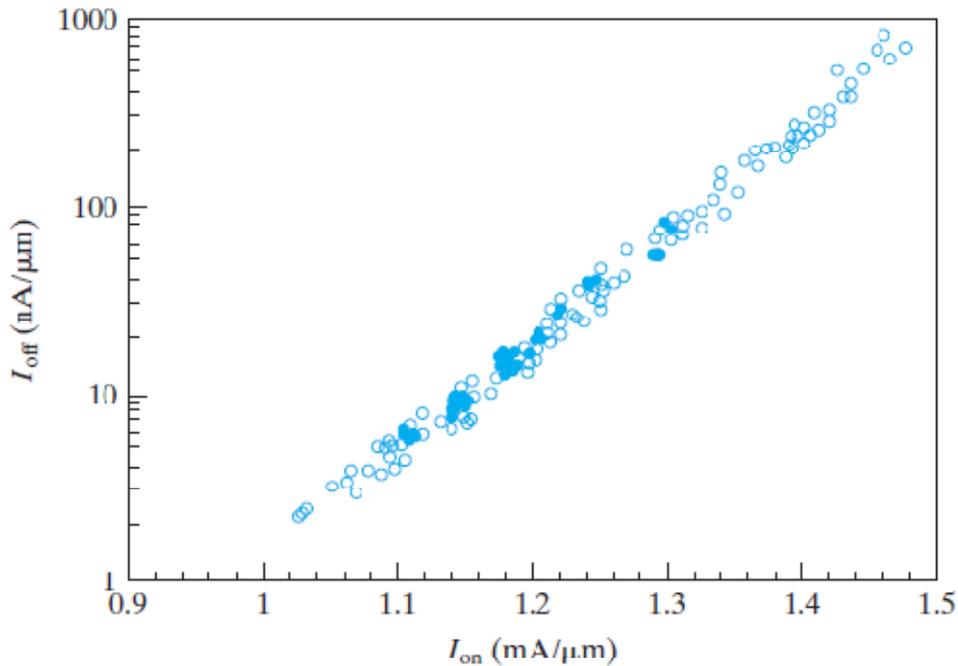


FIGURE 7-12 Log I_{off} vs. linear I_{on} . The spread in I_{on} (and I_{off}) is due to the presence of several slightly different drawn L_g s and unintentional manufacturing variations in L_g and V_t . (After [2]. © 2003 IEEE.)

图 7-12 显示了一个大量晶体管测试结果的 $\log I_{off}$ vs I_{on} 的曲线[2]。两者的折中是很明显的。更大的 I_{on} 会带来更大的 I_{off} 。 I_{on} (或 I_{off}) 的散布来自于 L_g 和 V_t 的偶然性的生产偏差和沟道长度的有意性偏差的组合。

技术已被开发出来用于 I_{on} 和 I_{off} 之间的折中，即速度和功耗。

一个工艺会提供给电路设计者 2 至 3 (甚至更多) 个 V_t 值来选择。一个大的电路可能首先仅使用高 V_t 值器件来设计。会进行电路时序仿真来识别那些速度需要调整的信号路径和电路。最后，低 V_t 器件被用于替换需要更高速度的那部分电路。一个相似的方法就是提供过的 V_{dd} 。高 V_{dd} 被应用于需要高速的一小部分电路，而低 v_{dd} 被用于其他电路。更高的 V_{dd} 提供了更高的速度，并允许使用更高的 V_t (以抑制漏电)。但同时动态功耗 (见等式 6.7.6) 能被控制地较低，因为大部分电路工作在低 V_{dd} 下。

诸如先微处理器这样的大电路中，仅一些电路模块在给定的时间内需要工作在高速状态，其他电流工作于低速或闲置状态。 V_t 可以被设置的较低以提供较大的 I_{on} ，这样电路可以工作于高速。一个阱偏置电压， V_{sb} (等式 6.4.6) 被应用于其他电路模块来提高 V_t ，抑制衬底漏电。这项技术需要智能控制电路来控制 V_{sb} 需要的地方和时间。

阱偏置技术也提供了一种方法来补偿芯片-芯片间，模块-模块间 V_t 的偏差，该偏差来自于器件间的非均匀性由于生产设备和工艺的不可避免的偏差。许多应用于生产和电路设计衔接的技术有助于缓解生产偏差的问题。这些技术被称为 DFM。一个主要的器件偏差原因是光刻工艺中对 L_g 的控制不完美。一些偏差或多或少来自于自然界的随机偏差。其他部分多少是可预测的，叫做系统误差。系统误差的一个例子是光刻失真由于相邻 pattern 的光影的干扰。

精心制作的 OPC 重塑光罩板的每个 pattern 来补偿相邻 pattern 的影响。另一个例子载流子迁移率的变化，MOSFET 的电流被相邻结构产生的机械 stress effect 改变，例如 shallow trench isolation 或者其他 MOSFET。高级的仿真工具可以分析机械应力 (mechanical strain)，并基于相邻结构预测 I_{on} ，给电路仿真器提供 I_{on} 信息来获得更精确的仿真结果。一个随机偏差的例子是由光刻胶和多晶硅 (poly-crystalline Si) 的颗粒物引起的 gate edge roughness 或者波纹边 (waviness)。另一个随机偏差的例子是随机掺杂物波动 (random dopant fluctuation) 现象。一个小尺寸 MOSFET 内的掺杂原子的数量和它们位置的统计偏差产生了阈值电压的很大变化。这要求在电路设计中，要采用复杂的设计技术，包括芯片内核芯片间随机偏差。

7.8 ULTRA-THIN-BODY SOI AND MULTIGATE MOSFETs

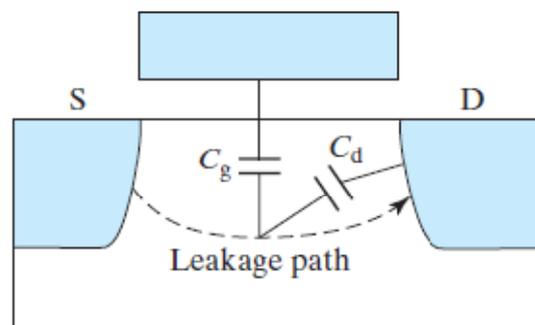


FIGURE 7-13 The drain could still have more control than the gate along another leakage current path that is some distance below the Si surface.

有多种 MOSFET 结构，可减小受 V_t roll-off 影响，并允许栅极长度缩小超过传统 MOSFET 的限制。图 7-6 给出了由图 7-5 所示的栅极和漏端之间沟道势垒高度的简单示意比较图。我们想要最大化栅极-沟道间的电容，最小化漏端-沟道间的电容。同达到前者的目标，我们可以尽可能减小 T_{ox} 。为达到后者目标，我们可以尽可能降低 W_{dep} 和 X_j 。缩小这些尺寸越来越困难了。实际的状况是更糟。在亚阈值区， T_{ox} 是 T_{oxe} (等式 7.3.4) 很小的一部分，因为反型层厚度 T_{inv} (见 5.9 节) 很大。假设 T_{ox} 被制作的极小。这会给栅极一个完美的对势垒高度控制能力，但这仅在 Si 表面是有效的。沿着其他漏电路径，如图 7-13 中 Si 表面下的一点距离，drain 端比 gate 端有更大的控制能力。在这个下层的 (submerged) 区域，栅极离得较远，栅极控制力很弱。Drain 端电压能下拉势垒高度，来允许漏电流流过这个下沉区域。有 2 种晶体管结构可以消除这个远离栅极的漏电路径[10]。一种是 ultra-thin-body MOSFET or UTB MOSFET。另一种是 multigate MOSFET。他们的描述如下。

7.8.1 Ultra-Thin-Body MOSFET and SOI

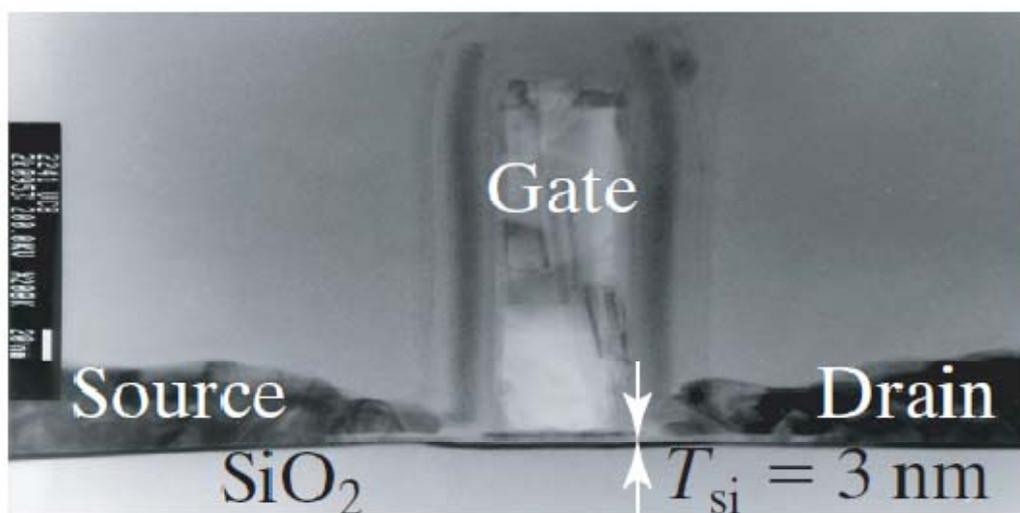


FIGURE 7-14 The SEM cross section of UTB device. (After [11]. © 2000 IEEE.)

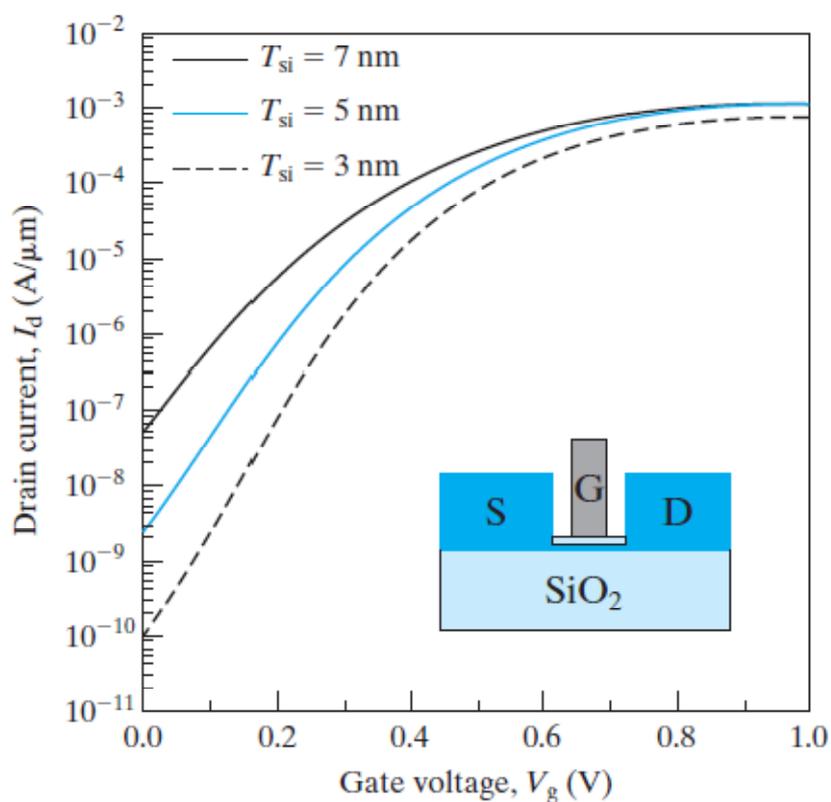


FIGURE 7-15 The subthreshold leakage is reduced as the Si film (transistor body) is made thinner. $L_g = 15 \text{ nm}$. (After [11]. © 2000 IEEE.)

有 2 种方法来消除这些下沉漏电路径。一个是使用 ultra-thin-body 结构，如图 7-14[11]。这种晶体管被制作在一个绝缘层 (SiO₂) 上的 Si 薄膜内。由于 Si 膜很薄，多数小于 10nm，没有漏电路径，并远离栅极 (最差情况的漏电路径是沿着 Si 薄膜的底部。) 因此，栅极可以有效的抑制漏电。图 7-15 显示了亚阈值漏电随着 Si 膜的变薄而较小。也显示了，薄的 Si 厚度可以替换等式 7.3.4 中的 w_{dep} 和 x_j ，这样 L_g 可以近似随 T_{si} ，Si 的厚度等比例缩小。Tis 应该比栅极长度小一半，以获得 UTB MOSFET 在 scaling 上的优势。UTB MOSFET，像下一节中的 Multigate MOSFET，提供

了额外的器件优势。因为可以不重沟道掺杂而获得小的 ld (等式 7.3.4), 载流子迁移率也被改善。对电路速度有决定性作用的 **body effect** (见 6.4 节) 也可被消除, 因为衬底是完全耗尽的, 可悬空, 不接固定电亚。UTB MOSFET 的一个挑战是较大的 source/drain 电阻由于他们的厚度。解决方法是通过外延沉淀来加厚 source/drain。被抬高的 source/drain 见图 7-14.7-15。

● SOI-Silicon on Insulator ●

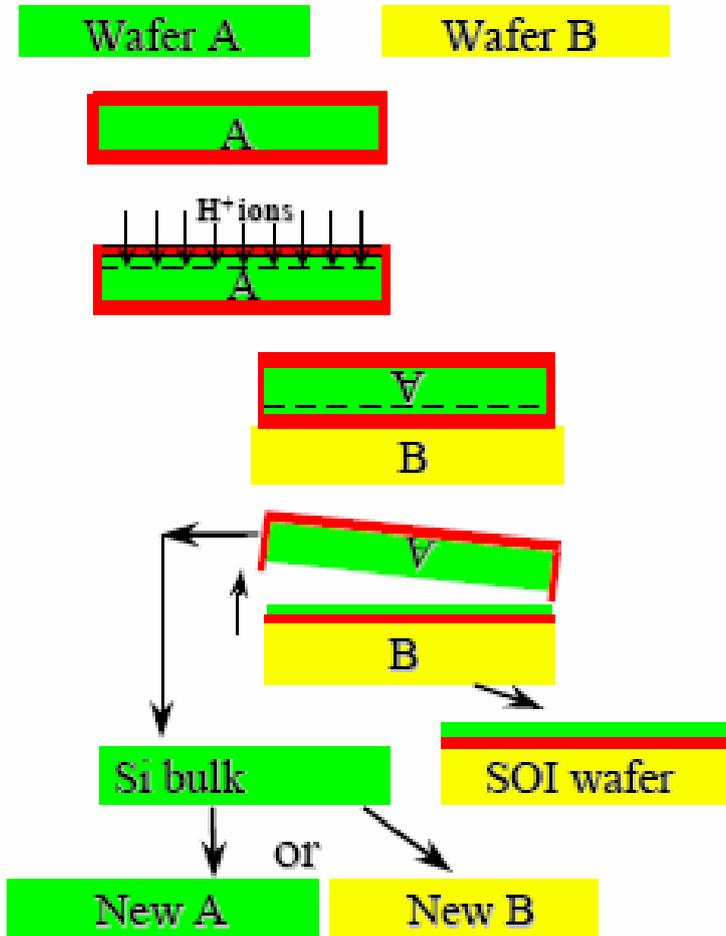


图 7-16 显示了制作 SOI 晶圆的步骤 (传统的晶圆有时被称为 **bulk silicon** 晶圆, 以示区别)。步骤 1 是向硅晶圆注入氢原子, 该硅晶圆表面有一层 SiO₂ 膜。氢原子浓度在表面下距离 D 处达到峰值。步骤 2 是将第一枚晶圆翻转放在第 2 枚晶圆上。这 2 枚晶圆通过原子的化学键力粘着在一起。一个低温的退火引起这 2 枚晶圆融合在一起。步骤 3 是应用另一个退火步骤使得注入的氢原子在深度 D 处, 聚合在一起形成一个很小的氢原子气泡。这会产生充分的机械应力来破坏这个接合面。最后一步, 步骤 4, 抛光这枚晶圆。自此, SOI 晶圆完成待用。

这层 Si 膜有很高的质量, 适合于 IC 生产。即使不使用 **ultra-thin body**, SOI 提供了一个速度优势, 因为 source/drain-body 的结电容几乎是被去除的, 当 source 和 drain 扩散区垂直地延伸到 **buried oxide**。SOI 晶圆的成本要高于一般的晶圆, 增加了 IC 芯片的成本。基于这些原因, 到目前为止, 仅一些高价格和有高速要求的微处理器采用了这种工艺。图 7-17 是一个 SOI 工艺产品的电子显微照片。SOI 工艺还有其他引人注目的应用, 因为它为制作新型的结构, 诸如 **ultra-thin-body MOSFET** 和一些 **multigate MOSFET** 结构, 它们可用于进一步缩小栅极长度, 相比衬底型 MOSFET, 提供了额外的灵活性。

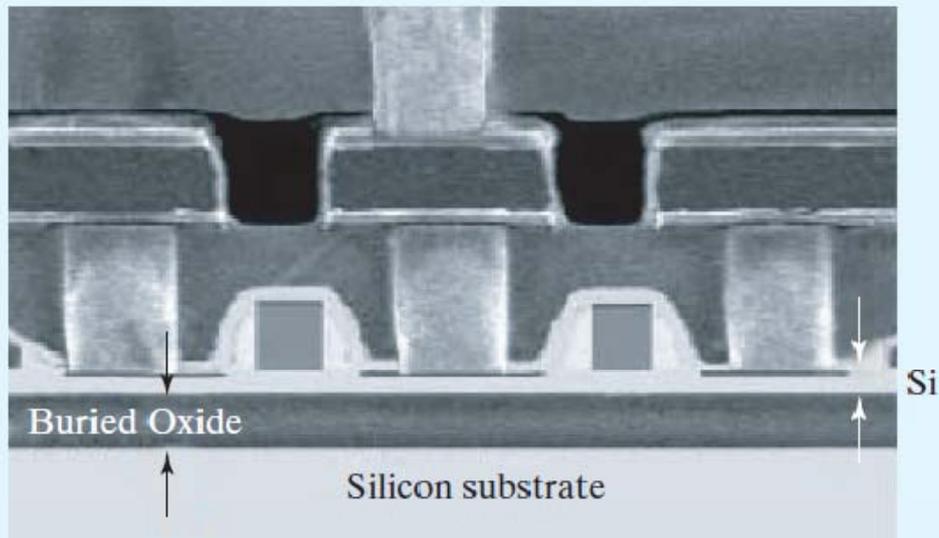


FIGURE 7-17 The cross-sectional electron micrograph of an SOI integrated circuit. The lower level structures are transistors and contacts. The upper two levels are the vias and the interconnects, which employ multiple layers of materials to achieve better reliability and etch stops.

7.8.2 FinFET - Multigate MOSFET

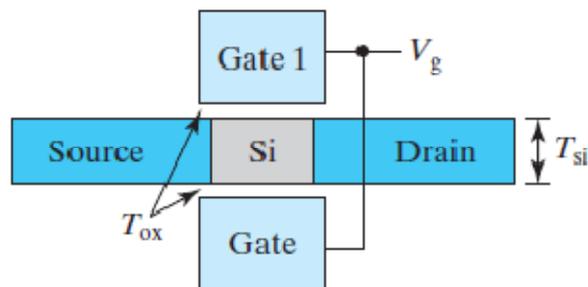


FIGURE 7-18 A schematic sketch of a double-gate MOSFET with gates connected.

第 2 种去除深下沉漏电路径的方法是从沟道另一侧给出栅极控制，如图 7-18。Si 膜非常薄以至于在 2 个栅极间没有漏电（最差路径是沿着 Si 膜的中心）。因此，2 个栅极能更有效的抑制漏电，相比于传统 MOSFET。因为他们有超过一个的栅极，这种结构被称为 multigate MOSFET。图 7-18 的结构为双栅极 MOSFET。缩小 T_{si} 自动地减小 W_{dep} 和 X_j （等式 7.3.4）， V_t roll-off 能被抑制以缩小 L_g 至几纳米级别。因顶部和底部的栅极处于相同的电压，Si 膜是充分耗尽的，Si 表面的电势在亚阈值范围内随着 V_{gmv} 级变化有 mv 级的上下移动。有图 7-2c 所示的电压分压效果就不存在了，等式 7.2.4 的 η 等于理想的 1， I_{off} 非常小。不必重掺杂沟道来降低 W_{dep} 。这导致了很小的垂直电场和很少的杂质散射，结果迁移率很高（见 6.3 节）。最后，有 2 个沟道（顶部和底部）来导通晶体管电流。基于这些原因，一个 multigate MOSFET 可以比单栅极 MOSFET 有更短的 L_g ，更低的 I_{off} ，和更大的 I_{on} 。但是，有一个问题，如何生产 multigate MOSFET？

有一种 multigate 结构是非常有吸引力的，由于其简单的生产方法，如图 7-19。考虑图 7-19 的中心结构。工艺由一枚 SOI 晶圆或一枚衬底 Si 晶圆开始。通过光刻和刻蚀来制作一片薄鳍（fin）形的 Si。栅氧生长在鳍形的表面上。多晶硅栅材料被沉淀在鳍形上，栅极由光刻和刻蚀形成。最后，进行 source/drain 注入。

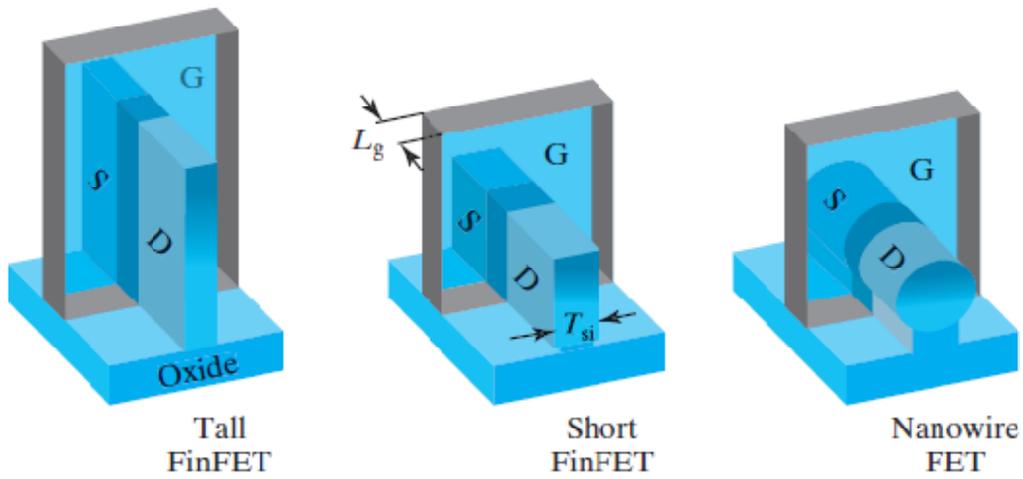


FIGURE 7-19 Variations of FinFET. Tall FinFET has the advantage of providing a large W and therefore large I_{on} while occupying a small footprint. Short FinFET has the advantage of less challenging lithography and etching. Nanowire FET gives the gate even more control over the transistor body by surrounding it. FinFETs can also be fabricated on bulk Si substrates.

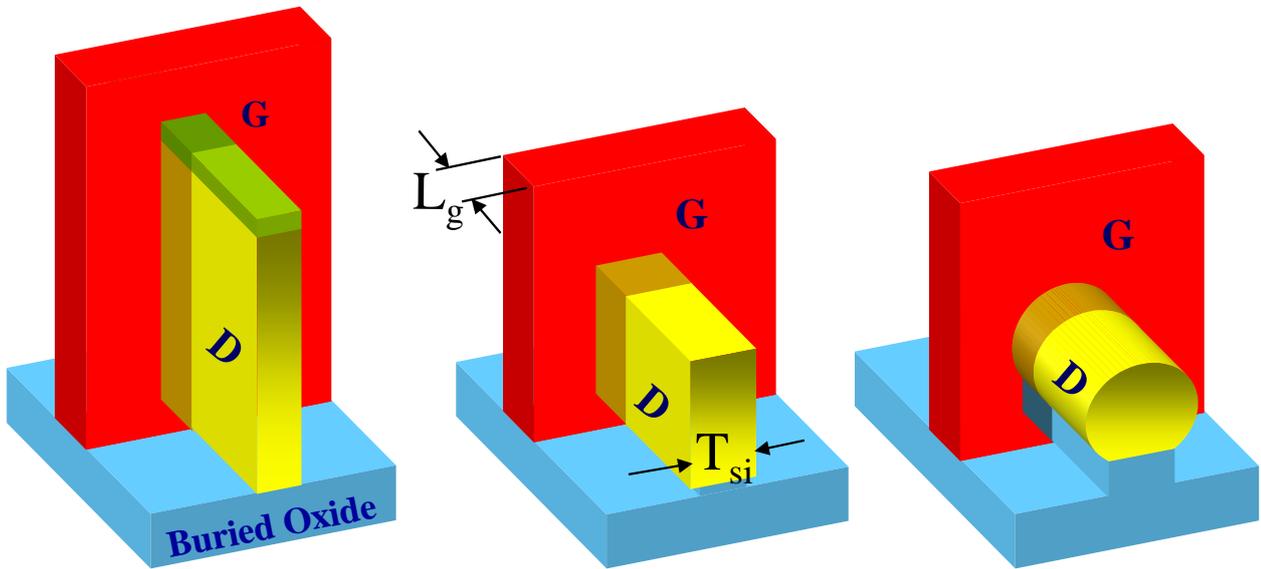


图 7-19 中最终的结构是图 7-18 示意图形成的基本的 multigate 结构。这种结构被称为 FinFET，因为它的 Si 衬底类似于鱼的背鳍[13]。沟道有 2 个垂直的表面和鳍的顶部组成。沟道宽度 W ，是 2 倍的鳍高度和鳍宽度之和。FinFET 的一些变化，如图 7-19。高的 FinFET 可以提供大的 W ，因此有大的 I_{on} ，而占用很小的面积。短的 FinFET 不需要复杂的刻蚀。在这种情况下，鳍顶部表面能很好的抑制 V_t roll-off 和控制漏电。这种结构也被称为 3 栅 MOSFET。第 3 种变化使得栅极能更多的控制 Si 线的周围。它也可称为 nanowire FET，它的行为如图 7-20 所示，它可以使用建模基本 MOSFET 的方法和概念来建模。FinFET 的 L_g 可以小至 3nm，已被实验成功。它将使晶体管缩小比例超越传统平面晶体管的比例限制。

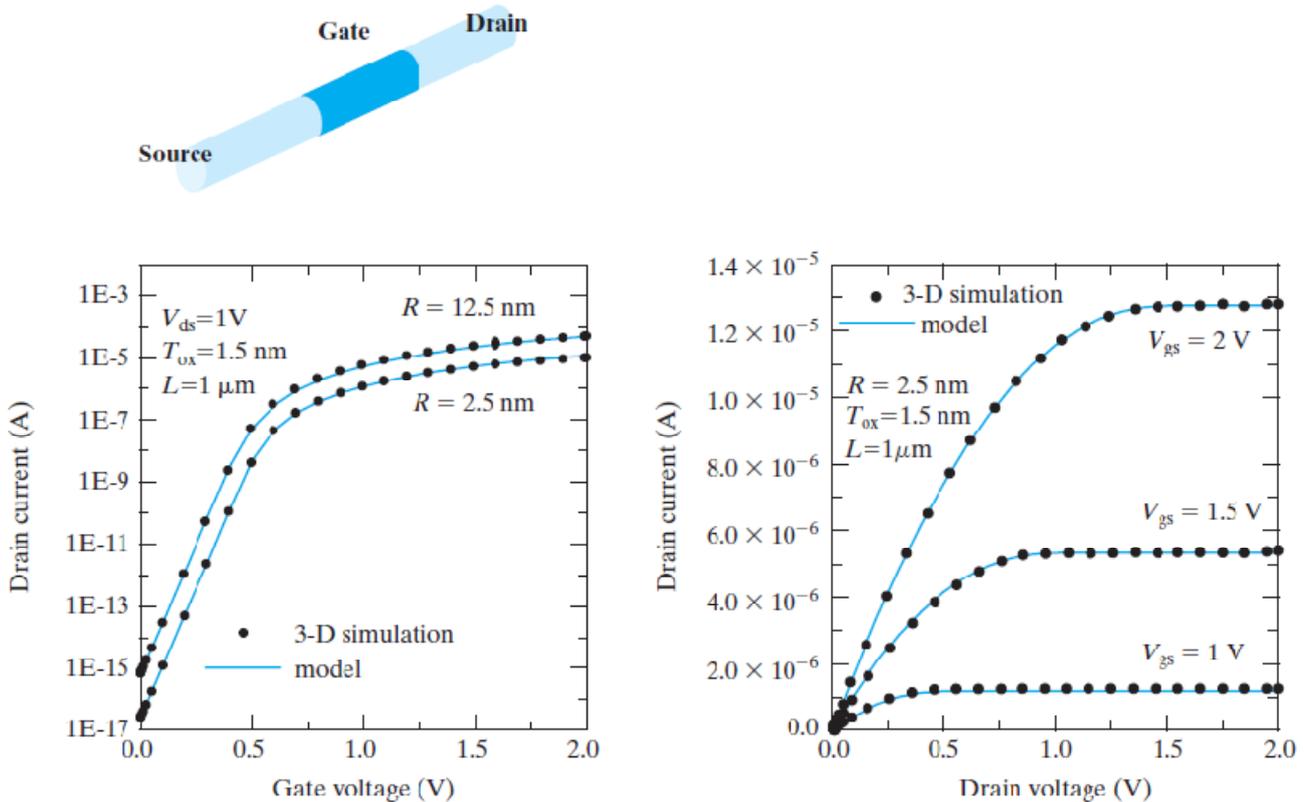


FIGURE 7-20 Simulated I-V curves of a nanowire MOSFET. R is the nanowire radius. (After [16].)

7.9 OUTPUT CONDUCTANCE

输出导纳限制了晶体管的电压增益。这已在 6.13 节中说明。然而，它的原因和理论与 V_t roll-off 的成因和理论有密切关系。因此，本章节是一个合适的地方来解释它。

那个器件参数决定了输出导纳？让我们从公式 6.13.1 开始，

$$g_{ds} \equiv \frac{dl_{dsat}}{dV_{ds}} = \frac{dl_{dsat}}{dV_t} \cdot \frac{dV_t}{dV_{ds}} \quad (7.9.1)$$

因为 I_{ds} 是 $V_{gs}-V_t$ 的函数[等式 6.9.11]，很明显

$$\frac{dl_{dsat}}{dV_t} = \frac{-dl_{dsat}}{dV_{gs}} = -g_{msat} \quad (7.9.2)$$

最后一步是定义 g_{msat} ，由等式 6.6.8 给出。借助等式 7.3.3，7.9.1 可以推导出

$$g_{ds} = g_{msat} \times e^{-L/l_a} \quad (7.9.3)$$

$$\text{Intrinsic voltage gain} = \frac{g_{msat}}{g_{ds}} = e^{-L/l_a} \quad (7.9.4)$$

本征电压增益由等式 6.13.5 给出。等式 7.3.3 表明增加 V_{ds} 可以减小 V_t 。这就是为是么 I_{ds} 持续地增加而不会饱和。输出导纳由 drain/channel 电容耦合引起, 这和 V_t roll-off 是相同的机理。这就是为是么短沟道的 MOSFET 有更大 g_{ds} 。为了减小 g_{ds} 或增加本征增益，我们可以增大 L 或减小 l_d 。当需要大的电压增益时，电路工程师常规地会使用比工艺规定的最小尺寸大得多的 L 。减小 l_d 是器件工程师的工作，等式 7.3.4 是他们层的指导。每一次设计的改变改善了 V_t roll-off，也减小了 g_{ds} , 提高了电压增益。

V_t 对 V_{ds} 的依赖性短沟道 MOSFET 输出导纳主要原因。长的 L 下， V_{ds} 靠近 V_{dsat} ，另一个对 g_{ds} 主要的贡献机理是沟道长度调制。一个 $V_{ds}-V_{dsat}$ 的电压差值损失在到 drain 端的沟道上。这个距离随 V_{ds} 增加而增加。结果，有效的沟道长度随着 V_{ds} 增加而减小。反比于 L 的 I_{ds} 会一直增加而达不到真正的饱和。受沟道长度调制影响的 g_{ds} 近似为

$$g_{ds} = \frac{l_d \cdot I_{dsat}}{L(V_{ds} - V_{dsat})} \quad (7.9.5)$$

l_d 由等式 7.3.4 给出。 g_{ds} 的部分可以由大的 L ，小的 T_{ox} ， X_j ， W_{dep} 来抑制。

7.10 DEVICE AND PROCESS SIMULATION

现在有商业化的计算机仿真工具来精确（几乎无近似的）计算本书中所有的公式（例如，使用 Fermi-Dirac 统计，而不是 Boltzman 近似）。这些公式能被同时求解出，例如，Fermi-Dirac 概率，不完整的掺杂物离子化，漂移和扩散电流，电流连续性公式，泊松公式。器件仿真是一个重要的工具给工程师提供了对器件行为的快速反馈。这缩窄了需要使用昂贵和耗时的设备来检查的变量的数量。仿真结果的例子如图 7-15 和 7-20. 每个图表是花费了几分钟至几小时仿真时间来获得的。

除了器件仿真，还有工艺仿真。由用户给工艺仿真工具提供输入是光罩掩模 pattern，注入剂量，能量，温度，氧化层生长和退火步骤时间等。工艺仿真器会产生一个 2 维或 4 维结构，包含了所有沉积，或生长，刻蚀薄膜和掺杂区域。输出结果可以连同器件施加的电压和工作温度一共返回给器件仿真器。

7.11 MOSFET COMPACT MODEL FOR CIRCUIT SIMULATION

电路设计者可以精确的，有效的，可靠的，仿真包含几百至几千，甚至更多 MOSFET 的电路。精确度必须保证 DC 操作，RF 操作，模拟电路，数字电路，memory，微处理器 IC。在电路仿真中，MOSFET 由分析公式来建模，这些

公式如本章或之前 2 章中给出的公式。模型公式中引入了比书本给出的更多的细节，这些模型被称为集总模型以强调他们的计算有效性，相比于 7.10 节中的器件仿真器。

可以说集总模型 (layout design rules) 是半导体工业的 2 部分—工艺/生产和设计/产品的纽带。一个集总模型必须包含 MOSFET 在宽范围电压, L , W 和温度上所有细微的行为, 并以公式的形式呈现给电路设计者。一些电路设计技术, 诸如模拟电路设计, 会直接使用电路仿真。其他设计技术使用单元库。一个单元库是几个白个小电路模块的集合, 它们被仔细的设计和特性化, 以供电路仿真使用。

在一段时间内, 几乎每个公司都会开发它们自己的集总模型。在 1997 年, 一个工业标准组织选择 BSIM 作为第一个工业标准模型。如果 BSIM 的 I_{ds} 公式被发表在 paper 上, 会占用好几页的页面。

图 7-21 显示了集总模型和测量结果的比较以说明集总模型的可靠性[19]。对集总模型来说, 对电路设计者要求的任何 L 和 W 都要精确的建模晶体管行为。图 7-22 显示了这种能力。最后, 一个好的集总模型通过使用简单的模型公式必须提供快速的仿真时间。除了 N 和 P 晶体外, 模型也包含了电容模型, 栅极电介质漏电模型, source/drain 结二极管模型。噪声和高频模型通常也被提供。

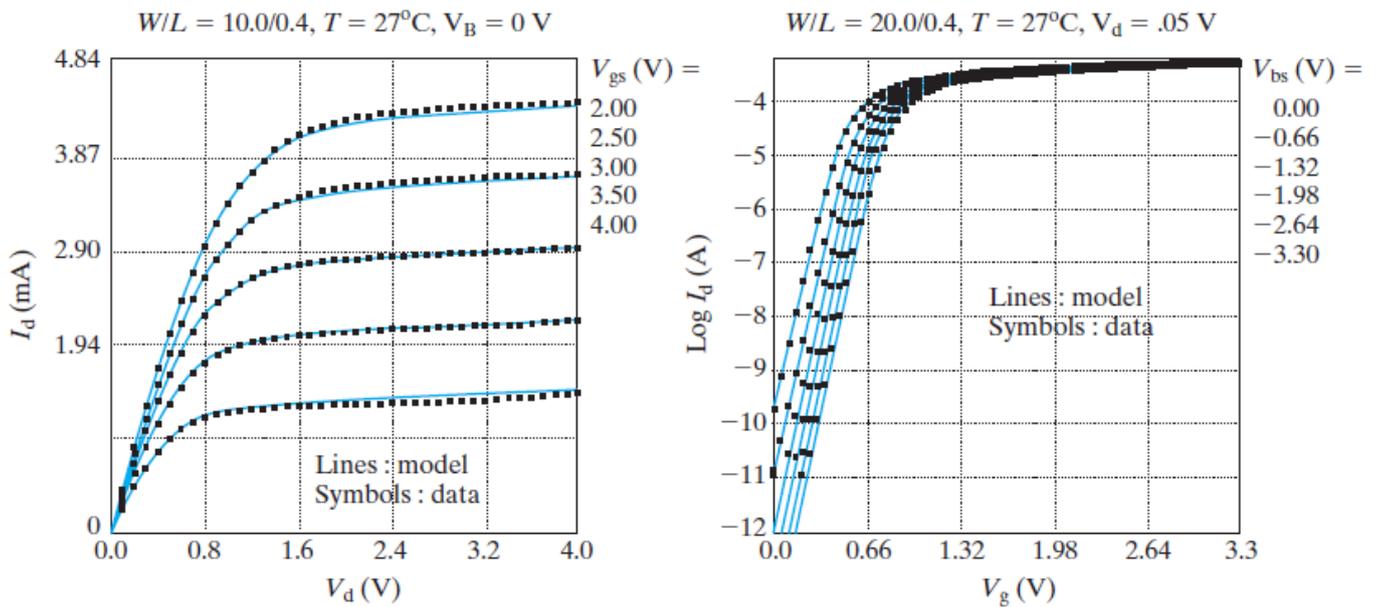


FIGURE 7-21 Selected comparisons of BSIM and measured device data to illustrate the accuracy of a compact model. (After [18].)

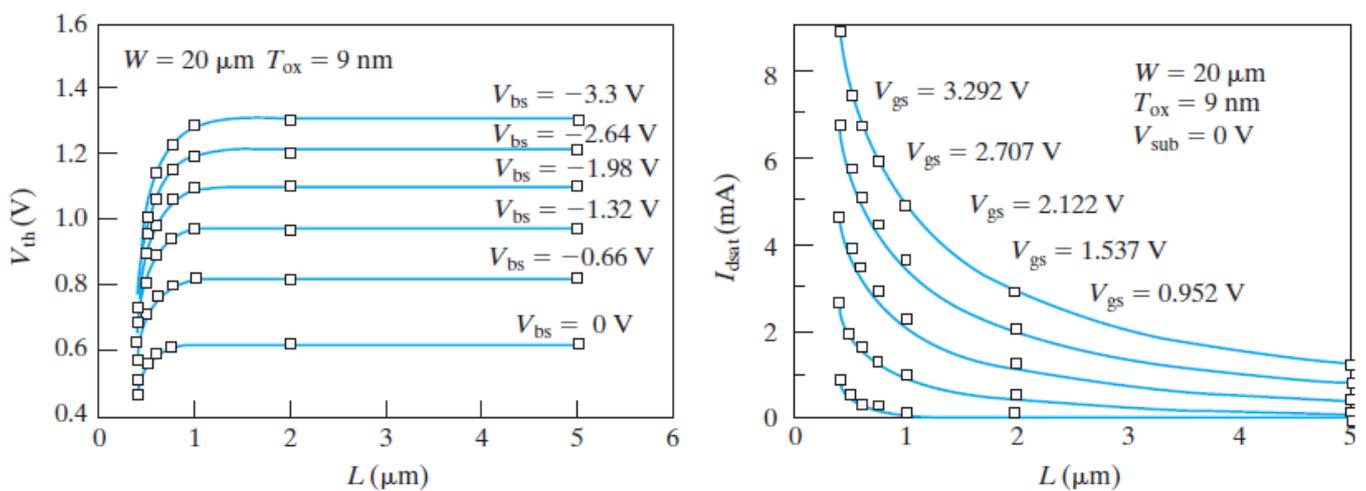


FIGURE 7-22 A compact model needs to accurately model the transistor behaviors for any L and W that circuit designers may specify. (After [19]. © 1997 IEEE.)

7.12 CHARTER SUMMARY

为了降低成本，改进速度以应对新的应用，晶体管和互连线被周期性地缩小。非常小的 MOSFET 被证明拥有很大的漏电流，被称为 I_{off} 。 I_{off} 的基本组成部分是亚阈值电流。

$$I_{off}(nA) = 100 \cdot \frac{W}{L} \cdot e^{-qV_t/\eta kT} = 100 \cdot \frac{W}{L} \cdot 10^{-V_t/S} \quad (7.2.8)$$

S 是亚阈值摆幅。为了使 I_{off} 低于给定的水平，需要一个最小的可接受 V_t 。不幸的是，大的 V_t 对 I_{on} 和速度是有害的。因此，通过降低 $Toxe/Wdep$ 的比值来降低 S 是很重要的。而且， V_t 随 L 而减小，这现象被称为 V_t roll-off, 由 DIBL 引起。

$$V_t = V_{t-long} - (V_{ds} + 0.4V) \cdot e^{-L/l_d} \quad (7.3.3)$$

$$\text{where } I_d \propto \sqrt[3]{T_{oxe} W_{dep} X_j} \quad (7.3.4)$$

由于 V_t 是 L 的敏感函数，即使很小（几 nm）的生产误差都会引起 V_t , I_{off} , I_{on} 的有害变化。为了允许 L 减小，等式 7.3.3 表明， I_d 必须被降低，即 $Toxe$, $Wdep$, 和/或 X_j 必须被减小。

Tox 的减小几乎受限于栅极隧穿漏电（gate tunneling leakage），这可以通过使用高- k 介质，诸如 HfO_2 替代 SiO_2 来抑制。金属栅极通过消除 poly-Si 栅极耗尽效应可以减小 $Toxe$ 。

$Wdep$ 可以通过 retrograde body doping 来减小。 X_j 可以通过 mS flash annealing（退火）或者金属源-漏 MOSFET 结构来减小。 X_j 和 $Wdep$ 也可通过 ultra-thin body SOI 器件结构或者多栅极 MOSFET 结构来减小。更重要的是，这些新结构消除了更脆弱的漏电路径，它离栅极是最远的。

等式 7.3.3 也提供了一个理论，短沟道晶体管的输出导纳为，

$$g_{ds} = g_{msat} \times e^{-L/l_d} \quad (7.9.3)$$