

CMOS 闩锁效应及其预防措施

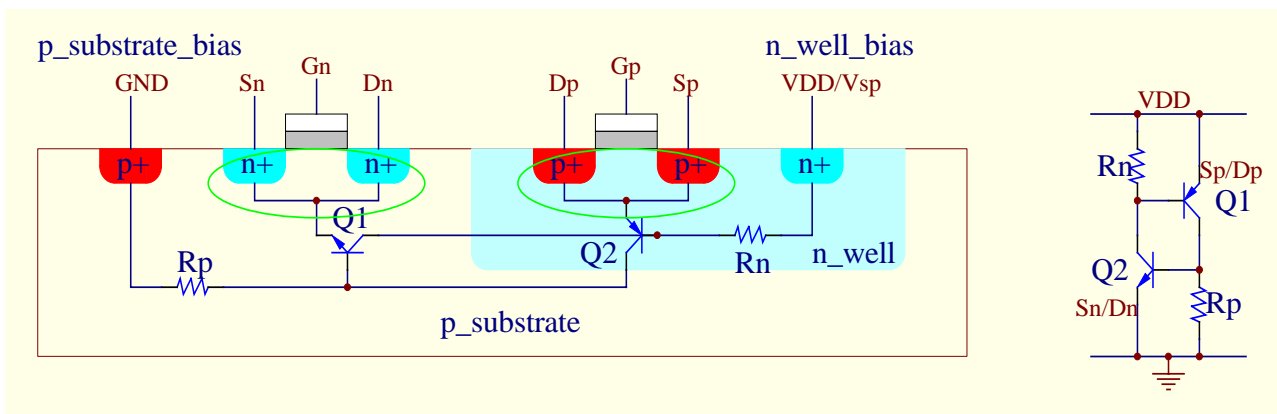
AUTHOR:WANGQQ10548377

一. N 阱 CMOS 工艺闩锁效应及其预防措施

1.1 闩锁效应

在 CMOS 电路中 PMOS 和 NMOS 经常作互补晶体管使用，它们相距很近，可以形成寄生可控硅结构，一旦满足触发条件，将使电路进入低压大电流的状态，这就是闩锁效应。

1.2 N_WELL CMOS 工艺中的典型 PNP 可控硅结构及其等效电路



潜在的发射极(结)：

如上图所示，绿色标出区域是潜在的发射极(结)，当这些 MOSFET 作为 I/O 器件时，由于信号的大于 VDD 的 overshoot，可能使 PMOS 的源/衬结、漏/衬结和沟道中感应的纵向 PN 结(这些都是纵向寄生 PNP BJT 的发射结)正偏而发射空穴到 N_WELL 中，接着在 N_WELL 和衬底的 PN 结内建电场的驱动下，漂移进入 P 衬底，最终可能被横向寄生 NPN BJT 吸收而形成强耦合进入 latch 状态；同理，由于信号的小于 GND 的 undershoot，可能使 NMOS 的源/衬结、漏/衬结和沟道中感应的纵向 PN 结(这些都是横向寄生 NPN BJT 的发射结)正偏而发射电子到 P 衬底中，接着在 N_WELL 和衬底的 PN 结内建电场的驱动下，漂移进入 N_WELL，最终可能被纵向寄生 PNP BJT 吸收而形成强耦合进入 latch 状态。

另外还有两种情形可能向衬底或 N_WELL 注入少数载流子，其一，热载流子效应；其二，ESD 保护，前者可采用加大沟道长度的方法来解决，后者可以采用在版图中追加少数载流子保护环的方法来解决。

1.3 产生闩锁效应的条件

1. 环路电流增益大于 1， $\beta_{npn}\beta_{pnp} \geq 1$ ；

2. 两个 BJT 发射结均处于正偏；
3. 能够在发射极形成一个比 PNP 器件维持电流大的电流。

1.4 预防措施

1.4.1 工艺技术预防措施

破坏寄生双极晶体管的特性，如通过工艺技术降低寄生 BJT 的电流增益，这些内容不作深入探讨。

1.4.2 版图布局设计预防措施

1. 吸收载流子，进行电流分流，避免寄生双极晶体管的发射结被正偏。

(1) 少数载流子保护环

形式：

第一种，它是位于 P 衬底上围绕 NMOS 的被接到 VDD 电平的 N+ 环形扩散区；

第二种，它是位于 P 衬底上围绕 NMOS 的被接到 VDD 电平的环形 N 阱。

【注：为节省面积，常常二者选其一，N 阱较深，N 阱少数载流子保护环保护效果更好，但面积稍大；如后续所述，N 阱内的少数载流子保护环保护效果不佳，几乎不用。】

作用：

提前收集本地发射极（结）注入衬底的少数载流子。

少数载流子保护环可以减少 P 衬底中潜在在发射极（结）发射的电子进入 N_WELL，若电子进入 N_WELL，则变成多子，在被 N 阱衬底偏置环（又称 N 阱接触）接收前，在 N 阱中流过的路径上形成一定的电压降，此电压降有可能使 N 阱中的纵向寄生 PNP BJT 的发射结（即 N 阱中 PMOS 的源/衬结和漏/衬结）正偏，从而向 N 阱衬底深处发射空穴——少数载流子。另外需要说明一点，由于 N 阱中的潜在发射极（结）发射的空穴是垂直向 P 衬底方向输运到集电极，即使在 N 阱表面布局少数载流子保护环，也丝毫不发挥任何作用，所以少数载流子保护环一般不用在 N 阱中。

(2) 衬底接触环

形式：

若采用普通 CMOS 工艺，它是位于芯片或某个模块四周的被接到地电平的 P+ 环形扩散区；

若采用外延 COMS 工艺，除了以上说明的以外，还包括晶圆背面被接到地电平的 P+ 扩散区。

作用：

收集 P 衬底中的空穴，进行电流分流，减小 P 衬底中潜在的横向寄生 NPN BJT 发射结被正偏的几率。

2. 减小局部 P 衬底（或 N 阱衬底）的电阻 R_n 和 R_p ，使 R_n 和 R_p 上的电压降减小，避免寄生双极晶体管的发射结被正偏。

(1) 多数载流子保护环

形式：

第一种，它是位于 P 衬底上围绕 NMOS 最外围的被接到地电平的 P+ 环形扩散区；

第二种，它是位于 N 阱中围绕 PMOS 最外围的被接到 VDD/VSp 电平的 N+ 环形扩散区。

【注：为节省面积，多数载流子保护环常常合并到衬底偏置环。】

作用：

P 衬底上围绕 NMOS 最外围的 P+ 多数载流子保护环用来吸收外来的（比如来自 N 阱内的潜在发射结）空穴；N 阱中围绕 PMOS 最外围的 N+ 多数载流子保护环用来吸收外来的（比如来自 N 阱外的潜在发射

结) 电子。

(2) 多条阱接触

形式:

一般用 N 阱内多数载流子保护环代替, 而为了节省面积, 多数载流子保护环又常常合并到衬底偏置环, 所以多条阱接触实际上常常由衬底偏置环来代替。

作用:

减小 N 阱内不同位置之间的电压降, 减小 N 阱内潜在的纵向寄生 PNP BJT 发射结被正偏的几率。

(3) 增加与电源线和地线的接触孔, 加宽电源线和地线, 以减小电压降。

3. 提高 PNP 可控硅结构的维持电流。

(1) 紧邻源极接触

形式:

假定 MOSFET 源衬相连,

第一种, 它是用金属层把 NMOS 的源极和紧邻的 P 衬底偏置环相连;

第二种, 它是用金属层把 PMOS 的源极和紧邻的 N 阱衬底偏置环相连。

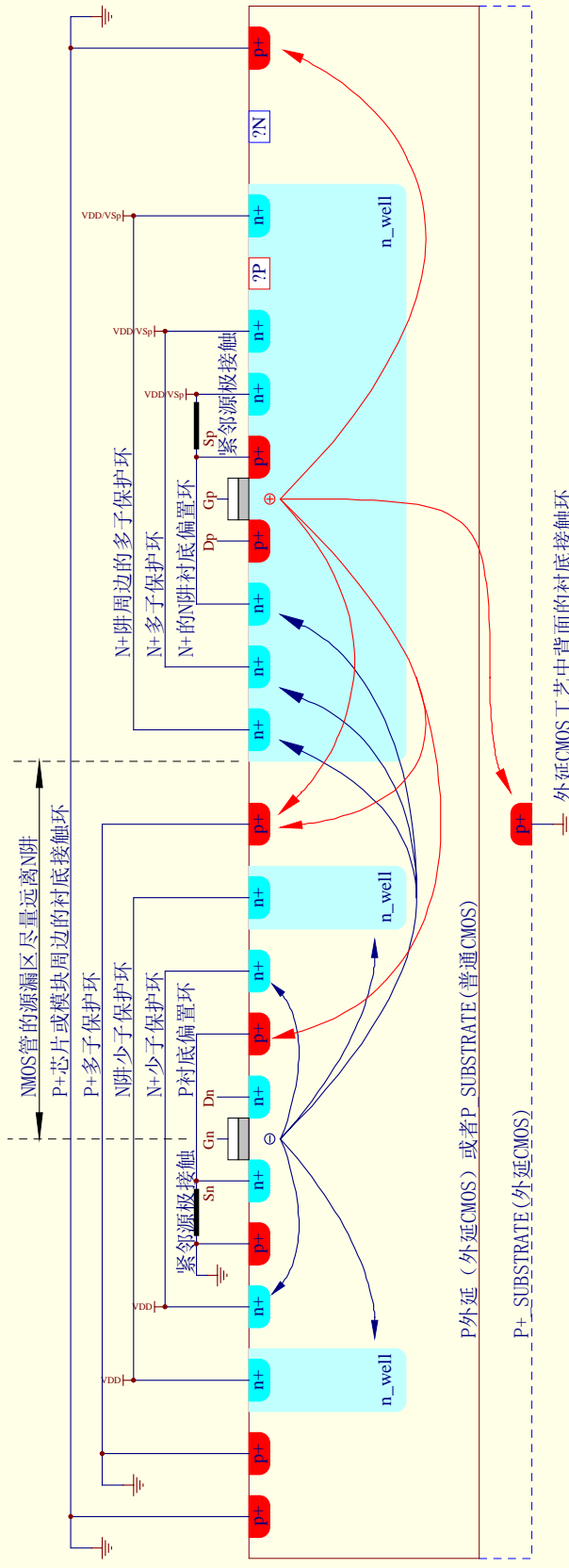
作用:

提高 PNP 可控硅结构的维持电流和维持电压, 减小 PNP 可控硅结构被触发的几率。

4. 减小横向寄生双极管的电流增益。

(1) 增大 NMOSFET 的源、漏极与含有纵向寄生 PNP BJT 的 N 阱之间的距离, 加大横向寄生 NPN BJT 的基区宽度, 从而减小 β_{npn} 。该措施的缺点是要增大版图面积。

5. 任何潜在发射极(结)的边缘都需要追加少数载流子保护环, 以提前吸收注入衬底的少数载流子。比如: ESD 保护二极管和 I/O 器件的周围都需要布局少数载流子保护环。
6. 在某些场合, 为避免电磁干扰(尤其是变化磁场的干扰), 这些保护环需要留有必要的开口, 不可闭合。
7. 为了节省面积, 这些保护环不一定要闭合, 只要达到有效吸收相关载流子的目的即可。
8. 根据实际需要, 这些措施可以有选择地使用。
9. 综合版图布局设计预防措施的示意图。



注: 1. ?N: 表示P衬底上别的器件; ?P: 表示N阱内别的器件。

2. 为节省面积, 可以把NMOS最外围的P+多子保护环和P+的P衬底偏置环合并, 省去最外围的P+多子保护环。

3. 为节省面积, 可以在NMOS周围的N+少子保护环和N阱少子保护环中选其一。

4. 由于N阱较深, 所以N阱少子保护环的保护效果较好, 但面积较N+少子保护环稍大。

5. 为节省面积, 可以把PMOS周围的N+多子保护环和N+的N阱衬底偏置环合并。

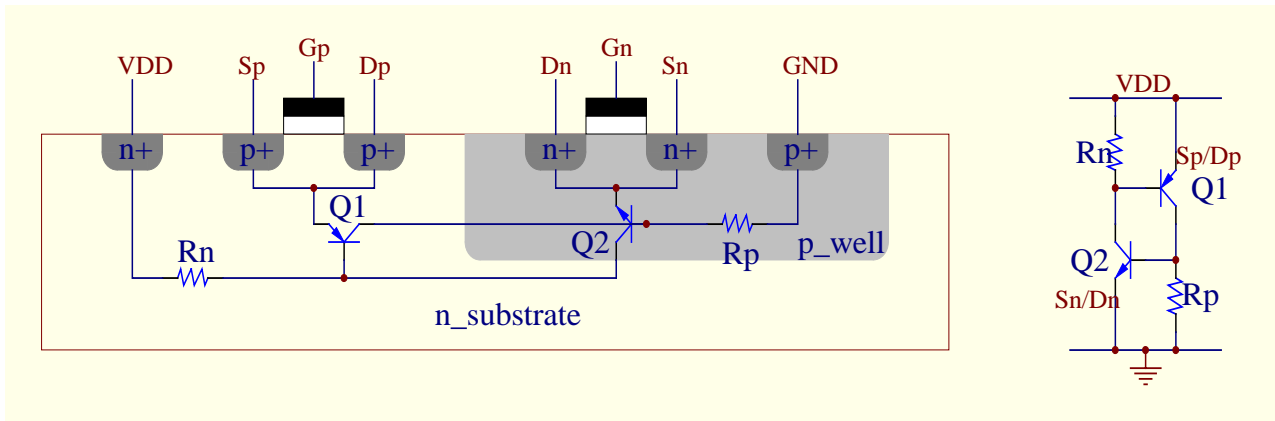
6. 在某些场合, 为预防电磁感应造成的干扰, 图中的保护环应该预留开口

剖面示意图

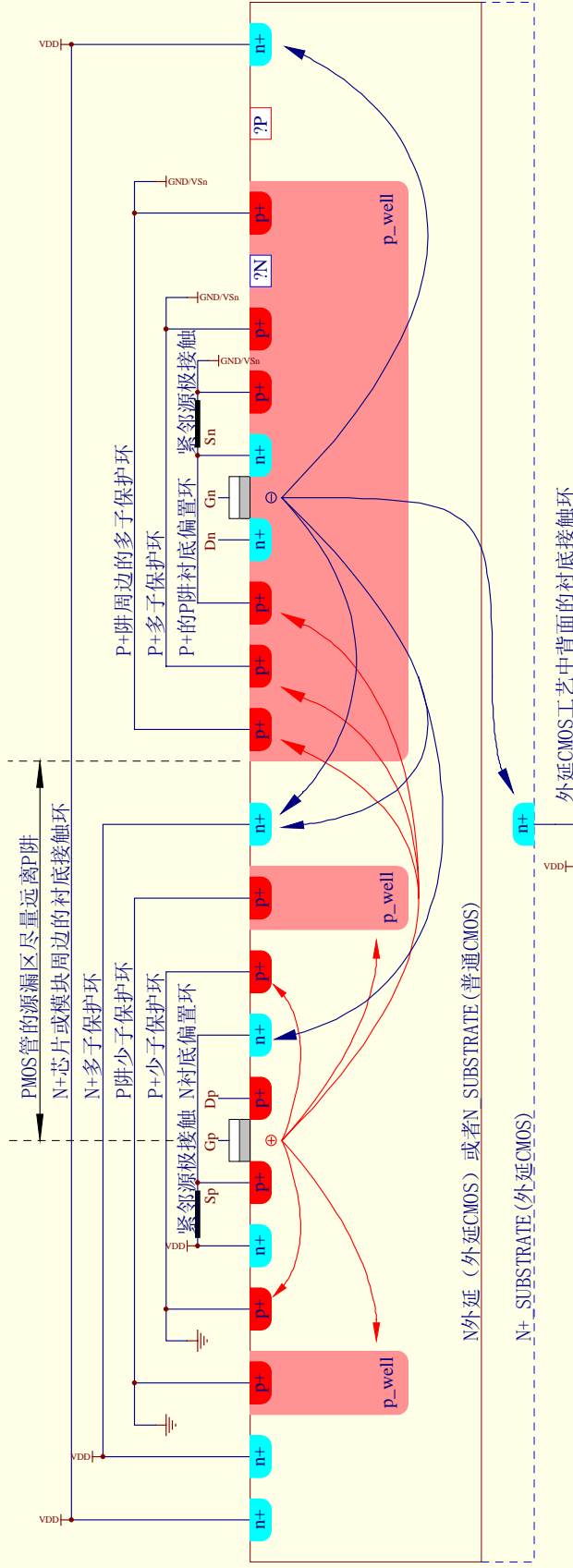
N阱CMOS工艺门锁效应版图布局设计预防措施剖面示意图

二. P 阱 CMOS 工艺闩锁效应及其预防措施

2.1 P_WELL CMOS 工艺中的典型 PNPN 可控硅结构及其等效电路



2.2 预防措施



注： 1. **[?N]** :表示P阱内别的器件； **[?P]** :表示N衬底上别的器件。

2. 为节省面积，可以把PMOS最外圈的N+多子保护环和N+的N衬底偏置环合并，省去最外圈的N+多子保护环。

3. 为节省面积，可以在PMOS周围的P+少子保护环和P阱少子保护环中选其一。

4. 由于P阱较深，所以P阱少子保护环的保护效果较好，但面积较P+少子保护环稍大。

5. 为节省面积，可以把NMOS周围的P+多子保护环和P+的P阱衬底偏置环合并。

6. 在某些场合，为预防电磁感应造成的干扰，图中的保护环应该预留开口

外延CMOS工艺中背面的衬底接触环

P阱CMOS工艺门锁效应版图布局设计预防措施剖面示意图

剖面示意图