

集成电路设计基础

第6章 CMOS版图设计基础

本章概要

- 版图设计入门
- 设计规则
- 基本工艺层版图
- **FET**版图尺寸的确定
- 版图设计方法
- 标准单元版图

6.1 版图设计入门

■ 设计目的

- Layout design: 定义各工艺层图形的形状、尺寸以及不同工艺层的相对位置。

■ 设计内容

- 布局: 安排各个晶体管、基本单元、复杂单元在芯片上的位置
- 布线: 设计走线, 实现管间、门间、单元间的互连
- 尺寸确定: 确定晶体管尺寸 (W 、 L)、互连尺寸 (宽度) 以及晶体管与互连之间的相对尺寸等

6.1 版图设计入门

版图设计的目标

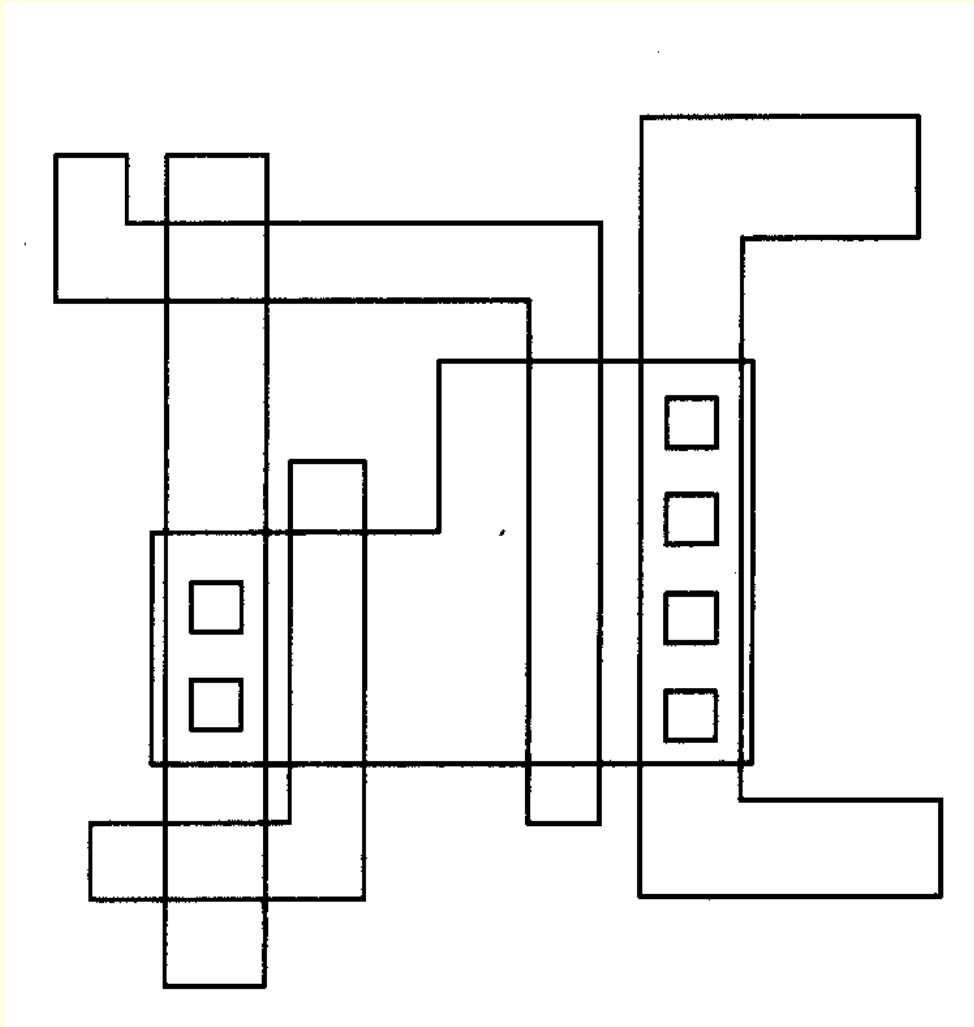
- 满足电路功能、性能指标、质量要求
- 尽可能节省面积，以提高集成度，降低成本
- 尽可能缩短连线，以减少复杂度，缩短延时、改善可靠性

6.1 版图设计入门

- 版图编辑
 - 规定各个工艺层上图形的形状、尺寸、位置
(Layout Editor)
- 规则检验
 - 版图与电路图一致性检验 (LVS, Layout Versus Schematic)
 - 设计规则检验 (DRC, Design Rule Checker)
 - 电气规则检验 (ERC, Electrical Rule Checker)
- 布局布线
 - Place and route, 自动给出版图布局与布线

6.1 版图设计入门

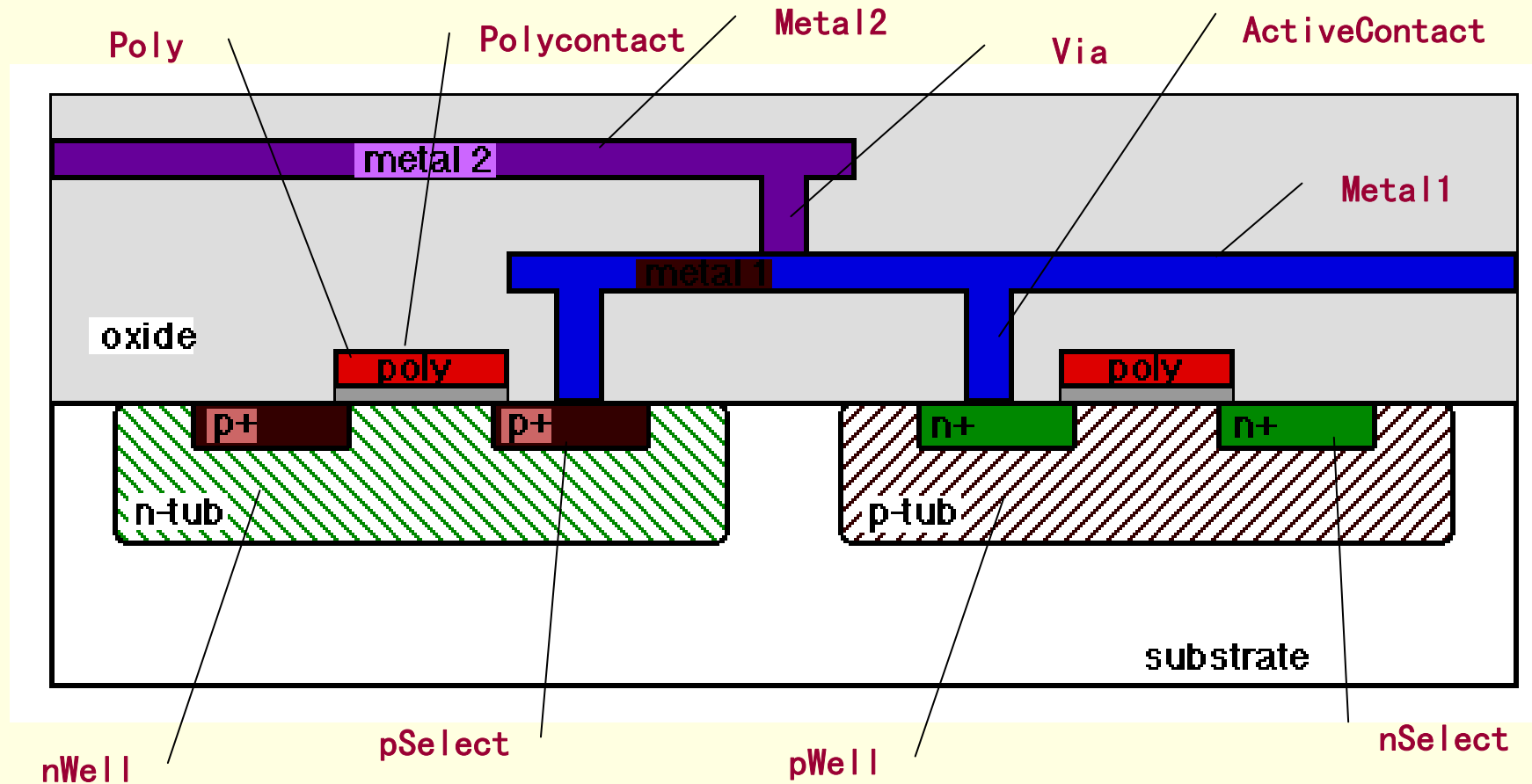
曼哈顿形状



EDA工具允许画各种形状的图形，但大多数版图设计成为直角三角形的组合，称之为“曼哈顿几何形状”。

6.1 版图设计入门













CMOS工艺层



6.1 版图设计入门



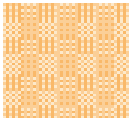
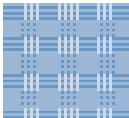
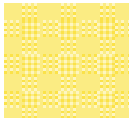
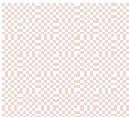

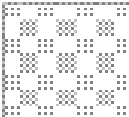


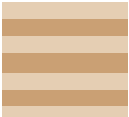




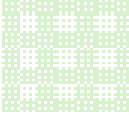
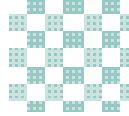

CMOS掩模版次

N 阱
双层金属化
CMOS
工艺版次

名称	符号	常用颜色	常用图形	本书图形
n阱	nwell	Yellow		
有源区	Active	Green		
多晶	Poly	Red		
p选择	pSelect	Green		
n选择	nSelect	Green		
有源区接触	Activecontact	Black		
多晶接触	Polycontact	Black		
金属1	Metal1	Glue		
通孔	Via	Black		
金属2	Metal2	Magenta		
覆盖玻璃2	Overglass			

6.1 版图设计入门

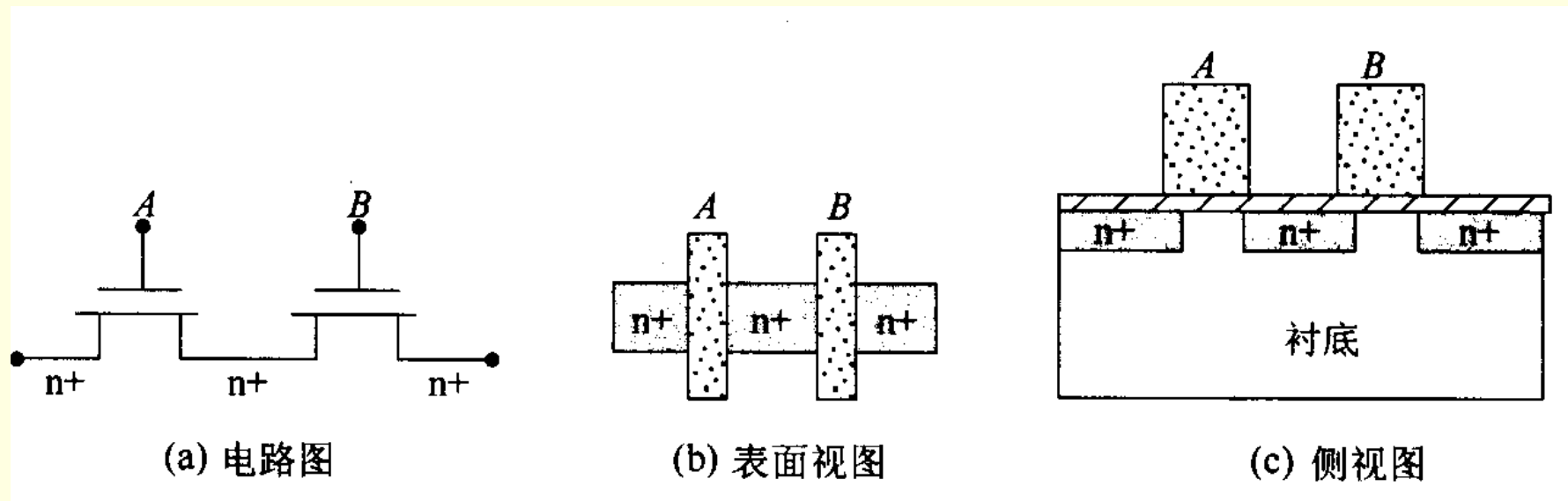
0.25umCMOS掩模版次

Layer Description	Representation				
metal	 m1	 m2	 m3	 m4	 m5
well	 nw				
polysilicon	 poly				
contacts & vias	 ct	 v12,v23,v34,v45	 nwc	 pwc	
active area and FETs	 ndif	 pdif	 nfet	 pfet	
select	 nplus	 pplus	 prb		

6.1 版图设计入门

2个nFET串联

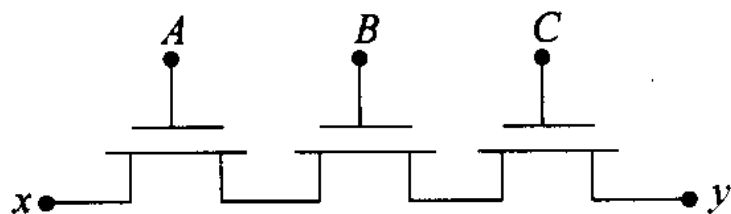
两个串联的nFET（有1个n+区被共享）



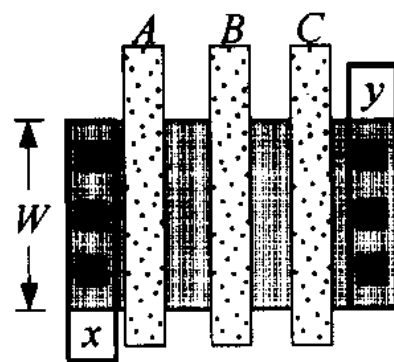
6.1 版图设计入门

3个nFET串联

三个串联的nFET（有2个n+区被共享）



(a) 电路图



(b) 表面视图

- 多晶(栅)
- n+/p+
- 金属
- 接触

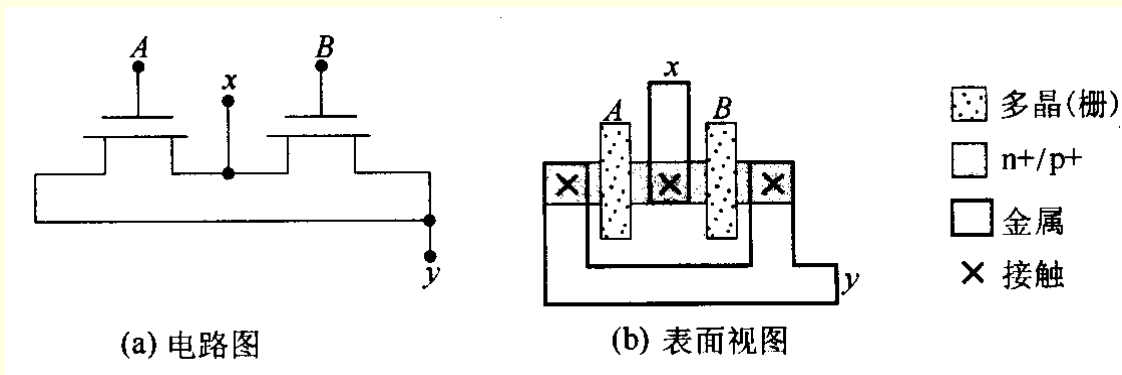
技巧：能共用的区域一定要共用，共用n+或p+区优先于共用栅区

6.1 版图设计入门

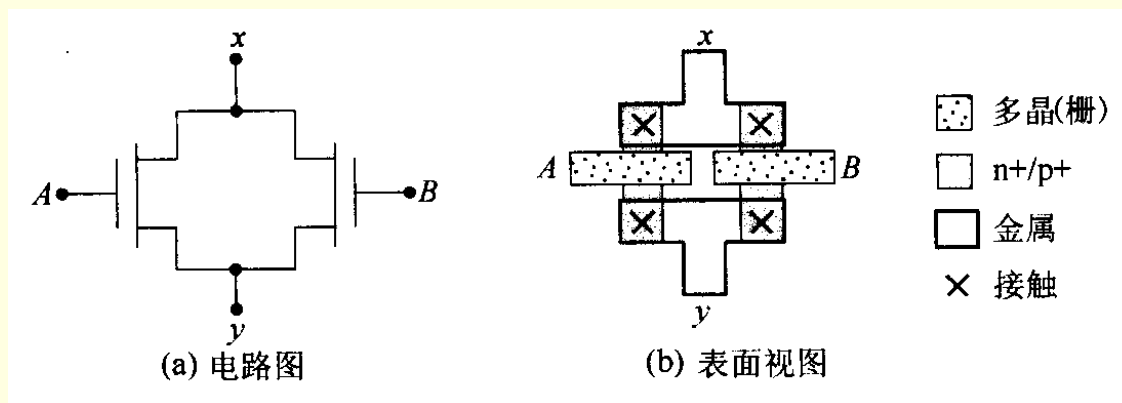
2个nFET并联

两个并联的nFET

方案1: 有1个n+区被共享, 有源区面积较小, 但互连线较长



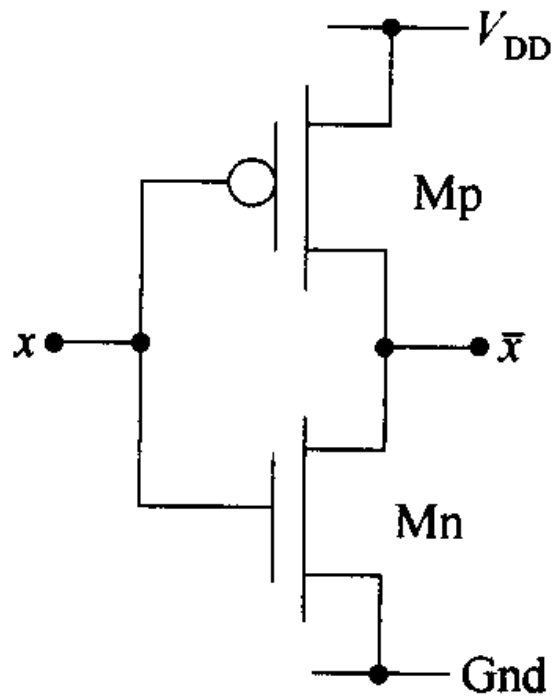
方案2: n+区全部被分开, 有源区面积较大, 但互连线较短



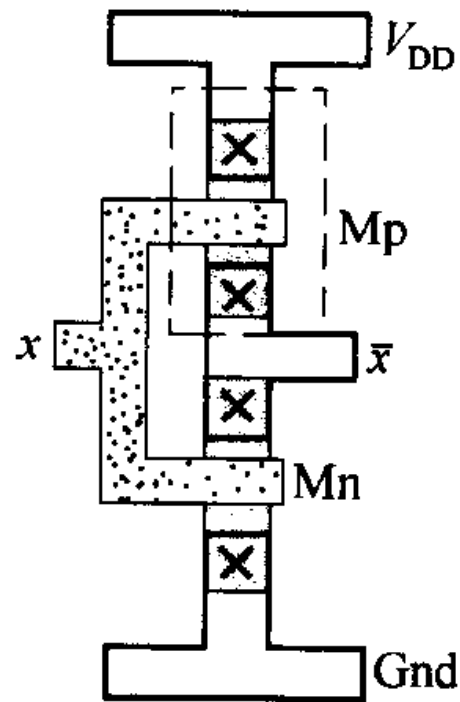
原理图的画法最好与版图相对应






6.1 版图设计入门

非门:方案1



(a) 电路



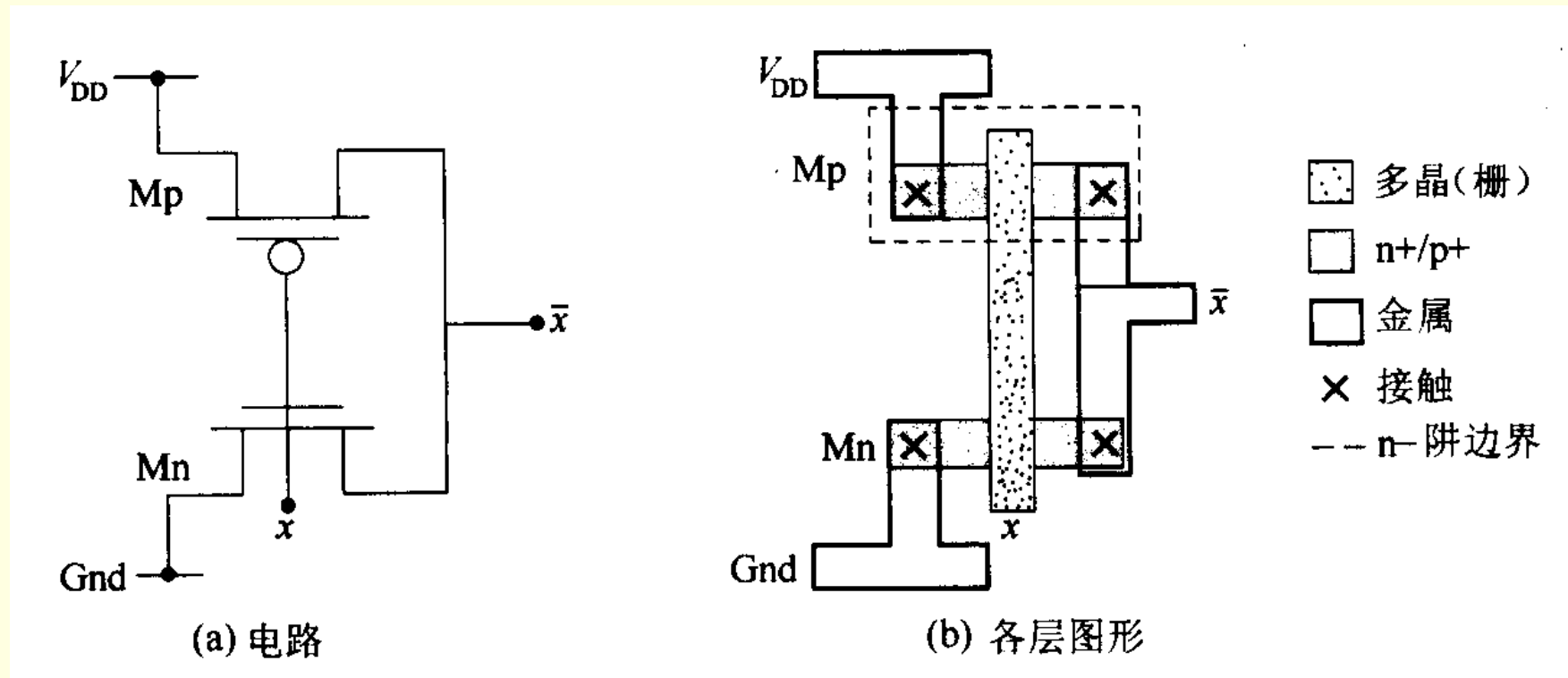
-  多晶(栅)
-  n+/p+
-  金属
-  接触
-  n阱边界

(b) 各层图形

输入、输出左右出

6.1 版图设计入门

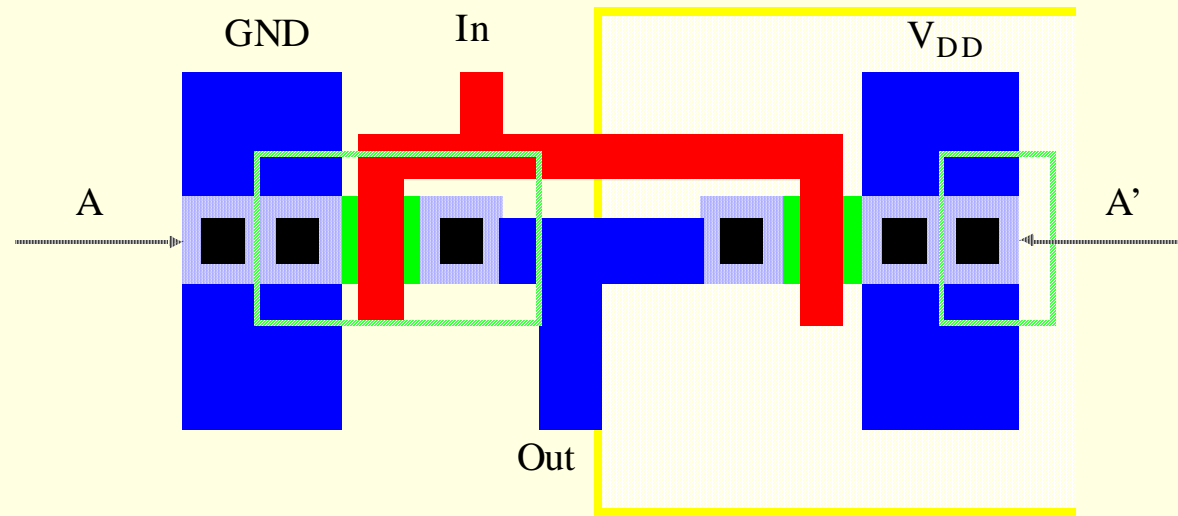
非门:方案2



输入、输出上下出

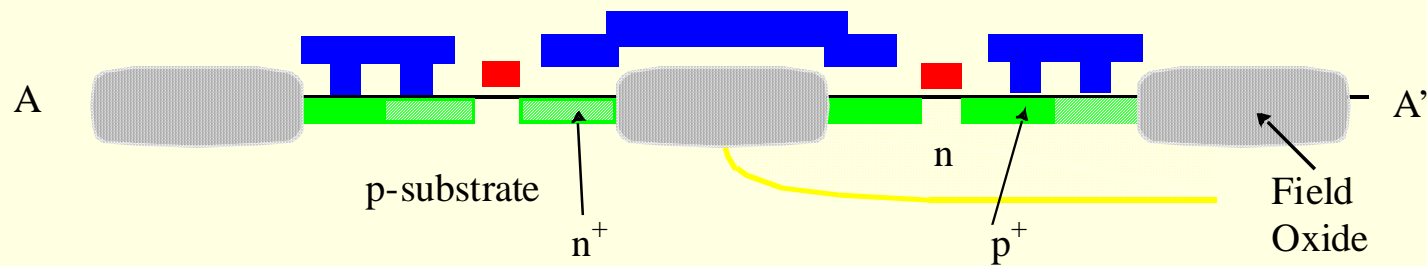
6.1 版图设计入门

非门:方案3



电源、地左右出

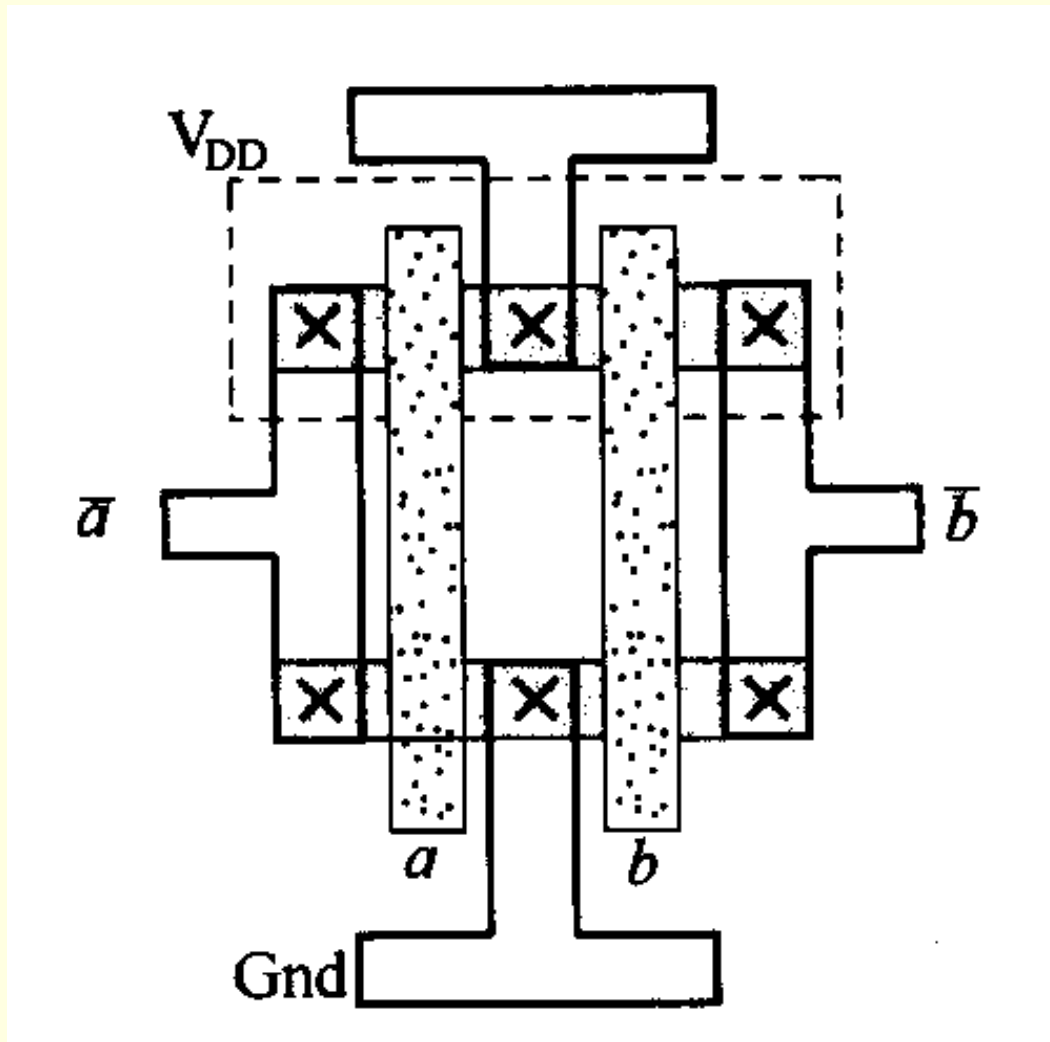
(a) Layout



(b) Cross-Section along A-A'

6.1 版图设计入门

非门相邻



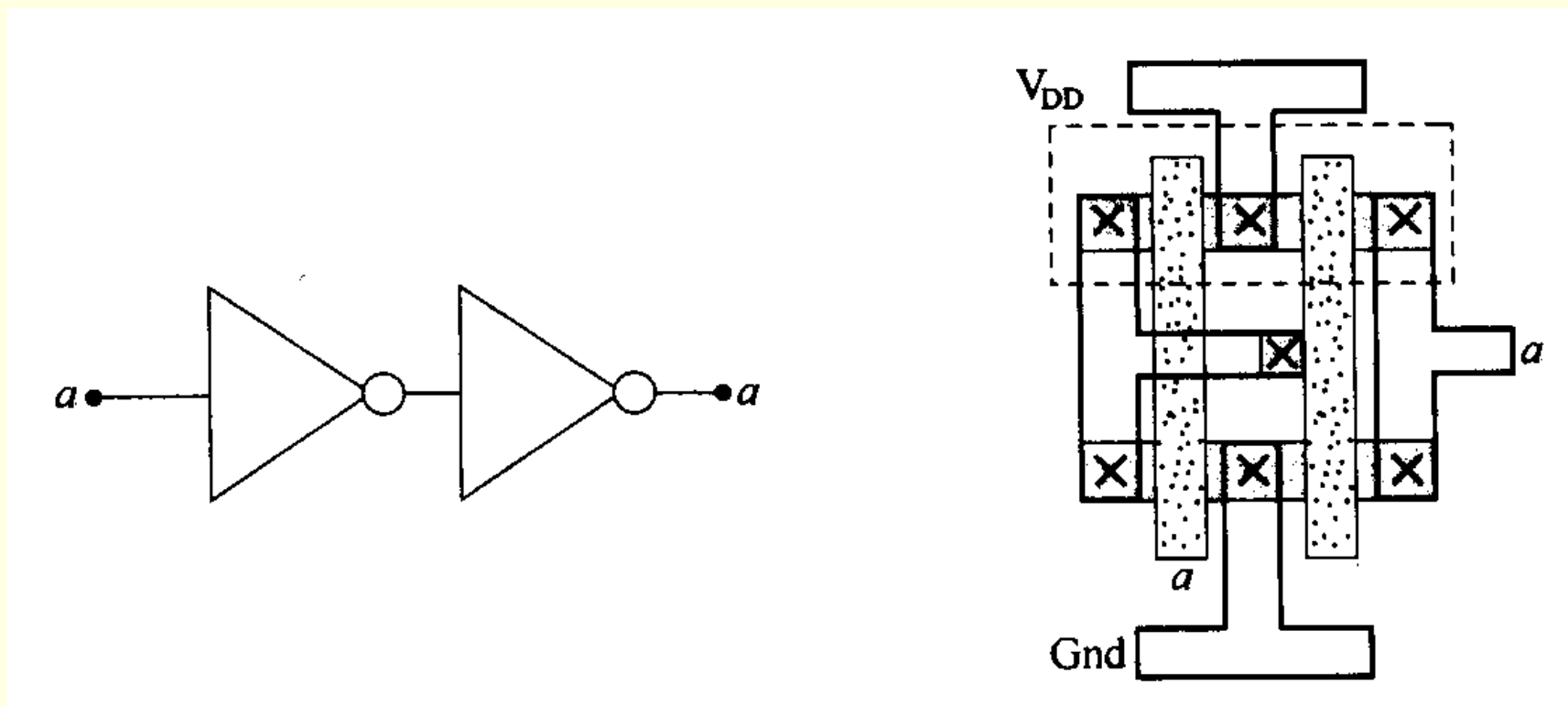
两个独立非门相邻

共享电源、
共享地

6.1 版图设计入门

非门串联

两个非门串联

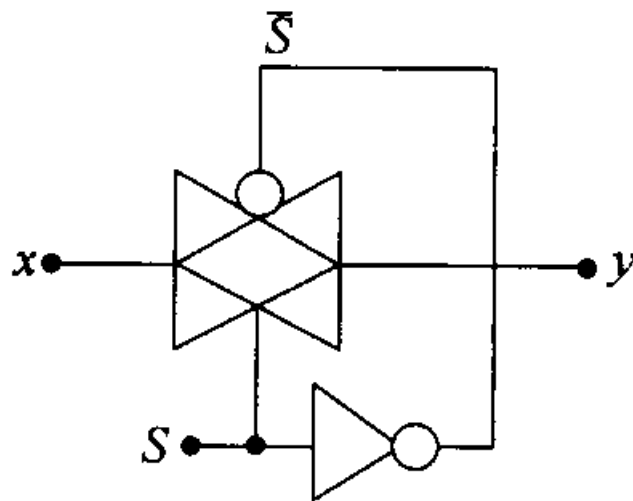


共享电源、地、源、漏

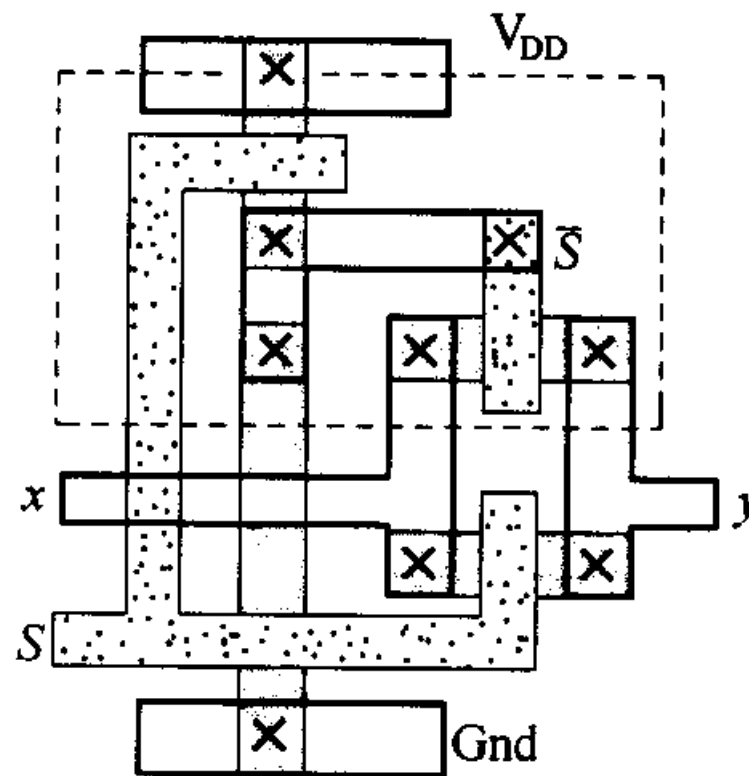
6.1 版图设计入门

传输门

带反相驱动器的传输门



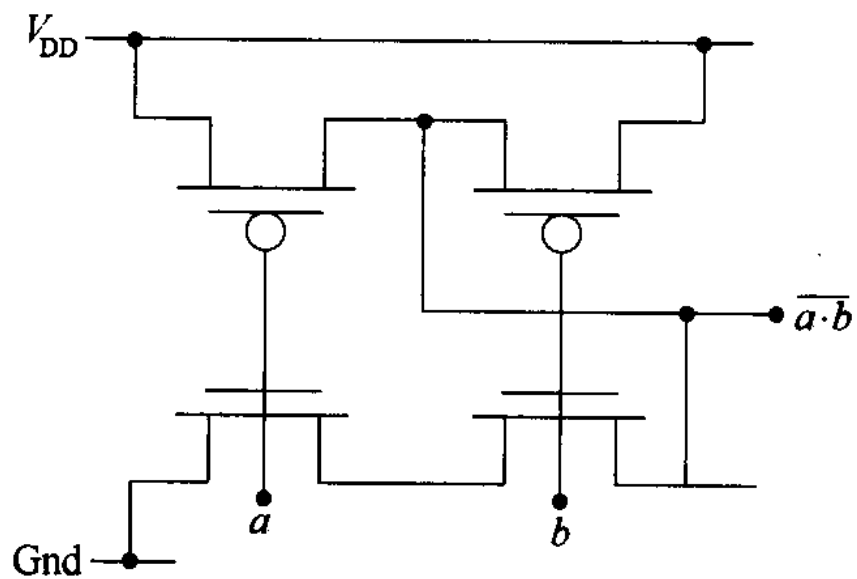
(a) 逻辑图



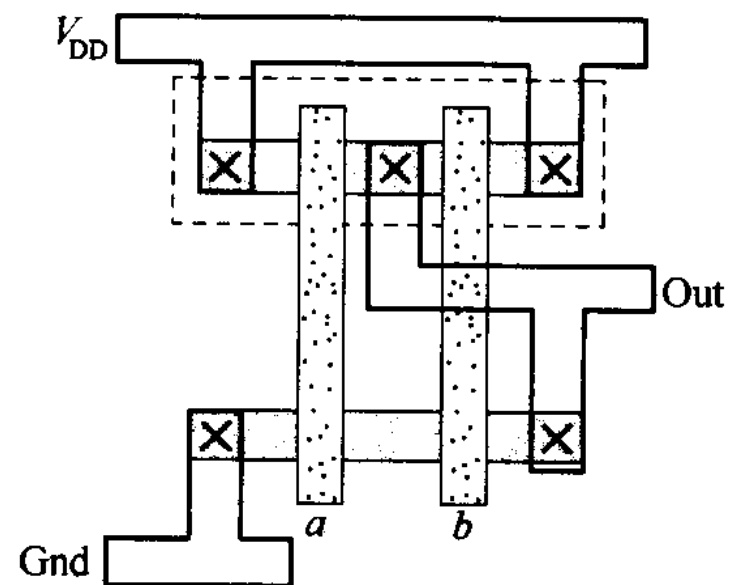
(b) 版图

6.1 版图设计入门

NAND2



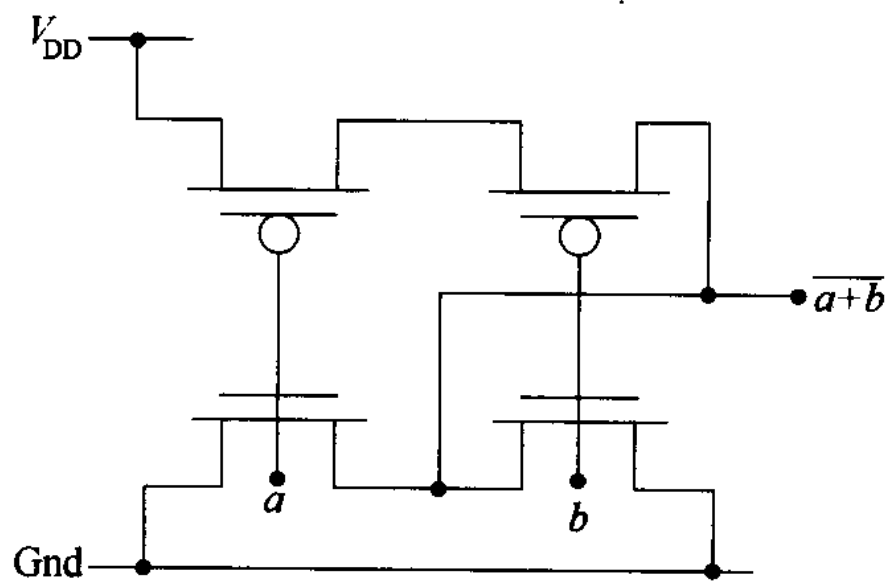
(a) 电路



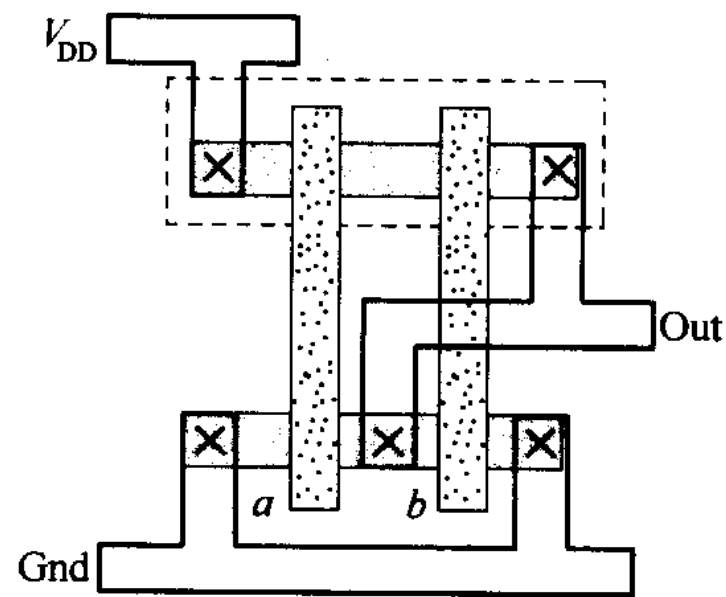
(b) 各层设计

6.1 版图设计入门

NOR2



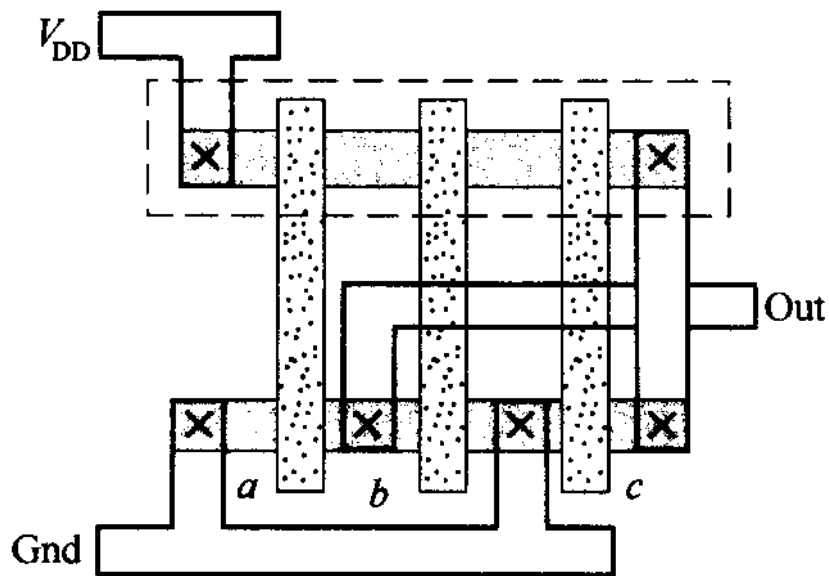
(a) 电路



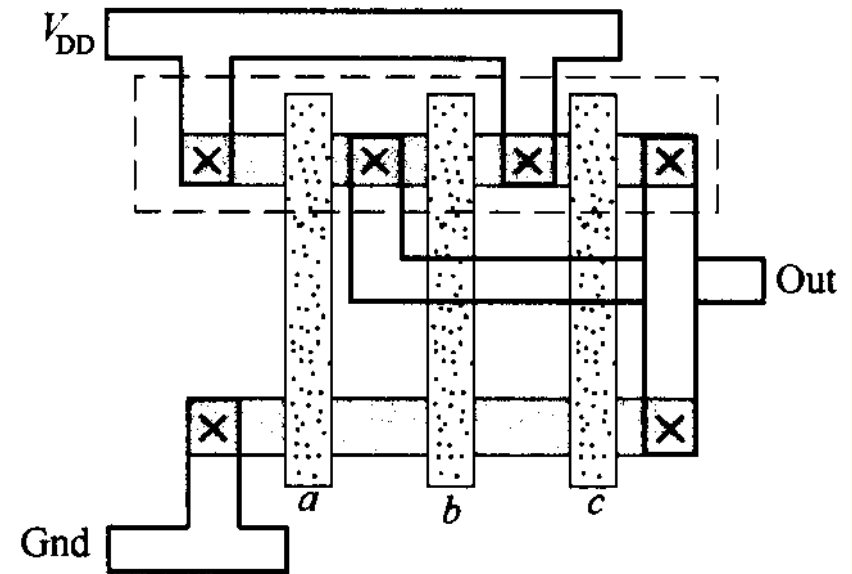
(b) 各层设计

6.1 版图设计入门

NOR3/NAND3



(a) NOR3



(b) NAND3

请观察AND与OR电路与版图的对称性

6.2 设计规则

设计规则的分类

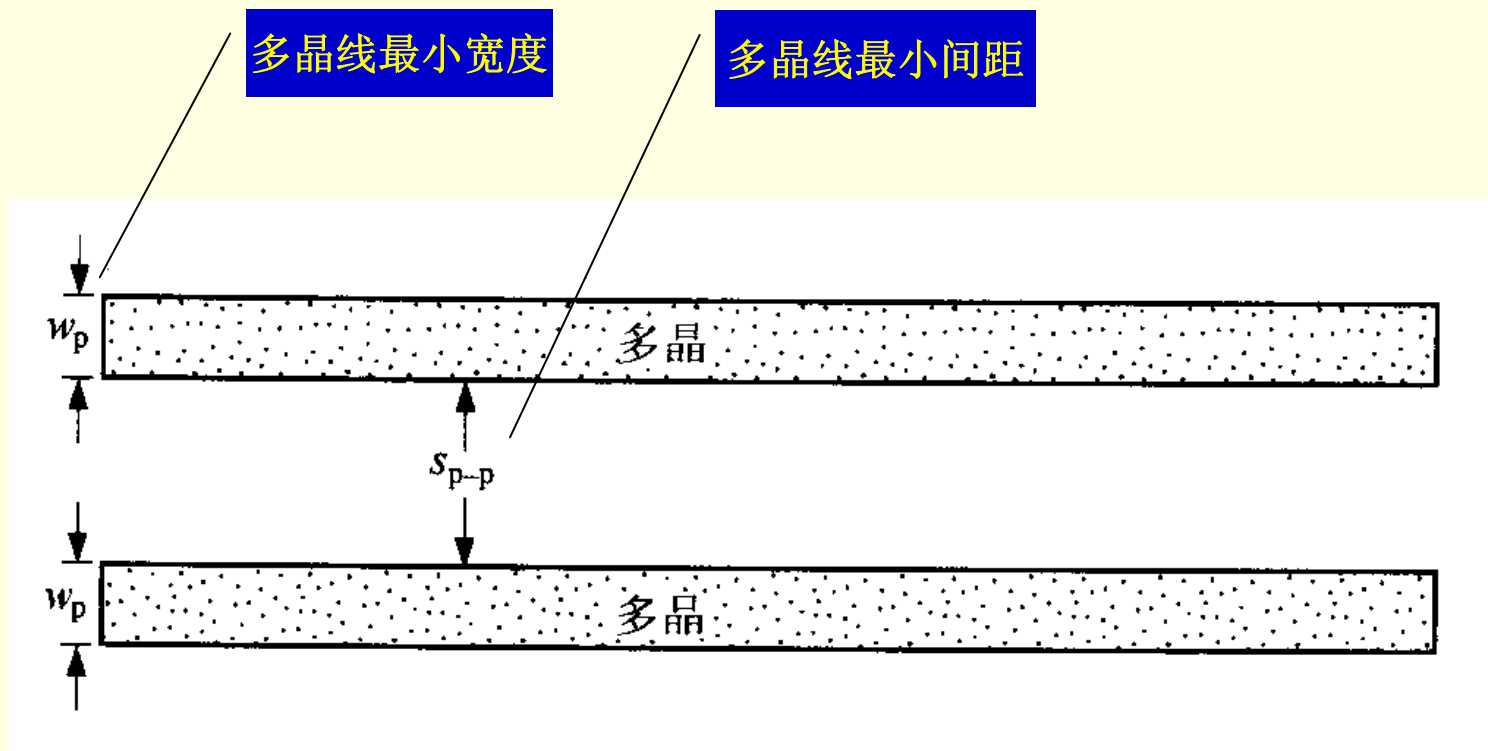
拓扑设计规则(绝对值) {
最小宽度
最小间距
最短露头
离周边最短距离

λ 设计规则(相对值) {
最小宽度 $w = m\lambda$
最小间距 $s = n\lambda$
最短露头 $t = l\lambda$
离周边最短距离 $d = h\lambda$

λ 由IC制造厂提供，与具体的工艺类型有关， m 、 n 、 l 、 h 为比例因子，与图形类型有关。

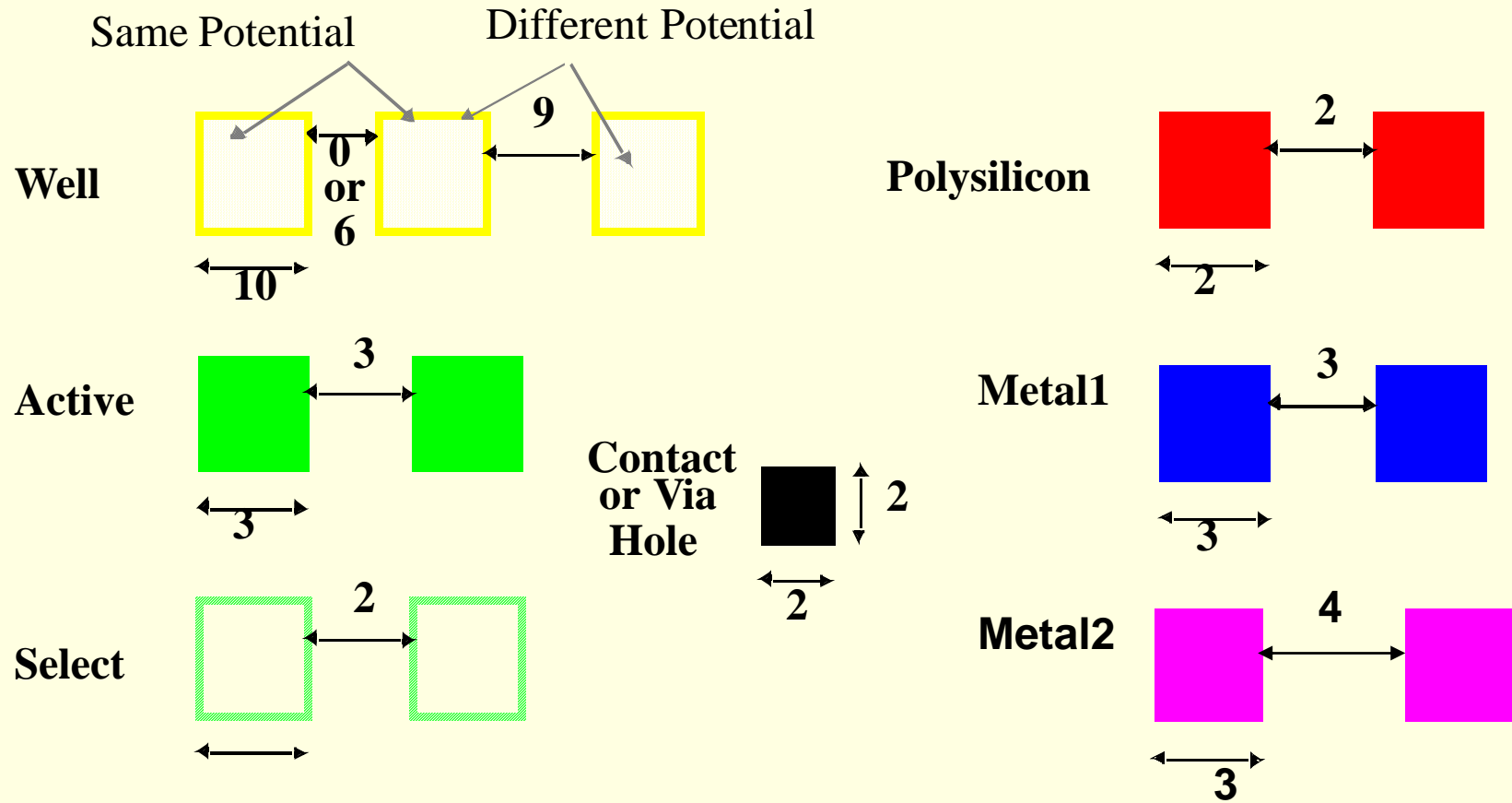
6.2 设计规则

最小宽度与最小间距(1)



6.2 设计规则

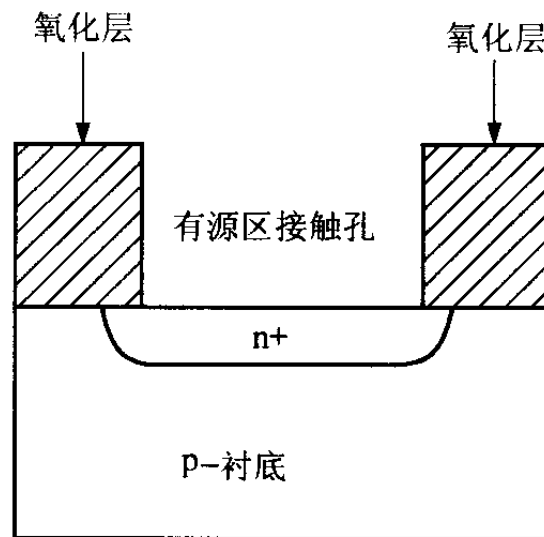
最小宽度与最小间距(2)



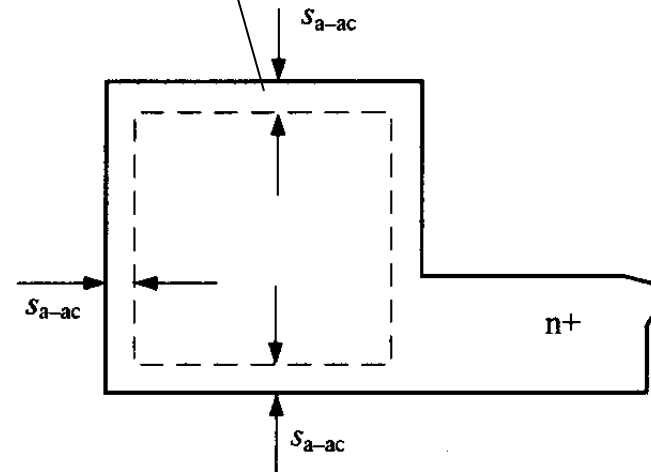
6.2 设计规则

距周边最小距离

有源区接触窗口距离有源区周边的最小距离



(a) 侧视图

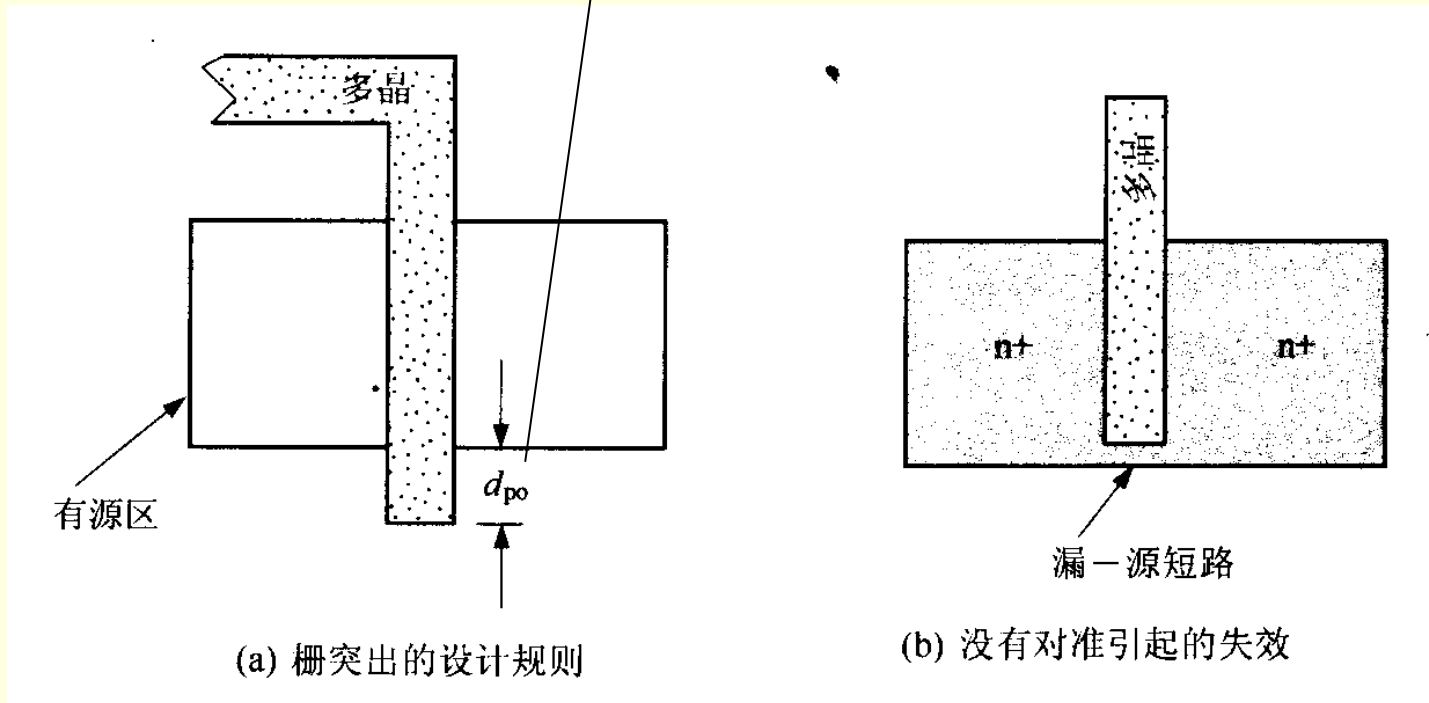


(b) 离周边距离的设计规则

6.2 设计规则

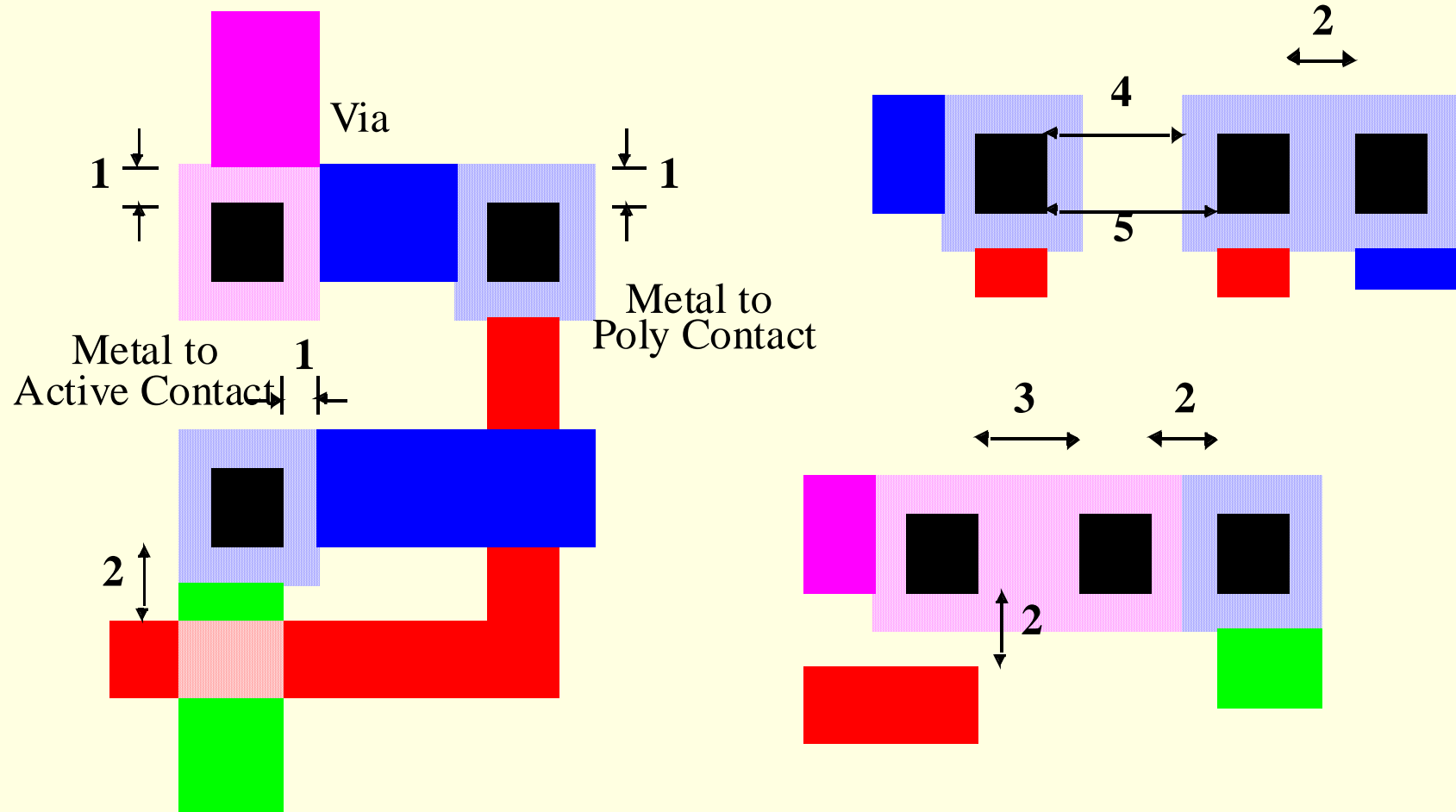
最短露头

多晶硅栅的最短
露头长度



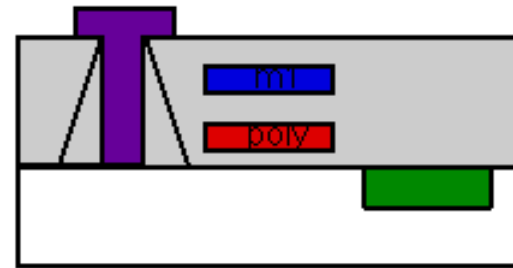
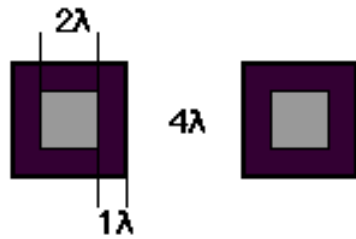
6.2 设计规则

通孔与接触孔



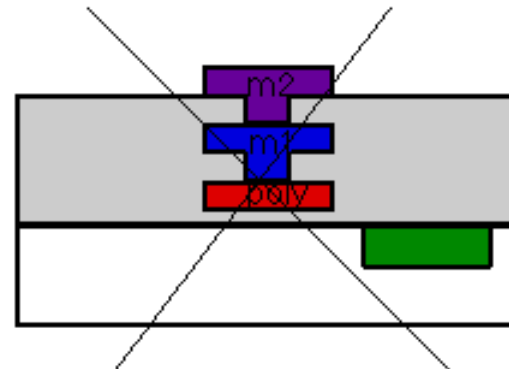
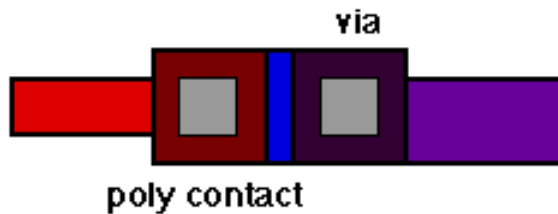
6.2 设计规则

层间互连约束



Metal2不能直接接有源区

- No via-contact overlap

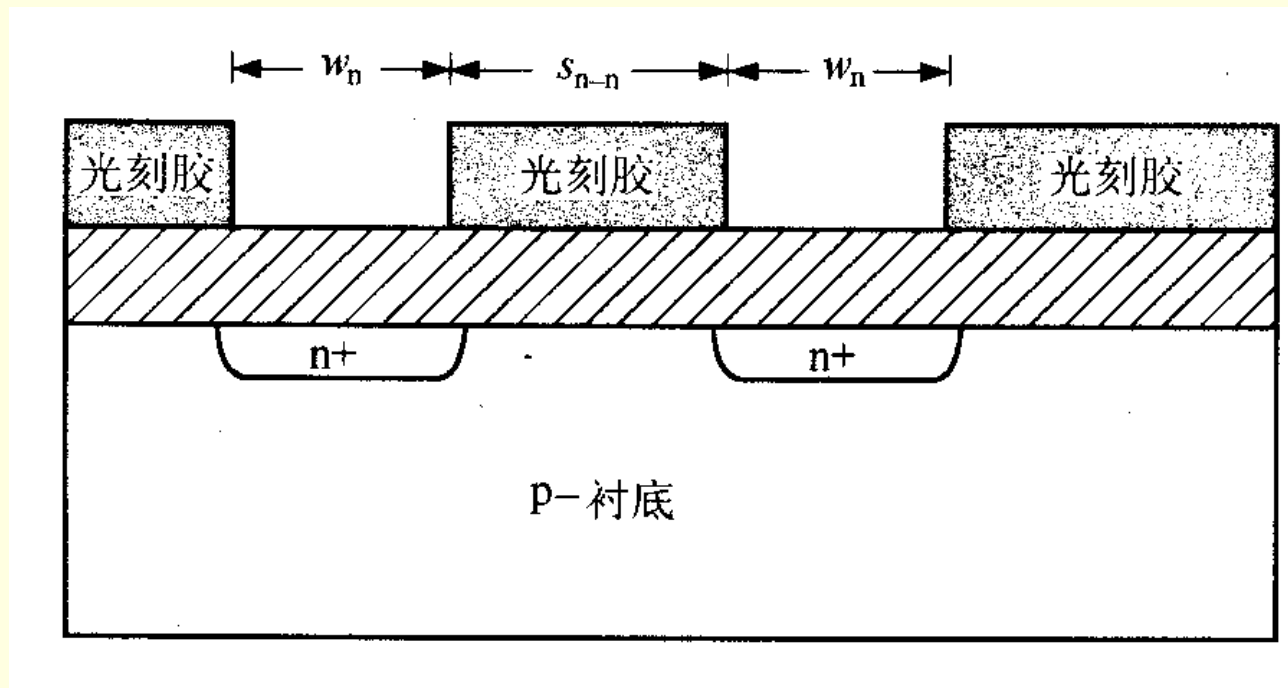


Metal1、Metal2、Poly不能直接对准

6.2 设计规则

工艺误差

工艺误差 { 显影: 光衍射导致边缘模糊化
刻蚀: 横向刻蚀, 使边缘加粗
注入: 横向注入导致n+/p+区沿水平方向有不期望的扩大

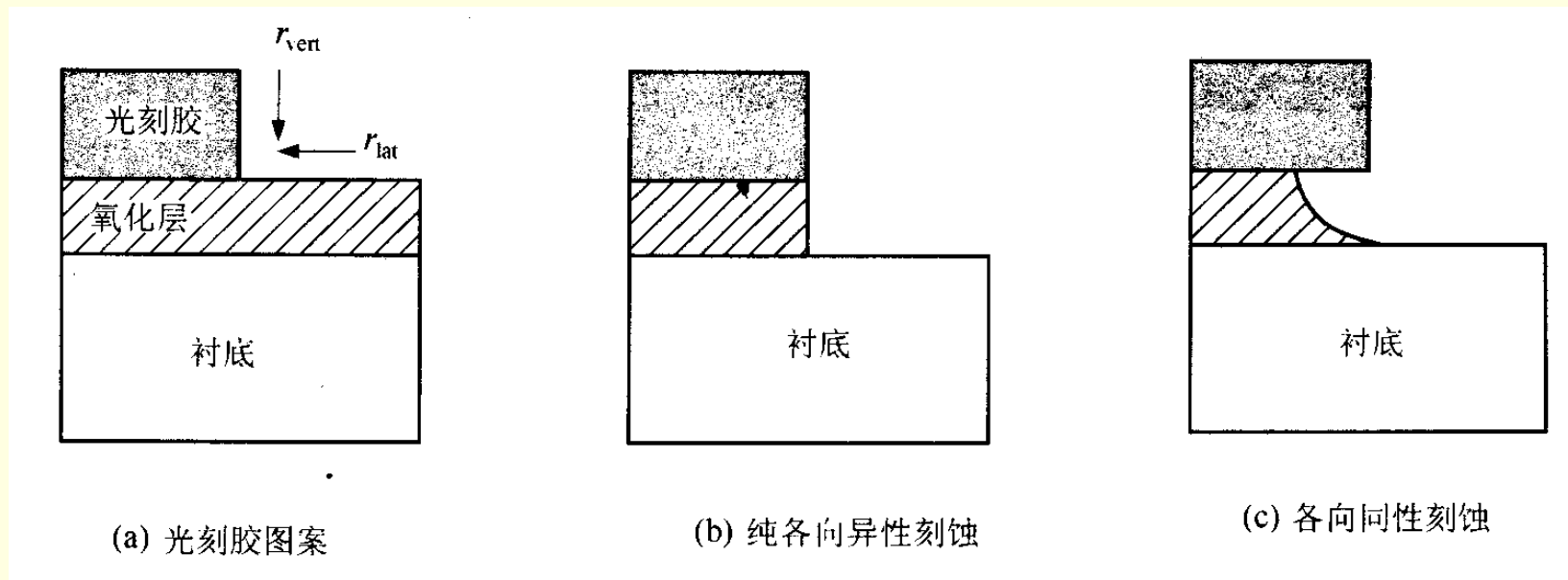


刻蚀限制最小宽度

6.2 设计规则

物理极限

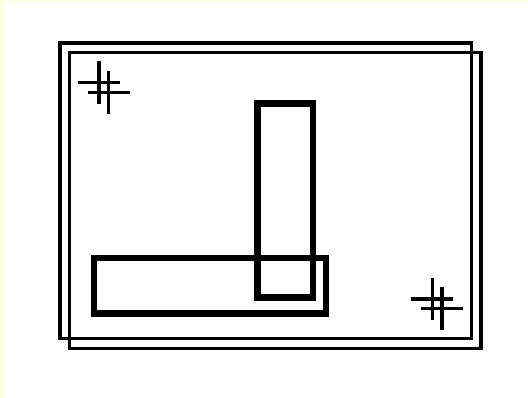
物理极限 { 串扰：导线过细及间距过短，会使相邻导线发生电耦合
电迁移：铝条过细或间距过短，电迁移作用更明显



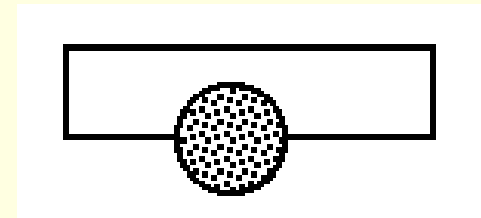
横向注入限制了有源区间距

6.2 设计规则

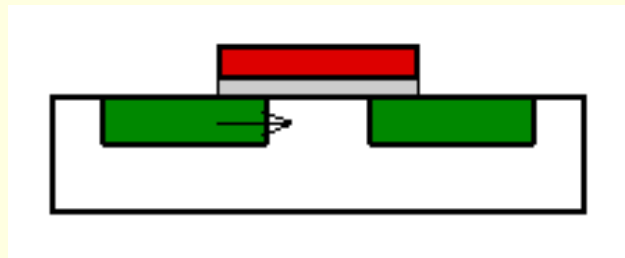
常见工艺误差



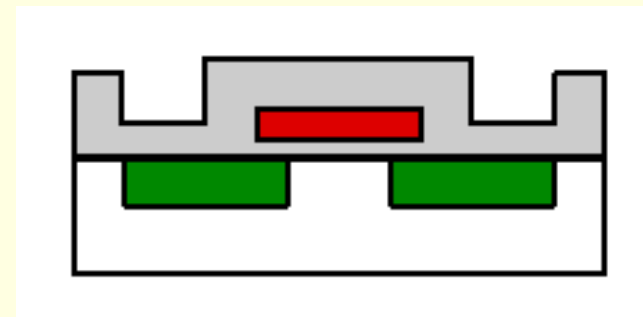
两层掩模未对准→相邻工
艺层短路或开路



灰尘→工艺层有效宽
度减少



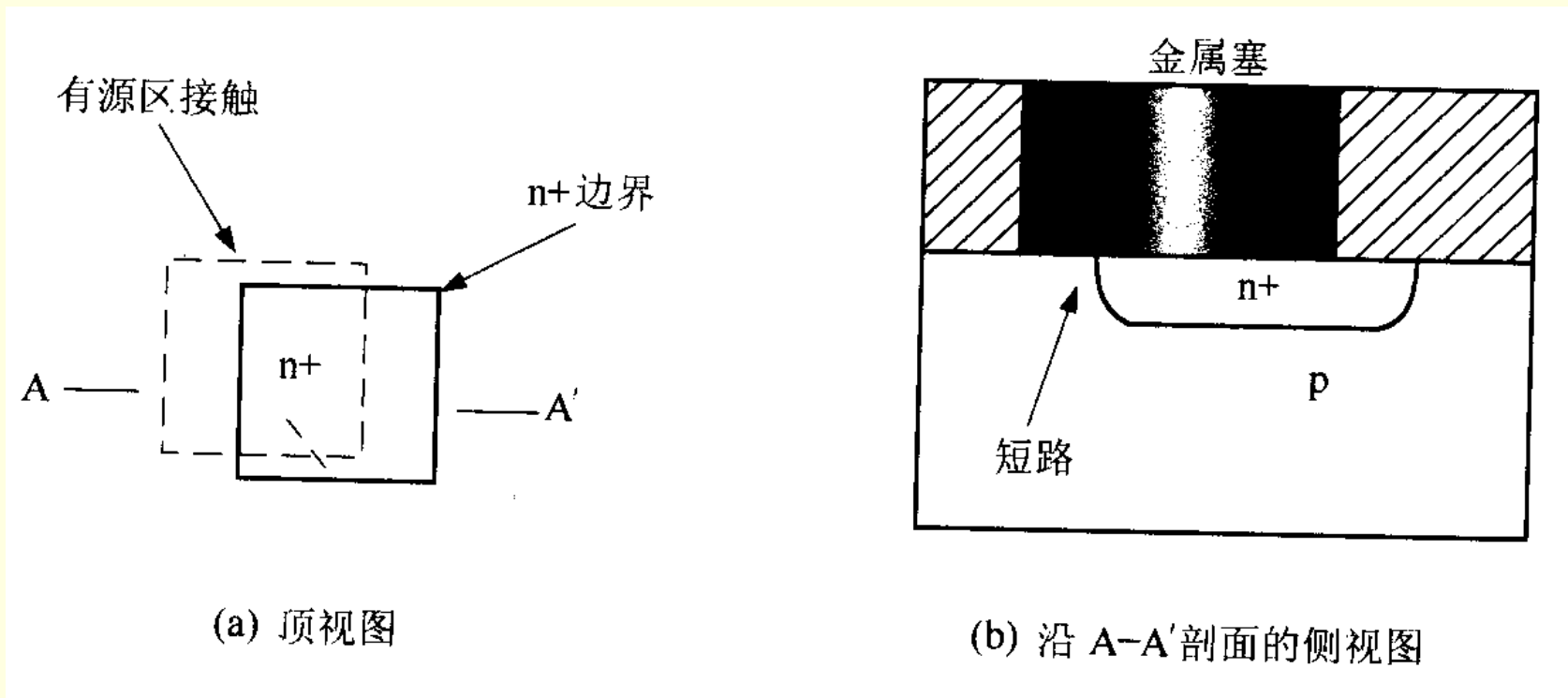
横向扩散→沟道有效长
度缩短



表面凹凸不平→互连
线有效厚度减少

6.2 设计规则

违背设计规则带来的问题(1)

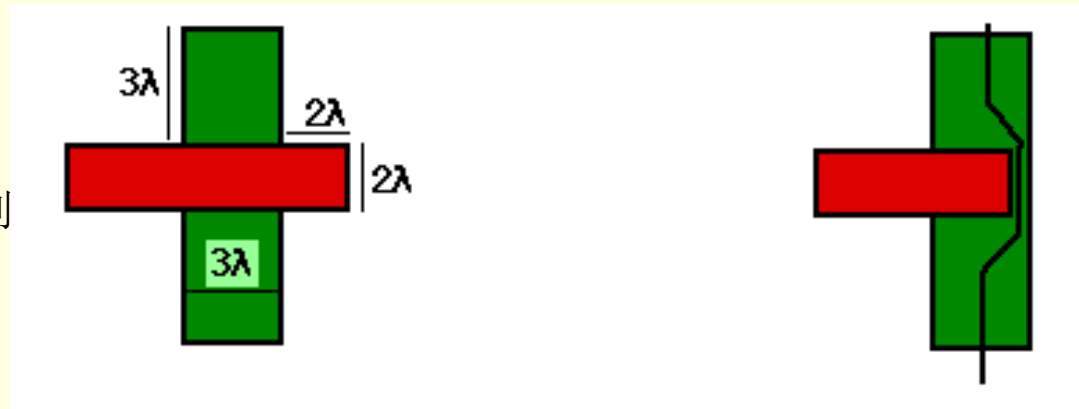


若两层掩模未对准会产生问题。如金属塞图形与n+区未对准会导致n+有源区与p衬底之间发生短路

6.2 设计规则

违背设计规则带来的问题(2)

符合设计规则



不符合设计规则
→源、漏短路

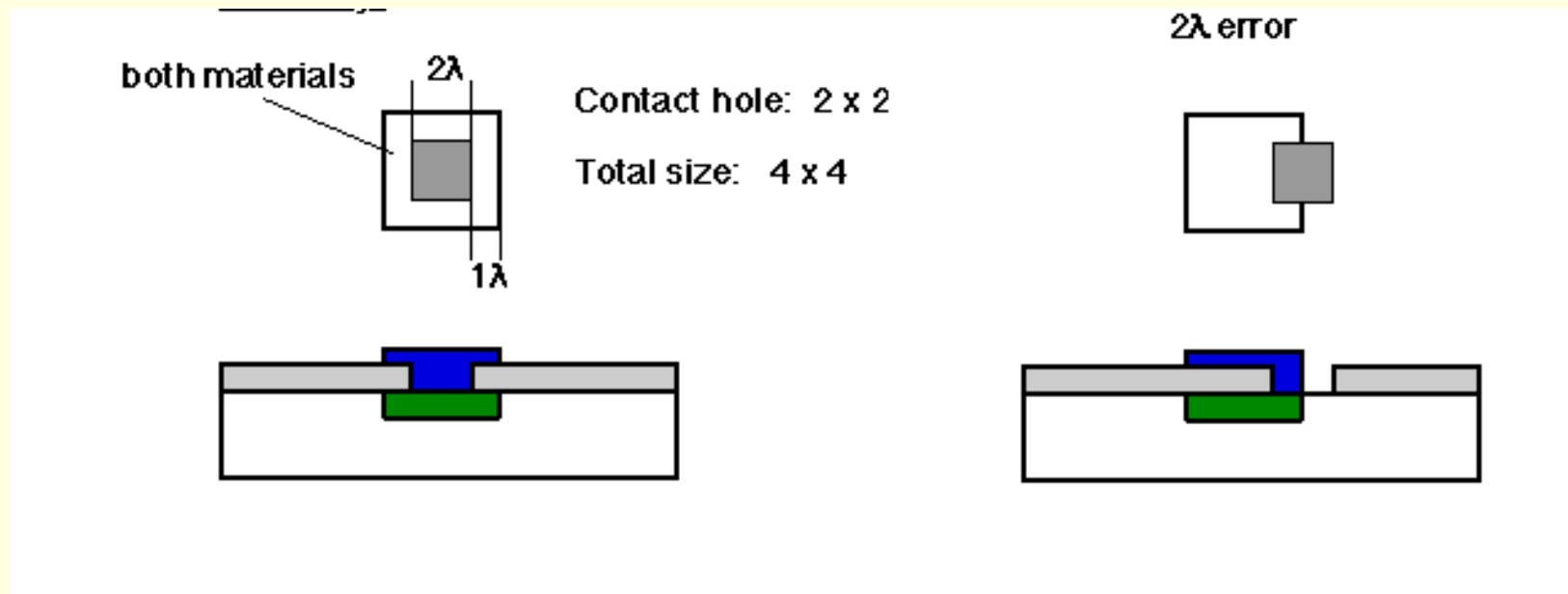
符合设计规则



不符合设计规则
→源、漏变窄

6.2 设计规则

违背设计规则带来的问题(3)

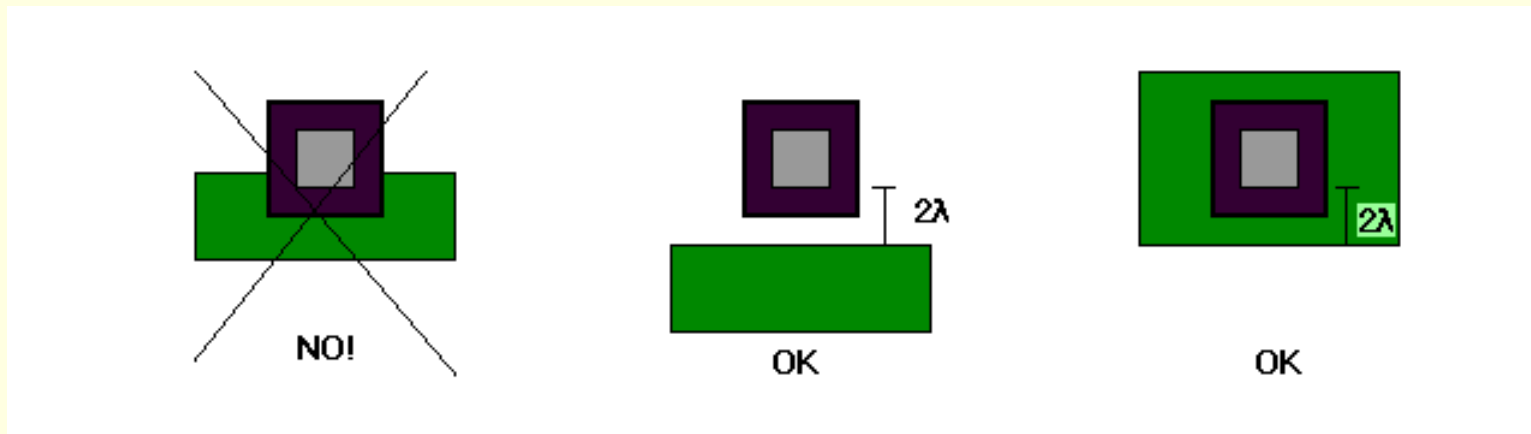


符合设计规则

不符合设计规则→
有源区接触不良

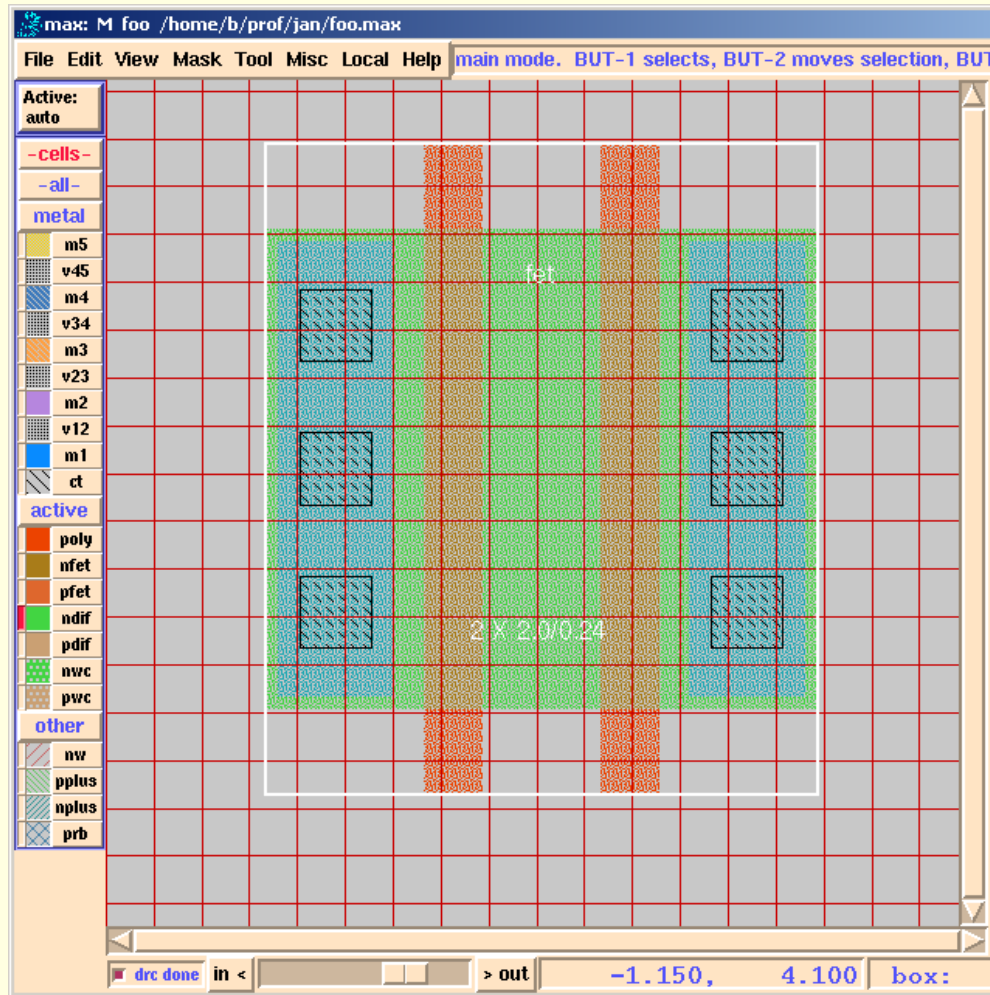
6.2 设计规则

违背设计规则带来的问题(4)



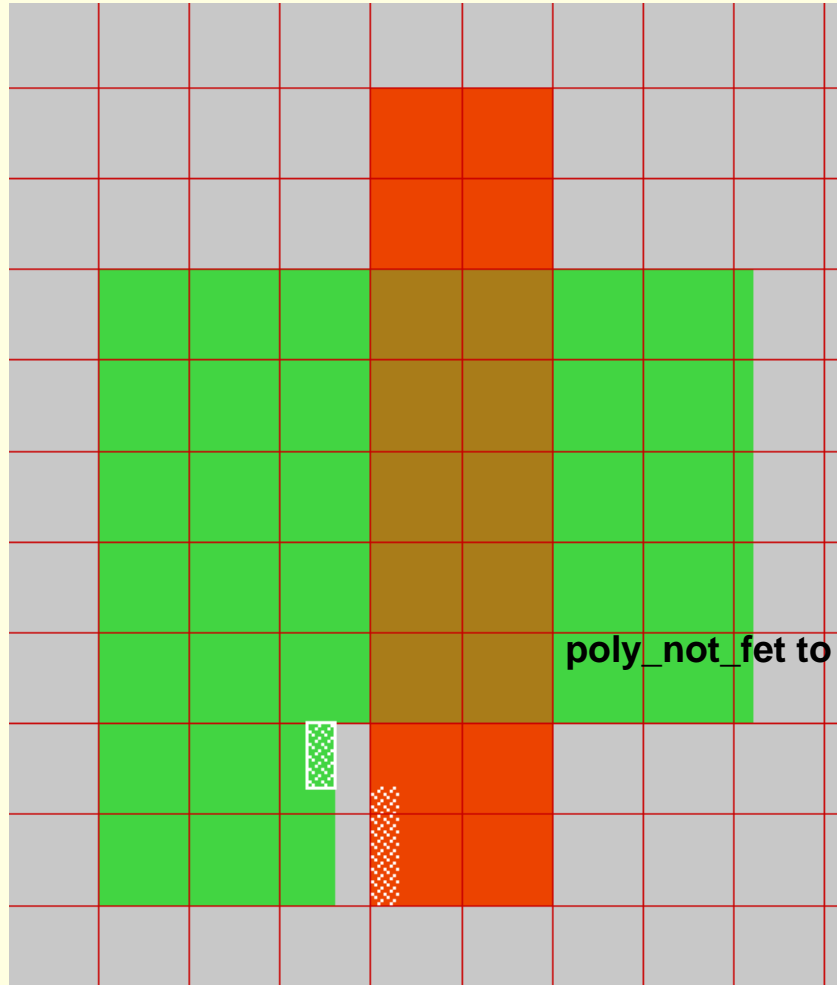
接触孔下不得有多晶或有源区边缘

6.2 设计规则



6.2 设计规则

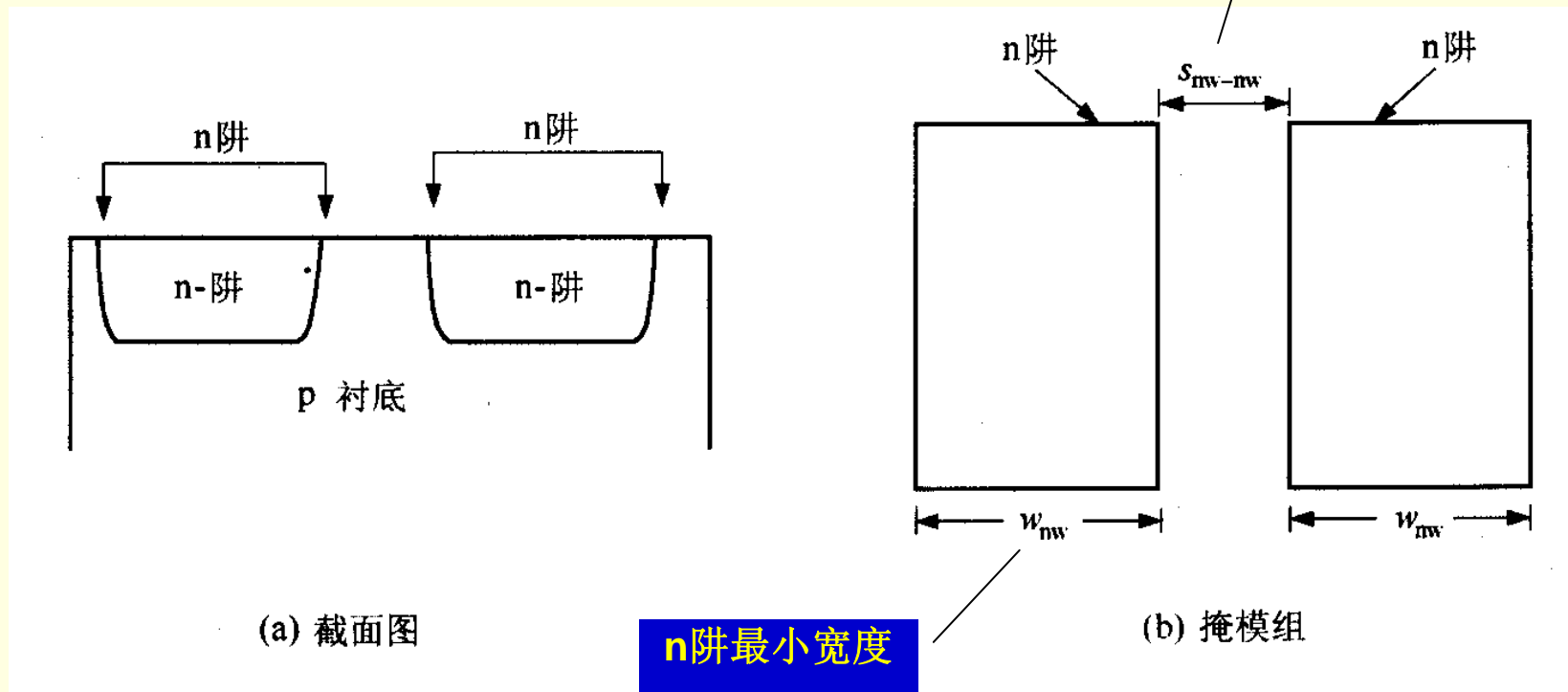
设计规则检查DRC



6.3 基本工艺层版图

n阱

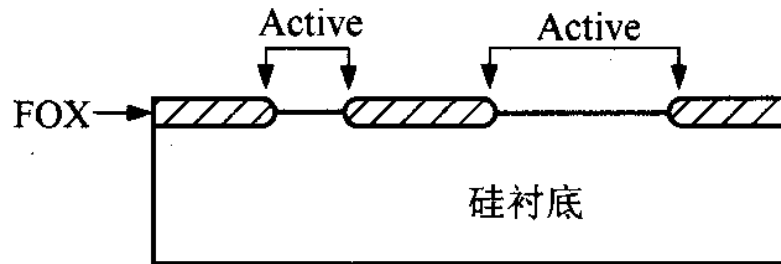
n阱(n well) { 主要用于形成pFET
总是接到最高电位 V_{DD}



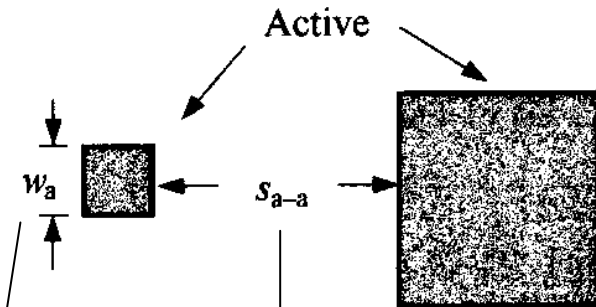
6.3 基本工艺层版图

有源区

有源区 (Active) { 用于制作nFET和pFET
被场氧 (FOX) 所隔开



(a) 截面图



(b) 有源区图形

有源区最小宽度

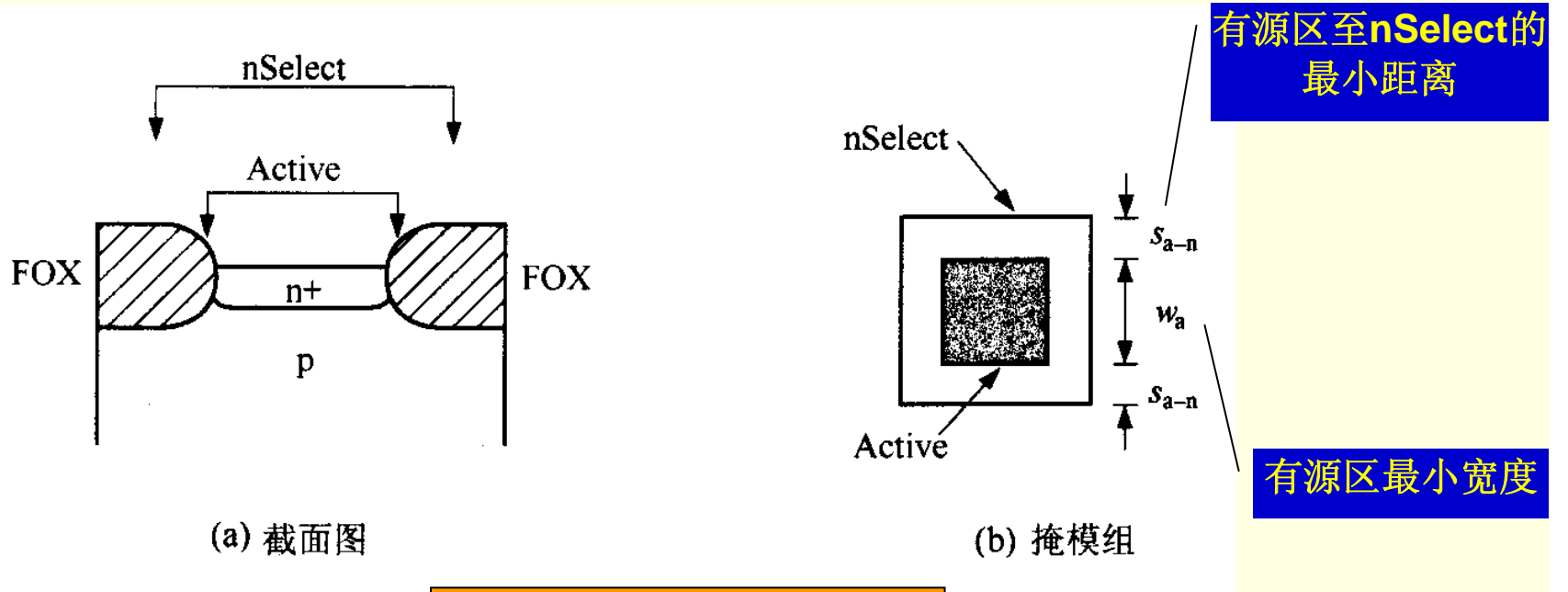
相邻有源区边与边之间的最小间距

FOX + Active = Surface → FOX = NOT (Active)

6.3 基本工艺层版图

掺杂硅区:n+

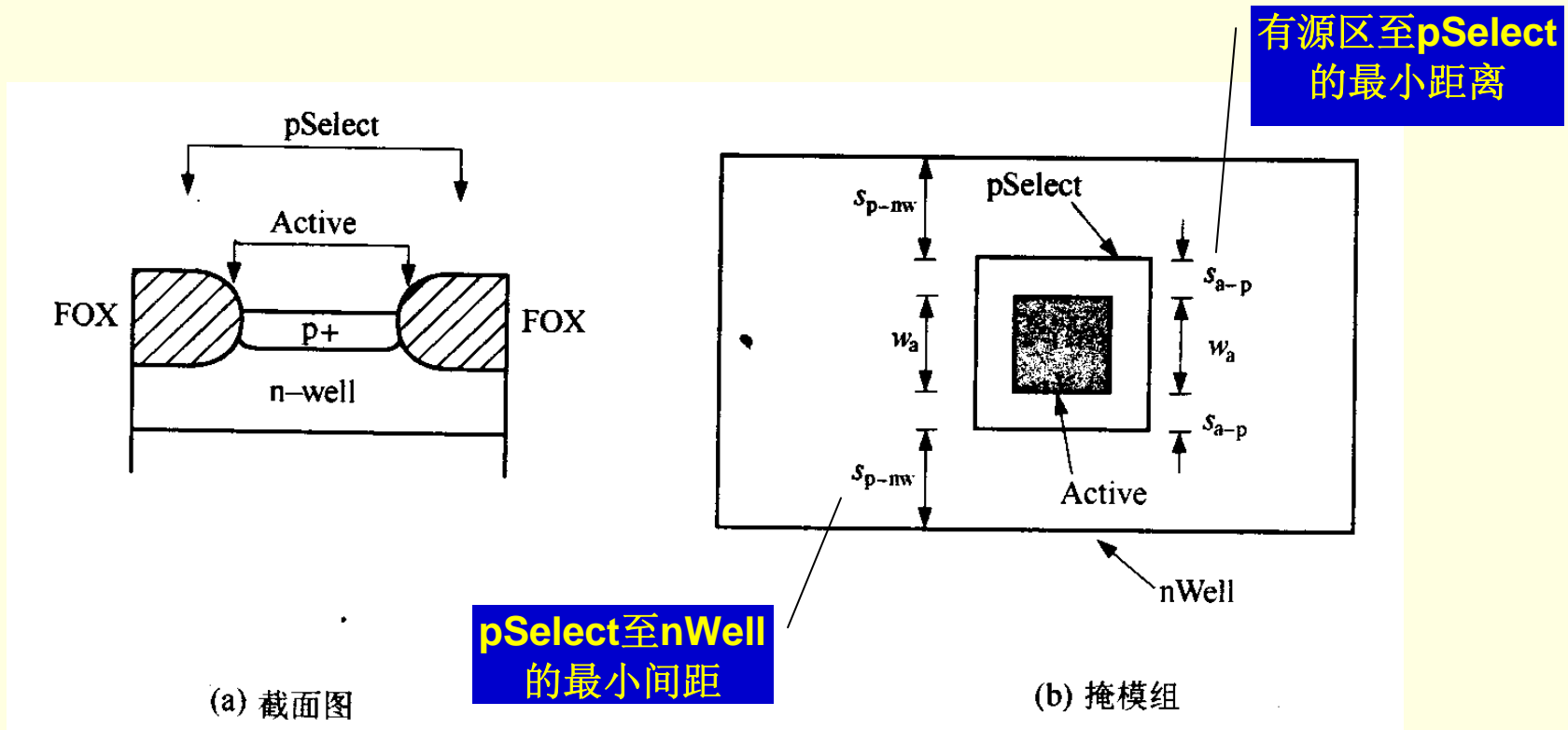
掺杂硅区 { nSelect掺As或P, 用于制作nFET
pSelect掺B, 用于制作pFET
属于有源区的一部分



$$n+'=(nSelect) \cap (Active)$$

6.3 基本工艺层版图

掺杂硅区:p+

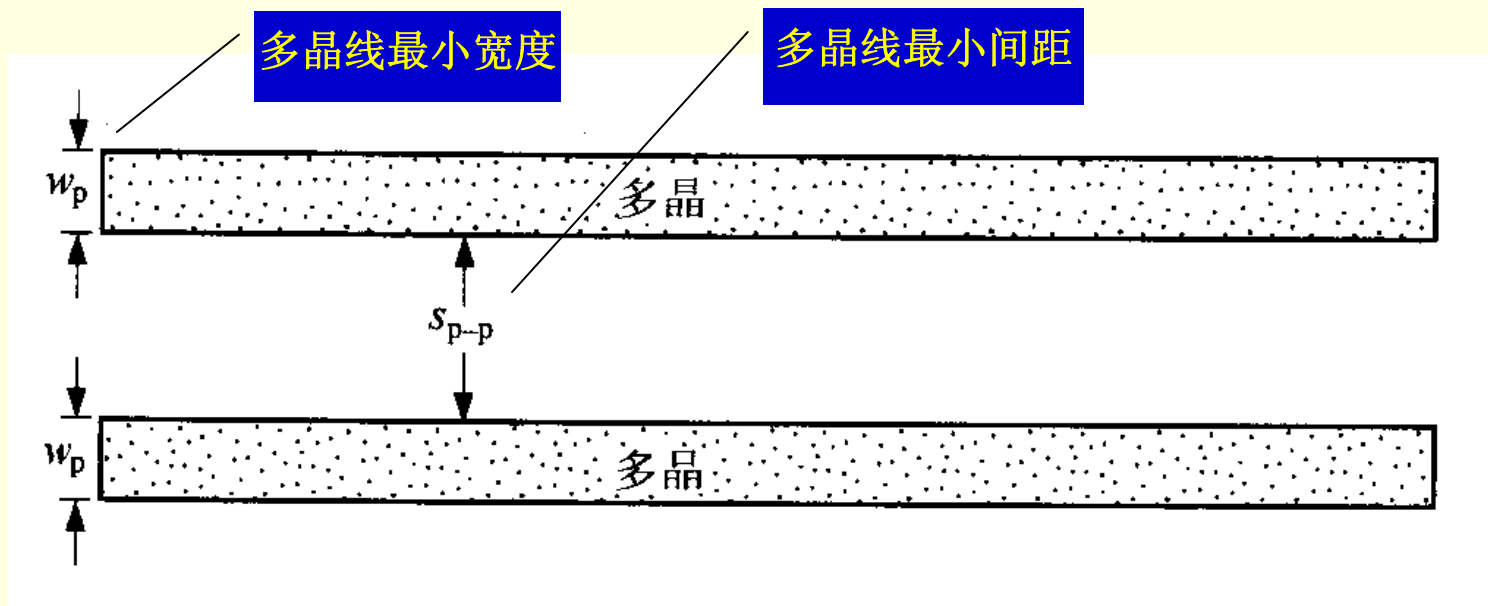


$$p+'=(pSelect) \cap (Active) \cap (nWell)$$

6.3 基本工艺层版图

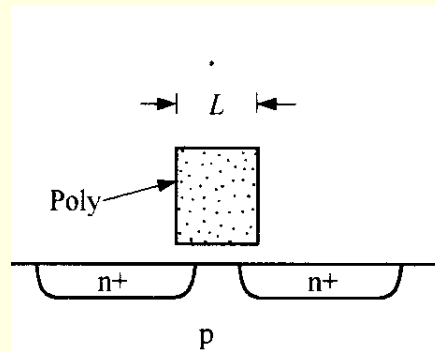
多晶硅

多晶硅 (Poly Si) $\left\{ \begin{array}{l} \text{掩蔽n+、p+掺杂} \\ \text{作为MOS栅电容的上导电板} \end{array} \right.$

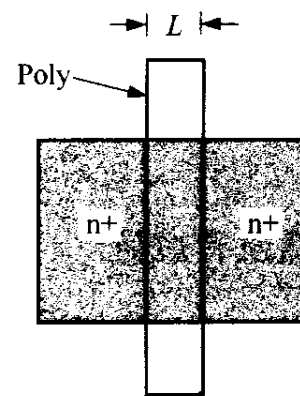


6.3 基本工艺层版图

nFET的形成

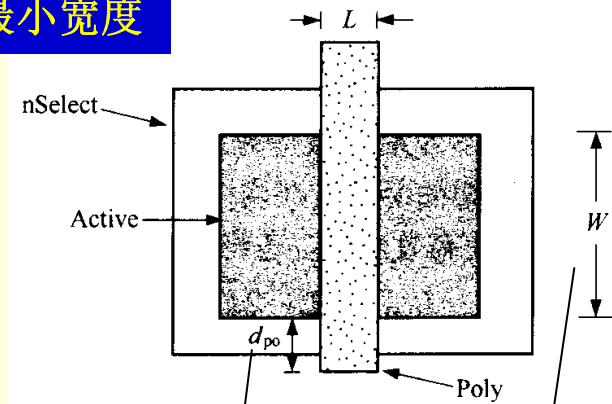


(a) 截面图



(b) 版图

沟道长度=多晶最小宽度



多晶离开有源区的最小露头

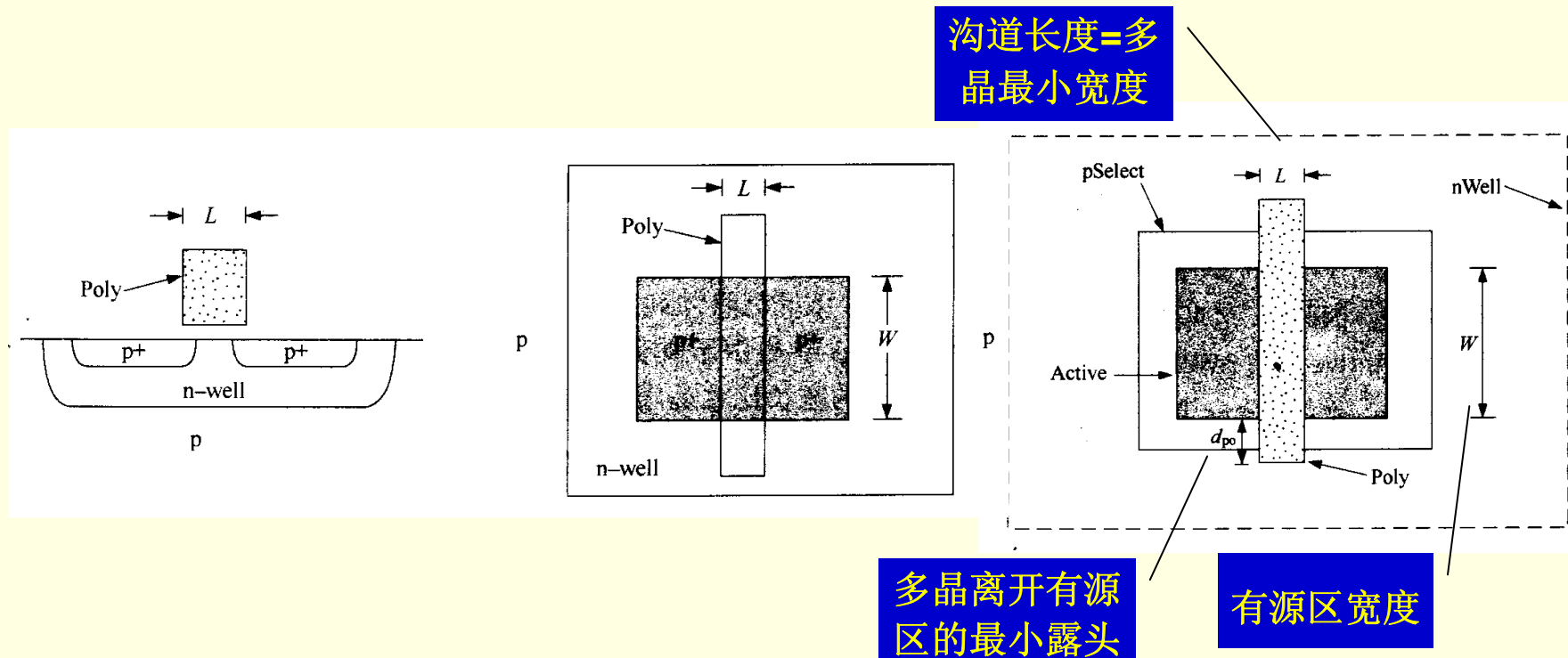
有源区宽度

$$\text{nFET} = (\text{nSelect}) \cap (\text{Active}) \cap (\text{poly})$$

$$\text{n+} = (\text{nSelect}) \cap (\text{Active}) \cap (\text{NOT}(\text{poly}))$$

6.3 基本工艺层版图

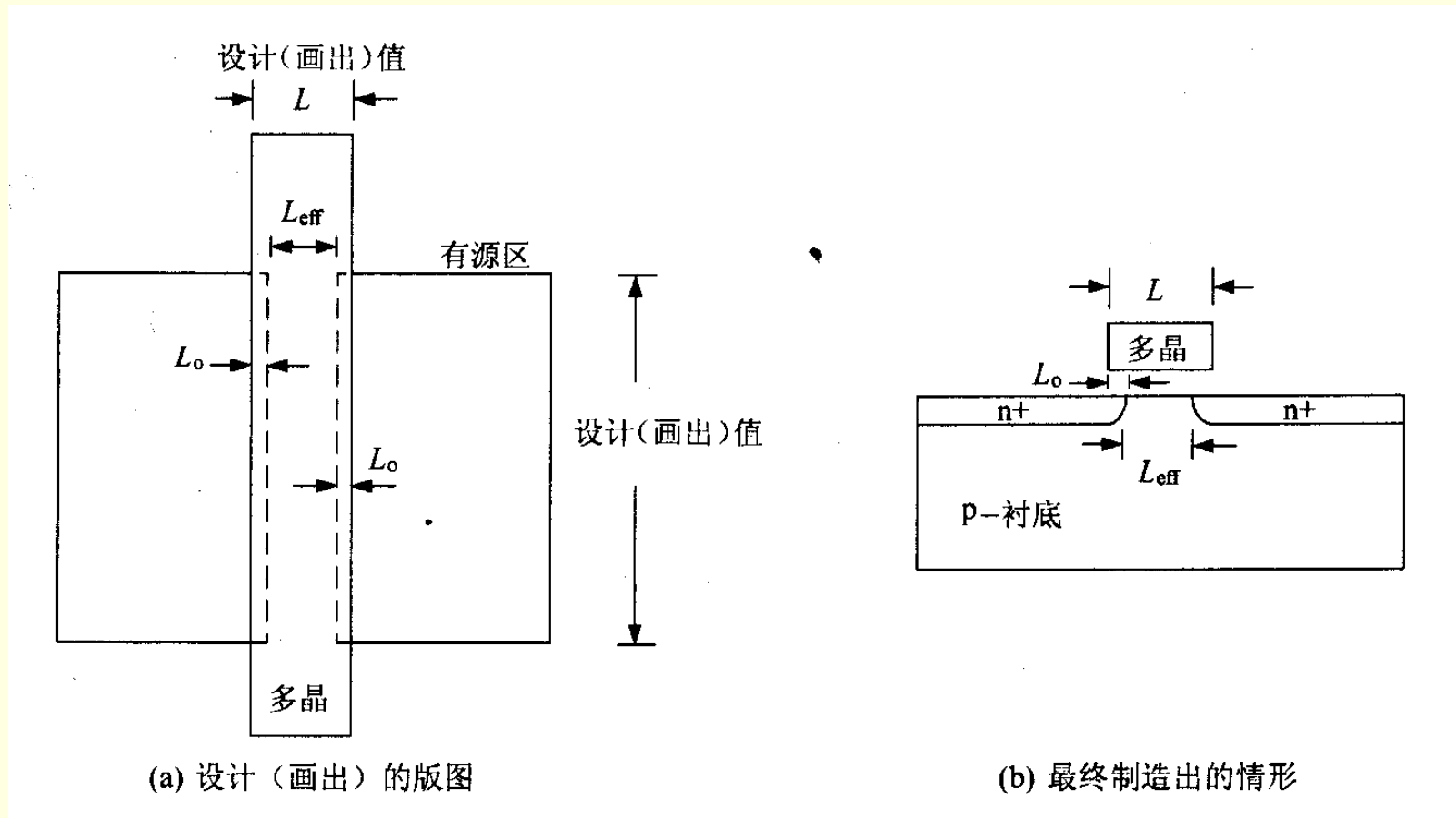
pFET的形成



$$\text{pFET} = (\text{pSelect}) \cap (\text{Active}) \cap (\text{poly}) \cap (\text{nWell})$$

$$\text{p+} = (\text{pSelect}) \cap (\text{Active}) \cap (\text{nWell}) \cap (\text{NOT}(\text{poly}))$$

6.3 基本工艺层版图 实际尺寸与设计尺寸的差别



6.3 基本工艺层版图

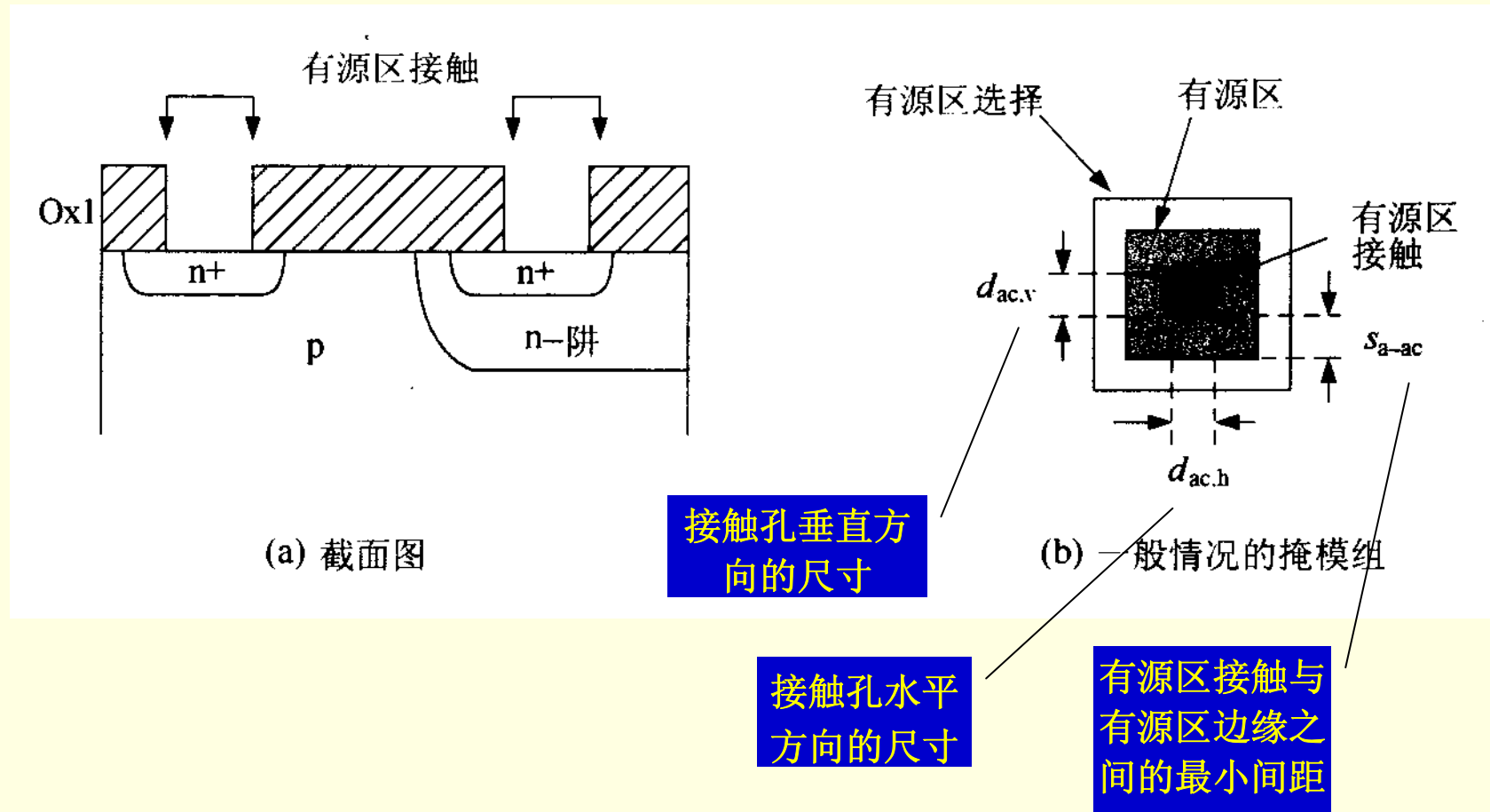
版图尺寸 \neq 最终尺寸

- 版图尺寸（设计值） \neq 芯片的最终尺寸（有效值）
 - FET沟道长度
 - 设计值 L =多晶硅的线宽 w_p
 - 有效值 $L_{\text{eff}}=L-\Delta L < w_p$
 - FET沟道宽度
 - 设计值 W =有源区宽度 w_a
 - 有效值 $W_{\text{eff}}=W-\Delta W < w_a$
- 分析FET特性时
 - 应用 L_{eff} 、 W_{eff} 、 $W_{\text{eff}}/L_{\text{eff}}$
 - 不要用 L 、 W 、 W/L

6.3 基本工艺层版图

有源区接触

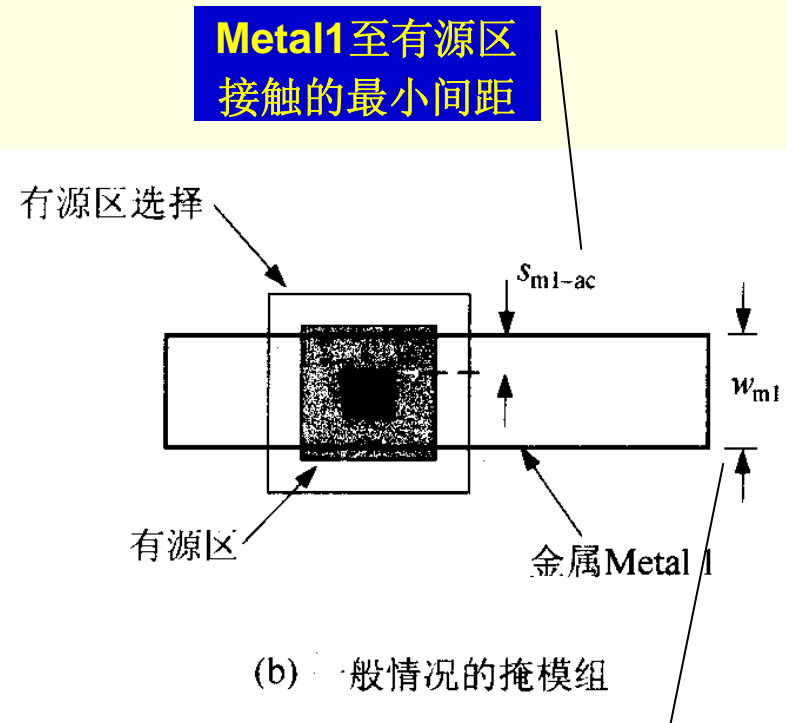
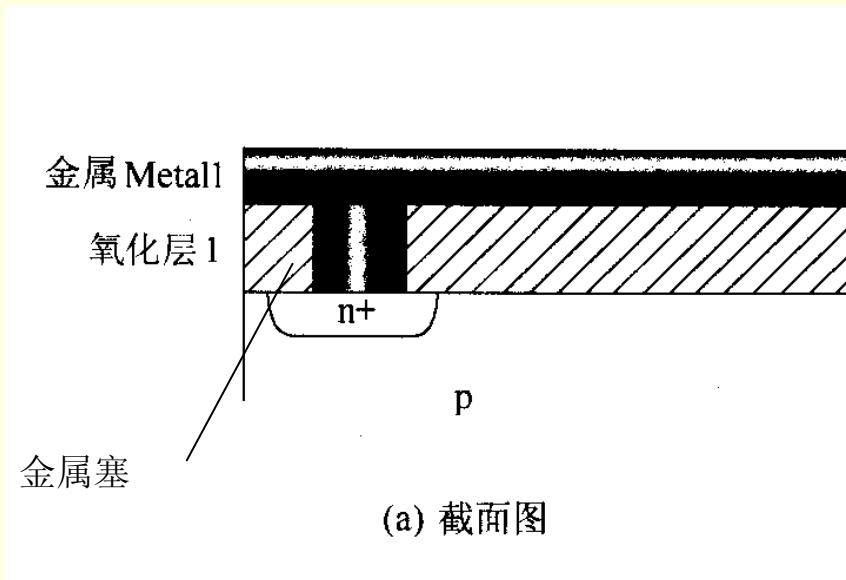
有源区接触 (Active Contact) — 硅与互连金属的接触



6.3 基本工艺层版图

金属层:与有源区接触

金属层1(Metal1) { 信号互连线
电源线、地线



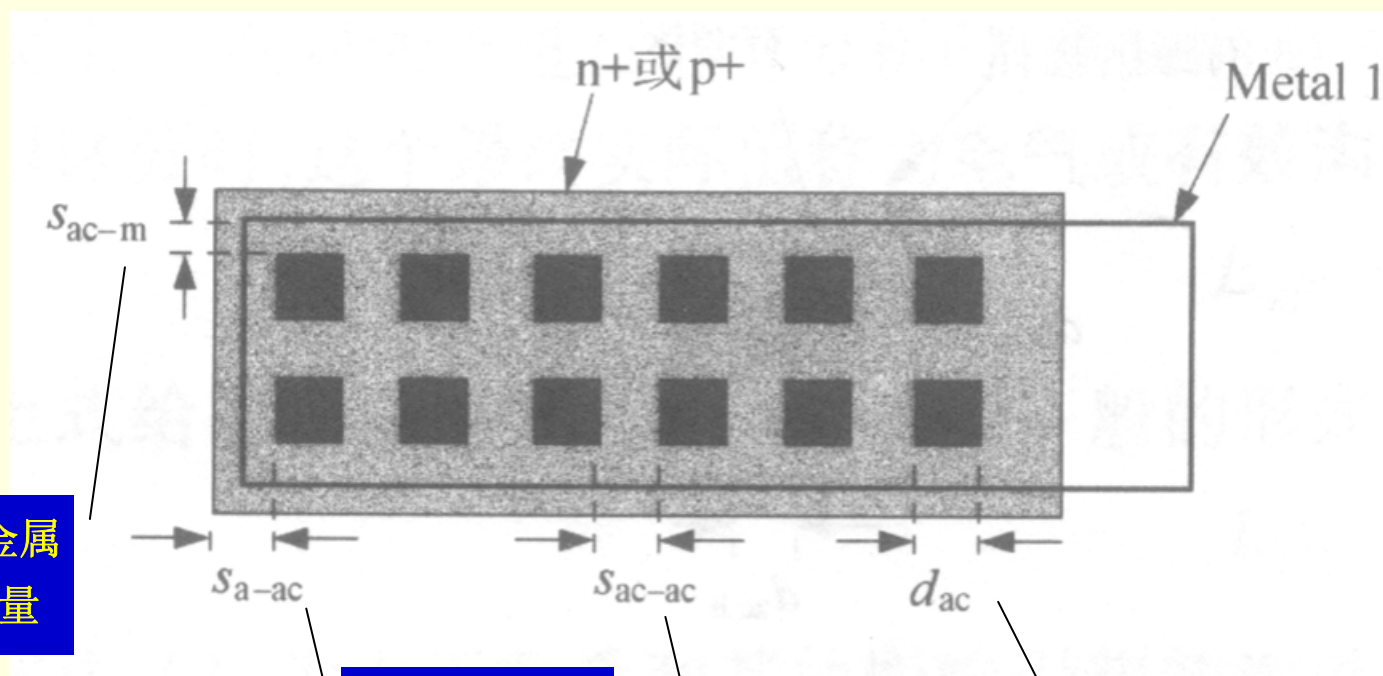
Metal1至有源区接触的最小间距

Metal1线的最小宽度

6.3 基本工艺层版图

金属层:多接触孔

为减少金属与硅之间的接触电阻,可采用多个接触孔并联的形式



有源区对金属
的覆盖余量

若单个接触孔的接触电阻为 R_c , 则 N 个接触孔并联的接触电阻为 $R_{c,eff} = R_c / N$

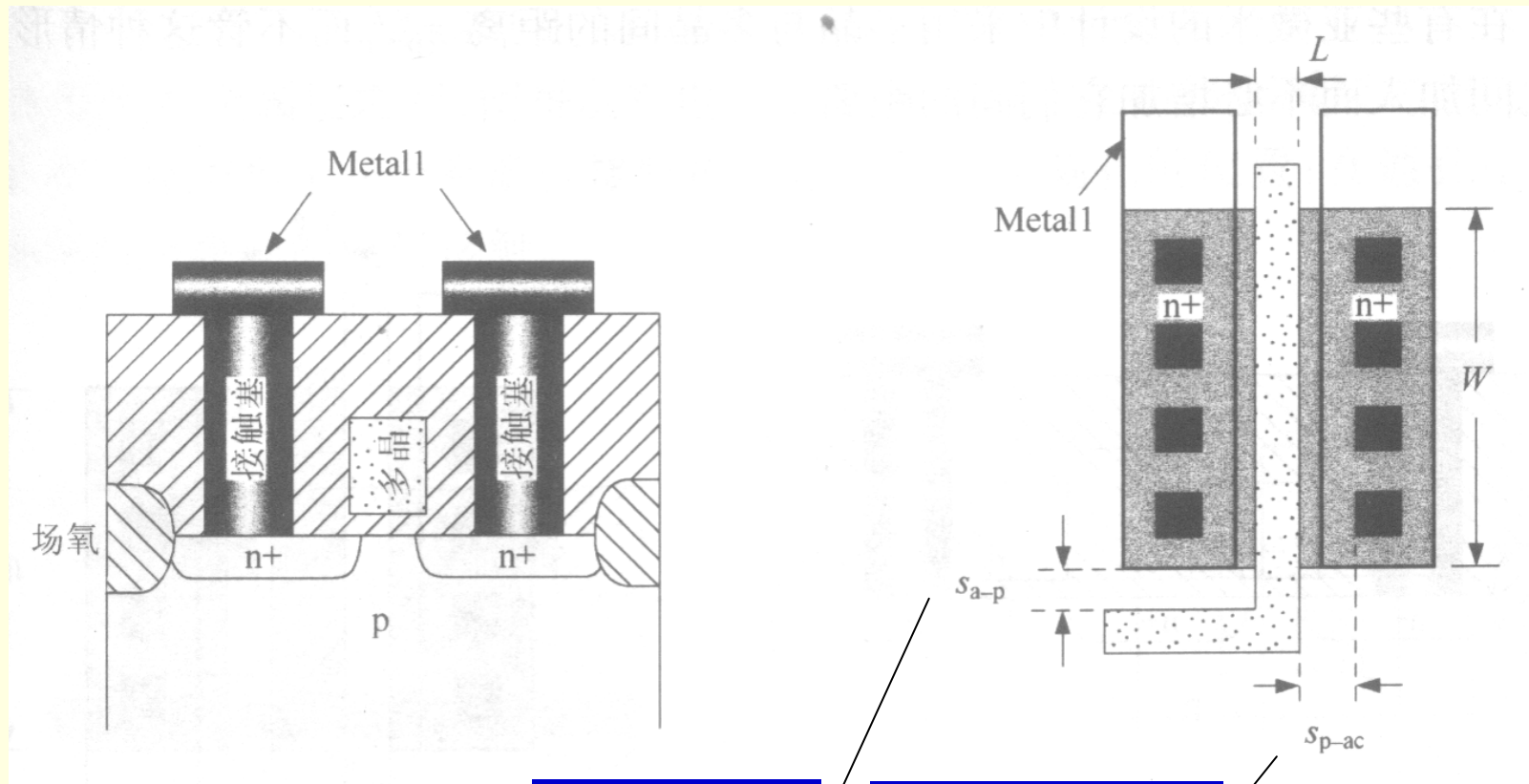
有源区对接触
孔的覆盖余量

相邻接触孔之
间的最小间距

接触孔边长

6.3 基本工艺层版图

金属层:与源/漏接触



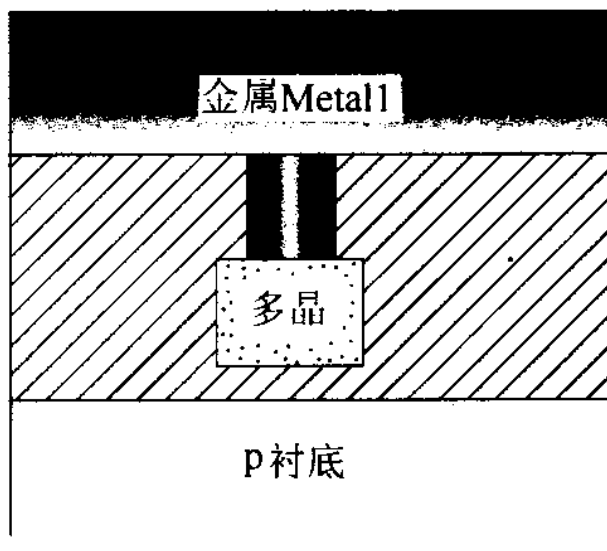
有源区至多晶的最小间距

多晶至有源区接触的最小间距

6.3 基本工艺层版图

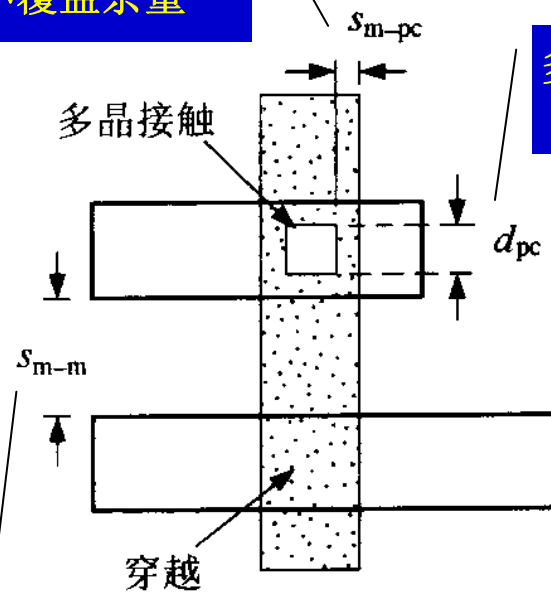
金属层:与多晶接触

多晶与Metal1的连接



(a) 截面图

多晶对接触孔的最小覆盖余量



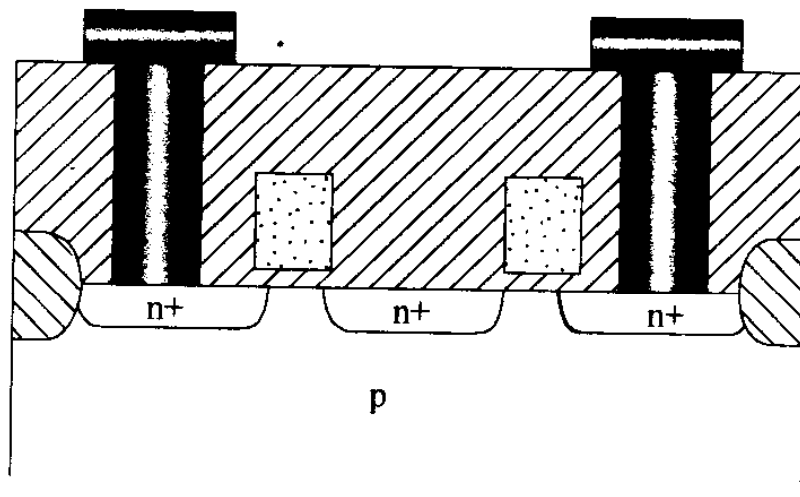
多晶接触孔的最小边长

Metal1与Metal1的最小间距

(b) 版图

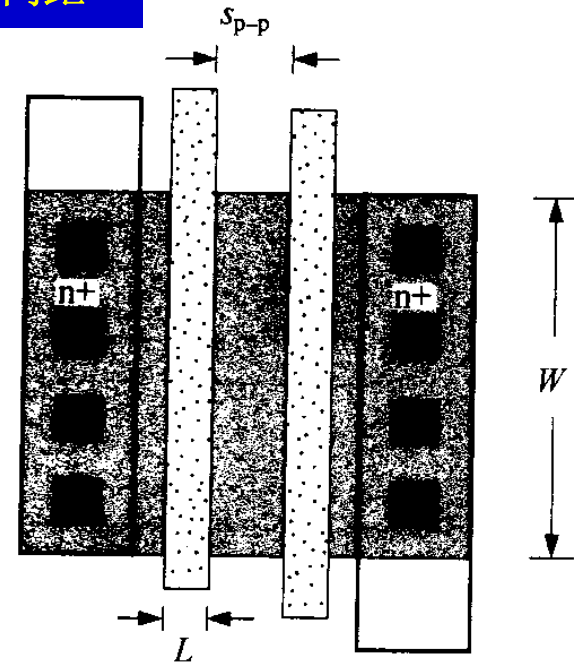
6.3 基本工艺层版图

串联的nFET



(a) 截面图

多晶与多晶之间的
最小间距

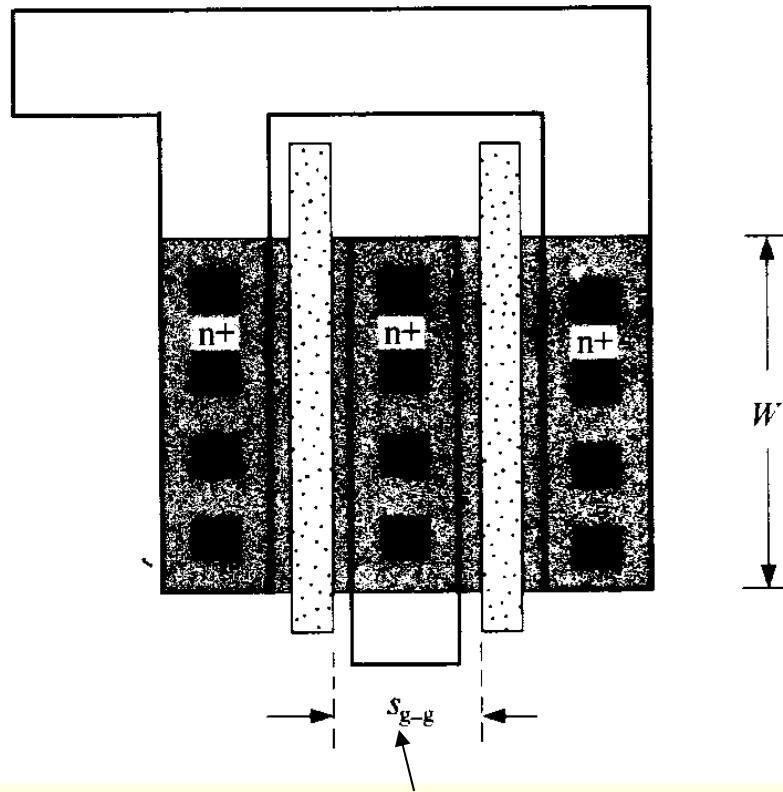


(b) 版图

6.3 基本工艺层版图

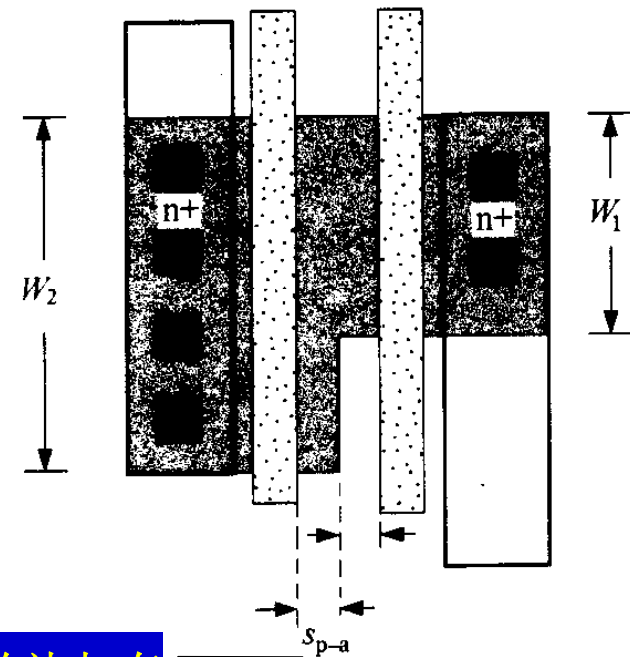
并联的nFET

并联的nFET



$$S_{g-g} = d_{ac} + 2S_{p-ac}$$

沟宽不同的两个nFET串联

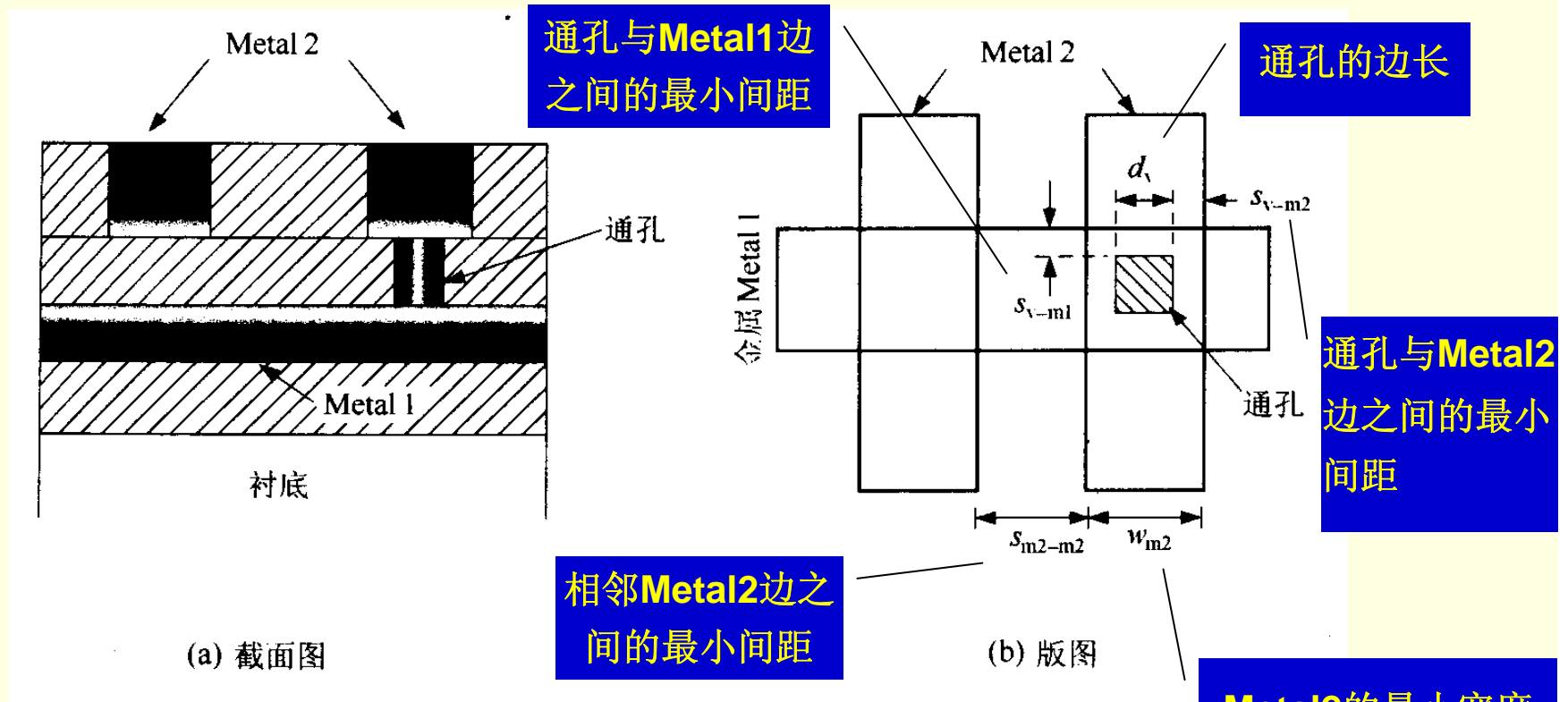


一条栅的边与有源区边界改变处之间的距离

6.3 基本工艺层版图

通孔

通孔 (Via) — 形成相邻两层金属之间的互连

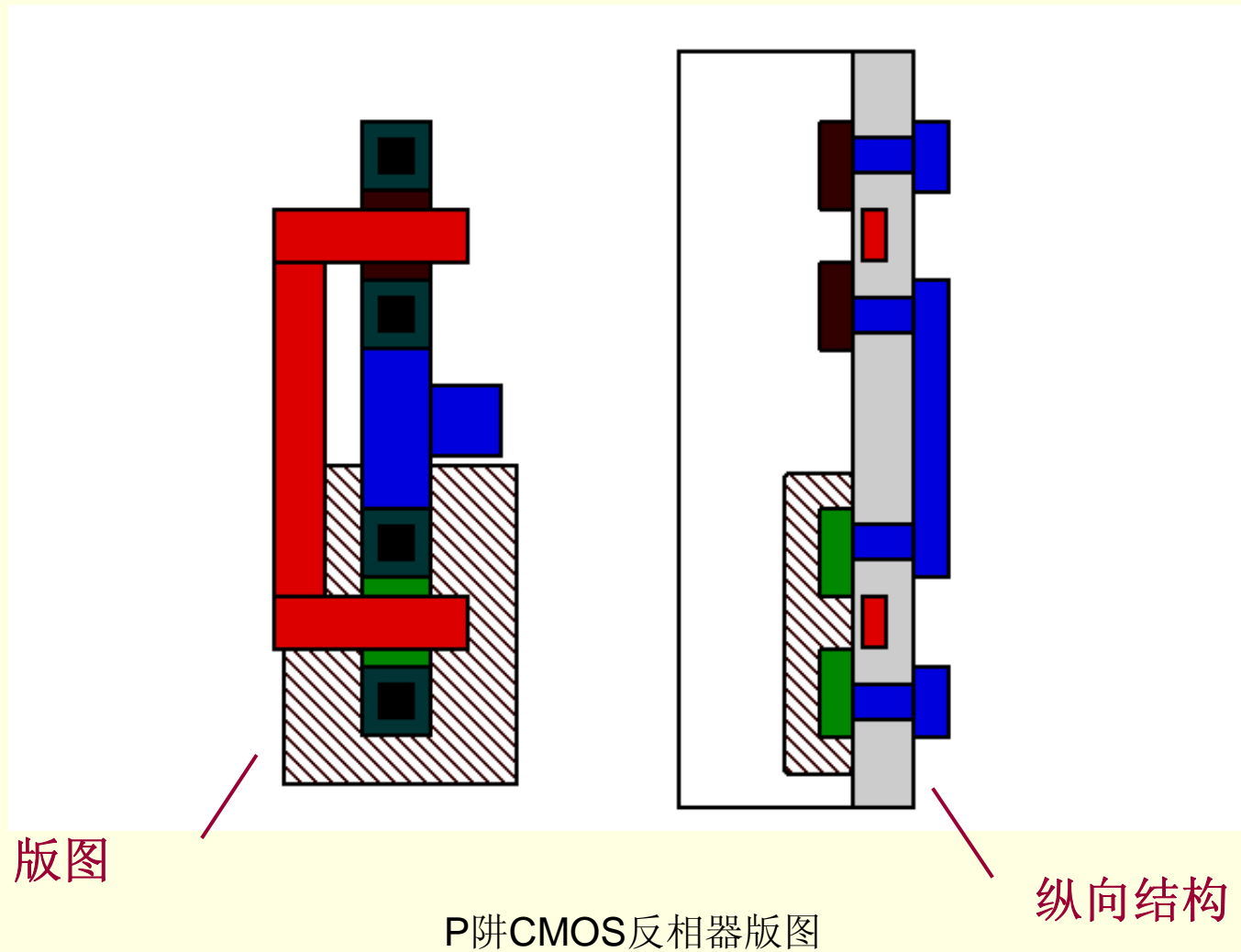


6.3 基本工艺层版图

- 每当有源区被nSelect包围时就形成n+
- 每当有源区被pSelect包围时就形成p+
- 每当多晶穿越n+区时就形成nFET
- 每当多晶穿越p+区时就形成pFET
- 若无接触孔（有源区接触、多晶接触、通孔），
n+、p+、多晶、各层金属即使互相交叉，也不会
形成电连接

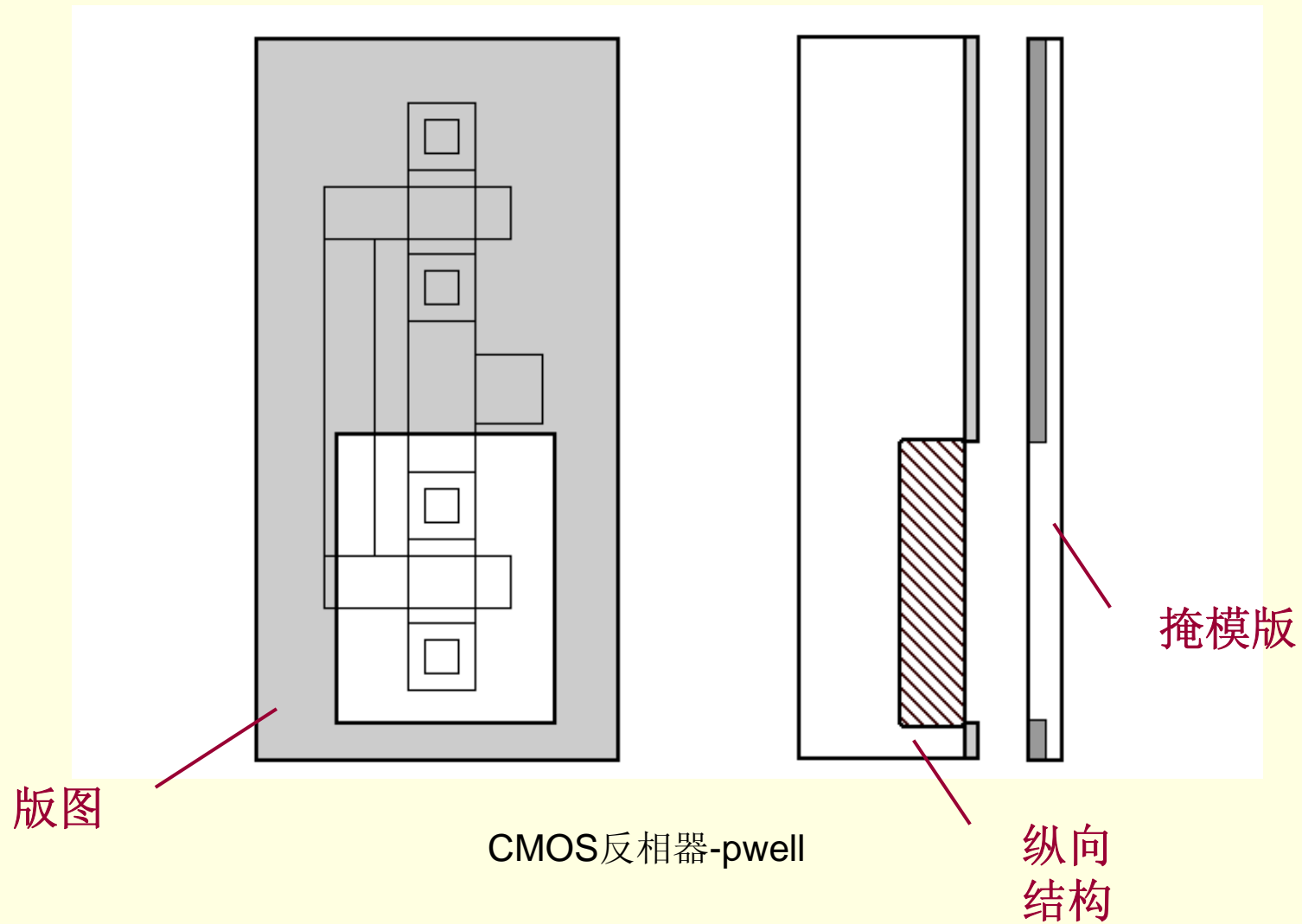
6.4 基本工艺层版图

示例(1)



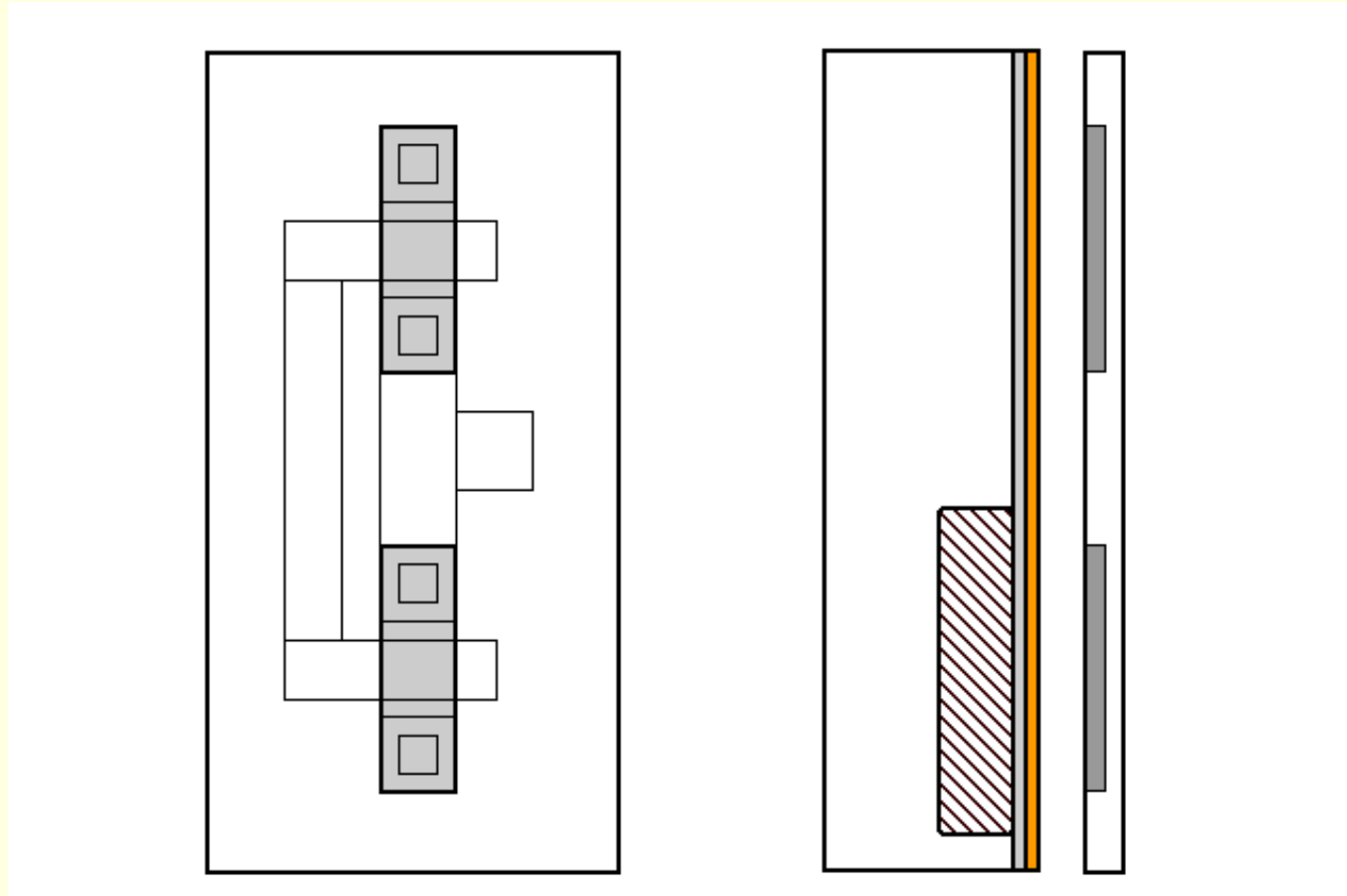
6.4 基本工艺层版图

示例(2)



6.4 基本工艺层版图

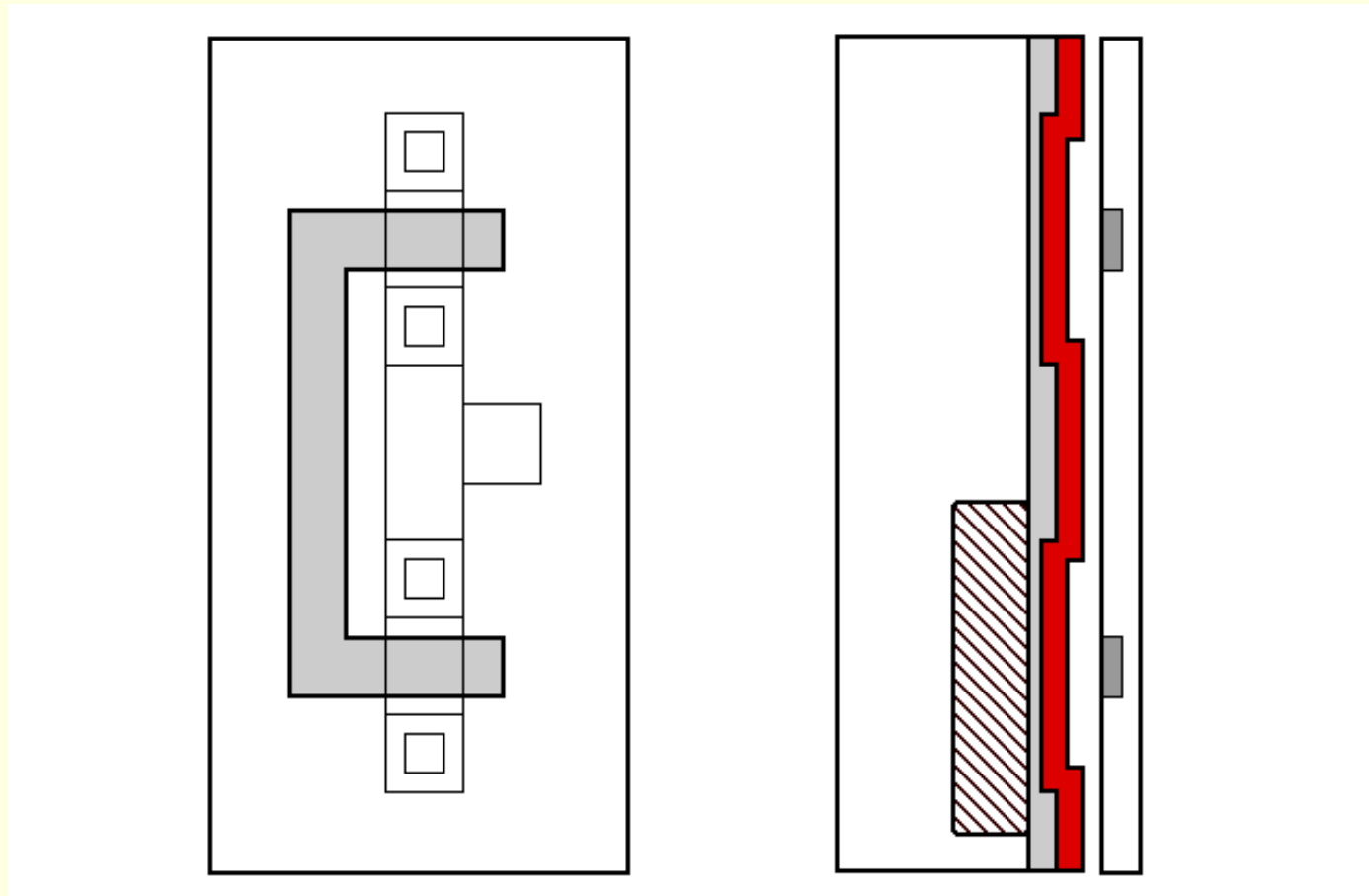
示例(3)



CMOS反相器-Active

6.4 基本工艺层版图

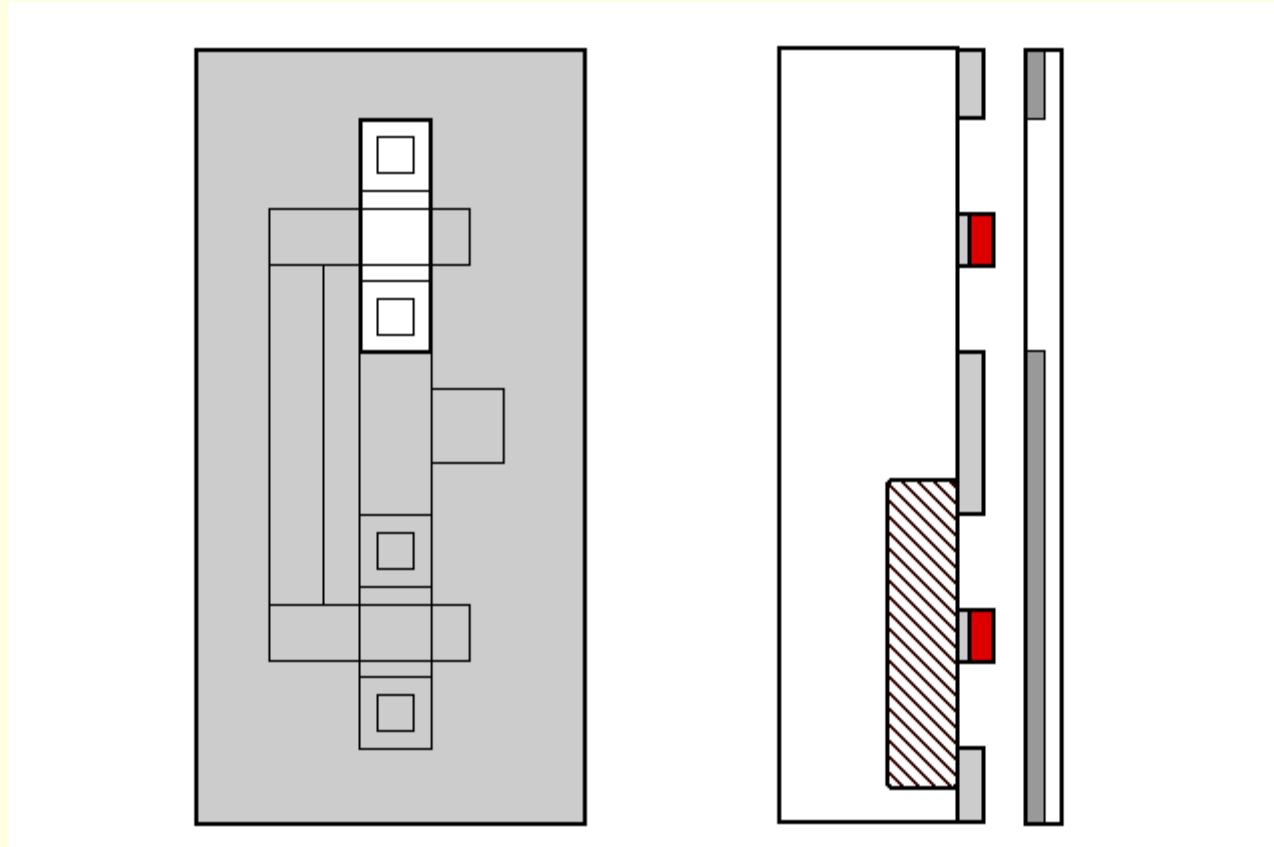
示例(4)



CMOS反相器-Poly

6.4 基本工艺层版图

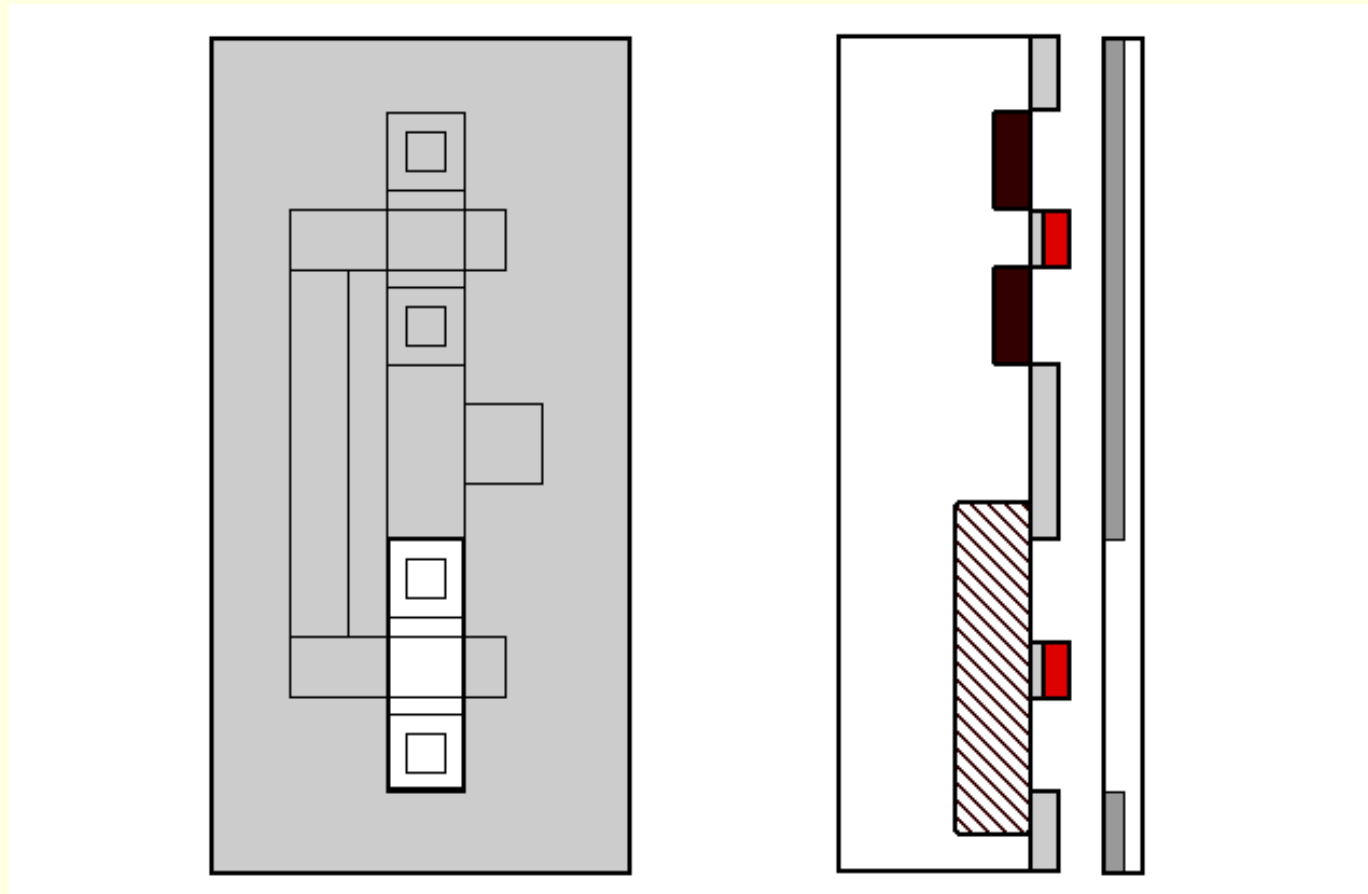
示例(5)



CMOS反相器-pSelect

6.4 基本工艺层版图

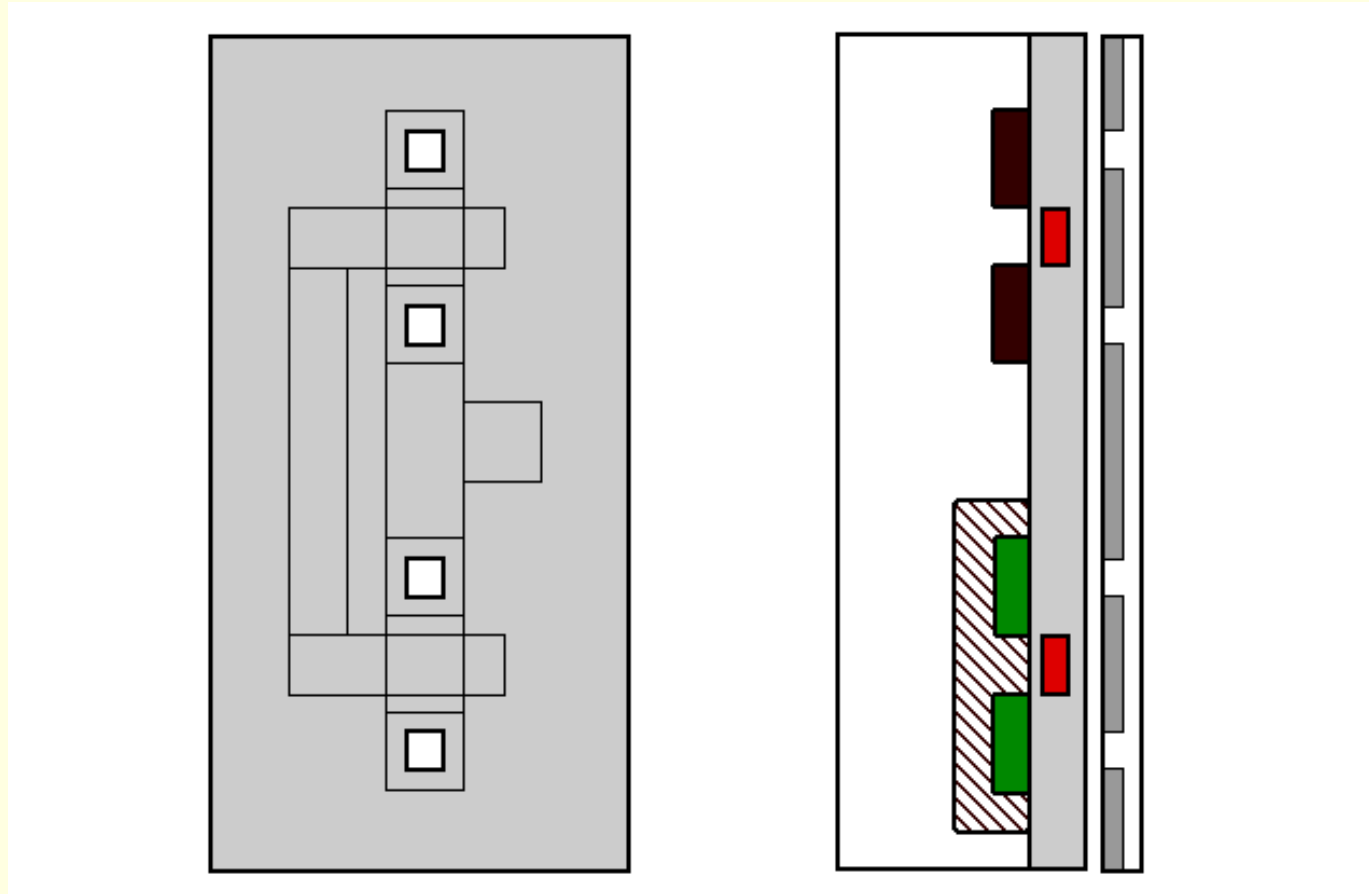
示例(6)



CMOS反相器-nSelect

6.4 基本工艺层版图

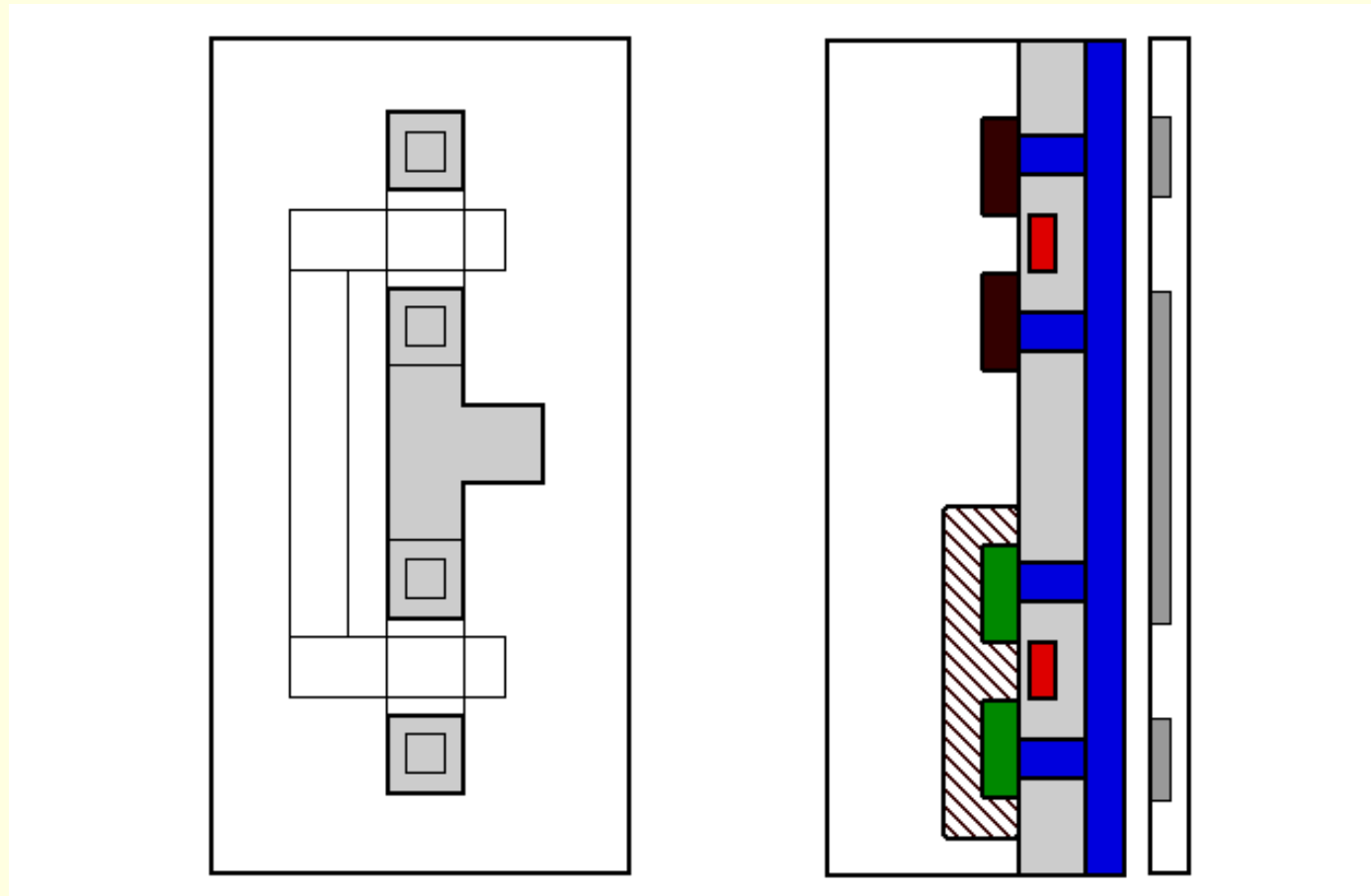
示例(7)



CMOS反相器-Activecontact

6.4 基本工艺层版图

示例(8)

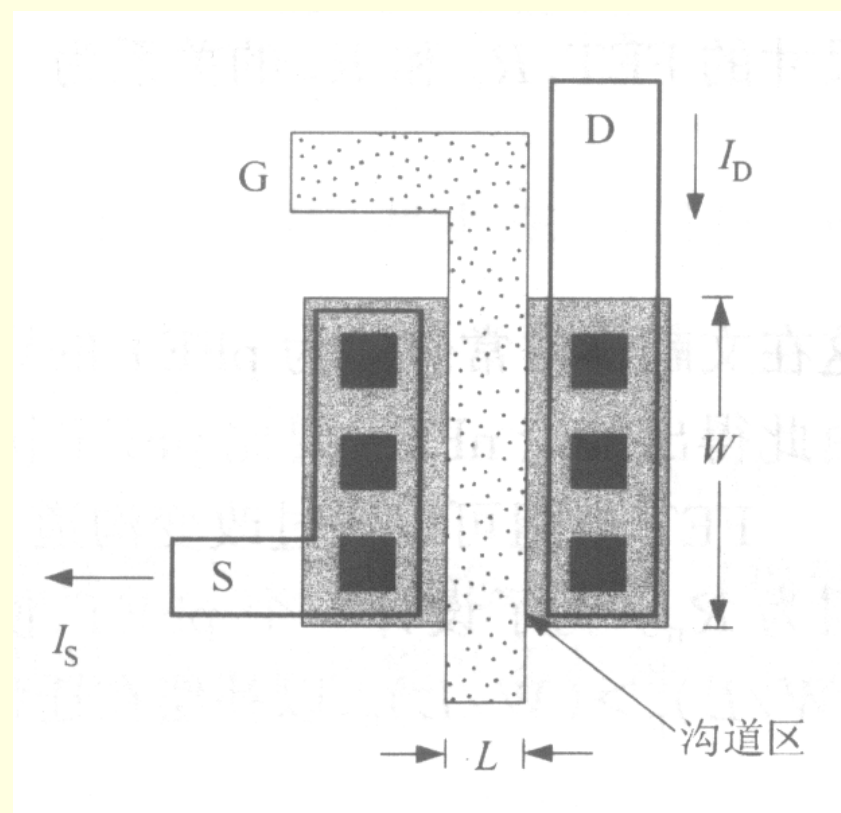


CMOS反相器-Metal

6.5 FET版图尺寸的确

任务

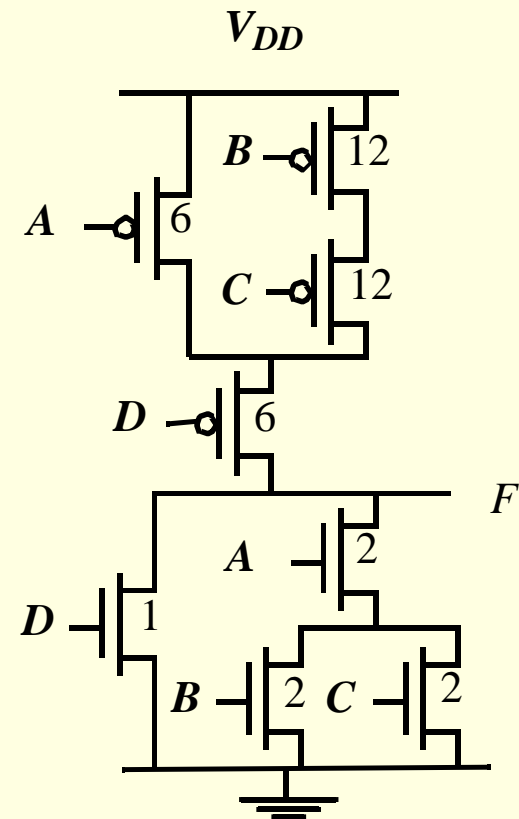
- 版图设计者的任务
 - 实现符合电原理图的布局、布线
 - 版图尺寸应满足设计规则
 - **FET**尺寸应满足电特性指标要求



6.5 FET版图尺寸的确

尺寸确定原则

- 需由版图设计者确定的FET参数
 - 沟道长度 L
 - 沟道宽度 W
 - 沟道宽长比 W/L （若 L 固定的话）
- FET尺寸的确定原则
 - 使电路的特性（直流、开关）对称
 - 符合电路性能指标要求
 - 按最坏情况设计
 - 与逻辑电平（高、低）无关（无比逻辑）



6.5 FET版图尺寸的确定

nFET和pFET之不同

$$\text{nFET} \quad I_{Dn} = \frac{\mu_n C_{ox} W_n}{L_n} (V_G - V_{Tn}) V$$

$$\text{pFET} \quad I_{Dp} = \frac{\mu_p C_{ox} W_p}{L_p} (V_G - |V_{Tp}|) V$$

$$\frac{\text{nFET}}{\text{pFET}} \quad \frac{I_{Dn}}{I_{Dp}} \approx \frac{\mu_n W_n / L_n}{\mu_p W_p / L_p}$$

要使 $I_{Dn} = I_{Dp}$, 必须有 $\left(\frac{W}{L}\right)_p = r \left(\frac{W}{L}\right)_n$ 其中 $r = \frac{\mu_n}{\mu_p} = 2 \sim 3$

在此条件下, $R_{chn} = R_{chp} (\propto \mu W / L)$, $C_{Gp} = r C_{Gn} (\propto WL)$

室温下

$$\mu_p = 220 \text{cm}^2 / \text{V} \cdot \text{s}$$

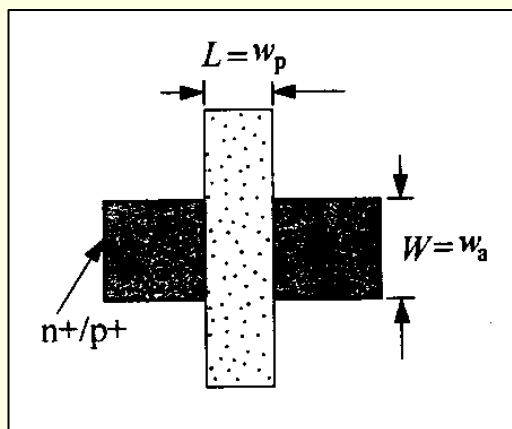
$$\mu_n = 550 \text{cm}^2 / \text{V} \cdot \text{s}$$

要使pFET获得与nFET同样的电流特性, 就必须占据更大的芯片面积

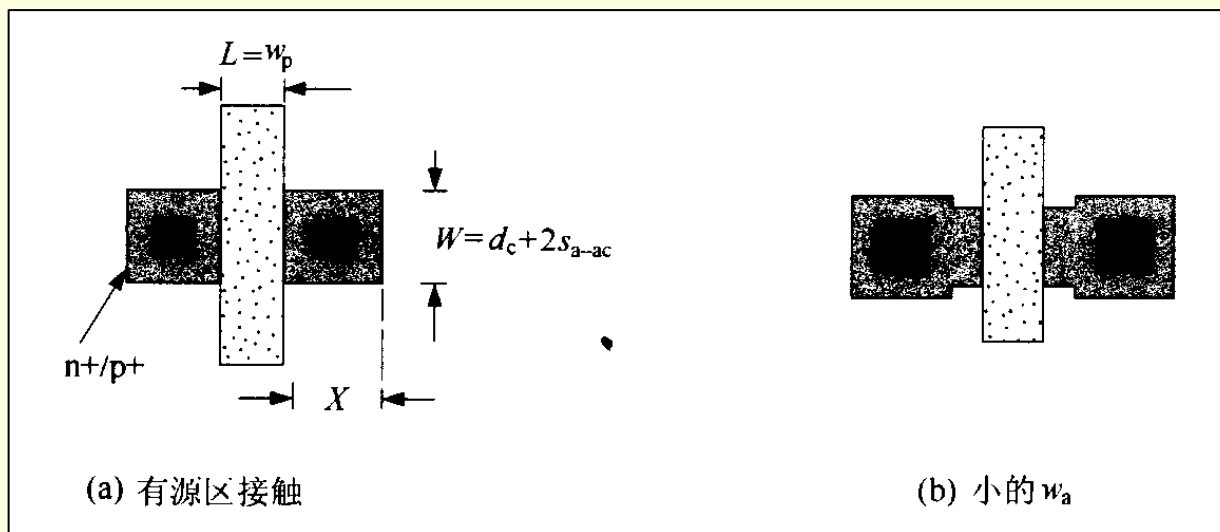
6.5 FET版图尺寸的确定

单元晶体管:定义

- 单元晶体管：作为所有其他晶体管的设计参照，只要复制、放大之，就能获得其他所有晶体管。
- 最小尺寸晶体管：按设计规则尺寸设计的晶体管。常用最小尺寸晶体管作为单元晶体管。



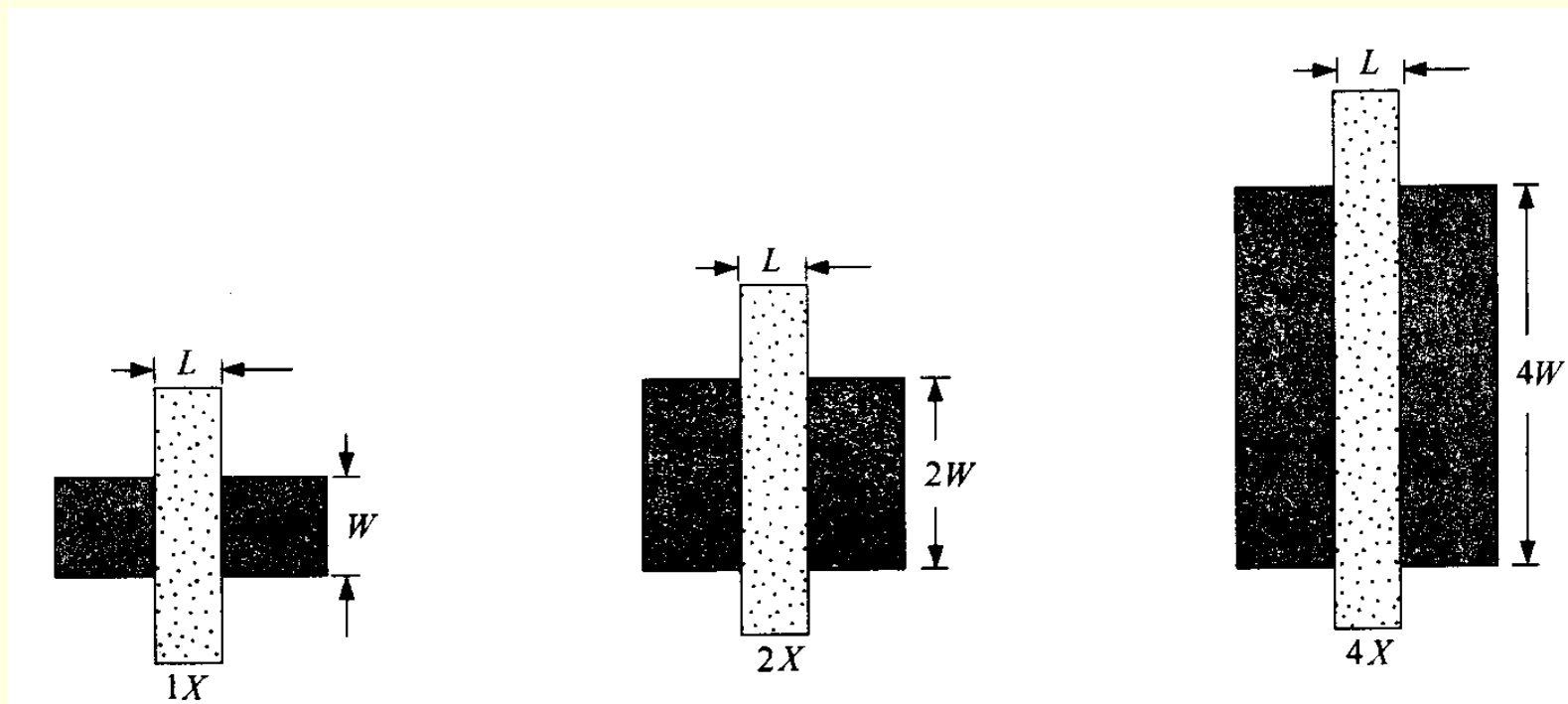
不带接触孔的最小尺寸晶体管



带有源区接触的最小晶体管

6.5 FET版图尺寸的确

单元晶体管:放大



$$\frac{W}{L} \quad R_{1x} \quad C_{1x}$$

$$\frac{2W}{L} \quad \frac{R_{1x}}{2} \quad 2C_{1x}$$

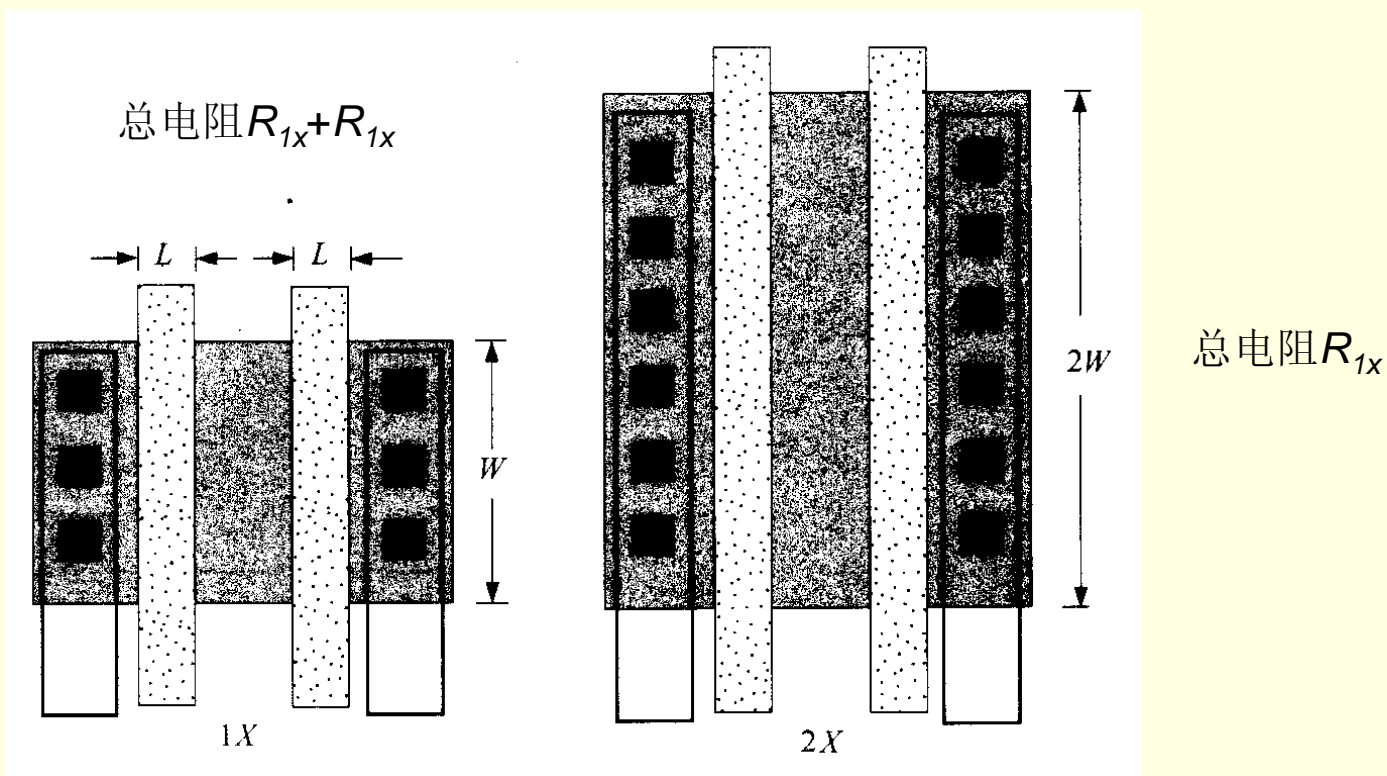
$$\frac{4W}{L} \quad \frac{R_{1x}}{4} \quad 4C_{1x}$$

若单位晶体管的宽长比为 W/L ，沟道电阻为 R_{1x} ，栅电容为 C_{1x} ，则放大 s 倍后的晶体管的常数为 $s(W/L)$ 、 R_{1x}/s 、 sC_{1x}

6.5 FET版图尺寸的确定

单元晶体管: 串联链

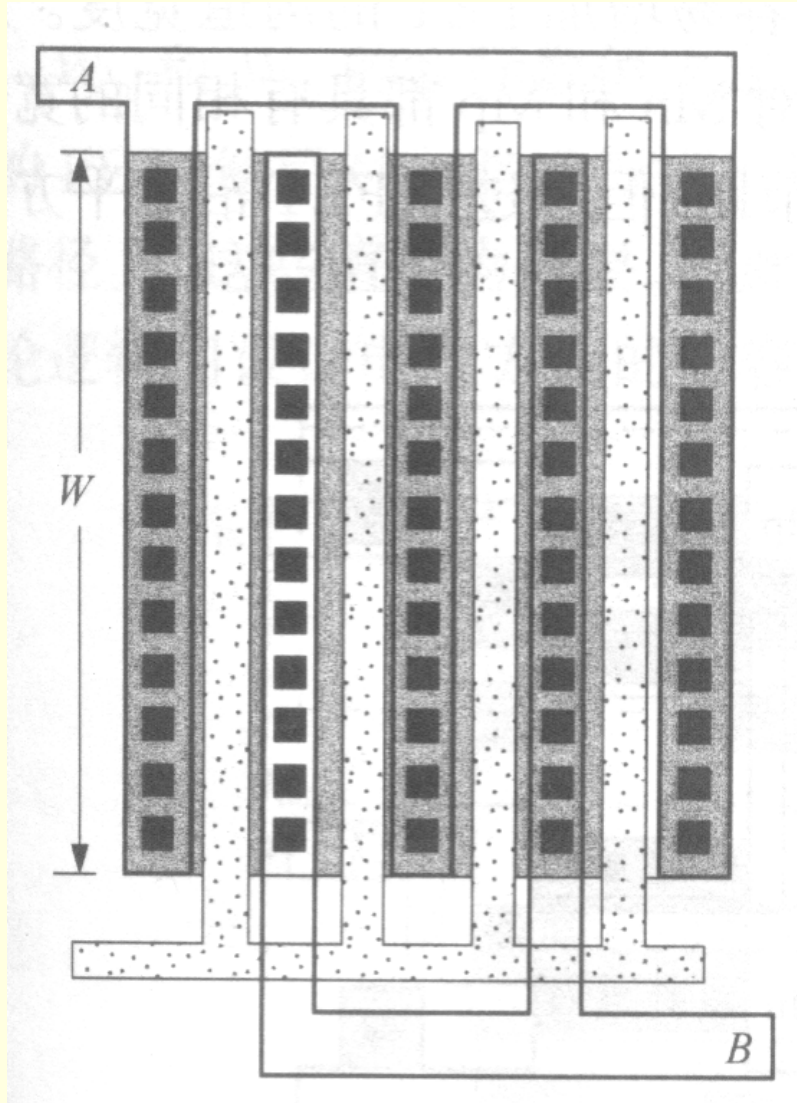
串联连接FET链的放大



要使2个晶体管串联后电阻仍然等于单个晶体管的电阻，就必须将晶体管的宽度放大1倍

6.5 FET版图尺寸的确

交叉型晶体管



用平行连接的管子构成高宽
长比的FET

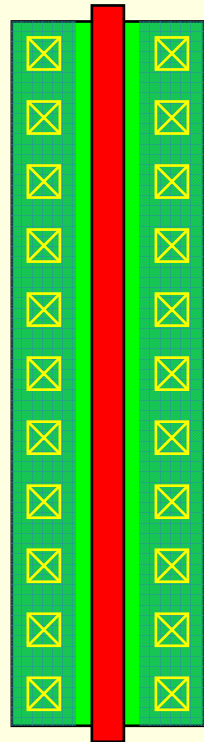
$$W_{eff} = 4W$$

长条→方形

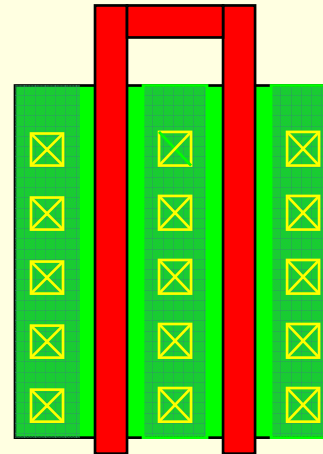
6.5 FET版图尺寸的确

叉指型晶体管

One finger



Two fingers (folded)

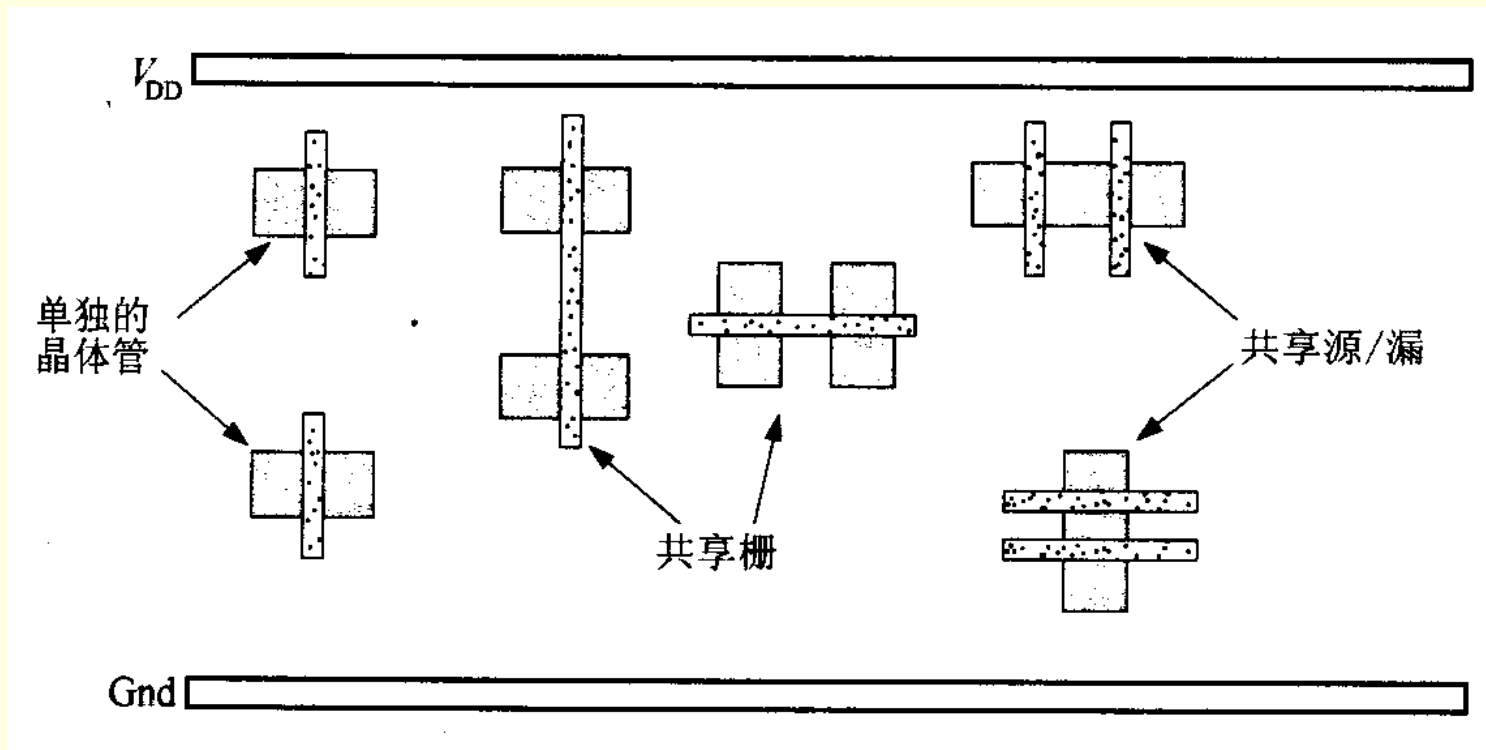


Less diffusion capacitance

6.6 版图设计方法

基本规则

- 图形和阵列尽量规则，避免采用多边形，以便得到最大的密度
- n+、p+和栅能共享则共享
- 电源、地线一般采用水平方向的金属线，置于布局布线区的上、下方



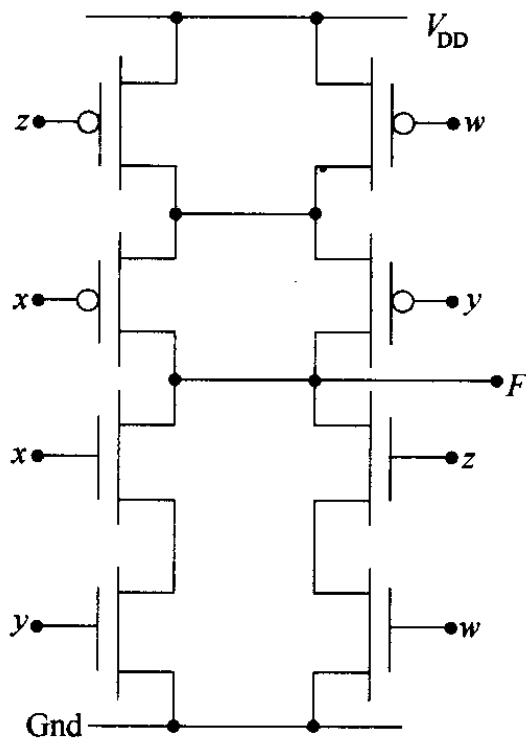
6.6 版图设计方法

设计步骤:实例

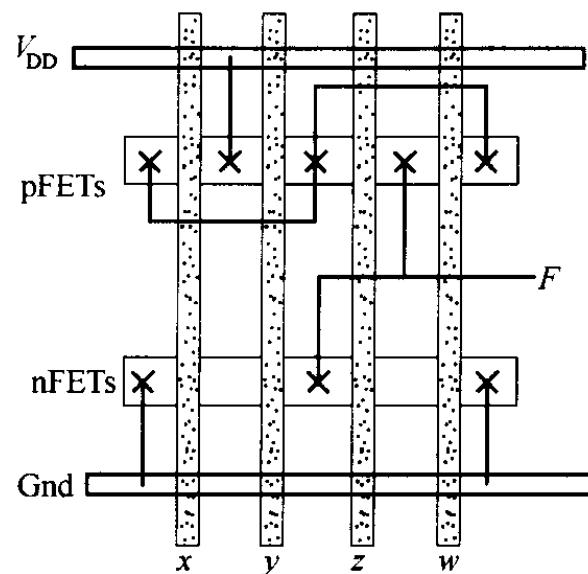
- 1) 画 VDD 和 Gnd 水平线，分别置于顶和底
- 2) 画四个输入的多晶硅栅，等间距垂直
- 3) 画 pFET 的有源区条和 nFET 的有源区条
- 4) 画金属线，按规定的逻辑进行互连

AOI逻辑

$$F = \overline{x \cdot y + z \cdot w}$$



(a) 电路



(b) 版图布线

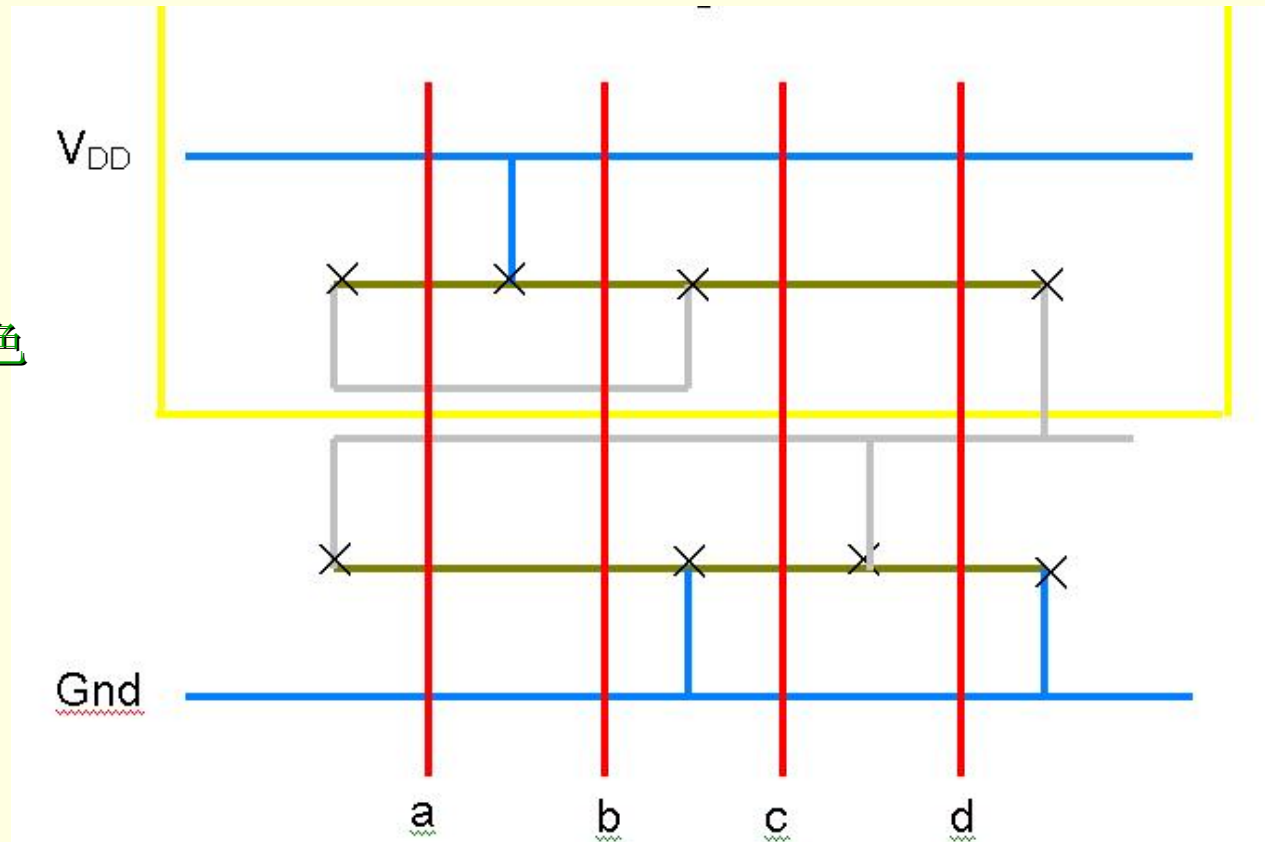
6.6 版图设计方法

棍棒图法:定义

- 用线来代表FET结构和互连线，用不同的颜色代表不同的工艺层。
- 只表示晶体管的相对位置及互连关系，无晶体管尺寸信息。

惯用颜色:

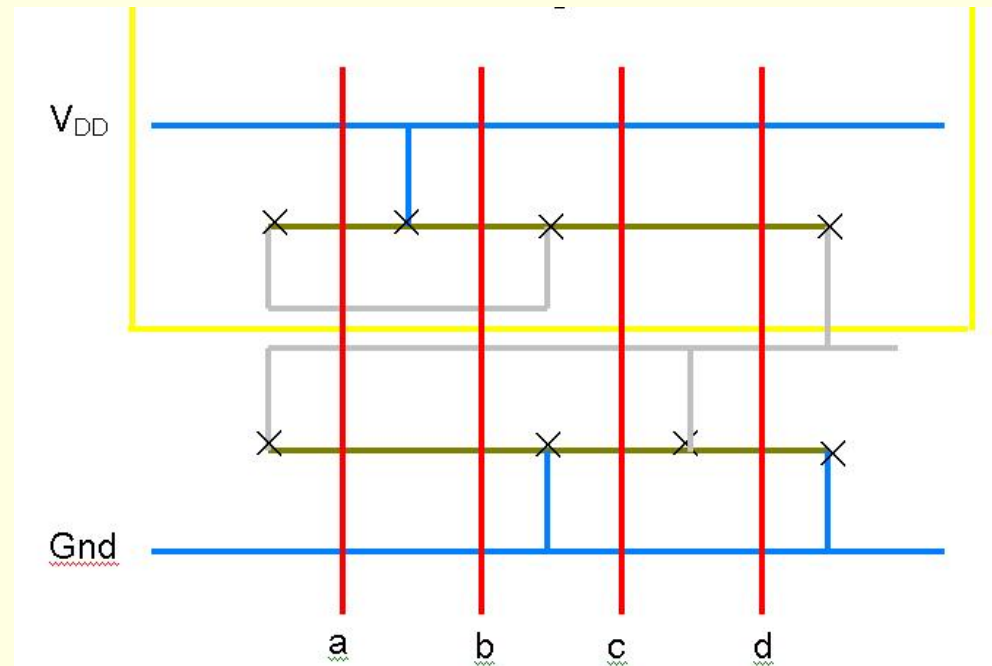
- 多晶硅: 红色
- 有源区(n+、p+): 绿色
- n阱: 黄色
- 金属1: 蓝色
- 金属2: 灰色
- 接触或通孔: 黑叉



6.6 版图设计方法

棍棒图法:设计规则

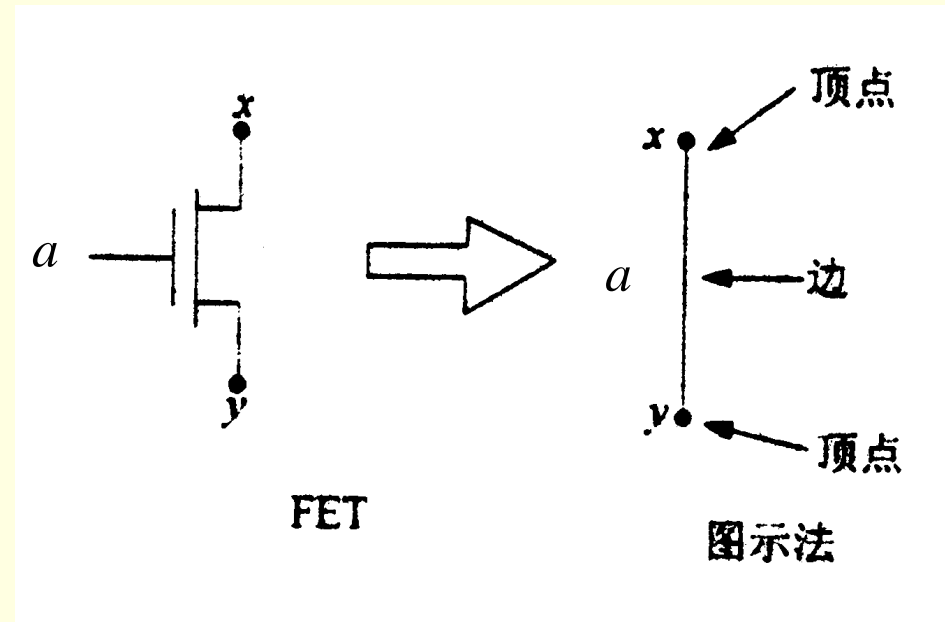
- 红线与绿线交叉产生一个FET
- FET在黄色边框内为pFET，在黄色边框外为nFET
- 红线在绿线之上
- 红色可以越过蓝色或灰色
- 蓝色可以越过红色、绿色或灰色
- 灰色可以越过红色、绿色或蓝色
- 蓝色连接绿色必须放置晶体管接触孔
- 蓝色连接红色必须放置多晶接触孔
- 蓝色连接灰色必须放置通孔



6.6 版图设计方法

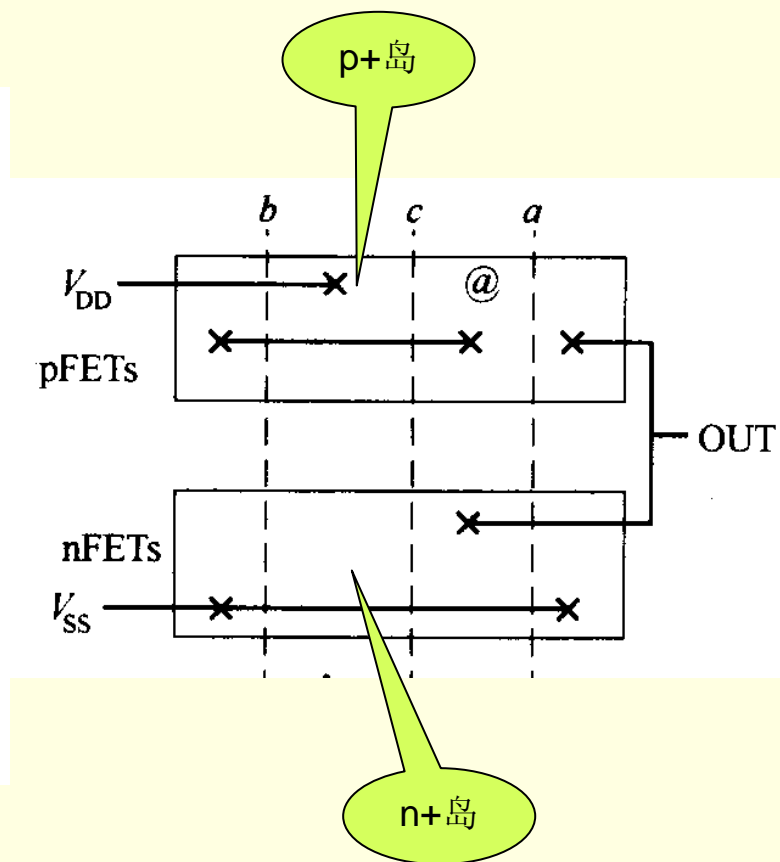
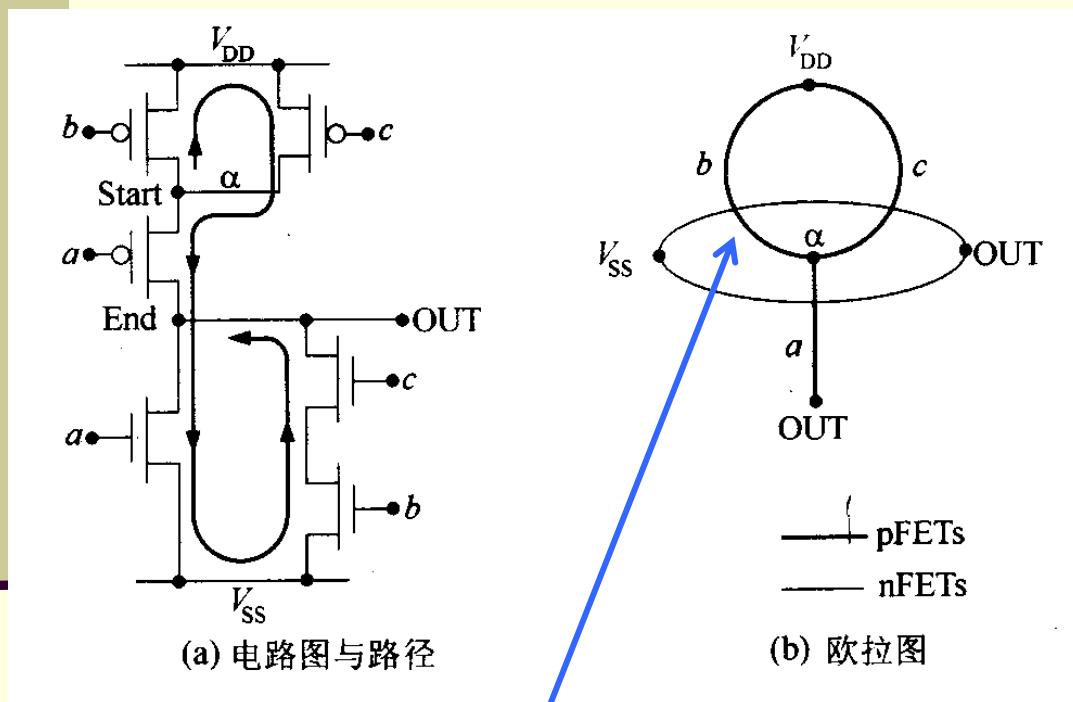
欧拉(Euler)图法:定义

用顶点代表FET的漏和源，
用边代表FET半身和栅，根据
电路关系连接顶点，由此形成
的称为欧拉图。



6.6 版图设计方法

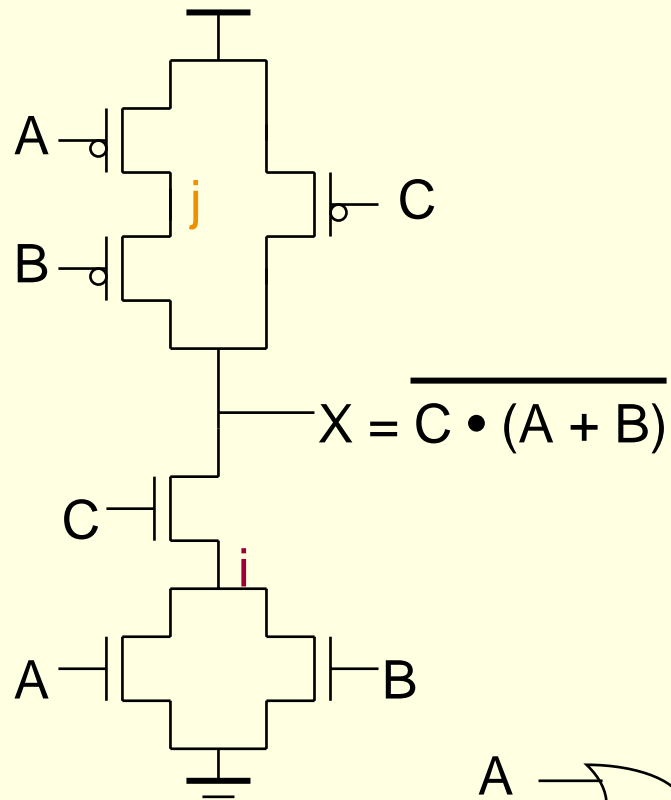
欧拉图法:实例1



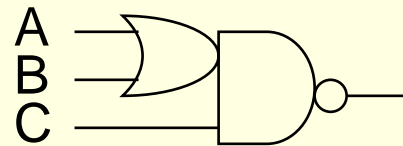
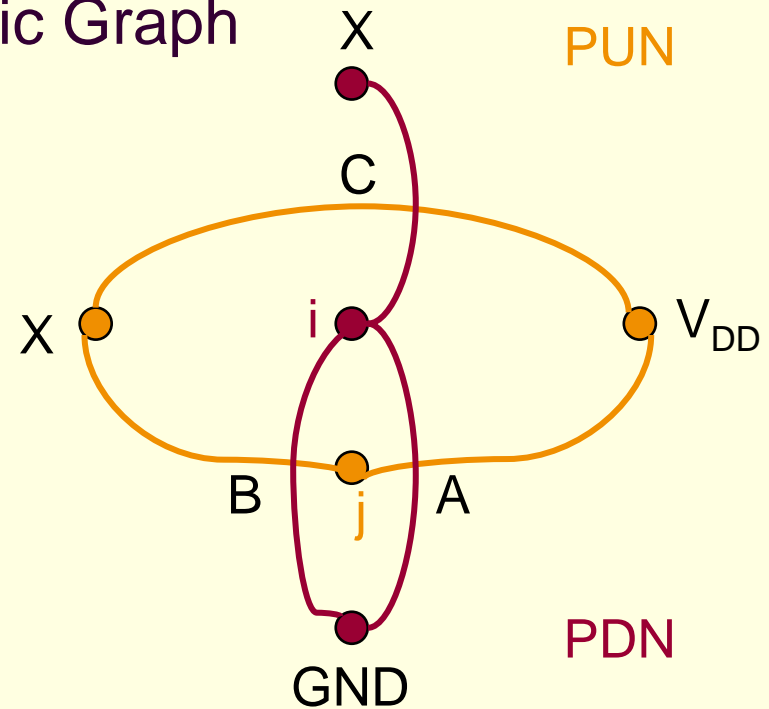
nFET链闭合 → 所有nFET可做在1个n+岛上
 pFET链闭合 → 所有pFET可做在1个n+岛上

6.6 版图设计方法

欧拉图法:实例2



Logic Graph



6.6 版图设计方法

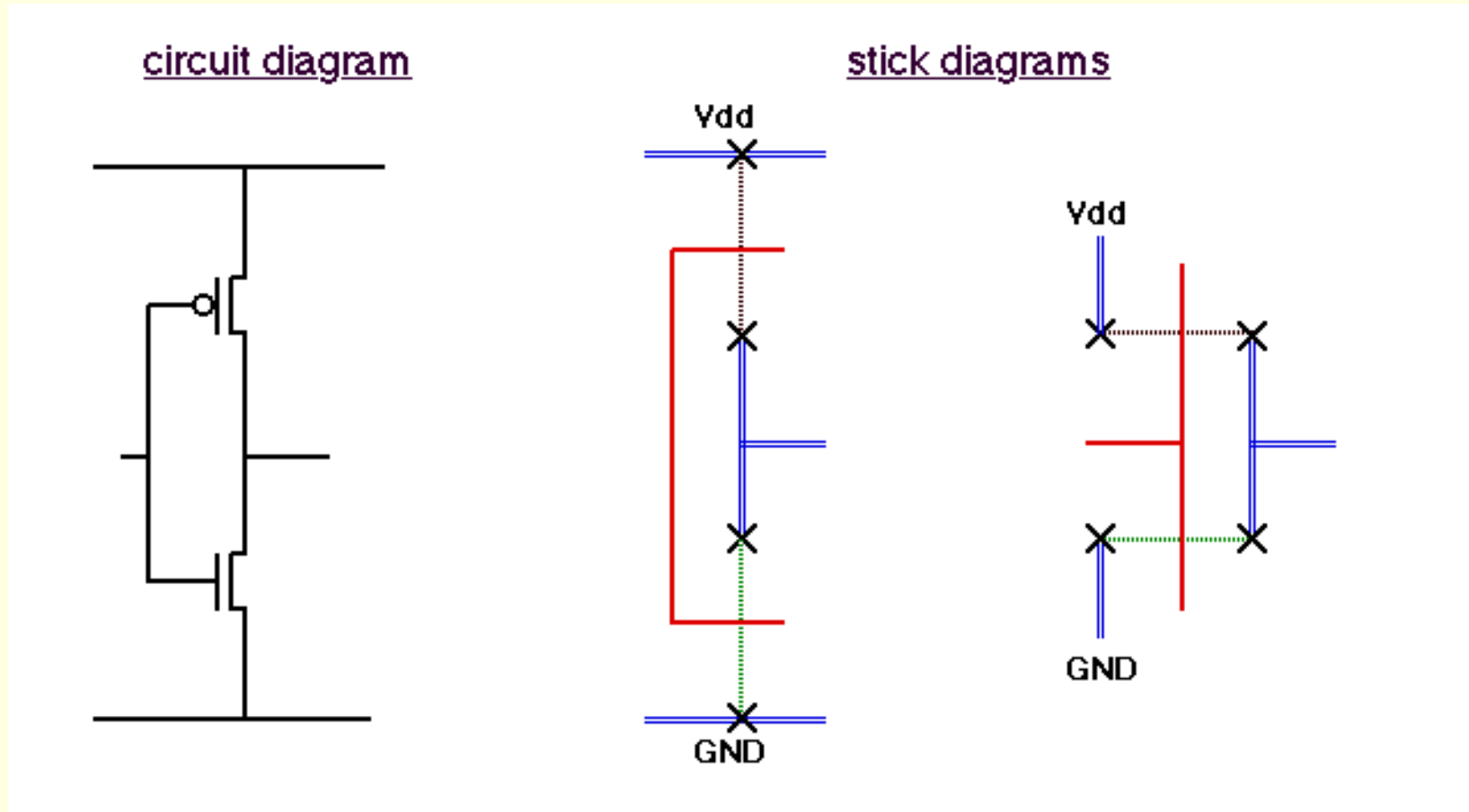
欧拉图法:判断规则

利用欧拉图判断n+或p+岛是否可共用

- **欧拉路径:** 在欧拉图中, 任选择1个起始顶点, 从该点开始走过整个图形, 使每条边通过且只通过1次, 这样形成的路径称为欧拉路径。
- **判断规则:** 若nFET的欧拉路径是闭合的, 则所有nFET可以共用1个n+岛, 否则不行; 若pFET的欧拉路径是闭合的, 则所有pFET可以共用1个p+岛, 否则不行。

6.6 版图设计方法

反相器:棍棒图

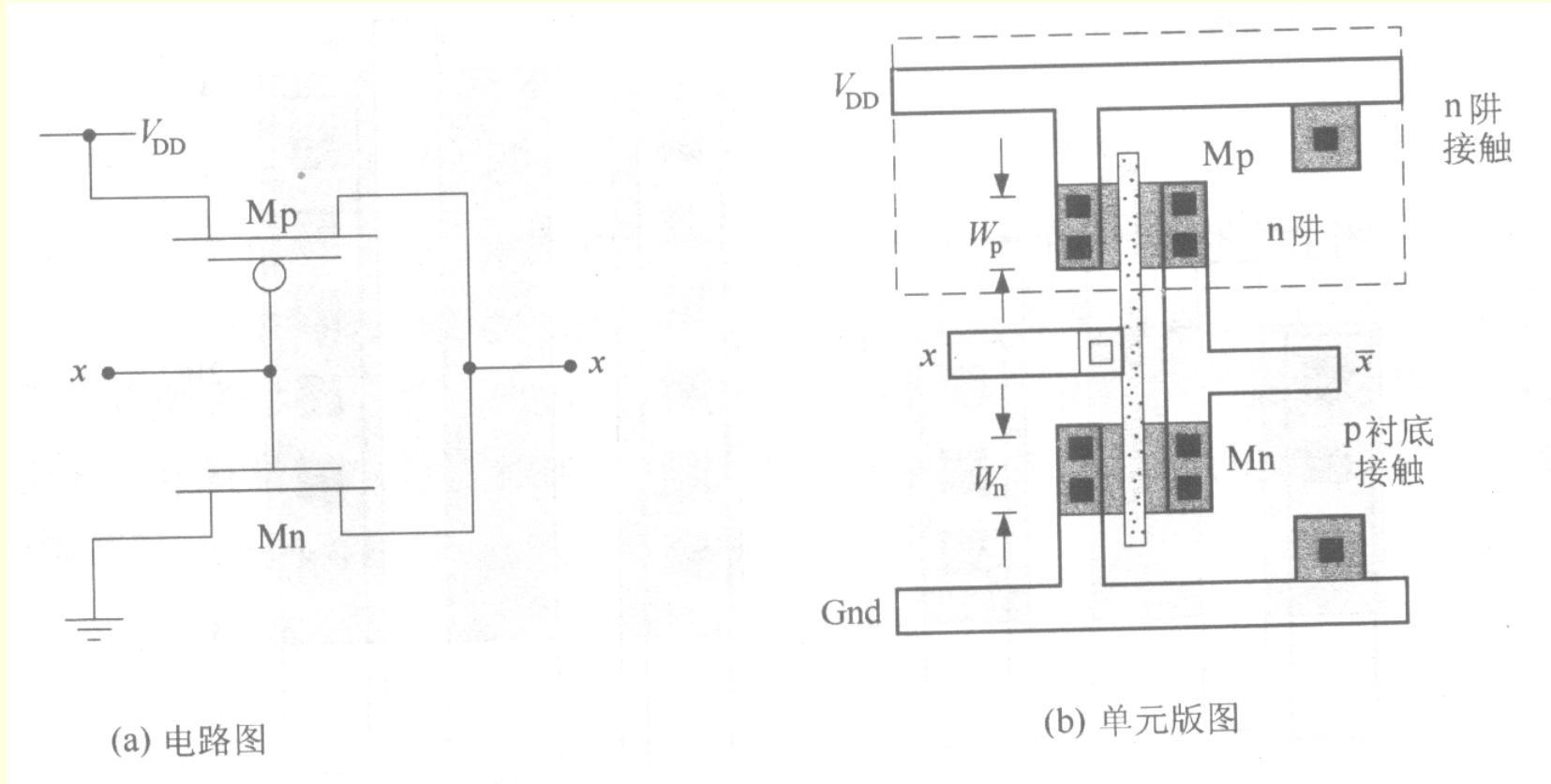


垂直放置

水平放置

6.6 版图设计方法

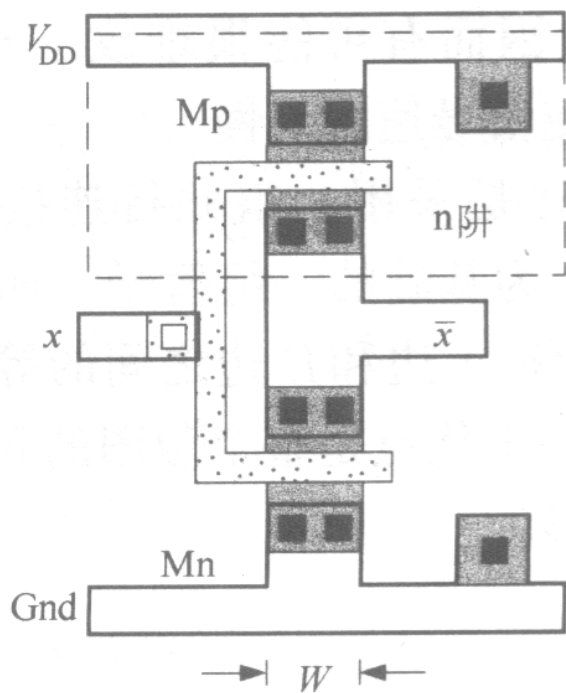
反相器:水平放置



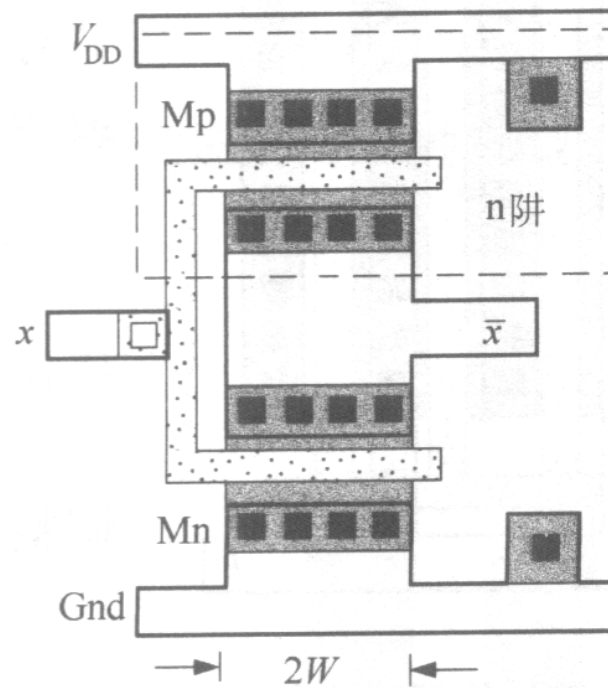
水平放置: W 的扩大受限制

6.6 版图设计方法

反相器:垂直放置



(a) 基本单元

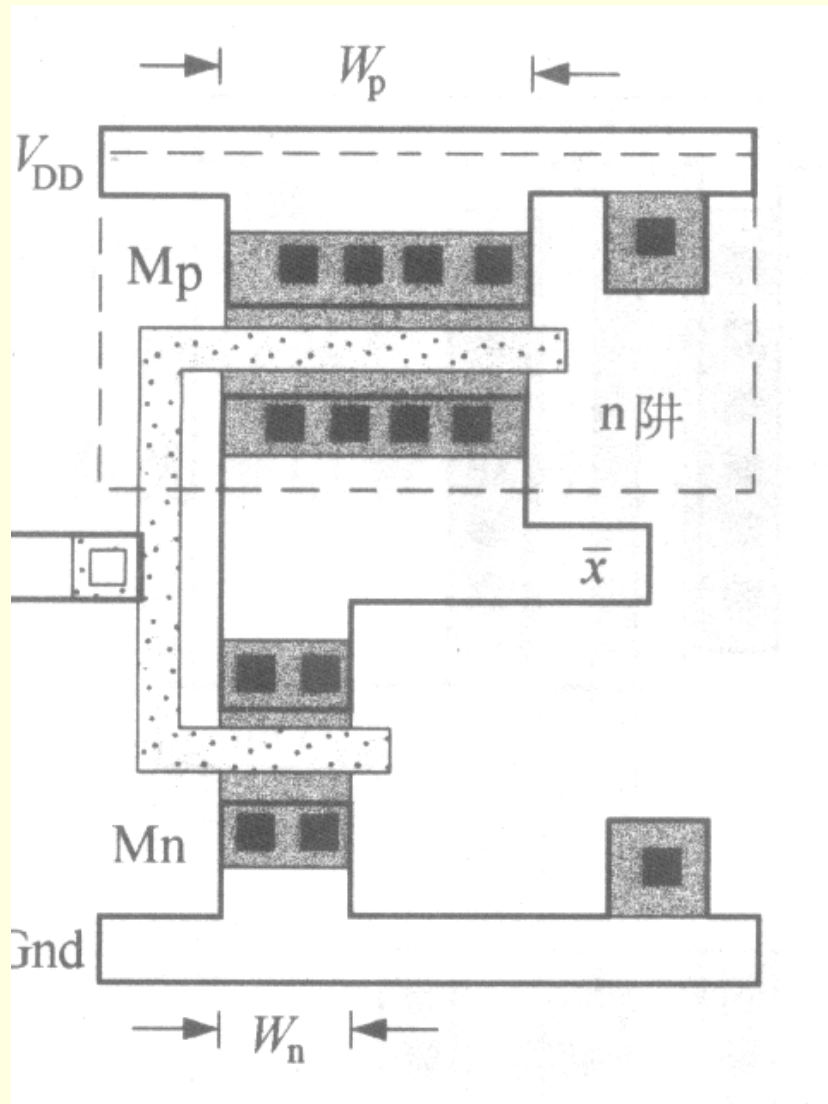


(b) 2倍单元

垂直放置: W 的扩大容易

6.6 版图设计方法

反相器:对称结构

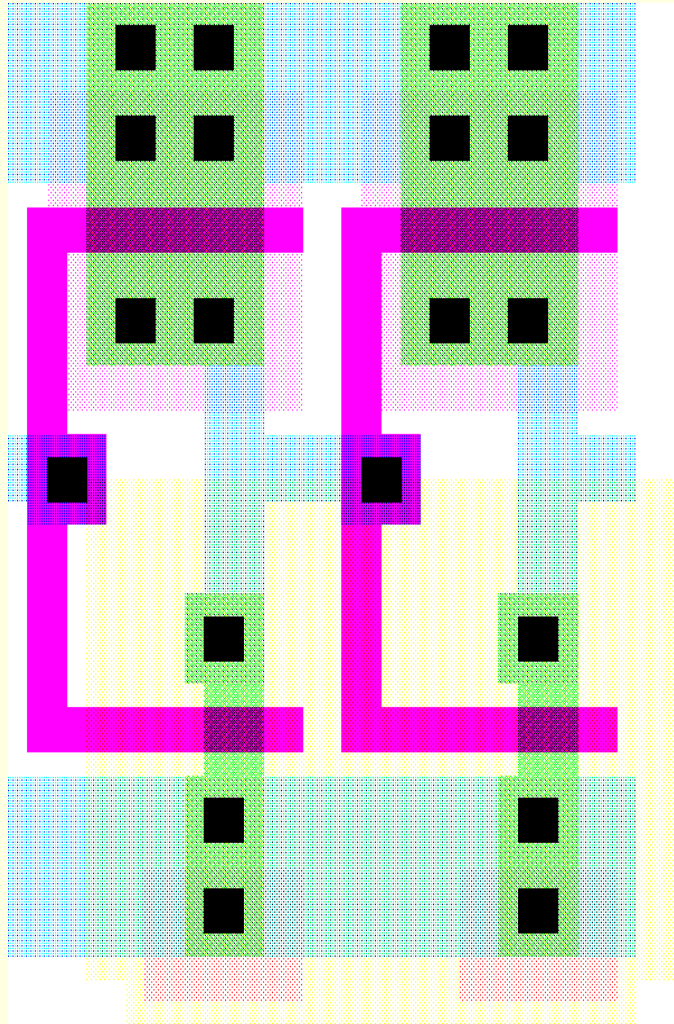


$$W_p = rW_n$$

pFET与nFET具有相同的电特性

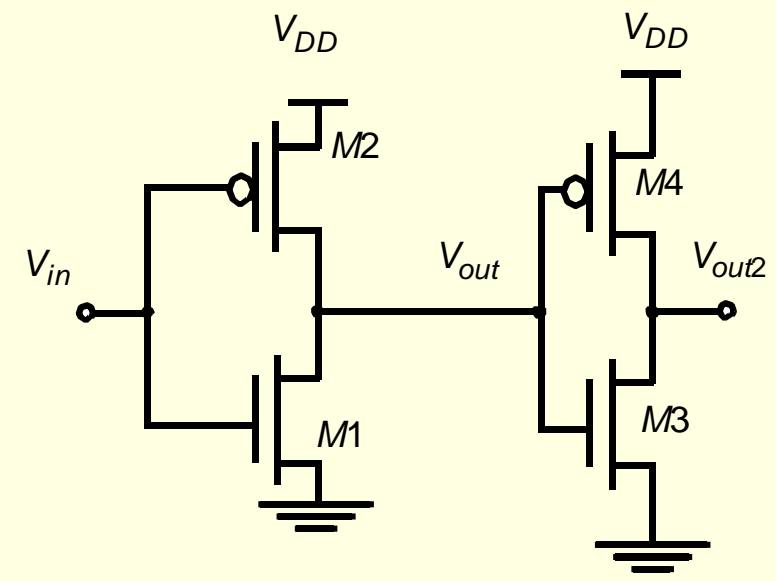
6.6 版图设计方法

反相器串联



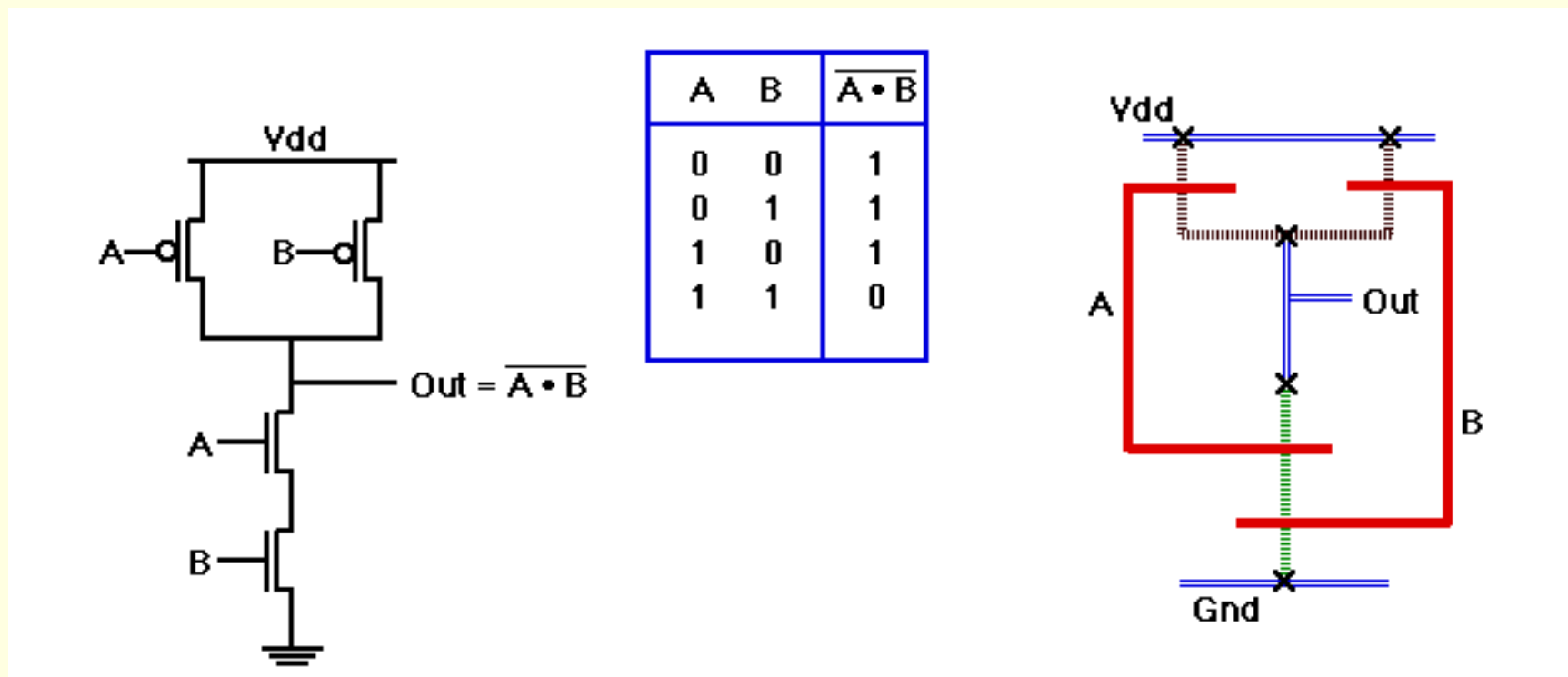
$$W_p = rW_n$$

pFET与nFET具有相同的电特性



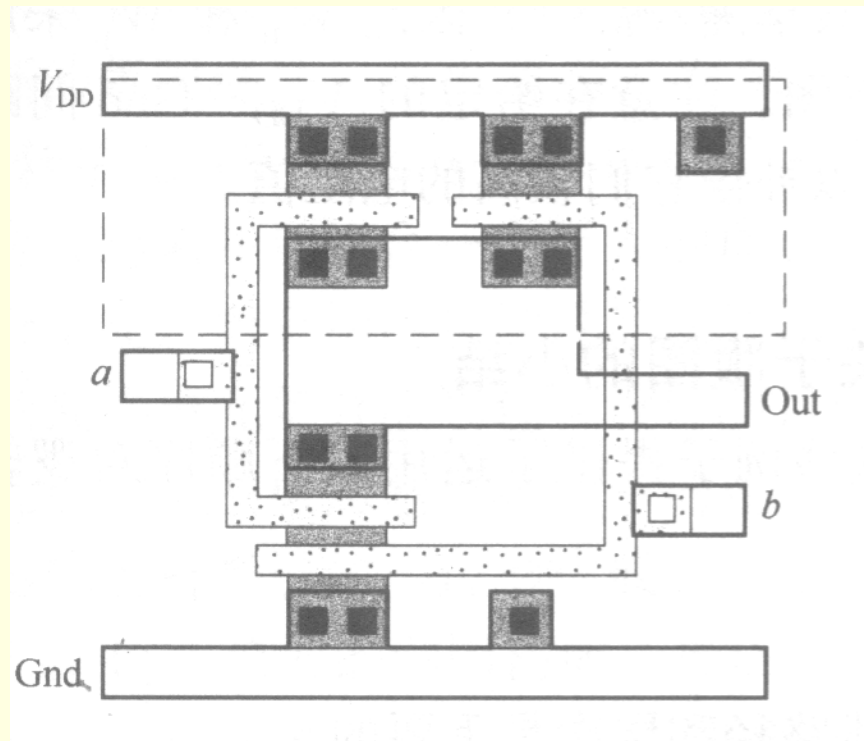
6.6 版图设计方法

NAND2: 棍棒图

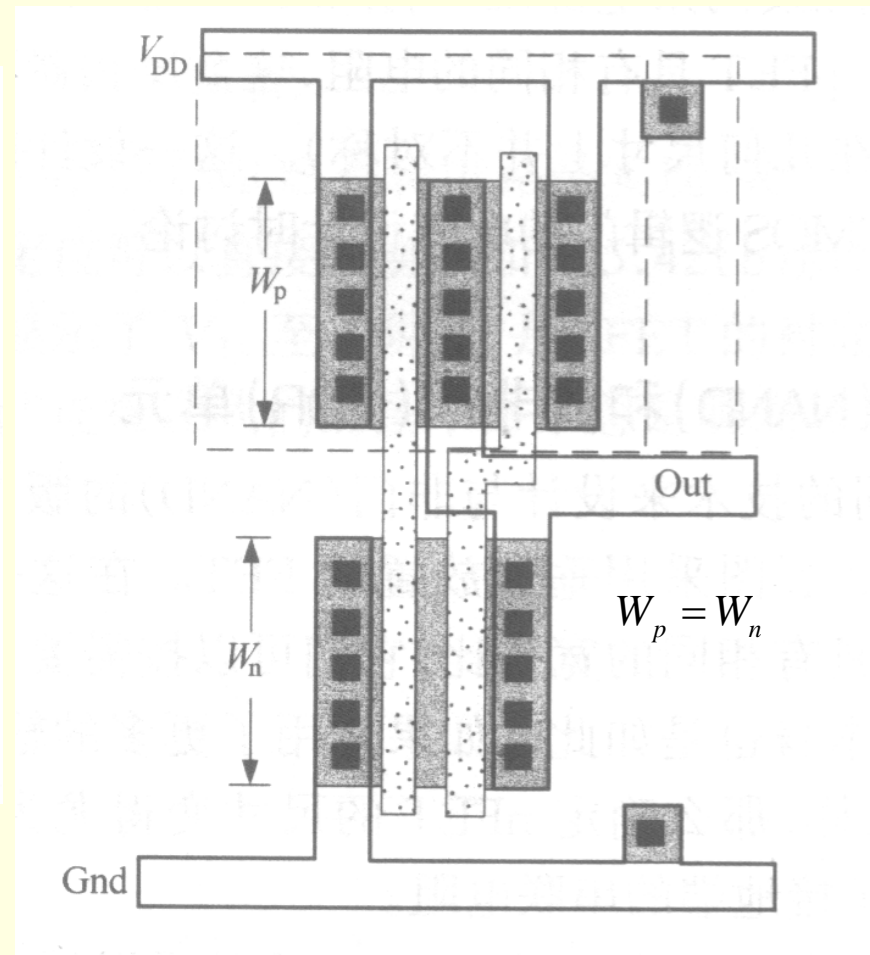


6.6 版图设计方法

NAND2:水平与垂直



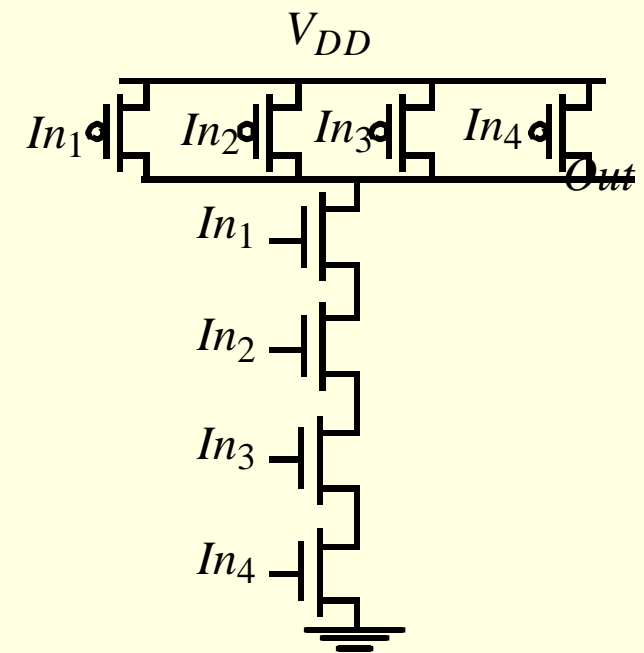
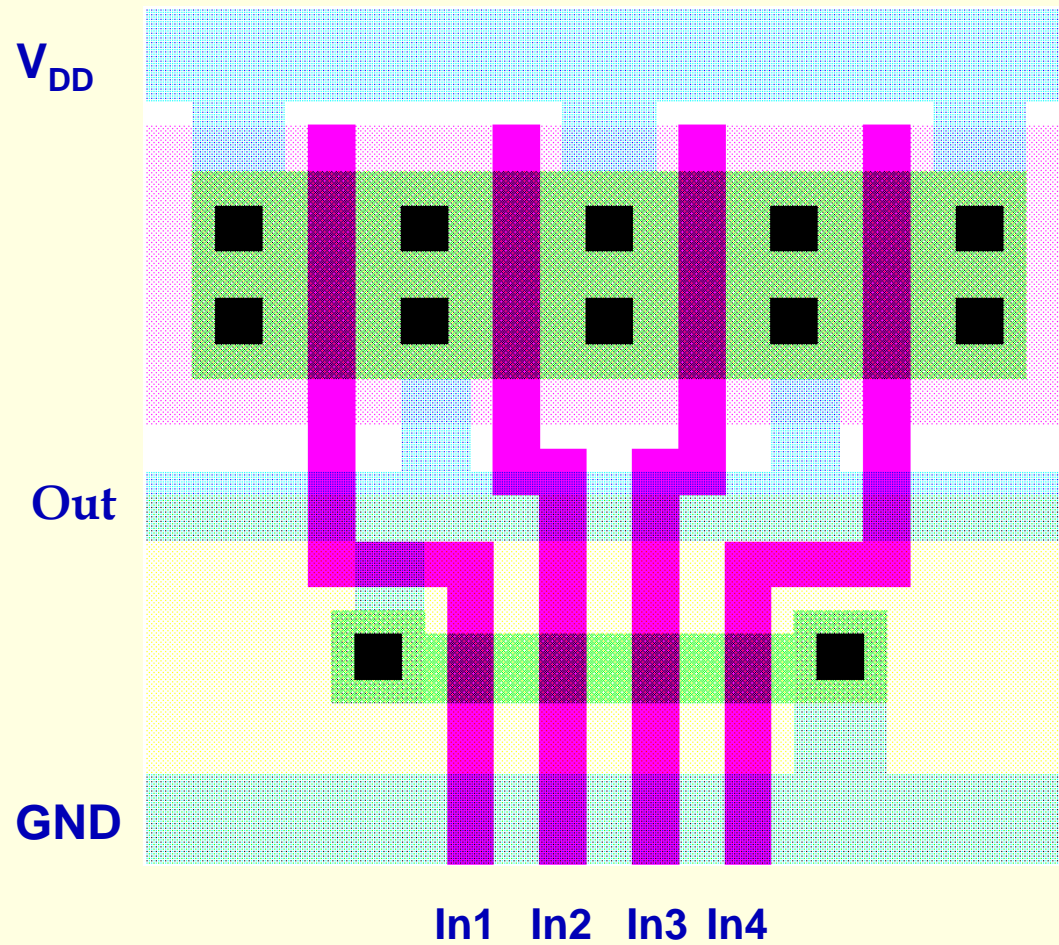
垂直放置: W_p 易调整



水平放置: W_p 不易调整

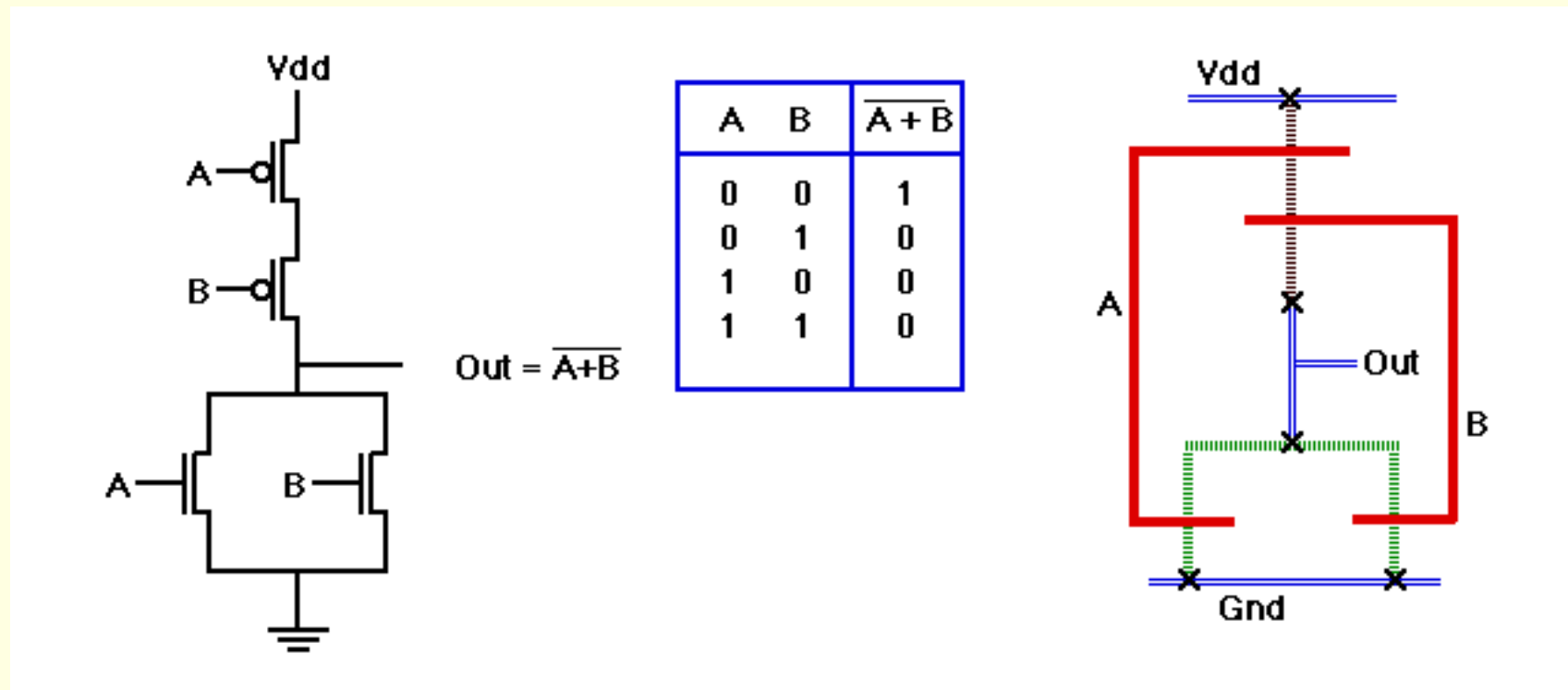
6.6 版图设计方法

NAND4



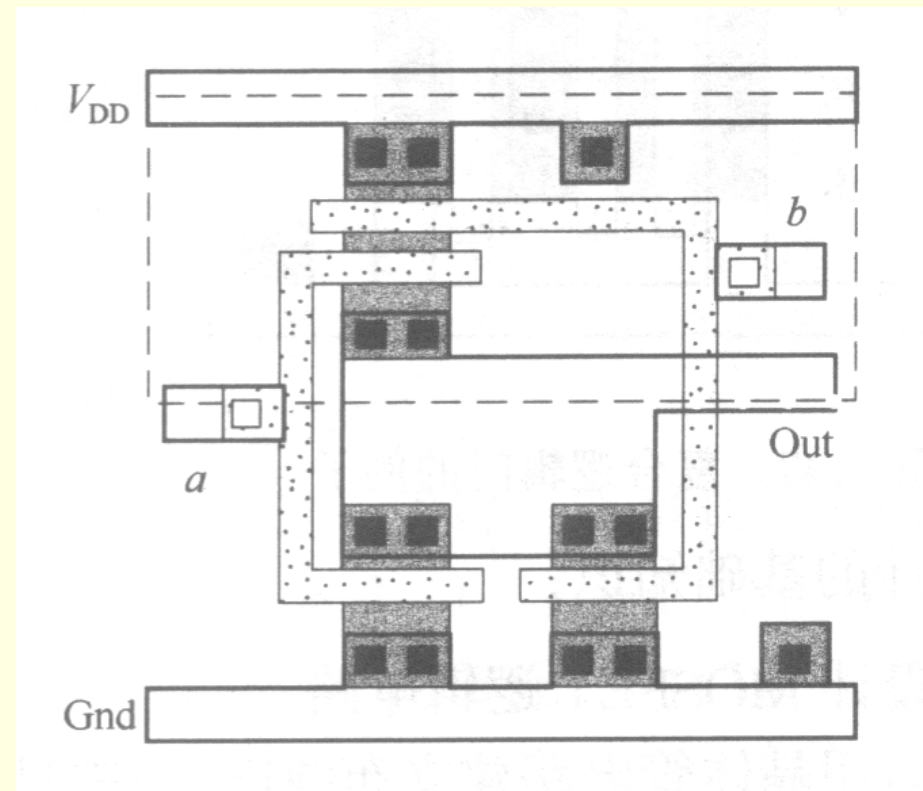
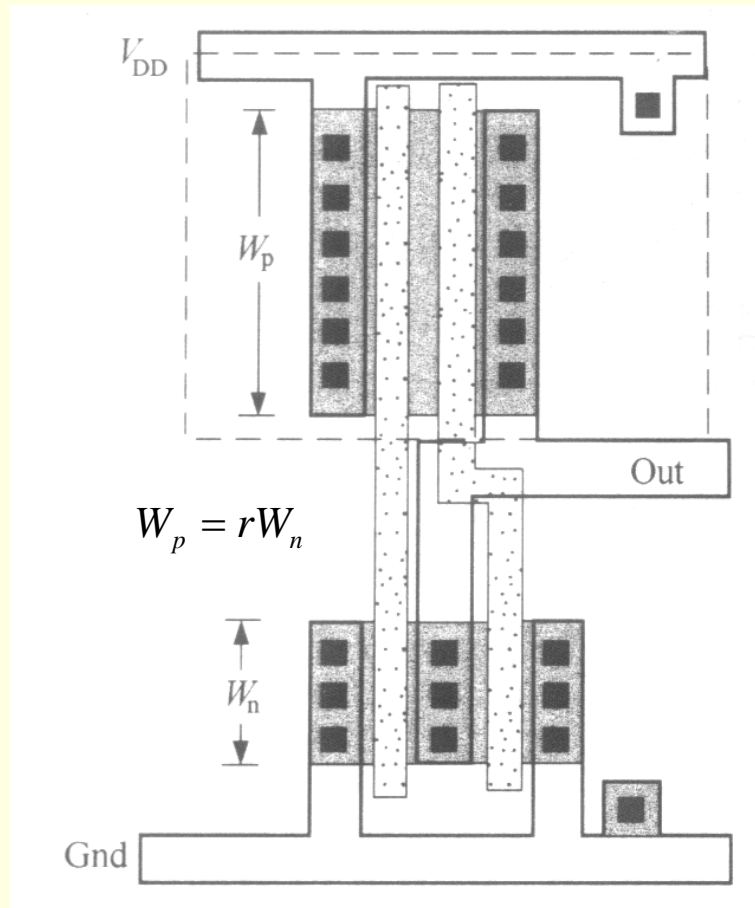
6.6 版图设计方法

NOR2: 棍棒图



6.6 版图设计方法

NOR2:水平与垂直

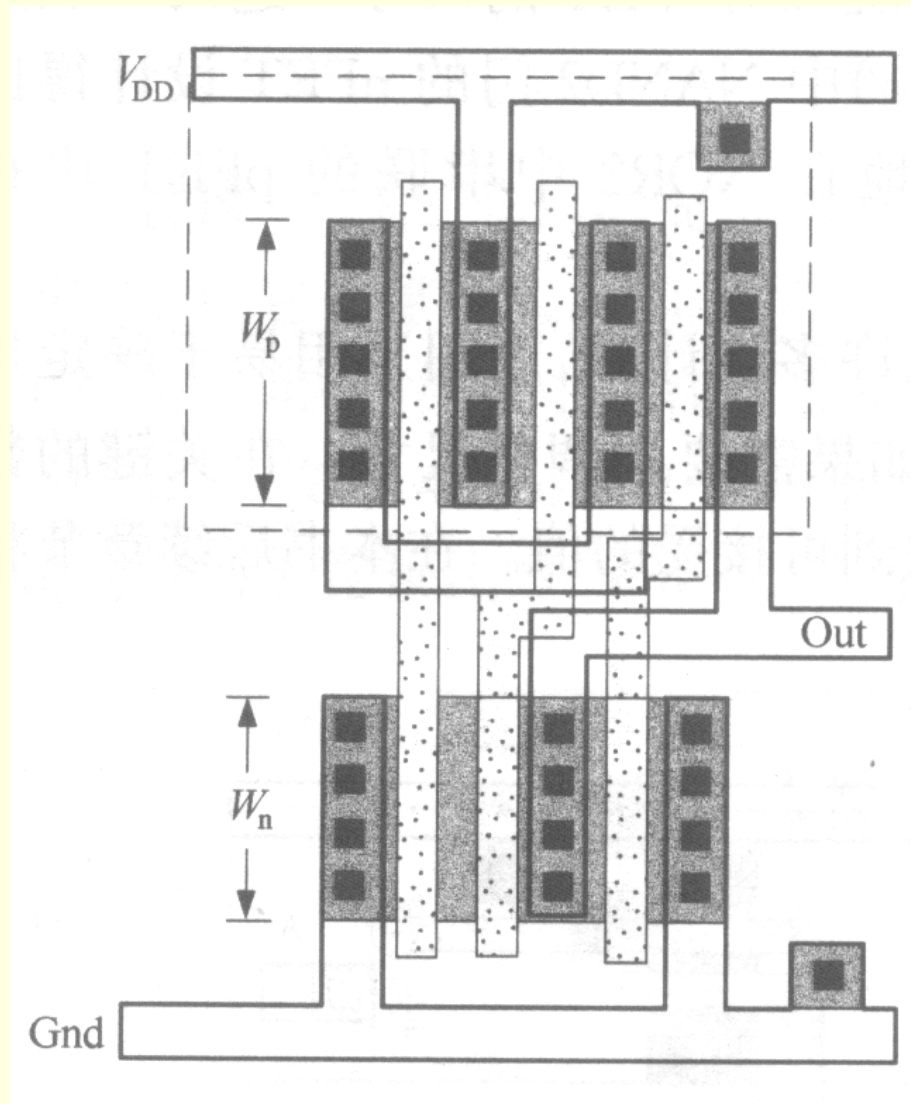


水平放置: W_p 不易调整

垂直放置: W_p 易调整

6.6 版图设计方法

宽度的考虑



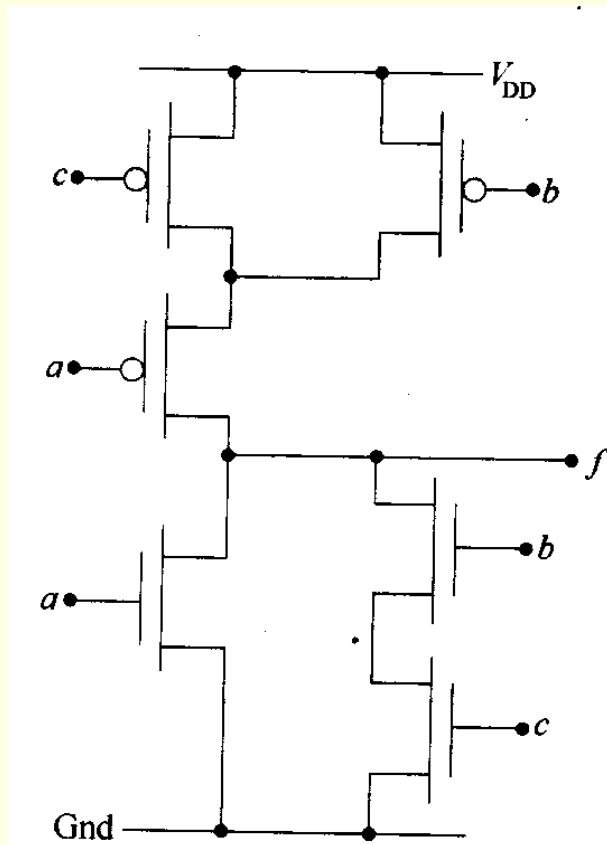
在面积容许的前提下

- 串联的FET最好比单个FET宽些
- pFET最好比nFET宽些

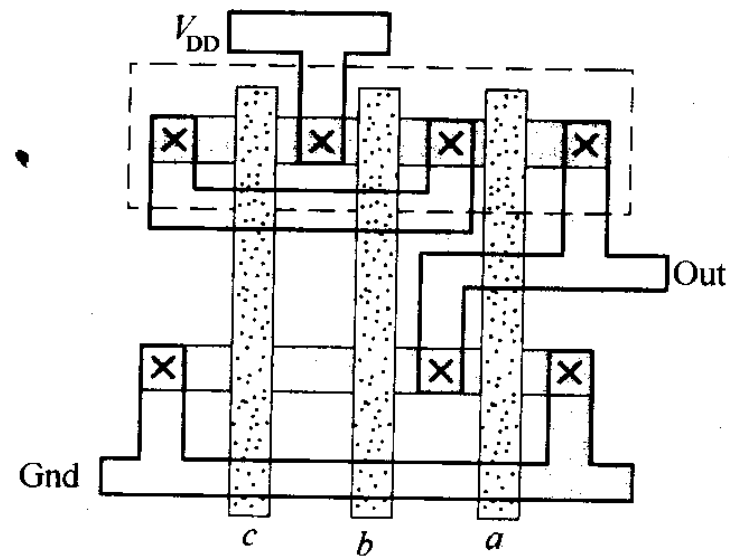
6.6 版图设计方法

组合逻辑:实例1

$$f = \overline{a + b \cdot c}$$



(a) 电路

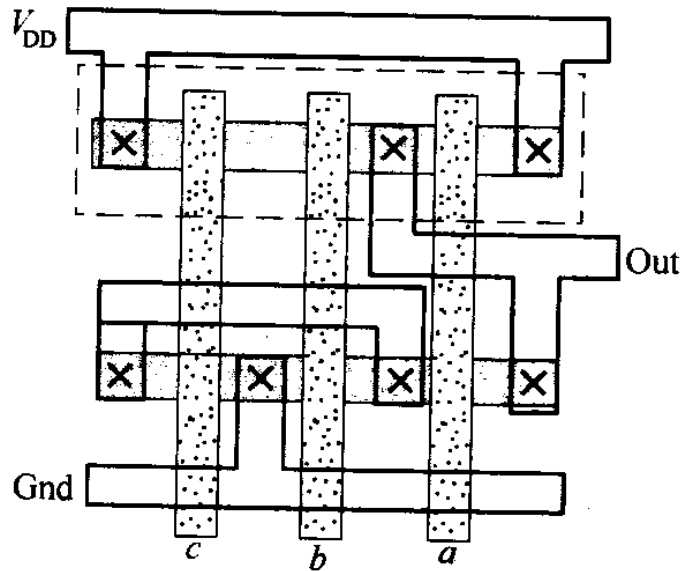


(b) 版图

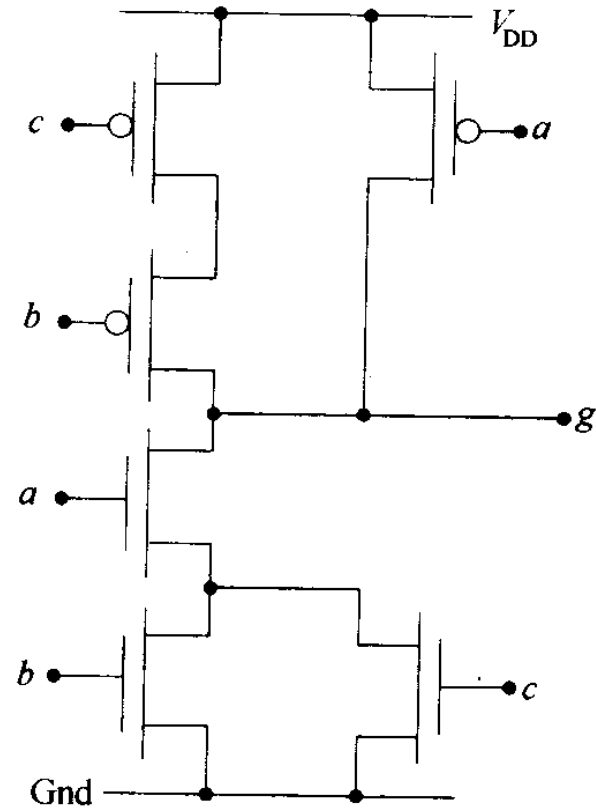
6.6 版图设计方法

组合逻辑:实例2(1)

$$g = \overline{a \cdot (b + c)}$$



(a) 版图

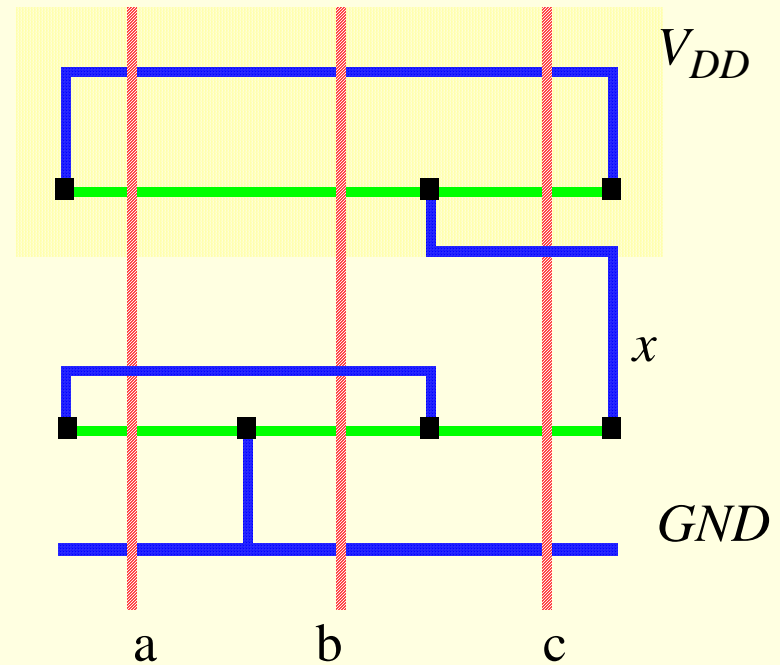
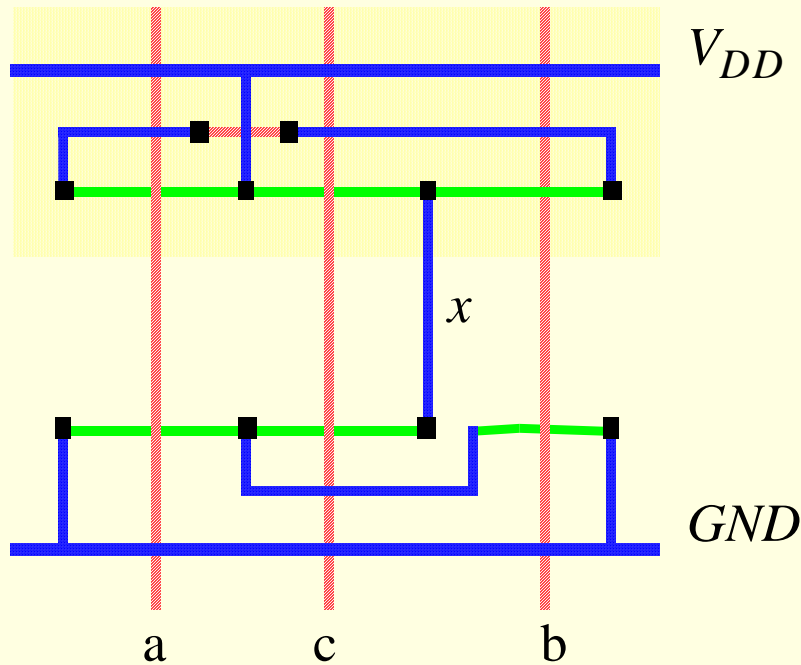


(b) 电路

6.6 版图设计方法

组合逻辑:实例2(2)

$$g = \overline{(a+b) \cdot c}$$



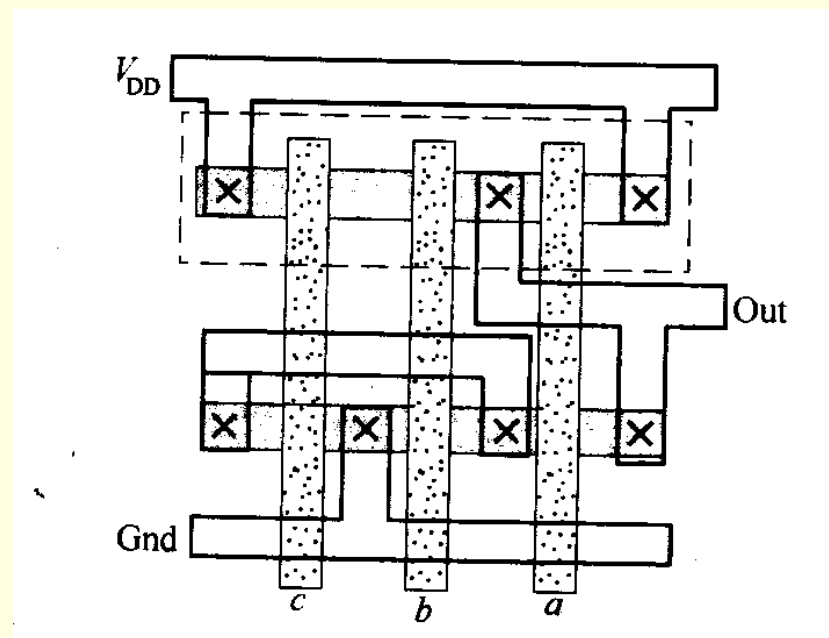
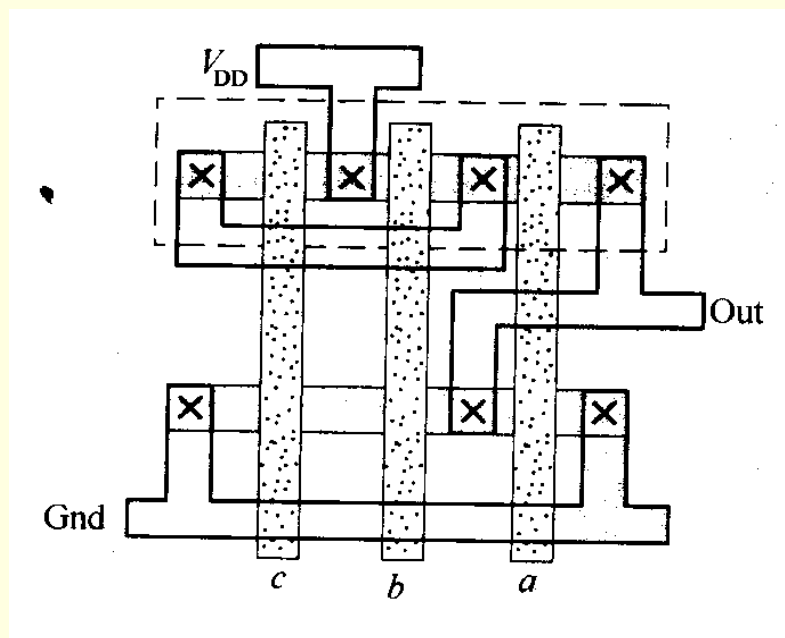
输入变量的排序方式不同

6.6 版图设计方法

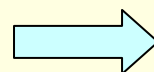
实例1和实例2的对比

$$f = \overline{a + b \cdot c}$$

$$g = \overline{a \cdot (b + c)}$$



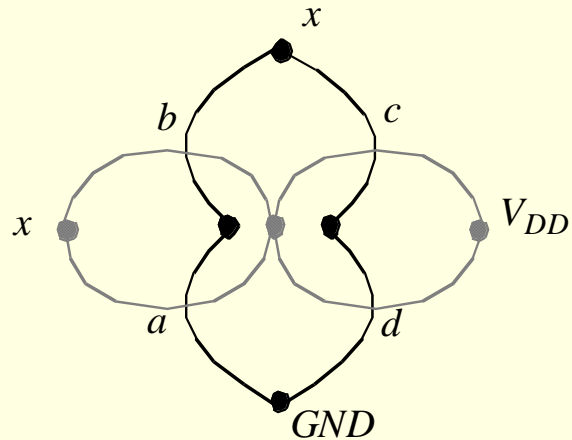
逻辑对偶



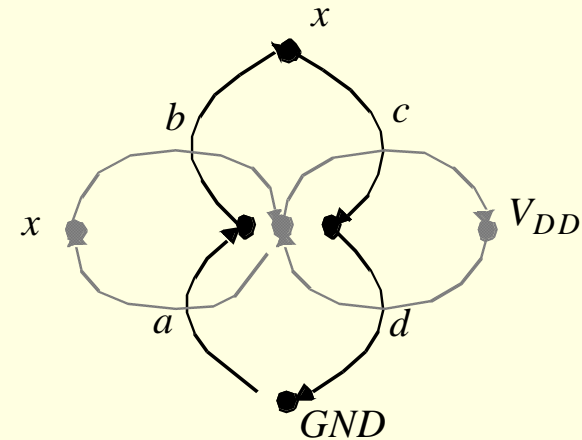
版图对偶

6.6 版图设计方法

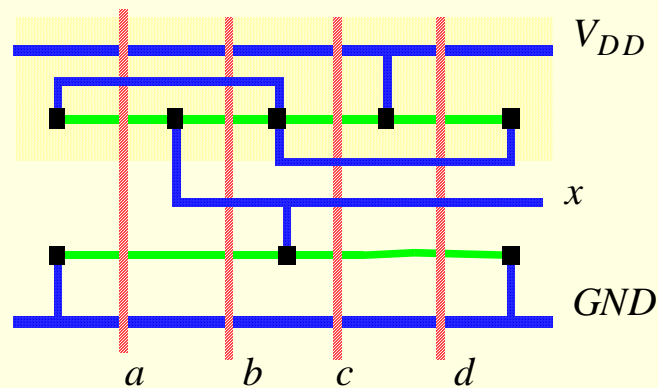
组合逻辑:实例3



(a) Logic graphs for $\overline{ab+cd}$



(b) Euler Paths $\{a b c d\}$

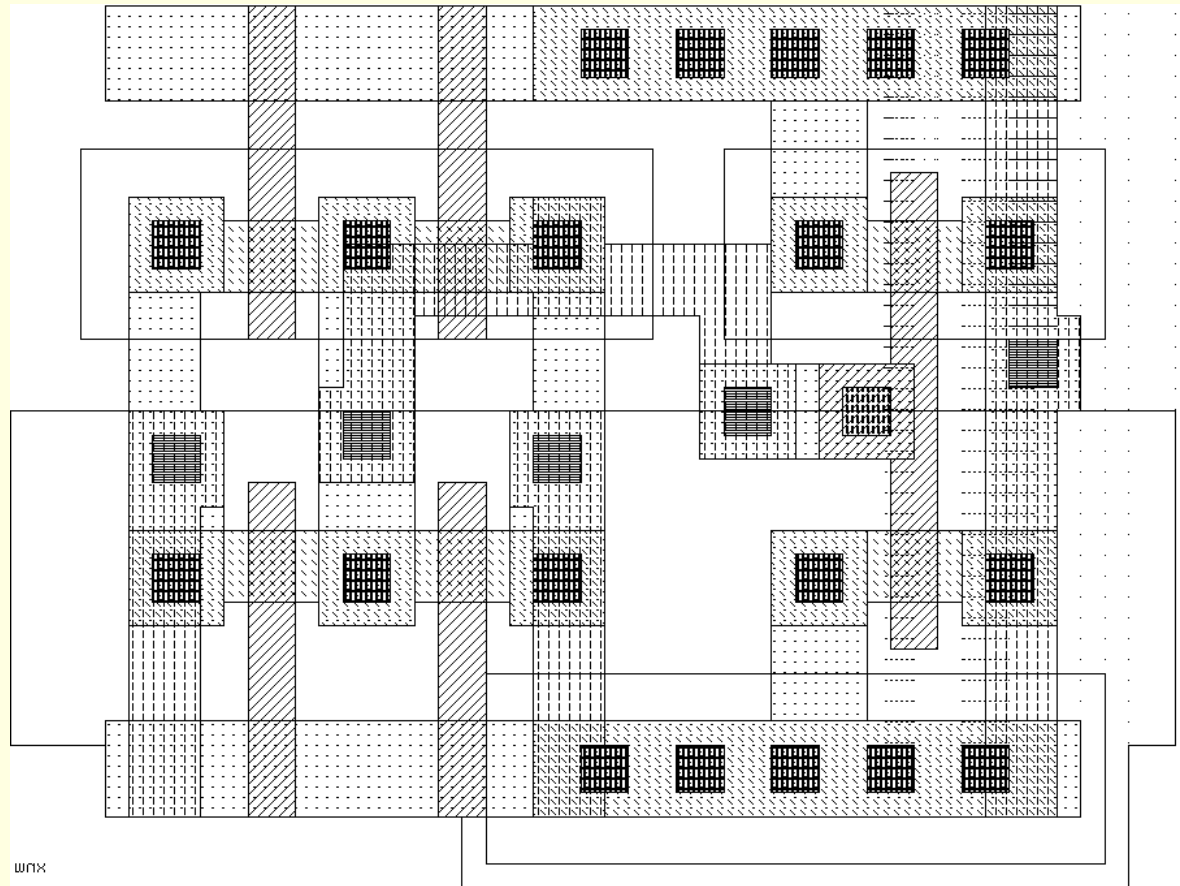
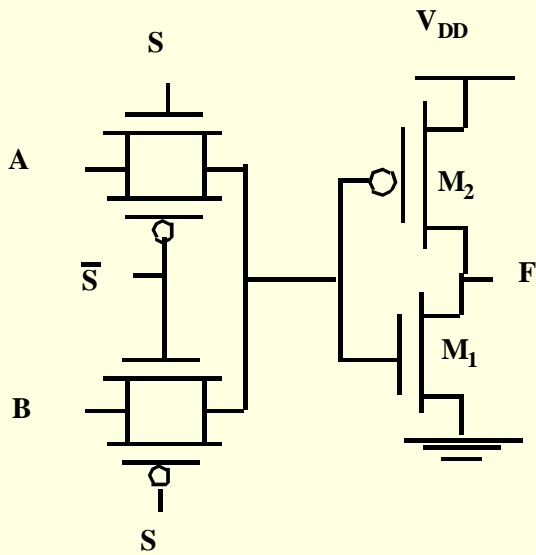


(c) stick diagram for ordering $\{a b c d\}$

$$x = \overline{a \cdot b + c \cdot d}$$

6.6 版图设计方法

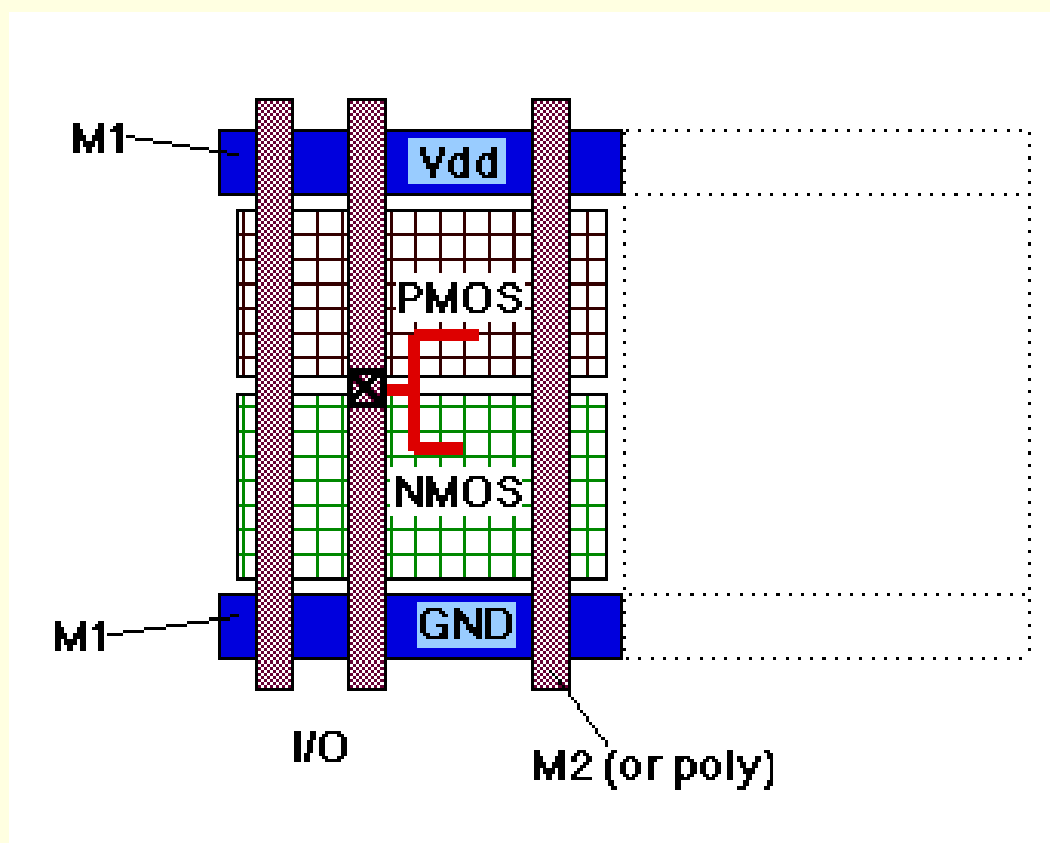
基于传输门的多路选择器



6.7 标准单元版图

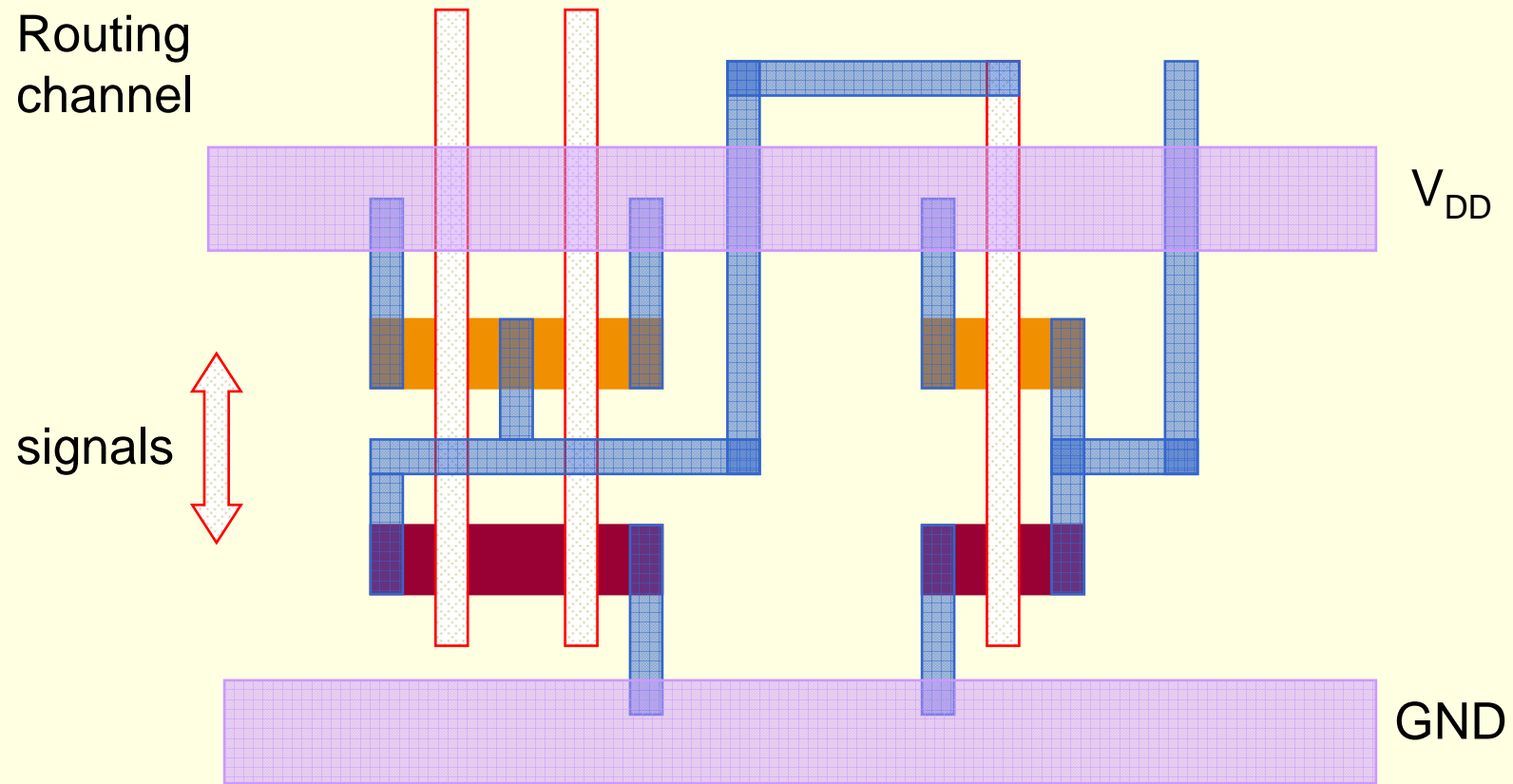
什么是标准单元？

- Standard Cell
 - 等高不等宽
 - 通用逻辑单元
 - 可综合
 - 有输入、输出、 V_{DD} 、 GND (V_{SS}) 四类端口
 - 可繁可简：可以是单个FET，也可以是算术运算单元ALU
 - 内部设计完全符合设计规则



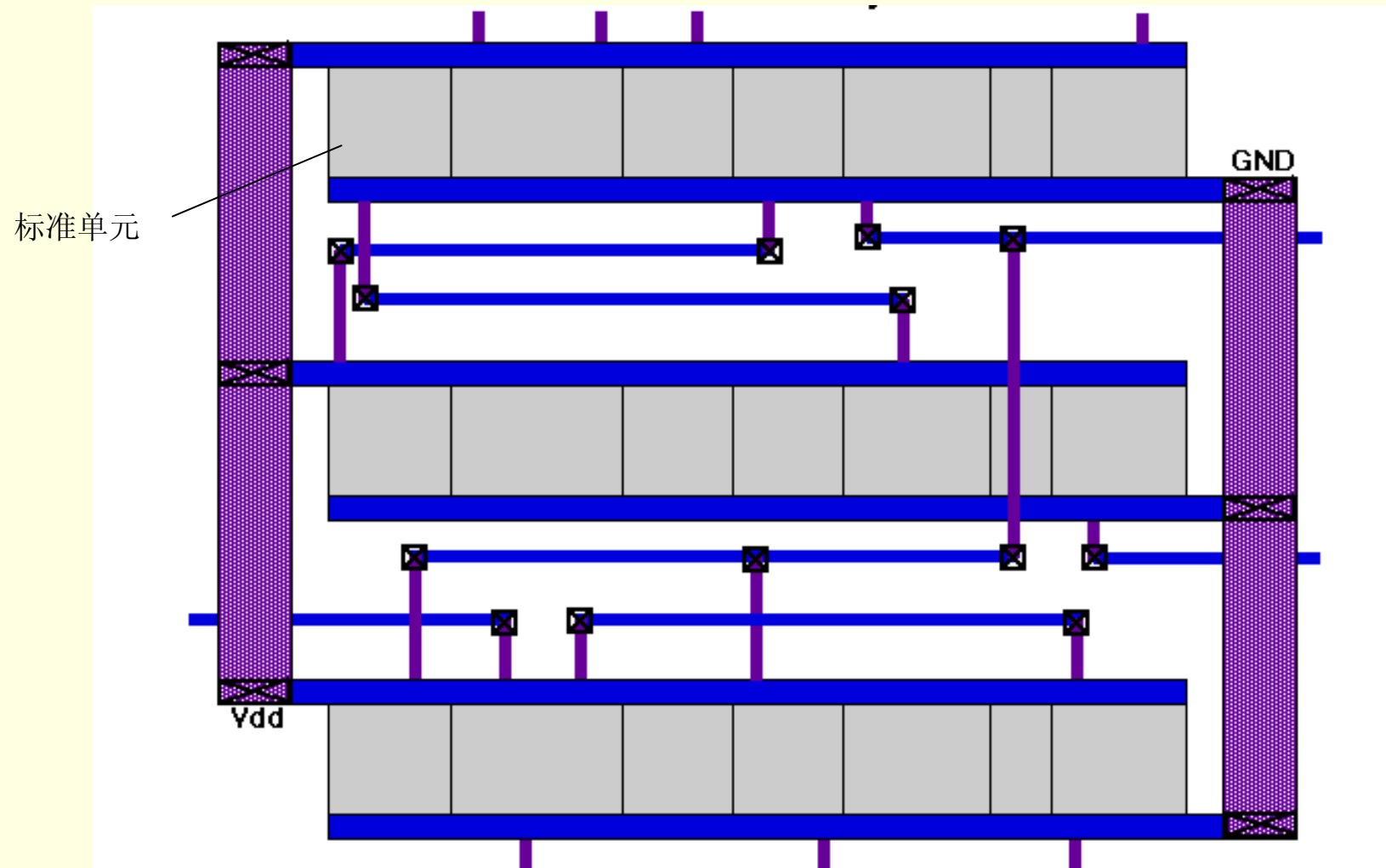
6.7 标准单元版图

内部布局(1980s)



6.7 标准单元版图

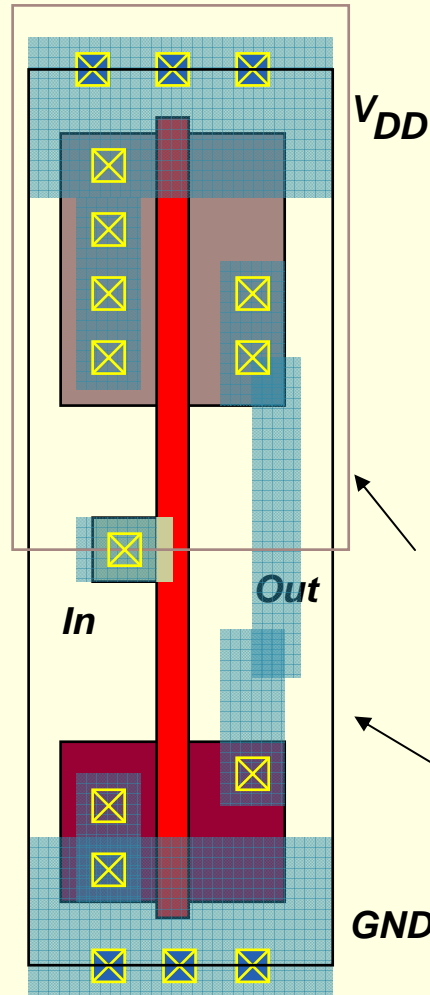
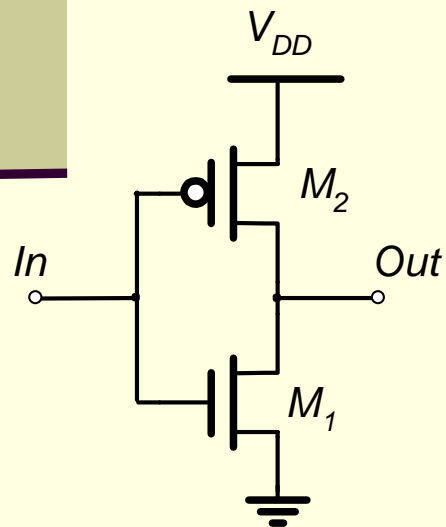
外部布局(1980s)



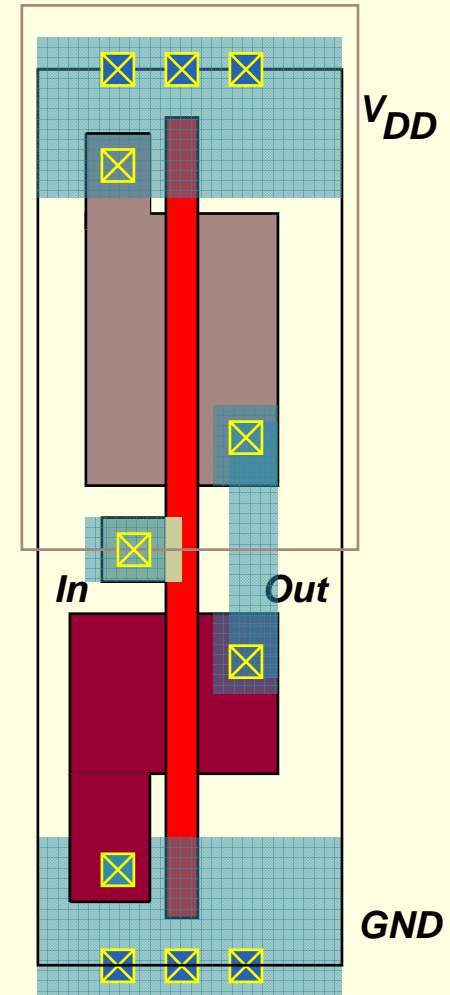
6.7 标准单元版图

反相器

With minimal diffusion routing

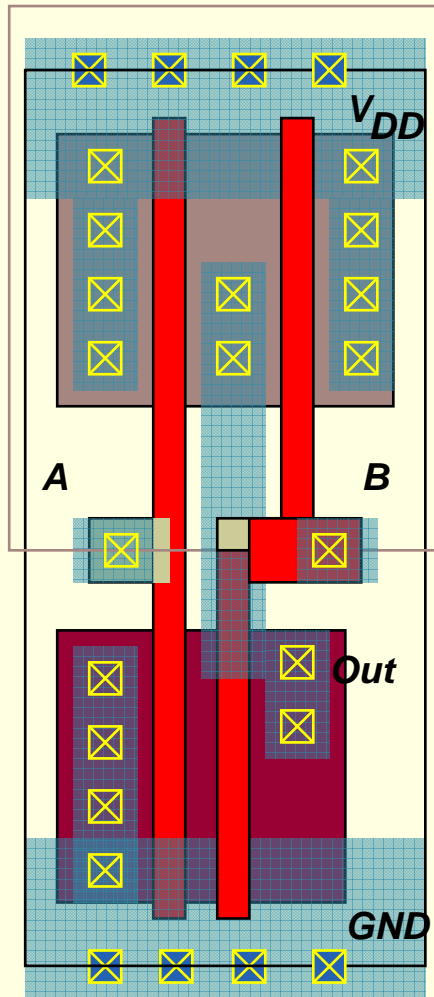


With silicided diffusion

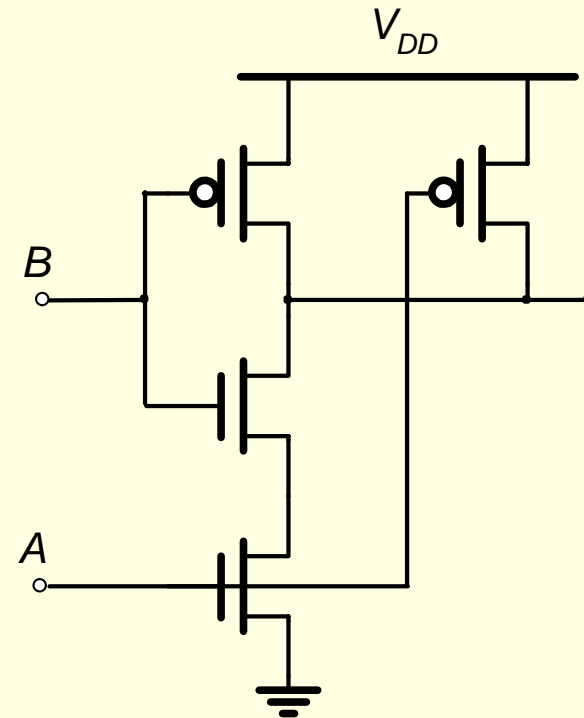


6.7 标准单元版图

NAND2

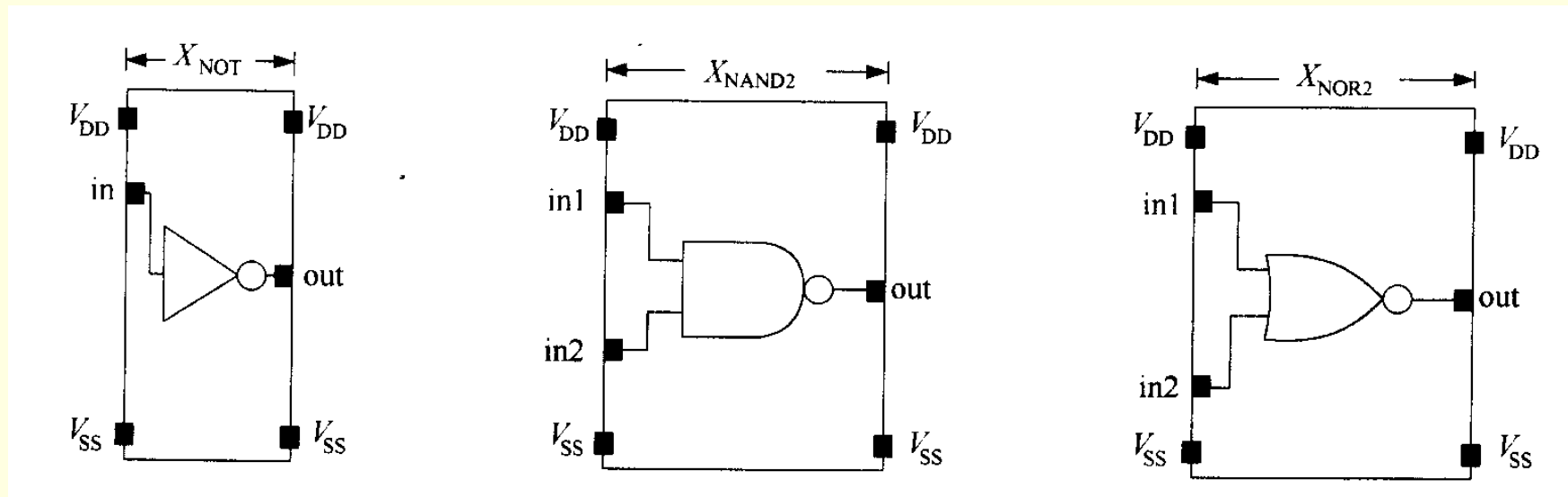


2-input NAND gate



6.7 标准单元版图

作为标准单元的逻辑门



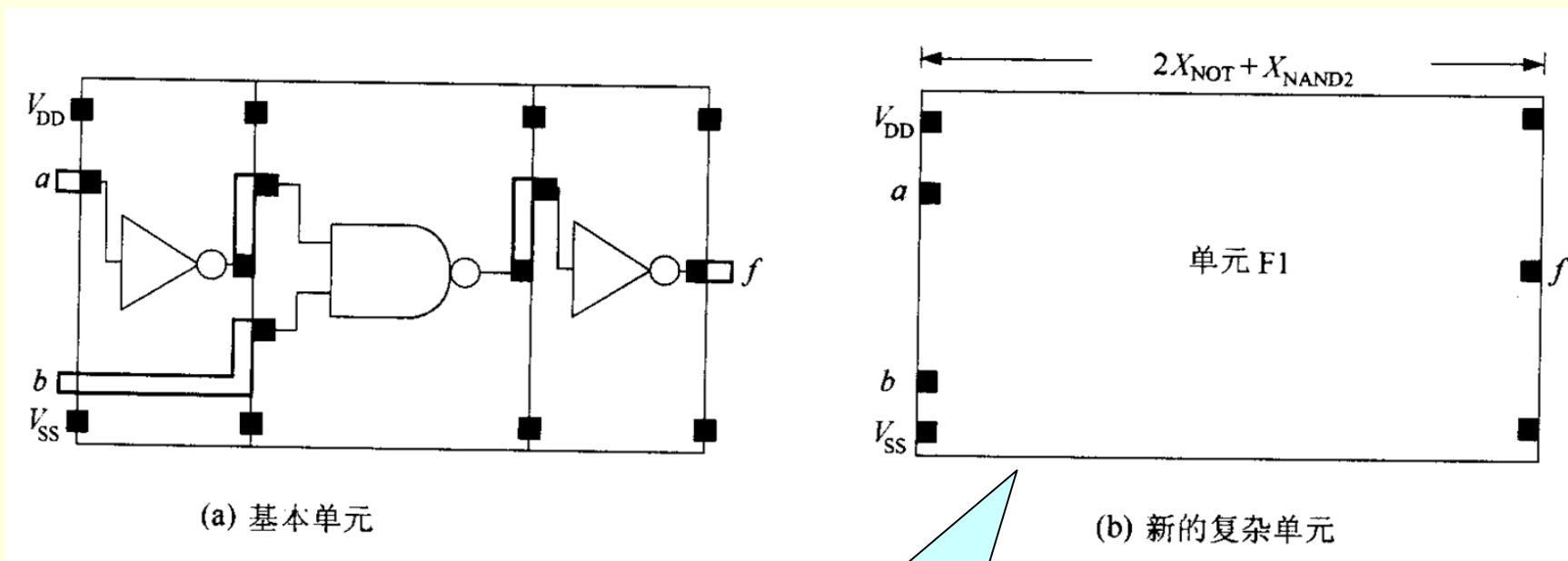
NOT

NAND2

NOR2

6.7 标准单元版图

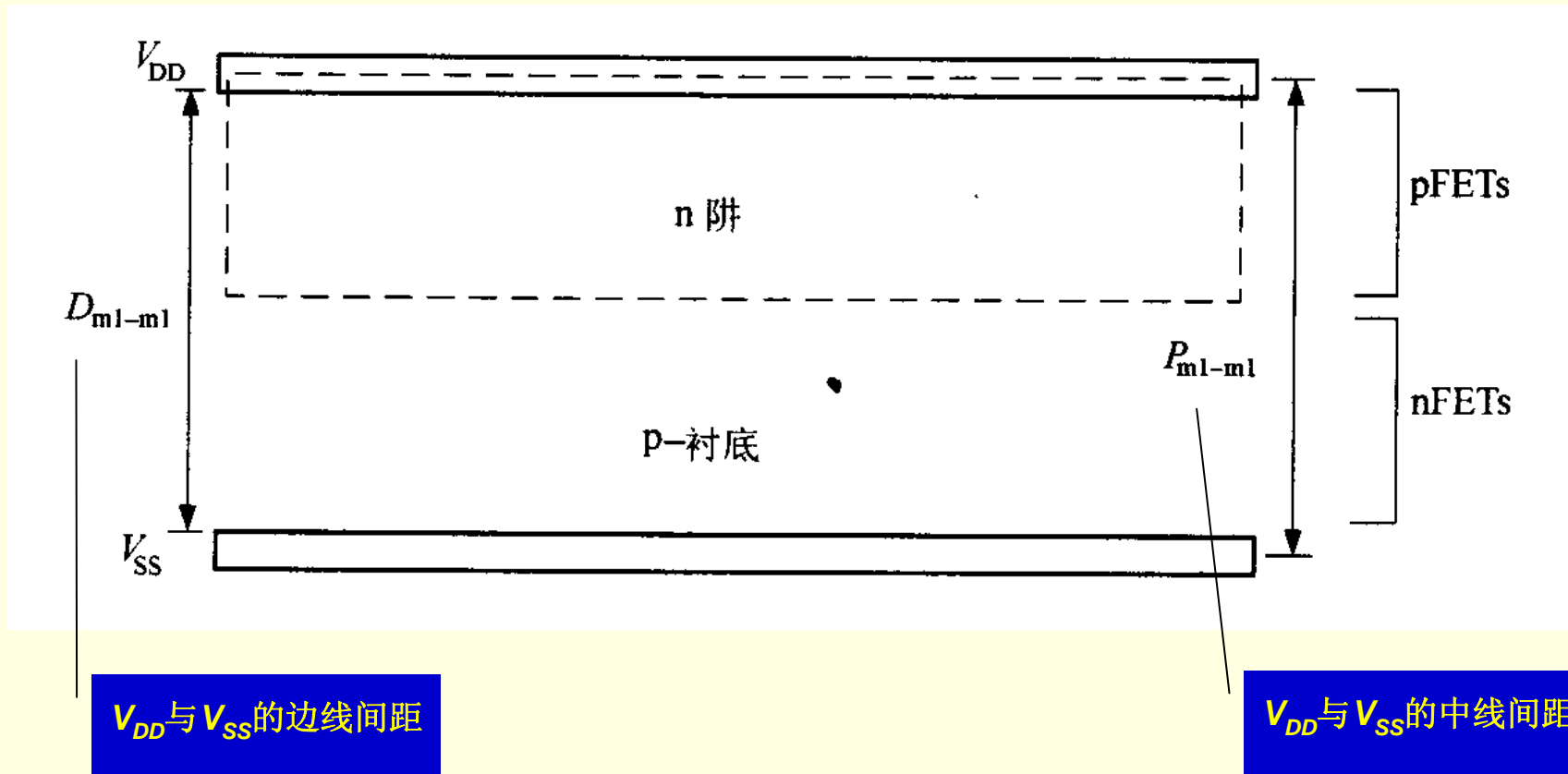
用标准单元构成新单元



使用者可不必关心内部细节，只知外部特性即可

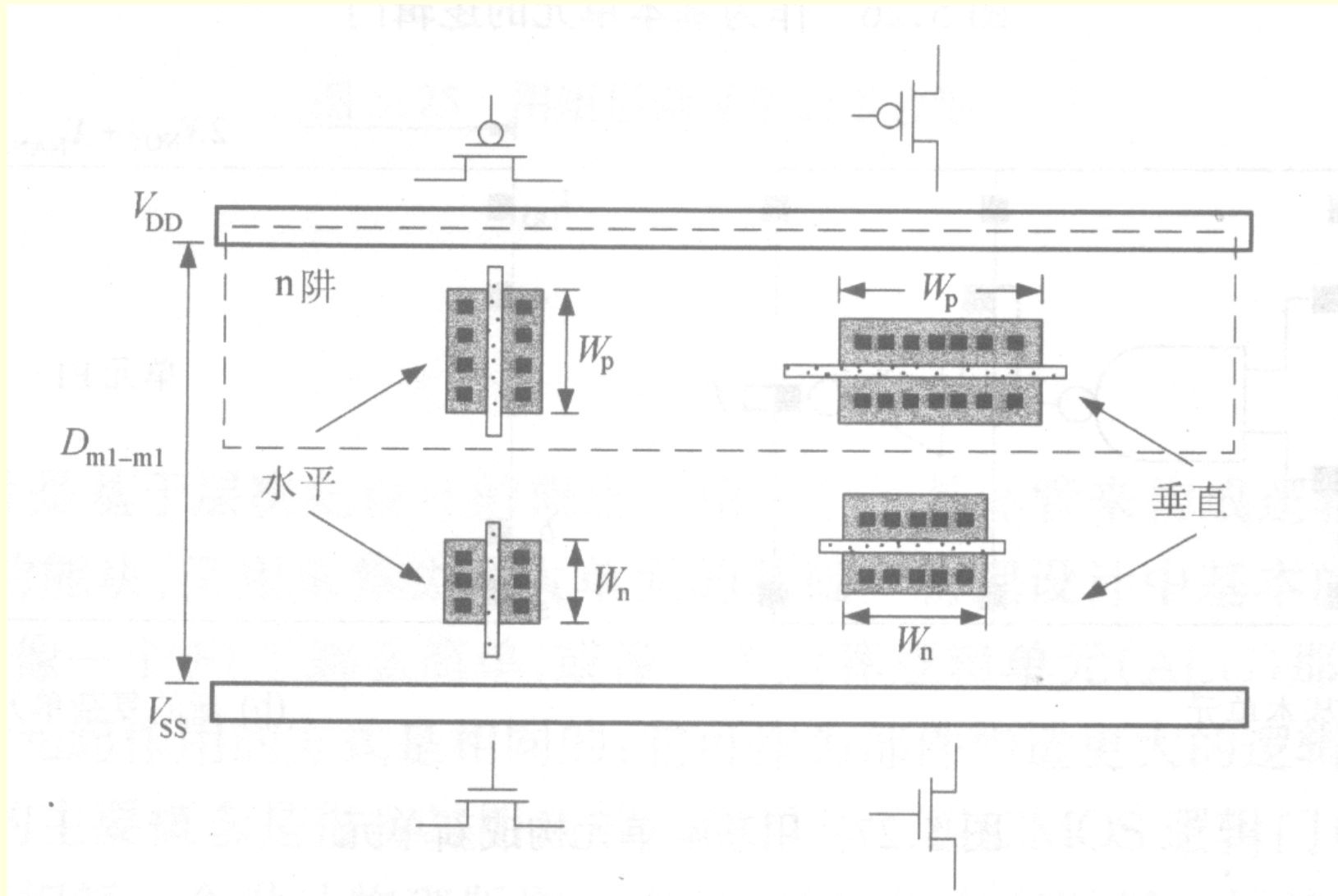
6.7 标准单元版图

电源线及n阱的位置



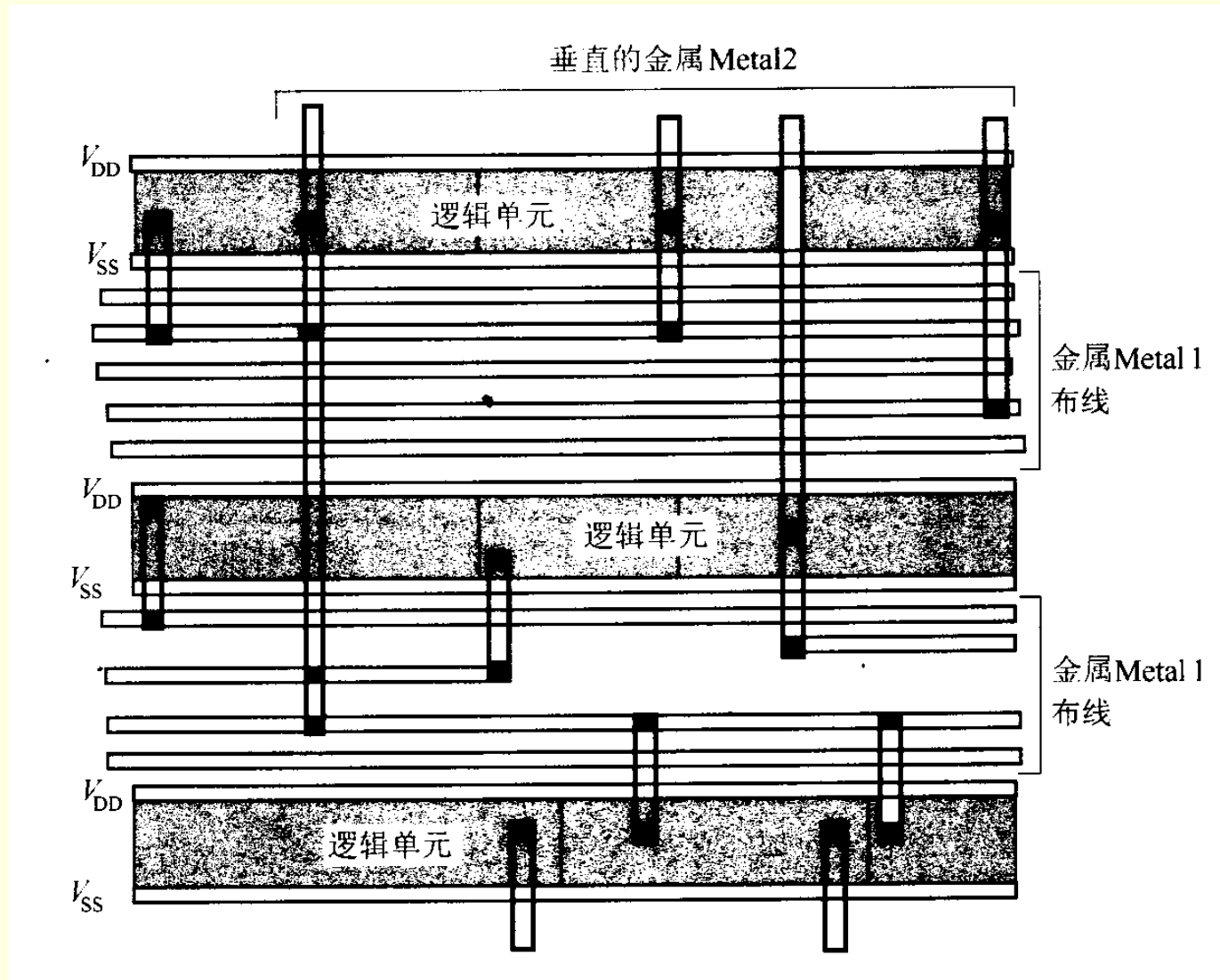
6.7 标准单元版图

MOSFET的取向



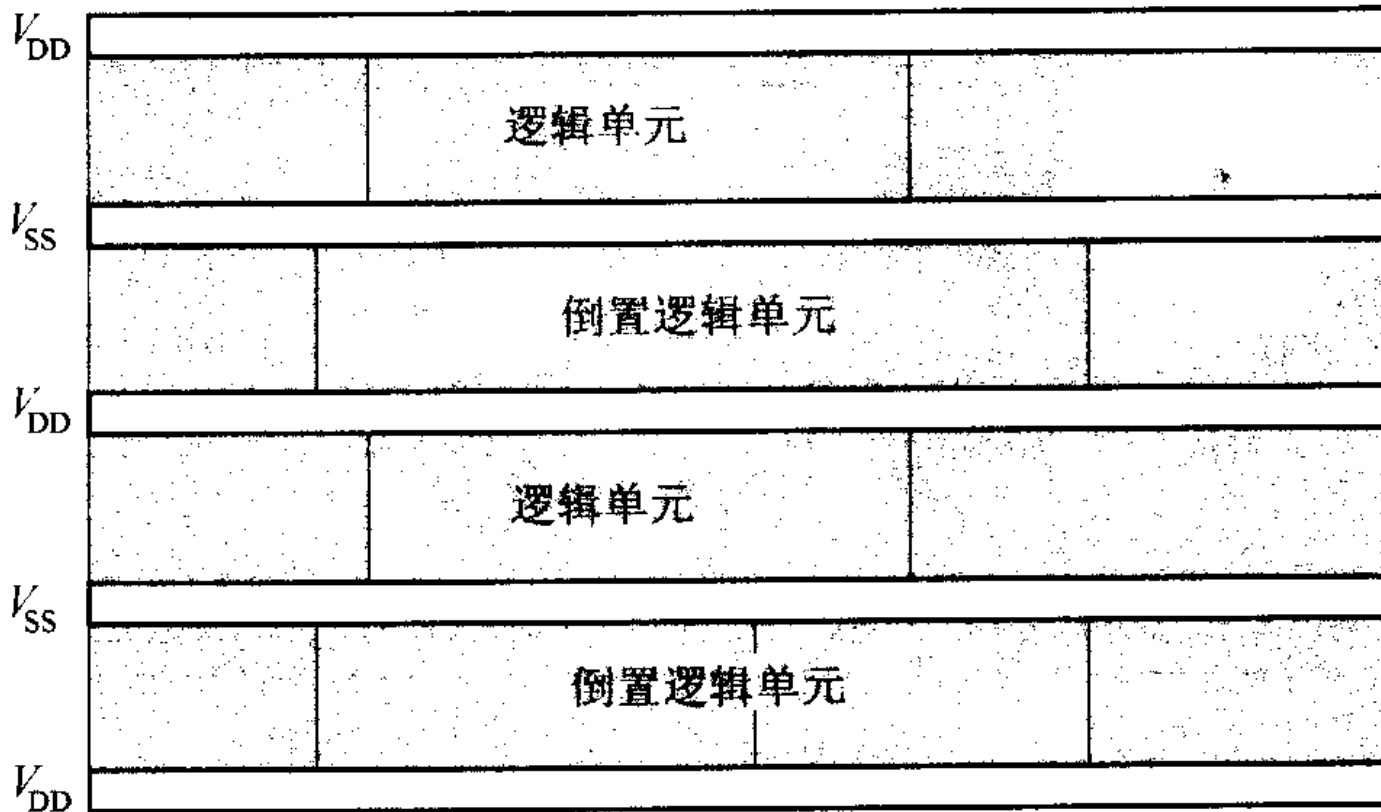
6.7 标准单元版图

等高的布线通道



6.7 标准单元版图

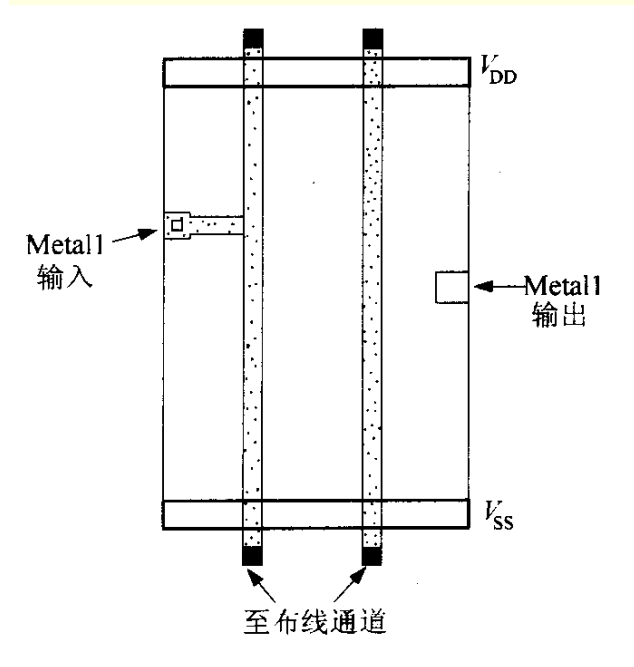
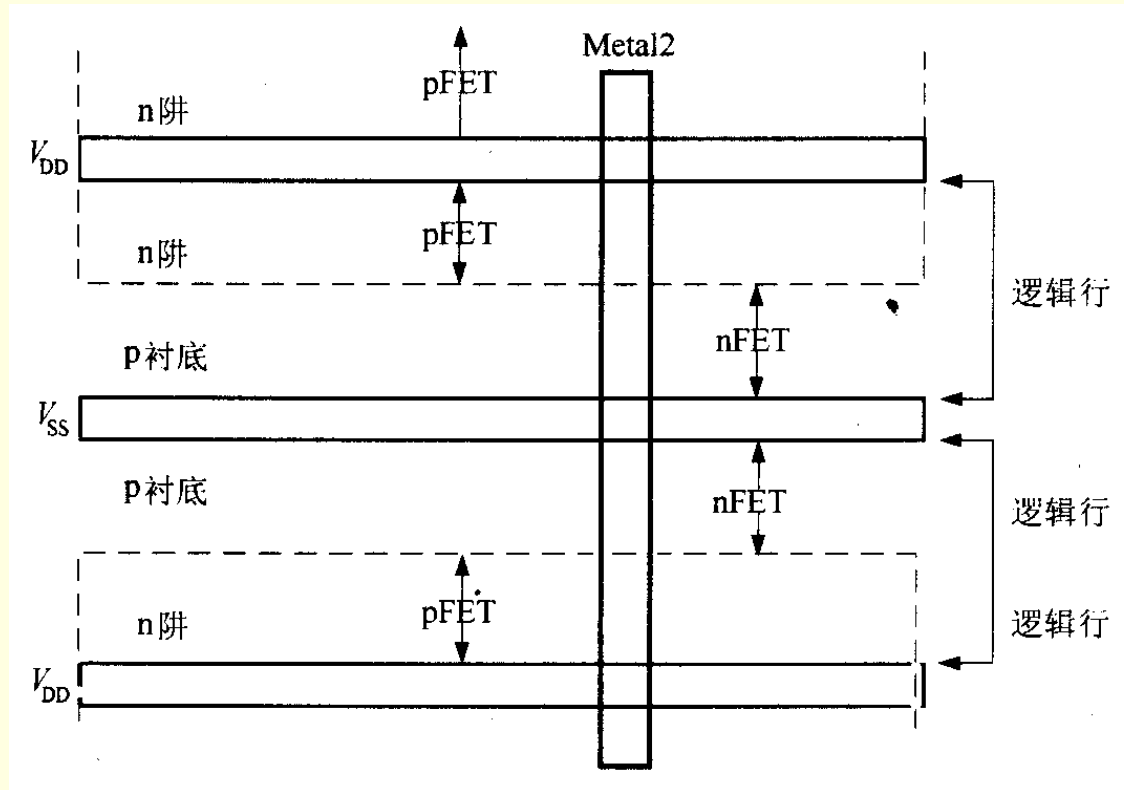
Weinberger镜像阵列(1)



好处：共用 V_{DD} 、 V_{SS}

6.7 标准单元版图

Weinberger镜像阵列(2)



坏处：只能用Metal2布单元行之间的信号线

随想

版图设计是一门技术，也是一门艺术。那些不仅熟谙技术内涵，而且具有绘画及美术天赋的人，可以创造出其它人难以想到的巧妙、精湛、富有美感的设计来！

END

第5章 CMOS版图设计基础