《射频集成电路设计基础》讲义

有源器件和模拟电路基础-III

□ 电路噪声分析基础

❑ fT和fMAX

□ 按比例缩小与短沟道效应

❑ Scaling Down对RFIC设计的影响

□ 其它工艺

□ 参考文献



电路噪声分析基础

- 电路元件的噪声模型
 - 电阻

电阻中最主要的噪声源是热噪 声,有些电阻也存在闪烁噪声, 理想的电感电容不产生噪声,噪 声来自它们的寄生电阻



$$\overline{v_n^2} = 4kTR\Delta f$$
$$\overline{i_n^2} = (4kT/R)\Delta f$$

- 二极管

这里主要是散弹噪声(shot noise), 也有闪烁噪声(flicker noise),有时 也包括串联电阻的热噪声。 模型中的r_d为小信号电阻





- 三极管



这里包括了

- » 集电极-发射极 shot noise $\overline{i_c^2} = 2qI_c \cdot \Delta f$
- » 基极-发射极 shot noise 和闪烁噪声 $\overline{i_B^2} = 2qI_B \cdot \Delta f + K \frac{I_B^{"}}{f^{p}} \Delta f$

» 基极寄生电阻热噪声
$$\overline{v_b^2} = 4kTr_b \cdot \Delta f$$

r_π和r_o不是物理电阻,因此不产生噪声



- 长沟道MOS管



» 栅极电阻热噪声

$$\overline{v_g^2} = 4kTR_g\Delta f$$

R_g主要是栅极多晶硅电阻,可以通过使用叉指结构使之降低 » 沟道热噪声和闪烁噪声

$$\overline{i_{nd}^2} = 4kT\frac{2}{3}g_m\Delta f + K\frac{I_D^a}{f^b}\Delta f$$

不同元件的闪烁噪声参数*K*,*a*和*b*是不同的,这里采用与三极管完全一样的符号只是为了简洁

» 栅极电流 shot noise, 由栅极所存在的微量泄漏电流所引起, 常常忽略

$$\overline{i_g^2} = 2qI_G\Delta f$$



» 沟道热噪声更一般性的表示:

$$i_{nd}^2 = 4kT\gamma g_{d0} \cdot \Delta f \tag{1}$$

 $g_{d0} = \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})$ 为 $V_{DS} = 0$ 时的沟道电导,在长沟道条件下 $g_m = g_{d0}$,对于 短沟道器件

$$g_m = \alpha g_{d0}, \ \alpha < 1 \tag{2}$$

γ是一个与偏置状态有关的系数,对于长沟道器件,

$$\frac{2}{3} \le \gamma \le 1 \tag{3}$$

管子工作在饱和区时取值2/3,线性区零偏置时取值1;由于热载流子效应, 短沟道器件的γ值远大于1。

我们以后还将讨论 MOS 管的栅极感应噪声 (drain induced gate noise),这是由 沟道载流子运动在栅极感应产生的噪声



• 等效输入噪声源



假设频率不是很高, $r_b \ll \left| r_\pi \right| \left| \frac{1}{j \omega C_\pi} \right|$, 在等效电压源的作用下, 应该有 $i_o = g_m v_b + g_m (r_b i_B) + i_C = g_m v_n$ 于是

$$v_n = v_b + r_b i_B + i_C / g_m \approx v_b + i_C / g_m$$
 (4)



由于r_b与i_C互不相关,

$$\overline{v_n^2} \approx \overline{v_b^2} + \overline{i_c^2} / g_m^2 = 4kTr_b\Delta f + \frac{2qI_c}{g_m^2}\Delta f = 4kTr_b\Delta f + 4kT\frac{1}{2g_m}\Delta f$$

这相当于一个等效电阻 $R_{eq} = r_b + \frac{1}{2g_m}$ 所产生的热噪声

将输入端开路,我们得到 $i_o = i_C + g_m i_B Z_\pi = g_m i_n Z_\pi, Z_\pi = r_\pi \|\frac{1}{j\omega C_\pi}$





$$i_n = i_B + \frac{i_C}{g_m Z_\pi}$$

对于直流信号 $\beta_0 = g_m r_{\pi}, g_m Z_{\pi}$ 为交流信号的电流放大倍数,即

$$\beta(\omega) = g_m Z_\pi = g_m \frac{r_\pi}{1 + r_\pi (j\omega C_\pi)} \approx \frac{\beta_0}{1 + j\beta_0(\omega/\omega_T)}$$
(5)

这里 $\omega_{\rm T} \approx g_m / C_{\pi}$ 。于是 $i_n = i_B + (i_C) / \beta(\omega)$ (6)

 $i_B 与 i_C$ 仍然是不相关的,因此

$$\overline{i_n^2} = \overline{i_B^2} + \frac{i_C^2}{|\beta(\omega)|^2}$$
(7)



- MOS 管 (忽略
$$\overline{v_g^2}$$
和 $\overline{i_g^2}$)



忽略Rg, 输出噪声电流

$$\overline{i_o^2} = \overline{i_{nd}^2} = g_m^2 \overline{v_n^2}$$

等效输入噪声电压为

$$\overline{v_n^2} = \overline{i_{nd}^2} / g_m^2 = 4kT \frac{2}{3} \frac{1}{g_m} \Delta f + \frac{K}{g_m^2} \frac{I_D^a}{f^b} \Delta f$$

(8)



闪烁噪声对输入等效噪声电压的贡献可以表示为

$$\frac{K}{g_m^2} \frac{I_D^a}{f^b} \Delta f \approx \frac{K_f}{WLC_{ox}f} \Delta f \tag{9}$$

Kf的典型值约为 3×10⁻¹²(V²·pF)





- 小结

- » 低频工作时 MOS 管等效输入噪声电流非常小,而三极管等效输入噪声电流由 于含有闪烁噪声而较大,因此前者在高阻抗信号源的应用中占有优势;高频 工作时随着电流增益的减小它们的等效输入噪声电流都增大
- » 对于低阻抗信号源, MOS 管需要更大的电流来提高 g_m 以抑制噪声电压, 同时其闪烁噪声在低频时的影响很严重,所以更适合使用三极管
- » 增大gm可以降低输入噪声电压,这需要增大管子尺寸或增大偏置电流
- » 减小偏置电流可以降低闪烁噪声和散弹噪声所引起的等效输入噪声电流
- » 反馈电路对信号和噪声具有相同的影响,扣除反馈元件引入的噪声,反馈不 会引起信噪比的变化



11 of 30

• 差分放大器的噪声

差分放大器的等效输入噪声的计算需要将两边分开处理,即先假设Q₂无噪声, 求Q₁的等效输入噪声,再设Q₁无噪声,求Q₂的等效输入噪声,最后相叠加



忽略电流源噪声,两输入端的等效噪声源等于Q₁或Q₂各自的输入噪声源,电路中也可以将两个电压源都放到一个端口,因此,若集电极偏置电流相同,差分放大器的等效输入噪声电压比单端共发射极放大器大3dB



- Transition Frequency *f*_T (截止频率?特征频率?临界频率?)
 - 定义: (共射或共源组态)输出短路状态下晶体管电流增益降至1的频率
 计算

对于右图BJT小信号等效电路,

$$\begin{aligned} \beta(\omega) &= i_c / i_b \\ &= g_m v_{be} / i_b \\ &= g_m [r_\pi \parallel (C_\pi + C_\mu)] \\ &= \beta_0 \cdot \frac{1 / j \omega (C_\pi + C_\mu)}{r_\pi + 1 / j \omega (C_\pi + C_\mu)} \end{aligned}$$

其中 $\beta_0 = g_m r_\pi$;这个表达式与单极点放大器或 RC 低通滤波器的频率响应完全一致。 根据定义 $\beta(\omega_T) = 1$,我们可以进一步从公式上或波特图上来求出 ω_T 或 f_T









对于 MOSFET 同样可以求得

$$f_{\rm T} = \frac{1}{2\pi} \cdot \frac{g_m}{C_{gs} + C_{gd}} \approx \frac{1}{2\pi} \cdot \frac{g_m}{C_{gs}}$$
(12)



- 电路意义

*f*_T作为晶体管的一个高频指标,在一定程度上描述了放大器所能工作的最高频率或带宽,但是其参考价值大于实用价值;由于输出端短路,该端口的电容、输出电阻、密勒效应等都被忽略了,因此它并不是放大器的实际带宽的关键参数,工程设计中常将*f*_T/10到*f*_T/5作为管子可实际工作的频率上限

- 更"物理"一点的解释 在公式(11)中 $C_{\pi} = C_{b} + C_{je} \approx C_{b}$,这里 C_{b} 和 C_{je} 分别是基极和发射极PN结的扩 散电容和势垒电容,正偏时 $C_{b} \approx C_{je}$;所以(11)可以写成

$$f_{\rm T} \approx \frac{1}{2\pi} \cdot \frac{g_m}{C_b}$$

如果用Q_e和Q_h表示基区的自由电子和空穴电荷数量,那么根据定义

$$C_b = \frac{\Delta Q_h}{\Delta V_{\rm BE}} = \frac{\Delta Q_e}{\Delta V_{\rm BE}}$$

而

$$\Delta V_{\rm BE} = \frac{\Delta I_C}{g_m}$$



于是





所以有

$$\frac{Q_e}{I_C} = \frac{W_B^2}{2D_n} = \frac{W_B^2}{2\mu_n V_T}$$

不难发现,这是基区自由电子扩散时穿越基区的平均时间,用 $\tau_{\rm F}$ 表示,即

$$\tau_{\rm F} = \frac{W_B^2}{2\mu_n V_T} \tag{13}$$



可见_T并不随V_{BE}而变化,即

$$\frac{\Delta Q_e}{\Delta I_C} = \frac{Q_e}{I_C} = \tau_{\rm F}$$

至此C_b和f_T可分别表示为

$$C_b = \frac{\Delta Q_e}{\Delta I_C} g_m = \tau_F g_m \tag{14}$$

$$f_{\rm T} \approx \frac{1}{2\pi} \cdot \frac{\Delta I_C}{\Delta Q_e} = \frac{1}{2\pi} \cdot \frac{1}{\tau_{\rm F}} = \frac{1}{2\pi} \cdot \frac{2\mu_n}{W_B^2} V_T \tag{15}$$

以上关系式说明NPN 三极管的 f_{T} 取决于基区自由电子穿越基区所需的时间。 由于忽略了PN 结势垒电容,公式(15)的定义也称为 intrinsic f_{T} ,以示区别

对于MOS管,将 $g_m = \mu C_{ox}(W/L)(V_{GS} - V_{th})$ 以及 $C_{gs} = (2/3)WLC_{ox}$ 代入(12),有

$$f_{\rm T} \approx \frac{1}{2\pi} \cdot \frac{g_m}{C_{gs}} = \frac{1}{2\pi} \cdot \frac{3}{2} \frac{\mu}{L^2} (V_{GS} - V_{th})$$
 (16)



实际上, $L^2/\mu(V_{GS}-V_{th})$ 正比于载流子横渡沟道所需的平均时间 τ_0 ,因此公式 (16)也可以写成 τ_0 的函数,这样 BJT 和 MOSFET 的 f_T 都分别与载流子的穿越 (或渡越)时间成反比,只不过前者载流子的运动方式是扩散,后者是漂移。 比较公式(15)和(16),我们有以下结论:

- » BJT 的 f_T 是一个固定值,而 MOSFET 的 f_T 可以在一定范围内通过 V_{GS} 调节¹
- » W_B是一个纵向厚度(横向三极管除外),由扩散、注入等工艺决定,而L是 一个横向长度,由光刻工艺决定,并以更快的速度递减
- » MOSFET 载流子的漂移速度最终受到速度饱和现象的限制,短沟道器件载流 子穿越沟道的时间将与L而不是L²成正比,其*f*_T将随L减小而线性增加

• Maximum Frequency of Oscillation f_{MAX} (Unity Power Gain Frequency)

在许多射频电路中, *f*_T并不能反映管子的真实工作情况,例如振荡器和功率放大器,这些电路的特点是将直流功率转换为交流信号功率,从而使输出信号功率大于输入信号功率,或者说具有一定的功率增益。



^{1.} 这种调节并不是线性的, V_{GS}-Vth 的增加会降低载流子的有效迁移率, 同时载流子的速度将最终趋向饱和。

18 of 30

等效电路中的几乎所有参数都对功率增益产生 影响,因此其精确的表达式非常复杂,在理想 匹配且保证单向化的条件下,MOSFET功率增 益的表达式可近似为

$$G_p(\omega) \approx \frac{\omega_{\rm T}^2}{4R_g \omega^2 (g_{ds} + \omega_{\rm T} C_{gd})}$$



其中 R_g 为栅极寄生电阻。 f_{MAX} 定义为 $G_p = 1$ (0 dB)时所对应的频率,即 $G_p(\omega_{MAX}) = 1$,所以

$$\omega_{\text{MAX}} = \frac{\omega_{\text{T}}}{2\sqrt{R_g(g_{ds} + \omega_{\text{T}}C_{gd})}}$$
(17)

因此 f_{MAX} 可能大于 f_T 也可能小于 f_T 。如果 r_O 足够大($g_{ds} \ll \omega_T C_{gd}$, 但这个假设不 一定成立!),

$$f_{\rm MAX} \approx \sqrt{\frac{f_{\rm T}}{8\pi R_g C_{gd}}}$$
 (18)



可见,寄生元件对功率增益有很大的影响。由于 $R_g \propto W/L$, $C_{gd} \propto WL$, 上式表明 $f_{MAX} \propto \frac{1}{W} \sqrt{f_T}$

如果尺寸固定,

$$f_{\rm MAX} \propto \sqrt{f_{\rm T}} \propto \sqrt{\mu (V_{GS} - V_{th})} \propto \sqrt{g_m}$$



$$f_{\rm MAX} \approx \sqrt{\frac{f_{\rm T}}{8\pi r_b C_{\mu}}}$$





按比例缩小与短沟道效应

- 为什么要缩小尺寸
 - 元件寄生电容减小,速度提高、功耗降低
 - 芯片集成度提高,成本降低

为保证元件性能,各参数主要以电场和电压为 依据按一定的比例进行缩放,因此元件尺寸的 缩小称为按比例缩小(Scaling Down)

- 恒电场(Constant-Field)规则
 - 这是一个理想的缩放规则, 它要求:
 - » 所有的几何尺寸缩小k倍
 - » V_{th}和V_{DD}缩小k倍
 - » 所有掺杂浓度增加k倍
 - 由于电压和几何尺寸同步缩小,电场强度将保持不变,即载流子的运动不受影响,在其它方面:





21 of 30

$$C_{ox, new} = \frac{\varepsilon_{ox}}{t_{ox}/k} = kC_{ox}$$
$$C_{gs, new} = \frac{2}{3} \cdot \frac{W}{k} \cdot \frac{L}{k} \cdot C_{ox, new} = \frac{1}{k}C_{gs}$$

- 结电容

$$V_{Bi, new} = V_T \ln\left(\frac{kN_A \cdot kN_D}{n_i^2}\right) = V_{Bi} + 2V_T \ln k$$
$$C_{j, new} = \sqrt{\frac{q\varepsilon(kN_A)(kN_D)}{2(kN_A + kN_D)}} \frac{1}{\sqrt{V_{Bi} + V_R/k}} \approx kC_j$$

由于结的深度减小,
$$C_{jsw,new} \approx C_{jsw}$$
, 所以
 $C_{sb,new} = C_{db,new} = \frac{WL_{SD}}{k}(kC_j) + 2\left(\frac{W}{k} + \frac{L_{SD}}{k}\right)C_{jsw} = \frac{1}{k}C_{db}$

- 饱和电流

$$I_{D, new} = \frac{1}{2} \mu (kC_{ox}) \left(\frac{W/k}{L/k}\right) \left(\frac{V_{GS}}{k} - \frac{V_{th}}{k}\right)^2 = \frac{1}{k} \cdot \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2$$

- 单位面积晶体管数目增加k²倍





对于数字电路来说,以上变化意味着

» 集成度提高

其中的意义是巨大的,这是 Si CMOS 工艺之所以在半导体业独占鳌头的重要原因,也是推动 CMOS RFIC 设计的直接动力

• Scaling Down 的其它规则

恒电场规则存在一些问题,如亚阈区漏电流,随着V_{th}的降低,V_{GS}=0所对应的漏电流增加,管子无法"关上",这不仅增加数字电路功耗,还降低了噪声容限,因此阈值电压不可能随L同步降低;同时,固定的接口电平要求也限制了电压下调。如果在比例缩小的过程中保持电压不变,这种规则就称为恒电压规则。但是恒电压是另一个极端,实际工艺中电压随L逐步减小,但并不同步



- Velocity Saturation
 - 沟道中的载流子在外电场作用下加速,但散射现象会使载流子损失一部分能量。电场强度较低时,载流子的平均漂移速度v_d与电场强度成正比,随着电场的增强,v_d趋向一个饱和值v_{d,max},一个常用的表示式为



$$v_d(x) = \frac{\mu E_x}{1 + E_x / E_c} = v_{d, max} \frac{E_x / E_c}{1 + E_x / E_c}$$
(20)

其中 $E_c = v_{d, max} / \mu$ 称为临界电场强度

当存在 Velocity Saturation 效应时,漏极电流不能再照搬长沟道的公式,而必须使用更一般性的表示方法。如果沟道内某点 x 处的载流子电荷面密度为 Q_I(x),平均漂移速度为 v_d(x),则该点处的漂移电流为

$$I_D = WQ_I(x)v_d(x) \tag{21}$$



$$v_d(x)$$
用公式(20)表示,并且 $E_x = \frac{dV(x)}{dx}$,于是有
 $I_D\left(1 + \frac{1}{E_c}\frac{dV}{dx}\right) = WQ_I(x)\mu\frac{dV}{dx}$
 $\int_0^L I_D\left(1 + \frac{1}{E_c}\frac{dV}{dx}\right)dx = \int_0^{V_{ds}} WQ_I(x)\mu dV$

而

$$Q_{I}(x) = C_{ox} \{ [V_{gs} - V(x)] - V_{th} \}$$
(22)

于是

$$I_{D} = \frac{\mu C_{ox}}{1 + \frac{1}{E_{c}} \frac{V_{ds}}{L}} \frac{W}{L} \Big[(V_{gs} - V_{th}) V_{ds} - \frac{1}{2} V_{ds}^{2} \Big]$$
(23)

这时 $V_{dsat} < (V_{gs} - V_{th})$, 但饱和状态下的电流仍可以用 $V_{ds} = (V_{gs} - V_{th})$ 时的值获得很好的近似:



25 of 30

$$I_{D, sat} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th}) \frac{1}{\frac{1}{V_{gs} - V_{th}} + \frac{1}{E_c L}}$$
(24)

与长沟道的情况相比, V_{dsat}可以写成

$$V_{dsat} = \frac{1}{\frac{1}{V_{gs} - V_{th}} + \frac{1}{E_c L}} = (V_{gs} - V_{th}) \parallel (LE_c)$$
(25)

如果 $(V_{gs} - V_{th})/L \gg E_c$, 公式 (24) 可以近似为

$$I_{D,sat} \approx \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th}) (LE_c) = \frac{1}{2} \mu C_{ox} W (V_{gs} - V_{th}) E_c$$
(26)

此时的电流不再跟沟道长度L相关,且与栅电压成线性关系,所以

$$g_m \approx \frac{1}{2} \mu C_{ox} W E_c \tag{27}$$

为常数



• 纵向电场与迁移率退化

类似与趋肤效应,栅极与沟道之间的电场使沟道内的载流子更趋向于沟道表面的区域,使其迁移率降低,这种现象在长沟道器件中同样存在,只不过在短沟道器件中随着 t_{ox} 的减小而更加明显,载流子的有效迁移率可以近似表示为

$$\mu_{eff} = \frac{\mu_0}{1 + \theta(V_{GS} - V_{th})}$$
(28)

μ₀为低电场强度时的迁移率, θ是一个拟合参数, 约为 10⁻⁷/t_{ox} (V⁻¹)。如果将 漏极饱和电流表示为

$$I_D = \frac{1}{2} \mu_{eff} C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 = \frac{1}{2} \frac{\mu_0}{1 + \theta (V_{GS} - V_{th})} C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2$$

当 $\theta(V_{GS} - V_{th}) \ll 1$ 时, $I_D \approx \frac{1}{2} \mu_0 C_{ox} \frac{W}{L} [1 - \theta(V_{GS} - V_{th})] (V_{GS} - V_{th})^2 = \frac{1}{2} \mu_0 C_{ox} \frac{W}{L} [(V_{GS} - V_{th})^2 - \theta(V_{GS} - V_{th})^3]$ 这里出现了 3 次失真项



• Hot Carrier Effect (热载流子效应)

- 漏极附近的电场强度可以非常大,使得载流子获得足够的能量撞击硅原子并 使之发生电离而产生新的电子-空穴对,新产生的载流子又可以获得能量造 成更多的原子发生电离,这些高能量的载流子称为热载流子
- 热载流子的运动使短沟道器件的噪声电流远大于长沟道器件
- 电离产生的空穴会形成衬底电流(NMOS),这会使晶体管的输出电阻降低
- 一部分电子穿透栅氧层而形成栅电流,另一部分电子被栅氧层捕获,造成阈值电压的偏移;在进入栅氧层时,热电子会造成栅氧与沟道界面的缺陷
- 为减小或避免热载流子的形成,需要降低电压以减小电场强度,在现代工艺中也采用了LDD (Lightly Doped Drain,漏区轻掺杂)结构来达到同样目的

• Drain Induced Barrier Lowering (DIBL)

在短沟道器件中,漏极电压所形成的电场具有纵向分量,起到与栅极电场相同的作用,"加快"了反型层的形成,降低了等效的阈值电压



Scaling Down对RFIC设计的影响

- $f_{\mathbf{T}}$ 随 L 减小而上升,长沟道器件 $f_{\mathbf{T}} \propto \frac{1}{L^2}$,短沟道器件 $f_{\mathbf{T}} \propto \frac{1}{L}$
- f_{MAX}也随相应增加,但是增幅较缓
- IIP3减小,但是仍优于BJT(长沟道器件不存在3次失真!)
- NF 减小 (We will see this later)
- Flicker noise 更为严重(混频器、振荡器设计需要注意) 因此, CMOS特征尺寸的不断减小对 RFIC 设计有利有弊, 但可以说利大于弊



其它工艺

• Si SOI (SOS) CMOS/BiCMOS

- 使用绝缘的衬底大大减小了寄生电容,增加了隔离度,提高了高频性能
- 模型十分复杂,存在 self-heating 等问题
- BiCMOS将BJT的优良性能和CMOS的高集成度很好地结合在廉价的硅片上

• GaAs (Gallium Arsenide)

- 极佳的高频性能
- 高成本,较低的成品率, GaAs MESFET 有很高的低频噪声

• SiGe (Silicon Germanium)

- 在速度、噪声、增益、功耗等方面表现突出
- 与现有的硅工艺相兼容,大有前途



参考文献

- [1] B. Razavi, *Design of Analog CMOS Integrated Circuits*, Chapter 16.
- [2] Paul R. Gray and Robert G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 3rd ed. Chapter 11.
- [3] Qiuting Huang, *et al.*, "The Impact of Scaling Down to Deep Submicron on CMOS RF Circuits," *IEEE J. Solid-State Circuits*, vol. 33, pp. 1023-1036, July 1998.
- [4] Pierre H. Woerlee, *et al.*, "RF-CMOS Performance Trends", *IEEE Tran. Electron Devices*, vol. 48, pp. 1776-1782, August 2001.

