

# 功率MOSFET基本特性

主讲人：罗波

E-mail:blue2551166@163.com

Power Integrated Technology Lab

# 第0部分 功率MOSFET概述

- 新型电力电子器件的主要代表，主要的一类是MOS型功率器件，如垂直扩散MOS（VDMOS），绝缘栅双极晶体管（IGBT）。
- 1971年Y. Tarui等人提出横向双扩散MOS（LDMOS）结构
- 电子科大微固学院陈星弼院士提出CoolMOS结构是功率MOS上的一次革命，突破了硅极限
- .....

# 国内外相关公司

ST <http://www.stmicroelectronics.com.cn/>

IR <http://www.irf.com/>

安森美

<http://www.onsemi.com/PowerSolutions/home.do>

Fairchild <http://www.fairchildsemi.com/>

华晶 <http://www.crhj.com.cn/>

.....

# 功率VDMOS的发展趋势

## ■ 新材料

- 如SiC

## ■ 新结构

- 如Trench MOS结构、Super Junction

## ■ 智能功率器件

- 集ESD保护、过流保护、过温保护、ESD保护、抗辐照、有源钳位功能于一体

# 功率VDMOS的应用概述

- 开关电源
- 通信（包括手机）
- 汽车、电脑及便携式电器
- 工业、航天、家电、办公用品.....
- 世界市场约为二三十亿美元

- MOS类器件的发展，使电力电子市场的覆盖范围有了根本的变化
- 工业控制（**27%**）、日用电路（**24%**）、通信（**17%**）、计算机及各种用电池的**小型电器（16%**）、汽车电子（**12%**）。

# 一、电机调速

- 目前世界上有超过**100**亿个大小马达在运转，有**30%**的能量消耗在电机中。约有**15~20%**的中小电机已采用电子控制，使用了约**33%**的晶体管。电机调速方面的功率器件正逐年增加，目前中国正处在一个新的空调热，单就这一项其市场就够可观的了。

## 二、节能灯

- 现有技术已经把振荡用的两个功率MOSFET和控制IC做在一个塑料封装内，使电路进一步简单。美国几乎有一半电力消耗在照明和电机方面，所以对照明节能是十分重视的。据估计每个节能灯管每年可节电30~70美元。在双极型晶体管的市场正在萎缩的形势下，中国因节能灯的需要，使其市场却在飞速发展。

### 三、便携式电器

- 由于新一代MOS器件有极低的正向阻抗，可使供给这些电池的寿命增加1~4倍（例如用于CD唱机中，电池寿命提高3倍）。引发了一种可随身携带，并可随时随地工作的电器—便携式电器的出现。它使人们可以在旅游、家里、野外等各种空间和时间内进行工作、通信和娱乐活动。这些电器包括：
- 膝上式或笔记本计算机、移动电话、移动硬盘驱动器、掌上游戏机、掌上无线电通信、便携式音/视频设备、CD唱机、可充电剃须刀、电动牙刷等等。

## 四、汽车电子

■ 现代的汽车中，为了改善发动机性能，提供更安全和舒适的环境，有许多部分都要用到半导体器件（每辆汽车中的功率器件，可达**200**个之多）。如发动机控制单元：燃油注入控制器、点火控制、变速器等等；舒适适用部件：动力驾驶盘、动力窗、动力门锁、照明控制、空调、音响等；之外还有安全要求方面。所以中国潜在的汽车市场给功率半导体的发展提供了一个很大的空间。

## 五、开关电源

- 中国在通信方面的市场潜力是世界上最大的，通信电源是功率半导体的主要市场之一（当然开关电源不仅用于通信电源，也包括用于计算机主机、工业、仪表、医药等）。**MOS**器件在整流电源、**DC-DC**电源中起着关键的作用。可以说，功率**MOSFET**是开关电源的第一用语。由于开关电源目前有低输出电压的趋势，新一代**MOSFET**就更为适用。

## 第二部分 半导体基本知识

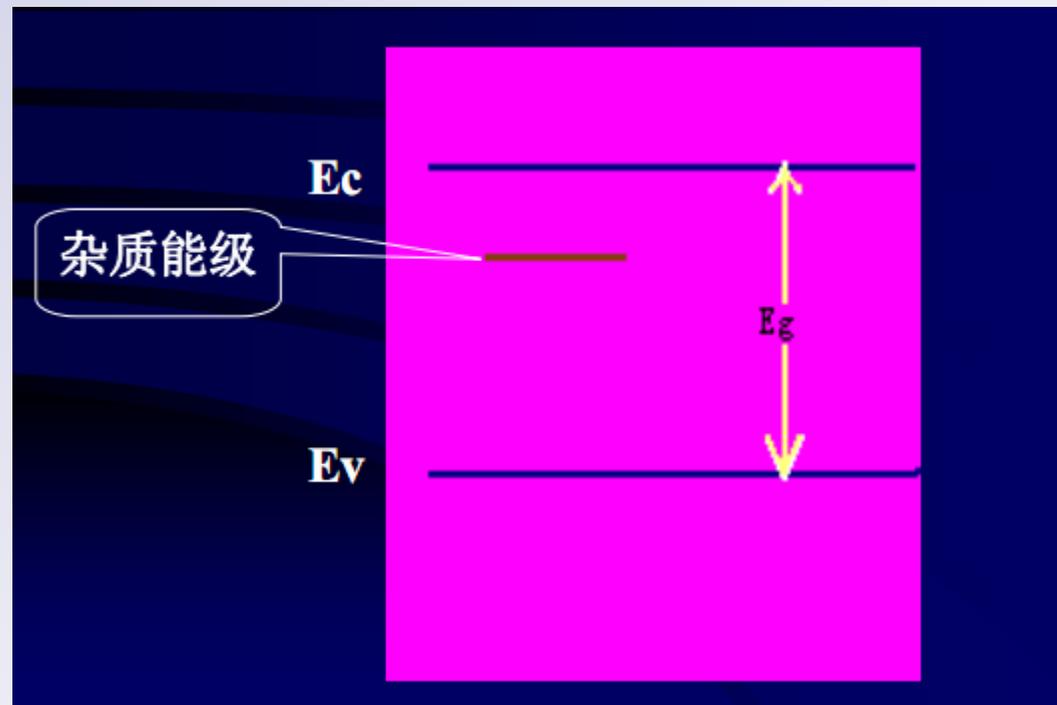
- 此章节介绍半导体描述基本概念
- 若理解出现问题，相应结果可作为定理或者结论

## 2.1 半导体的能带

- 纯净的Si不导电，必须在Si中掺入N型杂质或者P型杂质才能导电
- N型半导体为在硅中掺入P,AS等五簇元素
- P型半导体为在硅中掺入B等三簇元素
- 替位式杂质与间隙式杂质
- 为了描述方便，所以引入了能带结构来解释半导体的物理运动与现象

## 2.1.1 半导体的表征

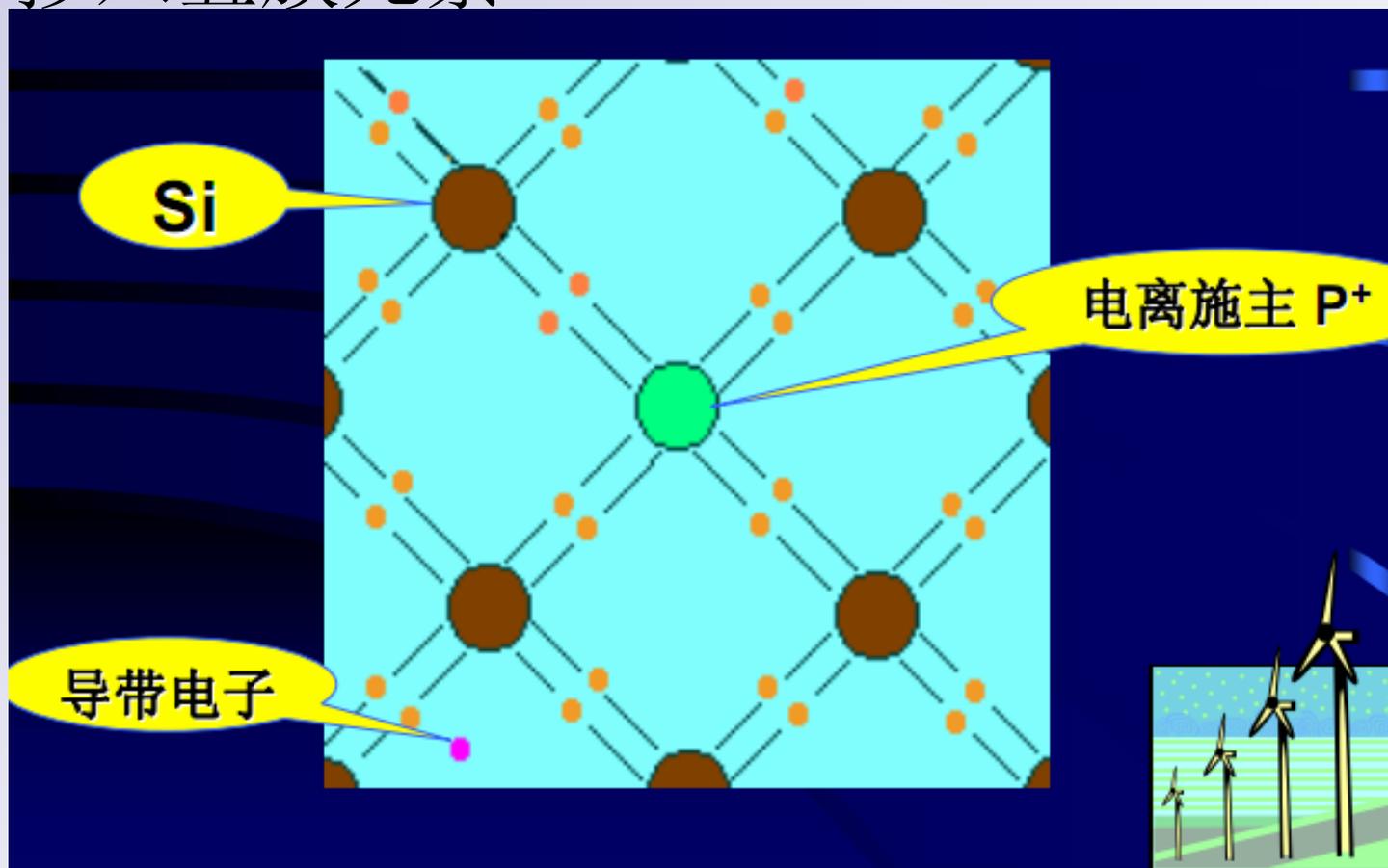
- 半导体的能级结构
- 导带与价电
- $E_c$   $E_v$   $E_g$
- 本征激发



- $n_i=1.5e^{10}$  与掺杂无关，与温度关系明显
- 温度升高  $E_g$  减小 导体-绝缘体

## 2.1.2 N型半导体

### ■ 硅中掺入五簇元素



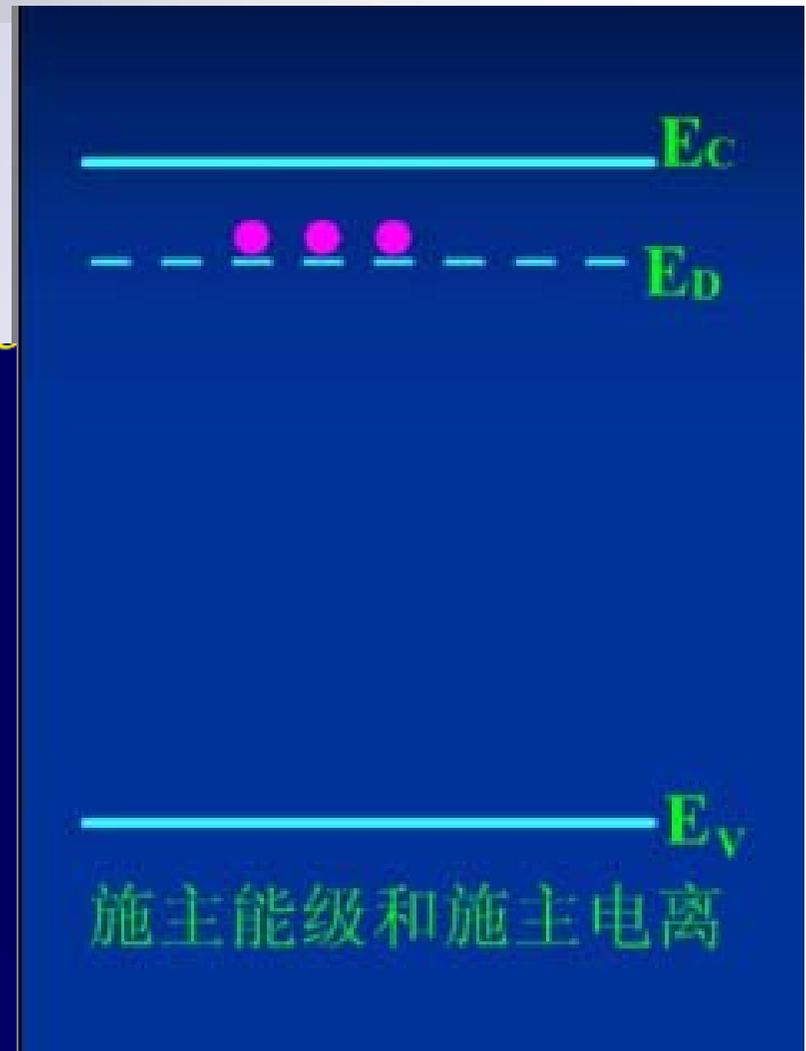
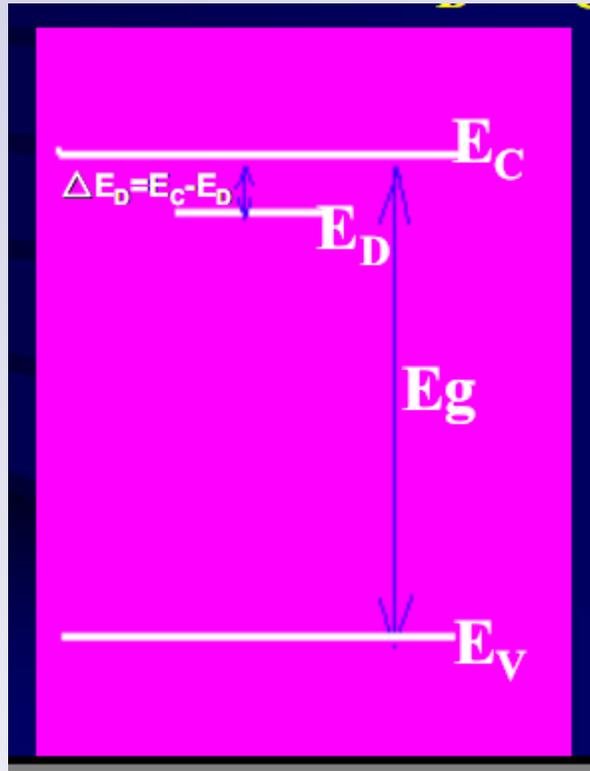
### ■ 注意其电离出自由电子

替位式杂质

2009-3-22

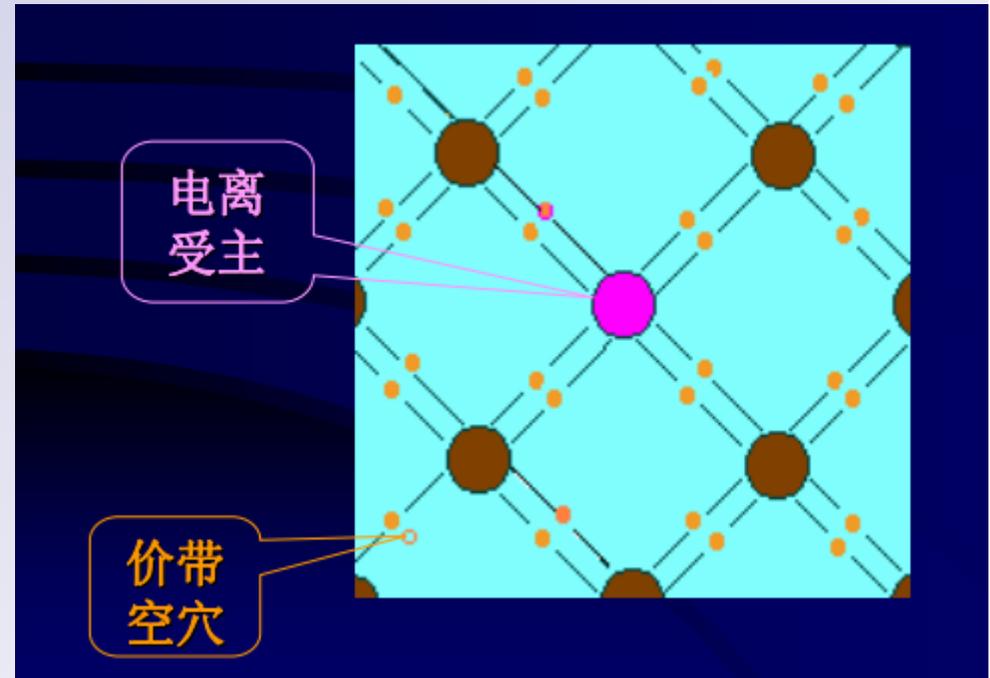
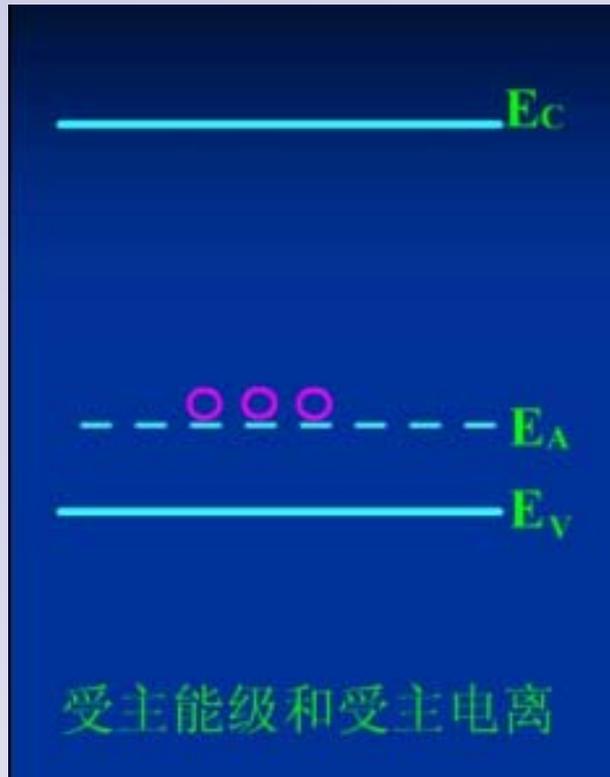
Power Integrated Technology Lab

- 其能带表征
- 施主与施主能级
- 束缚态能够完全电离  
(室温下)



- 一个施主能够电离出一个自由电子参与导电，其电离结果为：电子+ $N_D^+$

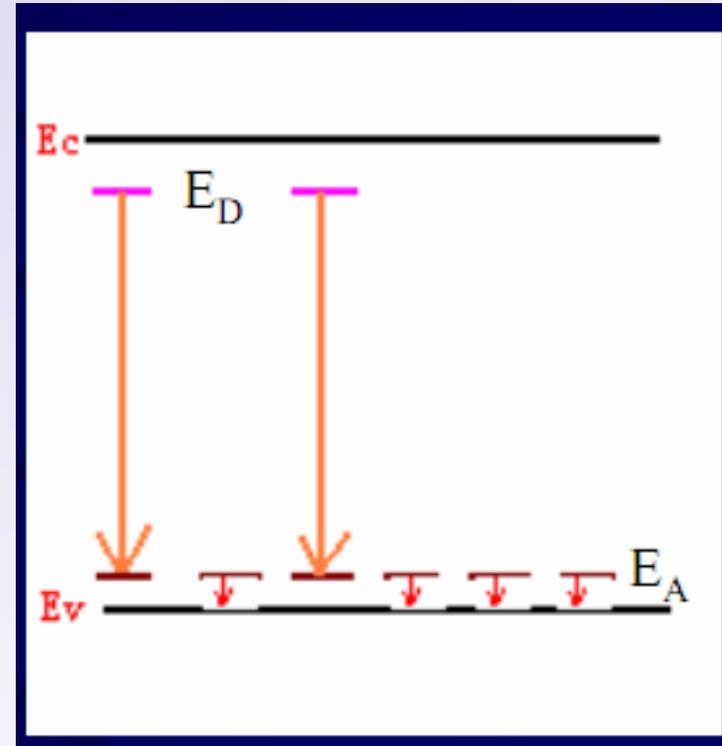
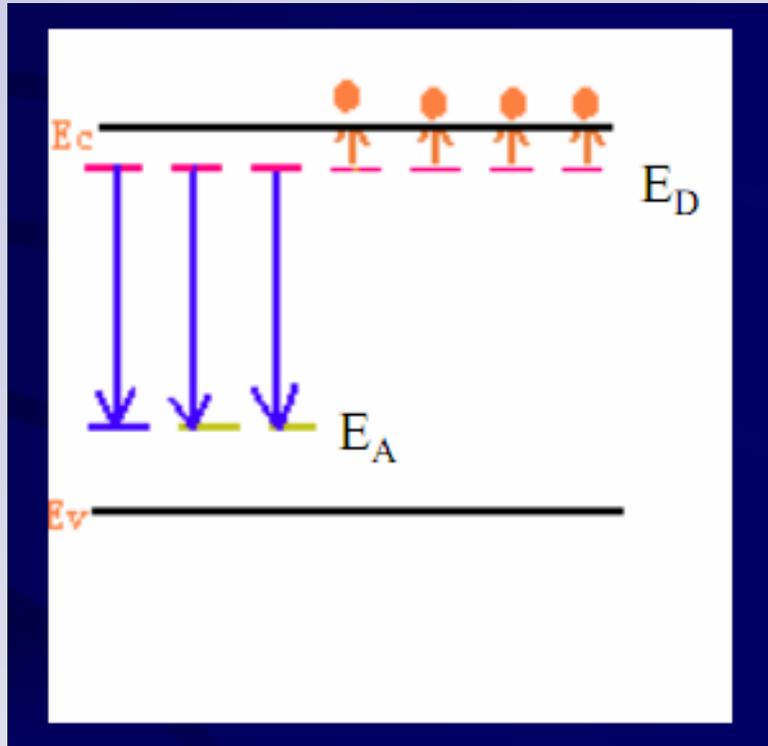
## 2.1.3 受主能级



- 电离结果： $N_A^- + \text{空穴}$

# 杂质补偿

- 电离出的电子与空穴能够发生复合



- 施主与受主先进行杂质补偿，先电离！

## 2.2 半导体中载流子分布

### ■ 2.2.1 费米能级

#### 1、费米分布函数

电子遵循费米-狄拉克（**Fermi-Dirac**）统计分布规律。能量为E的一个独立的电子态被一个电子占据的几率为

$$f_n(E) = \frac{1}{1 + e^{\frac{E-E_F}{k_0T}}} \longrightarrow \text{电子的费米分布函数}$$

$k_0$ 为波尔兹曼常数

## 2、费米能级 $E_F$ 的意义

**T=0:**

$f_F(E)=1$ , 当 $E > E_F$ 时

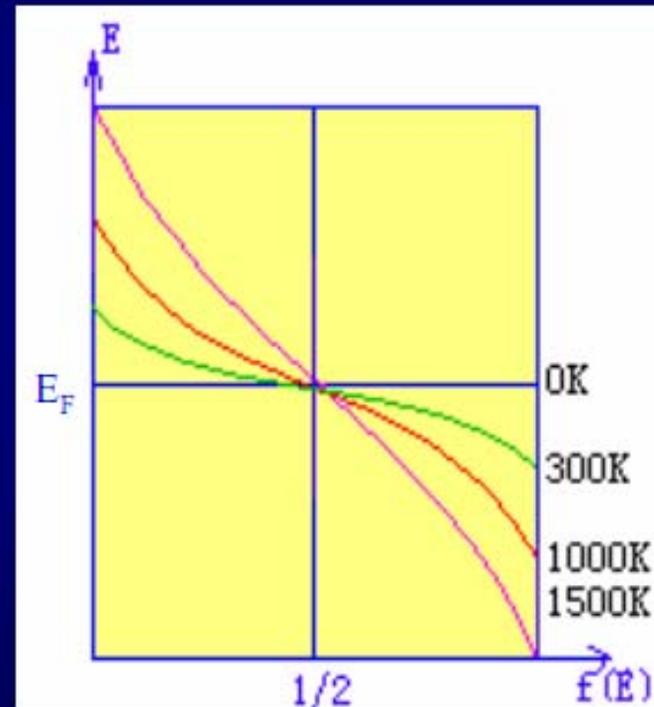
$f_F(E)=0$ , 当 $E < E_F$ 时

**T>0:**

$1/2 < f_F(E) < 1$ , 当 $E < E_F$ 时

$f_F(E)=1/2$ , 当 $E = E_F$ 时

$0 < f_F(E) < 1/2$ , 当 $E > E_F$ 时



- 费米能级是载流子能量的一种表征

## $E_F$ 的意义

$E_F$ 的位置比较直观地反映了电子占据电子态的情况。即标志了电子填充能级的水平。 $E_F$ 越高，说明有较多的能量较高的电子态上有电子占据。

- 费米能级是载流子能量的一种表征

## 2.2.2 载流子分布

- 相当于公式或者定理

$$n_0 = N_C e^{-\frac{E_C - E_F}{k_0 T}}$$

$$p_0 = N_V e^{-\frac{E_F - E_V}{k_0 T}}$$

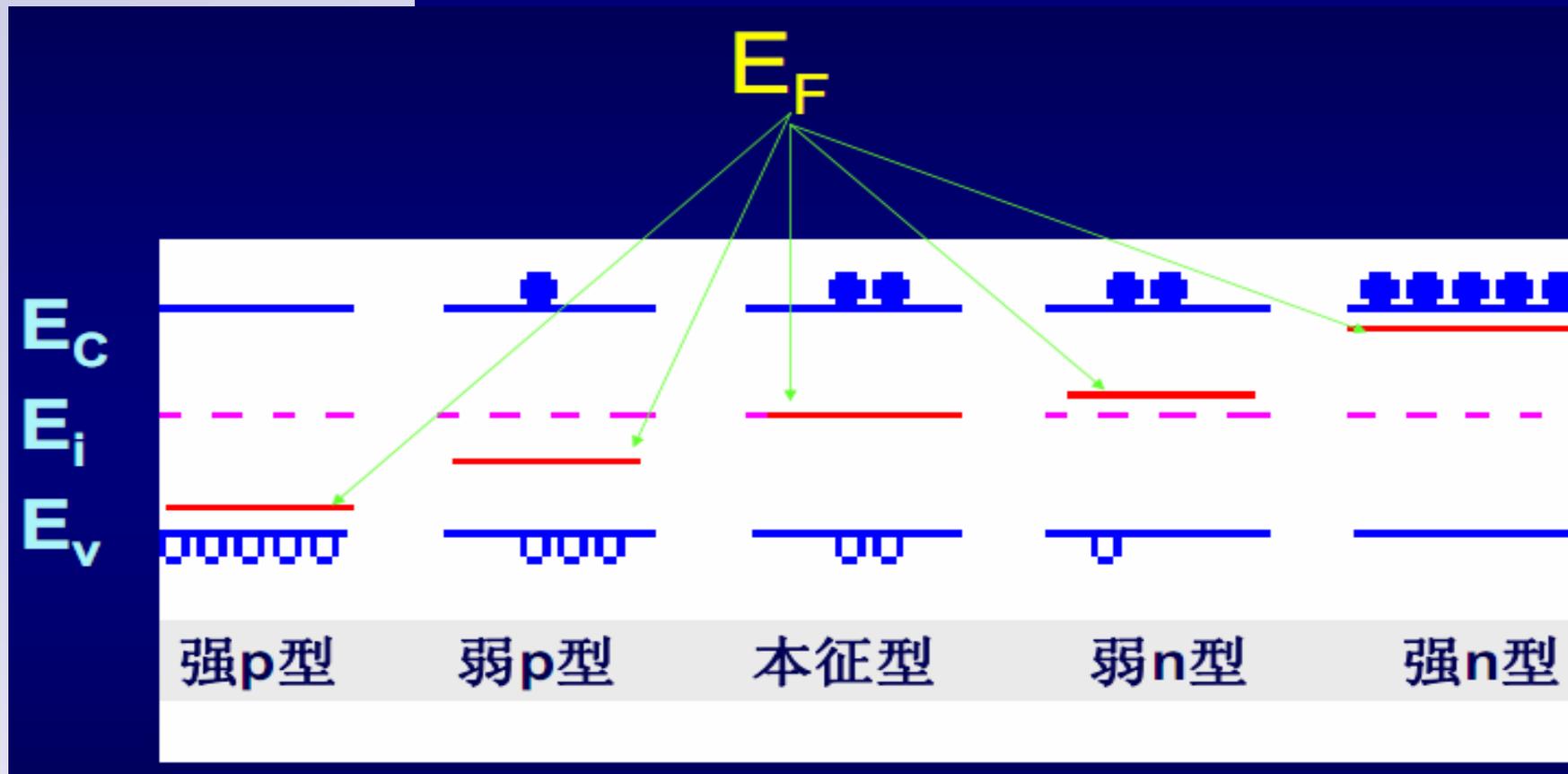
$$n_0 p_0 = N_C N_V e^{-\frac{E_C - E_V}{k_0 T}} = n_i^2$$

$$n_0 = n_i \cdot e^{-\frac{E_i - E_F}{k_0 T}}$$
$$p_0 = n_i \cdot e^{\frac{E_i - E_F}{k_0 T}}$$

- 令  $E_F = (E_C + E_V)/2, n_0 = p_0 = n_i$

- $N_C, N_V$  为电子有效态密度，为定值，查表可得

$$n_i = n_0 = p_0 = \sqrt{N_c N_v} \cdot e^{\left( -\frac{E_g}{2k_0T} \right)}$$



## ■ 掺杂浓度影响着费米能级

2009-3-22

- 对于一般的半导体，室温下其杂质全部电离

$$n_0 = n_D^+ = N_D$$

$$n_0 p_0 = n_i^2$$

- 查表得出NC,NV从而得到其能带的分布
- 例如：对于一块Si掺杂P浓度为 $6e15cm^{-3}$ ，求其费米能级位置？

## 2.3 迁移率与电阻率

假设讨论的是n型半导体，电子浓度为 $n_0$ ，在外电场下通过半导体的电流密度

$$J_n = -n_0 q v_d$$

- 载流子移动形成电流， $n_0 q$ 为所带电荷

$$J_n = \sigma_n E$$

$$\sigma_n = n_0 q \left( \frac{v_d}{E} \right) = n_0 q \mu_n$$

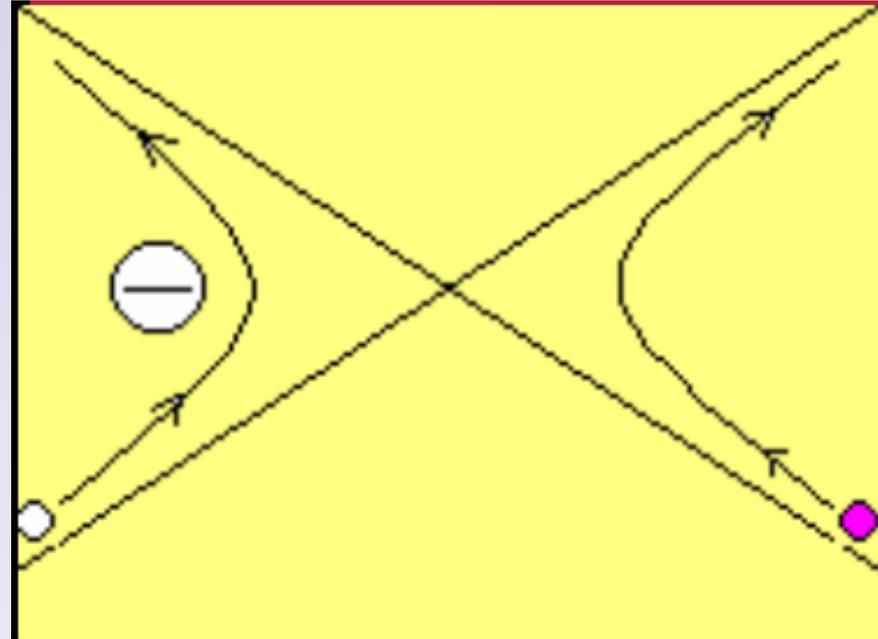
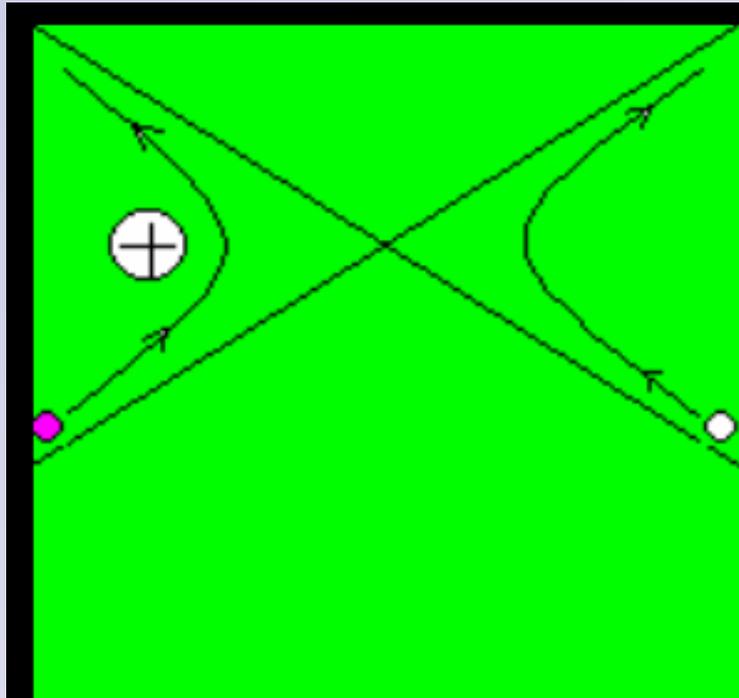
$$\mu_n = \frac{V_d}{E}$$

- 表明了为单位电场下的迁移速率
- 对于空穴有类似的定义，一般情况下电子迁移率1350 VS/cm<sup>2</sup>,空穴为500 VS/cm<sup>2</sup>

$$\begin{aligned}\sigma &= \sigma_n + \sigma_p \\ &= nq\mu_n + pq\mu_p\end{aligned}$$

- 非常重要的公式：一般情况下，只有一项

# 影响迁移率的因素



- 电离杂质散射，库伦散射
- 使得路程变长，相当于迁移率降低

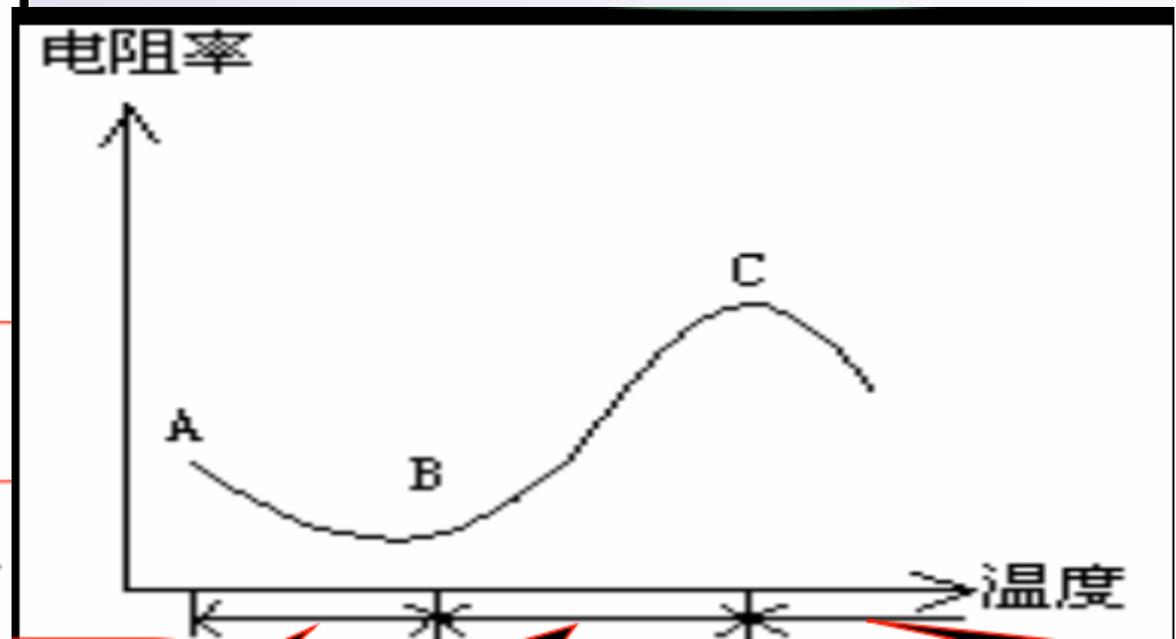
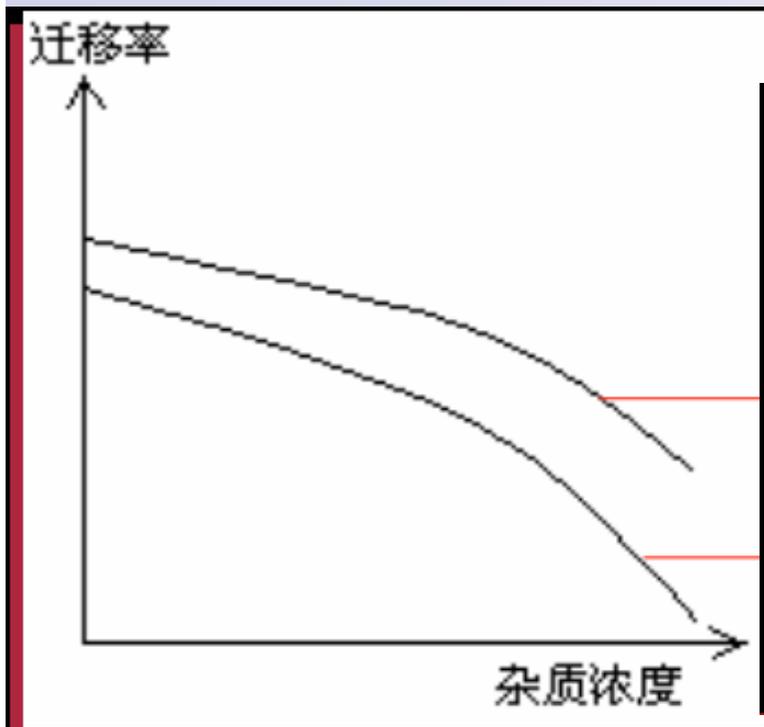
$$\text{散射几率 } P_i \propto N_i T^{-3/2}$$

## ■ 与温度的关系

- 温度升高，晶格振动加剧，载流子沿电场方向移动时会受到散射，使得其迁移率下降

(晶格散射)

$$\mu_s \propto T^{3/2}$$



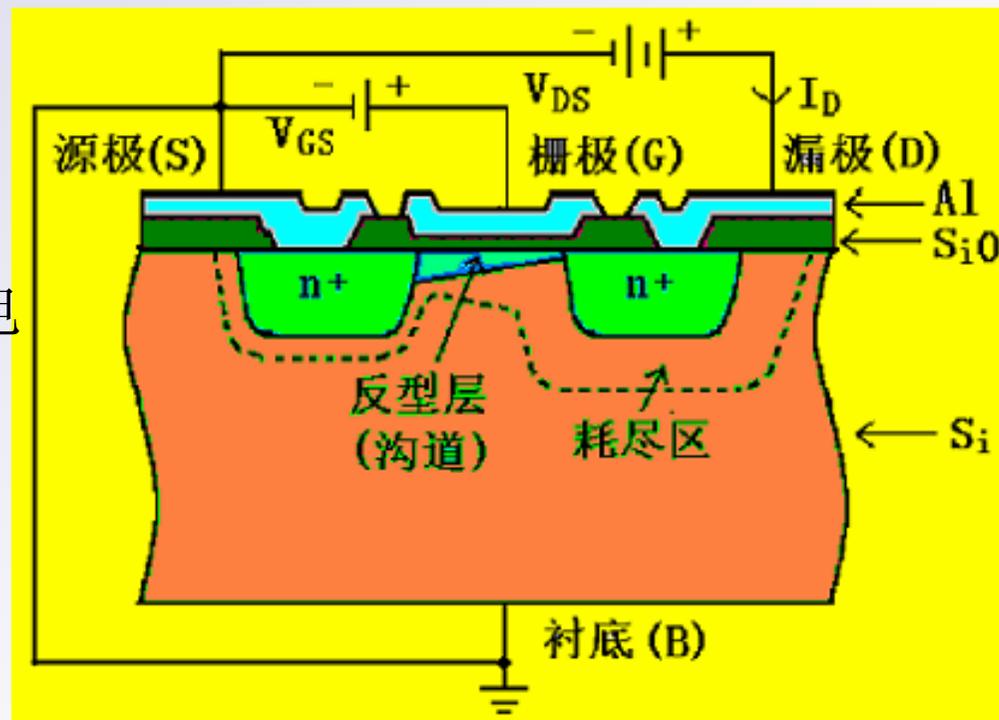
## 第三部分 低压MOSFET

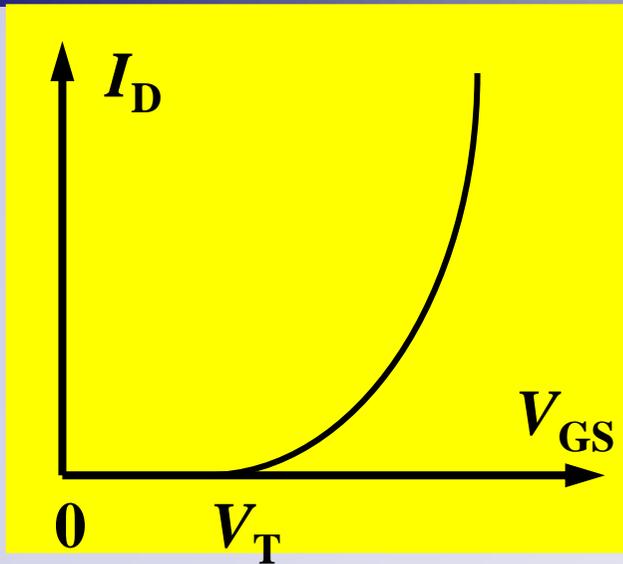
- 此章公式推导较复杂只注重其定性结果
- 功率MOS只在低压MOS的基础上扩展了漂移区，很多结果可以推导到高压MOS管

# 3.1 MOS管工作原理

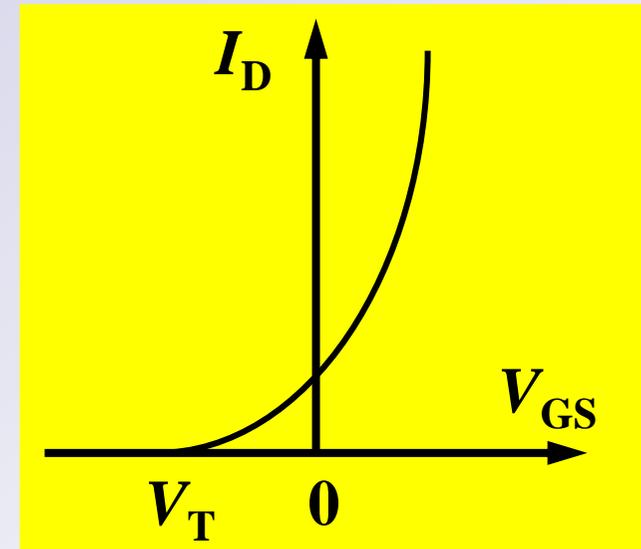
当  $V_{GS} < V_T$ （称为 阈电压）时，N+ 型的源区与漏区之间隔着 P 型区，且漏结反偏，故无漏极电流。当  $V_{GS} > V_T$  时，栅下的 P 型硅表面发生强反型，形成连通源、漏区的 N 型沟道，在  $V_{DS}$  作用下产生漏极电流  $I_D$ 。对于恒定的  $V_{DS}$ ， $V_{GS}$  越大，沟道中的电子就越多，沟道电阻就越小， $I_D$  就越大。

所以 MOSFET 是通过改变  $V_{GS}$  来控制沟道的导电性，从而控制漏极电流  $I_D$ ，是一种电压控制型器件。





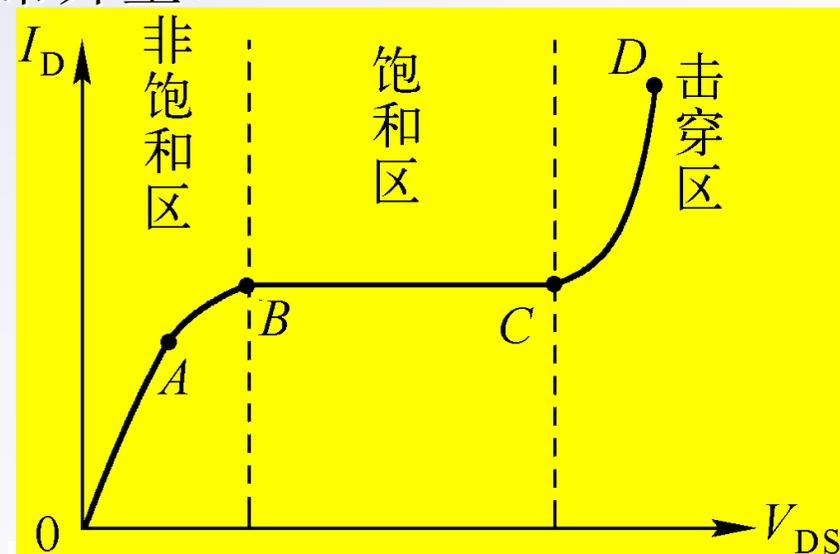
V<sub>DS</sub>为定值



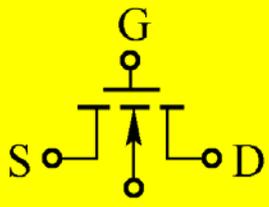
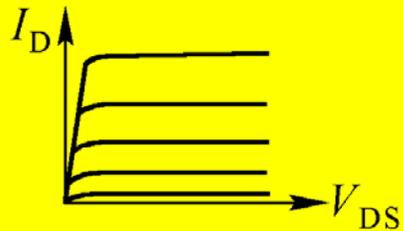
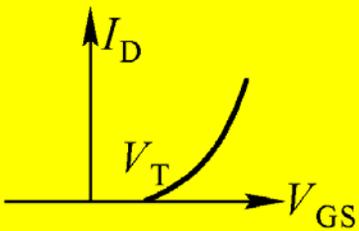
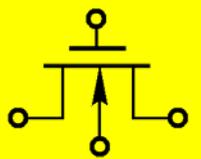
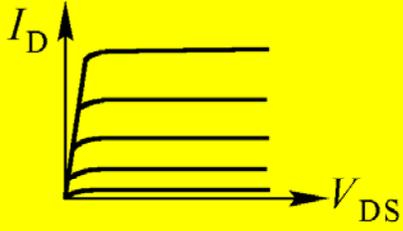
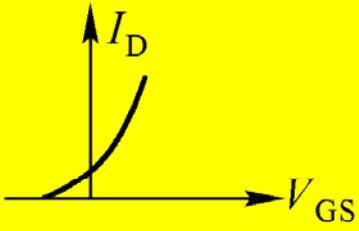
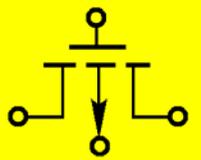
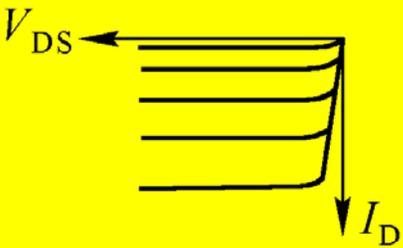
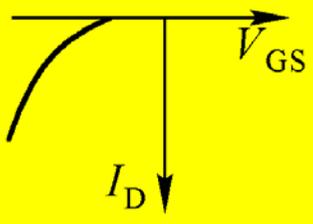
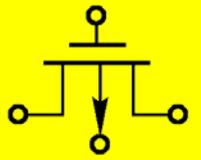
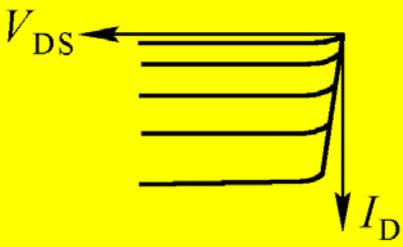
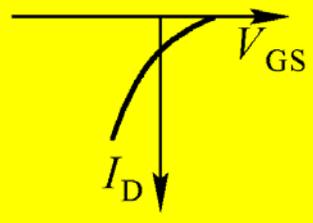
$V_T > 0$  时，称为增强型，为常关型。  
 $V_T < 0$  时，称为耗尽型，为常开型。

线性区：可以作为电阻  
 饱和区：沟道长充调制效应  
 夹断区：漏电流

判断标准???



# 注意PMOS 符号

类型	符号	输出特性	转移特性
N沟道增强型			
N沟道耗尽型			
P沟道增强型			
P沟道耗尽型			

# 3.2 MOS管的阈值电压

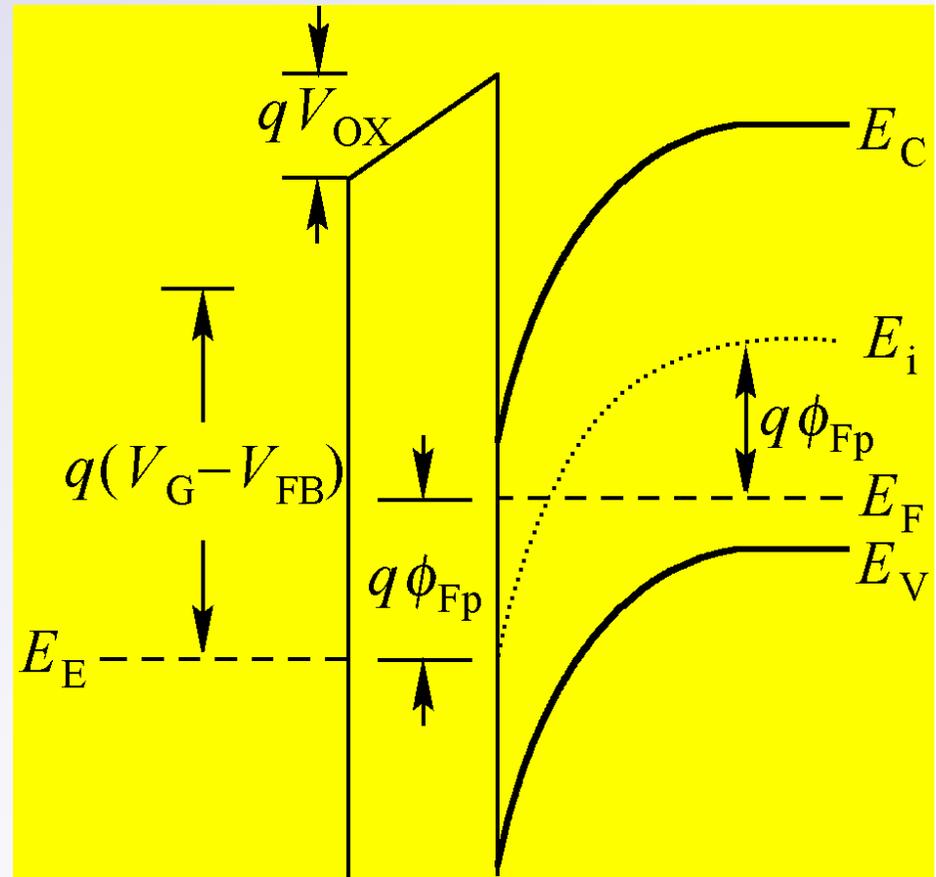
定义：使栅下的硅表面处开始发生强反型时的栅电压称为阈电压（或开启电压），记为  $V_T$ 。

定义：当硅表面处的少数浓度达到或超过体内的平衡多数浓度时，称为表面发生了强反型。

$$\phi_{FP} = \frac{1}{q}(E_i - E_F) = \frac{kT}{q} \ln \frac{N_A}{n_i} > 0$$

$$n_0 = n_i \cdot e^{-\frac{E_i - E_F}{k_0 T}}$$

$$p_0 = n_i \cdot e^{\frac{E_i - E_F}{k_0 T}}$$



NMOS

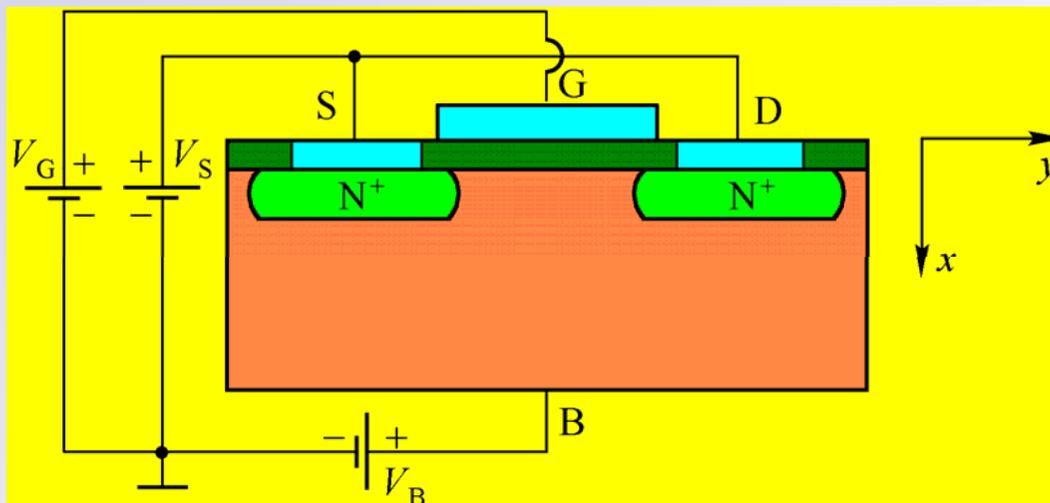
$$V_T = \phi_{MS} - \frac{Q_{OX}}{C_{OX}} + K(2\phi_{FP})^{\frac{1}{2}} + 2\phi_{FP}$$

PMOS

$$V_T = \phi_{MS} - \frac{Q_{OX}}{C_{OX}} - K(-2\phi_{FN})^{\frac{1}{2}} + 2\phi_{FN}$$

式中,  $K = \frac{(2qN_A\epsilon_s)^{\frac{1}{2}}}{C_{OX}}$ , 称为体因子

$$x_n \approx x_d \approx \left[ \frac{2\epsilon_s V_{bi}}{qN_D} \right]^{\frac{1}{2}}$$



$\phi_{MS}$  接触电势差  
 $\frac{Q_{OX}}{C_{OX}}$  氧化层等效电压  
 $2\phi_{FP}$  强反型  
 $K(2\phi_{FP})^{\frac{1}{2}}$  强反型

## 2、影响阈电压的因素

当  $V_S = 0$  ,  $V_B = 0$  时, N沟道与P沟道 MOSFET 的阈电压可统一写为

$$V_T = \varphi_{MS} - \frac{T_{OX}}{\varepsilon_{OX}} Q_{OX} - \frac{T_{OX}}{\varepsilon_{OX}} Q_{AD} + 2\varphi_{FB}$$

a) 栅氧化层厚度  $T_{OX}$

$$C_{OX} = \frac{\varepsilon_{ox}}{t_{ox}}$$

一般来说, 当  $T_{OX}$  减薄时,  $|V_T|$  是减小的。

早期 MOSFET 的  $T_{OX}$  的典型值为 150 nm , 目前高性能

MOSFET 的  $T_{OX}$  可达 10 nm 以下。

- b) 衬底费米势  $\phi_{FB}$
- c) 功函数差  $\phi_{MS}$
- d) 耗尽区电离杂质电荷面密度  $Q_{AD}$
- e) 栅氧化层中的电荷面密度  $Q_{OX}$  (氧化层质量变差)

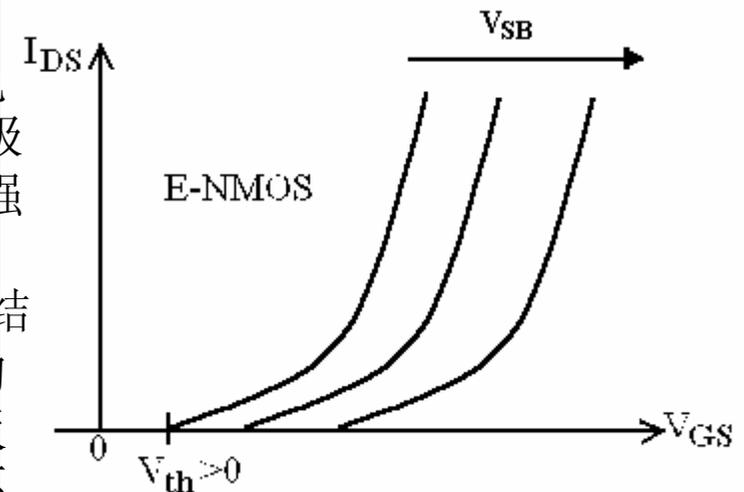
调整阈值电压主要是通过改变掺杂浓度  $N$  (例如离子注入) 和改变栅氧化层厚度  $T_{OX}$  来实现。

阈值电压具有负温系数P 沟道 MOSFET 的阈值电压具有正温系数

### 3 衬底偏置效应： $V_T$ 随 $V_{BS}$ 的变化而变化。

$$\begin{aligned}\Delta V_T &= (V_T)_{V_{BS}<0} - (V_T)_{V_{BS}=0} \\ &= K(2\phi_{FP})^{\frac{1}{2}} \left[ \left( 1 - \frac{V_{BS}}{2\phi_{FP}} \right)^{\frac{1}{2}} - 1 \right] > 0\end{aligned}$$

当栅上加一定的正电压VG，由于MOS的电容结构，将在栅极板和栅下面的衬底区域（下极板）分别感应出正、负电荷，下极板电荷包括两部分：沟道区反型层电荷和耗尽区电离受主电荷。最终达到平衡时，上、下“极板”的电荷数量相等，极性相反。如此时恰好沟道达到强反型，则对应的VGS即为阈值电压Vth。而如果源衬反接，即VSB>0，P型衬底和N+源区构成的PN结反偏，结两侧的耗尽区宽度增宽，而衬底掺杂浓度不变，使得沟道区下面的耗尽区电离受主增多。原来建立的上下极板感应电荷平衡被打破，如要保持沟道区导电电荷数目不变（强反型），就必须增加上极板的电荷量，即增大栅压，VG增大，导致Vth增大。表现出来即为体效应。



## 3.3 MOS管的IV特性

### 简单推导

$$J_n = -q\mu_n n E_y = q\mu_n n \frac{dV}{dy}$$

$$I_D = Z\mu_n \int_0^b qn dx \frac{dV}{dy} = -Z\mu_n Q_n \frac{dV}{dy}$$

$$Q_n = -C_{OX}(V_G - V_B - V_{FB} - \phi_S) - Q_A$$

$$Q_A(y) = -qN_A x_d = -\left\{ 2\varepsilon_s q N_A [2\phi_{FP} - V_B + V(y)] \right\}^{\frac{1}{2}}$$

正式积分结果很复杂，忽略作近似处理可以得到以下结果

$$I_D = \beta \left[ (V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

上式表明， $I_D$  与  $V_{DS}$  成抛物线关系，实际上电流上升以后不会再上升所以其饱和电流为上式最大值！

$$I_{Dsat} = \beta \left[ (V_{GS} - V_T) V_{Dsat} - \frac{1}{2} V_{Dsat}^2 \right] = \frac{1}{2} \beta (V_{GS} - V_T)^2$$

$$V_{Dsat} = V_{GS} - V_T$$

$$\beta = \frac{Z}{L} \mu_p C_{OX}$$

以上公式虽然是近似的，但因计算简单，在许多场合得到了广泛的应用

$$R_{on} = \frac{V_{DS}}{I_D} = \frac{1}{\beta (V_{GS} - V_T)} = \frac{L}{Z \mu_n C_{OX} (V_{GS} - V_T)}$$

### 3.4 速度饱和对饱和漏源电压的影响

短沟道MOSFET中，因沟道长度 $L$ 很小， $E_y = -\frac{dV}{dy}$  很高，使漏极附近的沟道尚未被夹断之前， $E_y$ 就达到了临界电场 $E_C$ ，载流子速度 $v(L)$ 就达到了饱和值 $v_{\max}$ ，从而使 $I_D$ 饱和。

已知 $V_{D\text{sat}} = V_{GS} - V_T$ 为使沟道夹断的饱和漏源电压，也就是使 $Q_n(L) = 0$ 的饱和漏源电压。

现设 $V'_{D\text{sat}}$ 为使 $v(L) = v_{\max}$ 的饱和漏源电压。经计算，

# 速度饱和和电流值

$$I_{sat} \approx Z \mu_n C_{OX} (V_{GS} - V_T) E_C$$

$$I'_{Dsat} \approx Z C_{OX} (V_{GS} - V_T) V_{max}$$

特点:  $I'_{Dsat} \propto (V_{GS} - V_T)$ ,  $I'_{Dsat}$  与  $L$  无关。

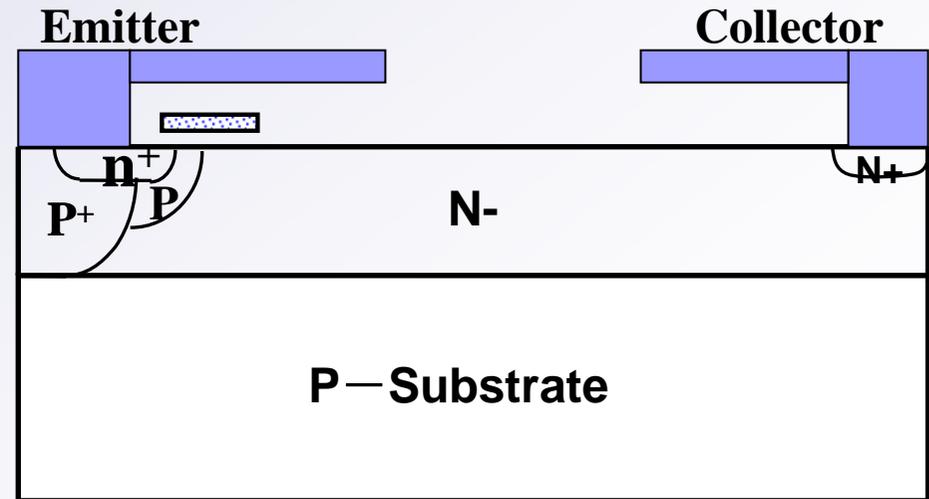
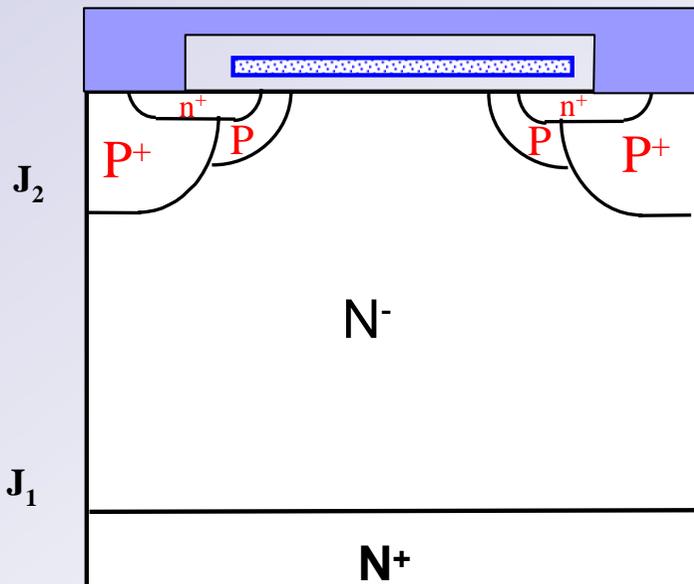
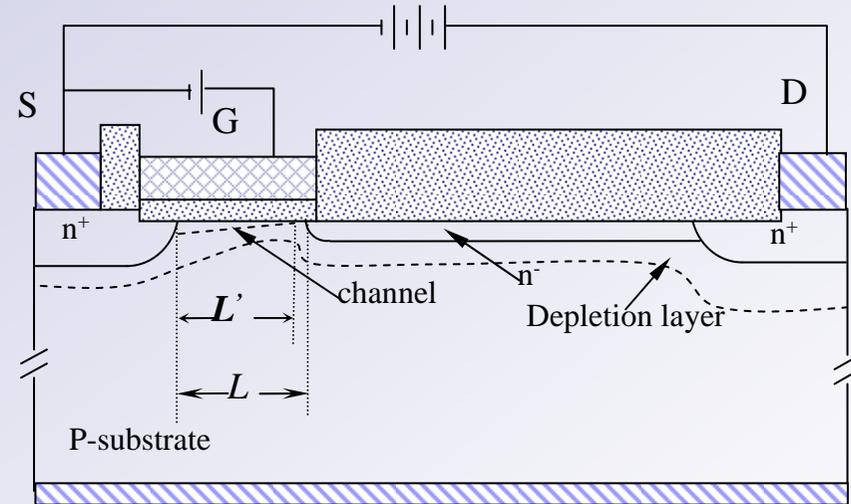
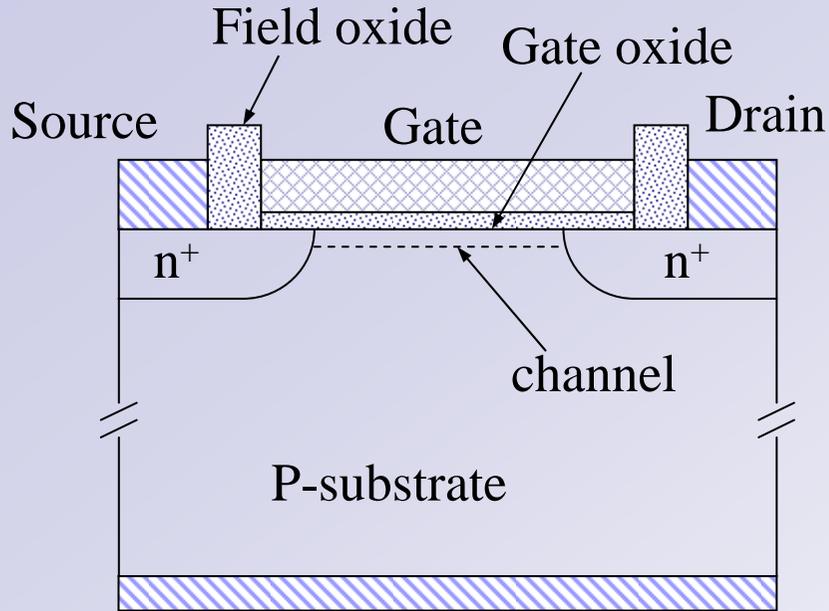
$$g'_{ms} = \frac{dI'_{Dsat}}{dV_{GS}} = Z \mu_n C_{OX} E_C = Z C_{OX} v_{max}$$

特点: 与  $(V_{GS} - V_T)$  及  $L$  均不再有关, 这称为跨导的饱和。

# 第四部分 功率MOSFET (1)

- 对于低压MOS的理论用到功率MOS场合

# 4.1 功率MOSFET



**Power MOSFETs** {  
Current:  $> 1 \text{ A}$   
Voltage:  $> 10 \text{ V}$

State-of-Art:

100 A/ 30 V;

10 V / 1500A

60V/200A/2MHz

500V/50A/100kHz

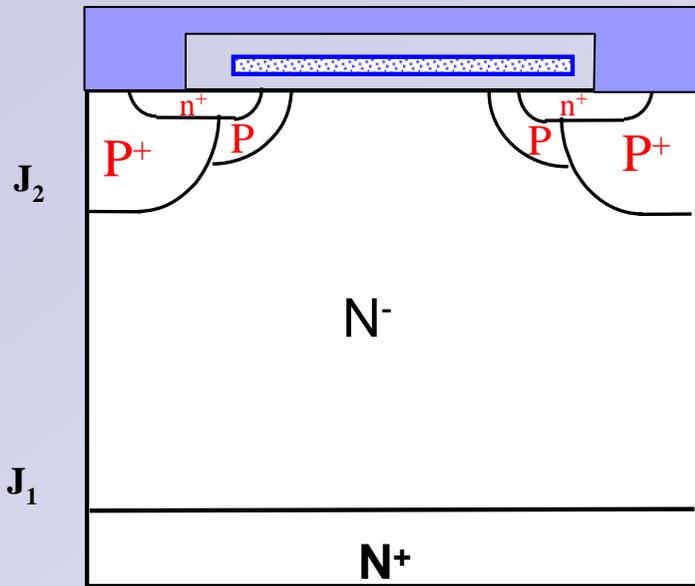
**Bipolar**



**Power MOSFET**



- ✓ Voltage control
- ✓ high input impedance in steady-state
- ✓ small gate currents provided by integrated circuit
- ✓ unipolar device
- ✓ fast switching speed (单极载流子导电)
- ✓ superior ruggedness
- ✓ Negative temperature coefficient-- be paralleled easily because the forward voltage drop increases with increasing temperature, ensuring an even distribution of current among all components.



Unsatisfied for power device

$$R_{D,SP} = \frac{W_{C,PP}}{q\mu_n N_D}$$

$$W_{C,PP} = 2.67 \times 10^{10} N_D^{-7/8}$$

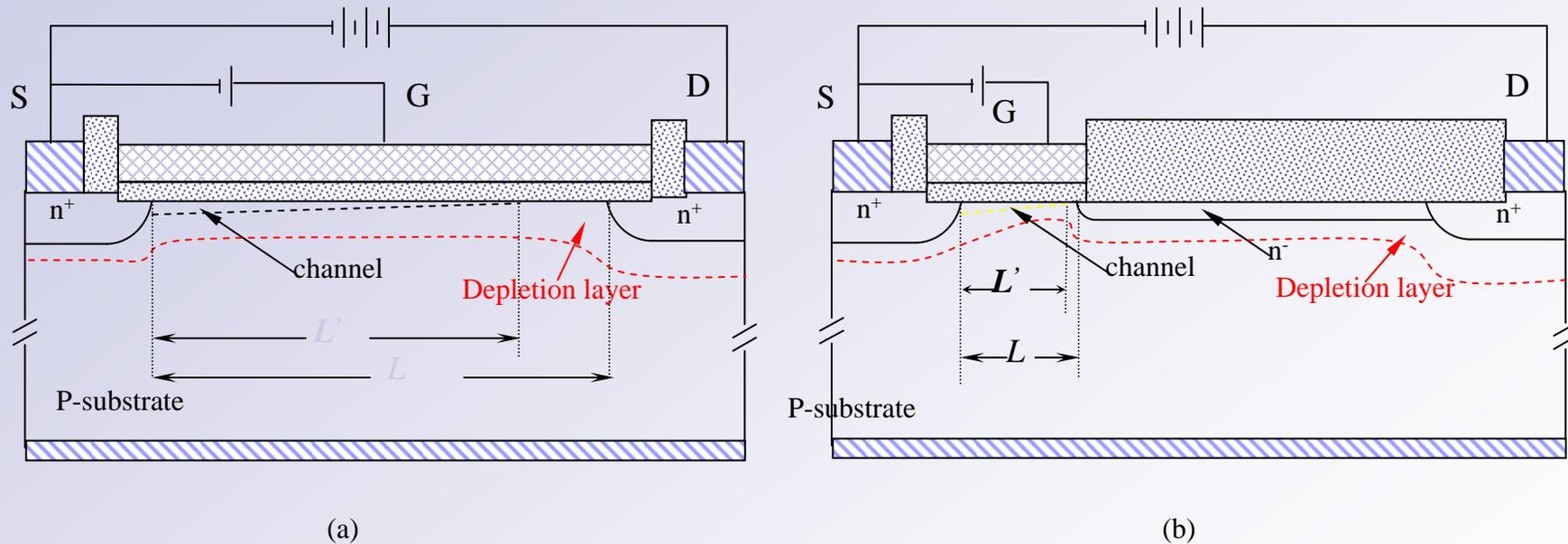
$$BV_{PP} = 5.34 \times 10^{13} N_D^{-3/4}$$

$$R_{D,SP} = \frac{8.01 \times 10^{-6}}{\mu_n} BV_{PP}^{2.5}$$

耐压越高，其漂移区越长，则导通电阻越大

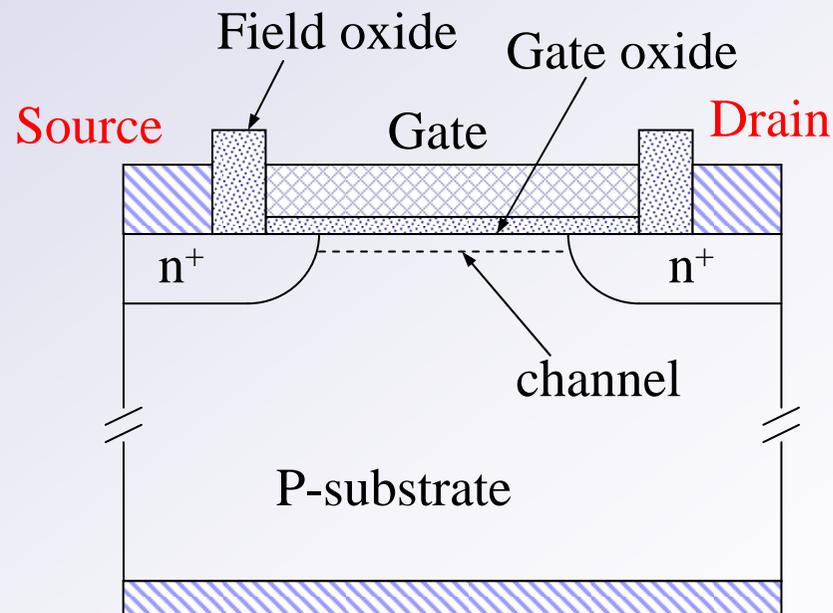
单极载流子器件不可调和的矛盾

**First, the drain-source spacing has to be increased in order to obtain a high voltage blocking capability and there is strong effective channel length effect.**



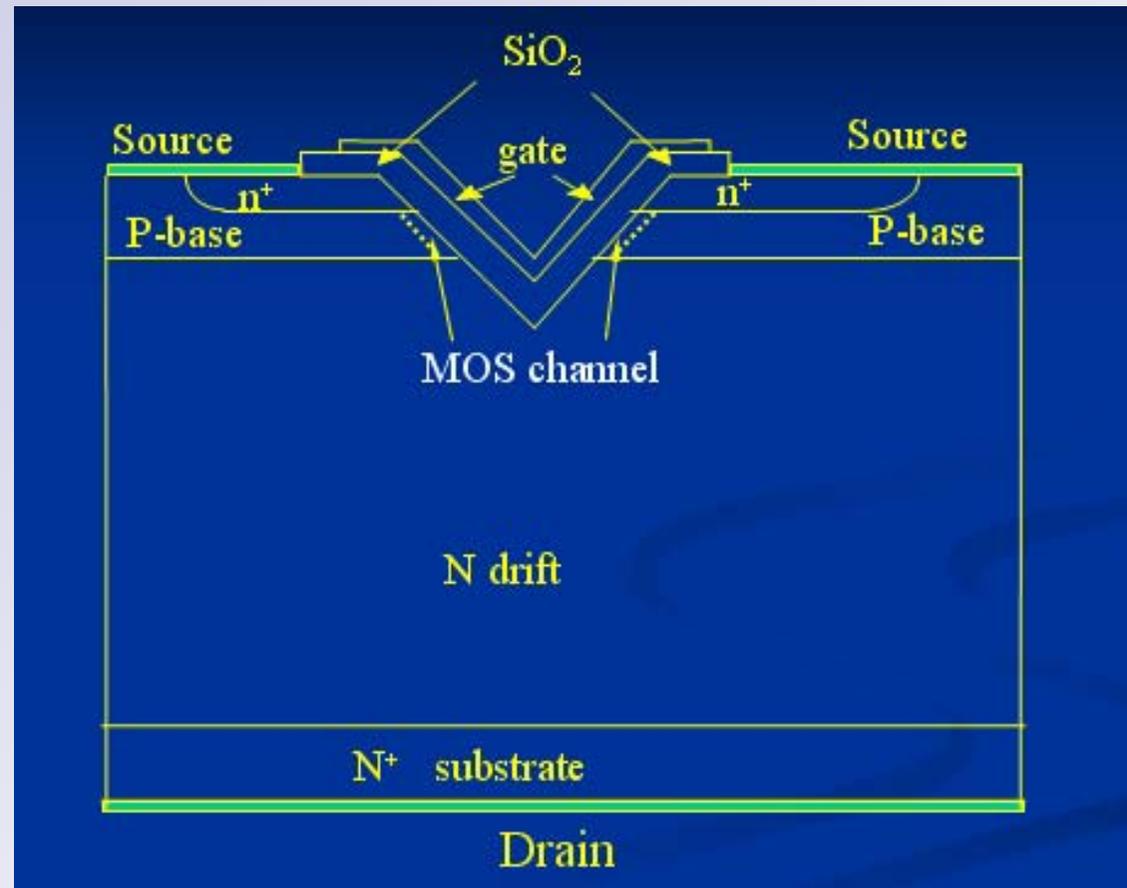
Lateral MOSFET structure supporting larger drain-source voltage. (a) conventional structure showing the effect of the drain-substrate depletion layer reducing the effective channel length from  $L$  to  $L'$ . (b) use of a *lightly doped drain* diffusion to minimize channel-length modulation.

- ✓ The second disadvantage of the lateral power MOS transistor arises from the need to make all three connections on the same, upper surface. While this facilitates the monolithic integration of components, it complicates the metallization required for a single power device.
- ✓ But there is thus a low silicon utilization factor.

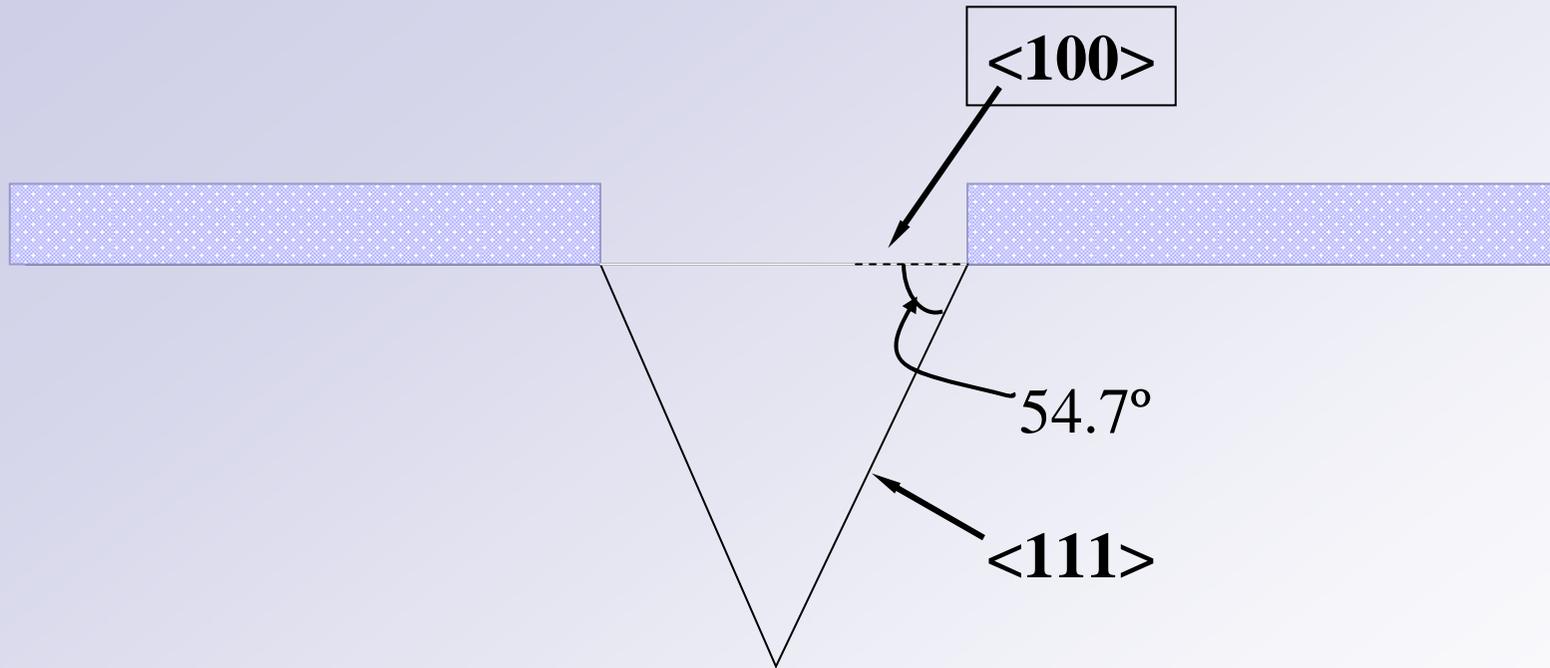


## 4.2. The development of power MOS devices

V-groove MOSFET  
(VMOSFET) (Late  
1970s)

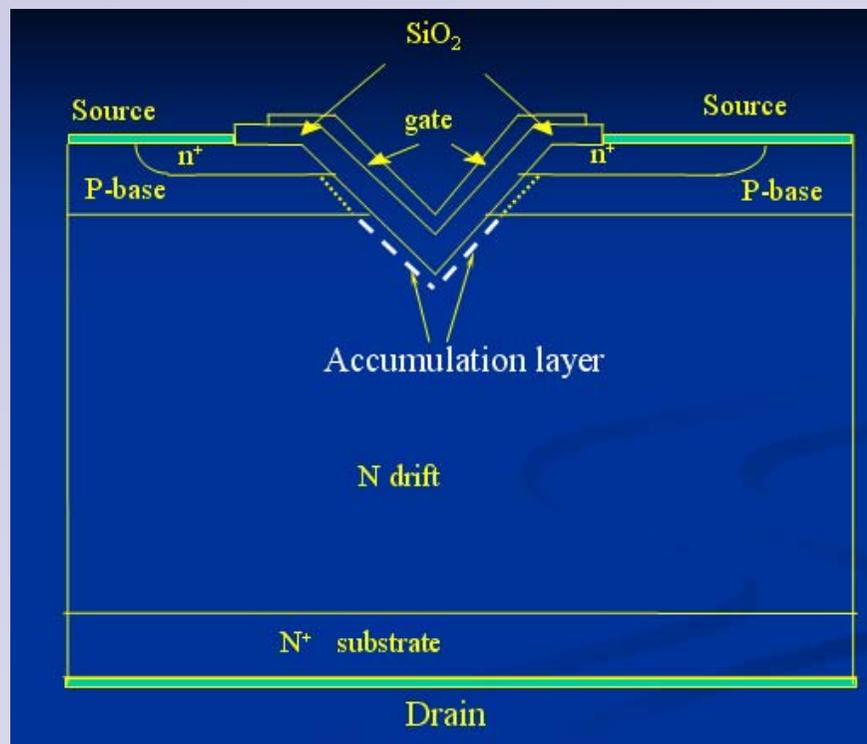


1. 避免了大范围沟道长度调制效应
2. 电流在中间较集中
3. 尖端电场强度较大，容易发生雪崩电离，使器件击穿
4. 纵向器件，电流密度高(current density)



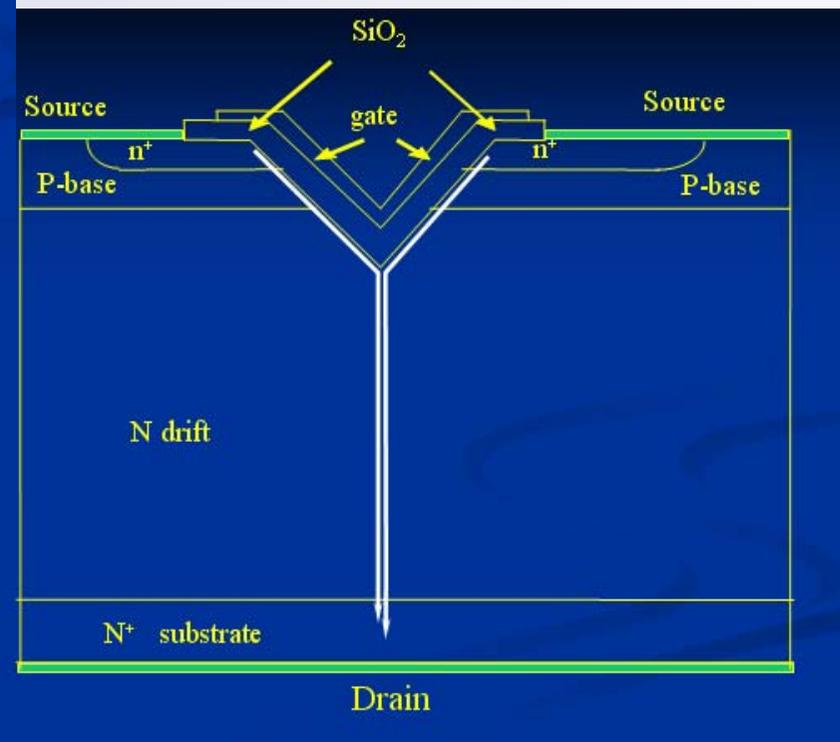
Si

**V-groove is formed by anisotropically etching**

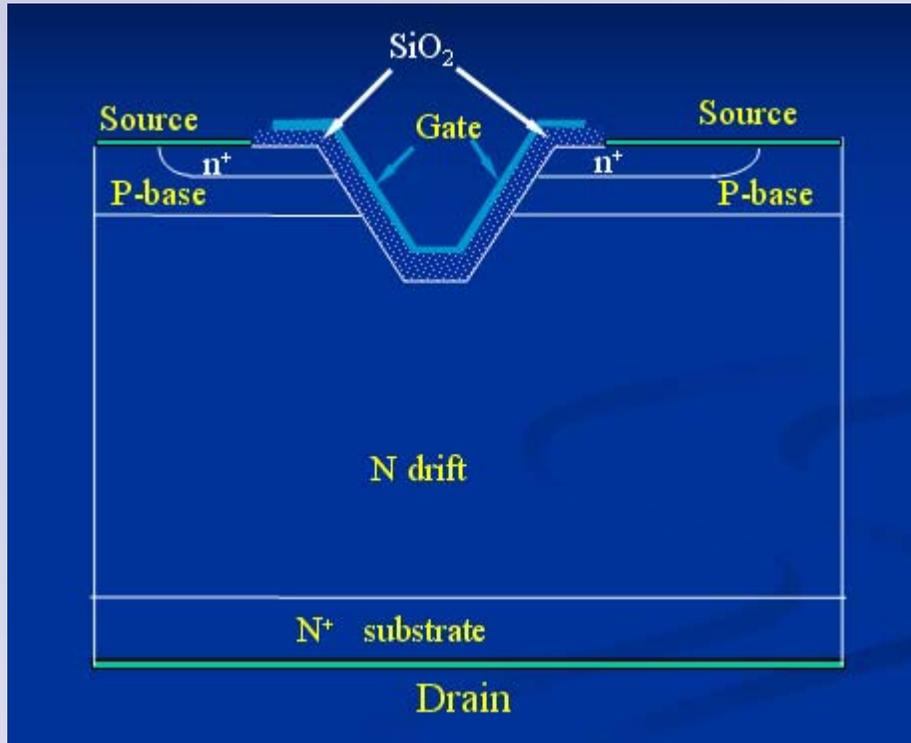


## ■ VVMOS

- 减少电流集中
- 减少电场曲率



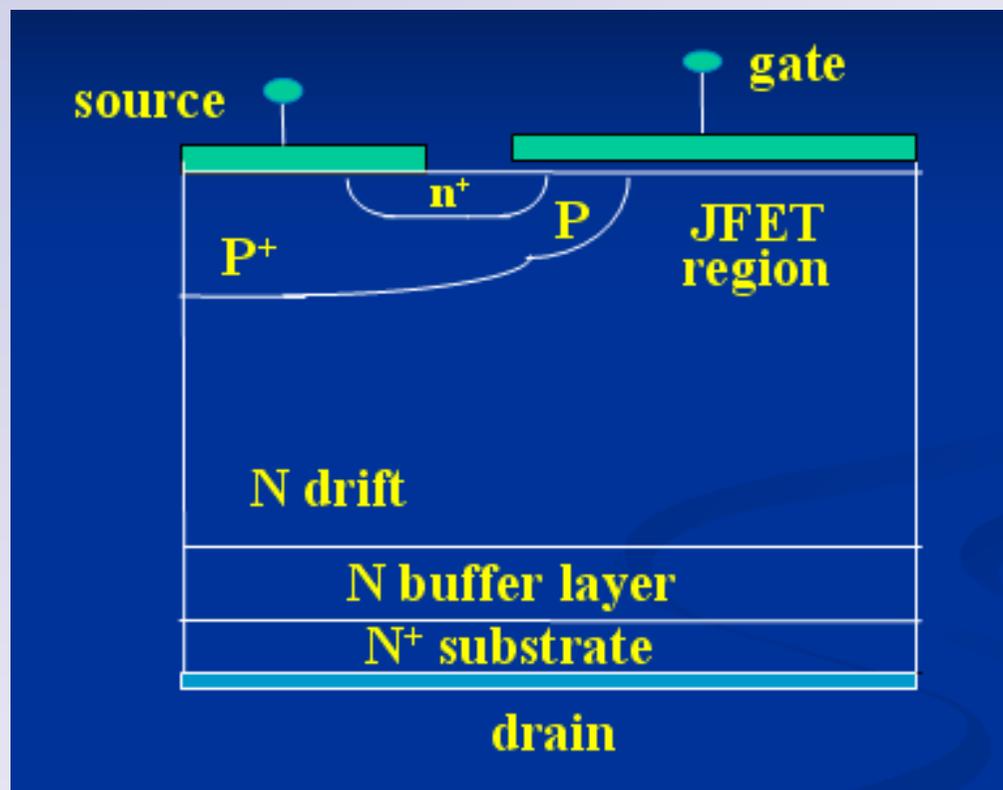
## 4.2.2 VUMOS



改善电场曲率  
减小电流集中

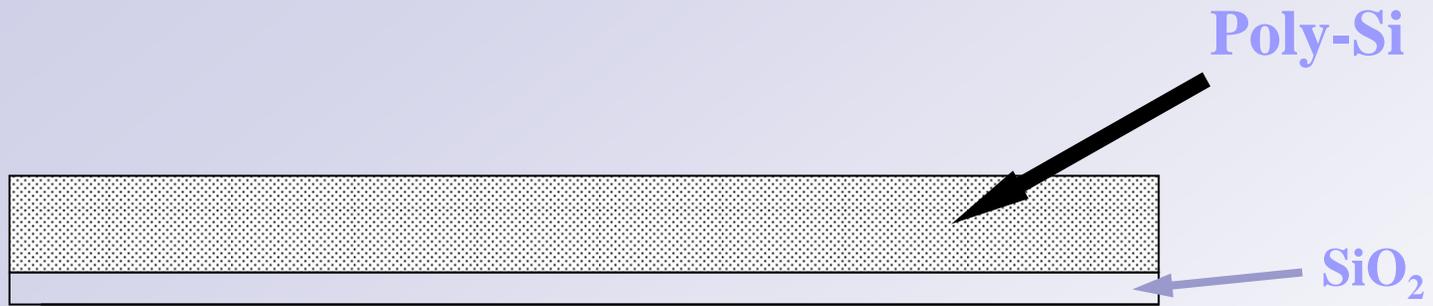
- ❖ 工艺刻蚀过程复杂
- ❖  $\langle 111 \rangle$ 上原子密度大，其迁移率比较小

### 4.2.3 VDMOS---- vertical double-diffusion MOSFET



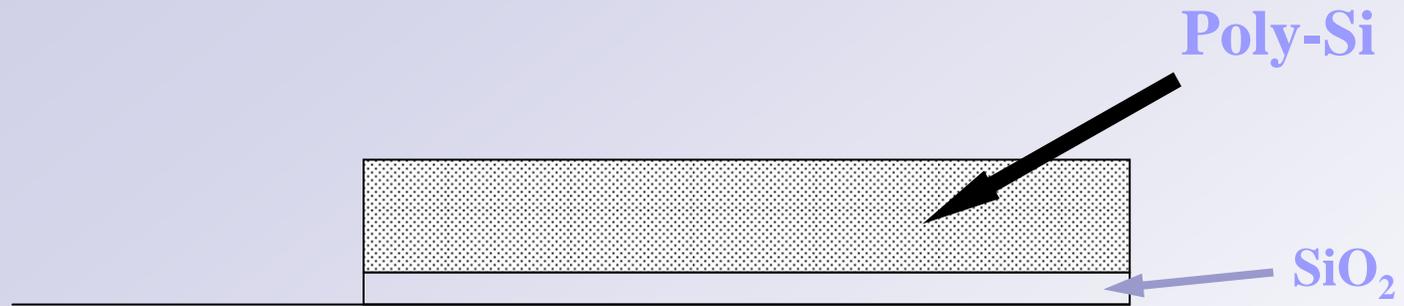
❖ 纵向器件

❖ <100>晶面上迁移率较大



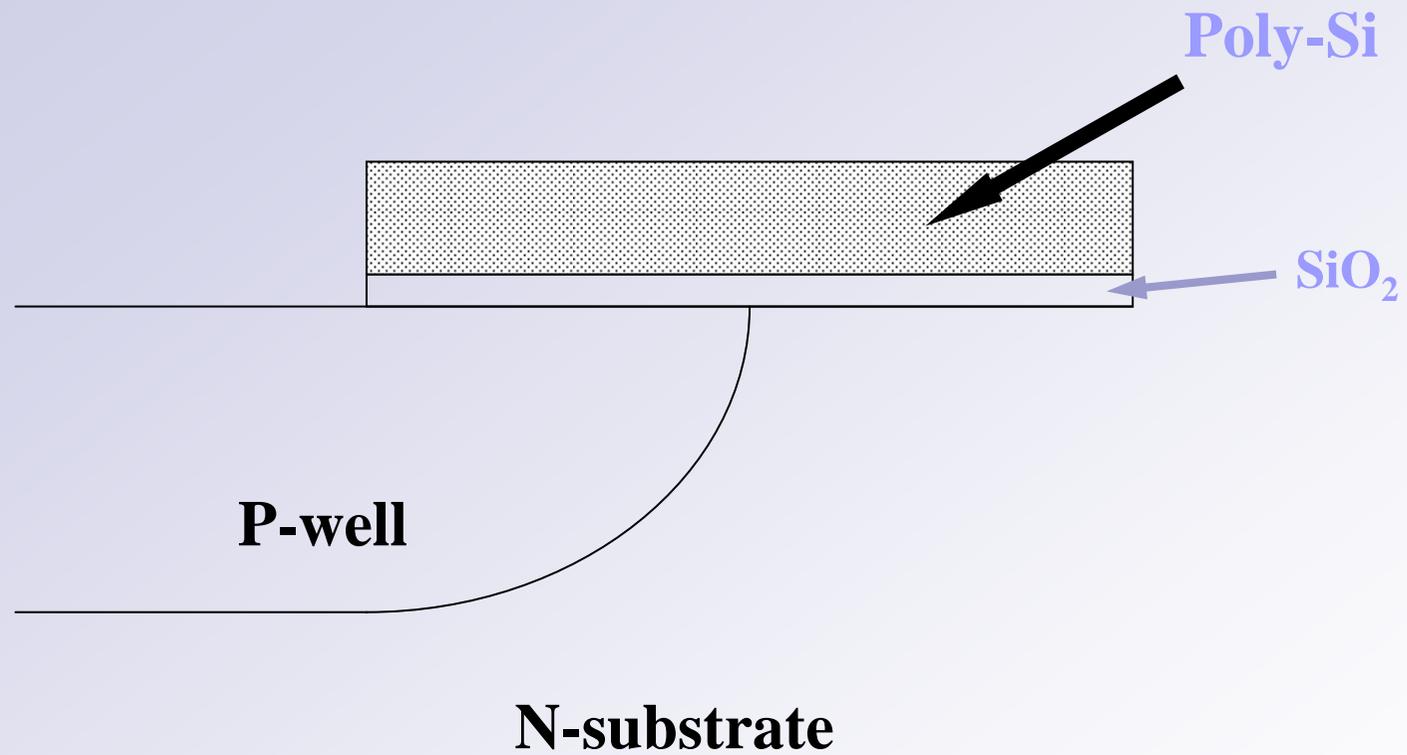
**N-substrate**

## 1, 生长栅氧化层

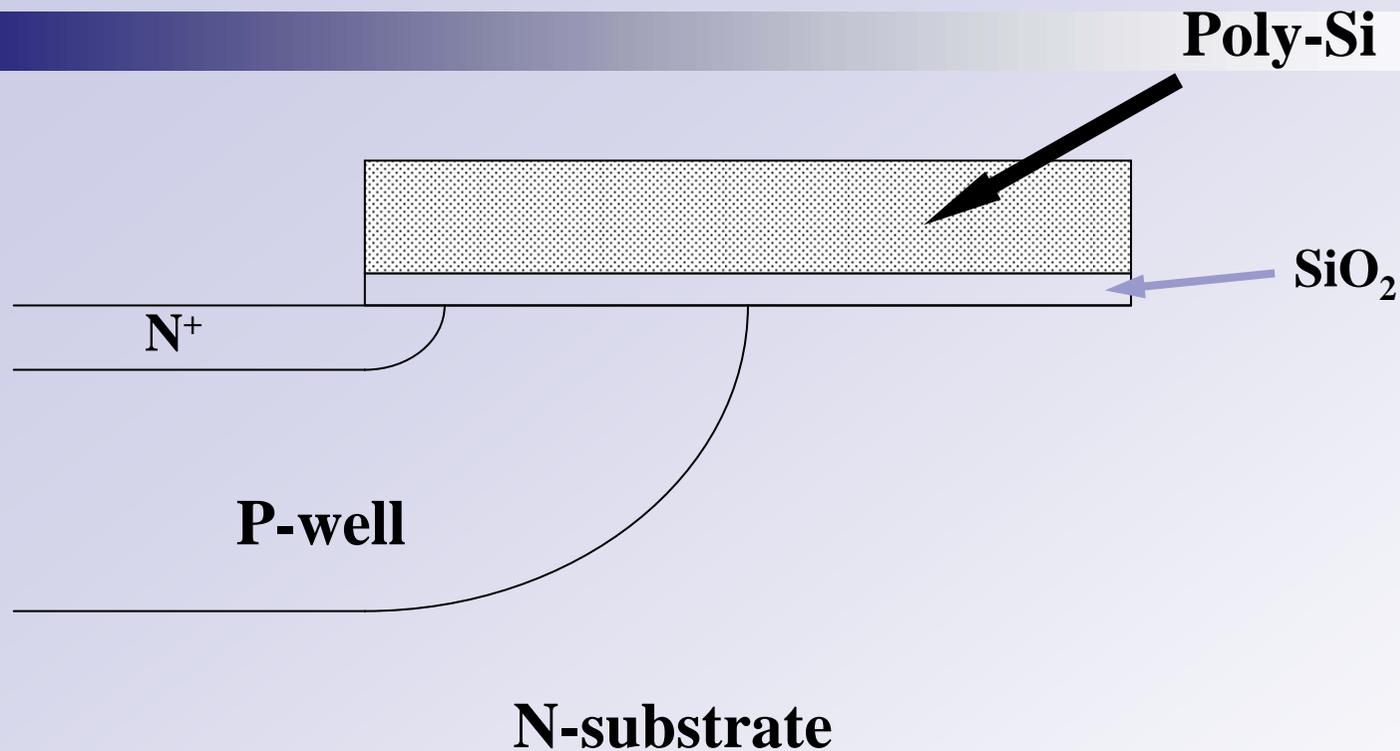


**N-substrate**

## 2, 栅刻蚀

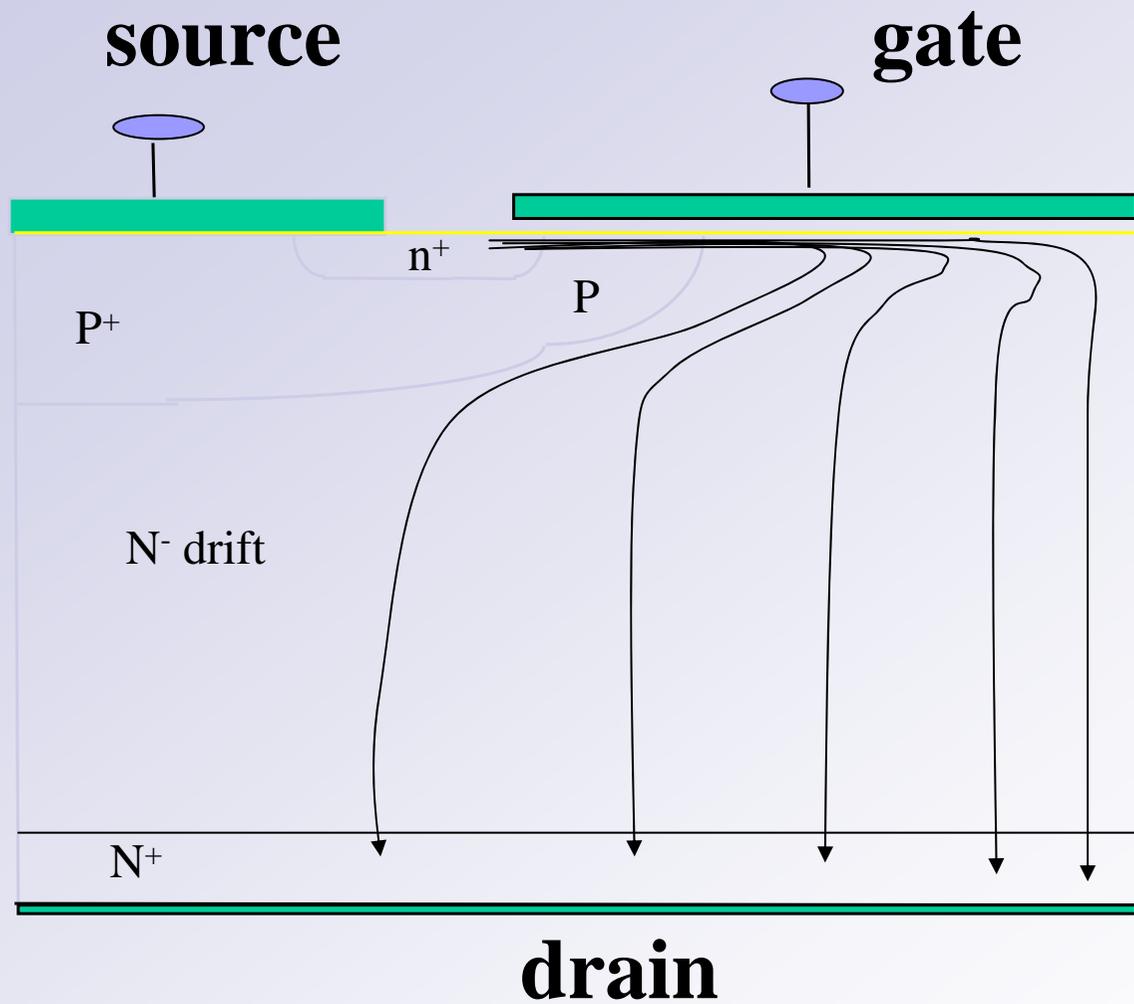


### 3, 对于沟道区进行扩散



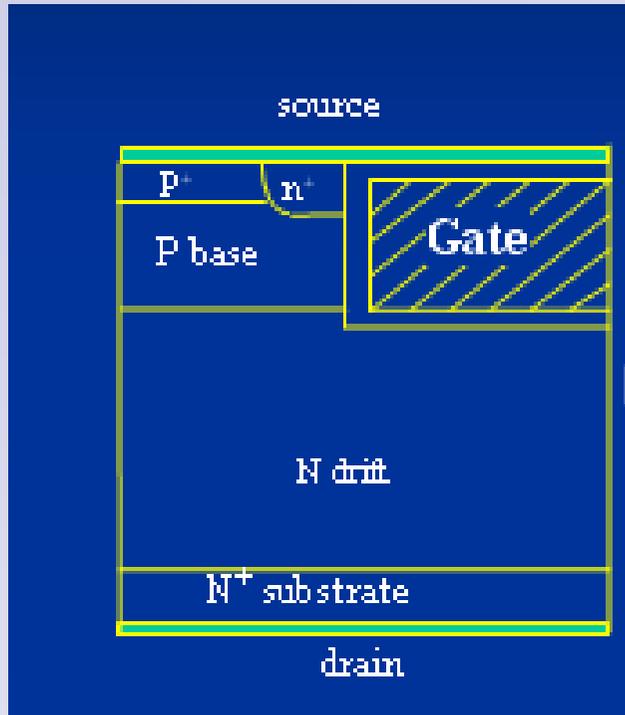
上述工艺特点:

1. 沟道区与接触区扩散均以栅的边界为准, 节约掩膜版次!
2. 沟道是两次扩散差造成, 其长度能做得较小
3. 减小了工艺偏差与沟道的影响



单极载流子，栅电压控制  
电流瓶颈！

#### 4.2.4. UMOS (Trench-gate MOSFET, TMOS, UMOSFET, Rectangle-gate MOSFET, RMOS )

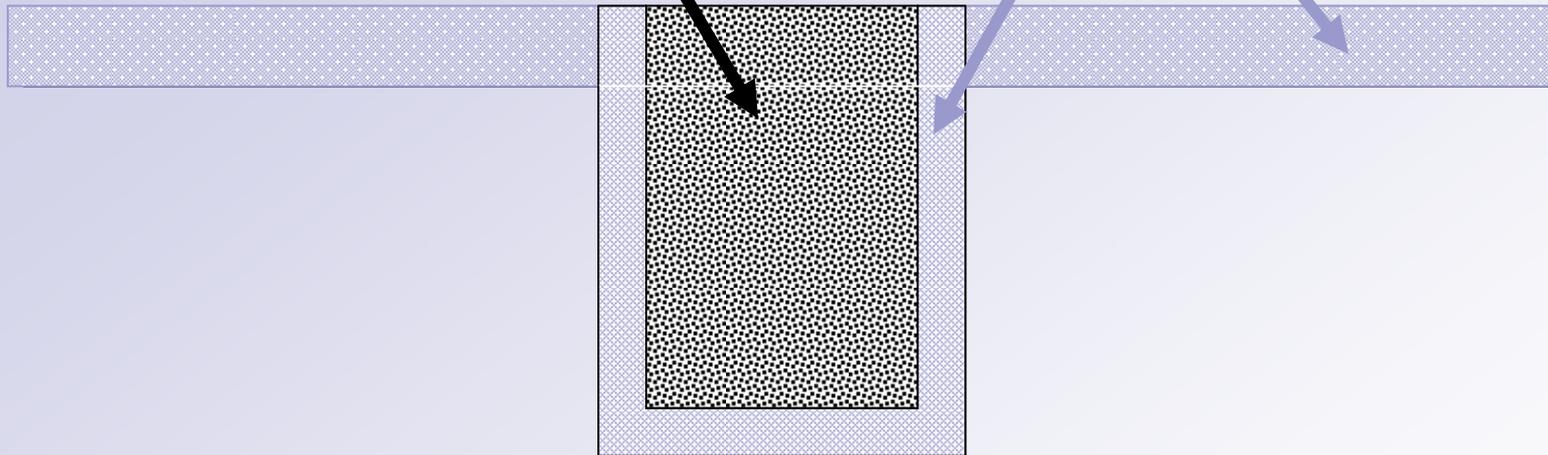


- High cell density such as 30 M cell/inch<sup>2</sup> for 2SK2985 trench power MOSFET of TOSHIBA:
- $V_{DSS}=60\text{ V}$ ,
- $R_{DS(on)}=5.8\text{ m}\Omega\text{ MAX}$ ;
- March 2002,
- AATI: TrenchDMOS<sup>TM</sup> 287M cell/inch<sup>2</sup> (0.35 $\mu\text{m}$ )

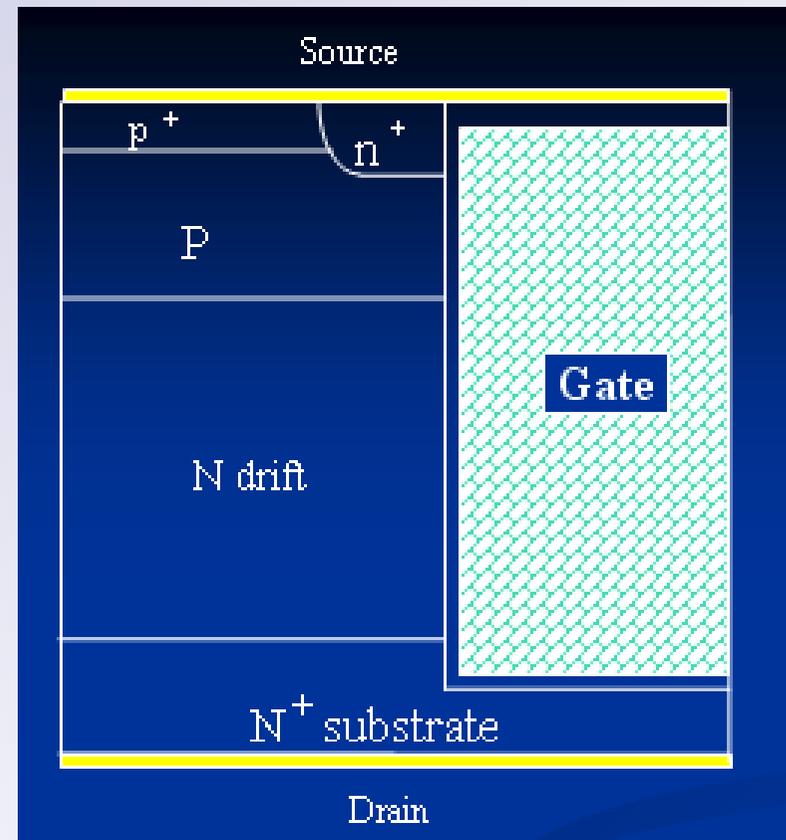
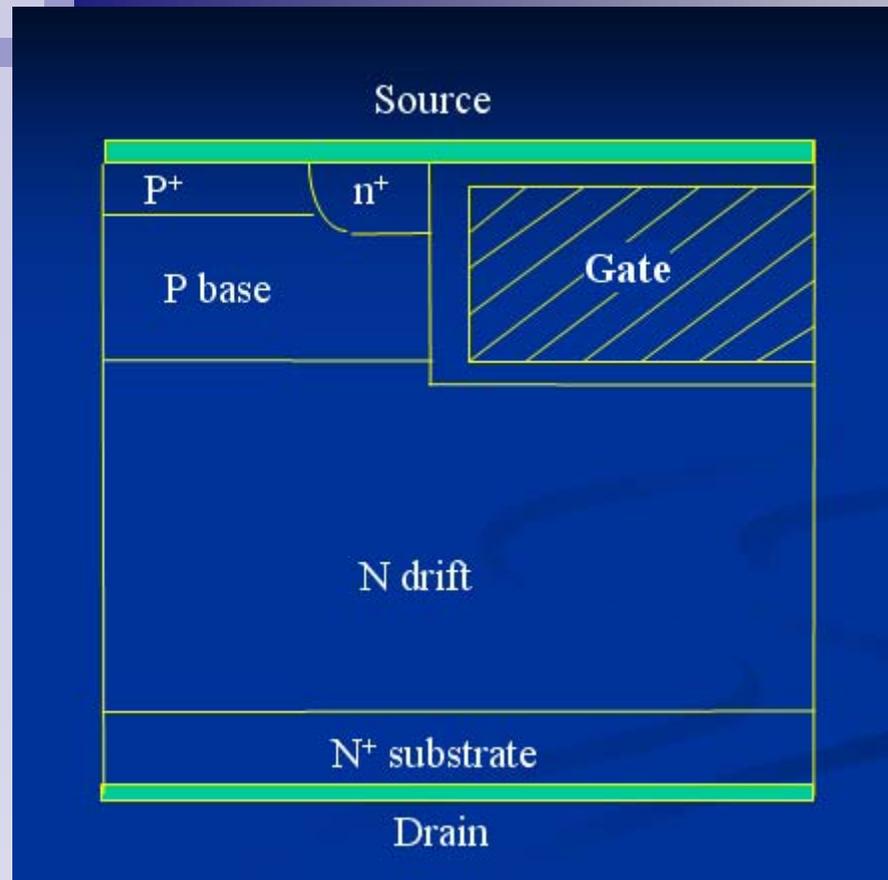
增加元胞密度 (DMOS多个元胞并联)

Poly-Si

SiO<sub>2</sub>



槽栅



- 1 消除了JFET区，元胞密度能做大
- 2 电子积累区扩展，降低导通电阻
- 3 边沿电场集中，易击穿

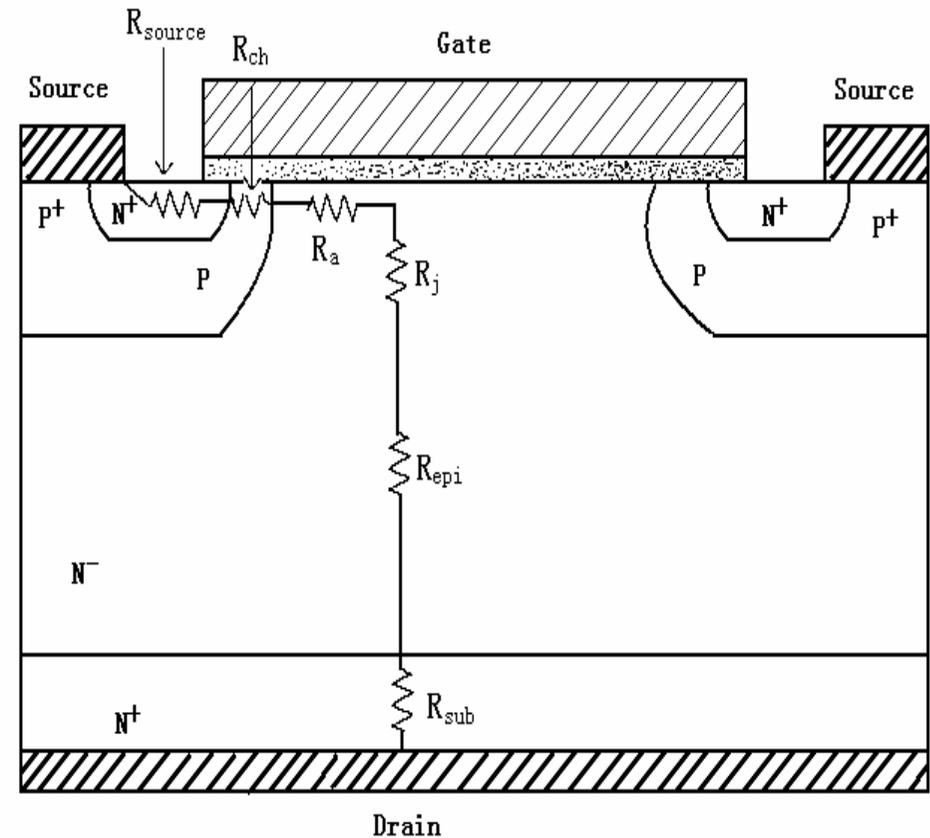
$$\sigma_n = n_0 q \left( \frac{v_d}{E} \right) = n_0 q \mu_n$$

## 4.3 器件结构

### 4.3.1 器件结构

- 传统的横向结构MOSFET，其导电沟道电阻与其长度成正比，为使漏结具有高的击穿电压，沟道长度就必须超过漏结在沟道一侧的空间电荷区厚度以避免穿通。高击穿电压需要长沟道，但会增大沟道电阻，减小电流额定值。对于大功率场合的MOS需要一个非常短的沟道，同时，在漏区也需要轻掺杂，以使反偏压下漏结处的空间电荷层向漏区中扩展，而不是向沟道那一侧的扩展。为解决这个问题，人们提出了垂直结构的功率MOS，包括V型槽，U型槽等结构，但最流行的还是垂直双扩散MOS，即VDMOS。

- 通过在氧化层掩膜的同时窗口处相继扩散受主和施主杂质，形成沟道。一个高质量的热生长二氧化硅层构成绝缘层，其厚度的典型值为100nm。而栅接触层则通常是淀积在氧化层之上的重掺杂N型多晶硅，特殊情况下也可以采用铝栅。通常将栅极接触再用二氧化硅绝缘层覆盖起来，这种氧化层用化学气相淀积法制作。将漏极接触放置在硅片的另一面，就形成垂直双扩散

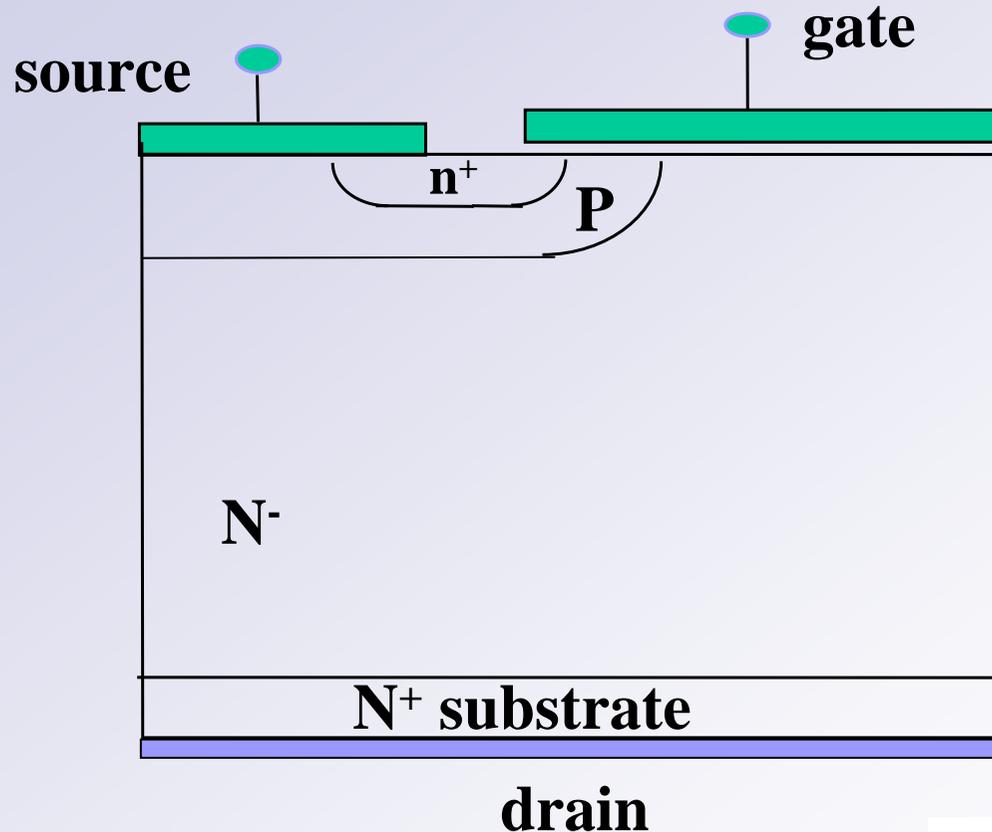


其电阻的构成

## 4.3.2 器件工艺与版图

A basic single MOSFET cell is made up of four semiconductor layers: the N<sup>+</sup>-N<sup>-</sup>-p-n<sup>+</sup> structure as show as following.

- 1 N<sup>+</sup>衬底
- 2 外延生长N<sup>-</sup>
- 3 栅氧与栅电极
- 4 双扩散形成p

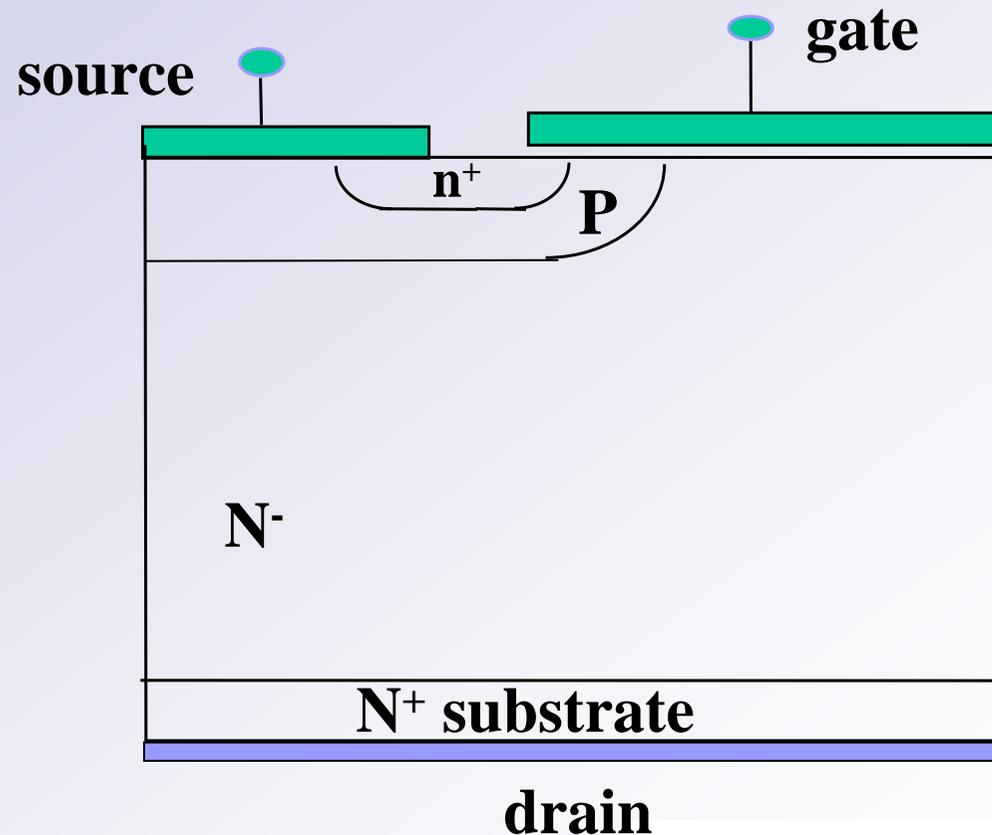


N<sup>+</sup> layer:  $10^{19}/\text{cm}^3$

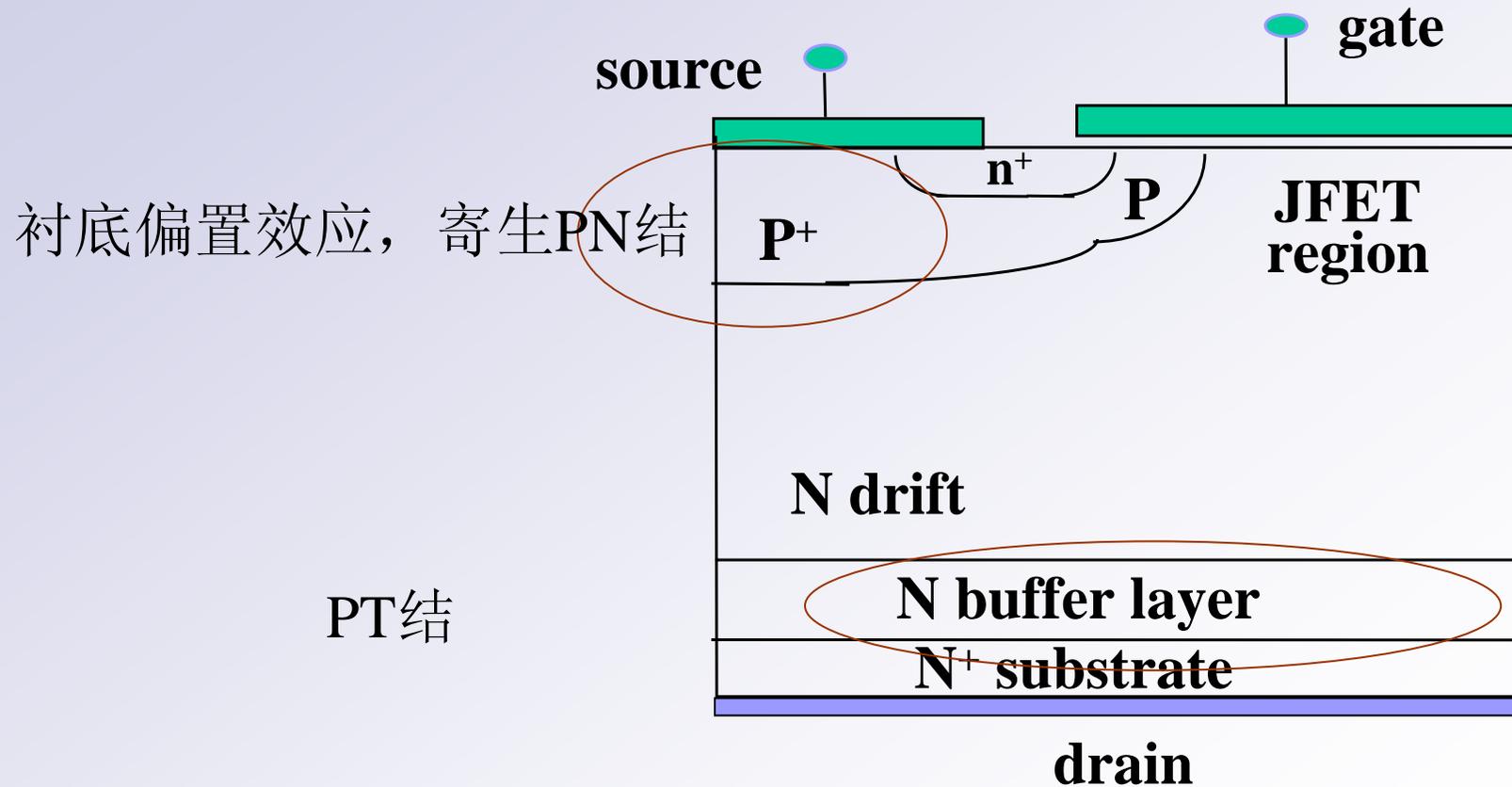
P layer:  $10^{16}/\text{cm}^3$

N<sup>-</sup> layer:  $10^{14}-10^{15}/\text{cm}^3$

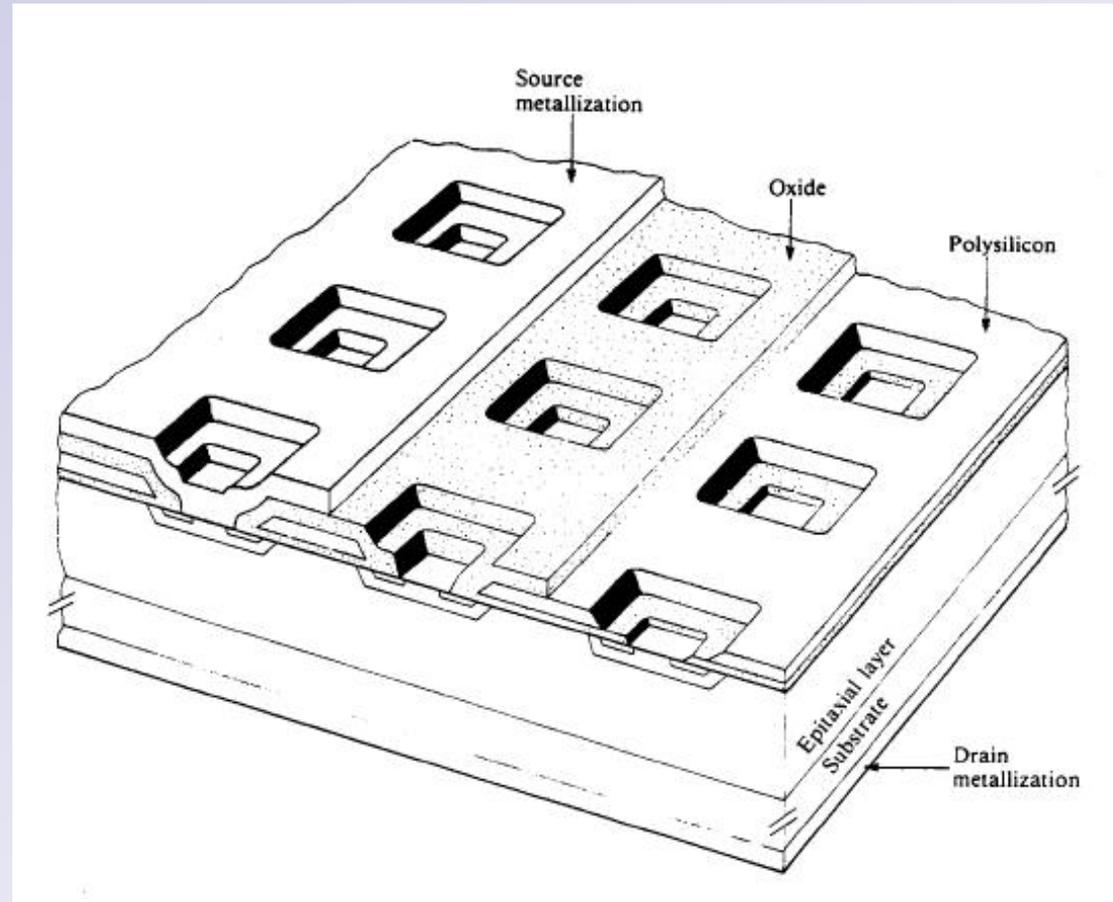
The basic channel is in the p-region beneath the gate layer between the  $n^+$  source and the  $n^-$  drain region. The p-region is also called the **body region**. The bulk of the body region is electrically shorted to the source region thus effectively **shorting the  $n^+p$  junction**. The  $n^-$  layer serves as the drift region to **support the drain blocking voltage**. ( $R_{on} \sim BV$ )



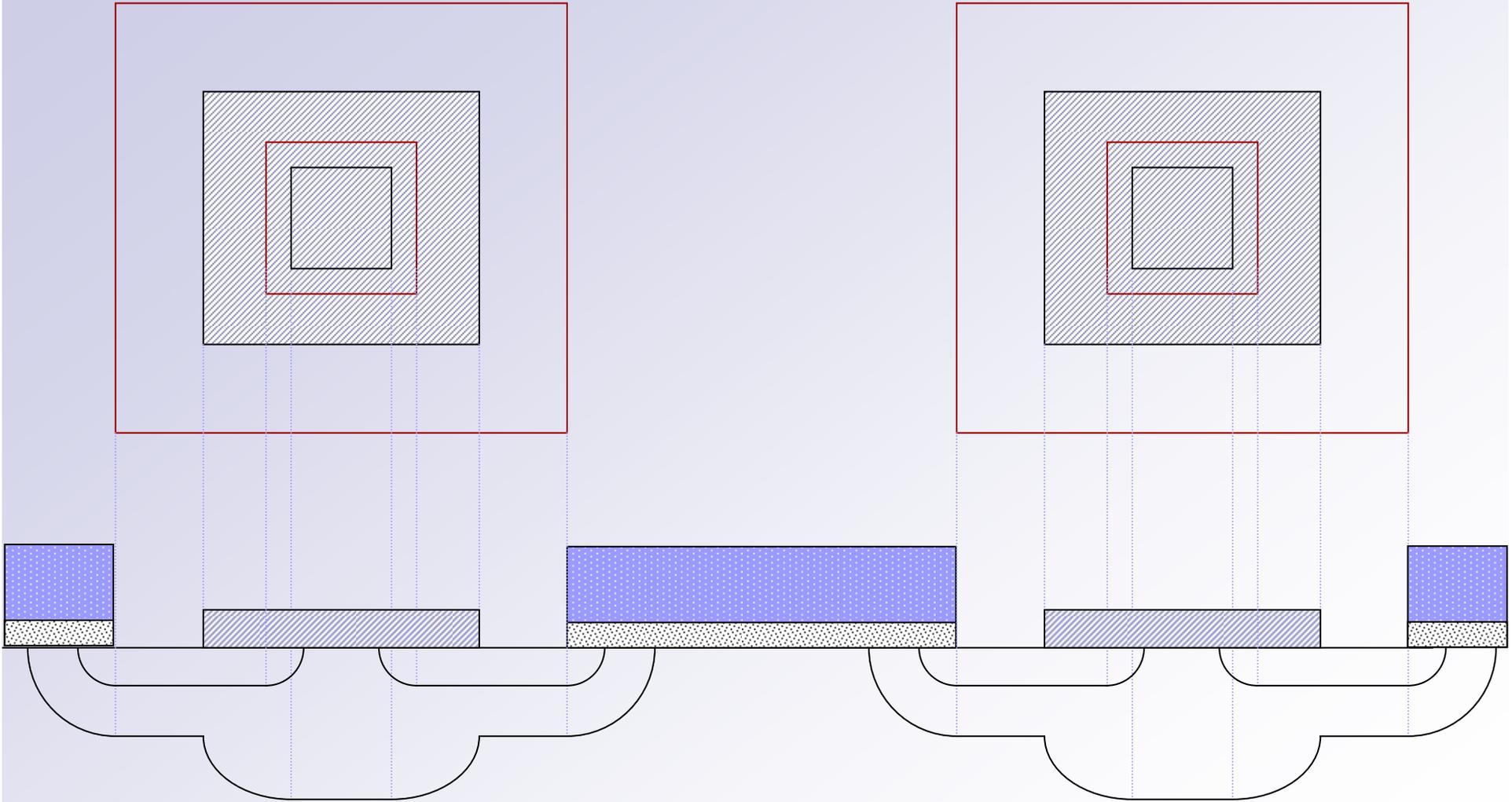
In many applications, especially in the high-voltage applications, a n-buffer layer is added between the n-drift region and N<sup>+</sup> substrate. In the surface, a P<sup>+</sup> region is used as shown in below to restrain the effect of the parasitic bipolar transistor.



# Layout Overview of the Power MOSFET



迁移率的负温度特性使其能够并联



N-sub

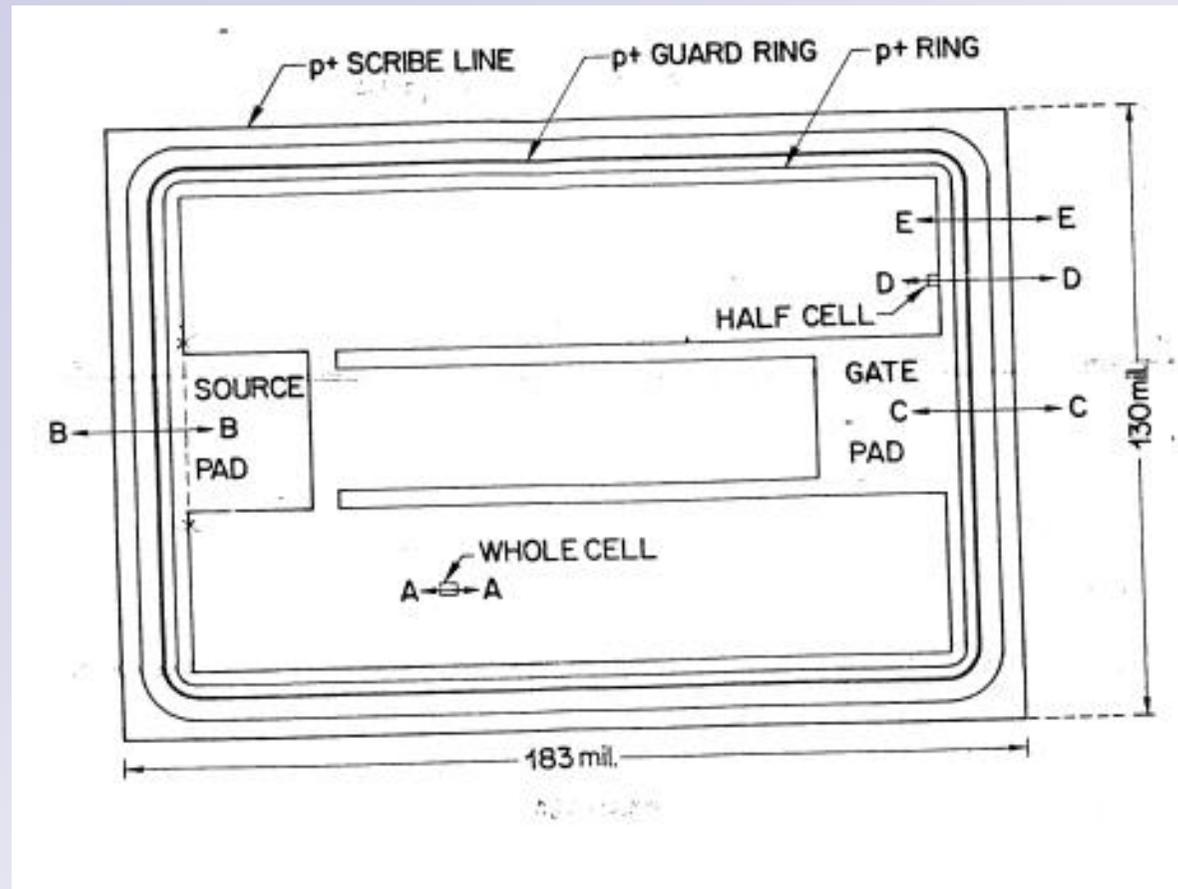
➤ A power MOSFEET is a discrete device but has tens or hundreds of thousands of individual cells paralleled together in order to reduce the resistance.

➤ Varies cell patterns have been studied involving a consideration of the on-state resistance.

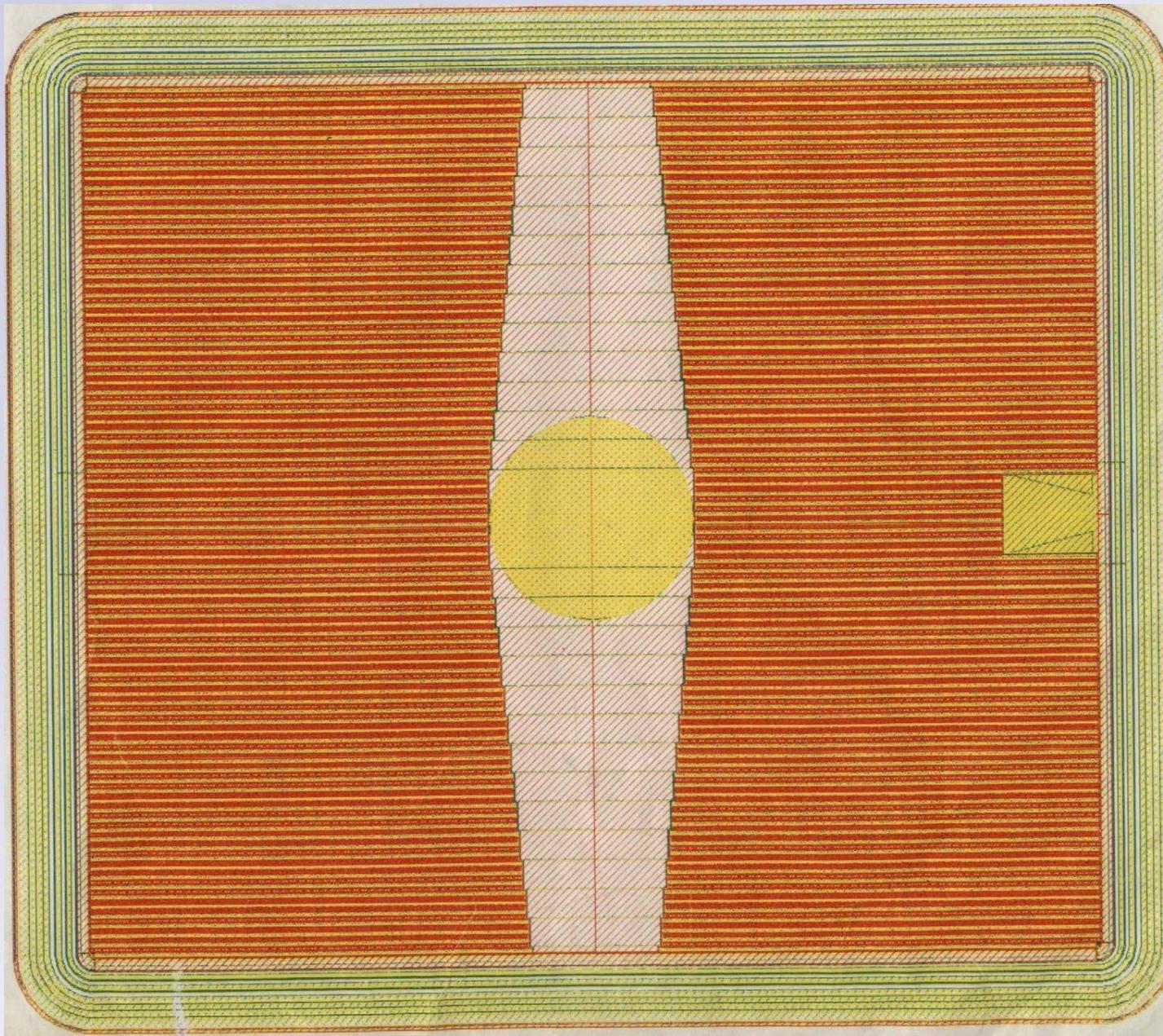
❖ C. Hu, M. -H. Chi, and V. M. Patel, “Optimum design of power MOSFET’s”, *IEEE Trans. Electron Devices*, 1693-1700 (1984);

❖ H. -R. Chang and B. J. Baliga, “Impact of cell breakdown upon power DMOSFET on-resistance”, *IEEE Trans. Electron Devices*, 2360 (1987).

六边形，四边形，三角形？？

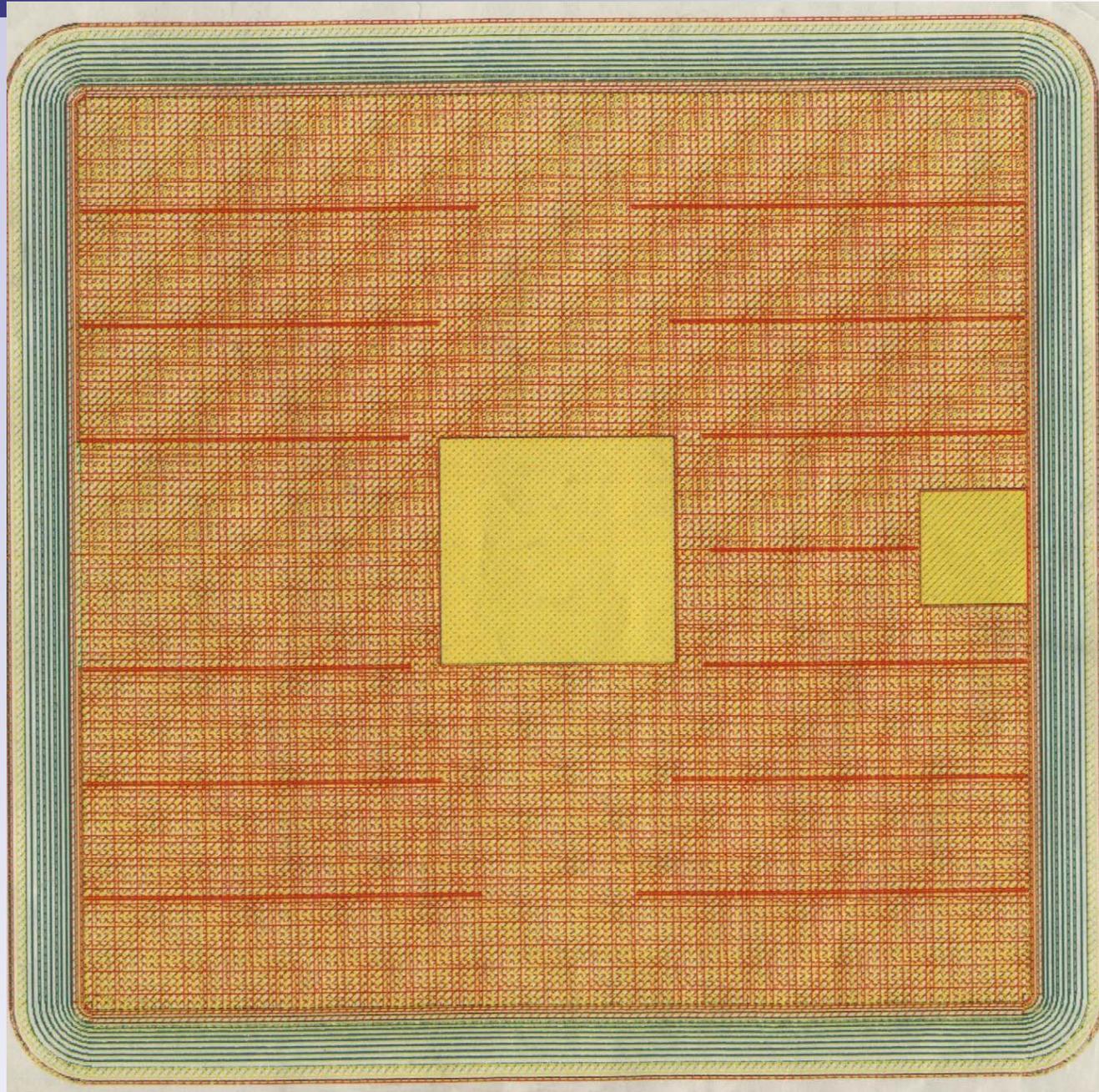


The layout overview of a power MOSFET



2009-3-22

Power Integrated Technology Lab

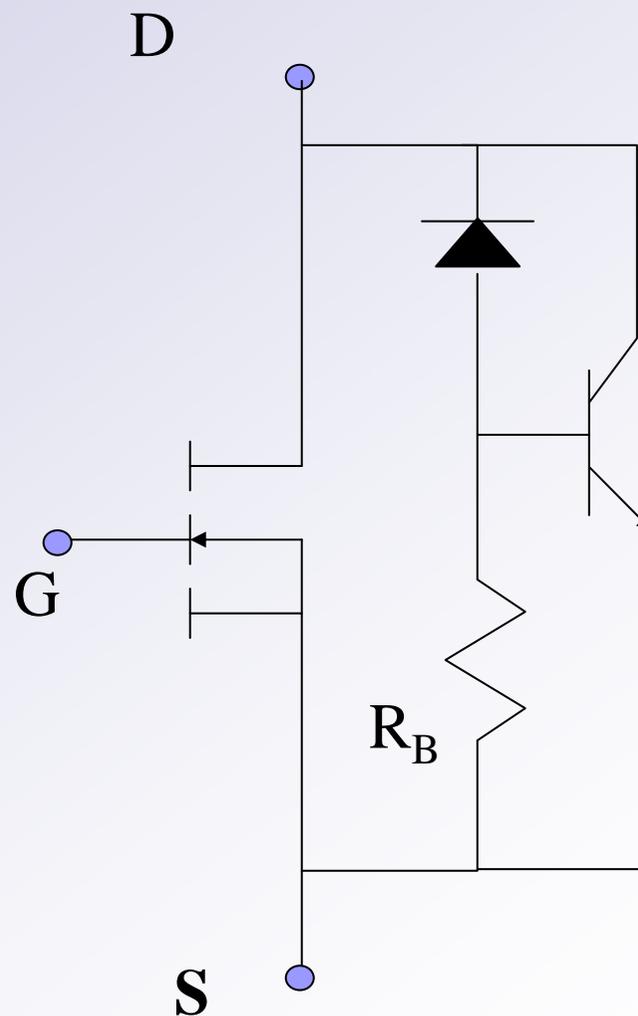
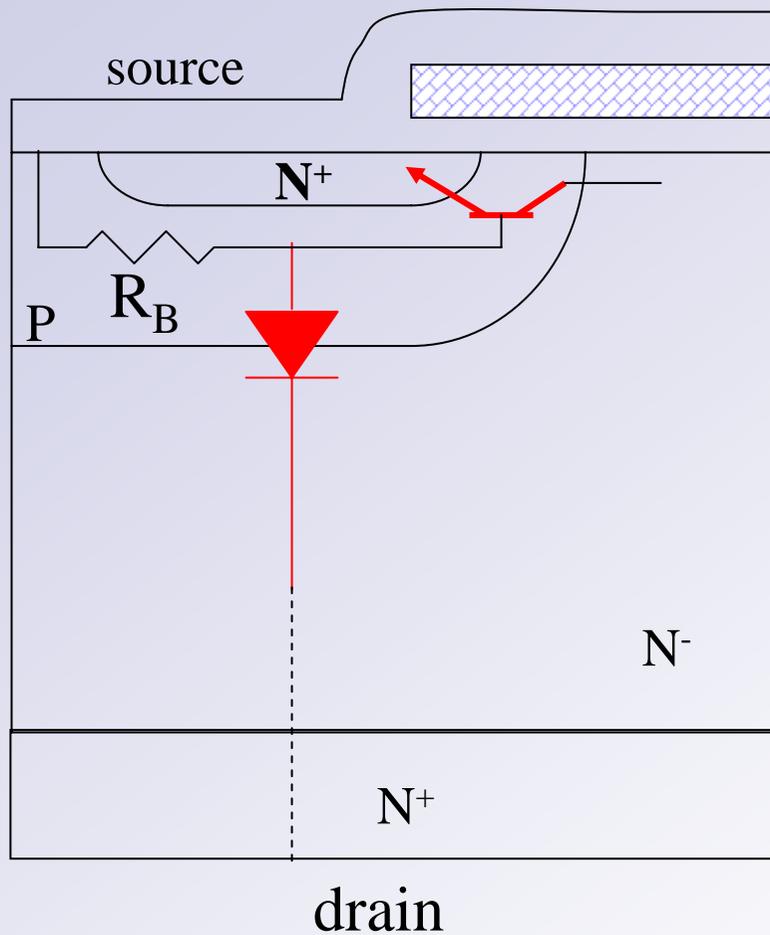


2009-3-22

Power Integrated Technology Lab

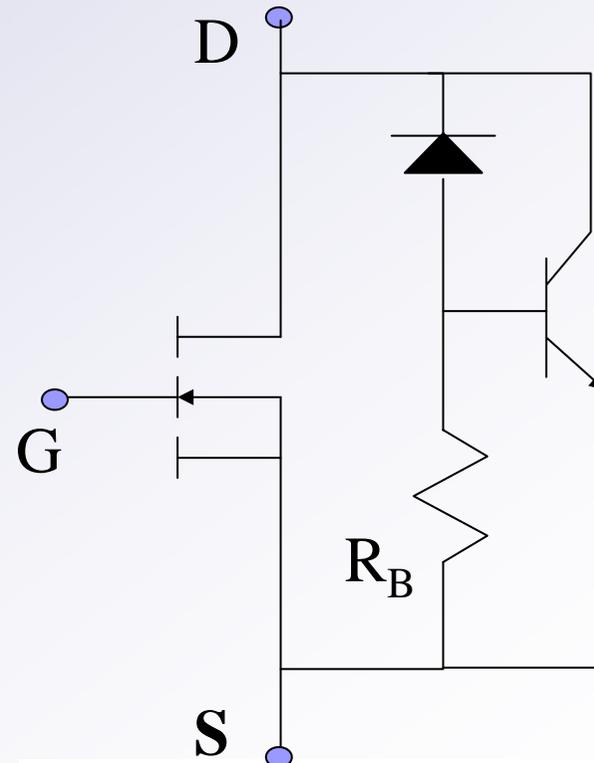
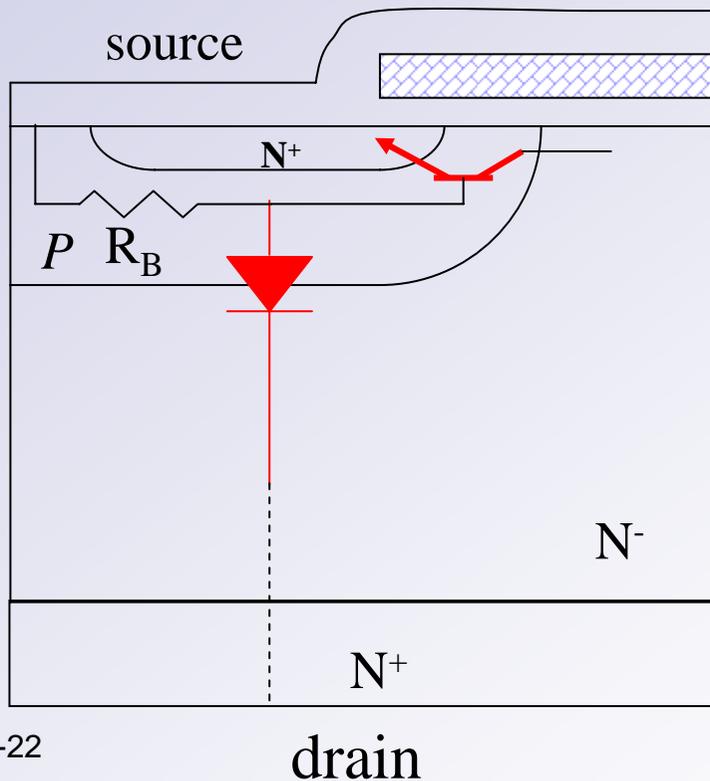
## 4.4 工作机理

### ■ 4.4.1 等效电路



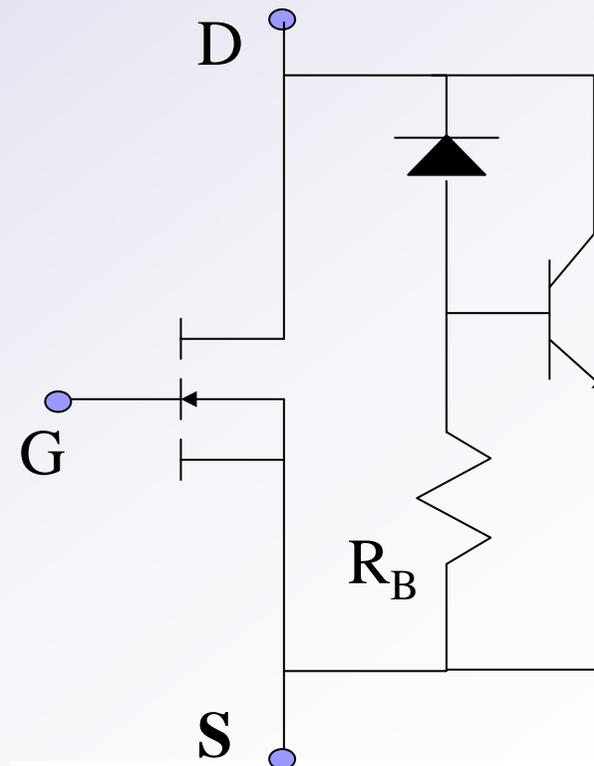
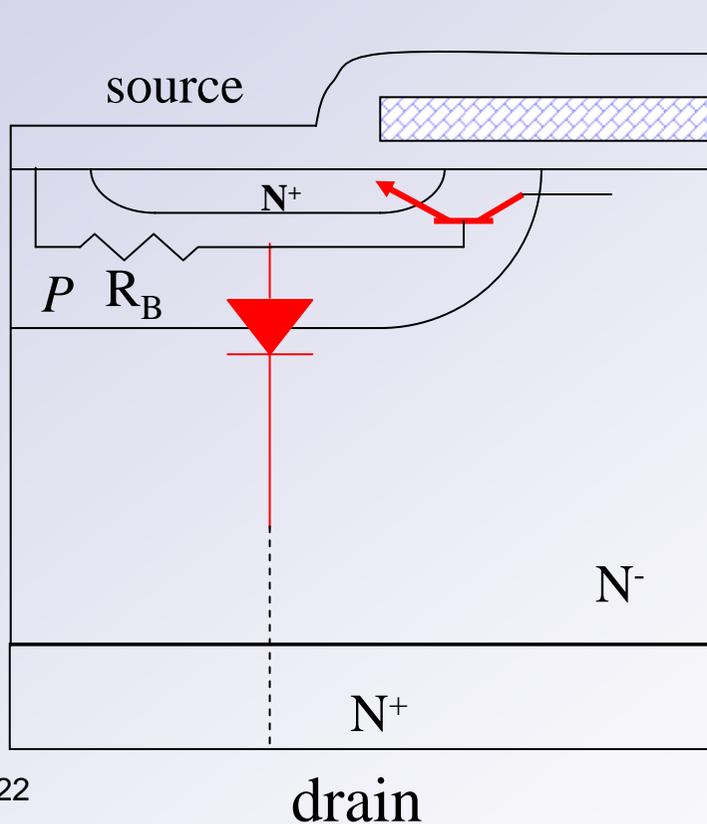
# body diode

The MOSFET cell contains an integral  $pn^{-}n^{+}$  diode from the p-base region to the drain terminal. This is called the body diode. The p-base region is in contact with the source metal, hence, the p-i-n diode appears in anti-parallel with the MOSFET device.



# Parasitic Bipolar Transistor

Besides the integral body diode, a parasitic BJT also exists in the MOSFET structure. The p-region serves as the base of this parasitic BJT. **The BJT must be kept cut off at all times. This is done by shorting the base (p-body) to the emitter (n<sup>+</sup> source) by a common metal covering.** The internal base of the transistor is connected to the source metal through a resistance  $R_B$ , the resistance of the lateral p-region.



## 4.4.2 功率VDMOS的I-V特性

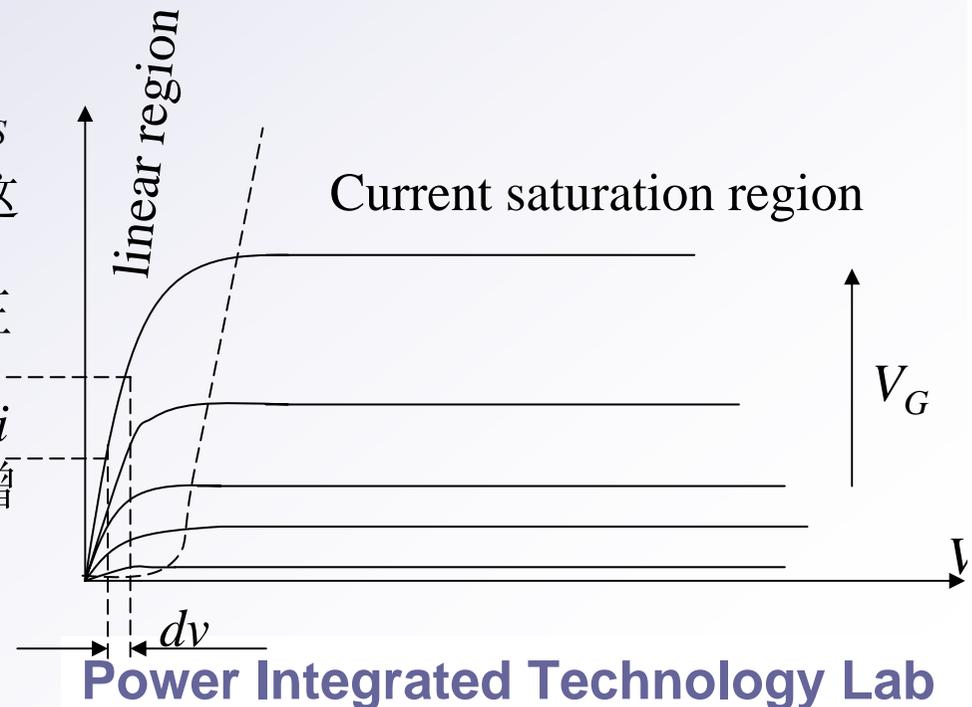
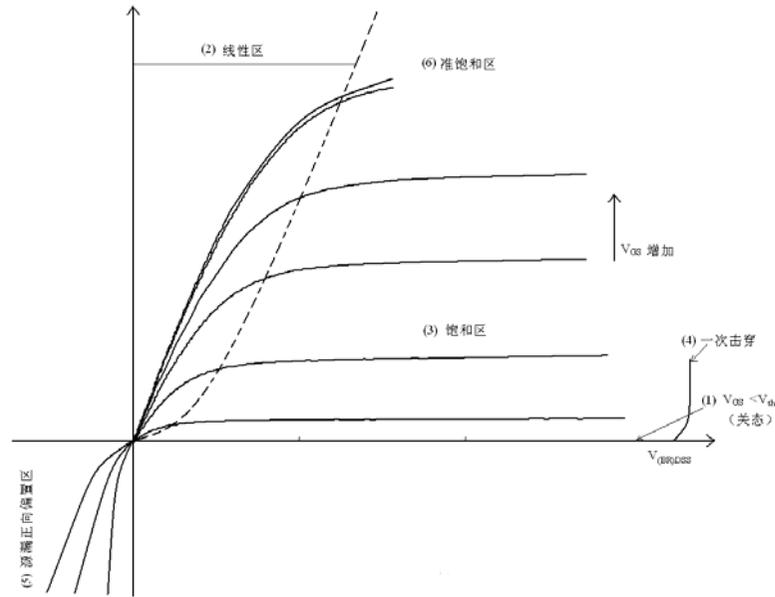
- 为了对功率VDMOS与一般MOSFET的I-V特性的异同有一个清楚的了解，我们在讲功率VDMOS的I-V特性之前，先简单介绍一般MOSFET的I-V特性。
- 栅电压  $V_G$  低于阈值电压  $V_{th}$  时，没有反型沟道，漏极电流  $I_D$  为零，但当  $V_D$  大于击穿电压时， $I_D$  猛增。
- $V_G$  超过  $V_{th}$  后，栅下的半导体表面出现反型层，电子就可以从源极出发，经由反型的导电沟道流向漏区。理想情况下（1）只考虑漂移电流；（2）反型层内的载流子迁移率是常数；（3）沟道掺杂均匀；（4）反向泄漏电流很小，可以忽略；（5）沟道内的横向电场（垂直于电流方向）远大于纵向电场（平行与电流方向），即所谓缓变沟道近似。横向结构MOSFET的电流公式为：
$$I_D = \frac{C_{OX} * u_n * Z}{L} [(V_{gs} - V_{th})V_D - \frac{V_D^2}{2}]$$
- 其中， $Z$  是栅的总宽度， $L$  为沟道长度， $C_{ox}$  代表单位面积氧化层电容， $u_n$  是电子迁移率， $V_{th}$  是阈值电压。

- 根据上式，当  $VD$  很小时， $ID$  与  $VD$  成线性关系，称为线性区或三极管区，当  $VD = VG - V_{th}$  时，电流最大，这时的  $VD$  称为漏饱和电压  $VD(sat)$ 。当  $VD > VD(sat)$  时，沟道末端出现耗尽区，其上压降为  $VD - VD(sat)$ ，而沟道中电场近似不变，故电流不变，称为饱和区：

$$I_{D(sat)} = \frac{C_{OX} * u_n * Z}{2L} (V_{gs} - V_{th})^2$$

- 上述一般 **MOSFET** 的简单理论对功率 **VDMOS** 只在  $VD$  极小时适用，当  $VD$  较大时，N-耗尽层向N+方向扩展，而有源区沟道末端的有效漏电压远低于  $VD$ ，且电流流过外延区还要产生压降，使问题复杂化。

- 右图表示了功率VDMOS不同 $V_G$ 值下的 $I_D$ - $V_D$ 特性，源电位为零，因此 $V_D$ 代表漏-源电压， $V_G$ 代表栅-源电压，总的来讲可以分为六个区域：(1) 截止区，这是 $V_G \leq V_{th}$ 的情形， $V_D$ 从零开始变大，电流始终接近于零，直到达到击穿电压 $V(BR)_{DSS}$ 为止；(2) 欧姆区，又称线性区，这是 $V_G > V_{th}$ 但 $V_D < V_G - V_{th}$ 的情形，这时沟道未夹断；(3) 饱和区，这时 $V_D > V_G - V_{th}$ ，且 $V_G > V_{th}$ ，沟道已夹断， $V_D$ 增大， $I_D$ 变化很小；(4) 击穿区，这时 $V_D \geq V(BR)_{DSS}$ ，电流没有限制的增加；(5) 源漏二极管的正向偏置区，这时源接正电压，漏接负电压，与源相通的P衬底和N+之间的PN结上加了正向偏压，电流随电压增加而急剧增加。(6) 准饱和区， $V_G$ 很大时， $I_D$ 本身很大，但随 $V_G$ 的增大没有明显的增加。

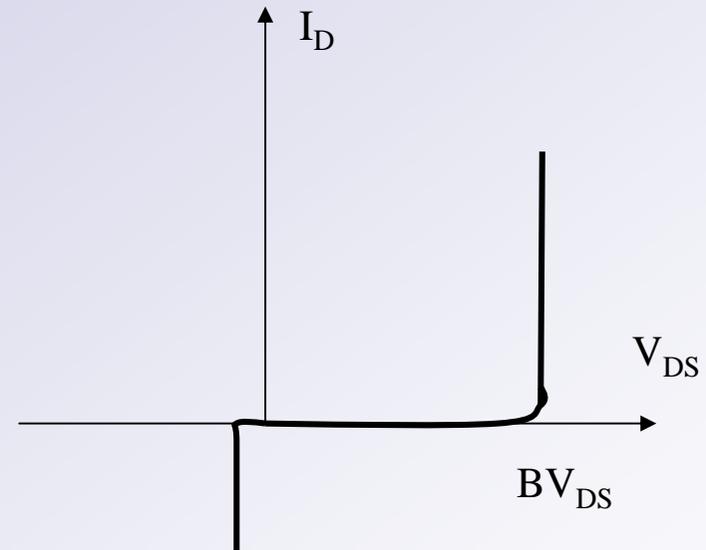
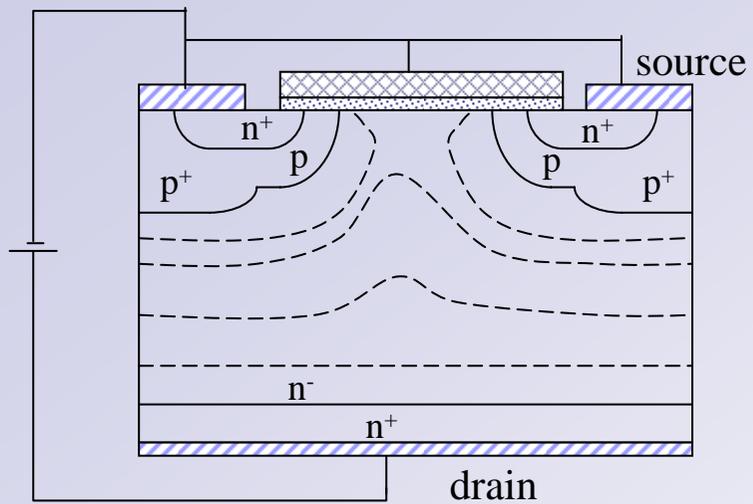


- 功率VDMOS的特点之一是在饱和区， $ID$ 随 $VG$ 是线性增加的，这时跨导是常数。这是因为，功率VDMOS的沟道很短（ $L < 2\mu m$ ），因此沟道中电场在饱和区时是很高的，当沿沟道的电场超过 $10^6 V/m$ 时，电子迁移率会减小，直到在 $5 \times 10^6 V/m$ 的电场下，电子的漂移速度达到 $9 \times 10^4 m/s$ 的饱和值。当沟道长度为 $1\mu m$ 时，在沟道电压大于 $1V$ 的条件下上述情况就会发生。一旦在沟道漏端发生漂移速度饱和，漏极电流就与沟道两端的压降 $V_{ch}$ 无关，但仍与反型沟道中的电荷密度成正比，从而与 $(V_{GS} - V_{th})$ 成正比。

- 功率VDMOS与一般MOSFET一个显著不同之处是在饱和区输出特性曲线很平，即输出阻抗很高，远大于一般MOSFET。这是因为对有源区起有效漏电压作用的 $V_{D'}$ 本身远小于漏电压 $V_D$ ，当 $V_D$ 变化时，由于 $P$ 阱对电场有一定的屏蔽作用， $P$ 区的表面的边界上电位 $V_{D'}$ 变化甚小。再者，这时沟道区电子本身速度是饱和的，随 $V_{D'}$ 的变化又极小，因此，电流几乎与 $V_D$ 值无关，即沟道长度调制效应不明显。

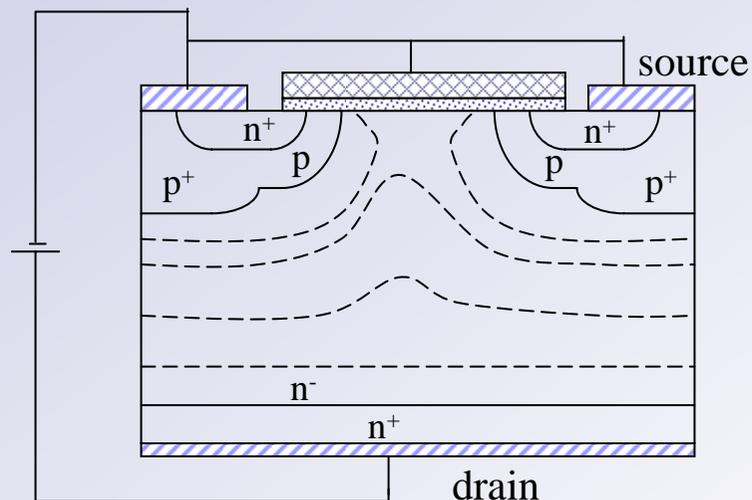
- 再一个与一般MOSFET不同处是后者一般没有准饱和区，功率VDMOS这一区的特点是：(1)  $V_D$ 增加 $I_D$ 也增加（不饱和）；(2)  $V_G$ 增加， $I_D$ 几乎不增加，即 $V_G$ 增加时 $V_D$ - $I_D$ 表现有一极限，特别是高耐压的功率VDMOS更加明显。其解释如下：在栅氧化层下方两个P阱之间的漏区，构成了一个导电的瓶颈，用 $R_j$ 表示这一段电阻。PN结空间电荷区会随电压 $V_{DS}$ 变化而扩展或收缩，所以 $R_j$ 的阻值是 $V_{DS}$ 的函数。该区域类似于一个寄生JFET， $V_{DS}$ 增大时，空间电荷区主要向低掺杂的N-区扩展，瓶颈区变窄， $R_j$ 增大，若其远远大于其它电阻成分，则此时栅压对沟道电阻 $R_{ch}$ 和积累层电阻 $R_a$ 的调制作用完全可以忽略，失去了对MOS电流的控制作用，跨导急剧下降到接近于零，故电流几乎不因 $V_G$ 增大而增大。又因为 $R_j$ 的存在，有源区的漏电压 $V_D'$ 始终低于夹断电压，电流不会饱和。

## 4.5 阻断特性



The potential distribution of the power MOSFET at the high drain bias.

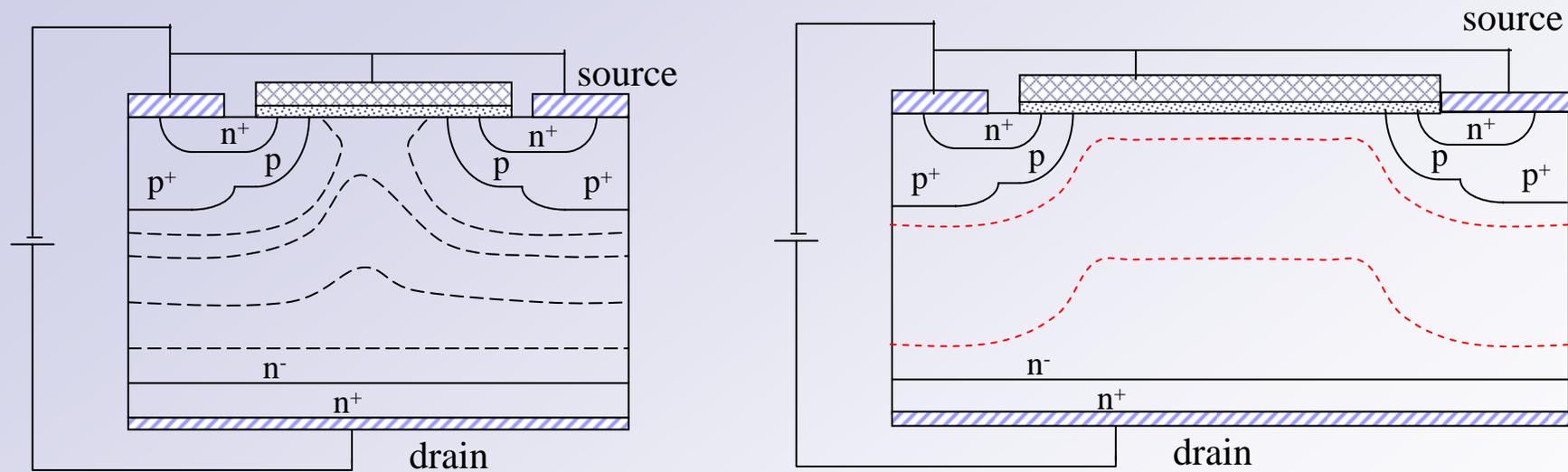
# 1 穿透击穿



## •Channel Length Limiting

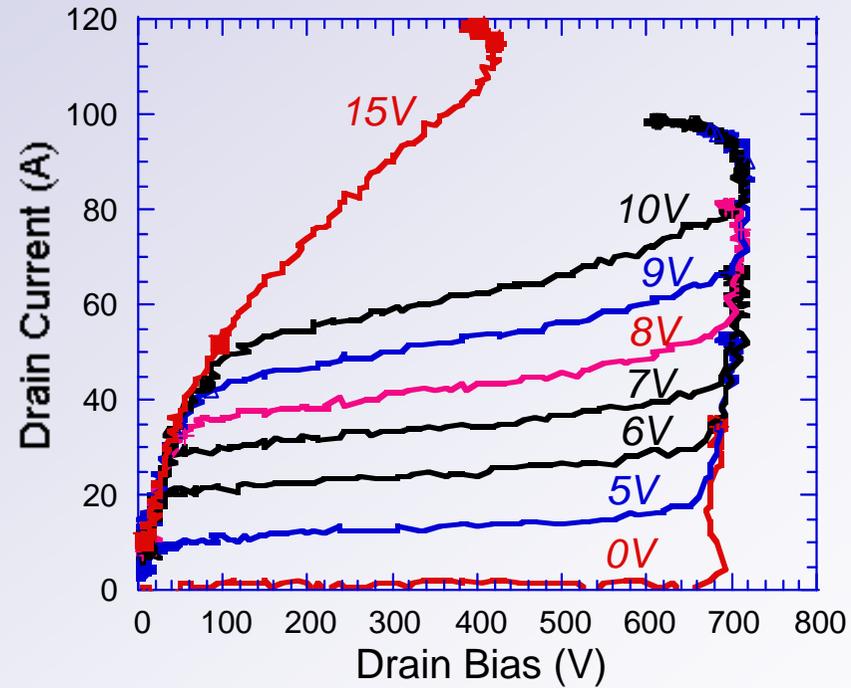
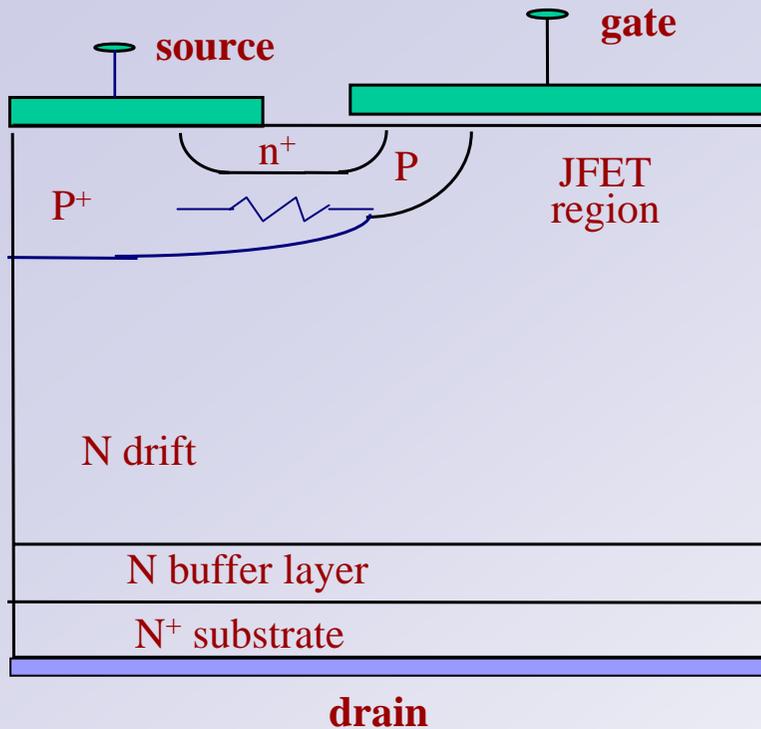
- The channel length has a strong influence on the on-resistance.
- The channel length is also determined by the premature reach-through breakdown.

## 2 雪崩击穿



Cell Pitch小，其有电场曲率效应

### 3 寄生三极管二次击穿



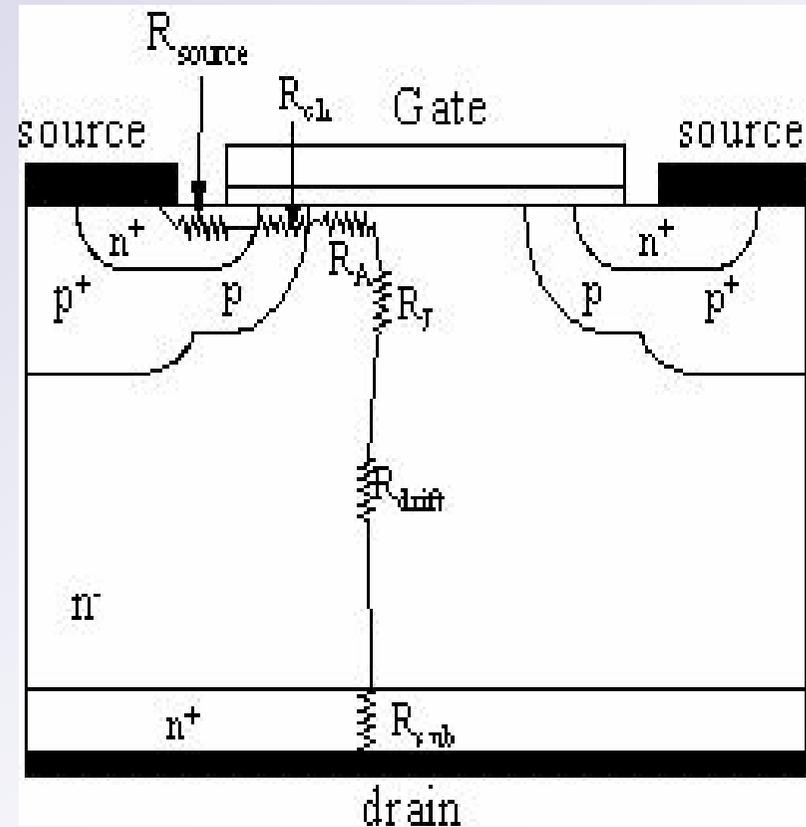
The effect of the P<sup>+</sup> region

基极电阻降低，其PN结不能开启

## 4.6 导通电阻

- 导通电阻决定了功率MOSFET的最大额定电流，是最重要的参数之一
- 功率MOSFET由许多单元并联而成，由于导通电阻与面积成反比，因此本节讨论的均为单位面积的导通电阻。VDMOSFET的导通电阻由N+源电阻，沟道电阻，晶栅下积累层电阻，JFET区电阻，漂移区电阻，衬底电阻和接触电阻组成。

- $R_{on} = R_{source} + R_{ch} + R_A + R_J + R_{drift} + R_{sub} + R_{contact}$
- VDMOSFET导通电阻构成如图



## 1.源电阻

- 源电阻由下式给出：

$$R_{source} = \rho_{N^+} \times \frac{L_s}{d_{N^+} \times Z}$$

- 上式中，为 单位面积的沟道宽度 (cm/cm<sup>2</sup>)，为 源区的结深，为 沟道末端到源金属接触的距离。

## 2. 沟道电阻

- 沟道电阻主要由 $L_{ch}$ ,  $Z$ ,  $C_{ox}$ ,  $V_G$ 决定。我们可通过保持 $z$ 减小 $l_{ch}$ 得到这就要求高的元胞密度，同时小心控制P-body和n+射极扩散的分布，防止reach-through击穿的发生。

$$R_{ch} = \frac{V_D}{I_D} \Big|_{V_D:small} = \frac{t_{ox} L_{ch}}{\epsilon_{ox} Z \mu_{nC} (V_G - V_{th})}$$

### 3 积累层电阻

- 从沟道进入**JFET**区的电流散射主要由积累层电阻所致，而积累层电阻受控于积累层内的电荷和其表面的自由载流子迁移率。

$$R_A = K \frac{t_{ox} L_A}{\epsilon_{ox} Z \mu_{nA} (V_G - V_{th})}$$

- 上式**K**是二维效应常数，表征从沟道经积累层进入**JFET**区的电流。通常情况下**K=0.6**。**L<sub>a</sub>**是积累层长度。

## 4 JFET电阻

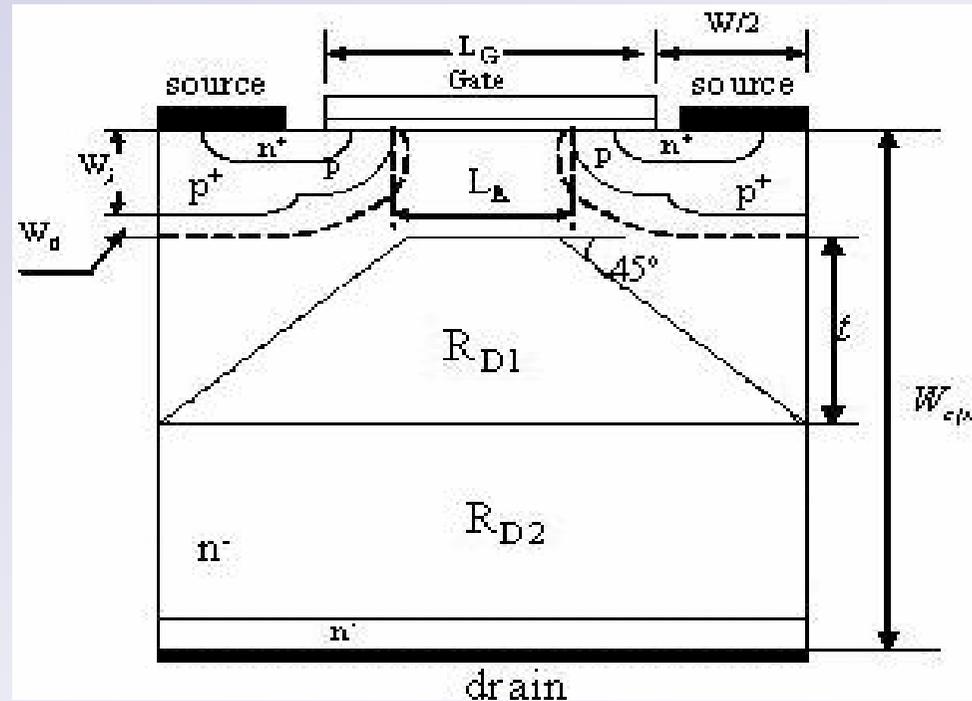
- JFET电阻是两相邻P-body间的漂移区电阻。如果耗尽区垂直方向的压降效应被忽略，该电阻能较容易算出。假设积累层的电流均匀流进耗尽区。

$$R_j \approx \frac{\rho_d (W_j + W_d)}{Z \left( \frac{L_A}{2} - W_d \right)}$$

- 上式 $w_j$ 中为P-body的结深， $w_d$ 为器件工作时漂移区内的耗尽层宽度。高压功率VDMOSFET的漂移区一般掺杂浓度较低来承受高压，因此其耗尽层宽度 $w_d$ 很大，导致 $r_j$ 迅速升高。该问题可以通过增加多晶栅宽来解决，但同时产生元胞密度和耐压的降低。所以，我们需要在电阻和耐压之间不断折衷。

## 5 漂移区电阻

- 在对漂移区电阻的分析中，有很多模型。在此我们假设从JFET区流进漂移区的电流分布如图2-10所示，梯形的高度由多晶窗口宽度、P-body结深和耗尽层宽度决定。



$$R_{D1} = \int_0^t \frac{\rho_d}{(L_A - 2W_d + 2x)Z} dx = \frac{\rho_d}{Z} \ln \left( \frac{L_A - 2W_d + 2t}{L_A - 2W_d} \right)$$

$$R_{D2} = \rho_D (W_{epi} - t - W_d - W_j) / ZL$$

$$R_D = R_{D1} + R_{D2}$$

## 6 衬底电阻

- 对于高压功率VDMOSFET，衬底电阻可以忽略不计。但对于耐压低于50V的低压功率VDMOSFET，衬底电阻是导通电阻中的重要部分，特别是当晶圆需要衬底足够后维持晶圆的强度以满足器件制造要求的情况下。

- $$R_{sub} = \rho_{sub} \times d_{sub} / ZL$$

## 7 接触电阻

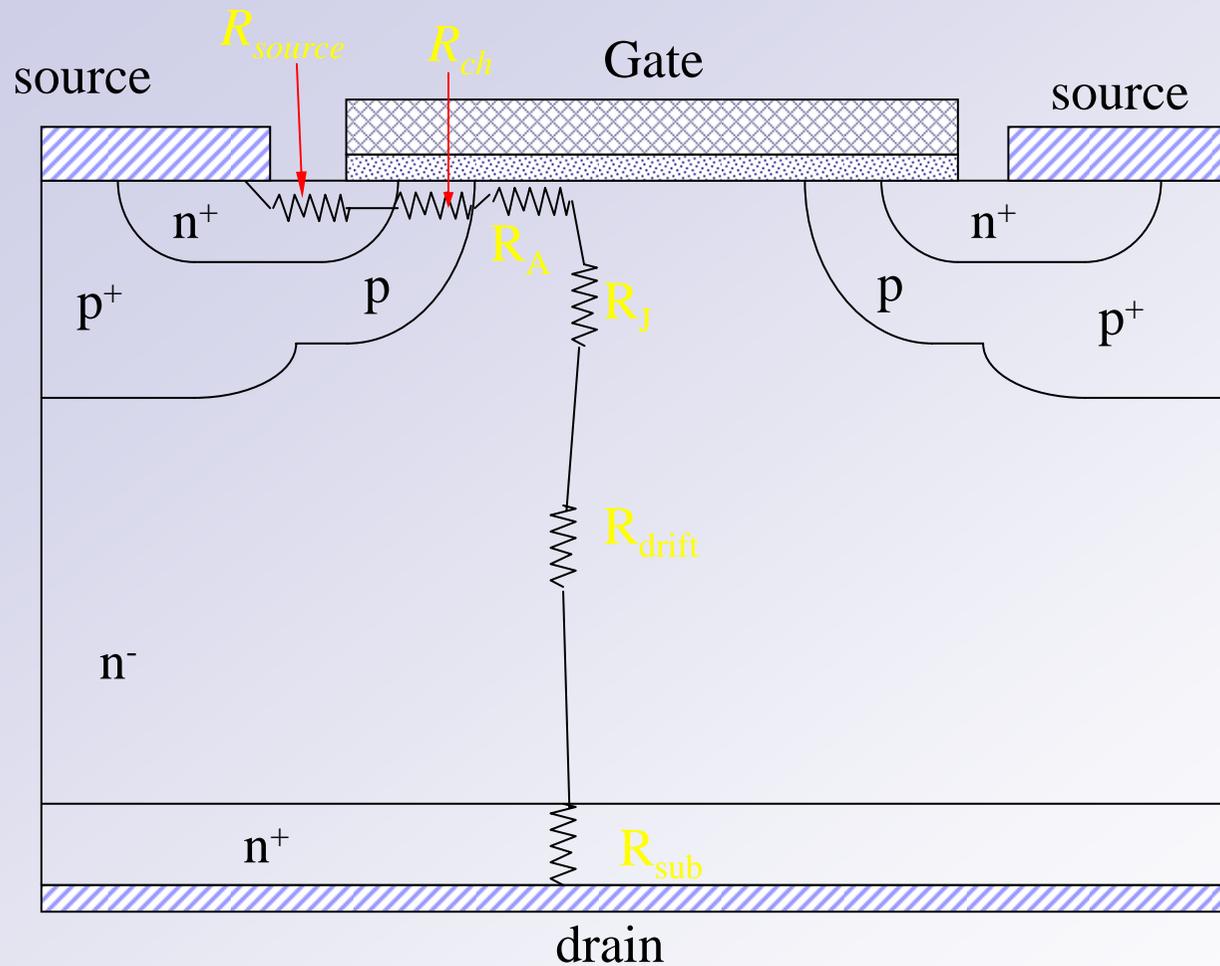
- 当源金属和源区的接触面积占整个元胞面积很小一部分时，将有限接触电阻考虑进导通电阻是很重要的。而由于漏区金属覆盖了整个漏区，所以漏区接触电阻较小
- 当器件按比例缩小时，源接触电阻在导通电阻中占的比例将迅速上升，由此在高密度器件的制造中常用硅化物替代铝作源接触金属。

- In the on-state, the MOSFET operates in the **ohmic mode**.
- The conduction loss of the power MOSFET is specified by the on-resistance.
- Specific On-Resistance  $R_{on,sp} = \text{on-resistance} \times \text{area}$

$$R_{on} = \frac{R_{on(cell)}}{N_{cell}}$$

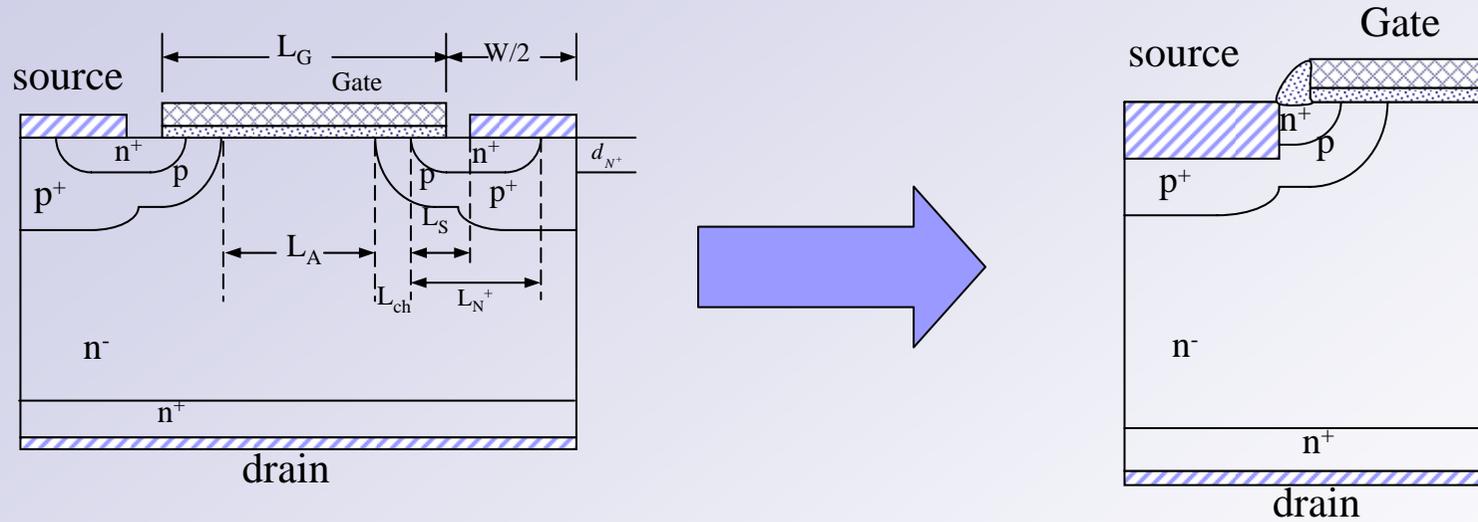
$N_{cell}$  is the total number of the cell in the chip.

The on-state resistance is the equivalent resistance between the source and drain terminals.



$$R_{on} = R_{source} + R_{ch} + R_A + R_J + R_{drift} + R_{sub} + R_{contact}$$

## Reduce Source Resistance:

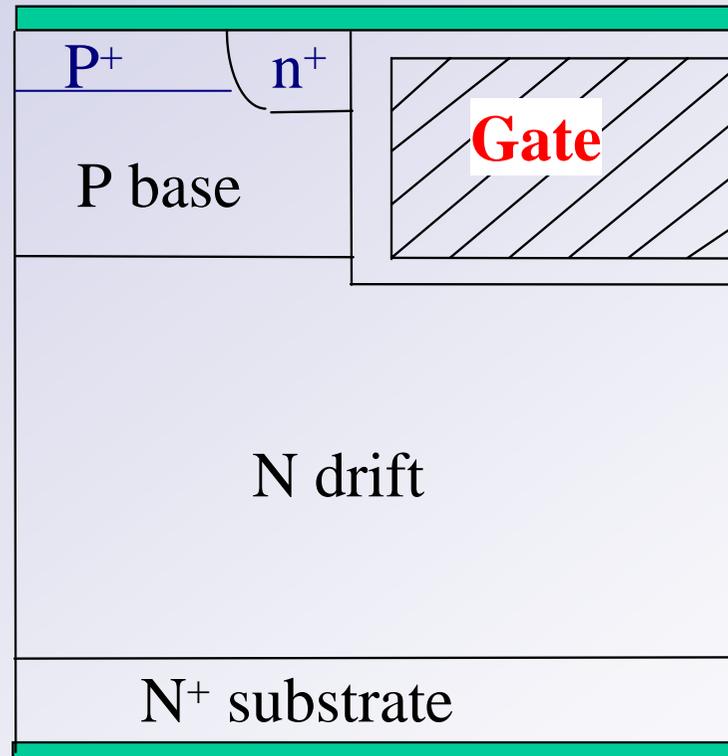


$$R_{source} = \rho_{N^+} \times \frac{L_S}{d_{N^+} \times Z}$$

成本与工艺兼容性

# JFET resistance

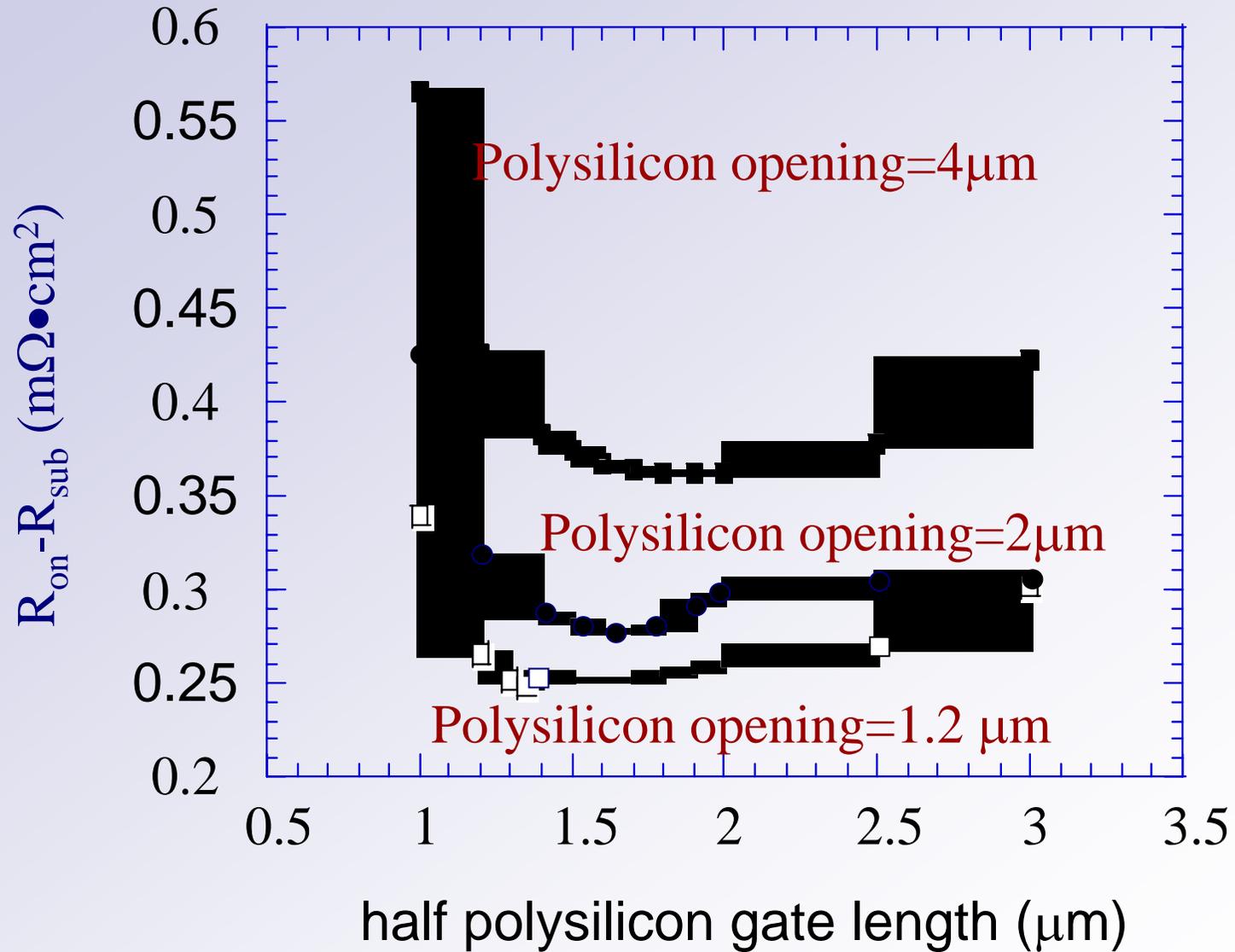
**source**

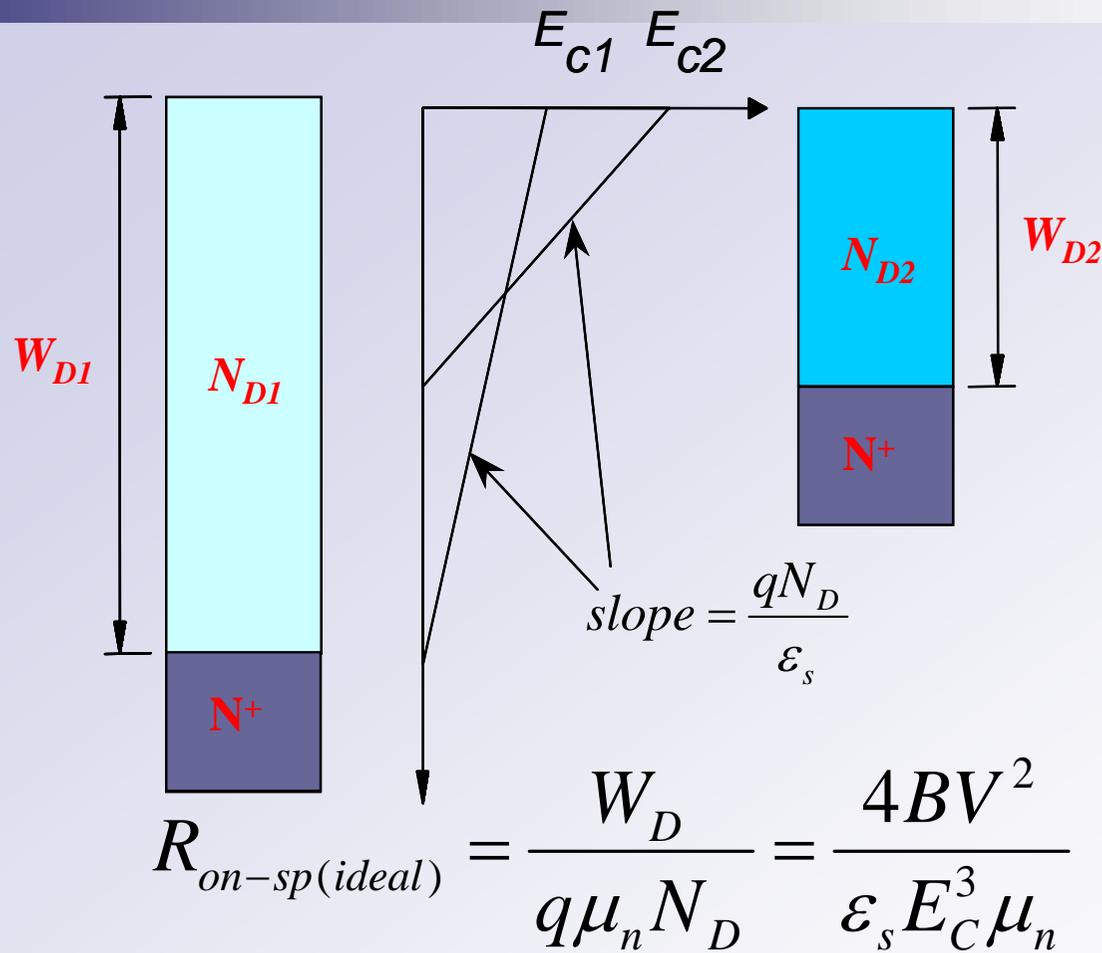


No JFET effect

Cell Pitch

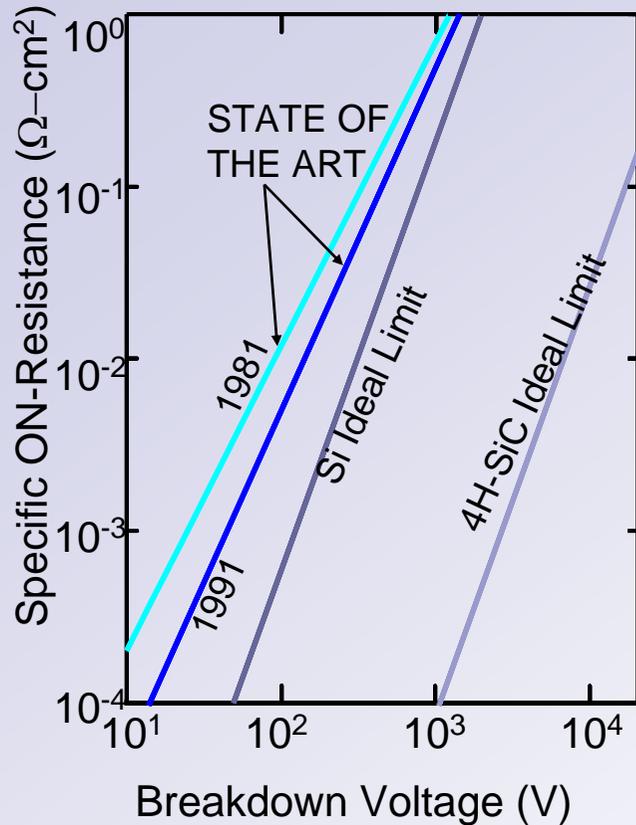
## 20V DMOS Optimization





$$R_{on-sp(ideal)} = \frac{W_D}{q\mu_n N_D} = 5.93 \times 10^{-9} (BV_{PP})^{2.5}; \text{ for n - channel devices}$$

$$R_{on-sp(ideal)} = \frac{W_D}{q\mu_p N_D} = 1.63 \times 10^{-8} (BV_{PP})^{2.5}; \text{ for p - channel devices}$$



$$R_{on,sp}(\text{Si}) = 5.93 \times 10^{-9} (BV)^{2.5} \\ = 187 \text{ m}\Omega \cdot \text{cm}^2$$

$$R_{on,sp}(4\text{H-SiC}) = 2.78 \times 10^{-12} (BV)^{2.5} \\ = 0.09 \text{ m}\Omega \cdot \text{cm}^2$$

$$R_{on-sp(ideal)} = \frac{W_D}{q\mu_n N_D} = \frac{4BV^2}{\epsilon_s E_C^3 \mu_n}$$

SiC  $E_g$ 较大使得 $E_C$ 较大，电子迁移率高

## 4.7 功率VDMOS的热特性

- 器件特性随温度的变化总是非常重要。对于功率VDMOS而言，其静态特性对温度的依赖关系，主要由有效迁移率随温度的变化引起。已知它随温度的增加而减小，常用的一个近似为：

$$\mu(T) = \mu(T_0) * \left(\frac{T}{T_0}\right)^{-k_3}$$

- 其中， $T_0$ 是室温， $k_3$ 为一常数[14]。
- 另一方面，还要考虑到阈值电压 $V_{th}$ 会随温度的升高而降低，因为此时费米能级会向本征费米能级移动。

## 4.7.1 温度对导通电阻RDS(on)的影响

- 在线性区，VDMOS总的导通电阻可表示为以下六项之和（图3-1）：源区电阻 $R_{source}$ ，反型层沟道电阻 $R_{ch}$ ，积累层电阻 $R_a$ ，“颈”部电阻 $R_j$ ，漂移区电阻 $R_{epi}$ ，以及衬底电阻 $R_{sub}$ ：

$$R_{DS(on)} = R_{source} + R_{ch} + R_a + R_j + R_{epi} + R_{sub}$$

- 由于源区和衬底区都是高掺杂， $R_{source}$ 和 $R_{sub}$ 阻值很小。我们知道载流子的迁移率随温度升高而下降，在轻掺杂的硅中，迁移率正比于 $T^{-2.6}$ ，在表面层中则正比于 $T^{-1.5}$ 。因此，可以预期：

$$R_{ch} + R_a \propto T^{1.5}$$

$$R_j + R_D \propto T^{2.6}$$

- 对于低电压功率VDMOS，外延层电阻率和厚度都较小， $R_{ch}$ 和 $R_a$ 是导通电阻的主要部分，导通电阻随温度的变化趋势遵循式而对于高压器件，外延层电阻将成为导通电阻的最大分量

## 4.7.2 温度对阈值电压 $V_{th}$ 的影响

- 阈值电压定义为使半导体表面为反型层时栅上所需加的电压。它由三部分组成：(1)栅上首先需加电压 $V_{FB}$ 使半导体表面能带是平的；(2)若要表面反型，则半导体能带应有的弯曲，其中是体内费米能级到禁带中央的距离，故栅上还应再加的电压；(3)能带弯曲对应着表面反型层到体内有一过渡的耗尽层，如N+P结一样，此耗尽层有电荷面密度， $N_A$ 为P型衬底的杂质浓度。这个负电荷需由栅上相应的正电荷来屏蔽，因此氧化层上又需加一个电压，综上所述，得到阈值电压：

$$V_{th} = V_{FB} + 2\Phi_{FB} + 2 \frac{(qN_A \epsilon_S \Phi_{FB})^{1/2}}{C_{ox}}$$

- 由于半导体的费米能级受温度影响，导致平带电压 $V_{FB}$ 和强反型时半导体表面势随温度变化。有研究表明，阈值电压 $V_{th}$ 随着温度的升高几乎是直线下降的，且可近似地表示为：

$$V_{th}(T) = V_{th}(T_0) - k_4(T - T_0)$$

- 其中， $k_4$ 通常在 $0.5mV/K$ 和 $4mV/K$ 之间，该范围内的较大值对应于衬底掺杂浓度较高，栅氧化层较厚的情况。

### 4.7.3 温度对漏-源击穿电压 $V(BR)_{DSS}$ 的影响

- 当功率VDMOS漏-源PN结上施加的反向偏压增大到 $V(BR)_{DSS}$ 时，就会发生雪崩击穿，反向电流密度突然开始迅速增大。流过PN结的反向电流主要是由P区扩散到势垒区的电子电流和由N区扩散到势垒区的空穴电流组成。当反向偏压很大时，势垒区中的电场很强，在势垒区内的电子和空穴由于受到强电场的漂移所用，具有很大的动能，他们与势垒区内的晶格原子发生碰撞时，能把价键上的电子碰撞出来，产生大量的电子空穴对，使势垒区单位时间内产生大量载流子，迅速增大了反向电流，这就是雪崩击穿的机理。
- 当温度升高时，载流子无规则的热运动更加剧烈，于是需要更大的电场以使载流子获得发生雪崩击穿的动能。故温度越高，漏-源击穿电压 $V(BR)_{DSS}$ 越大。

## 4.7.4 温度效应在ID-VGS曲线的体现

- 由饱和区MOS的电流公式可以推出：

$$\sqrt{I_D} = \sqrt{u(T)} * \sqrt{\frac{C_{OX} * Z}{2L}} * [V_{GS} - V_{th}(T)]$$

- 因此，温度增加，通过  $V_{GS} - V_{th}(T)$  的作用使漏端电流趋于增加，通过  $u(T)$  的作用使得漏端电流趋于减小。在大电流时， $u(T)$  随温度升高而减小对电流产生的影响是主要的；在小电流时， $V_{GS} - V_{th}(T)$  对电流的影响是主要的。

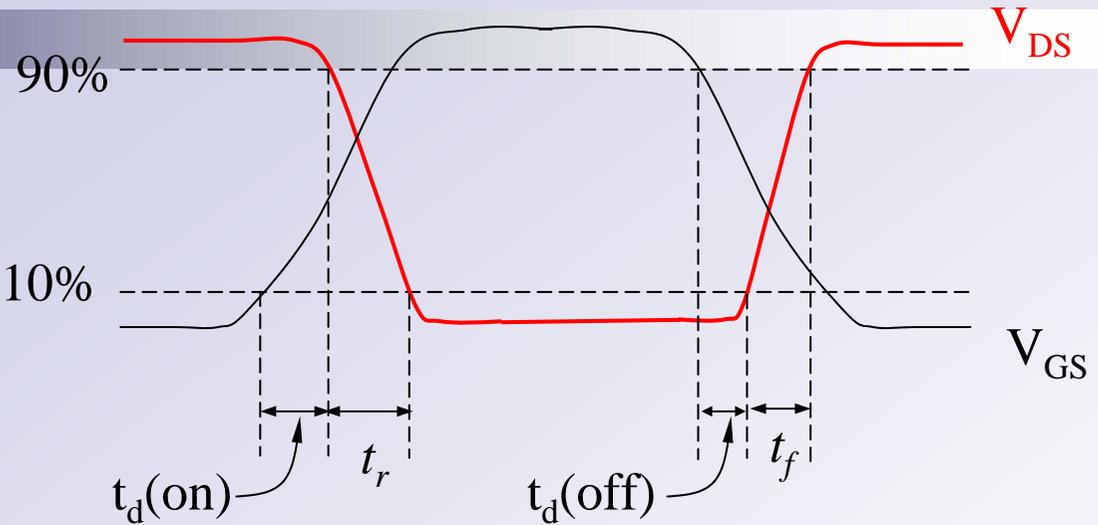
# 第五部分 功率MOSFET (2)

## 动态特性及常见结构

- 此章节是对于功率MOSFET认识的提升

## Power Loss

conduction loss + turn-on  
loss + turn-off loss + gate  
drive loss



Switching time waveforms.

## Limitation of high frequency

- The transit time across the drift region
- The rate of charging of the input gate capacitance

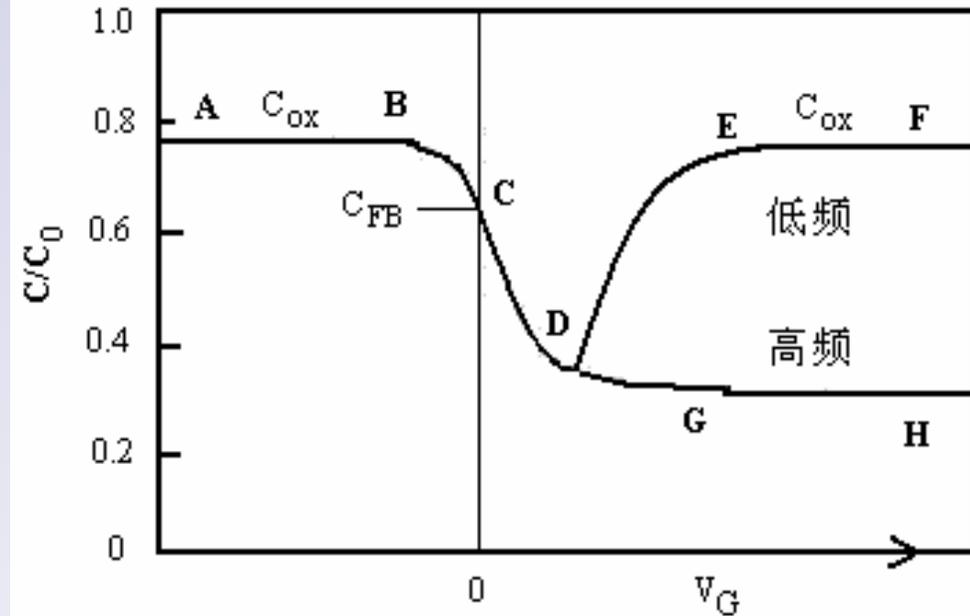
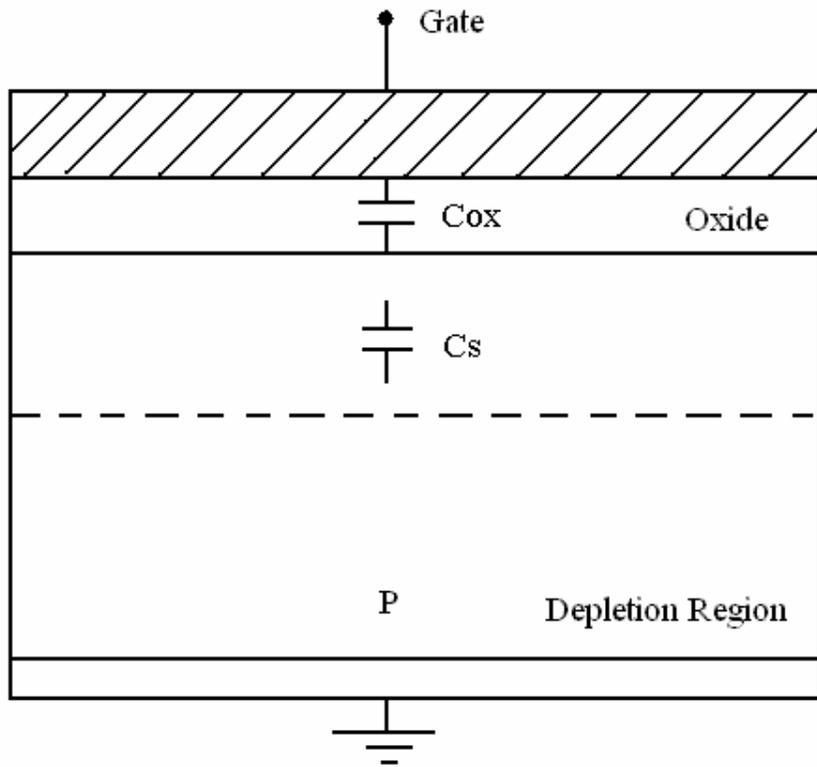


Dominating for power MOSFET due to large active area.

## 5.1 电容

- 驱动功率VDMOS相当于驱动容抗网络，其输入电容和栅极电阻一起基本决定了器件的开关速度。然而，由于寄生电容在开关过程中并不是恒定不变的，而是随偏压非线性变化。所以，要准确模拟功率VDMOS的动态特性，就必须对其寄生电容在开态、关态和开关转化期间随偏压的变化趋势进行精确的建模，更加明确的说，就是要准确模拟栅-源电容 $C_{gs}$ 、栅-漏电容 $C_{gd}$ 和漏-源电容 $C_{ds}$ 随漏-栅电压  $V_{DG}$  的变化趋势。

# MIS电容



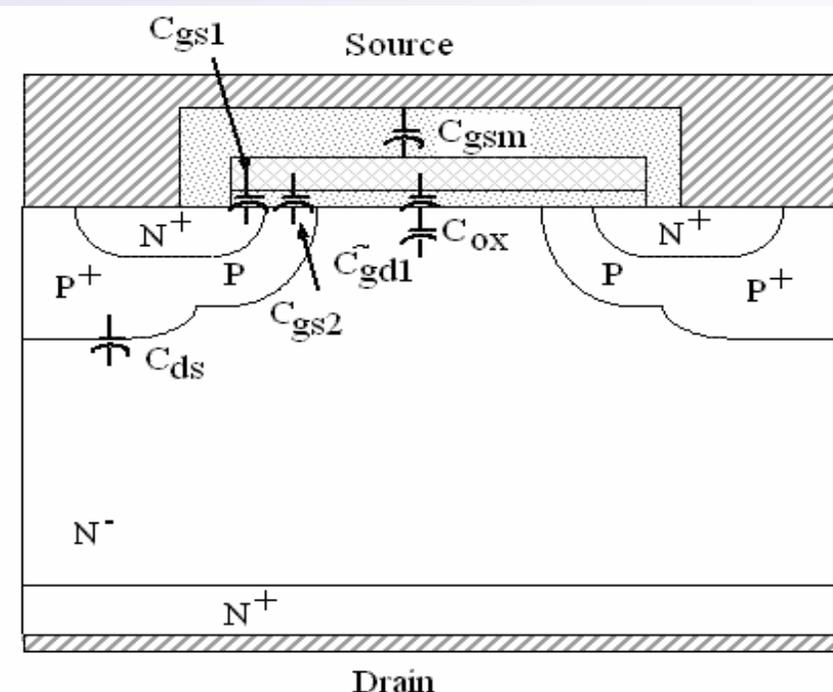
- 电容大小与其电荷关系紧密，具体解析解可以查阅相应公式。

## 寄生电容随偏压VDG的变化趋势

- 图4-4 功率VDMOS寄生电容示意图
- 如图4-4所示，栅-源电容 $C_{gs}$ 由栅-金属交叠电容 $C_{gsm}$ ，栅-源区交叠电容 $C_{gs1}$ ，栅-P阱区交叠电容 $C_{gs2}$ 三部分并联而成，故 $C_{gs} = C_{gs1} + C_{gs2} + C_{gsm}$ 。
- 其中， $A_{SO}$ 是栅-源电极的交叠面积， $LG$ 是栅电极的长度。
- $C_{gs1}$ 是栅电极与N+源区的交叠电容，因为N+区的掺杂浓度很高，近似于金属的性质。
- 其中， $Z$ 是栅宽， $t_{ox}$ 是栅氧厚度， $A_{N+O}$ 是栅电极与N+源区的交叠面积， $L_{N+O}$ 是栅电极与N+源区交叠的长度。
- $C_{gs2}$ 是栅电极与P阱区的交叠电容，因P区掺杂较低，可看成一个MIS结构电容，当VDG很负即VGS很大时，P阱区表面为强反型层，当VDG为负但绝对值减小时，P阱区表面为耗尽层，且耗尽层宽度随VDG绝对值的减小而减小，当VDG为正，即VGS=0，VDS>0时，电容 $C_{gs2}$ 两端的电压保持为零，其值基本不随VDS的增大而变化。

$$C_{gsm} = \frac{\epsilon_{ox} A_{SO}}{t_{ox}} = \frac{\epsilon_{ox} ZL_G}{t_{ox}}$$

$$C_{gs1} = \frac{\epsilon_{ox} A_{N+O}}{t_{ox}} = \frac{\epsilon_{ox} ZL_{N+O}}{t_{ox}}$$



- $C_{gs}$ 由两个常值电容和一个非线性电容构成，它随偏压的变化趋势主要取决于与 $C_{gs2}$ 在整个 $C_{gs}$ 中所占的比例大小。 $C_{gs}$ 基本上是按 $C_{gs2}$ 的趋势变化的，说明 $C_{gs2}$ 在此功率MOS的栅-源电容中占有较大的比例。这是因为此功率VDMOS的工作电流很大，因此需要较大的导电沟道的面积，从而导致栅电极与P阱区的交叠面积增大，对应的 $C_{gs2}$ 也就较大。因此，采用一个常值电容模型来描述 $C_{gs}$ 的方法不再适用，一个非线性的二极管电容能更加精确的模拟此功率VDMOS的 $C_{gs}$ 。
- $C_{gs2}$ 大的原因还有 $T_{ox}$ 很薄，而栅电极到源电极其距离比较宽

- 栅-漏电容  $C_{gd}$  主要是栅极和N型漏极间的MIS电容。当  $V_{DG}$  很负时，N型半导体表面为积累层，电子聚集在绝缘层两边，从半导体内部到表面可以看成是导通的，所以MIS结构的总电容也就等于绝缘层的电容  $C_{ox}$ ；当  $V_{DG}$  增大时，N型半导体表面由积累层向耗尽层过渡，MIS电容也逐渐减小；当  $V_{DG}$  增大到使N型半导体表面出现反型层后，其形成的载流子层会阻挡电场向下扩展，耗尽层宽度达到最大值并不再随  $V_{DG}$  的增大而增大。同样由于反型层内的载流子产生复合速度跟不上高频测试信号的变化，MIS电容由耗尽层电容决定，达到一个最小值并不再随  $V_{DG}$  的增大而减小。
- 漏-源电容  $C_{ds}$  是P阱区和N-漂移区之间的结电容，其电容值与漏-源电压  $V_{DS}$  的倒数的平方根成正比关系：

$$C_{ds} = \frac{\epsilon_{si}}{W_d} = \sqrt{\frac{\epsilon_{si} q N_{n^{-}drift}}{2V_{DS}}}$$

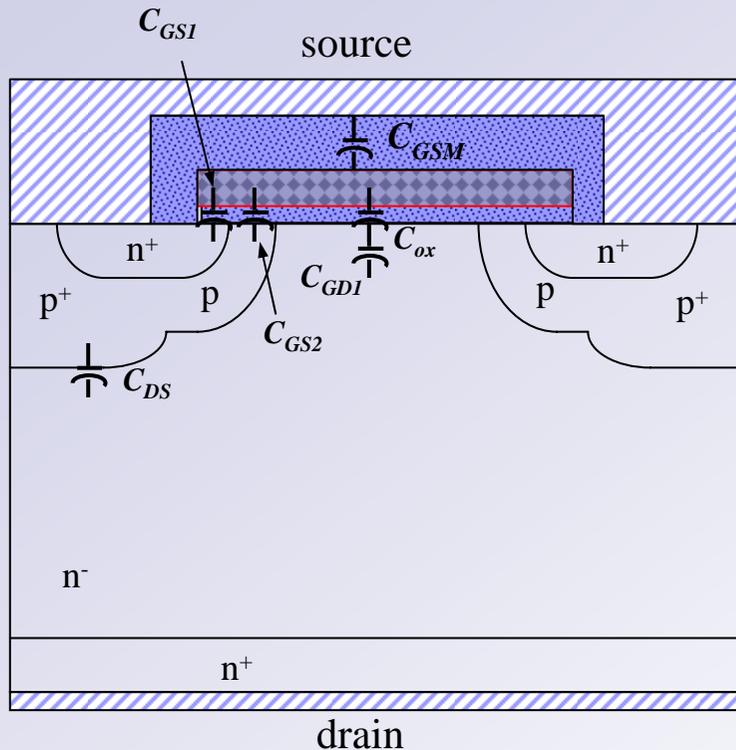
## 频率与电容

- 栅电阻源于栅电极上的分布电阻，与有源区面积成反比，功率VDMOS的最大开关频率（表征瞬态特性），受栅电阻与栅电容构成的RC电路的充放电时间决定：

$$f_{input} = \frac{1}{2\pi C_{iss} R_G}$$

- 功率VDMOS传统多晶硅栅的典型方块电阻为 $10 \Omega \cdot \text{cm}^2$ ，对开关频率造成了较大的限制。已有报道说，采用钼材料制作栅极，可以将开关频率提高一个量级，已经开发出功率为100瓦，最大开关频率为900MHz的功率VDMOS。

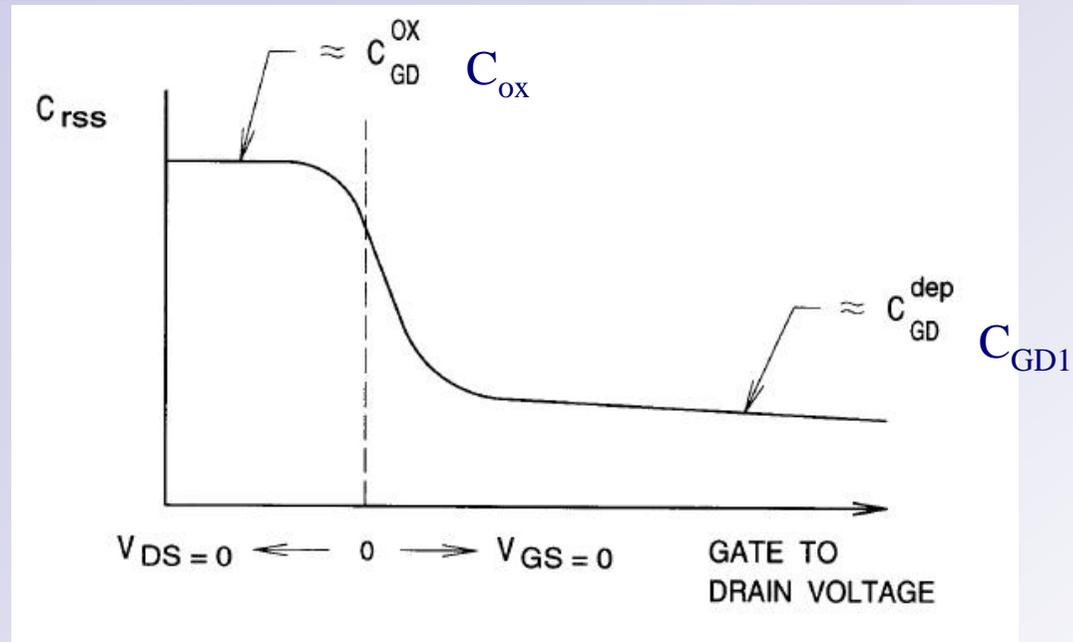
## Reverse transfer capacitance (Miller capacitance) :



$$\frac{1}{C_{GD}} = \frac{1}{C_{ox}} + \frac{1}{C_{GD1}}$$

**$C_{GD}$  is a nonlinear function of voltages and is the most important parameter because it provides a feedback loop between the output and the input of the circuit.**

其反馈的电容值为 $(1+A)C_{GD}$



- $V_{GD} = V_{GS} - V_{DS}$ .
- At high  $V_{DS}$  and no gate bias we have  $V_{GD} = -V_{DS}$  and  $C_{rss}$  is dominated by the **depletion capacitance  $C_{GD1}$** .
- When  $V_{GS}$  increase to above  $V_{th}$ , the device turns on,  $V_{DS}$  collapses to near zero and  $V_{GD} \approx V_{GS}$ . The gate-to-drain capacitance then becomes dominated by the oxide capacitance.

## Input capacitance:

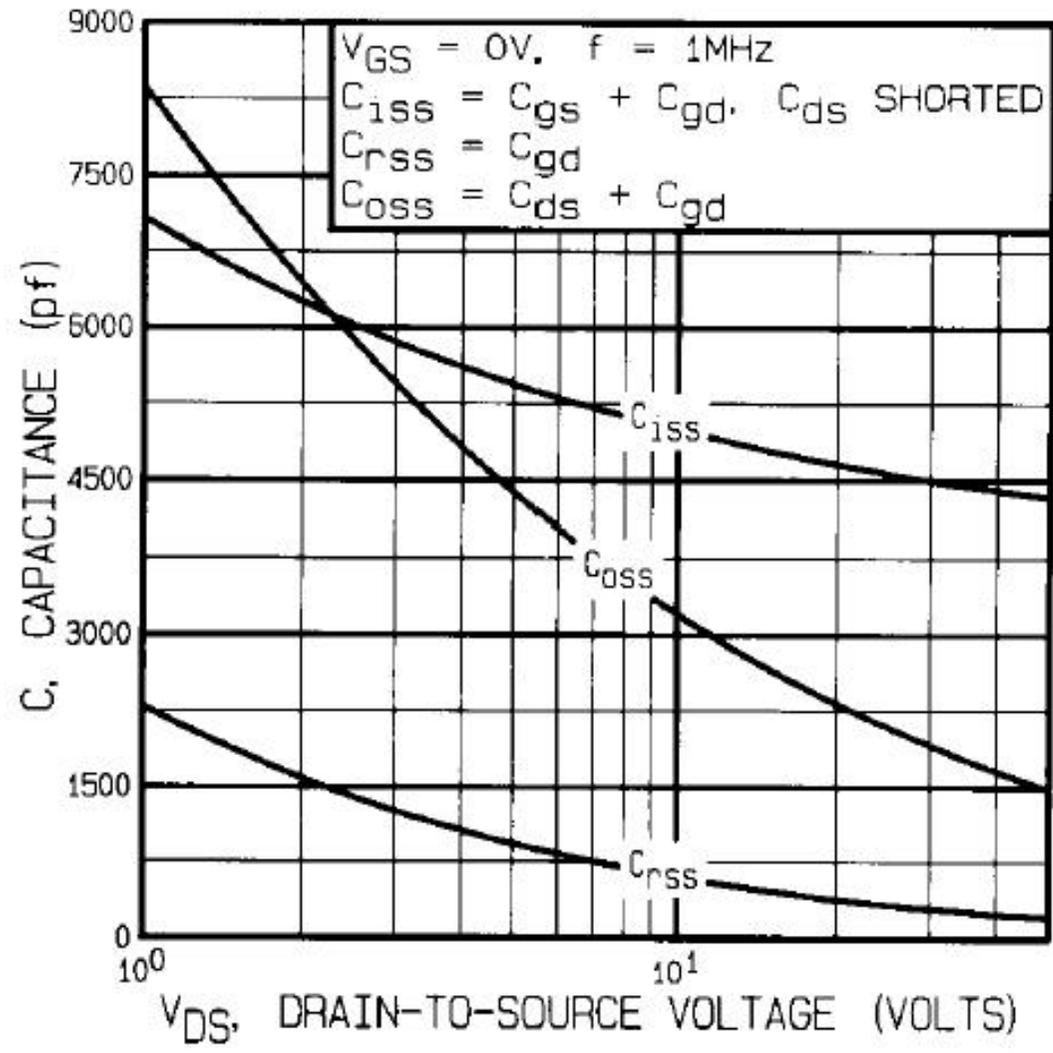
$$C_{iss} = C_{GS} + C_{GD}$$

when the drain and source electrode are shorted

## Output capacitance:

Total capacitance between the drain and the source with the gate and source shorted together.

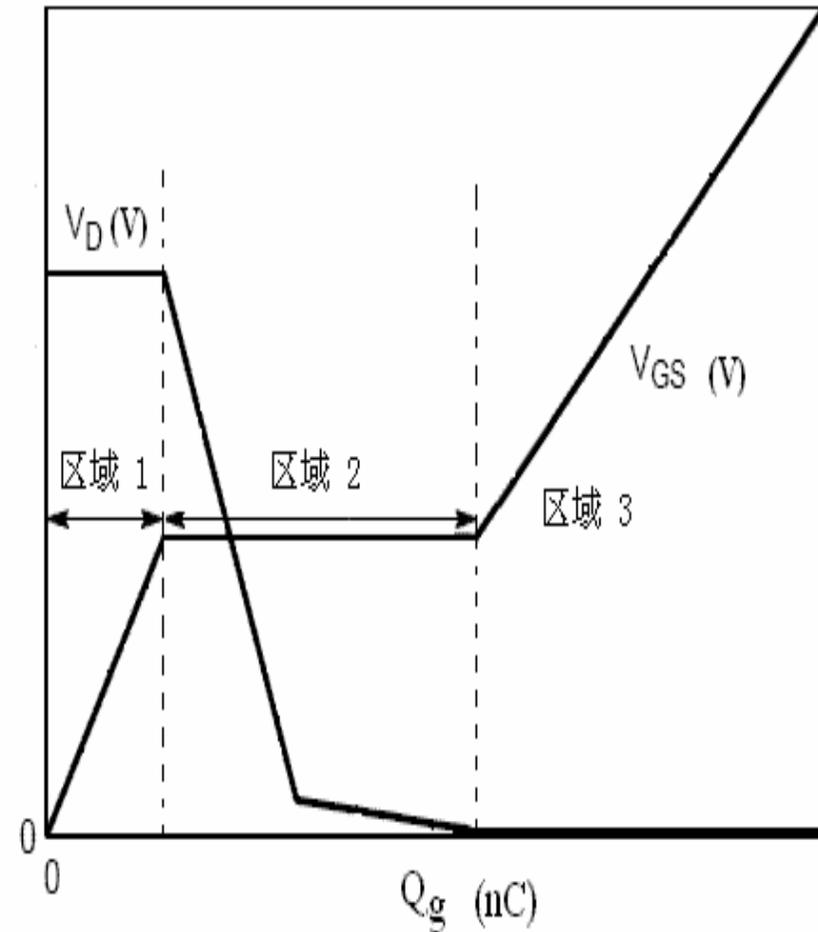
$$C_{OSS} = C_{GD} + C_{DS}$$



## 5.2 栅电荷

- 恒定栅电流充电得到的栅电荷曲线，是功率VDMOS寄生电阻的另一种表现形式，因为充电电流恒定，栅电阻对此曲线没有影响。从电路设计者的角度而言，栅电荷曲线比C-V曲线更加有用。由 $Qg=I_g*t$ 可得到使器件在理想时间内开启所需的栅电流值。栅电荷 $Qg$ 是功率VDMOS两个最重要的参数之一(另一参数为 $RDS(on)$ )。使用非零VDS，提供 $Qg-VGS$ 曲线已经成为一种标准，在 $Qg-VGS$ 曲线里包含以下信息：
  - · 共源输入电容， $C_{iss}$ ;
  - · 共源反向传输电容， $C_{rss}$ ;
  - · 使器件开启必须加在栅上的电荷量;
  - · 得到器件理想开关速度所需的栅电流;
  - · 器件在开关期间所损耗的能量。
- 电路设计工程师使用这些信息设计栅驱动电路，并估计器件性能。

- 栅电荷随  $V_{GS}$  变化的典型曲线。
- 区域1，功率VDMOS漏-源电压  $V_{DS}$  基本不变，其输入电容  $C_{in}=C_{gs}+C_{gd}$ ，近似为常值。一个固定电流为常值电容  $C_{in}$  充电，故电压以固定的斜率上升；
- 区域2，漏-源电压  $V_{DS}$  开始急剧下降，密勒效应导致  $C_{gd}$  急剧增大，这个区域内栅极充电电流基本上是给  $C_{gd}$  充电，故  $V_{GS}$  保持不变；

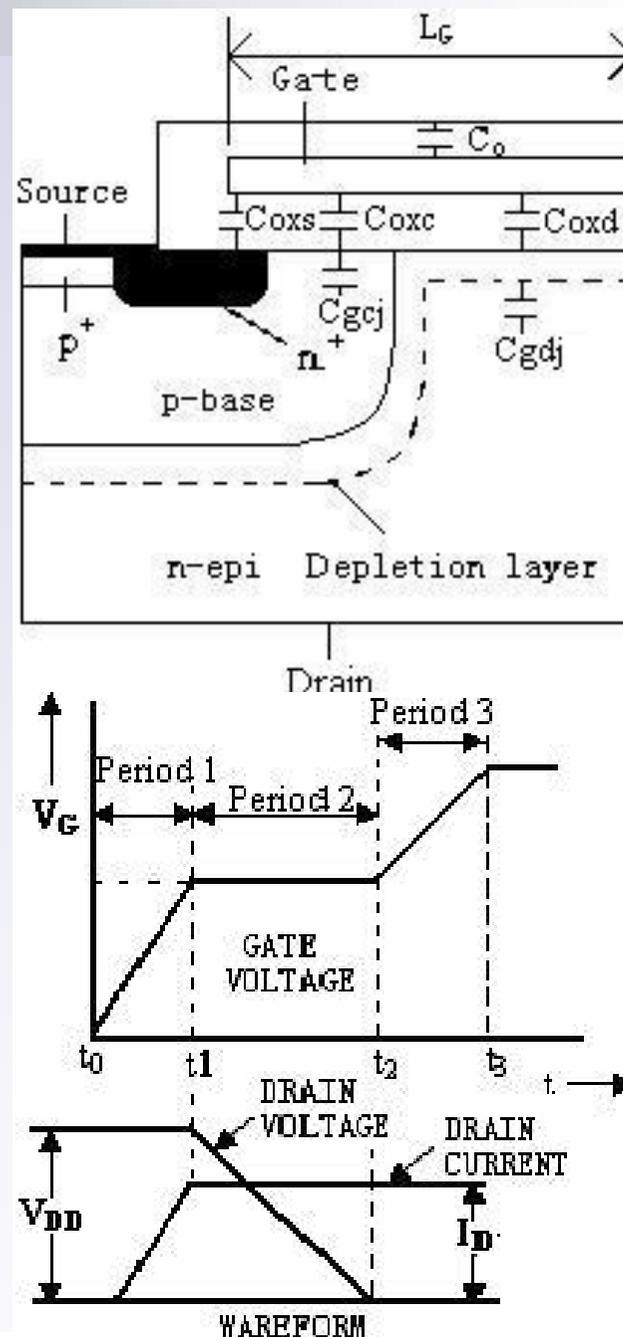


- 区域3，当功率VDMOS完全开启后，漏-源电压稳定在正向导通压降， $C_{gd}$  不再被密勒效应放大，此时输入电容  $C_{in}=C_{gs}+C_{gd}$ ，但此MIS电容  $C_{gd}$  两端的偏压情况与区域一时不同，其值要远大于区域1时的  $C_{gd}$ 。表现在栅电荷曲线上，区域3中  $V_{GS}$  上升的斜率要小于于区域1。

# 栅电荷定量分析

■ 图2-13 VDMOS栅电容示意图

■ 栅电荷曲线如图所示，下面分别对曲线的三个时间段进行分析。



## ■ Period 1:

- 开始时，图2-12中MOS1关断，其漏源电压为Vdd。在时刻零点，栅电流(Ig)被加到MOS1栅上。随着栅电流保持恒定，Cgs和Cgd以一恒定的速率充电，Vgs不断上升。

$$\frac{dV_{gs}}{dt} = \frac{I_g}{C_{gs} + C_{gd}}$$

- 由于此时漏端耗尽层宽度处于最大值，Cdgj和Cgd很小，可忽略，因此，Cds远大于Cgd。MOS1的漏源电压(Vds)保持为电源电压(Vdd)，直到其栅源电压(Vgs)达到阈值(Vt)。
- MOS1的Vgs超过Vt，进入饱和区，漏电流随的Vgs增加而增加。

$$I_d = \frac{K_n}{2} (V_{gs} - V_t)^2$$

$$K_n = \mu_n \frac{W}{L} C_{ox}$$

- 在Id达到Io之前，Id和Vgs不断上升。

- **Period 2:** :

- 栅电荷曲线处于水平区域，栅源电压恒定在:

$$V_{gs} = V_t + \sqrt{\frac{2I_o}{K_n}}$$

- 由于Vgs保持恒定，栅电流开始释放“密勒”电容(Cgd),

$$\frac{dV_{gd}}{dt} = -\frac{I_g}{C_{gd}}$$

- 因此，Vds和栅下漂移区的耗尽区宽度Wgdj开始下降，Vds降为:

$$V_{ds}^{on} = I_o R_{ds}^{on}$$

- 随着Wgdj的减小，耗尽区空间电荷释放进沟道，为使沟道保持电中性，栅上就必须充额外的电荷来补偿耗尽区的电荷，Cgdj和Cgd增加。Vds降到栅漏交叠电容消失的点(Vds<Vgs)，Cgd迅速增加到Coxd。当耗尽区放电完毕，Vds继续减小到开态值(Vds=Vgs-Vth)，MOS1进入线性区，且I-V特性变为:

$$I_o = \frac{K_n}{2} [2(V_{gs} - V_t)V_{ds} - V_{ds}^2]$$

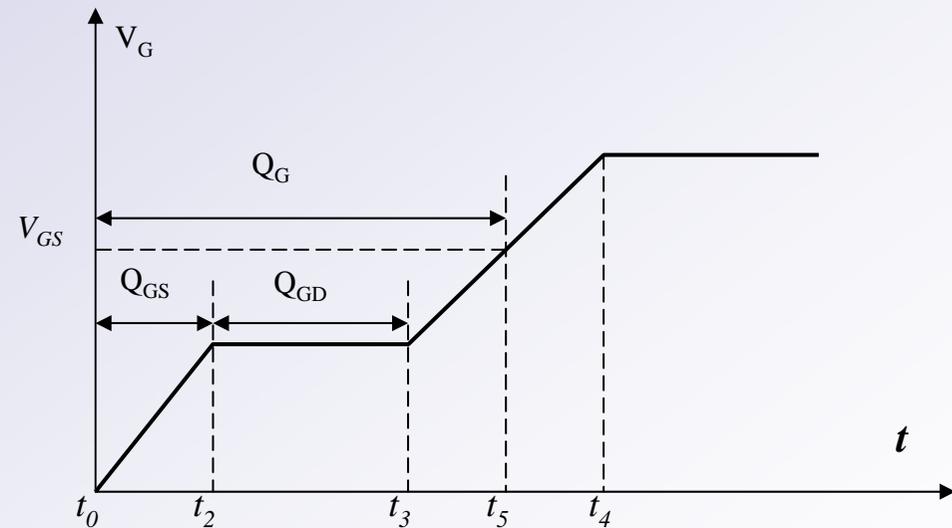
### ■ Period 3:

- 由于漏电流继续保持恒定值( $I_o$ ), 并且 $V_{ds}$ 下降变缓,  $V_{gs}$ 又继续增加, 但增长的速率小于phase1部分, 是因为此时与phase1相比, 有更大的 $C_{gd}$

$$Q_{GS} = (t_2 - t_0) \times i_g$$

$$Q_{GD} = (t_3 - t_2) \times i_g$$

$$Q_G = (t_5 - t_0) \times i_g$$

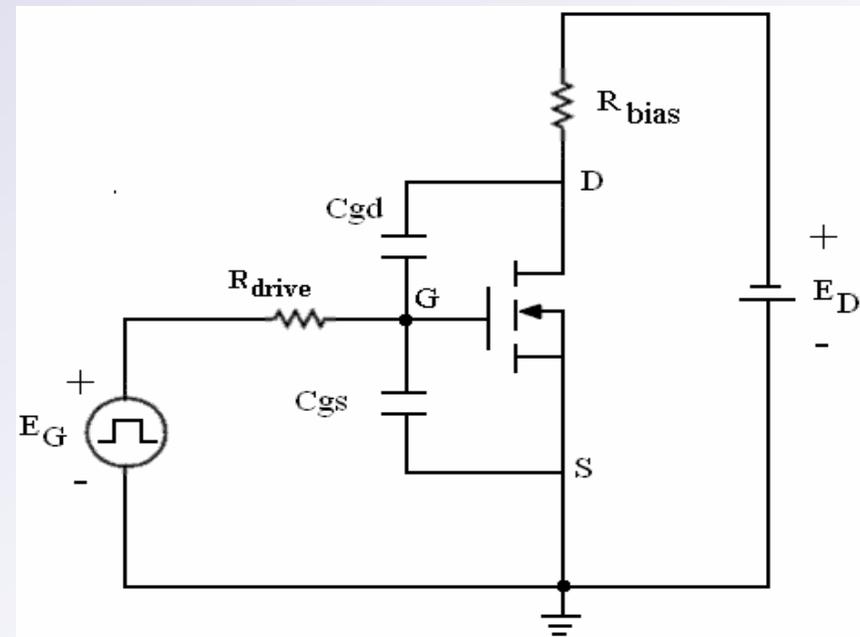


### Average Gate Driving Power Loss

$$P_{drive} = Q_G \times V_G \times f$$

## 5.3 功率VDMOS的开关特性

- 栅电容与栅电阻组成的RC回路的充放电过程是限制功率VDMOS速度的主要因素，右图给出了阻性负载的开关特性测试电路，其中包括负载及脉冲电源，电压源 $E_G$ 为矩形脉冲， $V_G$ 及 $I_G$ 的上升及下降过程不难从电容的充放电来理解



- 在脉冲加上时，由于存在输入电容，需要充电时间，栅上电压不能立刻达到终值。这时，晶体管处于关断状态，密勒效应不起作用，输入电容  $C_{in}=C_{gs}+C_{gd}$ ,

- $V_G$ 的上升过程为：

$$V_{G(t)} = E_G [1 - \exp(-t / R_g * C_{in})]$$

- 当 $V_G(t)$ 达到阈值电压 $V_{th}$ 后，开始有漏电流。定义栅压从零增加到阈值电压的这段时间为导通延迟时间，容易得到：

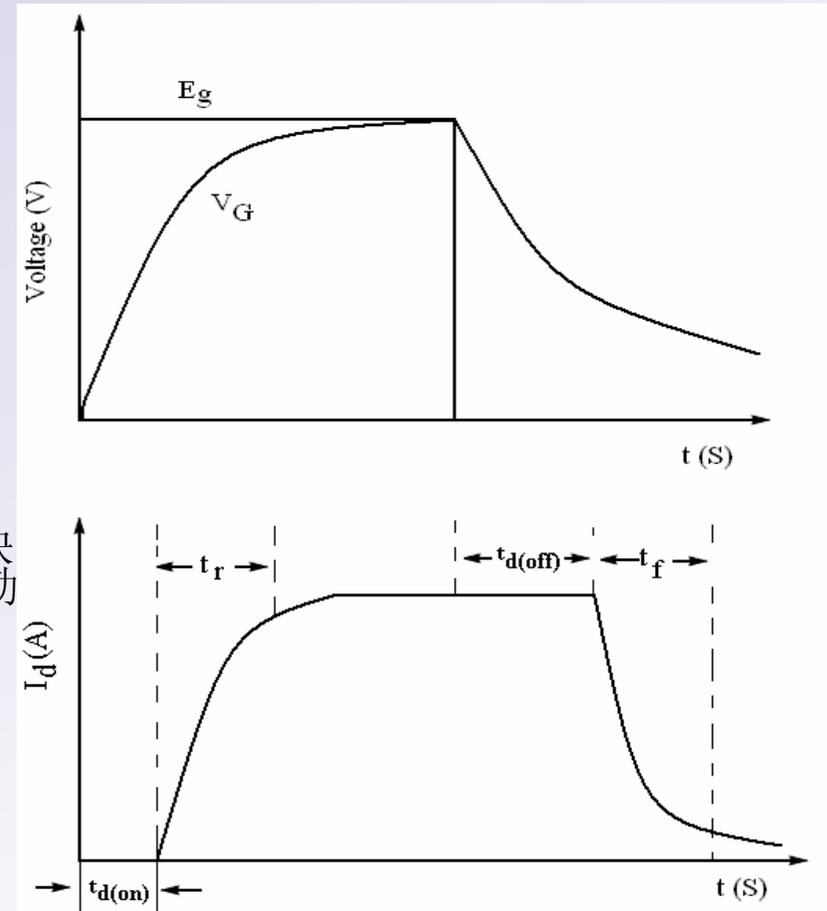
$$t_{d(on)} = C_{in} R_g \ln\left(\frac{1}{1 - V_{th} / E_G}\right)$$

- 达到 $t_{d(on)}$ 时间之后， $V_G$ 大于 $V_{th}$ ，电流 $I_D$ 会较快增长，它在 $RL$ 上的压降造成 $V_{DS}$ 下降，通过“密勒效应”使输入电容增加，为 $C_{in}'$ 。如令 $-dV_D/dV_G=K$ 为电压放大系数，有：

$$C_{in}' = C_{gs} + (1 + K)C_{gd}$$

- $I_D$ 的下降时间 $t_r$ 定义为 $V_{DS}$ 下降到只有 $E_D$ 的10%时所需要的时间，如果这时对应的 $V_G$ 记作 $V_{G2}$ ，则容易证明：

$$t_r = C_{in}' R_g \ln\left(\frac{E_G - V_{th}}{E_G - V_{G2}}\right)$$



以 $E_G$ 将 $C_{gd}$ 从 $V_{th}$ 充电到 $E_G - V_{G2}$

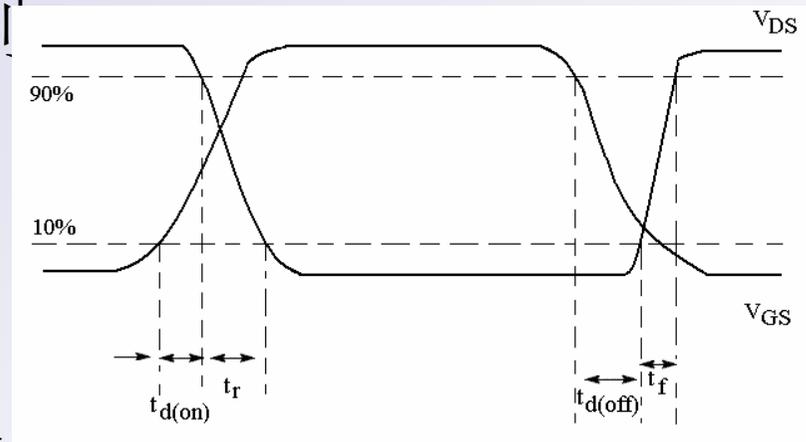
- 实际开关电路中常采用过驱动，过驱动可提高噪声容限，且对驱动条件不至于要求太严，但过驱动使关断过程发生延迟，产生了一个关断延迟。经过关断延迟时间 $t_{d(off)}$ 后， $V_G$ 又回复到 $V_{G2}$ 值，简单的分析表明：

$$t_{d(off)} = C_{in} R_g \ln \frac{E_G}{V_{G2}}$$

- 经过关断延迟时间后， $ID$ 下降，下降所需之时间 $t_f$ 为：

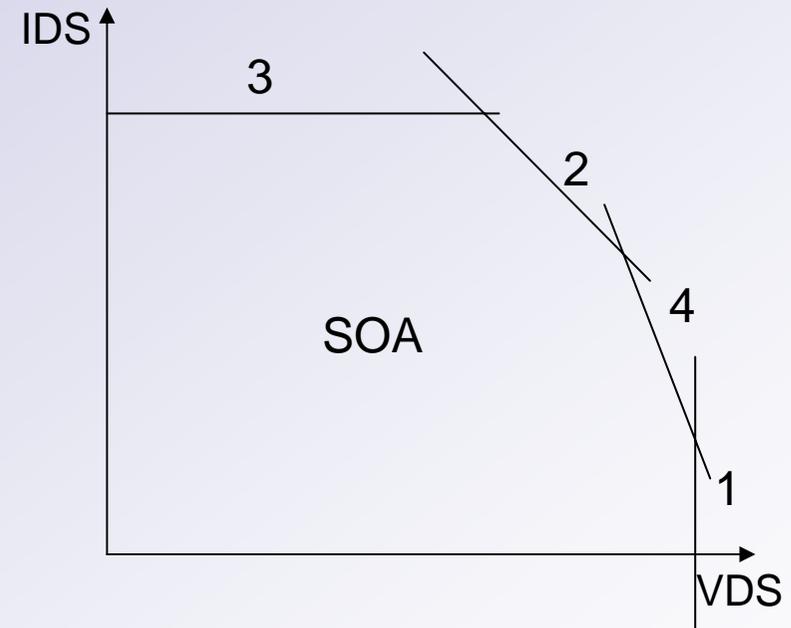
$$t_f = C_{in} R_g \ln \frac{V_{G2}}{V_{th}}$$

- 如图所示，从开关波形角度，定义开关时间参数
- 开关延迟时间  $t_d(on)$ :  $V_{GS}$  上升到10%开始到  $V_{DS}$  降到90%结束的时间；
- 上升时间  $t_r$ :  $V_{DS}$  从90%下降到10%的时间
- 关断延迟时间  $t_d(off)$ :  $V_{GS}$  下降到90%开始到  $V_{DS}$  上升到10%结束的时间；
- 下降时间  $t_f$ :  $V_{DS}$  从10%上升到90%的时间



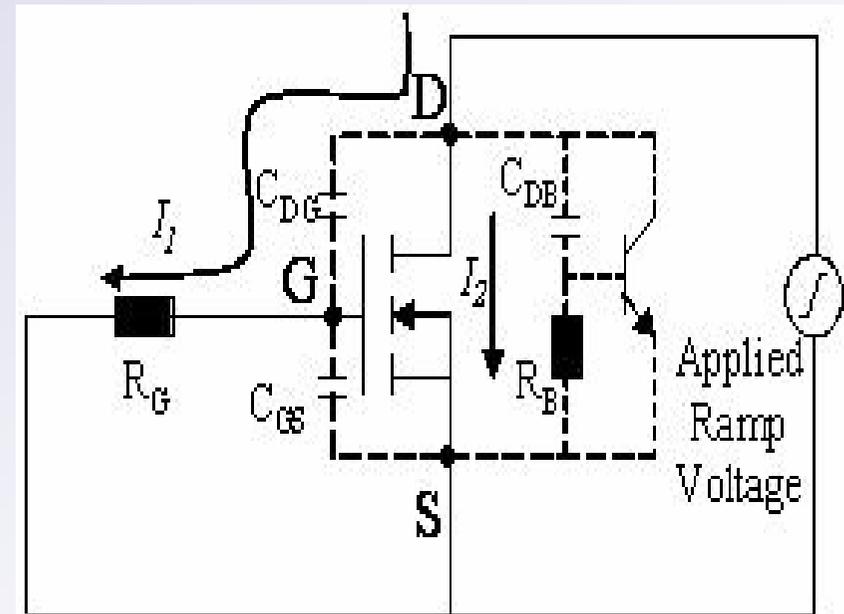
## 5.4 安全工作区(SOA)

- 1 雪崩电离
- 2 最大功耗
- 3 最大漏电流
- 4 二次击穿



## 5.5 dv/dt能力

- dV/dt能力定义为MOSFET所能承受的最大漏源电压上升速率。如果超过这个速率，栅源电压高于阈值电压迫使器件进入导通模式产生不必要的损耗且在一定条件下会毁坏器件。dV/dt导致器件开启有两种机理。下图显示了包裹寄生晶体管的power MOSFET的等效电路模型。



## ■ ① 机理1:

- 第一种机理， $dV/dt$ 使器件开启是由栅漏电容(CGD)的反馈行为所致。当一突然上升的漏源电压加在器件漏源两端，通过CGD产生电流的流过栅电阻得：

$$V_{GS} = I_1 R_G = R_G C_{GD} \frac{dV}{dt}$$

- 当栅压超过器件阈值，器件被迫开启，该机理下的 $dV/dt$ 能力由下式确定：

$$\frac{dV}{dt} = \frac{V_{th}}{R_G C_{GD}}$$

- 很明显，低阈值器件更容易通过第一种机理开启。由于阈值电压的负温系数，在高温环境下工作的器件更要特别注意。同时栅驱动电阻也要仔细选取以避免此中情况的发生。

## ■ ② 机理2:

- 第二种机理， $dV/dt$ 使器件开启是通过寄生晶体管的开启。当一突然上升的漏源电压加在器件漏源两端，通过CDB产生电流的流过基极电阻得：

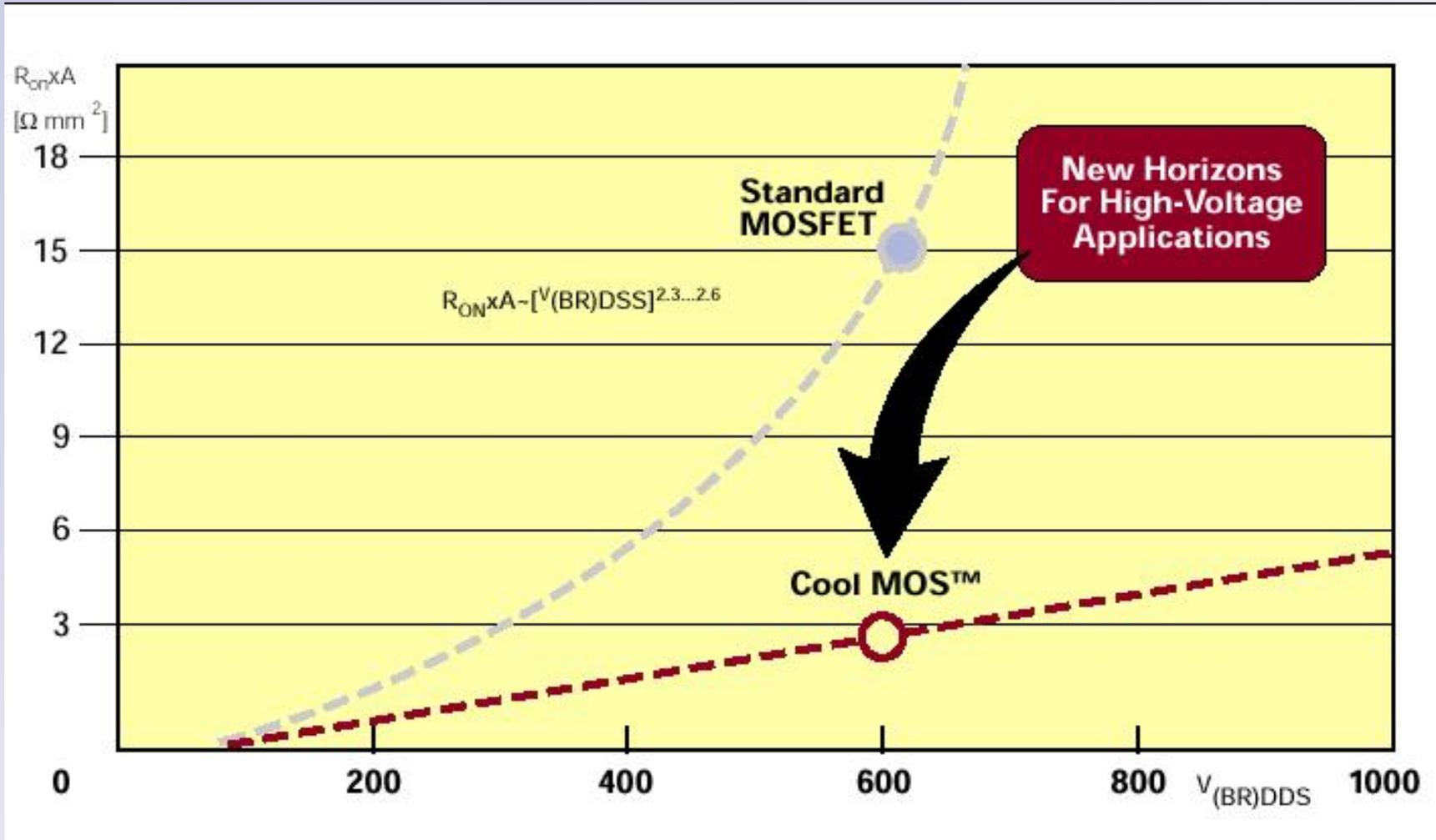
$$V_{BE} = I_2 R_B = R_B C_{DB} \frac{dV}{dt}$$

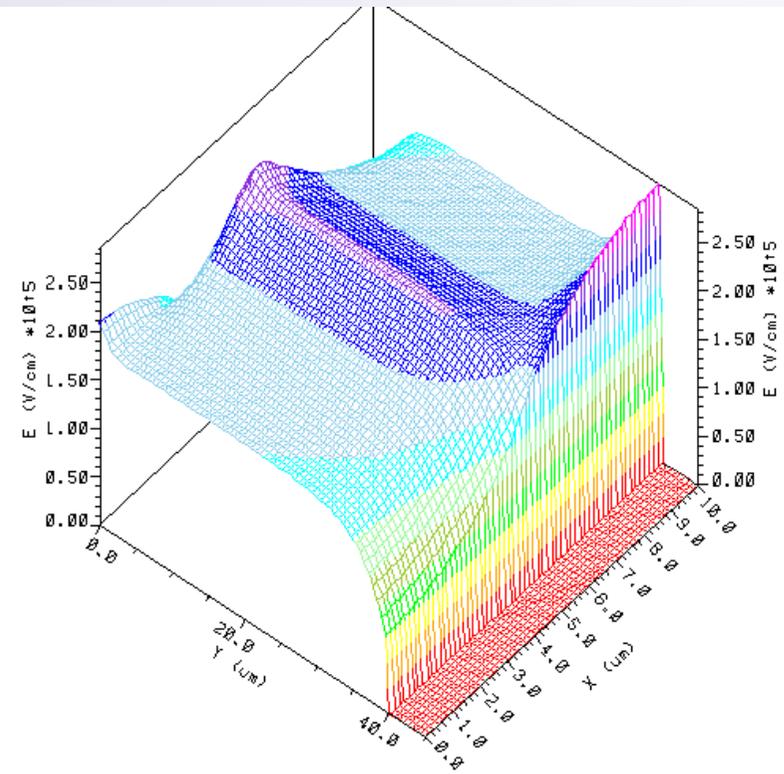
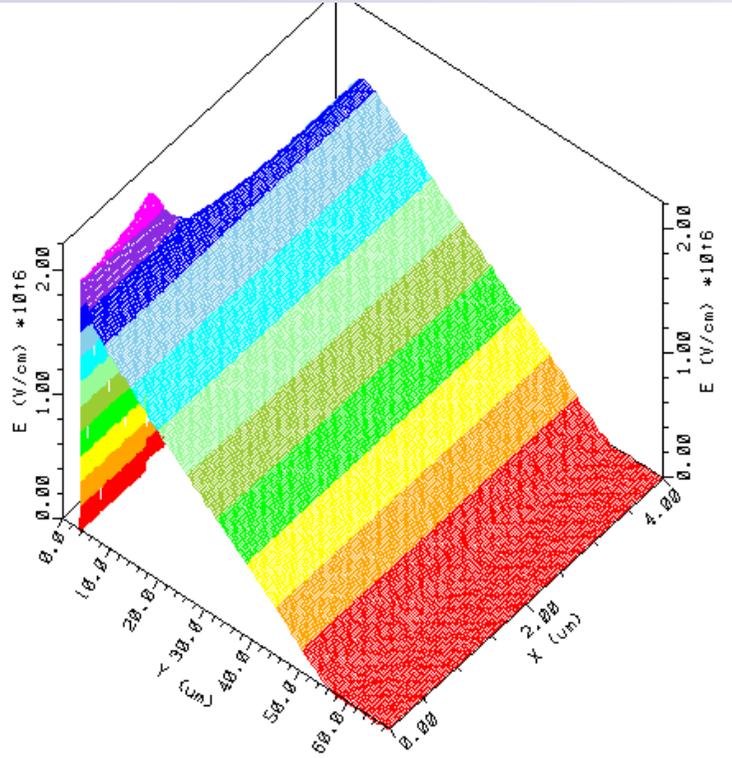
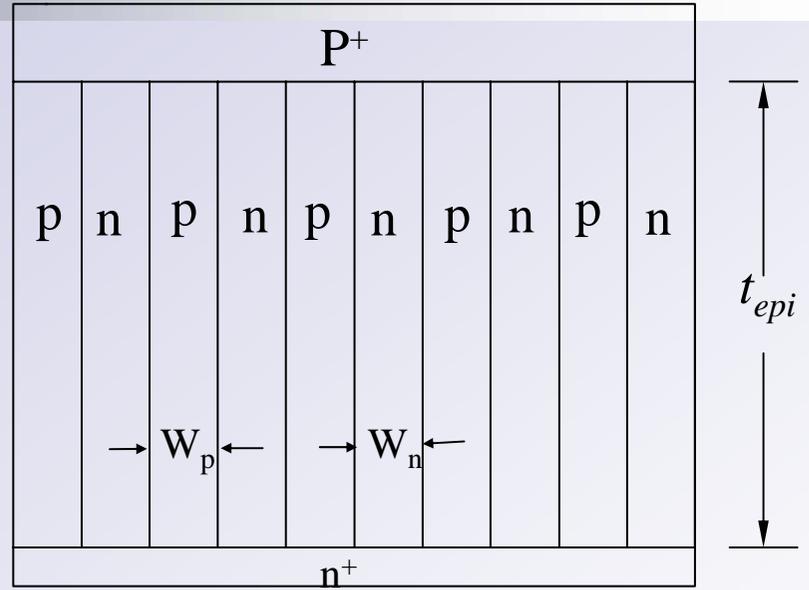
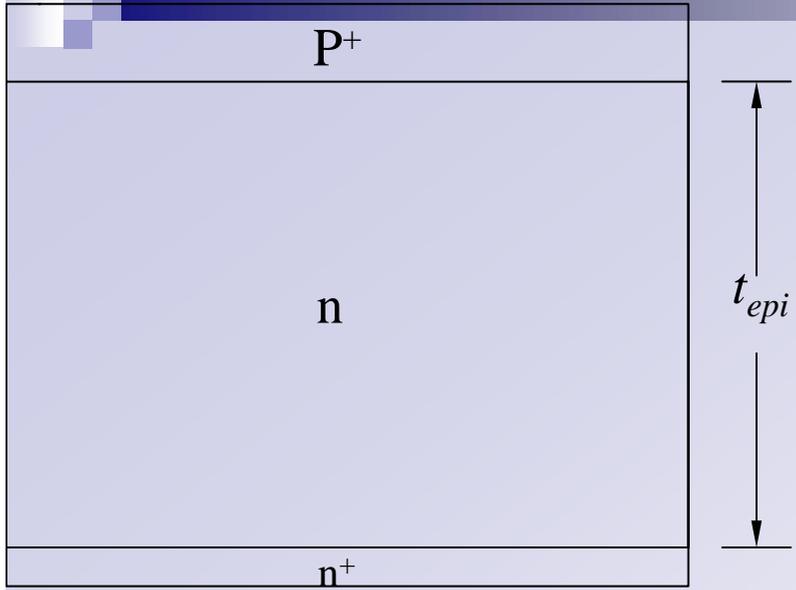
- 如果位移电流足够大使寄生晶体管开启，那么MOSFET的击穿电压将衰减至开基区晶体管的击穿电压。因此，该机理下的 $dV/dt$ 能力由下式给出：

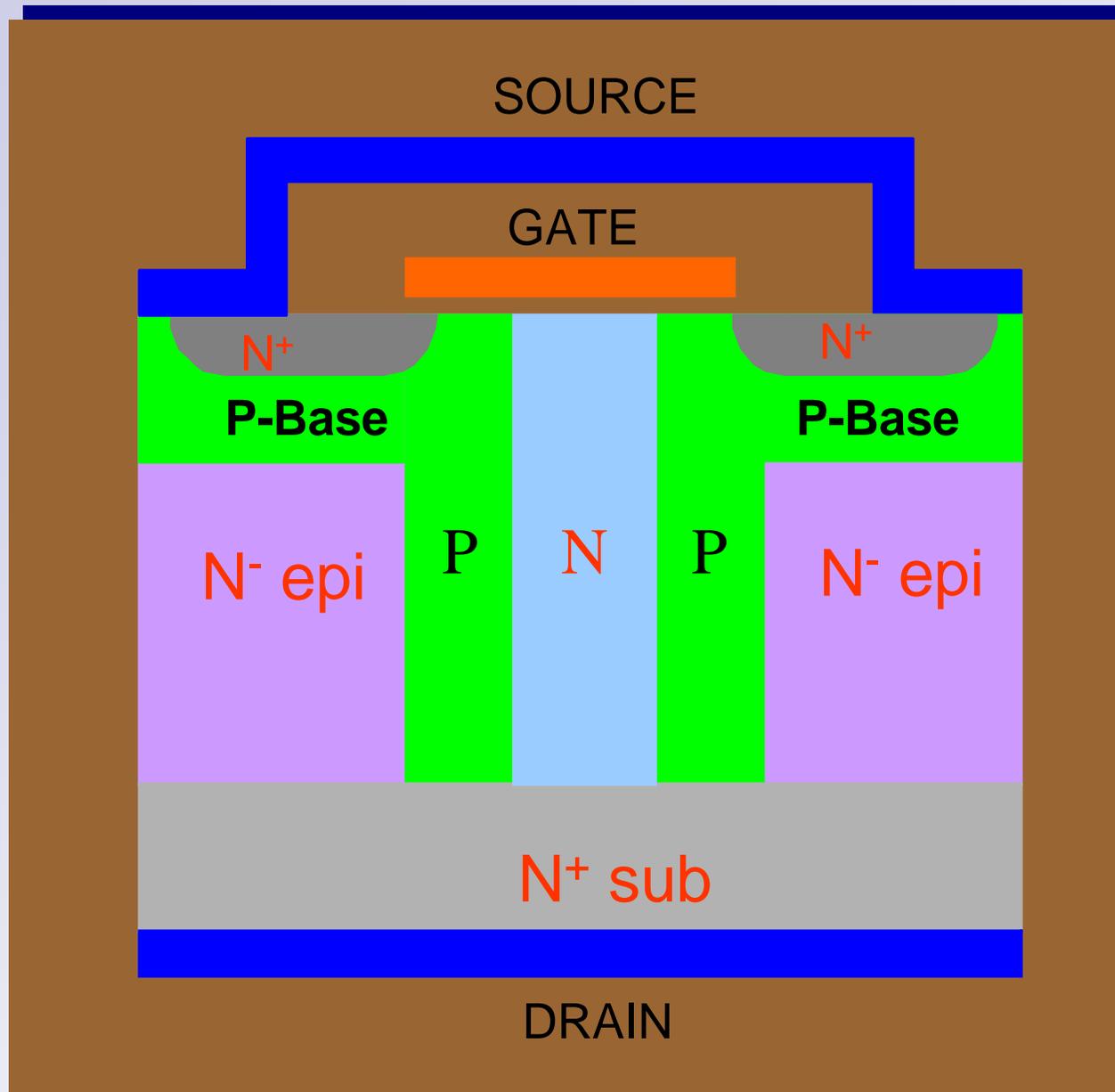
$$\frac{dV}{dt} = \frac{V_{bi}}{R_B C_{DB}}$$

- 在这种情况下，要增加 $dV/dt$ 能力，需采用body区重掺杂，降低基区电阻。如第一种机理，随着温度的升高，增大，下降，器件 $dV/dt$ 能力变得更差，更容易导致器件的毁坏。

# 5.6 CoolMOS



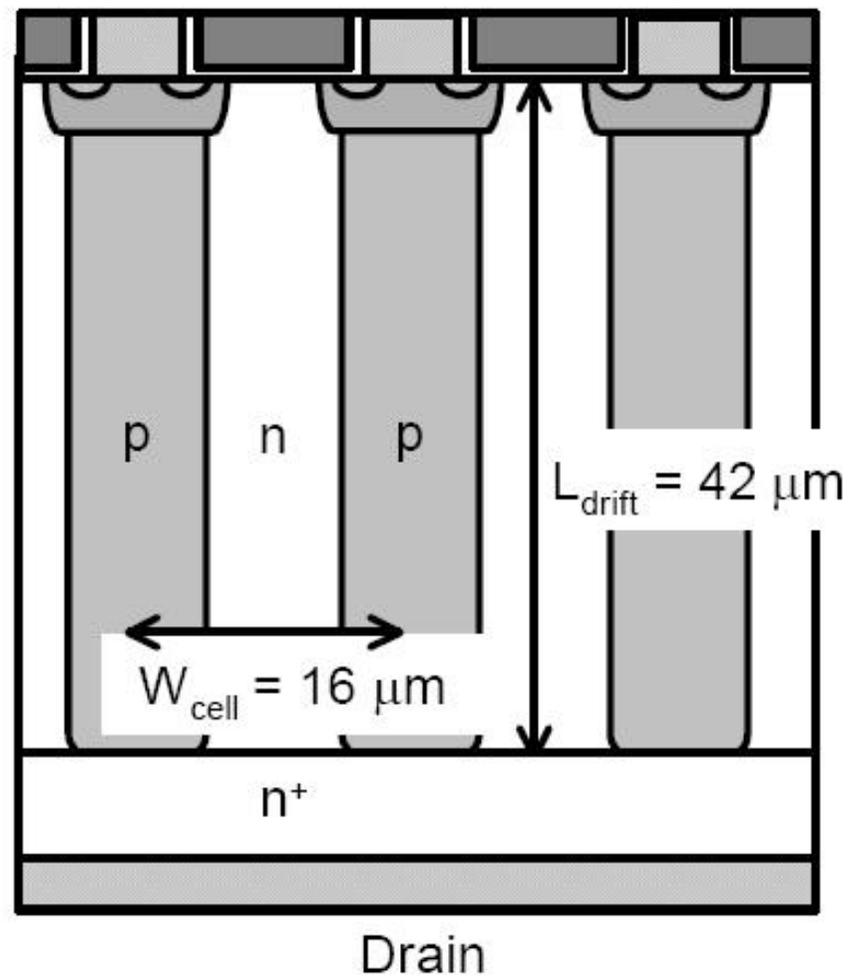


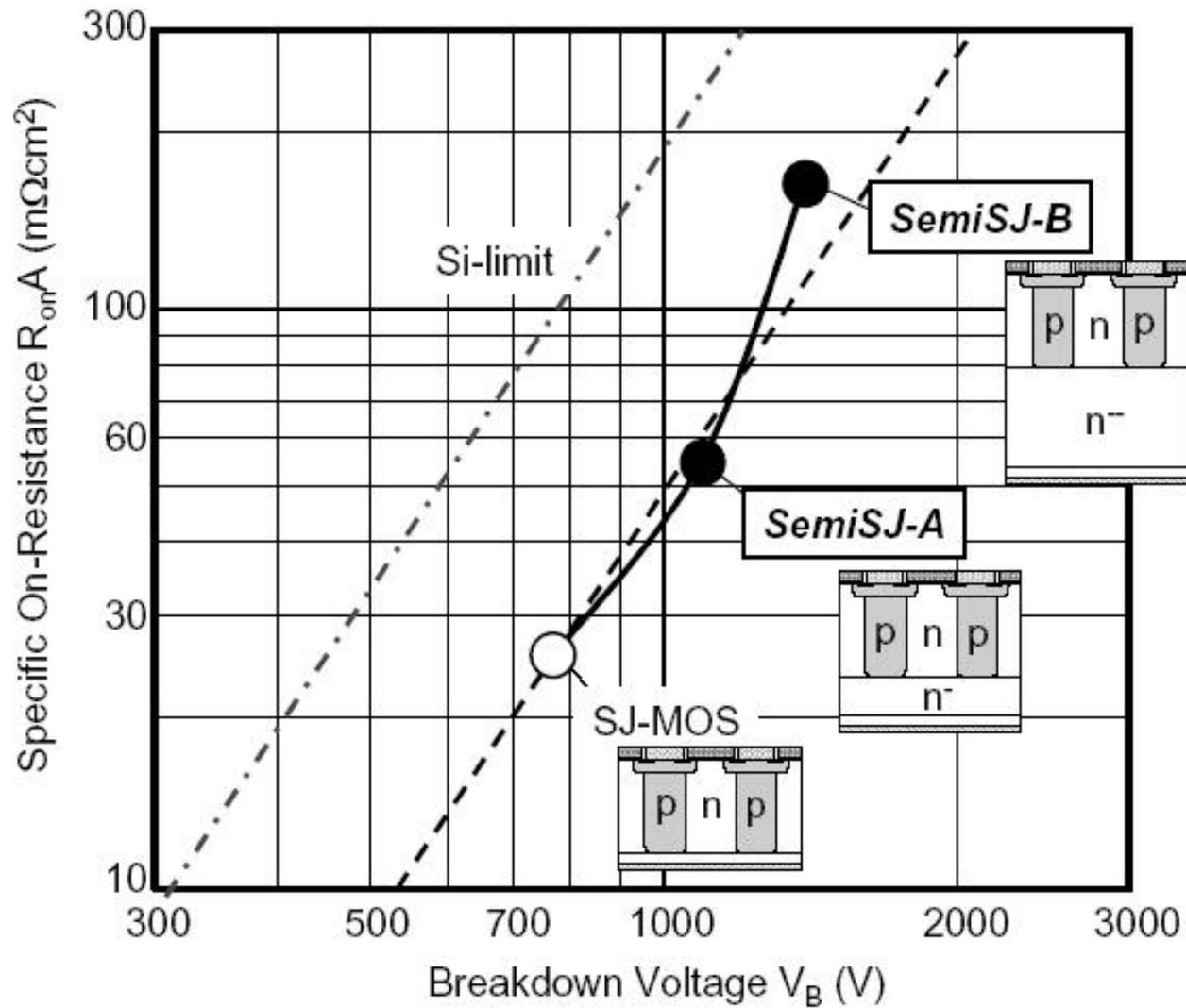


# A $20\text{m}\Omega\text{cm}^2$ 600 V-class Superjunction MOSFET

Wataru Saito, Ichiro Omura, Satoshi Aida, Shigeo Koduki,  
Masaru Izumisawa, Hironori Yoshioka and Tsuneo Ogura

Toshiba Corp. Semiconductor Company,  
Gate Source





Over 1000V Semi-Superjunction MOSFET with Ultra-Low On-Resistance below the Si-Limit

Wataru Saito, Ichiro Omura, Satoshi Aida, Shigeo Koduki, Masaru Izumisawa, Hironori Yoshioka and Tsuneo Ogura

ISPSD-2005

Technology Lab