

N 型金氧半電晶體閘極端之高電位  
造成高低壓共容輸出入界面電路的低靜電放電防護耐受度之研究

台灣積體電路製造股份有限公司  
李建興,吳宜勳

目錄

- 1.摘要
- 2.簡介
- 3.實驗結果
- 4.靜電放電(ESD)保護機制
- 5.結論

摘要

高低壓共容輸出入界面(High-Voltage Tolerance I/O)電路的靜電放電(ESD)防護能力遠低於一般傳統的輸出入電路(Regular I/O Circuits)。造成高低壓共容輸出入界面電路的低靜電放電防護能力的主要原因，就是串疊結構的 N 型金氧半電晶體中的第一個閘極(Gate)端，將被耦合到一高電位。如此高耦合電位將會觸發較高的電晶體通道電流(Channel Current)。高的通道電流是造成串疊結構 N 型金氧半電晶體低靜電放電防護能力的主要原因之一。除了發現閘極端的電位增加是造成低靜電放電防護能力外。另有一項因素，增加汲極(Drain)端的非金屬矽化區(Non-Silicide)的寬度，將可有效降低閘極端高電壓對靜電放電不利的影響。掌握以上兩項因素將可有效提升高低壓共容輸出入界面電路的靜電放電防護能力。

簡介

傳統上，高低壓共容輸出入界面(High-Voltage Tolerance I/O，以下簡稱 HVT I/O)電路考慮到閘極可靠度的問題，需使用 N 型金氧半電晶體的串疊結構。在正常 IC 運作時，第一級 NMOS 的閘極端接到 VCC 電源端，第二級的閘極端接到訊號控制端。

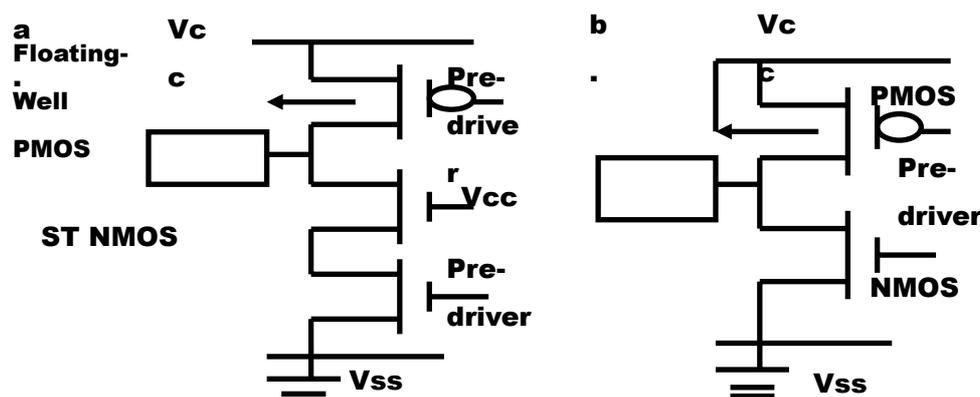


圖 1 (a) HVT I/O 電路的線路圖，(b) 傳統輸出入電路的線路圖。

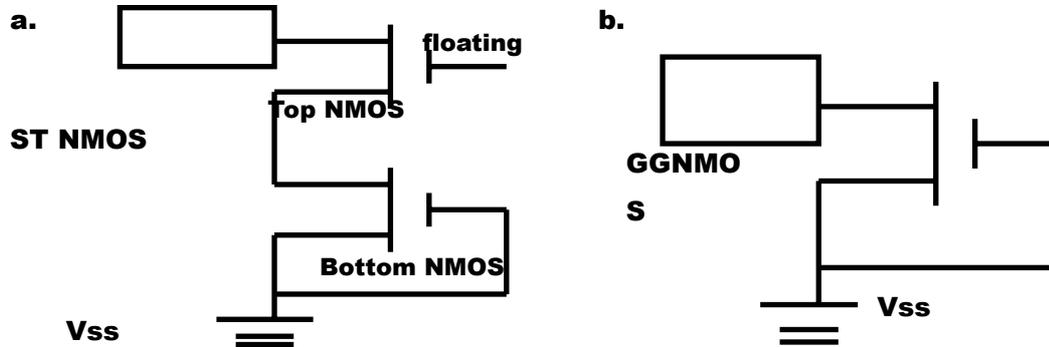


圖 2 (a) ST NMOS 的連接線路，(b) 閘極端接地的單級 NMOS 的線路(Gate Ground NMOS, GGNMOS)

HVT I/O 電路的線路連接如圖 1-[a]所示。一般傳統輸出入電路(Regular I/O Circuits)的線路圖如圖 1[b]所示。根據已發表的相關文獻顯示[1-3]，HVT I/O 電路的靜電放電保護能力遠低於一般傳統輸出入電路。

較早的相關文獻研究，主要的論點大多集中在串疊結構 N 型金氧半電晶體(以下簡稱 ST NMOS)將會有較高的觸發電壓(Trigger Voltage,  $V_{t1}$ )及驟回崩潰電壓(Snapback Voltage  $V_{sp}$ )，導致 HVT I/O 電路的靜電放電保護能力較一般傳統輸出入電路差。圖 2-(a)是 ST NMOS 的連接線路，圖 2-(b)是閘極端接地的單級 NMOS 的線路(GGNMOS)。若這二個線路的汲極端的阻隔金屬矽化層(Resist Protection Oxide, 以下簡稱 RPO)寬度相等，則以上這兩線路的二次崩潰電流值(Second Breakdown Current,  $I_2$ )非常接近。圖 3 是單級 NMOS(GGNMOS)及 ST NMOS 的電壓電流量測圖，無論汲極端的阻隔金屬矽化層(RPO)寬度是 1 或  $2\mu\text{m}$ ，兩者的二次崩潰電流值  $I_2$  相差不大。

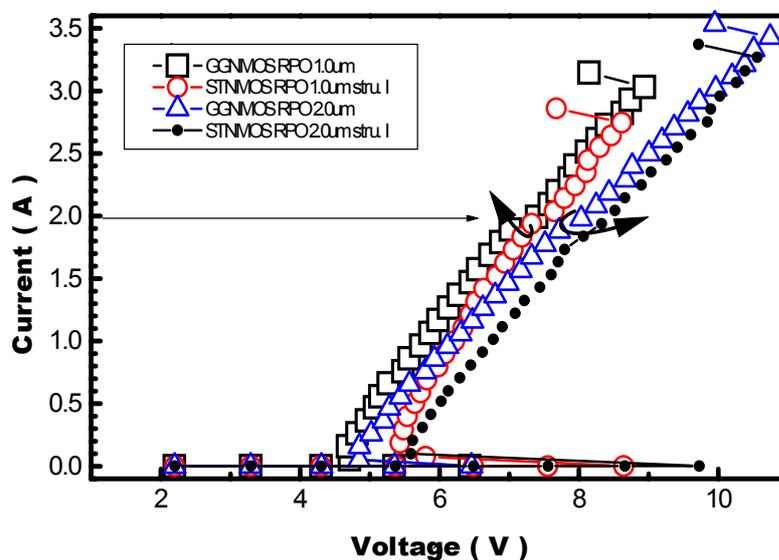


圖 3 單級 NMOS 及 ST NMOS 的 TLP-IV 量測圖

比較 ST NMOS(圖 2-(a))與 HVT I/O 電路 (圖 1-(a))，可得知兩者最大差別在於 ST NMOS 沒有浮接 N 井(floating N-Well)的 P 型金氧半電晶體(PMOS)。當正極性靜電放電脈衝在輸出入墊(I/O PAD)對接地端  $V_{ss}$  進行能量釋放時，HVT I/O 電路將依靠 ST NMOS 來排放靜電放電電流。由於 HVT I/O 電路中的 ST NMOS 的觸發電壓  $V_{th}$  與驟回崩潰電壓  $V_{sp}$  過高，造成 HVT I/O 電路的 ESD 保護能力不佳。圖 2-(a)和圖 1-(a)的 ST NMOS 主要差別在於第一級 NMOS 的閘極端接線，圖 2-(a)ST NMOS 的閘極端是浮接(floating)，但圖 1-(a)中的 STNMOS 第一級閘極端是接到電源端  $V_{cc}$ 。雖然在出入墊(I/O pad)對接地端  $V_{ss}$  進行放電測試時，均是使用 ST NMOS 來排放 ESD 電流，但在靜電放電的過程中卻有很大差異的現象。所以作者嘗試觀察第一級閘極端耦合的電壓值對靜電放電保護的影響。

爲了更詳細分析閘極端電壓對 HVT I/O 電路造成效應作者嘗試以下幾種分析方法:

- I 作實際電壓電流量測(量測系統如圖 4)，測量第一級閘極端實際耦合電壓值。
- II 利用模擬軟體(Suprem-4 與 Medici)，分析在不一樣閘極耦合電壓下的 ESD 電流分佈。

<I> 量測儀器實驗方法:

- a. 以傳輸線觸波產生器(Barth 4002, Transmission-Line Pulse, 以下簡稱 TLP)來量測觸發電壓  $V_{th}$ 、驟回崩潰電壓  $V_{sp}$  以及二次崩潰電流值  $I_{l2}$ 。整套 TLP 系統如圖 4 所示，TLP 系統包含以下裝置：電流脈衝產生器，數位示波器，電流計及高壓電源供應器，TLP 系統提供一個脈衝寬度(pulse width)是 100ns 的電流方波。電流方波的振幅，在量測中次遞增加。
- b. 使用 KeyTek 370 靜電放電測試器，測試元件的人體模擬放電模型(Human Body Model, HBM)與機械模擬放電模型(Machine Model, MM)靜電放電耐受度。元件故障的標準是以汲極接面漏電流值(drain junction leakage current)需小於  $1\mu A$ 。

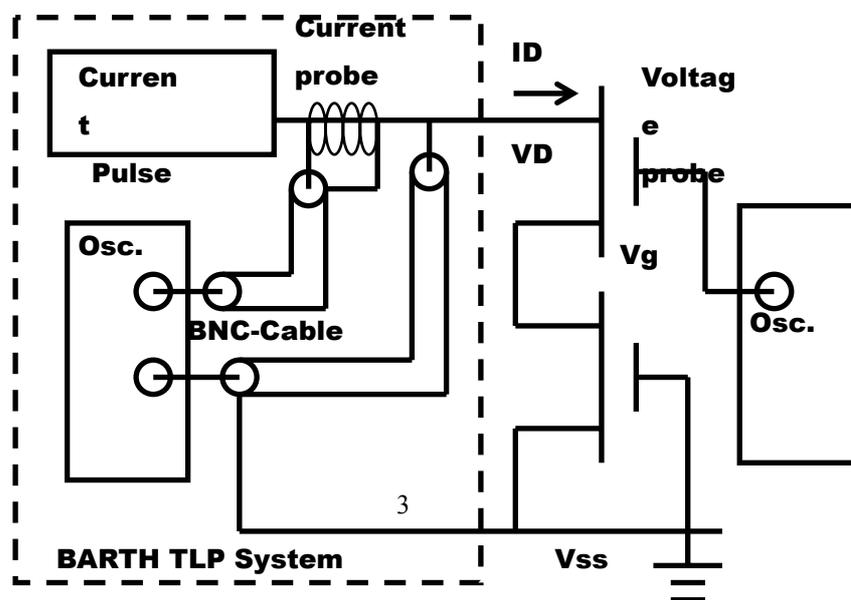


圖 4 作實際電壓電流量測系統，測量第一級閘極端實際耦合電壓值。

<II> 量測的元件

本實驗測試元件是以多指叉狀(multi-finger ladder)結構進行佈局。以具有雙閘極氧化層(dual-gate-oxide)及矽化鈷金屬矽化物(CoSi<sub>2</sub> silicide)製程製作測試元件，測試元件的汲極端被覆蓋上阻隔金屬矽化層(RPO)，增加汲極端的串聯寄生電阻值(ballast resistance)，以提昇元件的 ESD 保護能力。

由於元件的 ESD 保護能力與阻隔金屬矽化層(RPO)佈局有很大的相關性，在本實驗中設計兩種不一樣的阻隔金屬矽化層(RPO)佈局方式，來分析阻隔金屬矽化層(RPO)對元件受到 ESD 衝擊後的影響。

ST NMOS 元件結構<I>如圖 5-(a)所示，沒有金屬矽化物沉積的區域，從汲極端的接觸點到第二級 NMOS 的多晶矽閘極邊緣，由於該區域為非金屬矽化區(non-silicide)，將會造成該區域電阻值變大。ST NMOS 元件結構<II>如圖 5-(b) 所示，非金屬矽化區僅局限在汲極端的接觸點到第一級 NMOS 的多晶矽閘極邊緣。

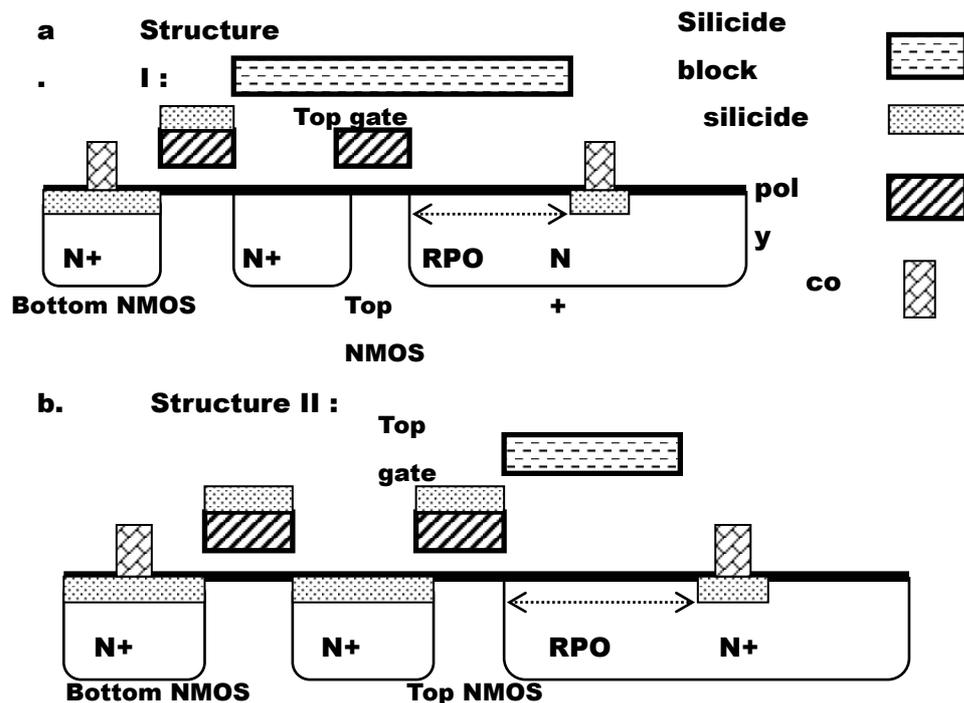


圖 5 ST NMOS 結構: (a) 非金屬矽化區從汲極端接觸點到第二級 NMOS 的閘極邊緣，(b) 非金屬矽化區從汲極端接觸點到第一級 NMOS 的閘極邊緣。

實驗結果

<a> TLP 電壓電流特性及 ESD 保護能力之比較

實驗線路分別是 HVT I/O 電路(圖 5-(a))及 ST NMOS(圖 2-(a))。

1.圖 1-(a)與圖 2-(a)的線路，以圖 5-(a)元件結構的進行佈局，且圖 5-(a)中阻隔金屬矽化層(RPO)寬度是  $1\mu\text{m}$ ，所測量到的 TLP 電壓電流曲線如圖 6 所示。由圖 6 的結果可知，以圖 5-(a)結構且阻隔金屬矽化層(RPO)是  $1\mu\text{m}$  的 HVT I/O 電路，其二次崩潰電流值  $I_2$  遠小於 ST\_NMOS，且 HVT I/O 電路的驟回崩潰電壓  $V_{sp}$  遠大於 ST NMOS。

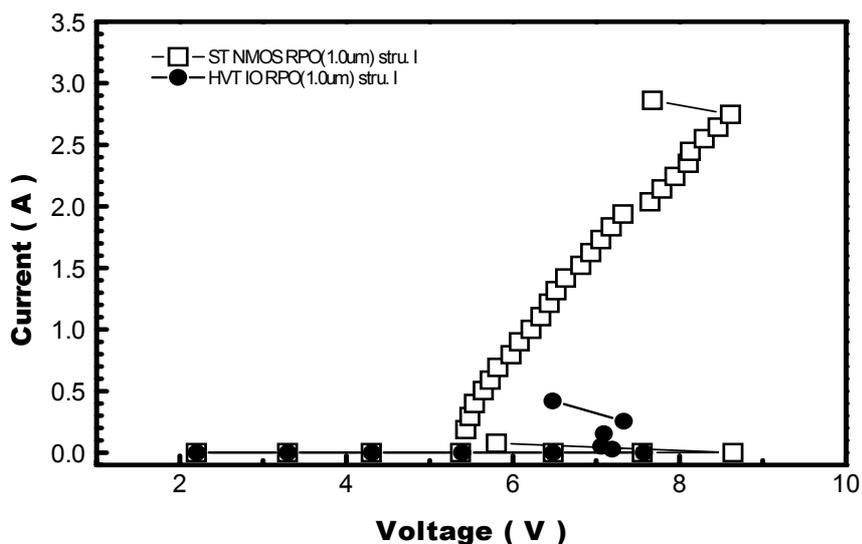


圖 6 ST NMOS 與 HVT I/O 電路的 TLP 電壓電流曲線圖(元件結構如圖 5-(a)所示，阻隔金屬矽化層(RPO)寬度為  $1\mu\text{m}$ )。

2.圖 7 是比較同一組線路(圖 1-(a)和圖 2-(a))及元件結構(圖 5-(a))，但是阻隔金屬矽化層(RPO)寬度從  $1\mu\text{m}$  拉到  $2\mu\text{m}$ 。圖 7 中 HVT I/O 電路的二次崩潰電流值  $I_2$  只略小於 ST NMOS，而且驟回崩潰電壓  $V_{sp}$  則幾乎沒有差別。

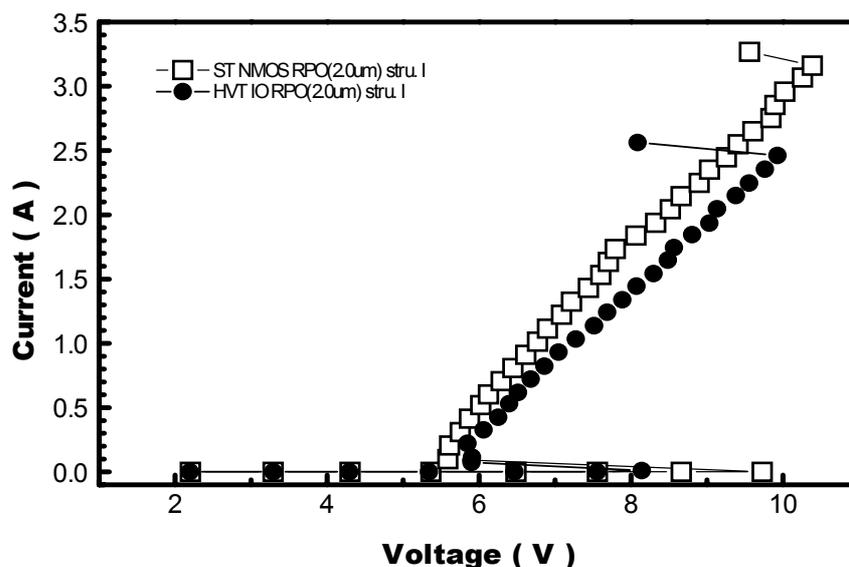


圖 7 ST NMOS 與 HVT I/O 電路的 TLP 電壓電流曲線圖(元件結構如圖 5-(a) 所示，阻隔金屬矽化層(RPO)寬度為 2 $\mu\text{m}$ )。

3.圖 8 是改變阻隔金屬矽化層(RPO)的結構(如圖 5-(b)所示)的 TLP 電壓電流曲線圖，由結果可知阻隔金屬矽化層(RPO)對 ESD 的影響，當阻隔金屬矽化層(RPO)的結構，由圖 5-(a)變成圖 5-(b)後，HVT I/O 電路的二次崩潰電流值  $I_{t2}$  減少大約 1.2A。

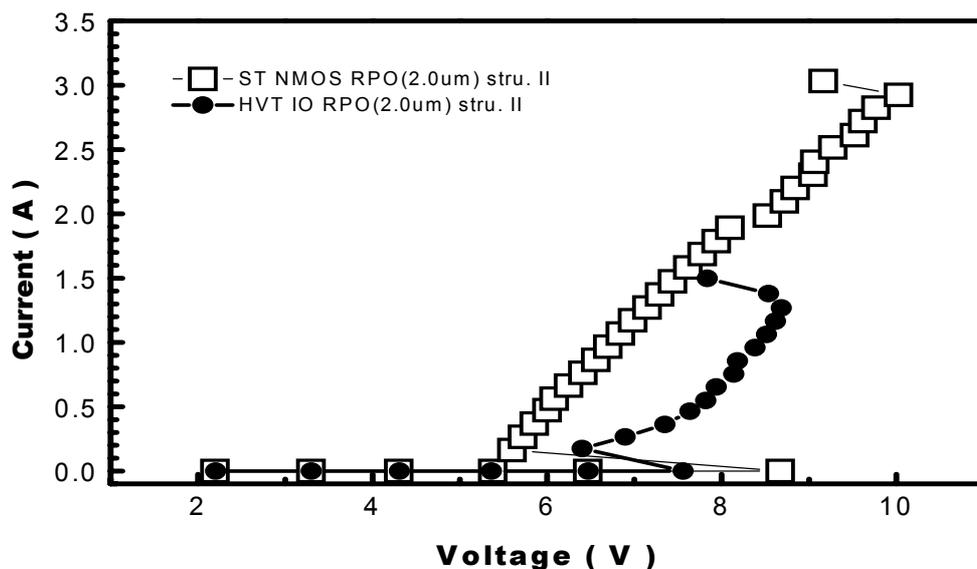


圖 8 ST NMOS 與 HVT I/O 電路的 TLP 電壓電流曲線，其中阻隔金屬矽化層(RPO) 之結構如圖-5(b)所示。

4 總結圖 6 至圖 8 的 TLP 電壓電流曲線圖，將所有測試元件的觸發電壓  $V_{t1}$ ，驟回崩潰電壓  $V_{sp}$ ，二次崩潰電流  $I_{t2}$  以及 HBM，MM 的結果，均詳列於表-1 之中。

:

	Fig.	Stru.	RPO	$V_{t1}$	$V_{sp}$	$I_{t2}$	HBM	MM
HVT	1a	I	1 $\mu\text{m}$	7.57V	7.06V	0.25A	<.5KV	<50V
ST N	2a	I	1 $\mu\text{m}$	8.64V	5.43V	2.75A	5.5KV	250V
HVT	1a	I	2 $\mu\text{m}$	8.14V	5.9V	2.46A	5KV	250V
STN	2a	I	2 $\mu\text{m}$	9.72V	5.58V	3.16A	6KV	300V
HVT	1a	II	2 $\mu\text{m}$	7.55V	6.4V	1.38A	2.5KV	150V
STN	2a	II	2 $\mu\text{m}$	8.67V	5.6V	2.92A	5.5KV	250V

表-1 所有測試元件的觸發電壓  $V_{t1}$ ，驟回崩潰電壓  $V_{sp}$ ，二次崩潰電流  $I_{t2}$  以及 HBM，MM 結果。

由表-1 的結果，可知 ST NMOS 具有較高的觸發電壓值及二次崩潰電流值以及較低的驟回崩潰電壓  $V_{sp}$ ，且 HBM 及 MM 的耐受度較 HVT I/O 電路高。由元件結構 I 來分析，加大汲極端的阻隔金屬矽化層(RPO)寬度，將可有效

提高 HVT I/O 電路的 ESD 耐受度。相反的，汲極端的阻隔金屬矽化層(RPO) 寬度對於 ST NMOS 元件的 ESD 耐受度並沒有多大的影響。

<b> 實際元件各端點電位量測分析

比較線路 HVT I/O 電路(圖 1-(a))與 ST NMOS(圖 2-(a))，阻隔金屬矽化層(RPO) 結構如圖 5-(a)所示，且阻隔金屬矽化層(RPO)寬度  $1\mu\text{m}$ 。

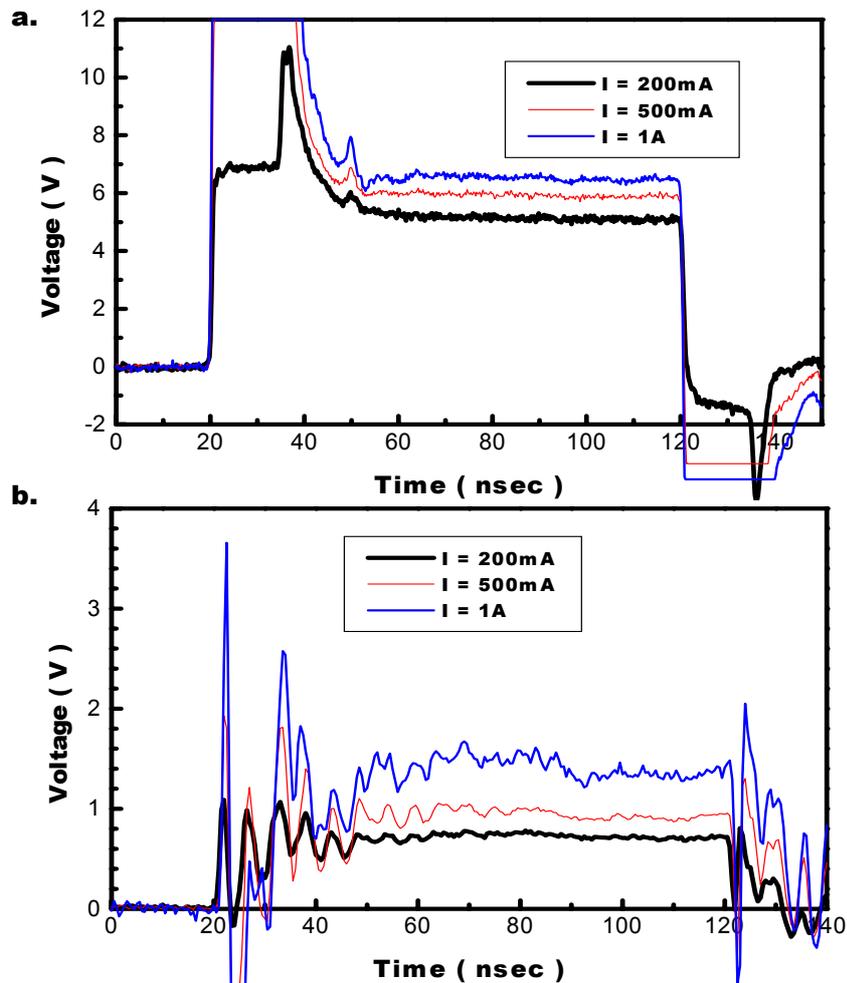
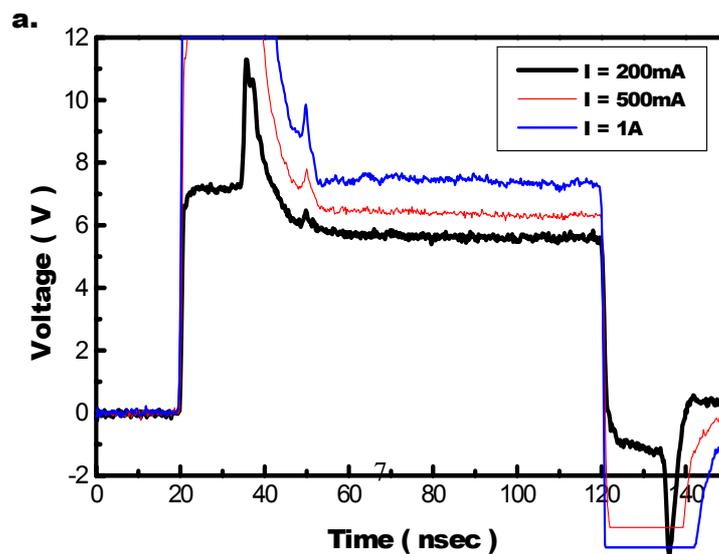


圖 9 (a) 量測 ST NMOS 的第一級 NMOS 的汲極端電壓的時間-電壓曲線圖，(b) 量測 ST NMOS 的第一級 NMOS 的閘極端電壓的時間-電壓曲線圖。



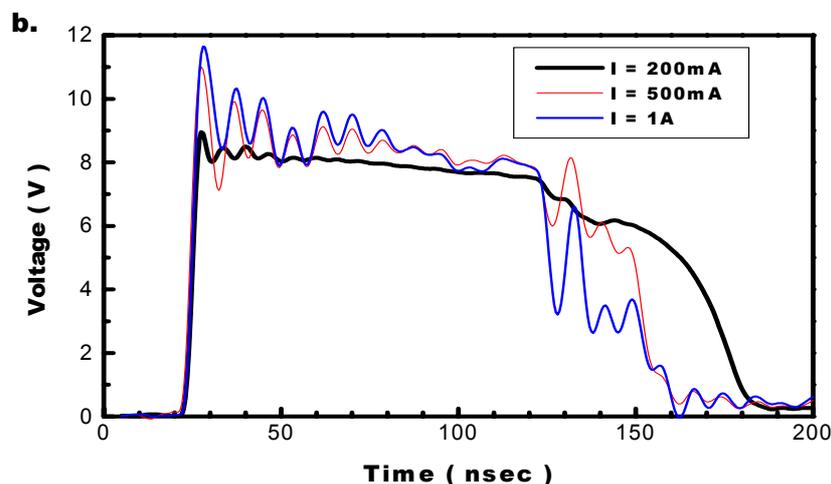


圖 10 (a) 量測 HVT I/O 電路內建 ST NMOS 的第一級 NMOS 的汲極端電壓的時間-電壓曲線圖，(b) 量測 HVT I/O 電路內建 ST NMOS 的第一級 NMOS 的閘極端電壓的時間-電壓曲線圖。

由圖 9 可知，當 ST NMOS 進入驟回(snapback)狀態後，第一級 NMOS 汲極端電壓大約在 5~7 伏特。當衝擊電流值(stress current)介於 200mA 到 1A 時，第一級 NMOS 閘極端電壓在驟回(snapback)狀態發生後，閘極電壓值約在 0.8~1.5 伏特之間。圖 10 是 HVT I/O 電路中內建的 ST NMOS 的第一級 NMOS 的汲極端及閘極端量測到的電壓-時間曲線圖。比較圖 10-a 與圖 9-a，發現無論是 ST NMOS 或內建在 HVT I/O 電路中的 ST NMOS 的汲極端電壓相差並不大。但主要差別在閘極端的電壓，由圖 10-(b)中可知 HVT I/O 電路中 ST NMOS 的閘極電壓會耦合一電壓值約為 8 伏特的高電壓，這是造成 HVT I/O 電路的 ESD 特性不佳的主因。

## 靜電放電(ESD)保護機制

### <a>HVT I/O 電路

圖 11 是 HVT I/O 電路以及寄生元件的線路圖，它的浮接(floating) PMOS(P1)有二個寄生二極體，其中一個汲極到 N 井(N-Well)的寄生二極體，另一個是 N 井(N-Well)對源極(Source)端的寄生二極體。此外，在電源端 Vcc 對接地端(Ground)上有一個寄生電容 Cc，該電容是由 N 型主動區(N-OD)與 P 型基底(P-substrate)所產生的接面電容(junction capacitor)。

在 ESD 測試過程中，當測試元件還沒進入驟回(snapback)狀態以前，ESD

電流將會從 PAD 流經 PMOS(P1) 充電寄生電容  $C_c$ 。因電容  $C_c$  電位的提升，造成第一級 NMOS 的閘極端與  $V_{cc}$  端的電壓同步上升。當 HVT I/O 電路進入驟回(Snapback)狀態時，ST NMOS 中的寄生 npn 電晶體(npn BJT)已經打開。但是，此時 HVT I/O 電路中的 ST NMOS 的第一級閘極端電壓( $V_{g(top)}=V_{cc}$ )高於 PAD 端(PAD 電壓=第一級 NMOS 的汲極電壓)電壓。當 PAD 端電壓低於電源端  $V_{cc}$  時，PMOS(P1)將會關閉，所以由 PAD 端灌入的 ESD 電流將全部經由 HVT I/O 電路中的 ST NMOS 流向接地端  $V_{ss}$ 。由圖 10-(b)可知電源端  $V_{cc}$  及第一級 NMOS 的閘極端在驟回(snapback)狀態發生後，將被充電到 8~9 伏特的電壓值。由於儲存在寄生電容  $C_c$  中的電荷沒有放電途徑，所以第一級 NMOS 閘極端將有一段時間維持在一高電位，直到  $C_c$  的漏電流(leakage current)排放完電容中電荷為止。根據圖 10-(b)的量測結果，可以看出第一級 NMOS 閘極端維持在高壓的時間，已經超過 TLP 輸出的電流脈衝寬度。由於第一級 NMOS 的閘極端所耦合的電壓過高，造成較大的通道電流流經第一級 NMOS，使得元件局部區域的因溫度過高而容易毀損，造成 HVT I/O 電路的 ESD 特性不佳。

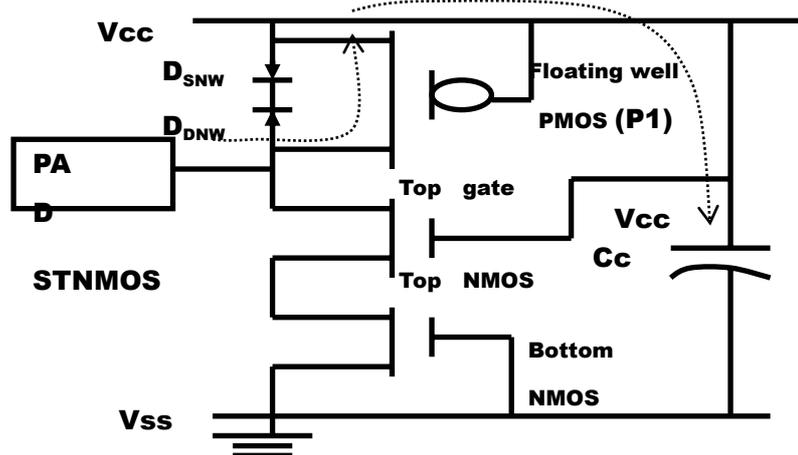


圖 11 TLP 測試中 HVT I/O 電路 的寄生等效電路

<b.> ESD 特性不佳起因於閘極端耦合電壓引發高通道電流

由圖 1-(a)跟以上各單元討論，因為 HVT I/O 電路的 PMOS 的 N 井(N-well)是浮接(floating)狀態，所以當正極性 ESD 能量對接地端  $V_{ss}$  進行能量釋放時，ESD 電流從 PAD 經由 PMOS(P1)、電源端  $V_{cc}$  到接地端  $V_{ss}$  並沒有放電路徑，導致所有的 ESD 電流均是經由 HVT I/O 電路中內建 ST NMOS 來排放。HVT I/O 電路中內建 ST NMOS(圖 1-(a))與 ST NMOS(圖 2-(a))最主要差異在於 HVT I/O 電路內建 ST NMOS 的第一級 NMOS 閘極端接到電源端  $V_{cc}$ 。然而，ST NMOS 的第一級閘極是浮接狀態。所以，我們就以 ST NMOS(圖 2-(a))為主體，改變它的第一級閘極端電壓值，觀察 ST NMOS 中第一級 NMOS 的通道電流的大小以及寄生 npn 電晶體的電流分佈。

由圖 9-(b)及圖 10-(b)所示，第一級 NMOS 的閘極端將被耦合到 1.5V(圖 2-(a)的架構)及 8V(圖 1-(a)的架構)，作者以第一級 NMOS 閘極端 1.5V 及 8V 來作電流分佈模擬。圖 12-(a)模擬條件是：串聯 NMOS 第一級 NMOS 閘極端設定 8V 電壓，第二級 NMOS 設定 0 伏特電壓，第二級 NMOS 的源極(Source)及基底(P-Sub)接到接地端 Vss。從第一級 NMOS 汲極端灌入  $1\text{mA}/\mu\text{m}$  的電流。由模擬電流分佈可清楚知道，絕大部分的電流集中於第一級 NMOS 的通道區域，極少部分的電流經由 N+/P-sub/N+的寄生 npn 電晶體流到接地端 Vss。但是，在圖 12-(b)中，若第一級 NMOS 閘極電壓設定在 1.5 伏特，其餘條件均與圖 12-(a)相同，其 ESD 電流模擬結果則是有大部的電流是經由 N+/P-sub/N+的寄生 npn 電晶體流到接地端 Vss，僅有少量的電流集中在 NMOS 的通道區。根據圖 12-(a)與 12-(b)的模擬結果，可更清楚了解閘極端的高電壓引發大電流集中在第一級 NMOS 通道區域，是造成 HVT I/O 電路的 ESD 特性不佳的主因。

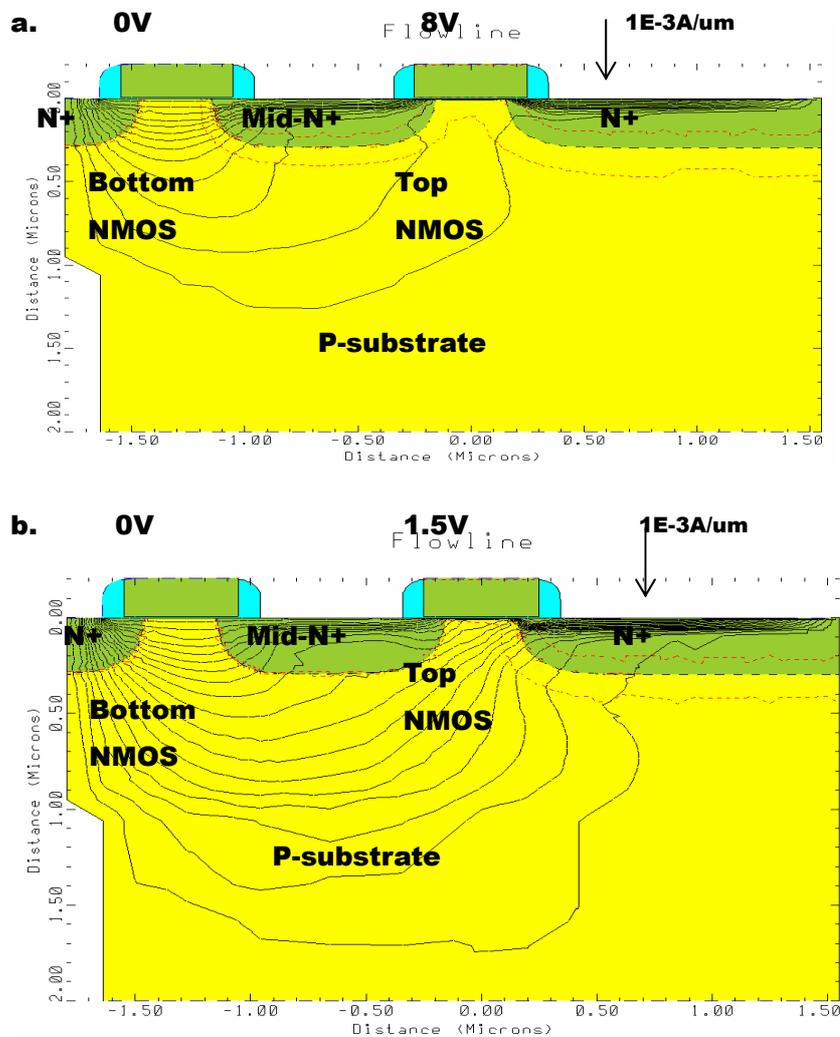


圖 12 ESD 電流模擬圖。其中 (a) 串聯 NMOS 第一級 NMOS 閘極端電壓為 8V，第二級 NMOS 閘極端電壓為 0V。在 (b) 中，第一級 NMOS 閘極電壓為 1.5V，

其餘條件均與 (a) 相同。

根據圖 12 的模擬結果以及 James W. Millers[2]的報告，可以得出如圖 13 的等效電路圖，這等效電路圖包含一個開啓的 NMOS(N1)和一個關閉的 NMOS(N2)，以及三個寄生 npn 電晶體(npn-1, npn-2, npn-3)。假定輸入一個固定 ESD 電流( $I = I_N + I_1 + I_2$ )，如果第一級 NMOS(N1)閘極電壓愈高，則通道電流  $I_N$  將會愈大，且流經寄生 npn 電晶體(npn-1, npn-2)的電流( $I_1 + I_2$ )將會愈小。

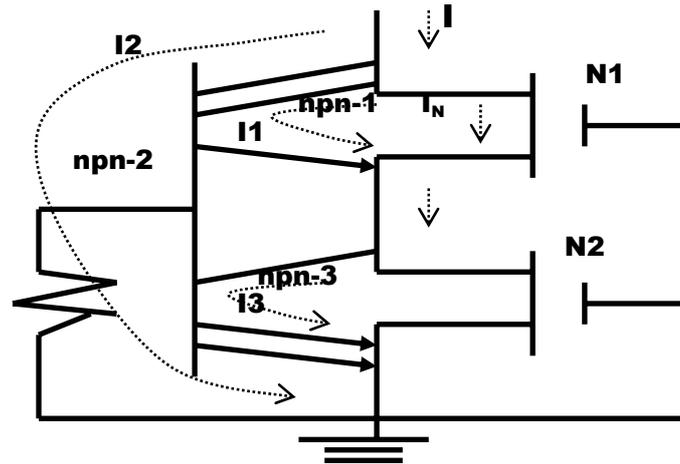


圖 13 ST NMOS 的等效電路圖。

<c.>ESD 保護能力與阻隔金屬矽化層(RPO)寬度的關係。

阻隔金屬矽化層(RPO)結構如圖 5-(a)所示，汲極端阻隔金屬矽化層(RPO)寬度(w)影響 ESD 保護能力的原因如下：

1.增加阻隔金屬矽化層(RPO)寬度將會增加 ST NMOS 的汲極端上的串聯電阻值，如此將會增加它的觸發電壓值  $V_{th}$  及驟回電壓值  $V_{sp}$ 。因汲極端有較高的串聯電阻，將使大部份 ESD 電流流經 N+/P-sub 的介面(junction)，也就是經由寄生的 npn 電晶體放電，如此可降低 NMOS 表面熱度，以有效提高 ESD 能力。因此，阻隔金屬矽化層(RPO)寬度從  $1\mu\text{m}$  加大到  $2\mu\text{m}$ ，將可有效提高元件的 ESD 耐受度(表-1)。

2.若第一級 NMOS 的源極端及多晶矽(poly)閘極，有覆蓋一層低阻值的金屬矽化物(Silicide)時，則元件的串聯電阻將會降低。但是，沒有高串聯電阻在第一級 NMOS 的源極端(相當於第二級 NMOS 的汲極端)，將使 ESD 電流經由第一級 NMOS(N1)與寄生於第二級 NMOS(N2)元件中的 npn 電晶體(npn-3)排放。假若第一級閘極電壓是 8V，將使大部份 ESD 電流集中在第一級 NMOS 的通道，以致產生較低的 ESD 結果。假如沒有金屬矽化物(Silicide)層覆蓋在源極端及多晶矽(poly)閘極(圖 5-(a))，且阻隔金屬矽化層(RPO)是  $2\mu\text{m}$ ，即使第一級 NMOS(N1)的閘極電壓達 8V，仍然只有一小部分的 ESD 電流流經打開的 NMOS(N1)及寄生

nnp 電晶體(nnp-3)，所有的 ESD 電流將流經 nnp-2 電晶體，因為高串聯電阻使甚少 ESD 電流流經第一級 NMOS(N1)。

<d.>故障分析

圖 14 是 ST NMOS 的 SEM 照片。由 SEM 的照片中，可清楚看到遭到 ESD 破壞的地方是在第一級 NMOS (N1)。遭到破壞的區域是從第一級 NMOS (N1)的汲極接觸點(contact)到第一級 NMOS (N1)的源極。圖 15 是故障點的元件結構剖面面(cross-section view)。從以上兩張故障分析照片，可知大部分的 ESD 電流流經第一級 NMOS 通道。同時，根據兩張故障分析照片，亦證明 ESD 電流流經第一級 NMOS (N1)的表面通道，造成高熱集中在第一級 NMOS (N1)，導致第一級 NMOS (N1) 的汲極至源級的區域故障[4]。

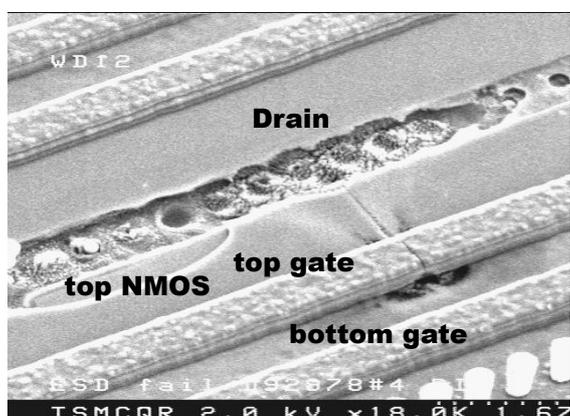
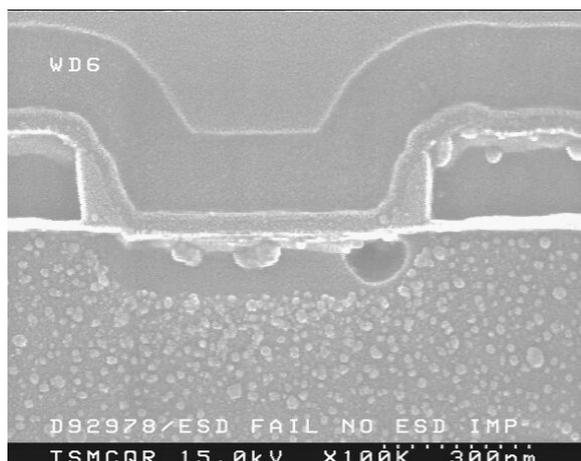


圖 14 利用 SEM 所發現到的 ST NMOS 故障點(failure site)。

a.



b.

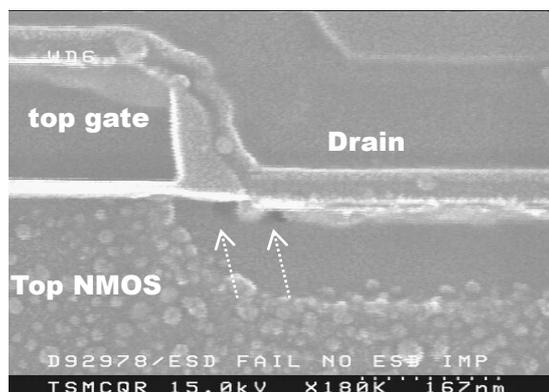


圖 15 ST NMOS 故障點的元件結構剖面(cross-section view)。

## 結論

對於 HVT I/O 電路或 ST NMOS 均使用兩級串聯的 N 型金氧半電晶體來導去 ESD 電流。然而造成 HVT I/O 電路 ESD 特性不如 ST NMOS 其主要原因為：在 ESD 測試中，HVT I/O 電路的寄生接面電容(junction capacitor)  $C_c$  會耦合一高電壓(約 8V)到第一級 NMOS 的閘極，造成大量 ESD 電流集中在第一級 NMOS 的通道區域，這種電流集中現象所產生的高熱，使得第一級 NMOS 容易因此而損毀。對 ST NMOS 而言，由於第一級閘極的耦合電壓不會有過高的問題，所以，ST NMOS 的 ESD 特性較 HVT I/O 電路佳。此外，適當的加寬覆蓋於兩級串聯的 N 型金氧半電晶體上的阻隔金屬矽化層(RPO)寬度，亦是影響元件 ESD 特性的另一個重要因素。

## Reference:

- [1] Warren R. Anderson and David B. Krakauer, "ESD protection for mixed-voltage I/O using NMOS transistors stacked in a cascode configuration," in *Proc. ESD/EOS Symp.*, 1998, pp. 54-62.
- [2] James W. Miler, Michael G. Khazhinsky, and James C. Weldon, "Engineering the cascoded NMOS output buffer for maximum  $V_{th}$ ," in *Proc. ESD/EOS Symp.*, 2000, pp. 308-317.
- [3] M.-D. Ker and C.-H. Chang, "Stacked-NMOS triggered silicon-controlled rectifier for ESD protection in high/low-voltage-tolerant I/O interface," *IEEE Electron Device Lett.* vol. 23, pp. 363-365, Jun. 2002.
- [4] C. Hashimoto, K. Okuyama, K. Kubota, and H. Ishizuka, "Degradation of I/O devices due to ESD-induced dislocations," in *IEDM Tech. Dig.*, 1994, pp.459-462.