

國立成功大學
電機工程學系研究所
碩士論文

一個六位元每秒十億次取樣頻率的
類比/數位轉換器

A 6-bit 1-Gsample/sec Analog-to-Digital Converter

研究生：吳健福 Student：Jian-Fu Wu

指導教授：林克見 Advisor：Keh-La Lin

Department of Electrical Engineering

National Cheng Kung University

Tainan, Taiwan, R. O. C.

Dissertation for Master

July 2004

中華民國九十三年七月

博碩士論文授權書

(國科會科學技術資料中心版本 93.2.6)

本授權書所授權之論文為本人在 成功 大學(學院) 電機 系所

儀器系統 組 92 學年度第 2 學期取得 碩 士學位之論文。

論文名稱：一個六位元每秒十億次取樣頻率的類比/數位轉換器

同意 不同意

本人具有著作財產權之論文全文資料，授予行政院國家科學委員會科學技術資料中心(或其改制後之機構)、國家圖書館及本人畢業學校圖書館，得不限地域、時間與次數以微縮、光碟或數位化等各種方式重製後散布發行或上載網路。

本論文為本人向經濟部智慧財產局申請專利(未申請者本條款請不予理會)的附件之一，申請文號為：_____，註明文號者請將全文資料延後半年再公開。

同意 不同意

本人具有著作財產權之論文全文資料，授予教育部指定送繳之圖書館及本人畢業學校圖書館，為學術研究之目的以各種方法重製，或為上述目的再授權他人以各種方法重製，不限地域與時間，惟每人以一份為限。

上述授權內容均無須訂立讓與及授權契約書。依本授權之發行權為非專屬性發行權利。依本授權所為之收錄、重製、發行及學術研發利用均為無償。上述同意與不同意之欄位若未鈎選，本人同意視同授權。

指導教授姓名：林克晃

研究生簽名：吳健福

(親筆正楷)

學號：N26912382

(務必填寫)

日期：民國 93 年 8 月 10 日

1. 本授權書(得自<http://sticnet.stic.gov.tw/sticweb/html/theses/authorize.html> 下載或至<http://www.stic.gov.tw> 首頁右下方下載)請以黑筆撰寫並影印裝訂於書名頁之次頁。

2. 授權第一項者，請確認學校是否代收，若無者，請自行寄論文一本至台北市(106)和平東路二段106號1702室國科會科學技術資料中心黃善平小姐。(本授權書諮詢電話：

02-27377606 傳真：02-27377689)

國立成功大學
碩士論文

一個六位元每秒十億次取樣頻率的類比/數位轉換器

研究生：吳健福

本論文業經審查及口試合格特此證明

論文考試委員

謝錫堯

李泰成

劉意遠

羅錦興

指導教授：林夏泉

系(所)主管：謝錫堯

中華民國九十三年七月二十三日

A 6-bit 1-Gsample/sec Analog-to-Digital Converter

By

Jain-Fu Wu

A Thesis Submitted to the Graduate Division in Partial Fulfillment of the

Requirement for the Degree of

MASTER OF SCIENCE

Electrical Engineering
National Cheng-Kung University
Tainan, Taiwan, R.O.C.

July 23, 2004

Approved by:

Ming-der Shieh

[Signature]

Jai-uhng Lee

[Signature]

Advisor:

[Signature]

Chairman:

Ce-Kuen Shieh

一個六位元每秒十億次取樣頻率的類比/數位轉換器

吳健福* 林克晃**

國立成功大學電機工程研究所

摘 要

本篇論文提出一個六位元、每秒十億次取樣的類比/數位轉換器。此轉換器適用於光(磁)學讀取通道晶片及高速的乙太網路晶片上。採用了快閃式架構來達到高速的要求，並使用全差動的方式來提高系統的整體效能。包含了一個追蹤保持電路來消除因為時脈訊號及輸入訊號傳遞到眾多比較器所造成的取樣時間誤差，以提高其動態的表現。另外，針對數位編碼器在高速下的穩定運作，做了仔細的考量。

採用了 TSMC 0.18 μm , 1P6M 的 CMOS 混和信號製程，整個類比/數位轉換器的晶片面積為 $1.2 \times 1.2 \text{mm}^2$ 。模擬結果顯示在 1-Gsample/sec 的取樣頻率下，當輸入信號為 496MHz 時，可以達到 5.2 位元的有效解析度。在 1.8 伏特，1-Gsample/sec 的取樣速度下消耗 192mW 的功率。

*作者

**指導教授

A 6-bit 1-Gsample/sec Analog-to-Digital Converter

Jian-Fu Wu* Keh-La Lin**

Department of Electrical Engineering

National Cheng Kung University, Tainan, Taiwan, R.O.C

ABSTRACT

This thesis proposes a 6-b 1G-sample/sec A/D Converter. The converter is suitable to optical (magnetic) read-channel and high-speed Ethernet chips. The flash structure is adopted to accomplish the requirement of higher speed. Moreover, system performance is increased by using fully differential methods. These include an on-chip T/H to eliminate the sampling time skews resulted from the fact that the clock and input signal are being transmitted to numerous comparators, and further enhance the dynamic performance. In additional, there are elaborated considerations made for enabling digital encoders to be operating stably in high speed.

The chip area is 1.2x1.2mm² in TSMC 0.18 μ m CMOS 1P6M mixed-signal process. Simulation results show that the converter can achieve effective number of bit higher than 5.2 at the input frequency up to 496MHz and sampling frequency up to 1-Gsample/sec. The converter consumes 180mW at 1.8V when operating at 1-Gsample/sec.

*Author

**Advisor

致 謝

這篇論文的完成，首先要感謝的是指導老師林克見教授。在這兩年之中，多虧了他對我們的諄諄教誨，使我們受益良多。

接著要感謝的是陪我一起度過研究生兩年生活的兩個同學，陳建銘與徐偉宏。在這兩年之中，不論是從一開始的建立實驗室的環境、修課、設計晶片，到後來的論文撰寫，都承蒙他們的許多幫助；另外，實驗室裡的學弟蘇彥熒、王彥迪、柯宗祁、嚴祥銘等...在設計的過程提供了許多的協助，並且，在與他們討論的過程當中，也使我得到很多收穫；最後，感謝我的家人以及女友蕾雅在我遇到困難、沮喪的時候，總能給我最大的包容與支持。

在這兩年的碩士生涯當中，若沒有這些人的支持與協助，我實在難以獨立完成這些事情，很感謝他們。

健福

九十三年七月

目錄

第一章 緒論	1
1.1 研究動機	1
1.2 論文架構	3
第二章 高速類比數位轉換器的架構	4
2.1 快閃式類比數位轉換器 (Flash ADC)	5
2.2 兩階快閃式類比數位轉換器 (Two-Step Flash ADC)	6
2.3 管線式類比數位轉換器 (Pipeline ADC)	9
2.4 時間分離式類比數位轉換器 (Time Interleaved ADC)	13
2.5 連續逼近式類比數位轉換器 (SAR ADC)	14
2.6 折疊及內插式類比數位轉換器 (Folding and Interpolating ADC)	16
第三章 快閃式類比數位轉換器之實現	20
3.1 系統架構	20
3.2 追蹤保持電路	22
3.2.1 追蹤保持電路對快閃式 ADC 效能的增進.....	22
3.2.2 追蹤保持電路的實現	23
3.3 參考電壓產生器	27
3.3.1 單端輸入及差動輸入比較器對參考電壓的影響	28
3.3.2 參考電壓緩衝器	31
3.4 前置放大器與比較器	32
3.4.1 前置放大器	33
3.4.2 比較器及 SR Latch	35
3.5 編碼器	38
3.5.1 泡沫錯誤及 Metastability	38
3.5.2 電路實現	39
3.5.3 True Single Phase Clocked Register (TSPCR).....	45
3.6 週邊電路	47
3.6.1 偏壓電路	47
3.6.2 時脈產生器	49

第四章 佈局考量及模擬結果	50
4.1 平面配置	50
4.2 佈局考量	51
4.3 模擬結果	54
第五章 結論與未來展望	59
參考文獻	61

圖目錄

圖 1.1 磁(光)學讀取通道讀取技術-鋒值檢測.....	2
圖 1.2 磁(光)學讀取通道讀取技術-PRML.....	3
圖 2.1 快閃式類比數位轉換器.....	5
圖 2.2 二階快閃式類比數位轉換器.....	7
圖 2.3 加上誤差校正功能的兩階快閃式類比數位轉換器.....	8
圖 2.4 (a)管線式類比數位轉換器 (b)管線式類比數位轉換器的轉換級.....	10,11
圖 2.5 時間分離式類比數位轉換器.....	13
圖 2.6 連續逼近式類比數位轉換器.....	15
圖 2.7 折疊及內插式類比數位轉換器.....	16
圖 2.8 快閃式和摺疊及內插式 ADC 的轉換曲線.....	18
圖 3.1 系統架構圖.....	21
圖 3.2 (a)開迴路架構的追蹤取樣電路 (b)閉迴路架構的追蹤取樣電路.....	23
圖 3.3 追蹤取樣電路.....	24
圖 3.4 (a)使用傳輸閘為取樣開關 (b)使用模仿開關於取樣開關之後.....	25
圖 3.5 T/H 中取樣電容與源極隨耦器佈局之示意圖.....	26
圖 3.6 T/H 電路的 FFT 模擬結果.....	27
圖 3.7 單端輸入訊號對參考電壓產生器的影響.....	28
圖 3.8 單端輸入訊號與參考電壓產生器的模型.....	28
圖 3.9 差動輸入訊號對參考電壓產生器的影響.....	29
圖 3.10 差動輸入訊號與參考電壓產生器的模型.....	30
圖 3.11 (a)參考電壓緩衝器 (b)利用二階運算放大器實現的緩衝器.....	31
圖 3.12 二階運算放大器的頻率響應.....	32
圖 3.13 放大器與 Latch 的步階響應圖.....	33
圖 3.14 前置放大器.....	34
圖 3.15 前置放大器的頻率響應.....	35
圖 3.16 (a)第一級比較器 (b)第二級放大器.....	35

圖 3.17 SR Latch.....	36
圖 3.18 比較器的 overdrive recovery 模擬結果.....	37
圖 3.19 編碼器示意圖.....	39
圖 3.20 三十二輸入的 OR 閘的幾種實現方式.....	41
圖 3.21 骨牌邏輯及其時序圖.....	42
圖 3.22 改良的骨牌邏輯及其時序圖.....	42
圖 3.23 葛雷碼轉二進位碼示意圖.....	43
圖 3.24 採用傳輸閘邏輯的 XOR 閘.....	44
圖 3.25 (a)XOR 閘構成的延遲元件 (b)反向器構成的延遲元件.....	44
圖 3.26 True Single Phase Clocked Register.....	45
圖 3.27 TSPCR 的模擬結果.....	46
圖 3.28 Self-biasing 電路的兩個工作點.....	48
圖 3.29 Constant-gm 偏壓電路及啟動電路.....	48
圖 3.30 時脈產生器.....	49
圖 4.1 佈局的平面配置.....	51
圖 4.2 快閃式類比數位轉換器的佈局.....	53
圖 4.3 弦波重建圖形.....	54
圖 4.4 DNL.....	54
圖 4.5 INL.....	55
圖 4.3 佈局前模擬結果 - 1GHz 取樣頻率及 238MHz 輸入頻率.....	56
圖 4.4 佈局前模擬結果 - 1GHz 取樣頻率及 496MHz 輸入頻率.....	56
圖 4.5 佈局後模擬結果 - 1GHz 取樣頻率及 496MHz 輸入頻率.....	57

表目錄

表 2.1 ADC 架構的分類.....	4
表 2.2 管線式類比數位轉換器的元件數.....	12
表 3.1 泡沫錯誤.....	40
表 3.2 TSPCR 的電晶體尺寸.....	47
表 4.1 佈局前及佈局後之模擬結果.....	57
表 4.2 類比數位轉換器的規格一覽.....	58
表 4.3 與近年來相關論文之效能比較.....	58

第一章

緒論

1.1 研究動機

近年來，由於寬頻網路的盛行，人們可以輕鬆的從網路上下載許多有趣的事物，包括各式高畫質且大容量的影音資料，於是大容量及高速的儲存媒介便迫切的需要了。因此各式儲存媒介也在近幾年快速的發展，不論是在傳輸速度及容量上都不停的推陳出新。並且被廣泛的應用在資訊產品上，這些儲存媒介主要分為磁碟機 (magnetic drive) 與光碟機 (optical drive) 兩大類。前者如軟碟機、硬碟機 (HDD) 等，後者如 CD-ROM、DVD-ROM、CD-R/W、DVD-R/W、DVD+R/W 光碟機。

無論磁碟機或光碟機，其性能除受讀寫頭的特性、碟片材料、資料記錄格式影響外，主要取決於磁、光碟機晶片組性能。目前主流之硬碟機為 80GB 容量，550Mbit/s 的資料傳輸量，7200rpm 的碟片轉速，與 15ms 的短資料存取時間。而即將成為主流的 10000rpm 的硬碟資料傳輸量將會達到 1-1.2Gbit/s。另外，高速、高密度的 DVD drive 也會有相當的資料傳輸量。

在這些光(磁)儲存媒介中的資料，是透過碟片上的凹洞或是磁性單元來儲存資料，並且透過讀寫頭來讀取資料。從讀取頭讀到的是相當微弱的訊號，且並非完整的邏輯準位，因此必須透過類比的介面來做處理。

這個處理的過程，在初期是採用簡單的鋒值檢測 (peak detection)，從光(磁)讀取頭所收到的微弱訊號，在經過放大之後，藉由比較訊號與臨界電壓來決定資料的 0 或 1，如圖 1.1 所示。

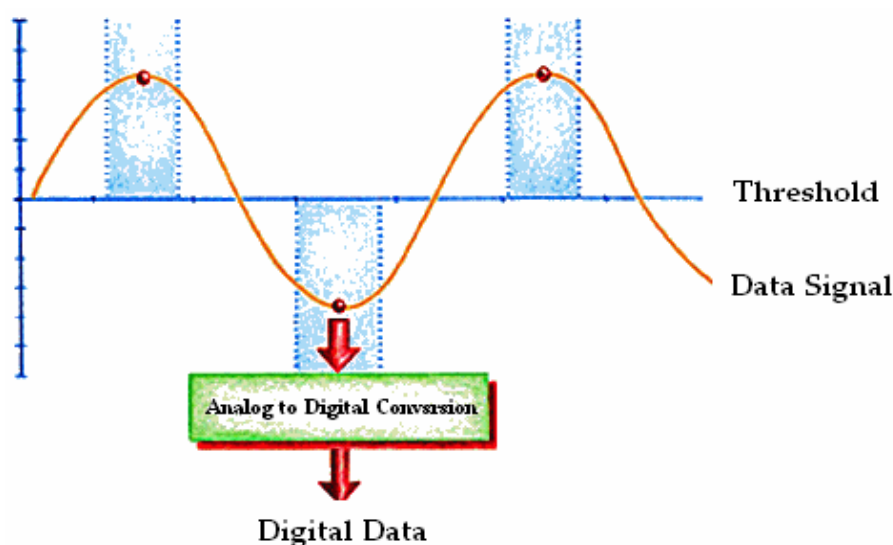


圖 1.1 磁(光)學讀取通道讀取技術-峰值檢測

但是隨著資料密度的增加，磁或光儲存媒介中的單元密度也越來越高，這會導致讀到的訊號的高低變化越來越緊密，最終會導致兩個相鄰的峰值互相干擾的無法分辨，通道的響應從完全響應 (full response) 變成了部分響應 (partial response)，這使得硬碟或光碟的單位資料密度會受到限制。為了突破這種限制，一種名為 PRML (partial-response maximum-likelihood) 的技術被開發出來，不同於傳統上單純的去判斷一個完整的峰值，PRML 會對每一個週期的資料做多點的取樣，並採用數位訊號處理的技術去對一串的訊號做處理，透過演算法去對訊號做處理並偵測出最大相似 (maximum likelihood) 的資料串，如下圖 1.2 所示。

因此，在這個 PRML 的系統當中需要一個類比數位轉換器來對從讀寫頭所讀進來的資料做處理，在業界通常是使用六位元的類比數位轉換器。以十六倍速的 DVD 讀取晶片為例，需要一個六位元，取樣速率超過 500MS/s 的類比數位轉換器。

近年來，高傳輸速度及高容量的儲存媒介以驚人的速度發展，硬碟容量主流已高達 80GB，業界已有 400GB 的硬碟問世。而 DVD-ROM 也漸成主流，單面單層，容量 4.7GB 的 DVD 燒錄機已推出一段時間。這些光(磁)讀取裝置中，光(磁)讀取通道晶片的高速類比數位轉換器在整個讀取通道中扮演了一個重要的角色，更高的的取樣速度是主要的努力方向，本論文所提出的六位元類比數位轉換器即針對這個需求而設計。

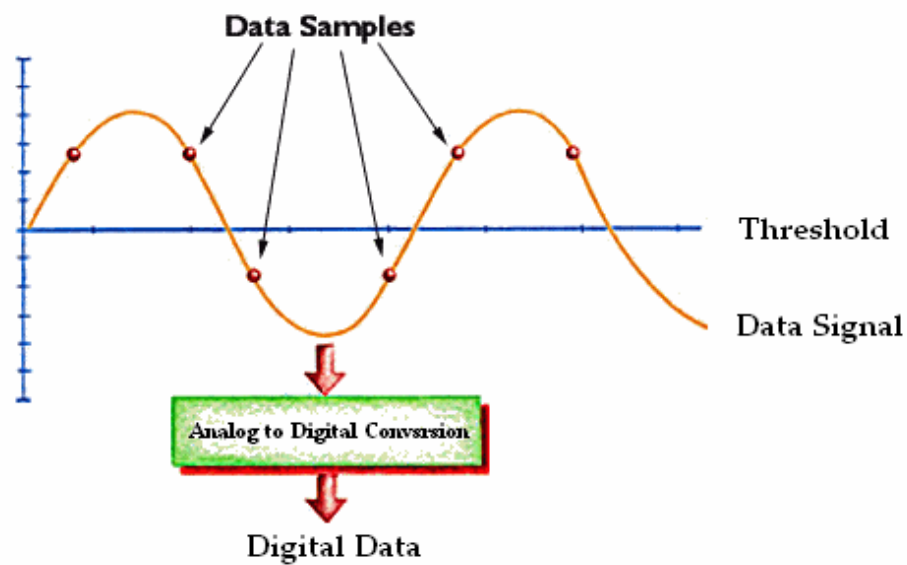


圖 1.2 磁(光)學讀取通道讀取技術-PRML

1.2 論文架構

本論文內容分為五個章節，第一章為緒論，說明六位元類比數位轉換器的應用及論文結構。第二章為類比數位轉換器的介紹，介紹一些主要的類比數位轉換器架構。第三章介紹所採用的架構及子電路的設計，包含了一些子電路的模擬結果。第四章介紹佈局及全晶片的模擬結果。第五章為結論，討論電路設計結果及未來的發展方向。

第二章

高速類比數位轉換器的架構

傳統上，當類比數位轉換的取樣頻率（Sampling Frequency f_{clk} ）超過 1MHz，就可被稱為高速的類比數位轉換器。但是，目前的通用的範圍是 10MHz 以上。除了取樣頻率 f_{clk} ，應用範圍的輸入頻率 f_{in} 以及所需的解析度（Resolution）也是要去考慮的。這些條件對於類比數位轉換器的架構的選擇而言有很重大的影響。在這一張當中，我們將對一些常見的高速類比數位轉換器的架構做介紹以及比較。

概括來說高速的類比數位轉換器可分類為兩個群體，包括有回授的和沒有回授的，見表 2.1。回授的方式可以在類比數位轉換的過程中重複的利用一些電路單元，藉此達到節省面積與功率的目的，但是也因此降低了轉換速度。一般說來，若是要用在高速的轉換，沒有回授的架構是比較合適的。

表 2.1 ADC 架構的分類

類比數位轉換器 (A/D Converter)	
沒有回授	有回授
快閃式 ADC (Flash)	連續逼近式 ADC (Successive Approximation Resistor)
兩階快閃式 ADC (Two-Step Flash)	演算法 ADC (Algorithmic)
管線式 ADC (Pipeline)	
時間分離式 ADC (Time Interleaved)	
折疊及內插式 ADC (Folding and Interpolating)	

2.1 快閃式類比數位轉換器 (Flash A/D Converter)

快閃式類比數位轉換器的架構很單純，適合應用在極高速的類比數位轉換器的設計，也是許多種高速類比數位轉換器架構的基礎，因此在這一章首先介紹。

快閃式類比數位轉換器主要架構是由比較器 (Comparator)，用來供應電阻串產生參考電壓的參考電壓源 (Reference Ladder)，以及編碼器 (Binary Encoder) 這三個主要部份所組成的 (圖 2.1)。類比輸入訊號直接與各參考電壓經由比較器去做比較，之後由比較器的輸出就可以判斷輸入訊號是位於哪兩個參考電壓之間，比較器的輸出訊號形式就像是一個水銀溫度計，因此這種輸出訊號的形式通常也可稱為溫度計碼 (Thermometer Code)，最後經由編碼器編碼就可得到相對應的數位輸出。而快閃式類比數位轉換器的比較器是由並列方式去做連結的，所以也可稱為並列式 (Parallel) 的類比數位轉換器。因為並聯式的特性，理論上，類比輸入訊號只需一個時脈的處理時間即能完成數位輸出，快閃式類比數位轉換器適合用來實現快速的類比數位轉換器。

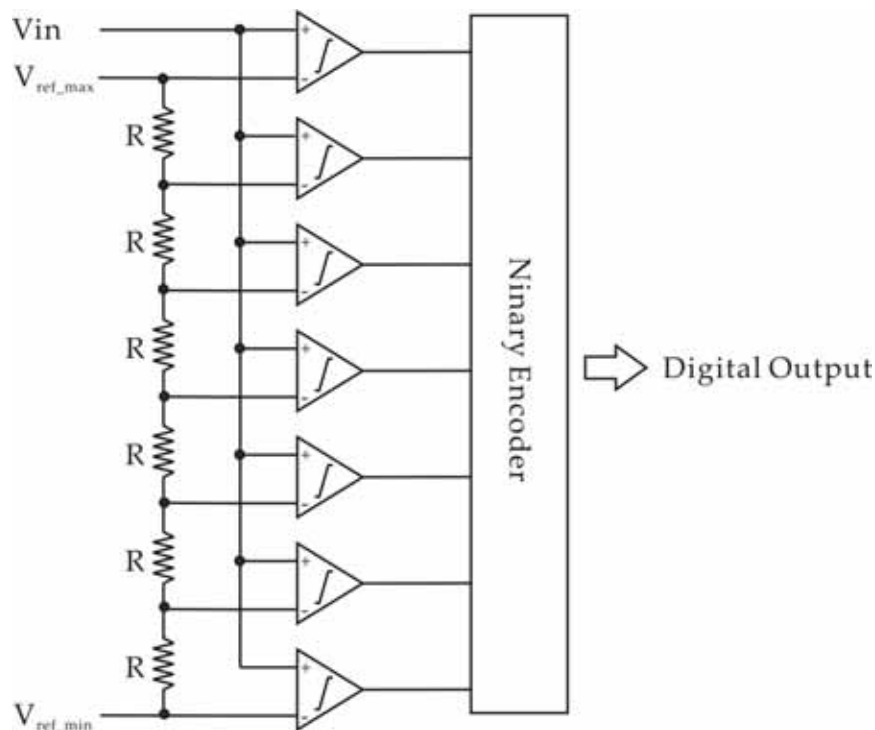


圖 2.1 快閃式類比數位轉換器

但是快閃式類比數位轉換器的存在著一個嚴重的缺點。若要完成一個 n -bit 的快閃式類比數位轉換器，至少必須使用 2^n-1 個比較器以及 2^n-2 個電阻，就如同圖 2.1 所顯示的一樣。比較器的個數會隨著解析度增加而以指數的關係暴增，同時功率消耗及晶片的面積也會以驚人的倍數成長。

在比較器的設計方面，由於快閃式類比數位轉換器通常被用於高速的應用，所有的比較器也會以高速操作，如此一來便會造成很大的功率消耗。而當比較器的解析度必須增加時，每一個比較器的複雜度也必須隨著提高。並且一些如自動歸零 (Auto-Zeroing) 或平均 (Averaging) 的設計技巧，也被用來改善比較器低頻雜訊和抵補 (Offset) 的問題。這是因為對一個 n -bit 的類比數位轉換器而言，每一個比較器都必須達到 n -bit 的準確度 (Accuracy)。而在這一方面，比較器的功率消耗及面積是必須被注意的。

參考電壓的穩定性也是快閃式轉換器的設計中一個必須注意的地方，產生參考電壓的電阻串會因為下一級比較器輸入電容的負載效應，而產生飄移的現象。這會嚴重的影響到系統的線性度，這個部分會在這篇論文的 3.3 節加以討論。

另外，輸入訊號及時脈訊號送達每一個比較器的時間誤差，而導致個別比較器對輸入訊號作量化動作的時間點不同，也會影響到系統的動態效能。這會隨著操作速度的加快而更加嚴重，在一般高速的快閃式類比數位轉換器當中，通常會藉由加入一個前端的取樣保持放大器來改善這個現象。

2.2 兩階快閃式類比數位轉換器 (Two-Step Flash ADC)

雖然快閃式類比數位轉換器的轉換速度很快，但是它的功率消耗及晶片的面積會以指數隨著解析度的增加而成長。這使得這種架構不適合用在 8~10-bit 以上解析度的類比數位轉換器。因此我們需要去發展一種架構，除了可以擁有快閃式類比數位轉換器的優點，又可以在增加解析度的同時，不會使得轉換系統的功率消耗及晶片的面積隨著解析度極遽增加。

一個很直接的做法便是把所需要的解析度分成粗調 (Coarse Part) 以及微調 (Fine Part) 兩個部份。每一個部份都有他們自己的快閃式類比數位轉換器：這兩個部份都依序轉換，然後在最後輸出的訊號中將他們所產生的數位輸出結合在一起。因此，這種形

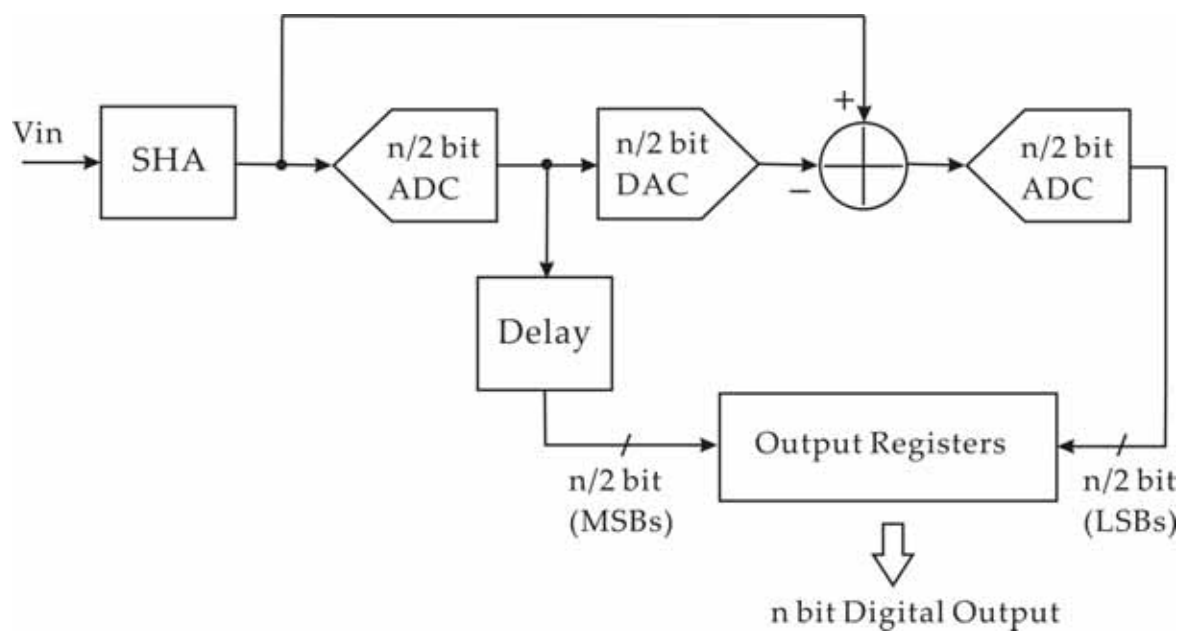


圖 2.2 二階快閃式類比數位轉換器

式的類比數位轉換器被稱為兩階快閃式類比數位轉換器或是半快閃式（Half-Flash）類比數位轉換器。

圖 2.2 是一個 n -bit 解析度的兩階快閃式類比數位轉換器。在其前端有一個用來對類比輸入訊號作取樣的取樣-保持放大器（SHA）。於是訊號便被保持住並被用來供給粗調的快閃式類比數位轉換器，在這裡，我們假設它可以解析出所有轉換的解析度的一半， $n/2$ 位元。粗調的快閃式類比數位轉換器的這些 $n/2$ 位元的輸出被用來供給一個 $n/2$ 位元的數位類比轉換器（Digital-to-Analog Converter）以及一個與其並聯的數位輸出的門鎖（Latch）。然後數位類比轉換器產生一個類比訊號，而這個類比訊號的值只有一開始粗調的快閃式類比數位轉換器所解析出並被保持在數位輸出門鎖的值。

然後將取樣訊號減去數位類比轉換器的輸出訊號，產生一個殘值訊號（Residue Signal），它即是微調解析的值。於是將這些殘值訊號經由另一個快閃式類比數位轉換器去量化，便可以得到整個系統所剩下的 $n/2$ -bit 的解析度。

對一個 n -bit 的兩階快閃式類比數位轉換器而言，它所需的高速比較器數目可被表示成：

$$\left(2^{n/2} - 1\right) \cdot 2 = \left(2^{(n/2+1)} - 2\right) \ll \left(2^n - 1\right), \quad \text{if } n > 2. \quad (2.1)$$

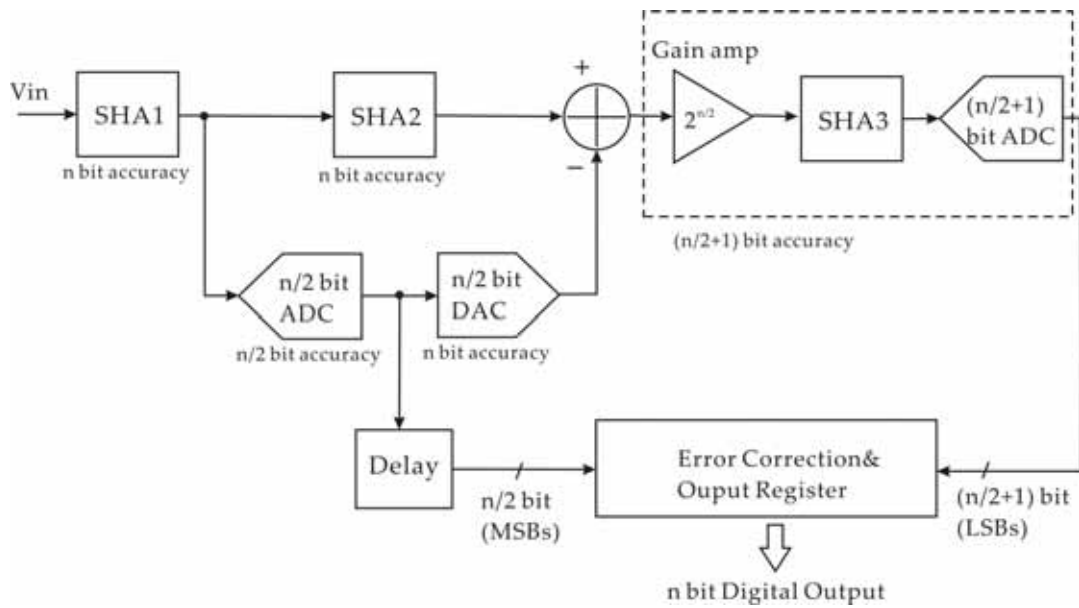


圖 2.3 加上誤差校正功能的兩階快閃式類比數位轉換器

雖然對一個兩階快閃式類比數位轉換器來說，它的轉換過程被分為兩個部份，但是所有的比較器和其它的類比元件的準確度，如同圖 2.2 所顯示的，都必須確保有 n -bit 的解析度，才不至於使整個系統的解析度出錯。所以對於比較器的設計而言，使用自動歸零的技巧去消除抵補電壓是必要的。

和一般傳統的快閃式類比數位轉換器來做比較，兩階快閃式類比數位轉換器需要一個取樣-保持放大器和一個數位類比轉換器來產生類比的殘值訊號。對這個架構而言，一個對高速轉換的系統最困難的部份—高速的取樣-保持放大器是避免不了的。取樣-保持放大器在整個系統最前端的功能就像一個『類比的門鎖』，並且被用來和數位類比轉換器的類比輸出做相減的動作。

但在兩階快閃式類比數位轉換器中，會產生一些問題，例如當殘值訊號不滿足第二個快閃式類比數位轉換器的輸入訊號範圍時，就會發生遺失碼 (Missing Code) 或非線性。為了防止這樣的結果，就必須使用誤差校正 (Error Correction) 的功能。

圖 2.3 顯示了一個加上誤差校正功能的兩階快閃式類比數位轉換器的方塊圖。圖中的第一個取樣-保持放大器保持了要給粗調量化器的輸入以及後面要做類比減法的訊號。而這時，第二個取樣-保持放大器被用來補償兩個要做類比減法訊號之間的延遲 (Latency)。而第三個取樣-保持放大器是用來對殘值訊號做『修正』的動作。但若殘值放大器 (Residue Amplifier) 能夠自己去驅動後面的類比數位轉換器時，這時就沒有

使用第三個取樣-保持放大器的必要。

從圖 2.3 中可以發現因為殘值放大器將殘值放大了 $2^{n/2}$ 倍，所以在第二級轉換的類比訊號處理只要達到 $n/2+1$ -bit 準確度，而不是 n -bit 的準確度。但是第一級的轉換則必須達到 n -bit 的準確度。除此之外，加在第一級的數位類比轉換器的解析度必須比第一級類比數位轉換器的還要好，這樣才能減低由數位類比轉換器所產生的誤差。一般而言，若一個數位類比轉換器串連在一個類比數位轉換器的後面，則數位類比轉換器的解析度必須要比類比數位轉換器要高上 5~8 倍。也就是說要高上 2~3-bit。所以以一個 n -bit 的兩階快閃式類比數位轉換器而言，至少需要一個 $(n+2)$ -bit 準確度的數位類比轉換器。因為數位類比轉換器的設計比類比數位轉換器還要容易，所以數位類比轉換器並不會對兩階快閃式類比數位轉換器的設計造成問題。

第二級轉換的輸出比沒有數位誤差校正的架構多提供了一個位元的輸出。如果在第一級轉換沒有錯誤發生，那第二級的 MSB (Most Significant Bit) 將會一直保持為“0”。但是如果 MSB 是“1”，則這個資訊將會繼續傳送到下一級去校正第一級轉換的 LSB。但是這種數位誤差校正可以校正前 $n/2$ -bit 轉換的誤差。但是若誤差是發生在第二級轉換時，又或者是在數位類比轉換器和殘值放大器，則無法做校正，而且會直接傳送到最後的輸出。

對一個兩階快閃式類比數位轉換器來說在它的數位輸出一定會有一個時脈週期 (Clock Cycle) 的延遲。因此，為了將兩級的轉換同步化，必須將一個數位的門鎖放在第一級轉換的輸出和數位輸出的暫存器 (Register) 之間。因為這種延遲是個常數，而且很容易被定義，所以在大部分的應用中是可以接受的。

2.3 管線式類比數位轉換器 (Pipeline A/D Converter)

管線式類比數位轉換器是兩階快閃式類比數位轉換器的一種成功的變形。利用兩階快閃式中的轉換器的概念，進一步將兩階拆成更多階，甚至於每一階只是 1-bit 的轉換器，藉此來更加節省晶片的面積與功率。並且，轉換速度也會得到提升，這會在以下說明。管線式類比數位轉換器是最普遍的高速類比數位轉換器之一。

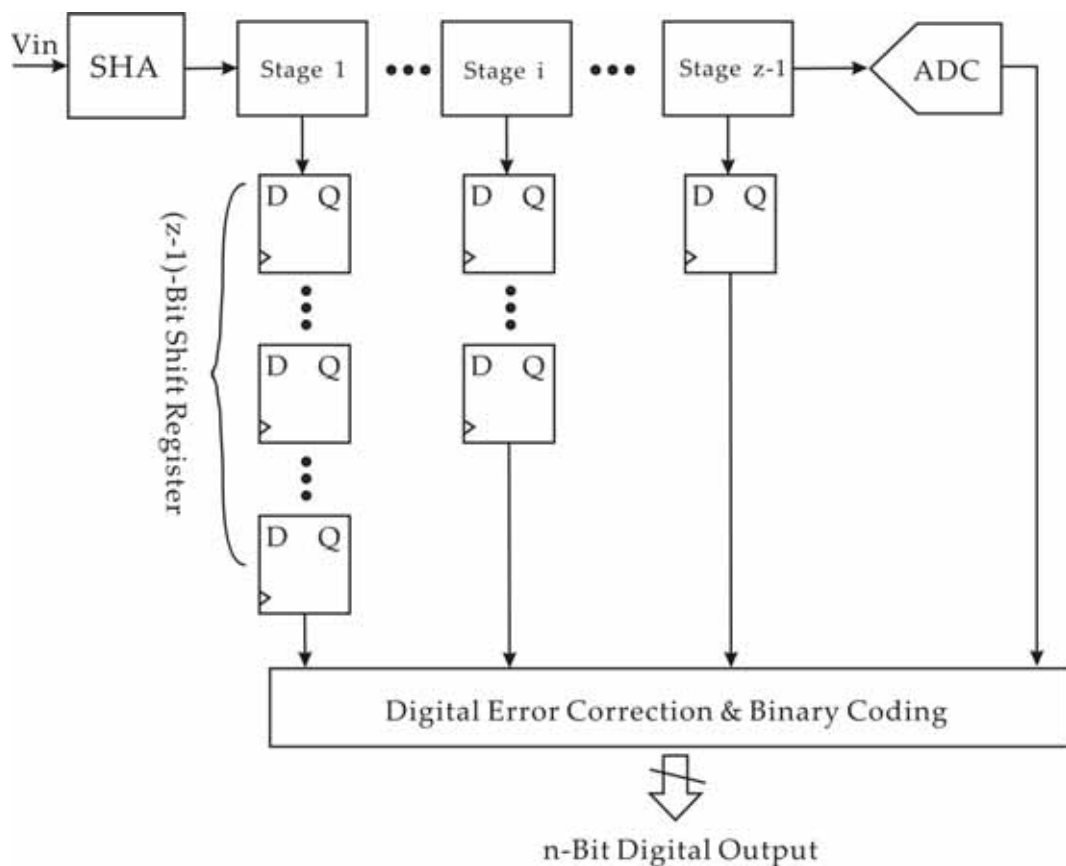


圖 2.4(a) 管線式類比數位轉換器

圖 2.4(a)顯示的是一個傳統的管線式類比數位轉換器的方塊示意圖。本質上來說，管線式類比數位轉換器的架構和兩階快閃式類比數位轉換器非常相似。它們主要的不同點在於對管線式類比數位轉換器來說，從取樣-保持放大器到最後一級的轉換級之間，多加了很多個轉換級 (如圖 2.4(b))。也因為如此，所以也就要多出許多數位延遲的元件使得轉換同步。並且每一級都需要個別的 SHA。而整個系統輸出的延遲時間 (Latency) 也會跟著增加。不過，管線式與兩階快閃式轉換器之間有一個最大的不同，兩階快閃式的第一級轉換器轉換完成之後，必須等待第二級也處理完畢之後，才會將轉換的結果輸出。而管線式類比數位轉換器的做法類似數位電路的管線式架構，當第一級的資料處理完送到下一級之後，會馬上開始新的取樣與轉換的動作，在每一個系統週期都可以得到一筆資料。因此，可以大幅提高資料的輸出量 (throughput)。

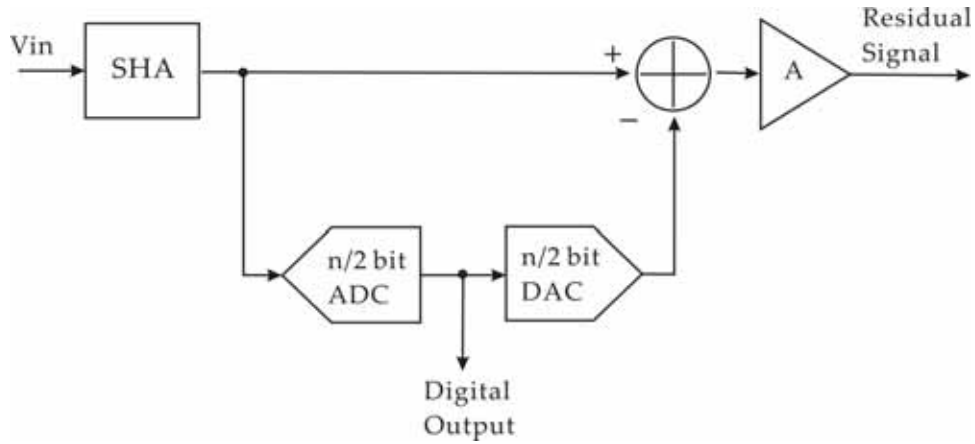


圖 2.4(b) 管線式類比數位轉換器的轉換級

如同圖 2.4，在管線式類比數位轉換器的每一個轉換級都會被設計成不同的準確度。對一個 n -bit 的管線式類比數位轉換器而言，在類比前端的取樣-保持放大器以及第一級的轉換級都必須被設計成具有 n -bit 的準確度。讓我們假設整個系統的解析度 n 可以被分成 z 個轉換級，並且在每兩個相鄰的轉換級之間會有一的重疊的位元，就如同圖 2.4。那麼第二級的轉換只要有 $(n-n/z+1)$ -bit 的解析度就行了。所以，第 n 級的轉換所需的解析度可被表示為：

$$n - (i-1) \cdot \frac{n}{z} + 1, \text{ if } \frac{n}{z} \in N \quad (2.2)$$

此處， N 指的是自然數。

為了更進一步的說明清楚，首先假定所有轉換級的準確度都被設為 n -bit。所需的高速比較器的總合為：

$$\left(2^{n/z} - 1\right) + (z-1) \cdot \left(2^{n/z+1} - 1\right), \text{ if } \frac{n}{z} \in N \quad (2.3)$$

所需的閃鎖的總合也和 z 有關，可被表示成：

$$\sum_{i=1}^{z-1} i = \frac{1+(z-1)}{2} \cdot (z-1) = \frac{z^2 - z}{2} \quad (2.4)$$

表 2.2 管線式類比數位轉換器的元件數

元件	取樣-保持 放大器	n/z-bit 類比數位 轉換器	n/z+2-bit 數位類比 轉換器	n/z+1-bit 類比數位 轉換器
個數	z	1	1	z-1

元件	n/z+3-bit 數位類比 轉換器	殘值放大 器	門鎖
個數	z-2	z-1	$(z^2-z)/2$

表 2.2 顯示了在一個管線式類比數位轉換器所需元件計算的細目。然而，在沒有決定其他的系統參數下，如每一個元件的面積和功率消耗下，很難去分辨快閃式類比數位轉換器和管線式類比數位轉換器的差別。不過，就單純從元件的計算，就能發現管線式類比數位轉換器比快閃式類比數位轉換器少了很多。那是因為快閃式類比數位轉換器的元件個數是隨著解析度做指數倍數成長，而管線式類比數位轉換器的元件個數是線性成長。

管線式類比數位轉換器的數位誤差校正功能和兩階快閃式類比數位轉換器的相同，只能校正兩級之間的誤差。且如果殘值訊號的放大都在下一級輸入的範圍之內的話，則在類比數位轉換時的增益，抵補電壓，或者是線性誤差，都可以被校正。在最後一級的誤差無法被校正，而且會直接被傳送到最後的數位輸出。

總括來說，管線式類比數位轉換器雖然必須經過數個週期的延遲才能得到轉換的值，但是在每一個週期都能得到輸出。其在高速的操作上具有不錯的潛力，再加上其電晶體數目不會隨著解析度增加而急遽成長，在現在普遍需求的低功率應用上可以有很大的彈性。針對各轉換級之間的誤差，有許多新的數位誤差校正功能被提出來克服這個問題。

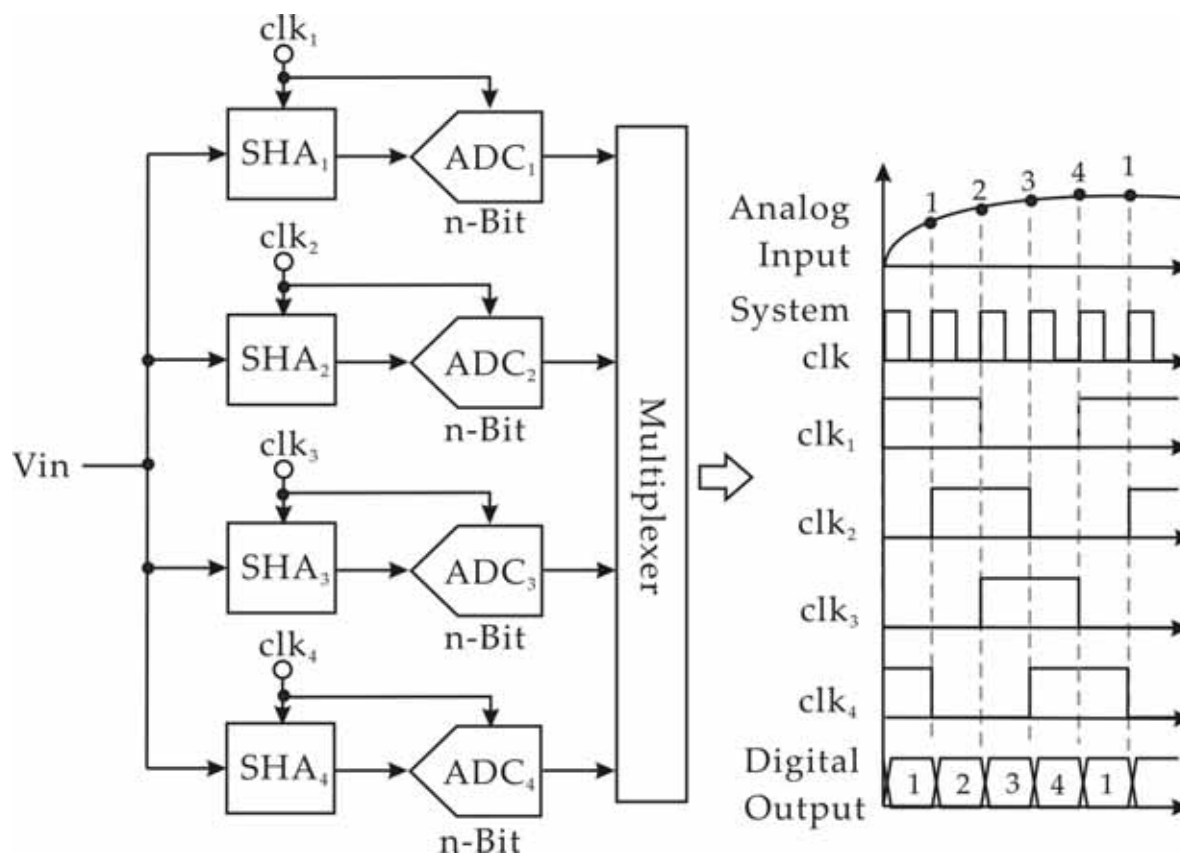


圖 2.5 時間分離式類比數位轉換器

2.4 時間分離式 (Time Interleaved) ADC

如果想要得到更高的轉換速率的話，可以使用時間分離式的類比數位轉換器。圖 2.5 是一個典型的四個分支的例子，包含架構圖以及時序圖。

時間分離式類比數位轉換器是由數組分支所組成，每一分支都有它自己的取樣-保持放大器和類比數位轉換器。基本上，這些類比數位轉換器可採用快閃式的架構。他們的類比輸入訊號是同時並聯輸入每一個取樣-保持放大器的，但是就像圖 2.5 一樣，它們的取樣-保持放大器及類比數位轉換器的時脈被設計為主時脈的 1/4，並且分別相差 90° 的相位。而它們的數位輸出被接到一個數位的多工器，以至於可以在每一個轉換分支的輸出中找出正確的輸出訊號。從資料的處理觀點來說，這種架構本質上來說是一種平行的處理，因為它的轉換是由不同的電路來完成的。但是要注意的是只有要做轉換的分支會被激發，而不是所有的分支會在同時並聯工作。

對一個 n -bit 且擁有 z 個轉換分支的時間分離式類比數位轉換器而言，若它有 f_{clk} 的轉換速率，那他就需要 z 個 n -bit 準確度，且轉換速率能達到 $z \cdot f_{clk}$ 的快閃式類比數位轉換器。結果，因為時間分離式類比數位轉換器是由很多個快閃式類比數位轉換器所組成的，所以在面積上會較大。而另一個時間分離式類比數位轉換器的缺點是每一個不同的分支之間的增益與抵補電壓的誤差，這會造成整體動態效能的下降。除此之外，在每一個分支中的轉換速率 f_{clk} 一增加，會使的每一個分支之間的時序問題 (Timing Problem) 變的更糟。

所以綜合以上的討論，我們可知時間分離式類比數位轉換器在設計上會遇到多分支間的誤差問題，必須透過謹慎的設計來克服。另外，也有一些後端數位的處理方式來對多分支之間的誤差來做處理，例如 Advanced Filter Bank (AFB) 即是一個已經商業化的設計方式[20]。

2.5 連續逼近式類比數位轉換器 (SAR A/D Converter)

連續逼近式類比數位轉換是一個很常見的架構，因為其具有晶片面積較小且功率低的特性，具有極高的轉換速度/功率比。這個架構的基本操作是源自於二進位搜尋 (binary search) 的演算法。簡易的連續逼近式類比數位轉換器方塊圖如圖 2.6 所示。在類比數位轉換的過程中一開始，這個架構中所包含的一個數位轉類比轉換器的輸入信號的最高有效位元被設定為“1”，而其他的位元被設定為“0”，如此可以使得數位轉類比轉換器的類比輸出信號達到我們所要轉換信號準位的一半。同時，我們所要取樣的類比輸入信號會先通過一個前端的取樣-保持放大器元件 (SHA) 來使得輸入訊號的值在整個轉換過程保持定值。然後，在第一個時脈週期中，取樣-保持放大器的輸出信號和類比數位轉換器的輸出信號將會透過一個比較器來作比較。經過比較器的結果將會依據電壓高低將最高有效位元設定為“1”亦或是“0”。換言之，數位轉類比轉換器或是取樣-保持放大器的輸出其中之一將會高過另一方，而這個最高有效位元的結果將會被儲存到暫存器之中。

在下一個時脈週期中，第一個比較的結果 (MSB) 從暫存器中讀出，而下一個次高有效位元稱為將會被設定為“1”而其他數位轉類比比較器的輸入信號位元將保持

在“0”。這些數值現在將被輸入到數位類比轉換器單元來產生參考電壓信號準位以提供第二次的比較動作。第二次經過比較器之後的比較結果將儲存到暫存器之中。

這個程序將會一直不斷重複直到所剩下的位元都已經被確定而且存入暫存器之中，最後數位類比轉換器輸出的值會跟輸入電壓的差距在 0.5LSB 之內。當重複的動作被完成了之後，數位類比轉換器的輸入信號顯示出最後一次的轉換結果，即為此次轉換的值。這種轉換的方式就是所謂的“連續逼近暫存式轉換”。

這個架構的最大優點就是這個系統僅需要很小的硬體資源。和快閃式類比數位轉換器相比，這個架構中僅包含了單一個比較器單元，因此面積可以有效的縮小。對於一個 n 位元的連續逼近式類比數位轉換器來說，所包含的子電路包括取樣-保持放大器、比較器、數位類比轉換器、及數位部分的暫存器與邏輯控制單元，如圖 2.6 所指出。其中內部的數位轉類比轉換器單元至少需要達到 n 位元的精確度，來保證整個類比數位轉換器本身的解析度要求，並且具備 n 倍於系統轉換速度的操作速度。因此在這個架構當中，它所具有的數位類比轉換器決定了整個連續逼近式類比數位轉換器的速度和解析度。另外，比較器及取樣-保持放大器元件亦隨著系統的需求必須具備至少 n 位元的精確度。

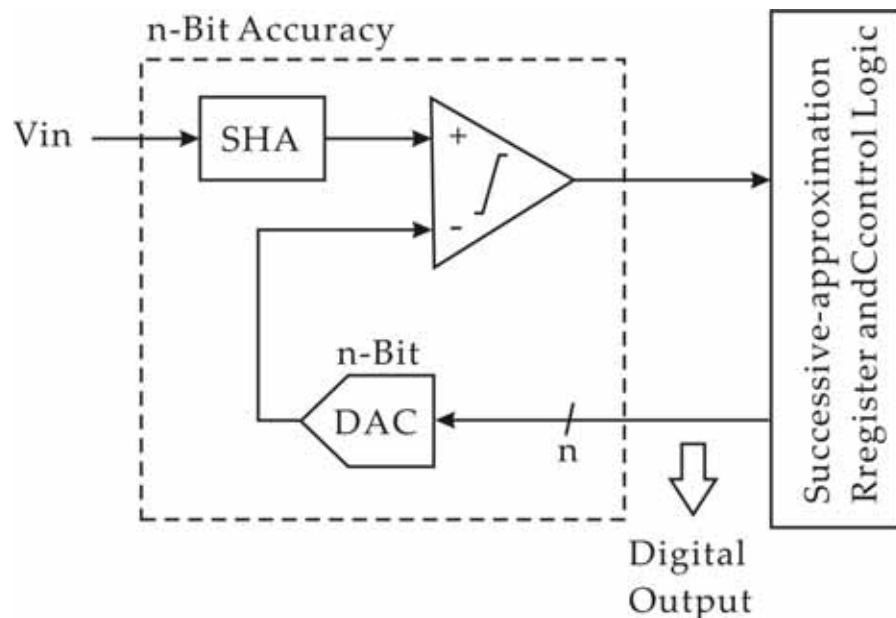


圖 2.6 連續逼近式類比數位轉換器

對一個連續逼近式轉換器要達到 n 位元的解析度的特性來說，整個轉換的過程需要 n 個系統的時脈週期。因此轉換速率相較於之前所介紹的高速類比數位轉換器架構，會受到限制。轉換速率 f_{AD} 可以被表示為如下：

$$f_{AD} = \frac{f_{clk}}{n} \quad (2.5)$$

總括來說，連續逼近類比數位轉換器受限於回授的特性，因此整個轉換速度會受到限制，但是針對需要低功率、低成本的應用，這樣的架構就相當具有彈性。

2.6 折疊及內插式 (Folding and Interpolating) ADC

圖 2.7 是一個折疊及內插式類比數位轉換器的方塊圖，它包含了額外的取樣-保持放大器，一個 m -bit 的粗調轉換器，一個 n -bit 的微調轉換器，以及一個數位同步電路。而這個取樣-保持放大器，因為在高速轉換時，它是一個比較難設計的部份，但在折疊及內插式類比數位轉換器的應用裡，它並不是必備的，所以這裡是把它當作是額外的部份。

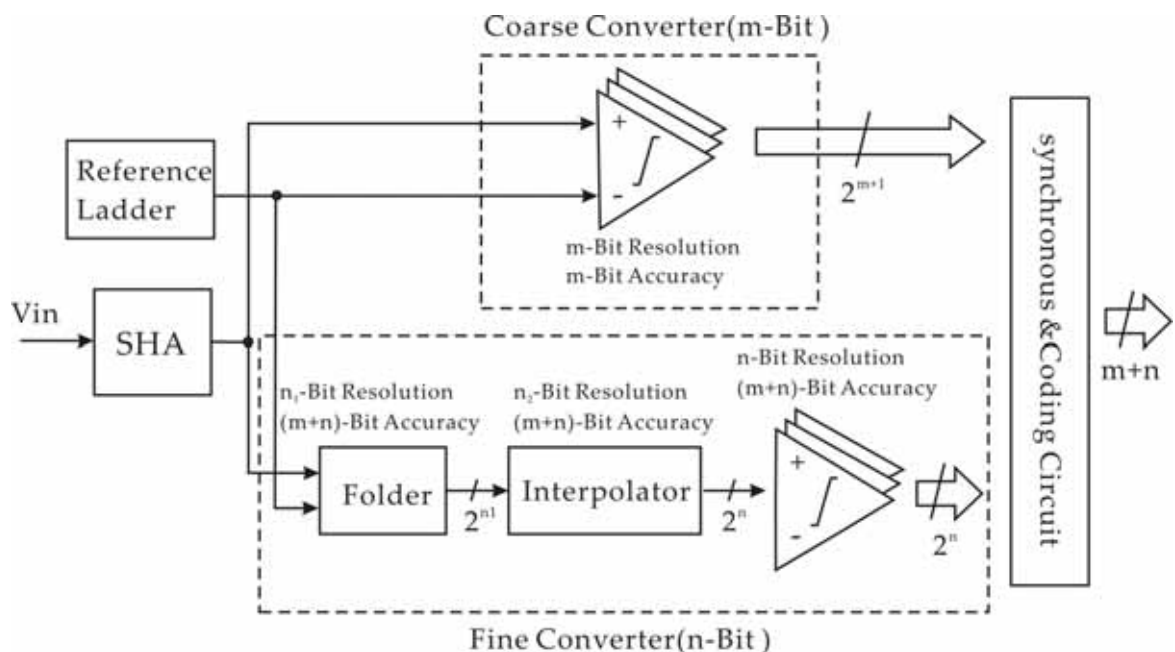


圖 2.7 折疊及內插式類比數位轉換器

對折疊及內插式類比數位轉換器的前端運作來說，取樣-保持放大器是在處理類比的前端。如果當輸入訊號 f_m 比轉換速率 f_{AD} 高很多時，若在前端加上取樣-保持放大器則可以用來補償由粗調及微調轉換器所造成的不同的延遲，而且還可以幫助數位同步電路來加強同步的工作。當然，它也會增加功率消耗以及晶片的面積。

折疊及內插式類比數位轉換器是由兩種不同的轉換器所組成的，他們分別被成為粗調轉換器 (Coarse Converter) 以及微調 (Fine Converter) 轉換器。而輸入訊號是並聯輸入這兩個轉換器。對一個總解析度為 $(m+n)$ -bit 的轉換器來說， m -bit 的粗調轉換器貢獻了由整個類比數位轉換器的 MSB 開始算起較高的 m 個位元。而 n -bit 的微調轉換器則是產生了剩下較低的 n 個位元，直到整個轉換器的 LSB。

如果用一個直觀的說法來解釋粗調轉換器和微調轉換器關係，我們可以把它們兩個分別當作是時鐘的時針和分針。若當這個時鐘就只有分針而已的時候，那麼這個時鐘就必須要分成 1440 個區間才能擁有分鐘的準確度。但若是有了時針的話，時針就會將一天分成 24 個區間，而每一個區間在被分針區分出 60 個區間。因此只要有 84 個值就可以決定了。

在實現粗調轉換器方面，我們可以用簡單的快閃式架構。它是用來把輸入訊號分成好幾個區間。另一方面，微調轉換器是由許多級所組成的，包括折疊級，內插級，比較級，以及數位誤差校正和解碼級 (Digital Error Correction and Coding Stage, ECC)。而在粗調和微調的輸出皆是溫度計碼，他們可以直接被後面的數位電路所處理。這種形式的連結也可以被稱為 m/n 的架構。

而折疊及內插式類比數位轉換器的另一個好處是它可以降低對高速比較器的需求，特別是當整個系統的解析度超過 8-bit 的時候。對一個 $(m+n)$ -bit 解析度的折疊及內插式類比數位轉換器來說，只需要 $(2^m-1) + 2^n$ 個比較器，而不是使用在快閃式架構中的 $2^{m+n}-1$ 個。

對一個 $(m+n)$ -bit 的折疊及內插式類比數位轉換器來說，就如同圖 2.7，它的微調轉換器的類比部份，包括折疊級，內插級，以及比較級，都必須達到整個系統的準確度 $(m+n)$ -bit。但是，相反地，在 m -bit 的粗調轉換器當中，若是有經過適當的同步處理，它的比較器的準確度只要有 m -bit 就好。因為準確度的不同，在粗調轉換器中的比較器我們稱為粗調比較器，而在微調轉換器中的比較器我們稱為微調比較器。

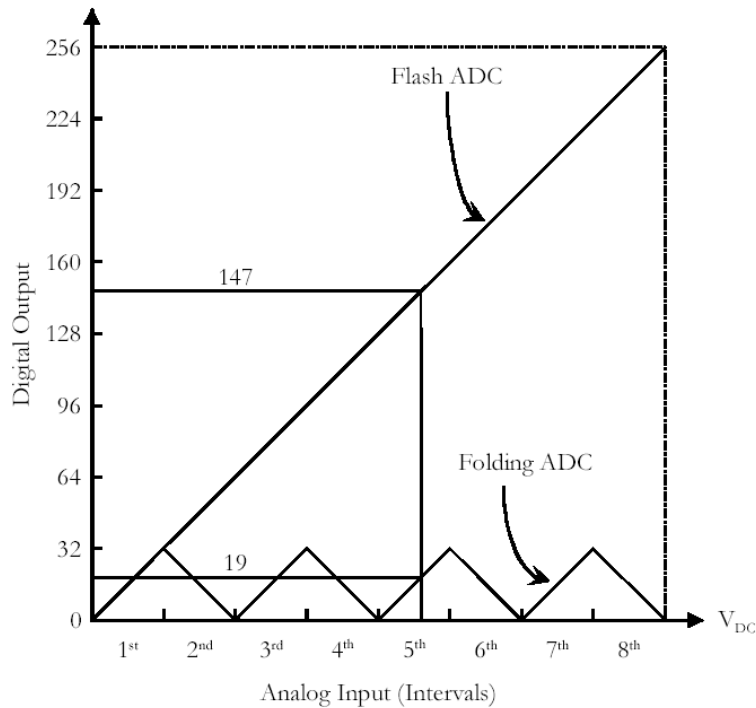


圖 2.8 快閃式和摺疊及內插式 ADC 的轉換曲線

因此，不只折疊及內插式類比數位轉換器中高速比較器的個數被減少了，而且粗調比較器的準確度也比其他轉換器的架構要來的低。除此之外，因為微調比較器的輸入是差動訊號，所以微調轉換器的比較器較其它的比較器，如快閃式類比數位轉換器的比較器，對於雜訊比較不靈敏。這也使的在折疊及內插式類比數位轉換器的比較器設計上會比較簡單。

快閃式類比數位轉換器的比較器是“層級比較器”(Level Comparators)，它把輸入訊號和前端所定義的參考電壓源做比較。像這種比較器必須要有很低的雜訊和抵補電壓，因此在設計中，降低雜訊和抵補電壓的技術，例如自動歸零的技術，是很重要的。相反地，對微調轉換器的比較器而言，它所比較的是一個差動輸入訊號，它是由前端的微調轉換器的摺疊即所產生的，並不是一個絕對參考值的輸入訊號。這種比較的方法也稱為“零值交越檢查法”(Zero-Crossing Detection)。

然而，因為在折疊及內插式類比數位轉換器中粗調比較器和微調比較器並不是唯一的元件，所以其它元件的面積和功率消耗，尤其是微調轉換器中的摺疊及和內插級，必須也被計算進去。

在粗調轉換器和微調轉換器訊號路徑的終點，訊號必須被同步化，因此它們被一個

數位同步電路所聯結在一起。而最後類比數位轉換器的輸出訊號可以用適當的二進位碼去解碼。

為了更容易去了解一個折疊及內插式類比數位轉換器是如何運作的，現在我們考慮一個 8-bit 的類比數位轉換器作例子。一個 8-bit 的快閃式類比數位轉換器需要 255 個高速的比較器去解析出它所表現的所有狀態。而它的轉換曲線就像圖 2.8 所示，是一個直線。

不同於快閃式類比數位轉換器的操作，摺疊式的類比數位轉換器把輸入訊號的處理，切割成很多個區域，如圖 2.9 所示，只需要在粗調轉換器中使用 7 個比較器就可以決定輸入訊號是落在哪一個參考區間中。同時，在每一個參考區間中的相對位置是用 32 個微調比較器所決定的。所以所需的比較器總數變成 39 個，而不再是 255 個。例如，在 147 的狀態位準時，可以被指示成 $4 \cdot 32 + 19$ 。這種形式的設計可以同時減少在高解析度的類比數位轉換器所需的高速比較器的面積和消耗功率。

第三章

快閃式類比數位轉換器之實現

3.1 系統架構

如同第二章所介紹的，有各種不同的類比數位轉換器的架構可以用來實現高速的設計。折疊及內插式類比數位轉換器具有低功率及低 Latency 的優點，但是由於其折疊訊號的頻寬需求為取樣頻率的數倍，因此其取樣速度會受到限制。管線式類比數位轉換器具有較小的面積及較低的功率，但是具有高的 Latency 及有限的取樣速度。時間分離式藉由多顆相同的類比數位轉換器來達成高速的需求，可以用來實現極高速的類比數位轉換器，然後其對於各通道之間的傳遞延遲具有嚴苛的要求，在設計上具有很高的難度。由於以上的考量，快閃式架構最符合設計上的要求，在中低解析度下，其對於面積及功率消耗過高的缺點顯的較不嚴重，再加上製程的精進，讓晶片面積也逐漸不在成為快閃式類比數位轉換器設計上的限制。

在這篇論文當中所設計的快閃式類比數位轉換器的系統架構圖如圖 3.1。外界的輸入訊號進入晶片後會先過追蹤保持電路做取樣的動作。追蹤保持電路的輸出與參考電壓產生器產生的參考電壓會被送到前置放大器，兩電壓的差異會被前置放大器放大然後經由比較器拉大到可供邏輯電路判斷的準位。由比較器輸出的溫度計碼會接著被送到編碼器去做編碼的動作。在轉換成二進位碼的過程中，會經過 1-of-n 碼及葛雷碼的編碼過程，用來消除前面比較器可能產生的泡沫錯誤及 metastability。電路中尚包括提供前置放大器、比較器、參考電壓產生器所需偏壓的偏壓電路，以及提供追蹤保持電路、比較器、及編碼器所需的時脈訊號的時脈產生器。

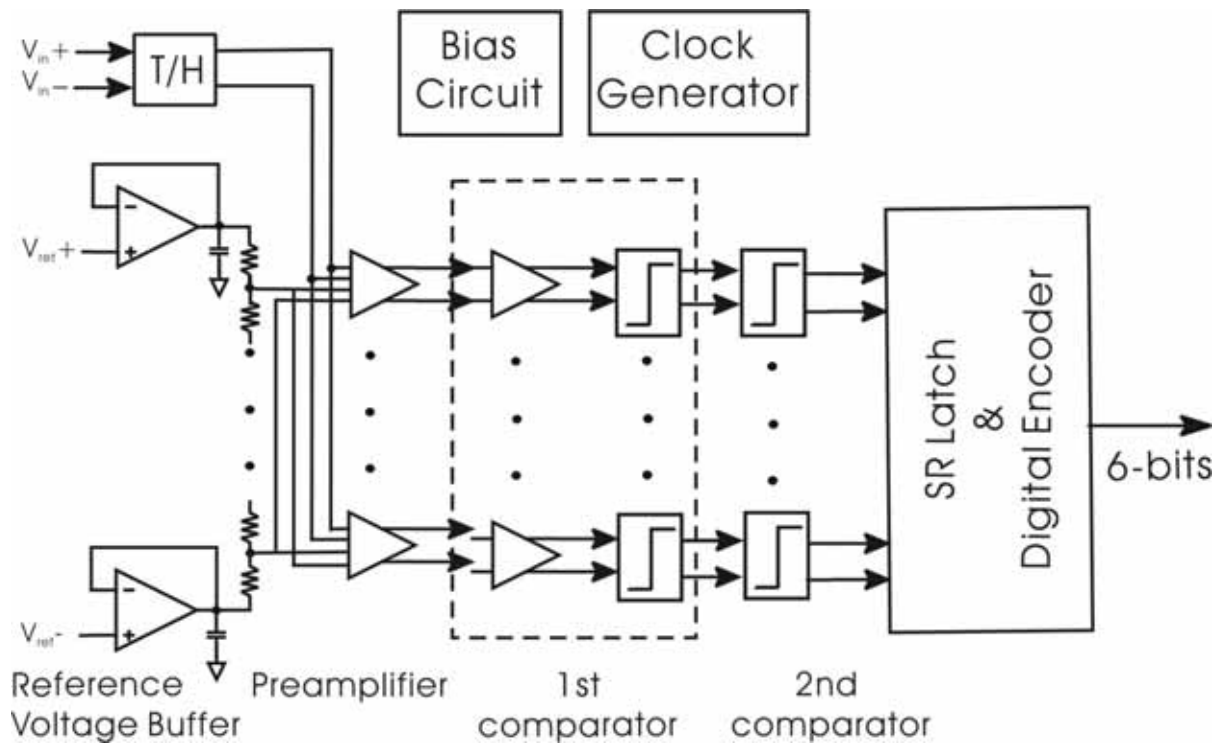


圖 3.1 系統架構圖

3.2 追蹤保持電路

相較於兩階快閃式、管線式、連續逼近式等類比數位轉換器的架構，在作量化動作時必須藉由追蹤保持電路 (T/H) 來進行同步及一些訊號的處理；快閃式類比數位轉換器在作量化動作時，是直接經由比較器作比較，理論上不需要追蹤保持電路。因此在這一節的第一個部分會說明為何採用追蹤保持電路能增進高速快閃式類比數位轉換器的效能。而第二個部分會介紹在電路設計上使用的架構及一些設計上考慮的地方。

3.2.1 追蹤保持電路對快閃式類比數位轉換器效能的增進

在快閃式架構的類比數位轉換器當中，理想上送到比較器的輸入訊號及時脈會具備相同的相位；換句話說，就是每一個比較器“看”到的輸入訊號及作決定的時間點會是相同的。但是實際上，在晶片中傳送輸入訊號及時脈的金屬線路具有阻值，會和比較器的輸入電容構成 RC 串，而比較器的輸入電容 C_{an} 會隨著輸入訊號 $V_{in}(t)$ 的變化及參考電壓 $V_{ref}(x)$ 的位置不同而成為時間 t 及位置 x 的函數，如式(3.1)。

$$C_{an} = C_{an} (\Delta V_{in}) = C_{an} (v_{in}(t) - V_{ref}(x)) = C_{an}(x, t) \quad (3.1)$$

隨著比較器輸入電容改變，輸入訊號及時脈傳送的延遲也會隨著改變。這個現象可以透過

1) 透過縮小這個 RC 串的長度，也就是訊號的傳送路徑。

2) 降低 V_{in} 的變化量，即降低輸入範圍。

來改善。縮小訊號的傳送路徑原本是個有效的方法來克服這個問題[1]，但是隨著類比數位轉換器的操作速度加快，輸入訊號的變化更加快速，會使得上述的情況更嚴重。而降低輸入範圍會使快閃式類比數位轉換器的 LSB 變小，因而降低整體效能，並不實用。

在這裡可以透過加入一個 T/H 來改善這樣的問題，一個設計良好的 T/H，可以在類比數位轉換器做量化 (digitization) 動作時保持固定的電壓，使得比較器在做判斷的動作時看到相同的輸入，因而消除以上所述的問題，並進而提升類比數位轉換器的動態效能。

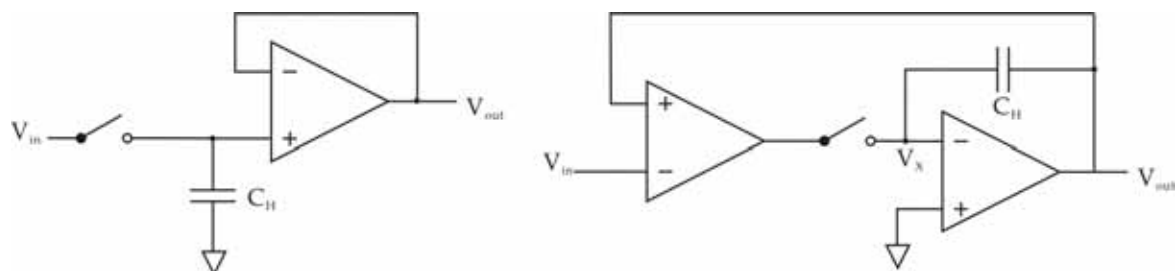


圖 3.2 (a)開迴路架構的追蹤取樣電路 (b)閉迴路架構的追蹤取樣電路

3.2.2 追蹤保持電路的實現

在 T/H 的設計上，不外乎開迴路以及閉迴路兩種架構[2]。開迴路架構 (圖 3.2(a)) 藉由一個電晶體開關、取樣電容來完成取樣的動作，當開關開啟的時候對取樣電容充電作追蹤 (track) 的動作，並在開關關上後做保持 (hold) 的動作。而之後的緩衝器用來推動下一級的電路。在開迴路架構中，取樣開關的關閉會帶來電荷注入 (charge injection) 的效應，而造成取樣電壓的誤差。因此閉迴路架構被發展出來克服這個問題，如圖 3.2(b)， V_x 在取樣時由於負回授的結構而被保持在虛接地，取樣電容可以在取樣結束時不受到電荷注入的影響，因此閉迴路可以達到較高的解析度，但由於回授結構限制了整體的頻寬，因此具有操作速度較低的缺點。而開迴路架構具有高頻寬的優勢，較適合在高速，中低解低度的應用。

在這篇論文中所採用的 T/H 如圖 3.3 所示，差動的輸入訊號送入晶片後，在 N 型電晶體開關開啟時對取樣電容充電作追蹤的動作，並在開關關上後做保持的動作。而之後的源極隨耦器 (source follower) 則做為緩衝器的功能來推動下一級的比較器，並且降低比較器輸入端阻抗變化對 T/H 造成的影響。另外，在開關之後的模仿開關 (dummy switch)，其源極與汲極接在一起成為一個 MOS 形式的電容，用來吸收開關在做取樣動作時產生的電荷注入和時脈饋入 (clock feedthrough)，以降低訊號取樣的失真。

輸入端的取樣開關線性區等效電阻 R_{on} 及取樣電容，兩者構成的時間常數決定了此 T/H 的輸入頻寬，所以在決定了取樣電容的值後，可以透過改變 R_{on} 的值來達到所需的頻寬要求。

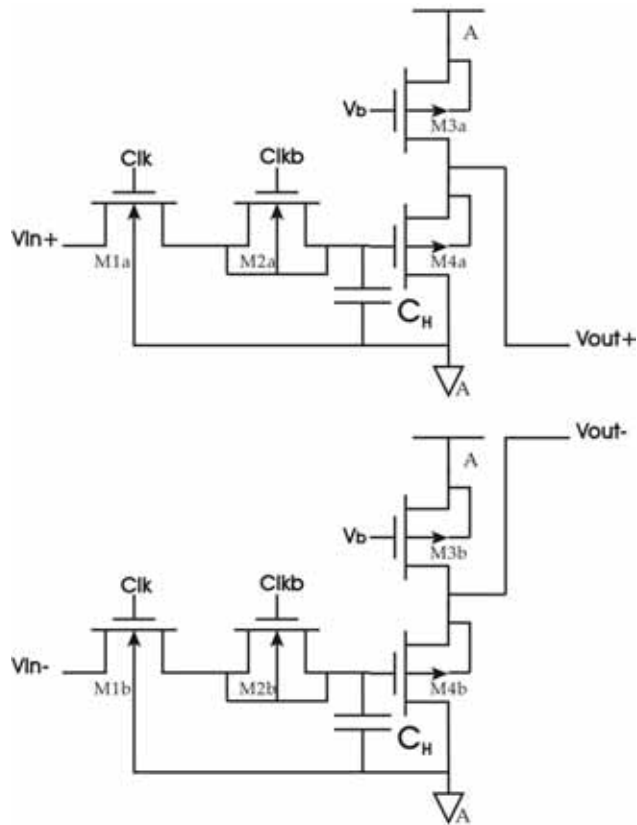


圖 3.3 追蹤保持電路

$$\text{其中 } R_{on} = \left(\mu_n C_{OX} \frac{W}{L} (V_{GS} - V_T) \right)^{-1} \quad (3.2)$$

因此為了降低 R_{on} 得增加取樣開關的面積，但相對的取樣開關面積增加的結果將使得電荷注入的現象變的較為嚴重，並影響取樣電容的電壓[3]。其關係可以表示為：

$$\Delta V_{CH} = -\frac{C_{OX}WL}{2C_H} (V_{GS} - V_T) \quad (3.3)$$

其中 ΔV_{CH} : change of sampled voltage
 C_H : hold capacitor

電荷注入所帶來的誤差，可以透過一些方法來改善[4]。其中一個方式是將原先 NMOS 的取樣開關替換為 CMOS 傳輸閘，如圖 3.4(a)，傳輸閘的 PMOS 及 NMOS 分別接上互補的時脈訊號，在理想的情況下，傳輸閘的兩顆電晶體會同時關閉，而產生的電荷會互相抵消。但是在實際的情況下，會有以下的現象： 1)PMOS 及 NMOS 關閉時

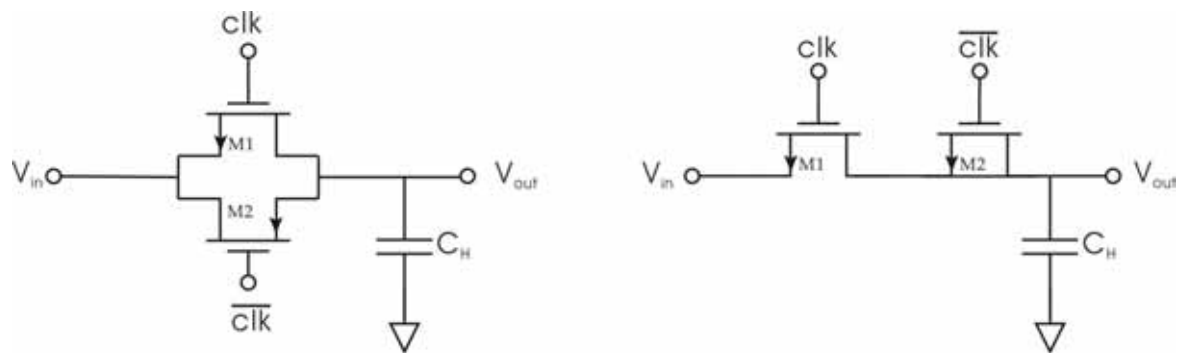


圖 3.4 (a)使用傳輸閘為取樣開關 (b)使用模仿開關於取樣開關之後

帶來的電荷注入要互相抵消，得滿足

$$W_N L_N C_{OX} (V_{CK} - V_{in} - V_{THN}) = W_P L_P C_{OX} (V_{in} - |V_{THP}|) \quad (3.4)$$

只有一個輸入電壓會滿足以上的式子，不能包含其他可能的輸入電壓。2)因為輸入訊號的變化，且時脈訊號的斜率是有限的，當傳輸閘關閉時，PMOS 及 NMOS 會有隨著輸入訊號而有不相同的關閉時間，當其中一電晶體關閉而另一電晶體為關閉，取樣電壓會繼續追蹤輸入，但此時的時間常數較大，會使取樣電壓有失真的現象。

在這個設計中，採用了另一種消除電荷注入及時脈饋入的方式[5]，如圖 3.4(b)，在取樣開關之後加上一模仿開關，這個模仿開關的汲極和源極端被短路，等同一個 MOS 形式的電容，並且具有與採樣開關相同的長度及一半的寬度，在閘極處由互補的時脈訊號驅動。在取樣開關關閉的時候，理想上取樣開關關閉時一半的電荷會流向取樣電容這邊，而此時模仿開關開啟吸收了這些電荷，藉此消除電荷注入的效應。但是實際上，這樣的作法也會受到輸入訊號的影響，而使得電荷並非恰好一半流向取樣電容這一側，因此，在這裡是透過模擬的方式來微調此模仿開關的值，來得到較佳的效果。另外，由於採用了 NMOS 的開關，輸入訊號的輸入共模電壓設計在 0.3V，這使得取樣開關電晶體有較大的 gate overdrive 電壓，使開關在做追蹤動作時，有較佳的線性度。

取樣電容之後的緩衝器由 PMOS 的源極隨耦器構成，設計上的要求是要足以推動下一級 63 個比較器的輸入阻抗，並且具備足夠的頻寬來滿足輸入訊號的要求。另外，源極隨耦器的源極與體極被接在一起以消除體極效應所帶來的非線性效應。

由於全差動的設計，所以此 T/H 必須注意兩個通道之間的匹配問題，透過對取樣電容及源極隨耦器做 common-centroid 的佈局方式。如圖 3.5 為取樣電容 C_H 及源極隨耦器電晶體 M4、M3 的佈局，可以降低製程上可能產生的不匹配效應。

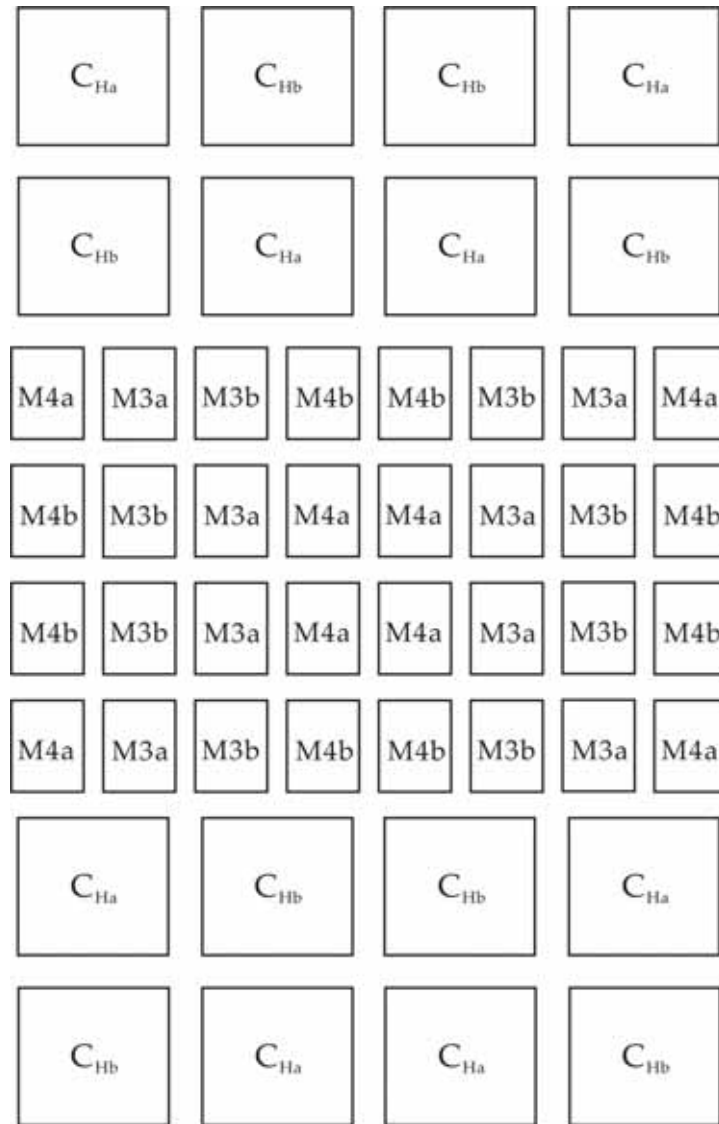


圖 3.5 T/H 中取樣電容與源極隨耦器佈局之示意圖

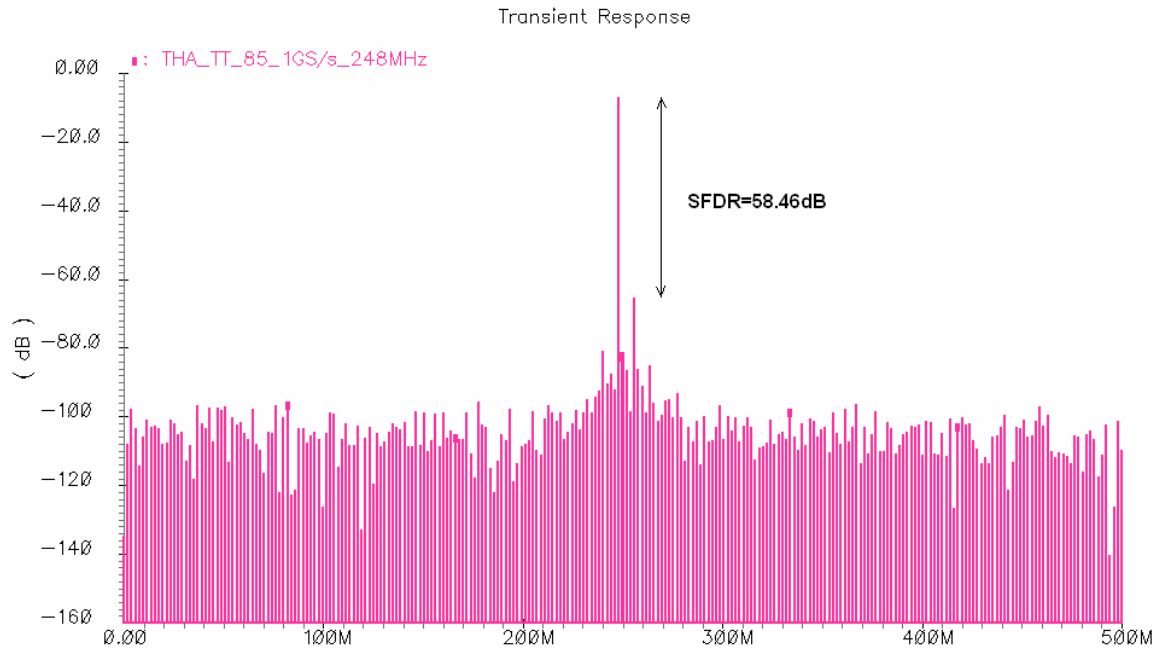


圖 3.6 T/H 電路的 FFT 模擬結果

此 T/H 被設計在 1.8V 下操作，模擬的結果如圖 3.6 所示，在 1GHz 的取樣頻率之下，以 250MHz 的弦波為輸入訊號作取樣動作，其 SFDR 可以達到 58dBc，符合六位元、1-Gsamples/sec 類比數位轉換器的需要。

3.3 參考電壓產生器

在快閃式類比數位轉換器中，每一個比較器的輸入級的其中一端是和輸入電壓做連結，而另外一端則是和參考電壓相連，藉由同時對各個參考電壓做比較來量化輸入的值，因此參考電壓的準確度直接影響了快閃式類比數位轉換器的效能。通常在這裡所提到的參考電壓產生器是由一系列串聯的電阻構成的，在兩端加以輸入電壓範圍的最大值及最小值，藉由電阻串分壓來產生所需的 $2^n - 1$ 個參考電壓。由於電阻串的每一個節點直接接到比較器的輸入級，由輸入級產生的寄生電容對電阻串的負載效應將會影響參考電壓的穩定。在這一節當中將討論這個現象，另外，還會介紹整個參考電壓產生器的電路構成，包括電阻串及兩個參考電壓緩衝器。

3.3.1 單端輸入及差動輸入比較器對參考電壓的影響

如圖 3.7，這是比較器前端的前置放大器，由一個差動對構成，輸入級的兩顆電晶體 M1 及 M2 分別接到輸入電壓及參考電壓的其中一級。在快閃式類比數位轉換器操作的時候，輸入訊號會透過閘極-源極的寄生電容耦合到參考電壓那一側，並因此而影響參考電壓串上的參考電壓。如圖 3.8 是一個模擬參考電壓串的電阻及比較器的輸入電容的模型[6]，在這麼模型當中，參考電壓串的總電阻值會被分為四個部分，以 $R/4$ 表示每一段。而整個比較器輸入級的總寄生電容值 C 被分為五個電容，分別是邊緣的 $C/8$ 及其他的 $C/4$ 。

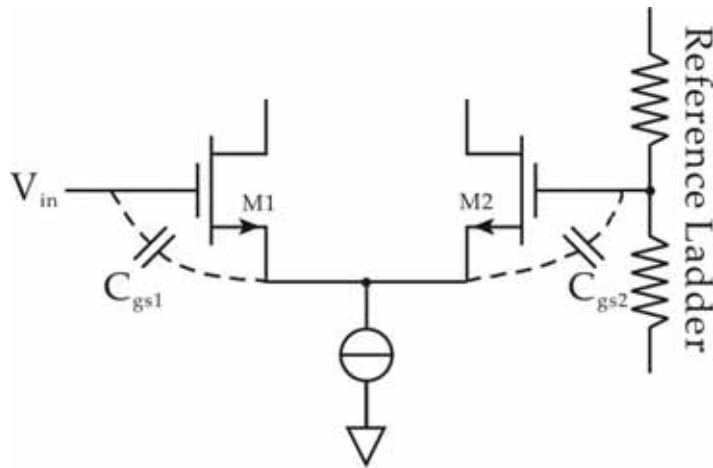


圖 3.7 單端輸入訊號對參考電壓產生器的影響

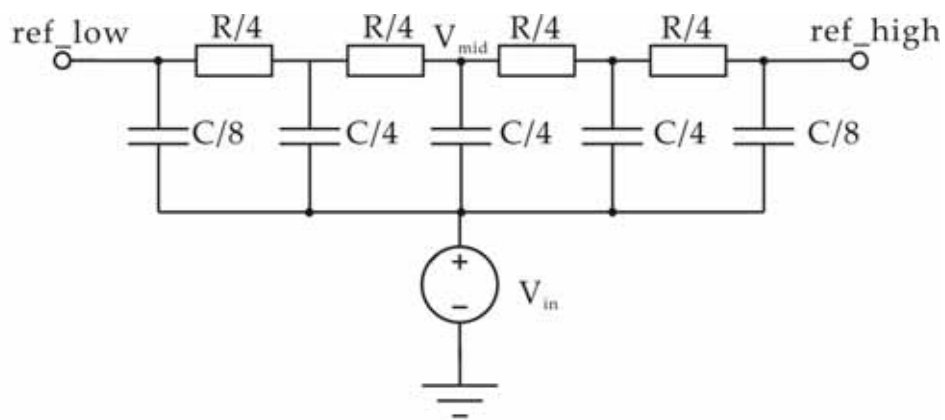


圖 3.8 單端輸入訊號與參考電壓產生器的模型

參考電壓的兩端 ref_high 及 ref_low 是由外界給予的，所以受到輸入訊號的影響視做可以忽略。而參考電壓的中間準位 V_{mid} 會受到最多的影響，其與輸入電壓 V_{in} 及操作頻率 f_{in} 的關係如下

$$\frac{V_{mid}}{V_{in}} = \frac{\alpha(\alpha + 32)}{\alpha^2 + 32\alpha + 128}, \quad \alpha = \pi f_{in} RC \quad (3.5)$$

若 $\alpha \ll 1$ ，式 3.5 可被簡化為

$$\frac{V_{mid}}{V_{in}} = \frac{\pi}{4} f_{in} RC \quad (3.6)$$

所需的參考電壓串的電阻為

$$R = \frac{4 \frac{V_{mid}}{V_{in}}}{\pi f_{in} C} \quad (3.7)$$

若輸入電容 $C = 1pF$ ， V_{mid} 的變化量希望控制在一個 LSB 以內（六位元），輸入頻率是 500MHz。如此可以求得所需的總電阻值約為 40Ω ，對應為每一階的電阻值為 0.625Ω 。如此小的電阻值會消耗很大的功率，以輸入最大範圍 0.5V 來計算，參考電壓串消耗的功率為

$$P_{ref} = I \cdot V = 12.5mA \times 0.5V = 6.25mW \quad (3.8)$$

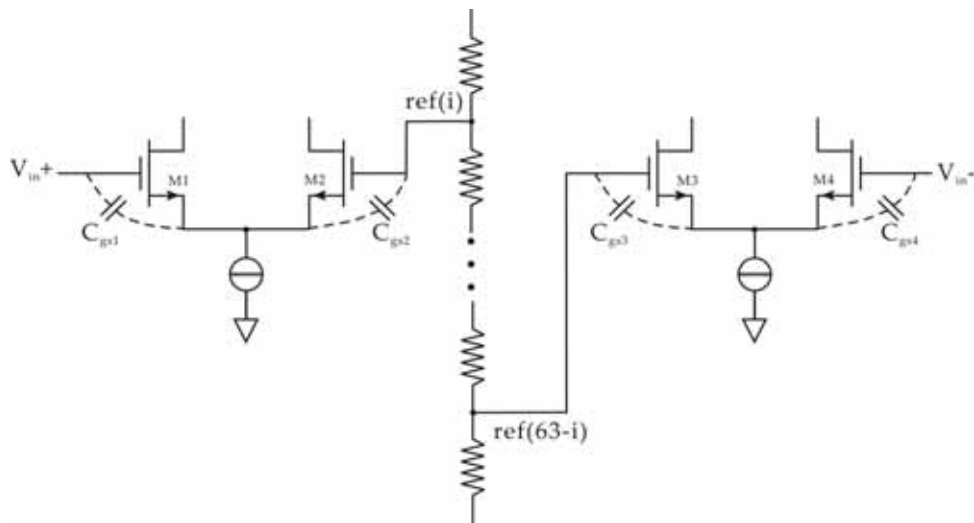


圖 3.9 差動輸入訊號對參考電壓產生器的影響

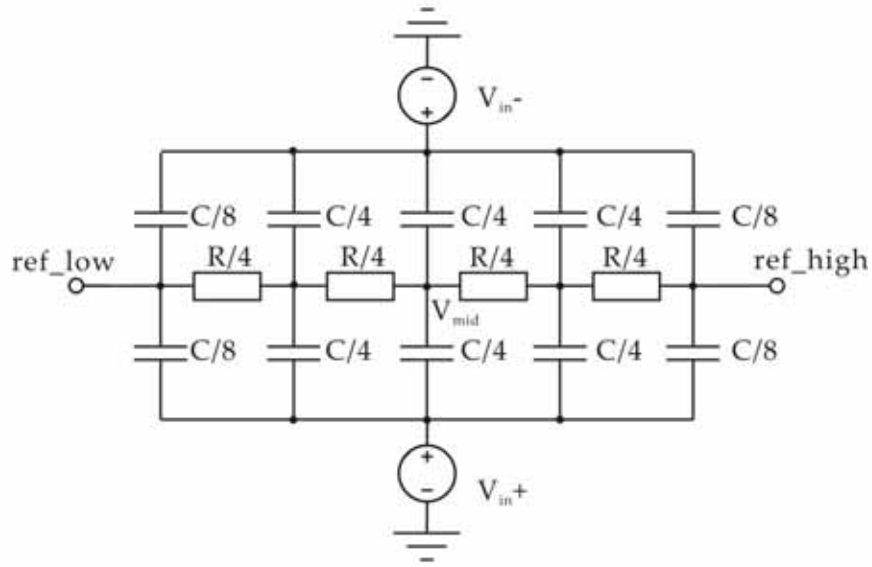


圖 3.10 差動輸入訊號與參考電壓產生器的模型

若採用差動的輸入訊號輸入，如圖 3.9，在一個全差動輸入的前置放大器中，差動輸入訊號及互補的參考電壓分別從兩個差動對的一側輸入。因此，輸入訊號對於參考電壓串的影響會有兩個部分。如同單端輸入的模型，差動輸入的模型裡參考電壓串的總電阻值以四個 $R/4$ 來表示，而比較器輸入級的總寄生電容值 C 同樣分為邊緣的 $C/8$ 及其他的 $C/4$ ，分別接到差動輸入的 V_{in+} 和 V_{in-} ，如圖 3.10。

輸入電壓對參考電壓的中間準位所造成的影響如下

$$\begin{aligned}
 V_{mid} &= \frac{\alpha(\alpha+32)}{\alpha^2+32\alpha+128} \cdot V_{in+} + \left(-\frac{\alpha(\alpha+32)}{\alpha^2+32\alpha+128} \right) \cdot V_{in-} \\
 &= 0 \\
 \alpha &= \pi f_{in} RC
 \end{aligned} \tag{3.9}$$

正端的輸入電壓及副端的輸入電壓會對參考電壓的中間準位有等量且反向的影響，因此會互相抵銷，由此可知，差動輸入的比較器輸入級相較於單端輸入的比較器輸入級可以有效的消除電阻值與參考電壓飄移的關係。

在這個快閃式類比數位轉換器當中，參考電阻串的電阻值設計只需考慮所消耗的功率，採用的總電阻值為 $3.6K\Omega$ ，所需消耗的功率為 $0.07mW$ ，為單端輸入消耗功率的 1.1% 。

3.3.2 參考電壓緩衝器

在這個設計當中，參考電壓的最大值 (V_{ref+}) 及最小值 (V_{ref-}) 在這個設計當中是由晶片外部輸入，在送到電阻串之前，會先經過一個緩衝器，用來驅動整個電阻串，而這個緩衝器是由一個負回授的運算放大器 (two-stage OP Amp) 構成的，如圖 3.11(a)。這個運算放大器在設計上希望達到高增益、高的 phase margin，這可以使回授穩定；另外，要求低頻寬來抑制從晶片外部輸入的參考電壓上附帶的高頻雜訊。為了滿足這些需求，在這裡採用了二階運算放大器 (two-stage OP Amp) 來實現，圖 3.11(b)。

所設計的運算放大器的頻率響應模擬結果如圖 3.12，直流增益 (DC gain) 為 75dB，單一增益頻寬 (unity gain bandwidth) 約為 20MHz，Phase Margin 為 65° ，符合設計上的需求。

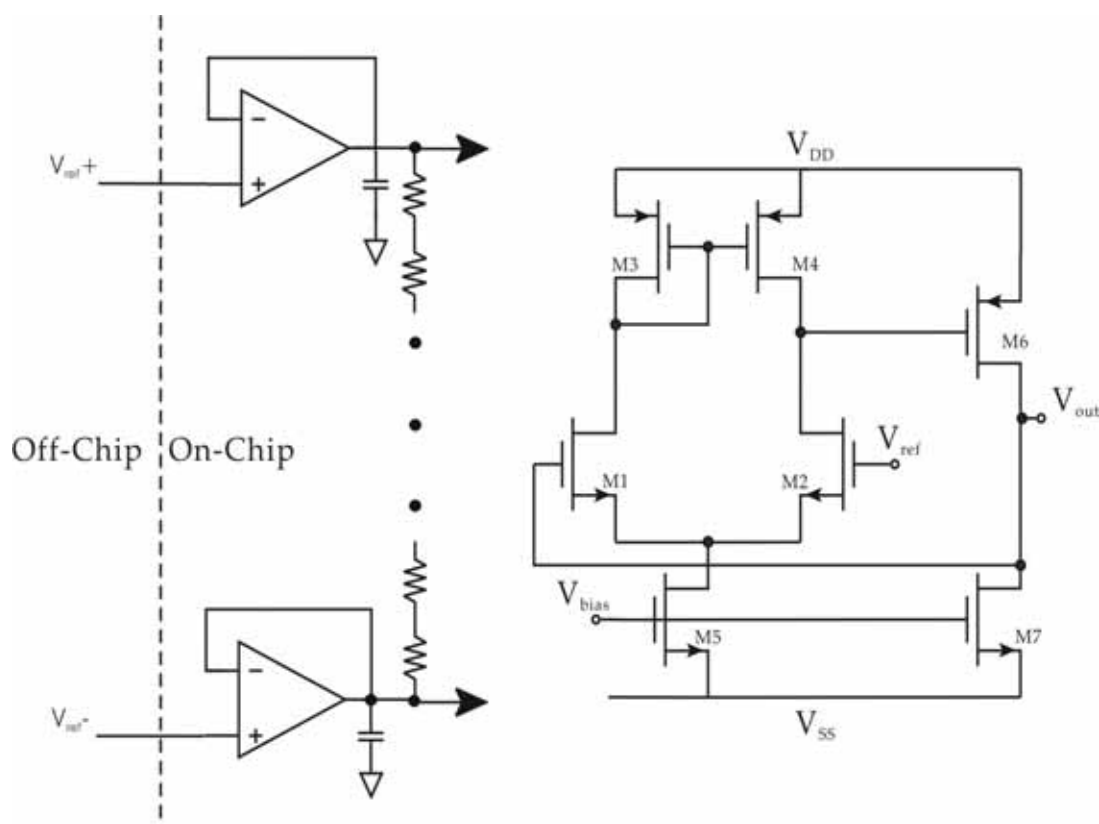


圖 3.11 (a)參考電壓緩衝器

(b)利用二階運算放大器實現的緩衝器

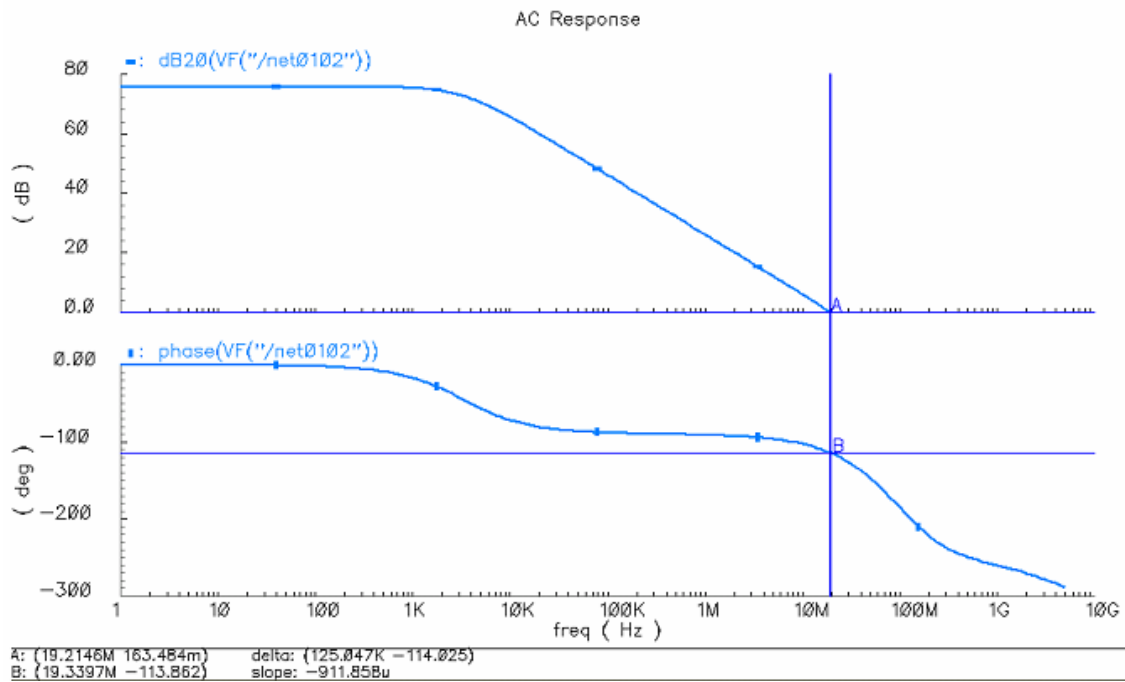


圖 3.12 二階運算放大器的頻率響應

3.4 前置放大器與比較器

為了設計一個高速操作的比較器，最重要的條件就是訊號通過比較器的延遲時間，如圖 3.13 為放大器及 latch 的時域響應，放大器在訊號很微小的時候，可以近似線性的放大，脫離線性區之後，增益會逐漸下降。

而 latch 的特性正好相反，latch 的響應為指數的趨勢，latch 的放大特性可以表示為 [7][8]

$$V_o = V_{IN} \times A \times e^{p_{REG}T/2} \quad (3.10)$$

在這裡

V_{IN} ：比較器的輸入電壓差異，

A ：比較器的輸出對輸入的增益，

T ：一個完整的週期，

p_{REG} ：比較器 regenerative 的極點。

若結合兩者的特性，在前端先使用一個前置放大器來將輸入訊號的差異放大到足夠大的值，然後輸入隨後的 Latch 再繼續放大。在時間 0 到 t_1 ，前置放大器將輸入訊號放大到 V_x 。然後這個電壓 V_x 被輸入到 latch 的輸入端，在時間 t_2 再繼續放大到所需要的電壓 V_{OH} 。整個反應時間是 $t_1 + t_2$ 。如果這個比較器只具備放大器，放大器的增益必須更大，而從 V_{OH} 到 V_{OL} 的延遲時間將會大於 $t_1 + t_2$ 。而從另一方面來說，如果比較器只具備 latch，很小的輸入訊號會導致需要很長的時間來達到所需的電壓。

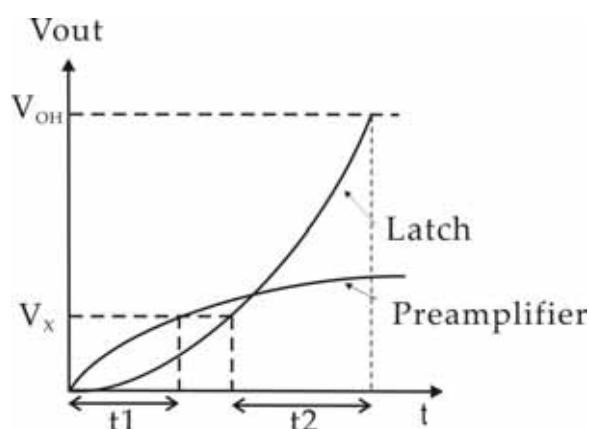


圖 3.13 放大器與 Latch 的步階響應圖

3.4.1 前置放大器 (Pre-amplifier)

前置放大器位於比較器之前，用來將輸入訊號及參考電壓的差異放大到足以抵抗比較器的抵補電壓 (offset voltage)。如圖 3.14 所示，這是一個全差動訊號輸入輸出 (fully differential) 的前置放大器，負載為一組 medium- V_t 的 PMOS 二極體主動負載。二極體主動負載相較於被動式電阻負載及電流鏡負載來說，具有較大的增益，而且不需要額外的 CMFB (common mode feedback) 電路來保持輸出電壓的共模準位。但是二極體負載具有較大的跨壓，會縮小差動對的輸入訊號共模範圍 (input common mode voltage)，尤其在低電壓的設計時更為嚴重。因此在這裡採用了 medium- V_t 的 PMOS 電晶體，來克服這個問題。輸入端由兩個差動對構成，差動的輸入訊號由差動對的一端進入，而互補的參考電壓由另外一端進入。前置放大器的增益約為 6 dB，其頻率響應的模擬結果如圖 3.15。

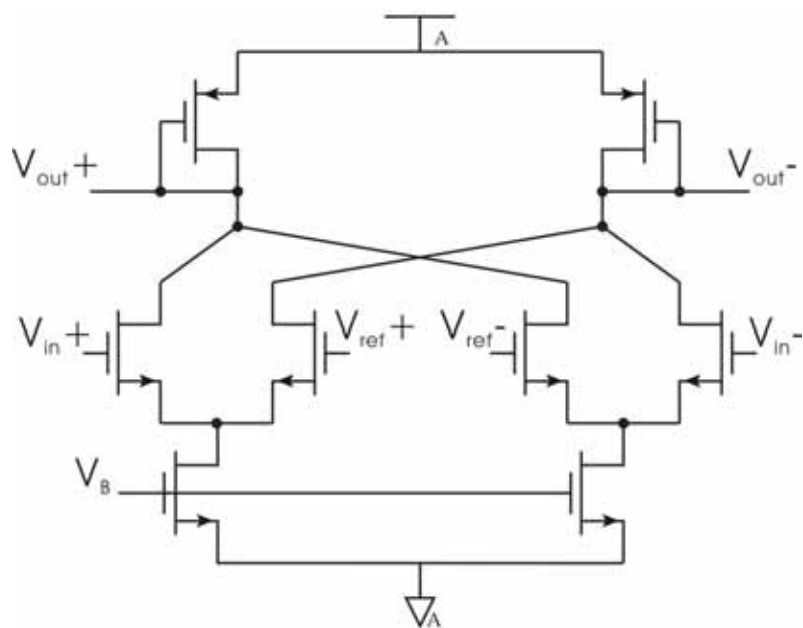


圖 3.14 前置放大器

Prototype2v Preamplifier_sim schematic : Jun 17 16:32:44 2004

AC Response

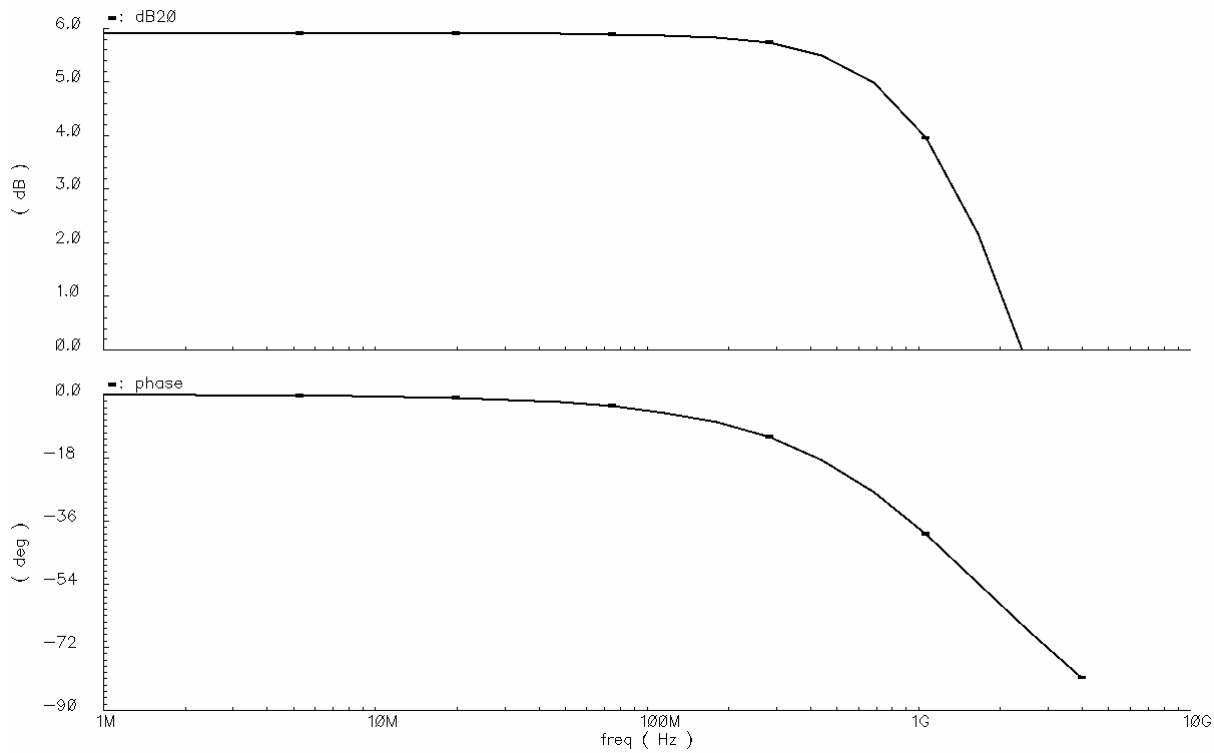


圖 3.15 前置放大器的頻率響應

3.4.2 比較器及 SR Latch

第一級的比較器如圖 3.16(a)，包括了一個差動對 M1、M2 和一個 latch M6、M7，兩者共用相同的負載 M3、M4，M3、M4 採用的是 medium-Vt 的 PMOS 二極體主動負載。在 CLK 為 0、CLKb 為 1 時，M10 對比較器做重置的動作，此時 M5 也會導通，輸入訊號從差動對的 M1 及 M2 輸入，在差動對的輸出端產生一個小的電壓差異。在下一個狀態，也就是 CLK 為 1、CLKb 為 0 時，M8 導通，由 M6、M7 構成的 Latch 開始動作，將上一個狀態在節點 out- 及 out+ 的微小差異拉大。由於 M9 及 M3、M4 所具有的跨壓，輸出電壓並不會被放大到邏輯準位，而會被鉗制在 0.5V~1.2V 之間，如此可以降低比較器重置時對前置放大器造成的影響，而且也可以加快比較器重置的速度[9]。

第二級的比較器如圖 3.16(b)，是由一組背對背 (back-to-back) 的反向器構成的 (M1~M4)，另外 M5、M6 用來偵測輸入的值，M7、M8、M10 對比較器做重置的動作，M9 對比較器提供一組定電流，可以降低電流劇烈變化對電源的影響[10][11] (power bounce)，並且使電晶體放電的速度加快。當 CLK 為 1 時，M10 拉近兩差動輸出的電壓，M7、M8 導通使得 M5、M6 作用，將上一級比較器的結果輸入，在輸出端產生一個電壓差異。當 CLK 為 0 時，這個電壓差異會被拉大到邏輯準位，完成整個比較器的運作。

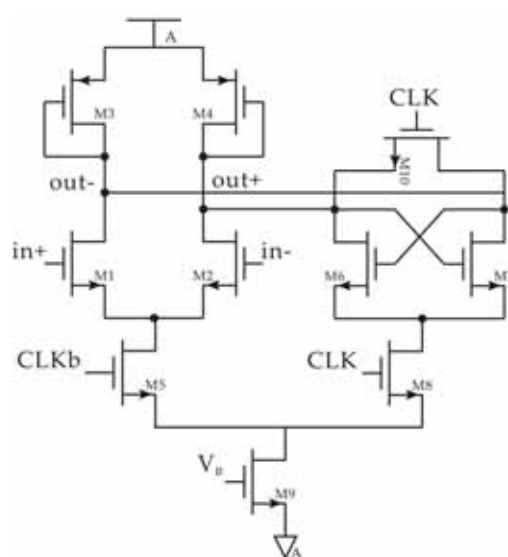
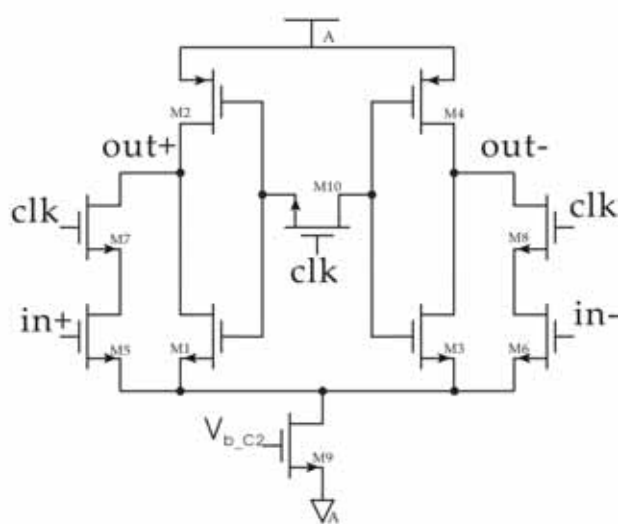


圖 3.16 (a) 第一級比較器



(b) 第二級放大器

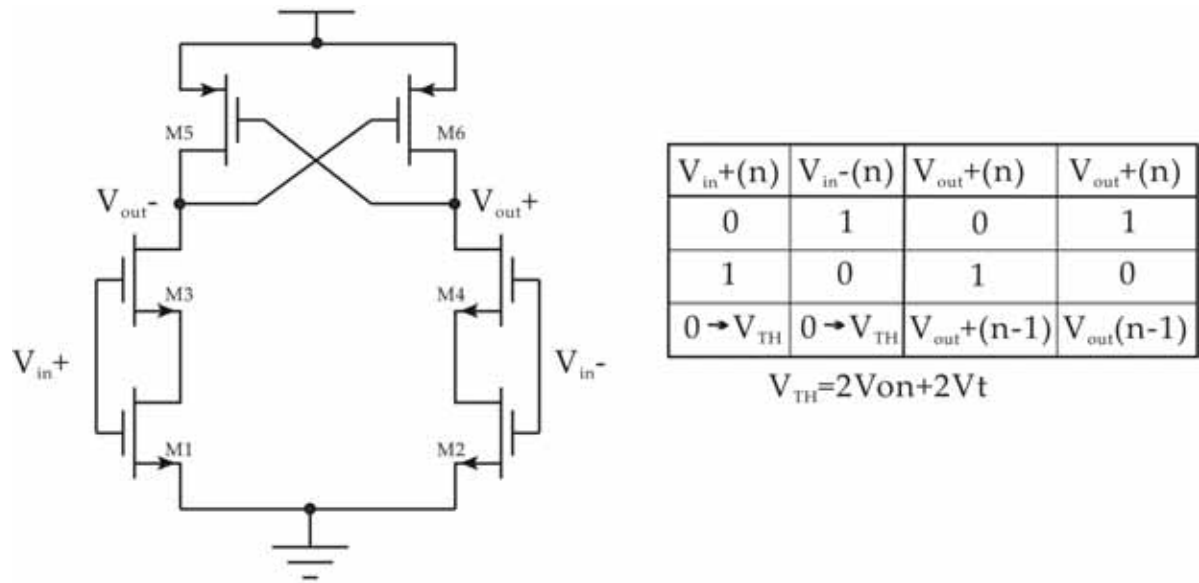


圖 3.17 SR Latch

比較器在重置狀態時，輸出會成為中間準位，因此比較器的輸出實際上只有半週期的資訊是有效的，透過 SR Latch 可以讓比較器在重置狀態時保持前半週期的值，而使數位電路可使用的輸入為一個完整的週期。在這裡採用的電路如圖 3.17，透過尺寸的調整讓 M1、M3 或 M2、M4 同時打開的電壓必須大於前一級比較器重置狀態的輸出電壓。在這裡 M1、M3 或 M2、M4 同時打開的臨界電壓為

$$V_{TH} = 2V_{ON} + V_t \quad (3.11)$$

其中 V_{ON} 為 NMOS 的導通電壓

V_t 為 NMOS 的臨界電壓

圖 3.18 是整個比較器，包括前置放大器及第一、第二級比較器 overdrive 回復能力的模擬，模擬的方式是給予比較器一組從 1LSB 變化到最大輸入範圍的方波輸入，週期為取樣頻率的一半。模擬的結果顯示在 1.25GHz 的操作頻率下，比較器可以正常工作。

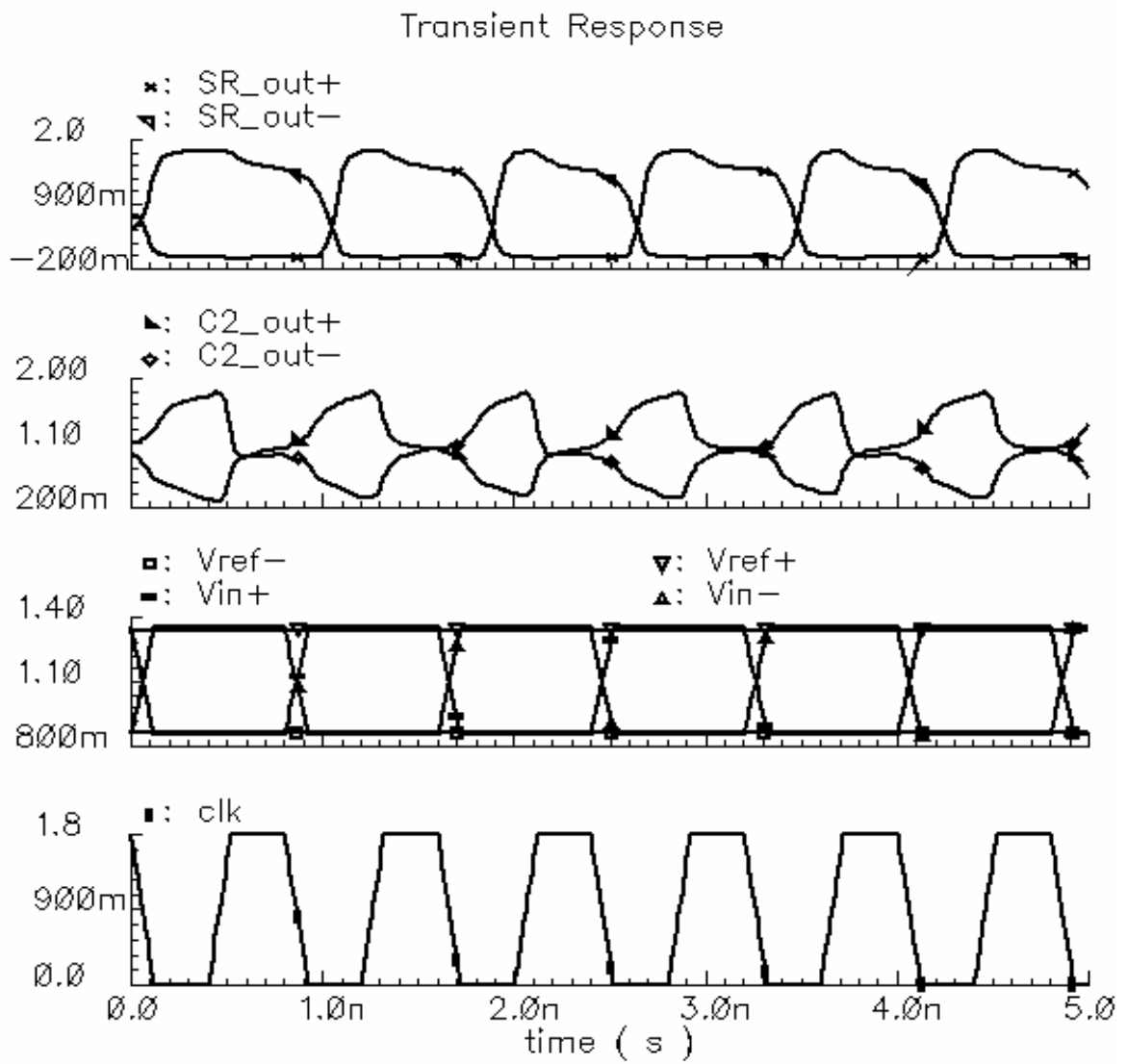


圖 3.18 比較器的 overdrive recovery 模擬結果

3.5 編碼器

在快閃式類比數位轉換器當中，編碼器用來將比較器輸出的溫度計碼 (Thermometer Code) 轉成所需的二進位碼 (Binary Code)，並且透過數位的方式消除在轉換過程產生的錯誤，例如泡沫錯誤 (bubble error) 以及 metastability。另外，轉換速度也是一個主要的課題，編碼器必須能配合前端類比電路的轉換速度，穩定而準確的做解碼的動作，在類比數位轉換器的轉換速度達到 GHz 以上之後，高速的編碼器設計也成為設計的重點之一。

3.5.1 泡沫錯誤及 Metastability

在快閃式類比數位轉換器中，比較器的輸出是一組由連續 0 及連續 1 所構成的字串列。而其中 0 和 1 的交界之處，就是輸入電壓所對應的區間，在輸入位準之上的比較器輸出都會為 1，而輸入位準之下的比較器輸出都會為 0，這樣的結果被稱作溫度計碼，之後我們會透過編碼器 (encoder) 將其編碼成為所需要的二進位碼。然而，在實際的情況下，可能會因為：

- 1) 比較器之間的 offset 電壓不同。
- 2) 時鐘訊號到達每個比較器有微小的時間差。
- 3) 參考電壓位準的偏移。

而導致一個或更多的 0 出現在臨界的 1 之上，這樣的錯誤被稱為泡沫錯誤。

metastability 是指當比較器的輸入是一個很小的電壓差時，比較器不能在有限的時間內將這為小的差異放大到後端數位電路可以接受的位準。這會造成後續的邏輯閘將結果判斷為與預期的結果不同的另一個邏輯位準，而造成邏輯錯誤。

為了消除泡沫錯誤及 metastability 錯誤。在此設計中，在類比電路部分，T/H 的加入改善了時鐘訊號到達比較器的時間差所帶來的泡沫錯誤；而兩級的比較器及 SR latch 增加了 regeneration 的時間及比較器的等效增益，則有效的降低 metastability 的錯誤。在數位電路部份，分為兩個部分，第一個部分使用三輸入的 NAND 閘來消除泡沫錯誤，而第二部分則藉由葛雷碼的編碼過程來降低泡沫錯誤及 metastability 帶來的影響。

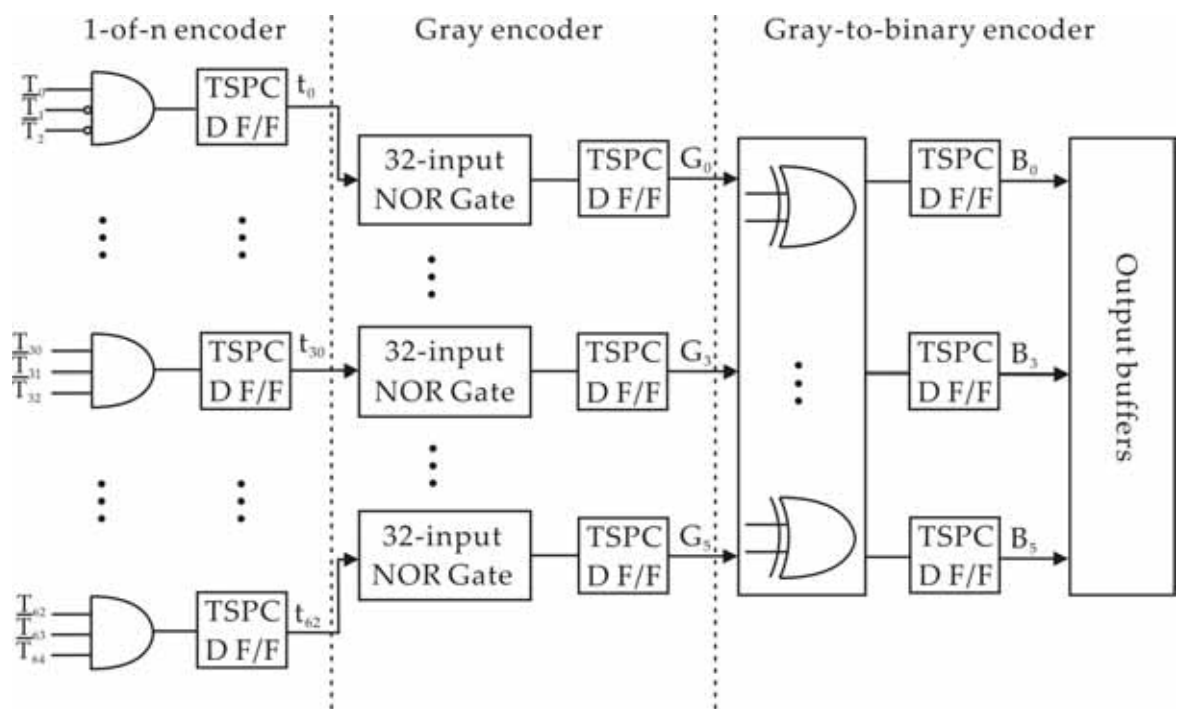


圖 3.19 編碼器示意圖

3.5.2 電路實現

首先是採用了三輸入的 NAND 閘在比較器之後，將比較器輸出的溫度計碼轉成 1-of-N code，可由以下式子表示：

$$t_j = T_j \cdot \overline{T_{j+1}} \cdot \overline{T_{j+2}} \quad 0 \leq j \leq 62 \quad (3.12)$$

$$T_{63}, T_{64} = 0$$

其中 T_j 和 $\overline{T_j}$ 是 SR-Latch 的正反輸出

t_j 是 1-of-N code 的輸出

這樣的作法僅需耗費一個邏輯閘的延遲時間，且可以有效的消除一個零的泡沫錯誤。而兩個零以上的錯誤出現的機率相較於一個零的錯誤的機率要小的很多，如果兩個零以上的錯誤出現的時候，也會因為隨後進行的葛雷碼的編碼過程而降低其所造成的影響。如表 3.1 所示是一個零以及兩個零的泡沫錯誤透過葛雷碼編碼以及直接轉為二進位碼的例子。

表 3.1 泡沫錯誤

	Thermometer code	1-of-N Code	Gray Code	Weight Value	Binary Code	Weight Value
No error	00011111	00010000	010	2	011	3
1 bubble	00010111	00010000	010	2	011	3
2 bubble	00010011	00010010	011	3	110	6

由 1-of-N Code 轉成葛雷碼的過程，主要是由六個 32 輸入的 OR 閘所構成的，可由以下式子表示：

$$\begin{aligned}
 G_i = & \overline{t_{2^i}} + \overline{t_{2^{i+1}}} + \overline{t_{2^{i+2}}} + \dots + \overline{t_{2^{i+2^{i+1}}-1}} \\
 & + \overline{t_{2^{i+2^{i+2}}}} + \dots + \overline{t_{2^{i+2^{i+2}+2^{i+1}}-1}} \\
 & + \overline{t_{2^{i+2 \times 2^{i+2}}}} + \dots + \overline{t_{2^{i+2^{i+1}}-1}} \\
 & \vdots \\
 & + \overline{t_n} + \dots + \overline{t_{n+2^{i+1}}-1}
 \end{aligned} \tag{3.13}$$

其中 $n = |2^6 - 3 \times 2^i|$, $i=0\sim5$

G_i 是第 i 個葛雷碼的輸出

為了達到高速的需求，在這一級採用了骨牌 (Domino) 邏輯，並且針對邏輯閘的電晶體尺寸，扇入數 (fan-in) 作最佳化。另外，稍加改良了骨牌邏輯的時鐘安排，以符合設計的需要。

骨牌邏輯是改良式的動態邏輯，可允許一組串接的動態邏輯在單一時鐘下，完成預先充電及邏輯評估的動作。其特點是在每一邏輯閘輸出點加上一個靜態的反向器，所以只能實現非反向的架構，另外，由於動態邏輯的特性，具有以下的優點：

- 1) 相較於靜態邏輯 (static CMOS)，輸出節點的負載較小，較適合用來實現高速以及高扇入的邏輯閘。
- 2) 在靜態的狀態下，沒有 VDD 及 GND 之間的路徑，不消耗靜態功率。
- 3) 共用預充電及放電的電晶體，可以以較少的電晶體數來實現邏輯。相對於靜態邏輯：N+2 vs. 2N。

4) 其邏輯由類似 CMOS pull-down 電路構成，適合用來實現 OR 閘。

此三十二輸入的 OR 閘可能會有以下幾種方法實現，如圖 3.20：

方法一：一個三十二輸入 NOR 閘。

方法二：四個八輸入的 NOR 閘及一個四輸入的 NOR 閘。

方法三：八個四輸入的 NOR 閘及一個八輸入的 NOR 閘。

方法四：十個四輸入的 NOR 閘、一個二輸入的 NOR 閘。

透過模擬的結果顯示方法二及方法三具有最小的延遲時間，由於方法二具有較小的面積，所以最後採用方法二來實現這個邏輯閘。

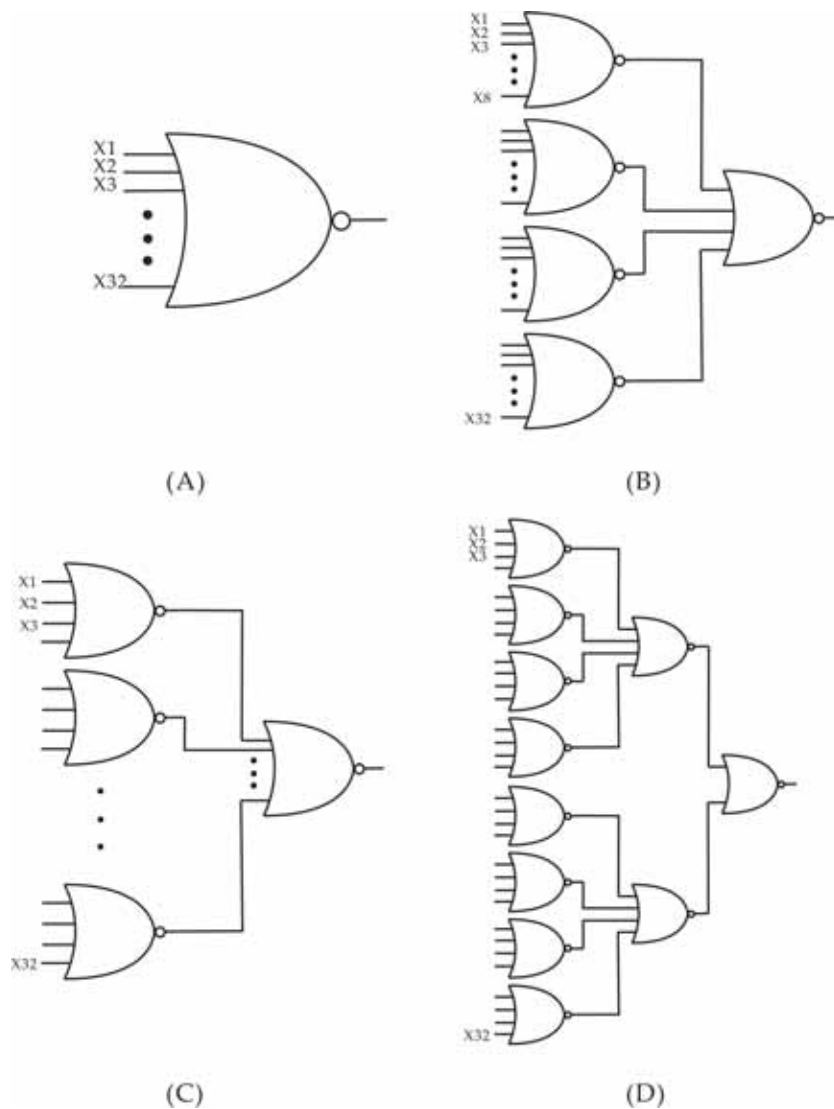


圖 3.20 三十二輸入的 OR 閘的幾種實現方式

一般骨牌邏輯的示意圖如圖 3.21，第二級邏輯閘做完判斷的結果會由之後的 D 型正反器在時脈的負緣 (negative-edge) 抓取結果，因為動態邏輯的特性使然，在時脈週期的負緣開始的半週期會進行預充電的動作，如此一來會使得 D 型正反器沒有足夠的設置時間 (setup-time) 穩定的抓取最後的結果。在這裡針對需求對兩級的 NOR 閘給予不同的時脈 (圖 3.22)，透過相當靠近 NOR 閘的兩個反向器，產生一個具有延遲的時脈 clkd，相較於標準的時脈 clk，具有約 120ps 的延遲。以使得在 32 輸入 OR 閘之後的 D 型正反器有足夠的設置時間。

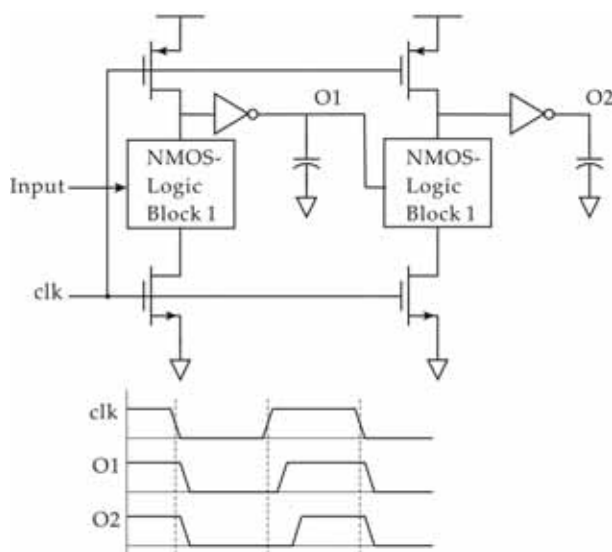


圖 3.21 骨牌邏輯及其時序圖

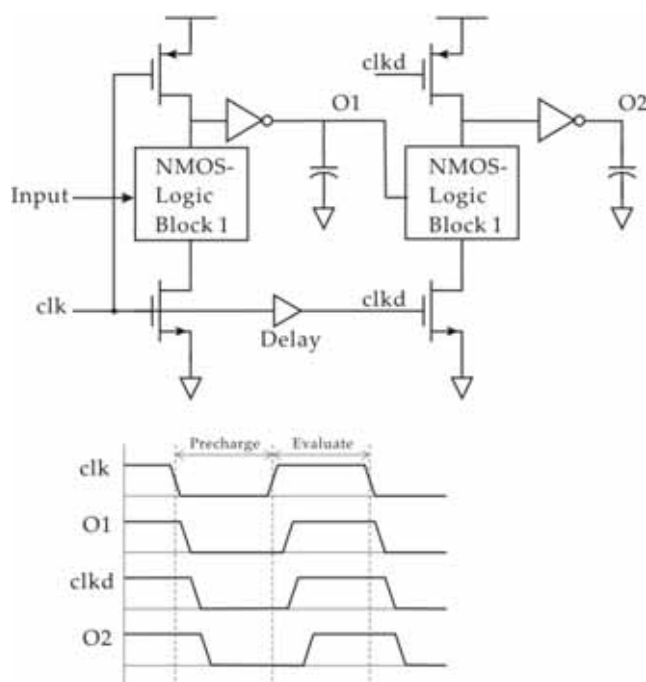


圖 3.22 改良的骨牌邏輯及其時序圖

最後，葛雷碼會被轉為二進位碼，這裡是透過五個串接的 XOR 閘來完成這個函式，每一個位元會在每一級的 XOR 閘輸出點產生，如圖 3.23。

這個編碼的過程可表示為

$$\begin{aligned} B_k &= G_k \oplus B_{k+1} \\ B_6 &= G_6 \end{aligned} \tag{3.14}$$

其中 \oplus 代表 exclusive or

B_k 是第 k 個二進位碼的輸出

在這裡，XOR 閘採用傳輸閘邏輯 (pass-transistor-logic) 來實現以達到最短的傳遞延遲，如圖 3.24。

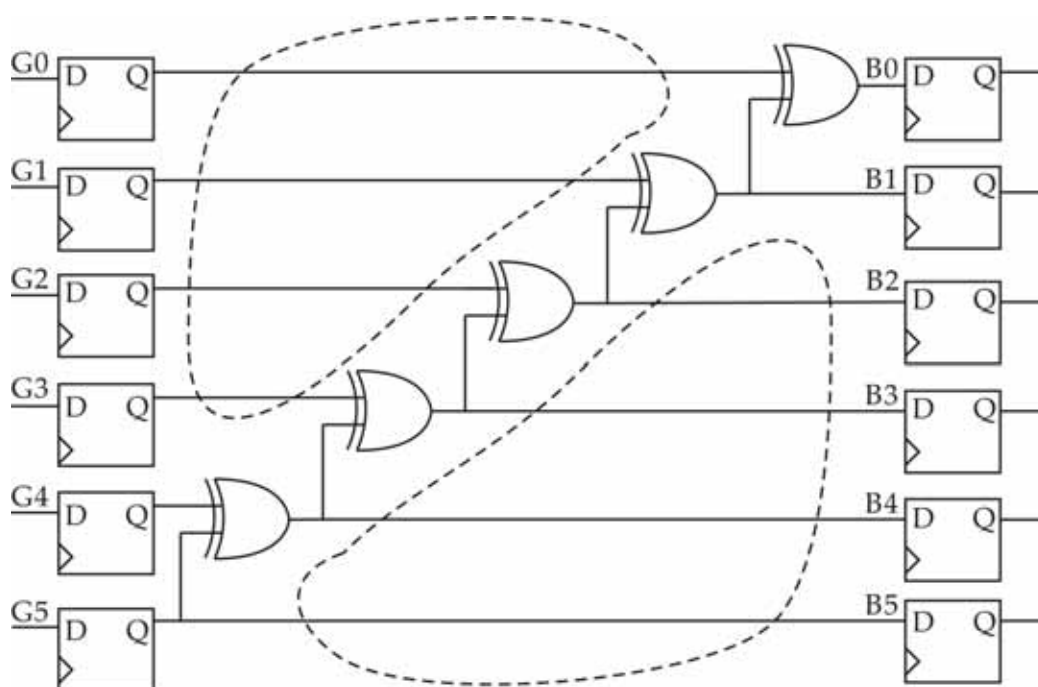


圖 3.23 葛雷碼轉二進位碼示意圖

每個輸出會有不同的延遲，其中，最小位元 (B0) 會有最大的延遲，這會造成邏輯有競態 (racing) 的現象而導致邏輯錯誤，這個問題可以透過加入適當的延遲元件來改善[12]，如圖(d)的虛線部份。最初的想法是採用相似的邏輯閘來構成，圖 3.25(a)，以求能有較小的時間差異，但是傳輸閘對負載的驅動力很弱，經過模擬的結果，採用了兩個反向器串接來構成這個延遲元件，圖 3.25(b)。

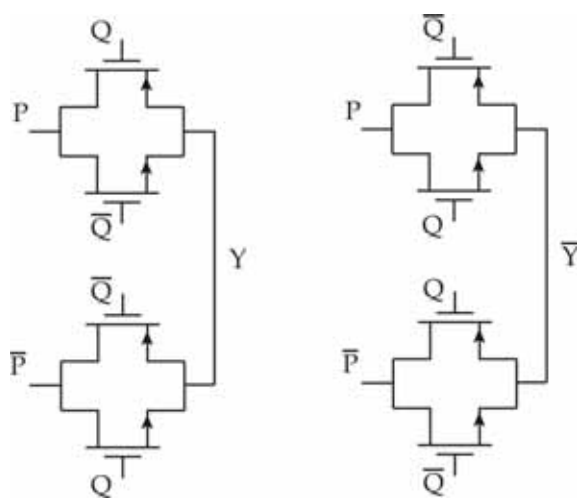


圖 3.24 採用傳輸閘邏輯的 XOR 閘

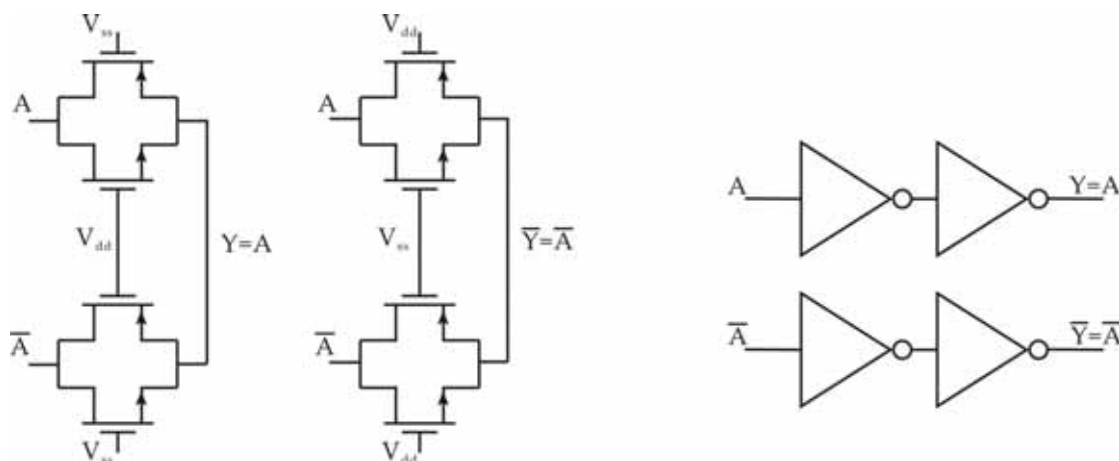


圖 3.25 (a) XOR 閘構成的延遲元件

(b) 反向器構成的延遲元件

3.5.3 True Single Phase Clocked Register (TSPCR)

為了達到高速的編碼器操作，管線式的邏輯安排是必要的，在管線式的邏輯當中會使用到許多的暫存器，這些暫存器必須能穩定的在操作頻率下工作，另外在使用的數量上也是很可觀，舉例來說：在溫度計碼部分每一級會需要 63 個，而在葛雷碼及二進位碼部分每一級需要 6 個，所以暫存器的低功率也是必須注意的。

在傳統暫存器的設計當中，需要使用一對不重疊 (non-overlap) 的時脈訊號，而在高速的應用下，不重疊的時脈訊號並不容易達成的，這是由於：1) 時脈訊號緩衝器受到製程、溫度、或是佈局路徑的影響時，而有不同的延遲。2) 兩互補時脈訊號的佈局路徑不同。3) 時脈訊號的負載會隨著資料內容而改變。這些原因都會使兩互補時脈訊號產生 clock skew，而使時脈訊號有重疊的現象，因此這種類型的暫存器不適用於高速的情況。所以 C₂MOS (Clocked CMOS) 被發展出來克服這個問題[13]，不過雖然克服了時脈訊號重疊的問題，但是仍然需要一對互補的時脈訊號來驅動，仍然會有 clock skew 的問題。而在這裡所採用的 TSPCR (True Single Phase Clocked Register) 可以只用一個單相的時脈訊號來驅動，所以相當適合在高速下的使用[14][15][16]。

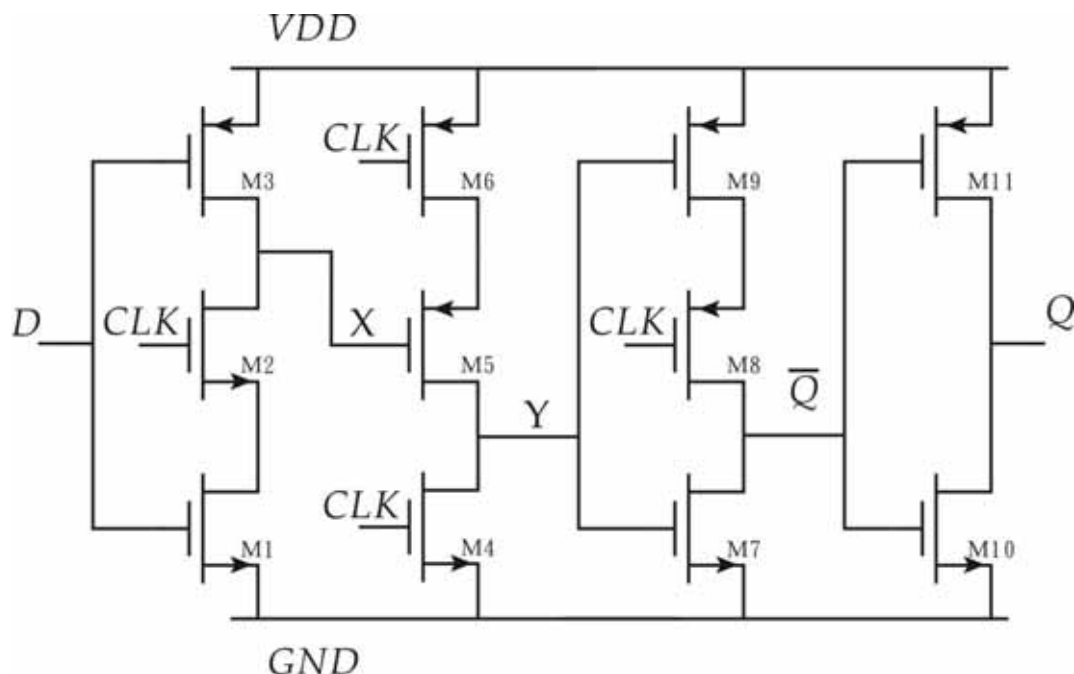


圖 3.26 True Single Phase Clocked Register

如圖 3.26，是在本設計中所採用的 TSPCR。它主要是由三級動態的反向器構成。當 CLK=1，輸入訊號由圖中最左邊的第一級反向器進入，在這半週期，第一級反向器會隨著輸入訊號 D 變化。第二級的反向器在這個半周期作放電的動作，透過 M4 將節點 Y 放電到 GND。第三級的反向器，M8 和 M9 是關閉的狀態，所以這一級會保持前半週期的狀態。因此，在這個半周期中，前一級的輸入訊號會被穩定的保持在輸出的節點 Q 上。在時脈的下降邊緣，輸入訊號被取樣在 X 節點上，節點 X 會通過第二級以及第三級的反向器，傳到輸出節點 \bar{Q} 。在隨後的 CLK=0 的半週期中，穩定不受到輸入訊號 D 的影響，最後通過一個靜態的反向器，濾除 glitch 並產生與輸入同相的 Q。

在這個 TSPCR 的設計上必須去注意到時脈轉換邊緣時輸出點 \bar{Q} 可能會產生的 glitch，這會造成輸出的邏輯錯誤。如圖 3.27 當 CLK=1 而 D=1，此時 Y 節點透過 M4 放電為“0”，而使得 M9 開啟。若此時 CLK 由“1”變為“0”，此時 Y 透過 M5、M6 開始充電，此時 \bar{Q} 也會透過 M8、M9 會開始充電直到 Y 節點被充到“1”為止，此時就會在 \bar{Q} 產生一個 glitch。改善的方式是加大第二級的 PMOS 尺寸使其充電能力大於第三級，來縮短 M5、M6 充電的時間，並降低 M8、M9 充電的量，藉此使 \bar{Q} 的 glitch 變小。

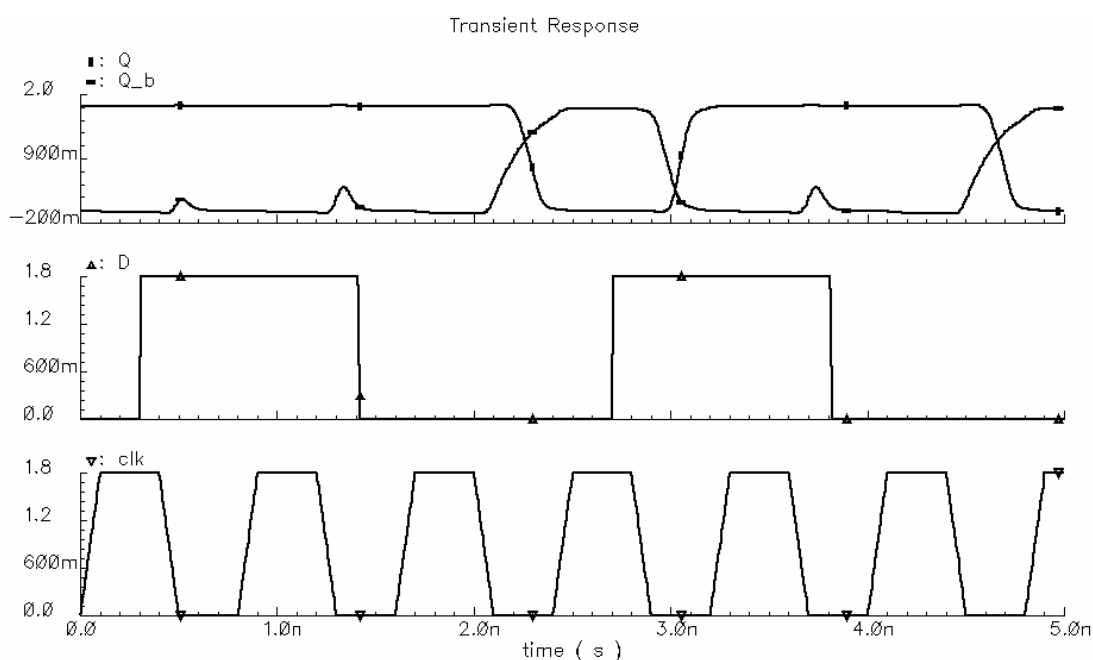


圖 3.27 TSPCR 的模擬結果

TSPCR 的操作速度主要取決於訊號通過三級反向器所需要的時間以及所需推動的負載。每顆電晶體的面積加大會增加其電流驅動力，但是也會增加該節點的寄生電容，因此必須針對最後一級所推的負載來決定之前的反向器尺寸。所以在這個設計當中，對於編碼器中會使用到暫存器的地方，針對其不同的負載，採用了具有不同電流驅動力的 TSPCR，電晶體的尺寸如下表。

錶 3.2 TSPCR 的電晶體尺寸

	M1,M2	M3	M4	M5,M6	M7	M8,M9	M10	M11
1	1	3	1	8	1	2	3	8
2	1	3	1	8	1	2	3	8
3	1	3	1	6	1	2	3	6

(單位：最小面積的電晶體)

3.6 週邊電路

3.6.1 偏壓電路

這個設計當中採用了 constant- g_m 的自我偏壓 (self-biasing) 電路，來提供前置放大器及比較器所需的偏壓點，在這個電路中，M5 的轉導

$$g_{m5} = \frac{2[1 - \sqrt{\frac{(W/L)_5}{(W/L)_6}}]}{R_B} \quad (3.15)$$

是由 M5，M6 的比值及 R_B 的值來決定的，所以不受製程參數、電源飄動、溫度等參數的影響。並且在設計上會使

$$\begin{aligned} (W/L)_6 &= 4(W/L)_5 \\ g_{m5} &= \frac{1}{R_B} \end{aligned} \quad (3.16)$$

如此並藉由控制 g_{m5} 的值來決定電流的值。

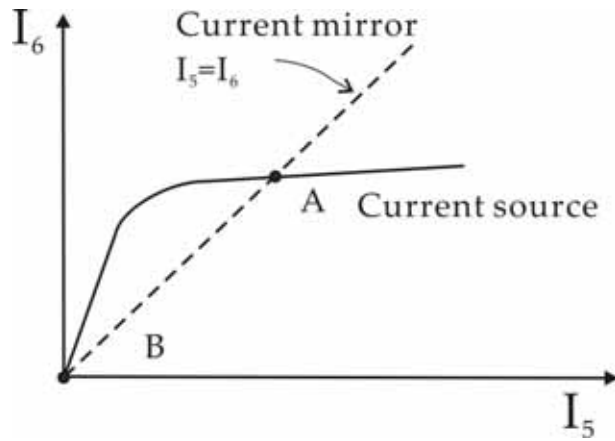


圖 3.28 Self-biasing 電路的兩個工作點

這個自我偏壓的電路在運作的時候會有兩個穩定的工作點，其中一個工作點 A 是電流鏡的兩邊產生一組相等的電流 $I_5 = I_6$ ，這是我們所需要的情況。而另一個工作點 B 則是兩邊皆沒有電流產生，這會造成偏壓電路的偏壓點錯誤。

為了避免這種情況產生，在這裡加入了一組啟動電路 (start-up circuit)，它是由反

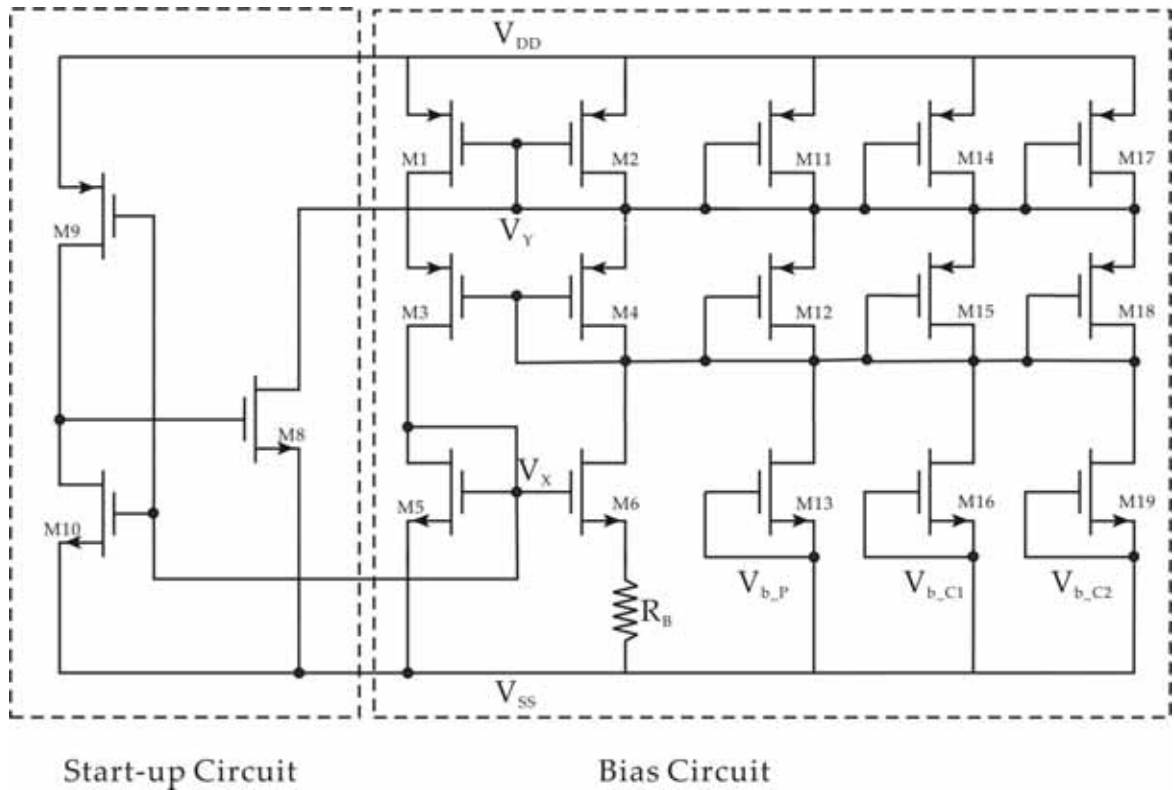


圖 3.29 Constant-gm 偏壓電路及啟動電路

向器及一個由反向器控制的電晶體開關構成的，當電路處於工作點 B 時，反向器會偵測到節點 V_x 的低電壓而輸出高準位，令電晶體 M8 開啟並開始對節點 V_y 放電，直到 M1 及 M2 開啟時，整個偏壓電路也開始運作在工作點 A，此時 V_x 會升高而使 M8 關閉，啟動電路不在對偏壓電路有影響。

偏壓電路的電流會透過幾組電流鏡產生不同的偏壓點 (圖 3.29)，包括供給前置放大器的 V_{b_P} ，及供給第一組和第二組比較器的 V_{b_P} 。

3.6.2 時脈產生器

在這個設計當中所使用的時脈訊號，是由晶片外部輸入一組差動的弦波，透過晶片內部的反向器串接，來放大這組弦波形成所需的脈波 (圖 3.30)。為了降低兩時脈訊號之間的 skew，在這裡只使用兩級的反向器來放大輸入訊號，並且用這組訊號來推動整個類比數位轉換器中的類比電路及數位電路。

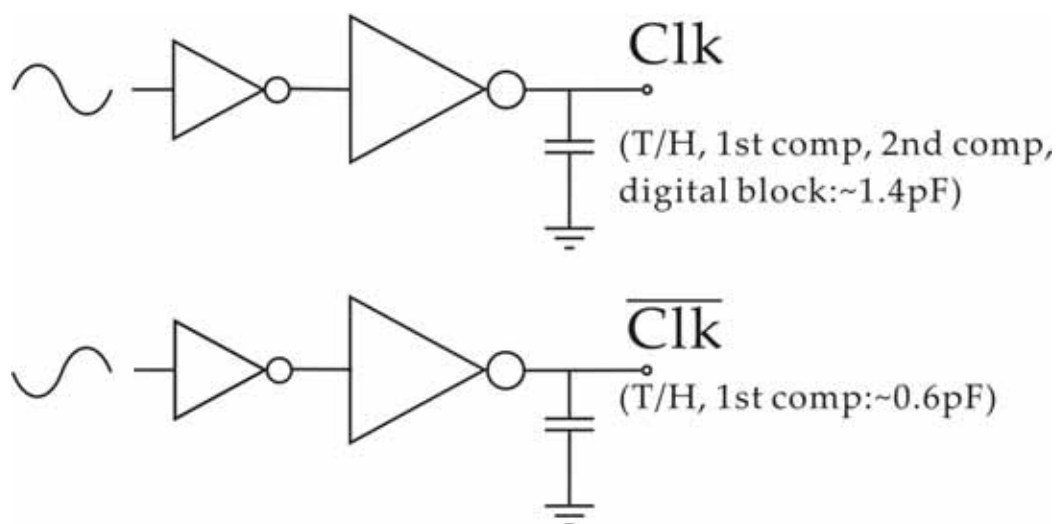


圖 3.30 時脈產生器

第四章

佈局考量及模擬結果

4.1 平面配置

在這個快閃式類比數位轉換器的佈局上，由於其極高的操作頻率，在佈局上必須做仔細的考量才能達到設計上預期的成果。

由於快閃式類比數位轉換器具有為數眾多的比較器，因此在高速的運作下，輸入訊號及時脈訊號的傳遞到比較器的延遲會造成可觀的誤差，因此在佈局上會希望盡量去縮小這個誤差。在這裡可能採用的方法有兩種，其中之一是將原本排列成一排的比較器拆成兩段或數段[17]，這樣的作法可以減少訊號傳遞的延遲，並且使得整個晶片的長度不至於過長。但是由於比較器被分成兩段，比較器輸出的結果要送到編碼器編碼時，必須浪費額外的佈線面積，且具有較大的傳遞延遲。另外，兩邊的比較器分布在兩個不同的區域，會造成一些電晶體參數具有些微差異，而導致兩邊電路表現上的差異，這就類似時間分離式類比數位轉換器會遇到的問題，多個不同的通道必須考慮到時間誤差的問題。因此這樣的作法通常用在較低速的快閃式類比數位轉換器的佈局當中，例如八位元的快閃式類比數位轉換器。

另外一個做法是盡量降低每一組比較器佈局上的寬度，讓其形狀為一個長條形，藉此來降低整體比較器的寬度。由於高速的電路設計上，原本就具有較單純的電路結構及較精簡的電晶體數，因此這樣的作法並不難達成，在這個設計當中就採用這種方式來實現比較器的佈局。

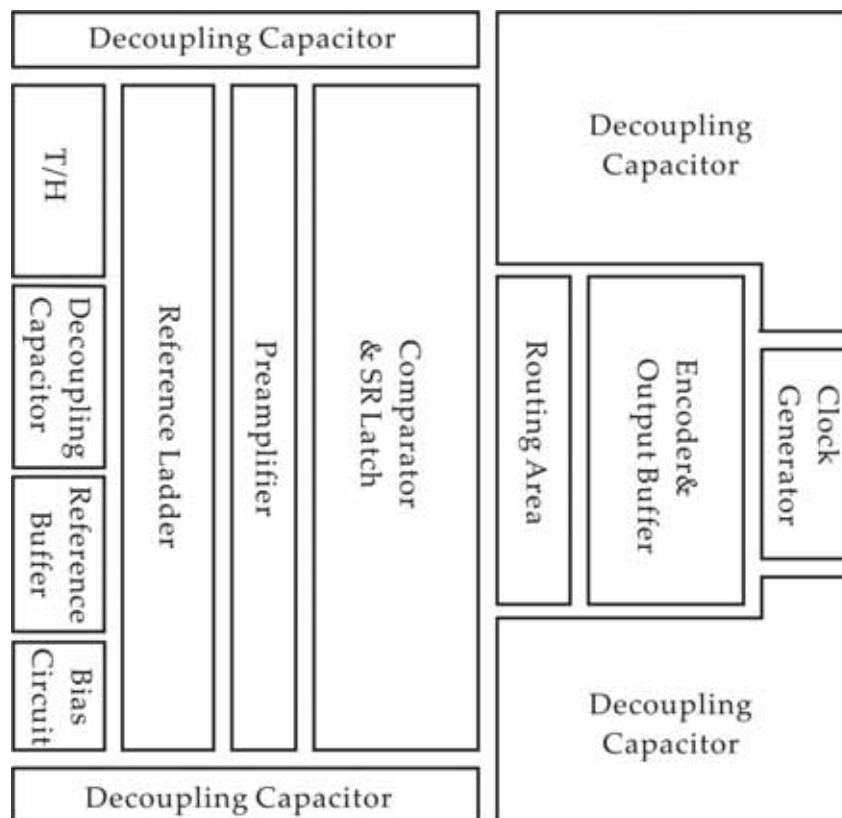


圖 4.1 佈局的平面配置

如圖 4.1，輸入訊號從圖的左邊經過追蹤比較電路、前置放大器、比較器，最後到達編碼器及輸出緩衝器，由圖的右邊輸出。偏壓電路以及參考電壓緩衝器被放在左下角遠離數位電路的雜訊干擾。時脈訊號產生器置放於圖的右中，可以降低對類比電路的干擾，且較接近需要時脈訊號的比較器及編碼器，可以減低時脈訊號的負載。另外，在晶片上的剩餘空間都放上了退耦電容 (decoupling capacitor) 來吸收電源上的雜訊。

4.2 佈局考量

在整個佈局的過程當中，必須常常注意到的是電路的對稱性，這包括了 1)訊號傳遞的對稱性，例如：差動訊號、互補的時脈訊號的對稱。差動訊號的對稱性可以消除共模的雜訊，同時可以避免延遲時間的差異。 2)熱源的對稱性：高速的類比數位轉換器會消耗不少的功率，而其中時脈產生器及輸出緩衝器的單位面積消耗的功率尤其可觀，因此溫度提升對電路造成的影響變的不可忽略，在佈局上必須使這些電路方塊對稱，讓溫度對整體電路造成的誤差可以降到最低。 3)訊號線負載的對稱性：同一組訊號的佈線必須具有相同面積且同一層的金屬導線來造成相同的負載，這可以訊號同時到達，

避免競態 (racing) 的現象。倘若不能達到完全相同的路徑，也可加上一些額外的負載來達到對稱的效果。

數位電路在工作時透過電晶體的開關來進行邏輯運算的動作，電晶體在開啟或關閉會帶來對其負載電容做充電或放電的動作。而在同步電路當中，這些開關的動作又都集中在時脈的正緣及負緣，因此這同時充放電的動作帶來的大電流會同時流過電源或地，而對周圍的電路造成極大的雜訊。為了避免這種情況，在這個設計當中針對類比部分、數位部分、及時脈產生器部分三組不同的電源。類比部分包含追蹤保持電路、前置放大器、比較器、偏壓電路、及參考電壓產生器所需的電源。而數位部分則包含所有的數位電路及暫存器的電源。最後，時脈產生器由於耗費甚多功率，且其電晶體狀態的變化也是最劇烈的，因此亦獨立一組電源。

另外針對電壓飄移比較敏感的偏壓電路及參考電壓緩衝器加上了 guard ring 來吸收透過底板 (substrate) 傳遞過來的雜訊，guard ring 上所接的電壓是由一組獨立的電源供應。

在實際的晶片當中，由於 pad 及 bonding wire 的寄生的電感、電阻、及電容效應，會造成電源供給的不穩定，而這個現象會隨著電流的量加大以及切換速度加快而更形嚴重，改善的方法除了分離較為敏感的類比部分及數位部分的電源之外。還可以對同一組電源增加幾組 pad，藉由多幾組的 bonding wire 並聯來降低寄生電感的值。在高速的情況下，電感的值對電壓飄移具有最嚴重的影響。在這個設計當中，分別給予了類比電源三組的 pad，數位電源兩組的 pad，以及時脈產生器兩組的電源。

如圖 4.2 是整個快閃式類比數位轉換器的佈局，使用了國家晶片中心所提供的靜電放電防護電路及 pad，採用 TSMC 0.18 μm 1P6M CMOS 製程製作。晶片中主動區域約佔 0.36mm²。

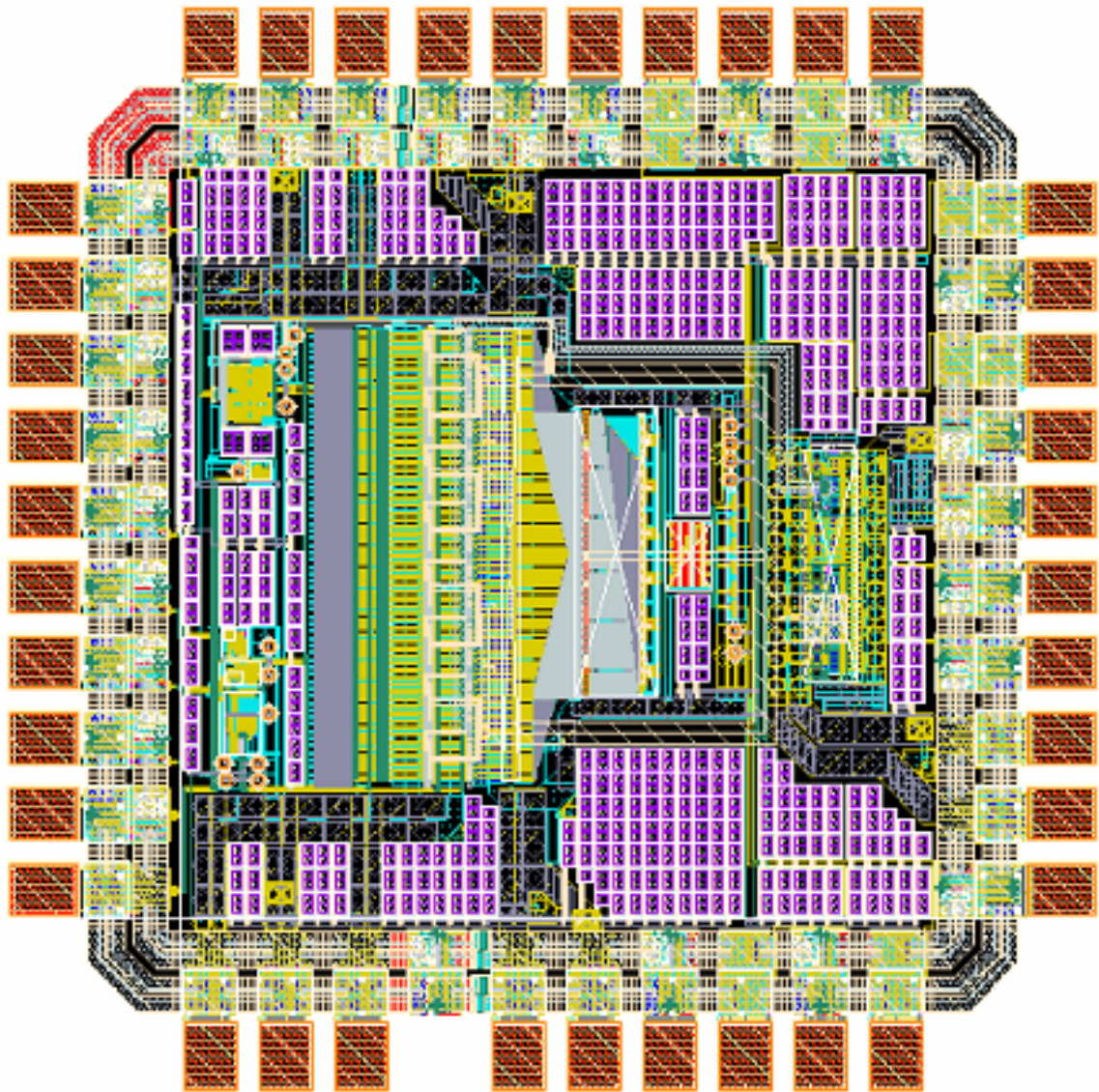


圖 4.2 快閃式類比數位轉換器的佈局

4.3 模擬結果

全晶片模擬分為靜態模擬及動態模擬兩個部分。首先是靜態模擬的部分，圖 4.3 是類比數位轉換器一個週期的弦波重建波形。圖 4.4 及圖 4.5 是 DNL 及 INL 的結果，模擬結果顯示 DNL 介於-0.2 ~ 0.3，而 INL 介於-0.3~0.1。

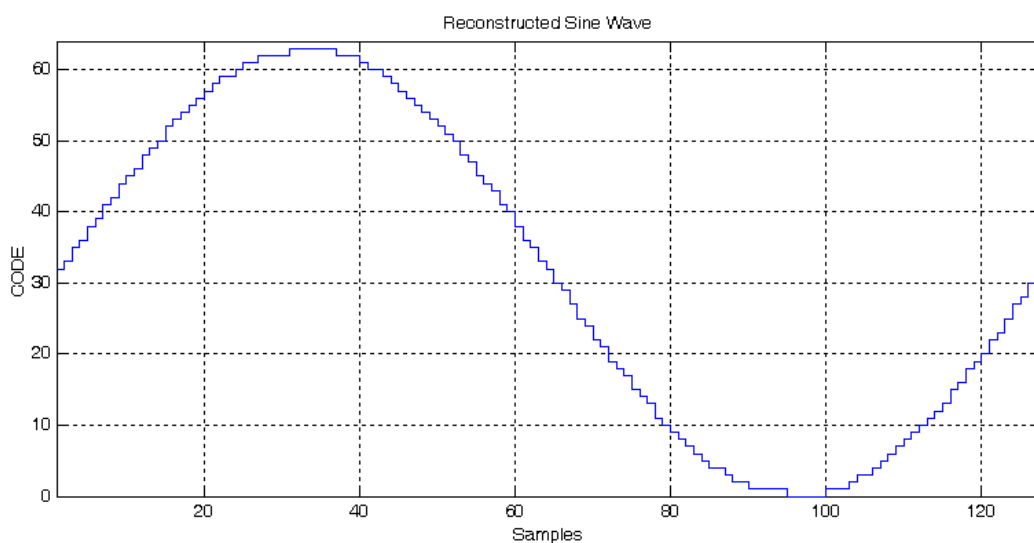


圖 4.3 弦波重建圖形

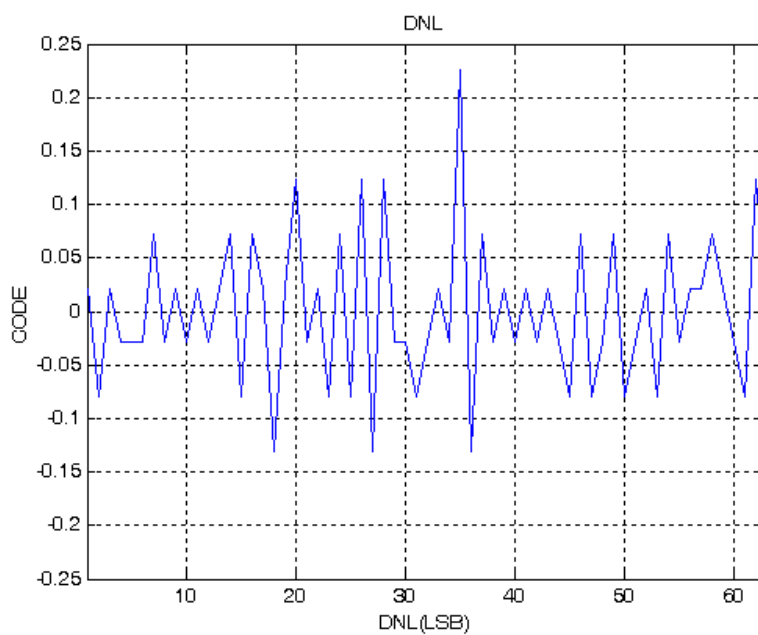


圖 4.4 DNL

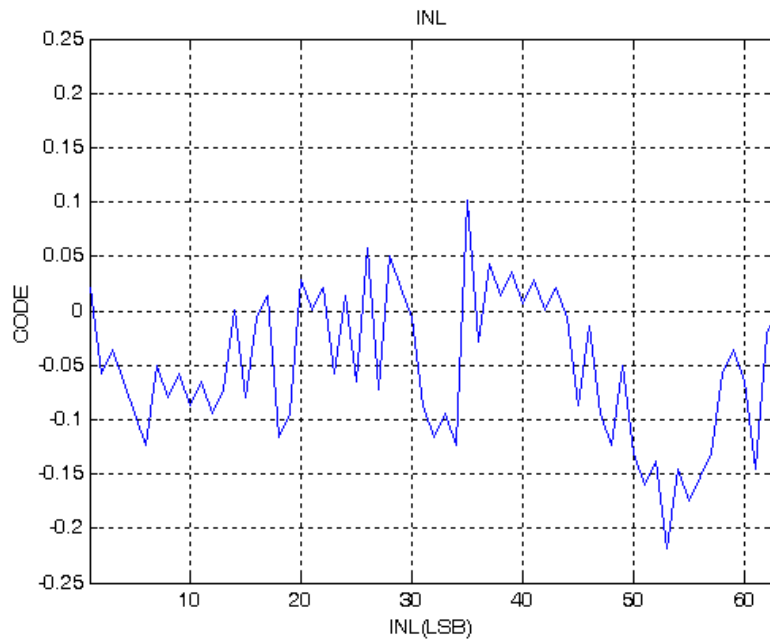


圖 4.5 INL

動態模擬的結果分為兩個部分，包括佈局前的模擬 (Pre-layout simulation) 及佈局後對原來電路加入一些寄生電容效應所做的佈局後模擬 (Post-layout simulation)。

佈局前的模擬在 1-GHz 的取樣頻率下，輸入頻率為約 238MHz，此設計的 SNDR 可以達到 35.7dB，有效位元為 5.63 (圖 4.6)。而在輸入頻率為約 496MHz 時，有效位元可以達到 5.22 (圖 4.7)。在這裡的輸入訊號頻率與取樣頻率之間的關係，均遵守 coherent sampling 的原則。

佈局後的模擬在 1-GHz 的取樣頻率下，輸入頻率為約 496MHz，SNDR 可以達到 33.3dB，有效位元為 5.23 (圖 4.8)。

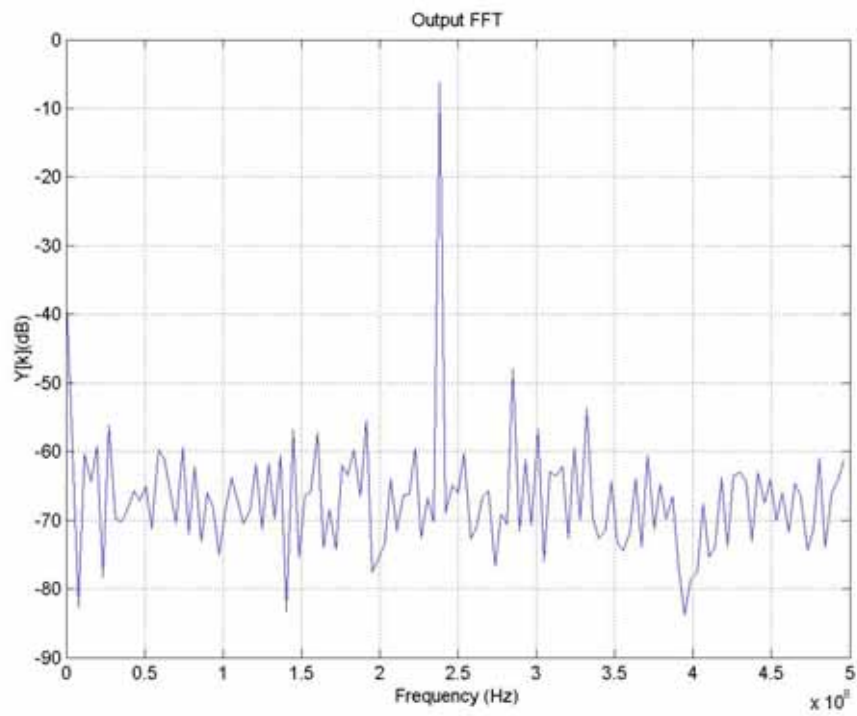


圖 4.6 佈局前模擬結果 - 1GHz 取樣頻率及 238MHz 輸入頻率

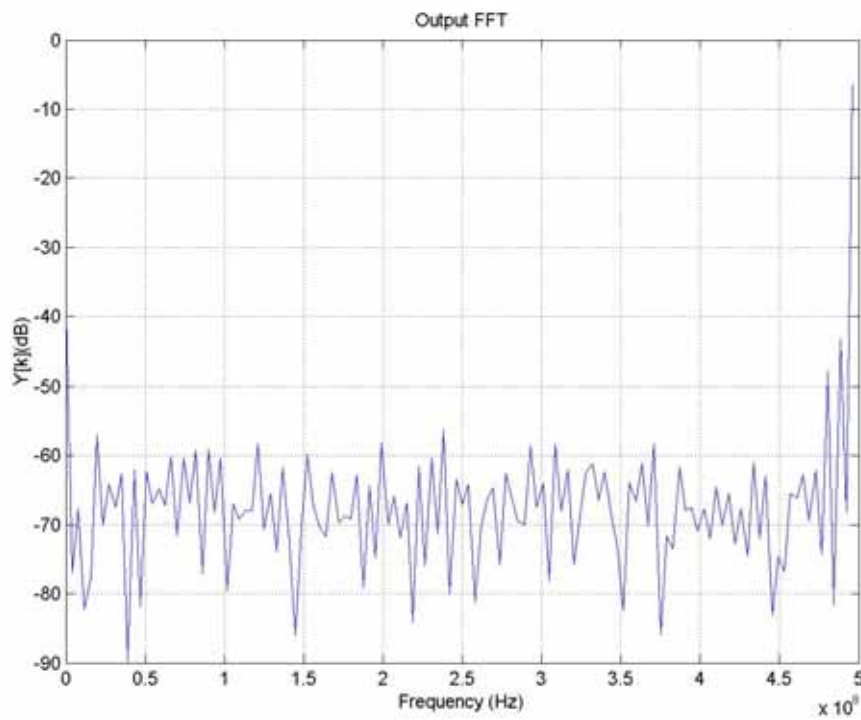


圖 4.7 佈局前模擬結果 - 1GHz 取樣頻率及 496MHz 輸入頻率

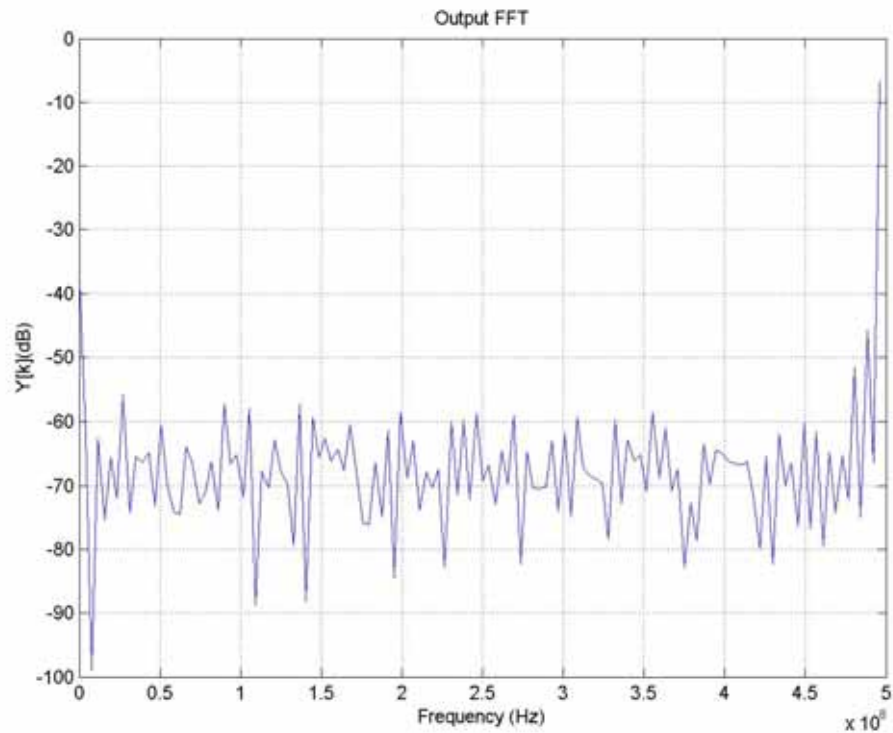


圖 4.8 佈局後模擬結果 - 1GHz 取樣頻率及 496MHz 輸入頻率

表 4.1 是佈局前及佈局後之模擬結果的一覽表，包含了三種不同的製程及溫度條件。

表 4.2 是這個快閃式類比數位轉換器的規格整理。表 4.3 是本論文與近年來相關論文之效能比較[7][12][18][19]。

表 4.1 佈局前及佈局後之模擬結果

Spectrum Performance (SNDR)				
Input frequency	~496 MHz		~496 MHz	
Clock rate	1000 MHz		1000 MHz	
	Pre-Sim		Post-Sim	
	SNDR	ENOB	SNDR	ENOB
Worst case (SF, 85°C)	33.2 dB	5.22	33.3 dB	5.23
Best case (FF, 0°C)	34.7 dB	5.48	33.6 dB	5.29
Typical case (TT, 55°C)	34.0 dB	5.37	34.5 dB	5.43

表 4.2 類比數位轉換器的規格一覽

Technology	TSMC 0.18 μm 1P6M CMOS
Resolution	6 bits
Analog / Digital Power	1.8 Volt / 1.8 Volt
Clock Rate	1000MHz
Power consumption	192 mW
Active Area	0.6 mm \times 0.6 mm
Die Area	1.218 mm \times 1.225 mm
Input Range	0.5V _{pp}
DNL	-0.2 ~ 0.3
INL	-0.3~0.1
ENOB (f_{in} 496MHz, fs 1G-Samples/s)	5.23

表 4.3 與近年來相關論文之效能比較

Source	This Work	TI JSSC 2000	Matsushita ISSCC 2000	Philips JSSC 2002	K.U. Leuven JSSC 2003
Resolution	6-bit	6-bit	6-bit	6-bit	6-bit
Clock rate (MHz)	1000	700	800	1600	1300
Technology	0.18 μm	0.25 μm	0.25 μm	0.18 μm	0.25 μm
Power dissipation	192 mW	187 mW	400 mW	340 mW	600mW
Active area	0.36 mm ²	0.45 mm ²	1.71 mm ²	0.12 mm ²	0.13 mm ²
SNDR (dB)	33 @ f_{in} ~ 496 MHz	35.2 @ f_{in} ~ 136 MHz	31.8 @ f_{in} ~ 200 MHz	31.8 @ f_{in} ~ 660 MHz	32 @ f_{in} ~ 500 MHz

第五章

結論與未來展望

在本篇論文中，我們針對光(磁)儲存通道晶片所需要的高速類比數位轉換器，設計了一個六位元，每秒十億次取樣的類比數位轉換器。採用的架構是最適合用於高速操作的快閃式架構，並且使用了全差動的電路設計來消除共模雜訊，及增加輸入電壓範圍。在類比電路的前端加入了追蹤保持電路，以消除訊號到達比較器的延遲帶來的動態效能下降的問題。比較器的設計以高 overdrive 回復能力及低 metastability 為目標，透過前置放大器及兩級的比較器來達到高頻寬且具有足夠的增益來抵抗 metastability。另外一個設計的重點是編碼器，在這裡是透過 full-custom 的方式來做這個部分的數位電路設計，由基本的邏輯閘開始設計，並藉由各種溫度、model 的模擬來確認電路的穩定性。編碼器中針對各處不同的需要，採用了三種不同的邏輯在不同的編碼過程，首先是靜態邏輯做溫度計碼轉 1-of-N 碼的動作，接著是動態邏輯做 1-of-N 碼轉葛雷碼，最後是傳輸閘邏輯完成轉二進位碼的動作。最後，值得一提的是，整個晶片的時脈訊號由單純的一組互補時脈構成，不含其他不同相位或是不重疊的時脈，這樣的設計可以降低時序的複雜度，並且增加類比數位轉換器在高速運作下的穩定。

採用 TSMC 0.18 μm ，1P6M 的 CMOS 混和訊號製程來做設計，類比及數位部分的電壓都是 1.8V。模擬的結果顯示，在取樣頻率為 1000MS/sec，輸入訊號為 496MHz 時，有效位元為 5.2 位元。晶片主動區的面積為 $0.6 \times 0.6 \text{mm}^2$ ，消耗功率為 192mW。

經過在這一次的設計當中得到的經驗，在還有許多地方可以加以改善的。1)晶片上的時脈產生器由反向器構成，會受到製程、溫度、或是電源的影響而造成時脈訊號的不準確，這會造成追蹤保持電路取樣上的誤差。因此一個晶片上的鎖相迴路 (PLL) 或是由差動對構成的時脈緩衝器可以被加入來增進整體的效能。2)晶片內部的參考電壓產

生器，藉由 Bandgap 電路及輸入電壓的共模準位來產生所需的參考電壓，相較於由晶片外部送入的參考電壓最大、最小值，這樣做可以有更乾淨的參考電壓，並且可以節省 Pad 的量。3)採用雙電壓的製程，例如：3.3V 的類比電路，1.8V 的數位電路。較高的類比電壓可以使得快閃式類比數位轉換器有較大的輸入範圍及較大的 LSB。而較低電壓的電晶體具有較高的切換速度，適合數位電路的使用。4)輸出電壓的振幅由原先的完全的邏輯準位，改變成較低的振幅，例如 LVDS (low voltage differential signal) 的輸出。這會使測試板上數位輸出的訊號路徑產生較小的雜訊，並且對其他較為嚴苛的路徑造成較小的影響。



參考文獻

- [1] B. Zojer, R. Petschacher, and W. A. Lusching, "A 6-Bit/200-MHz full Nyquist A/D converter," *IEEE J. Solid-State Circuits*, vol. 20, no. 3, pp. 780–786, June 1985.
- [2] P. J. Lim and B. A. Wooley, "A high-speed sample-and-hold technique using a Miller hold capacitance," *IEEE J. Solid-State Circuits*, vol. 26, no. 4, pp. 643–651, Apr. 1991.
- [3] D. Jakonis and C. Svensson, "A 1 GHz linearized CMOS track-and-hold circuit," *IEEE Int. Circuits and Systems Conf.*, pp. 577–580, May 2002.
- [4] B. Razavi, *Principles of Data Conversion System Design*. New York: IEEE Press, 1995.
- [5] C. Eichenberger and W. Guggenbuhl, "Dummy transistor compensation of analog MOS switches," *IEEE J. Solid-State Circuits*, vol. 24, no. 4, pp. 1143–1146, Aug. 1989.
- [6] A. G. W. and R. J. Plassche, "An 80-MHz, 80-mW, 8-b CMOS folding A/D converter with distributed track-and-hold preprocessing," *IEEE J. Solid-State Circuits*, vol. 31, no. 12, pp. 1846–1853, Dec. 1996.
- [7] K. Uyttenhove and M. S. J. Steyaert, "A 1.8-V 6-Bit 1.3-GHz flash ADC in 0.25- μ m CMOS," *IEEE J. Solid-State Circuits*, vol. 38, no. 7, pp. 1115–1122, July 2003.
- [8] C. W. Mangelsdorf, "A 400-MHz input flash converter with error correction," *IEEE J. Solid-State Circuits*, vol. 25, no. 1, pp. 184–191, Feb. 1990.
- [9] M. Choi and A. A. Abidi, "A 6-b 1.3-Gsample/s A/D converter in 0.35 μ m CMOS," *IEEE J. Solid-State Circuits*, vol. 36, no. 12, pp. 1847–1858, Dec. 2001.
- [10] I. Mehr and D. Dalton, "A 500-Msamples/s, 6-b Nyquist-rate ADC for disk-drive read channel application," *IEEE J. Solid State Circuits*, vol. 34, pp. 912–920, July 1999.
- [11] K.-L. Lin, *Modular Low-Power, High-Speed CMOS Analog-to-Digital Converter for*

Embedded Systems, doctoral thesis at Gerhard-Mercator-University of Duisburg, Duisburg, Germany, 2002.

- [12] P. Scholtens and M. Vertregt, "A 6b 1.6GSample/s flash ADC in 0.18 μ m CMOS using averaging termination," *IEEE Int. Solid-State Circuits Conf*, pp.168-169, Feb 2002.
- [13] Y. Suzuki, K. Odagawa, and T. Ade, "Clocked CMOS calculator circuitry," *IEEE J. Solid-State Circuits*, vol. 8, pp. 462-469, Dec. 1973.
- [14] Q. Huang and R. Rogenmoser, "Speed optimization of edge-triggered CMOS circuits for gigahertz single phase clocks," *IEEE J. Solid-State Circuits*, vol. 31, no. 3, pp. 456-465, Mar. 1996.
- [15] J. Yuan and C. Svensson, "New single-clock CMOS latches and flipflops with improved speed and power savings," *IEEE J. Solid-State Circuits*, vol. 32, no. 1, pp. 62-69, Jan. 1997.
- [16] J. Yuan and C. Svensson, "High-speed CMOS Circuit Technique," *IEEE J. Solid-State Circuits*, vol. 24, no. 1, pp. 62-70, Feb. 1989.
- [17] A. Matsuzawa, S. Nakashima, I. Hidaka, S. Sawada, H. Kodaka, and S. Shimada, "A 6-b 1-GHz dual-parallel A/D converter," *IEEE Int. Solid-State Circuits Conf*, Feb. 1991, pp. 174-175.
- [18] K. Sushihara, Kimura, Y. Okamoto, K. Nishimura, and A. Matsuzawa, "A 6 b 800 MSample/s CMOS A/D Converter," *IEEE Int. Solid-State Circuits Conf.*, pp. 428-429, Feb. 2000.
- [19] K. Nagaraj et al., "A 700-MSample/s 6-b read channel A/D converter with 7-b servo mode," *IEEE Int. Solid-State Circuits Conf*, Feb. 2000, pp. 426-427.
- [20] Analog Devices, "Advanced Digital Post-Processing," <http://www.analog.com>