Basic SYNOPSYS User Guide

Outline

➢ **Setup system environment**

➢ **Default Synthesis**

➢ **Setting Design SPEC.**

➢ **Setting Operating Environment**

➢ **Setting Design Constraint**

- **Combinational circuits**
  -- **Timing constraints**
- **Sequential Circuits**
  -- **Specify the clock**
  -- **Setting input delay**
  -- **Setting output delay**

➢ **Simulation of Synthesized Circuit**

Setup a New Synopsys User

- Add the contents of *****/usr/synopsys/cicSynop/synopsys.cshrc* to your .cshrc

  hsieh> cat /usr/synopsys/cicSynop/synopsys.cshrc >> .cshrc

  hsieh> source .cshrc

  完成系統環境設定

  hsieh> design_analyzer&

  啓動 Synopsys Design Analyzer

- Use *online documentation*

  hsieh> cd

  hsieh> cp /usr/synopsys/cicSynop/lview .

  hsieh> iview&

.synopsys_dc.setup File

✍ : 在**.synopsys_dc.setup**定義了啟動 **design compiler** 時的設定以及使用的 **cell Library** .

✍ : **.synopsys_dc.setup** 檔案使用者可洽系統管理者. 此檔案可複製到 **user** 的目錄下方便修改 .

✍ : 在 **.synopsys_dc.setup** 中所使用的 **Library** 相關設定如下：

 search_path = {. /vlsi-a/Librarys/LIB06_V2/Synopsys/usr/synopsys/libraries/syn};
 ➢ 路徑要配合系統管理者的規畫設定，以上路徑只是以**VLSI-CAD** 實驗室的設定為例說明

target_library = {cb60hp231d.db};

link_library = {cb60hp231d.db};

可以自行定義自己的 **cell library(verilog model)** 使用 **synopsys** 的轉換程式轉換成所需的 **.db file(binary file)**

symbol_library = {cb60hp231d.sdb};

verilogout_no_tri = "true" ;

命令 **SYNOPSYS** 輸出的 **verilog file** 中不要有 **tri_state** 的敘述.
(在 **CADENCE** 中使用 **verilog IN** 時不可有 **tri_state** 的敘述)

Hsieh > design_analyzer &
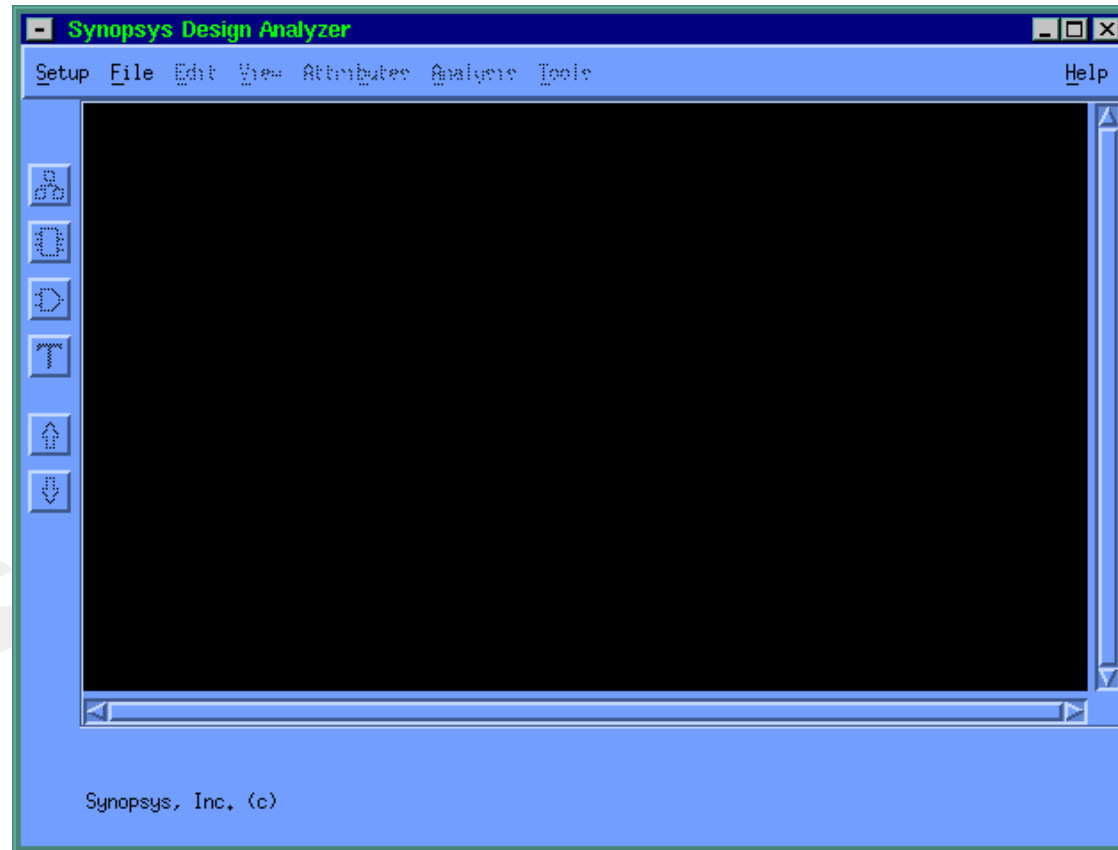
啟動 **Synopsys Design Analyzer** 後的畫面:

Default Synthesis

Synopsys Design Analyzer

Setup File Edit View Attributes Analysis Tools   Help
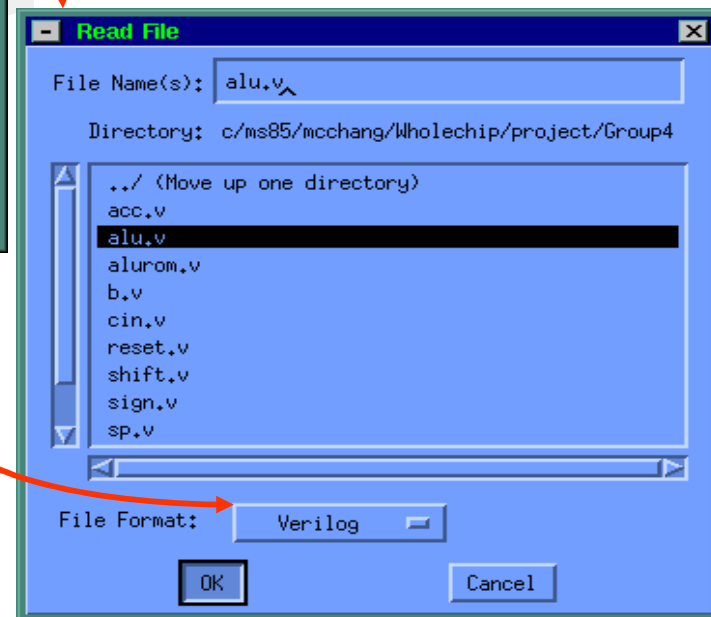
Read...
Analyze...
Elaborate...
Import
Save
Save As...
Save Info
Plot...
Quit
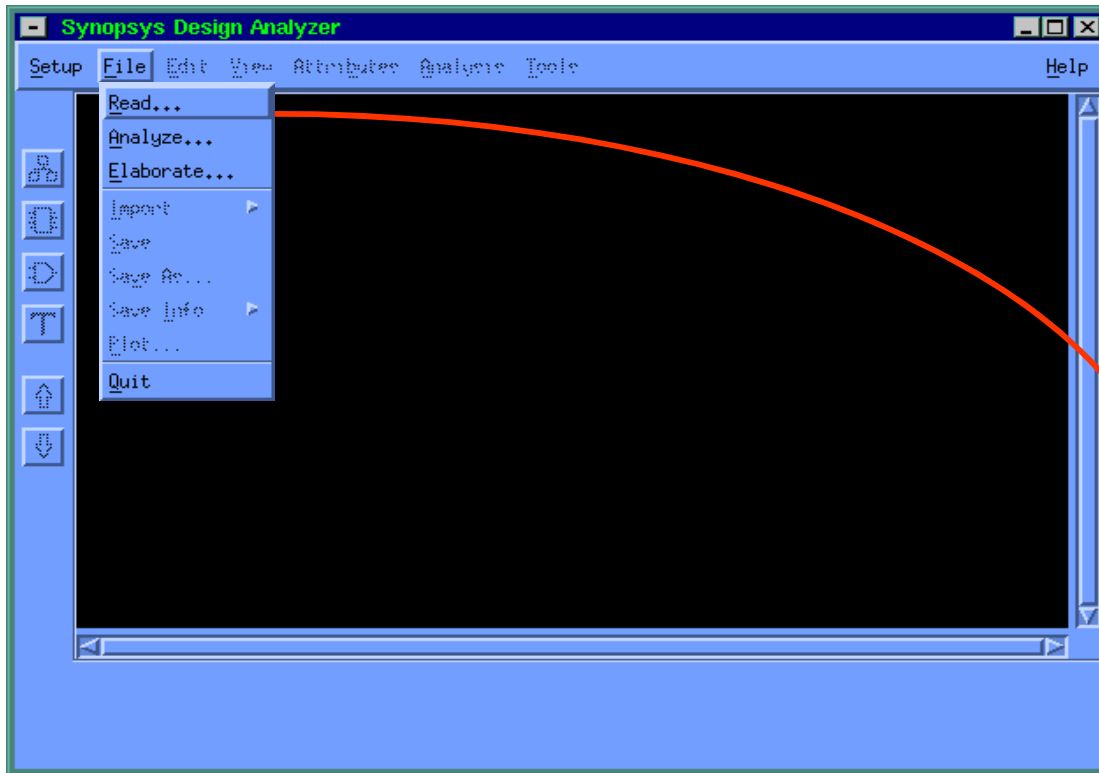
由 File → Read 出現 Read File window。

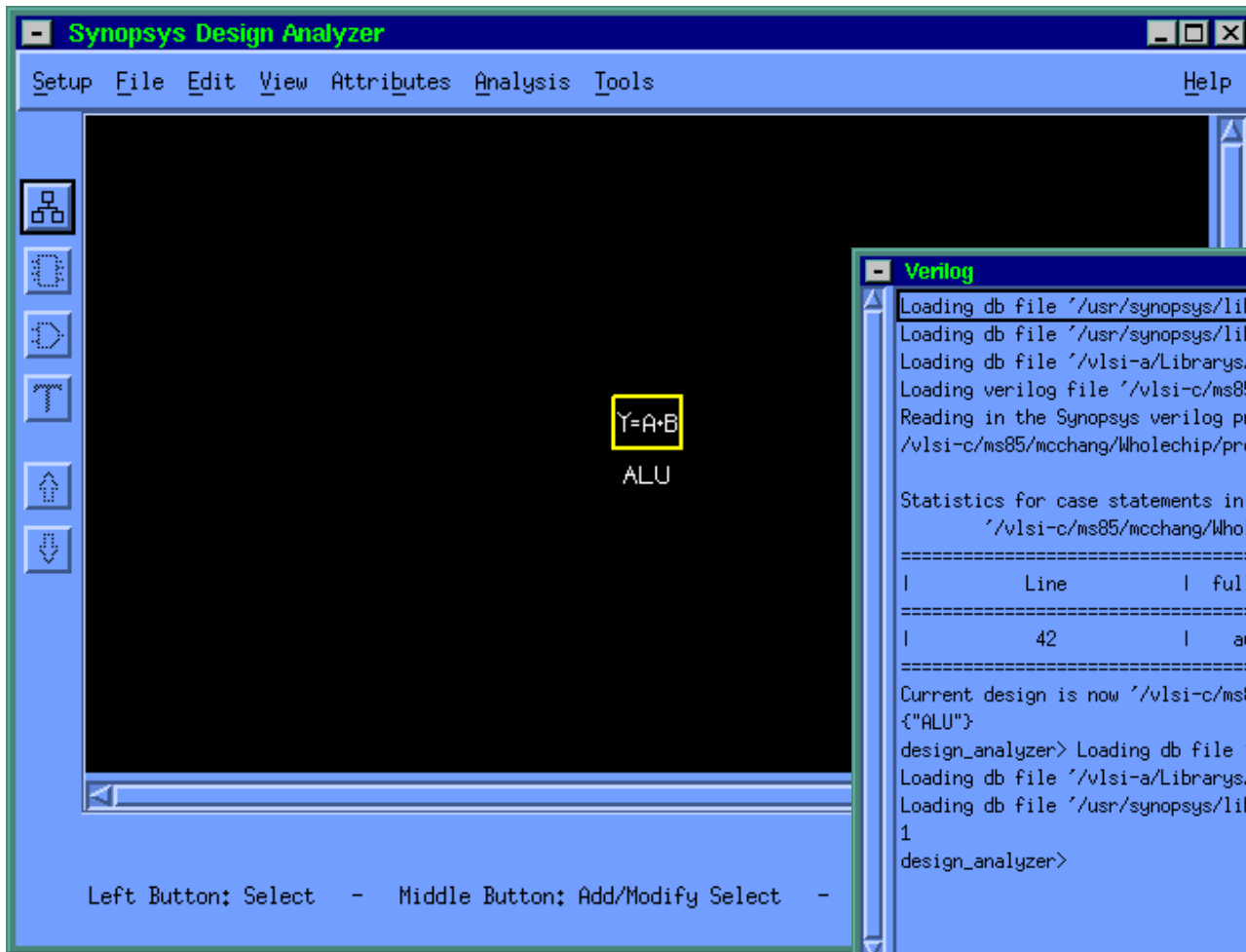在 Read File window 中選擇要合成的 verilog file，然後按 OK。
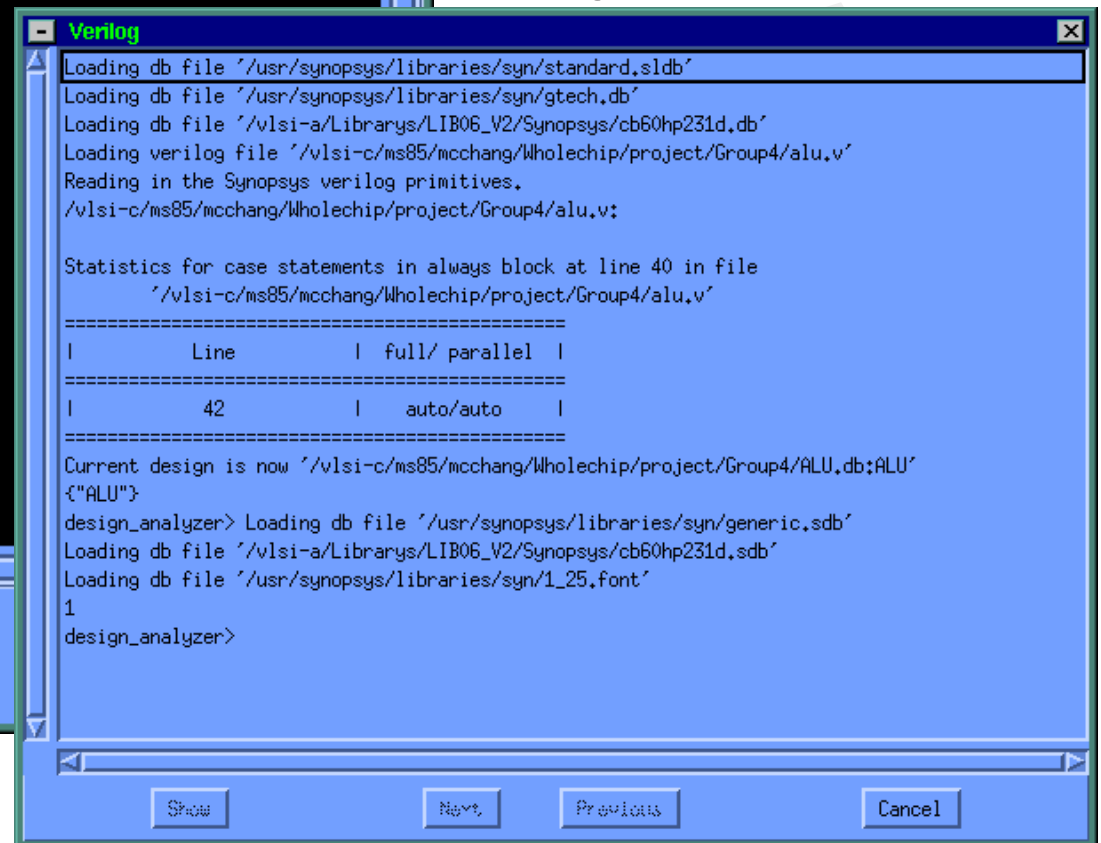(此時系統會開出一個 Verilog window，見下頁圖)

Read File

File Name(s): alu.v

Directory: c/ms85/mcchang/Wholechip/project/Group4

../ (Move up one directory)
acc.v
alu.v
alurom.v
b.v
cin.v
reset.v
shift.v
sign.v
sp.v

File Format: Verilog

OK   Cancel

Read Formats button
-- Synopsys formats
　DB (binary)：.db
　equation　 : .eq
　state table : .st
-- Verilog ： .v
-- PLA(Berkeley Espresso) : .pla
-- EDIF

Default Synthesis (cont.)

國立中正大學
電機工程研究所

接著 系統呼叫 Verilog-XL 去 compile 所輸入的 verilog file , 結果顯示於 Verilog window 。

Synopsys Design Analyzer

Setup File Edit View Attributes Analysis Tools   Help

Y=A·B

ALU

Left Button: Select – Middle Button: Add/Modify Select –

Verilog

```
Loading db file '/usr/synopsys/libraries/syn/standard.sldb'
Loading db file '/usr/synopsys/libraries/syn/gtech.db'
Loading db file '/vlsi-a/Librarys/LIB06_V2/Synopsys/cb60hp231d.db'
Loading verilog file '/vlsi-c/ms85/mcchang/Wholechip/project/Group4/alu.v'
Reading in the Synopsys verilog primitives.
/vlsi-c/ms85/mcchang/Wholechip/project/Group4/alu.v:

Statistics for case statements in always block at line 40 in file
        '/vlsi-c/ms85/mcchang/Wholechip/project/Group4/alu.v'

===============================================
|      Line         |  full/ parallel  |
===============================================
|       42          |     auto/auto    |
===============================================
Current design is now '/vlsi-c/ms85/mcchang/Wholechip/project/Group4/ALU.db:ALU'
{"ALU"}
design_analyzer> Loading db file '/usr/synopsys/libraries/syn/generic.sdb'
Loading db file '/vlsi-a/Librarys/LIB06_V2/Synopsys/cb60hp231d.sdb'
Loading db file '/usr/synopsys/libraries/syn/1_25.font'
1
design_analyzer>
```

Show   Next   Previous   Cancel

Verilog window →

常見的錯誤如下 :

- Syntax error

  verilog 語法錯誤

- Unsupported statements

  delay, initial, repeat, wait, fork, event, deassign, force, release

- Unsupported definitions and declarations

  primitive, time, event, trand, trior, tri0, trireg

- Unsupported operators

  - *=== and !==*

  - *Division operator （ /)*

  - *Modulus operator (%)*

- Unsupported gate-level constructs

  - *nmos, pmos, cmos, rnmos, rpmos, rcmos*

  - *pullup, pulldown*

  - *rtran, tranif0, tranif1, rtranif0, rtranif1*

國立中正大學
電機工程研究所
CCU EE VLSI Group
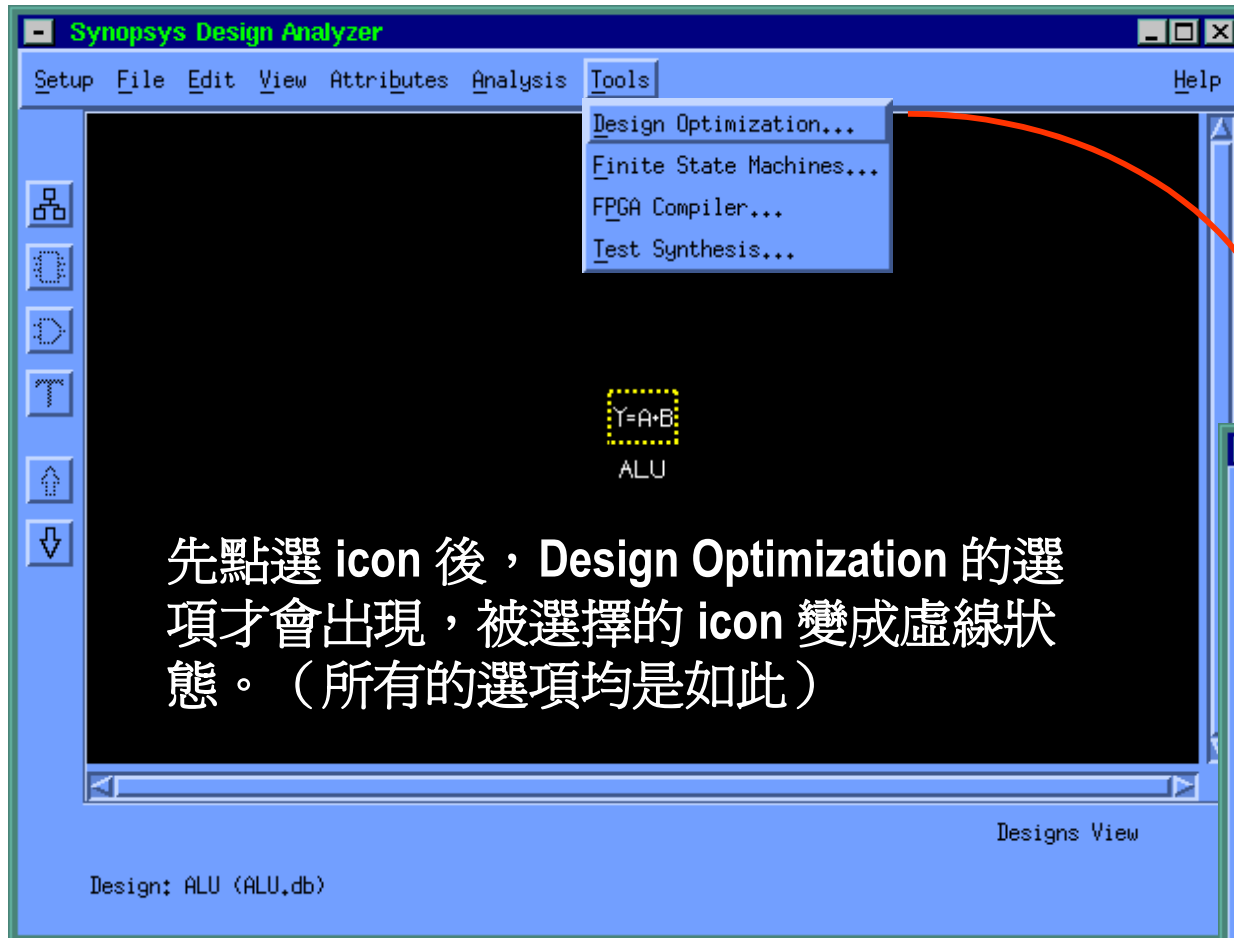
由 **Tools** ➡ **Design Optimization**
出現 **Design Optimization window**
。

先點選 icon 後，**Design Optimization** 的選項才會出現，被選擇的 icon 變成虛線狀態。（所有的選項均是如此）

國立中正大學
電機工程研究所
CCU EE VLSI Group

Design Optimization

☐ Map Design

Map Effort: ◇ Low ◇ Medium ◇ High

[More Map Options...]

☐ Verify Design

Verify Effort: ◇ Low ◇ Medium ◇ High

☐ Allow Boundary Optimization

Execute in: ◇ Foreground ◇ Background

[OK] [Cancel]

Map Options

☐ Incremental Mapping

☐ Prioritize Min Paths

☐ Map In Place

[OK]
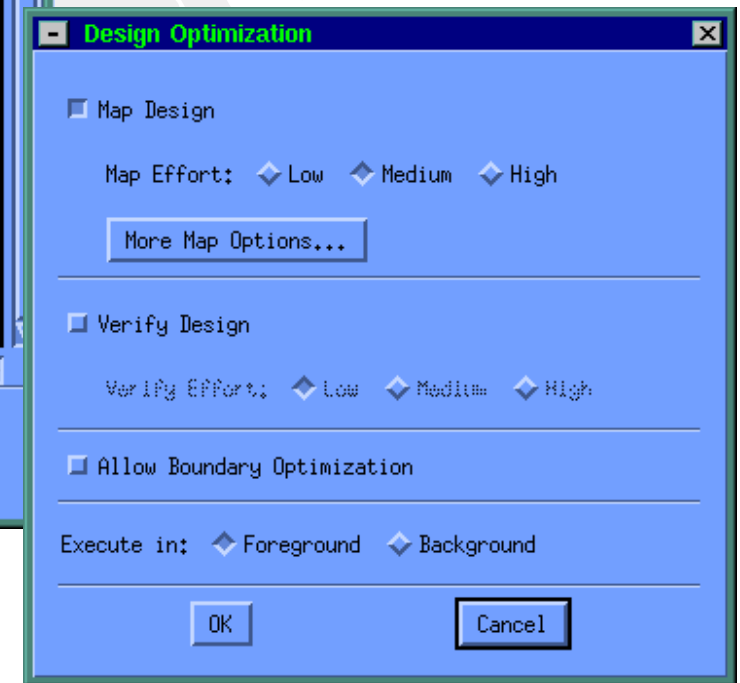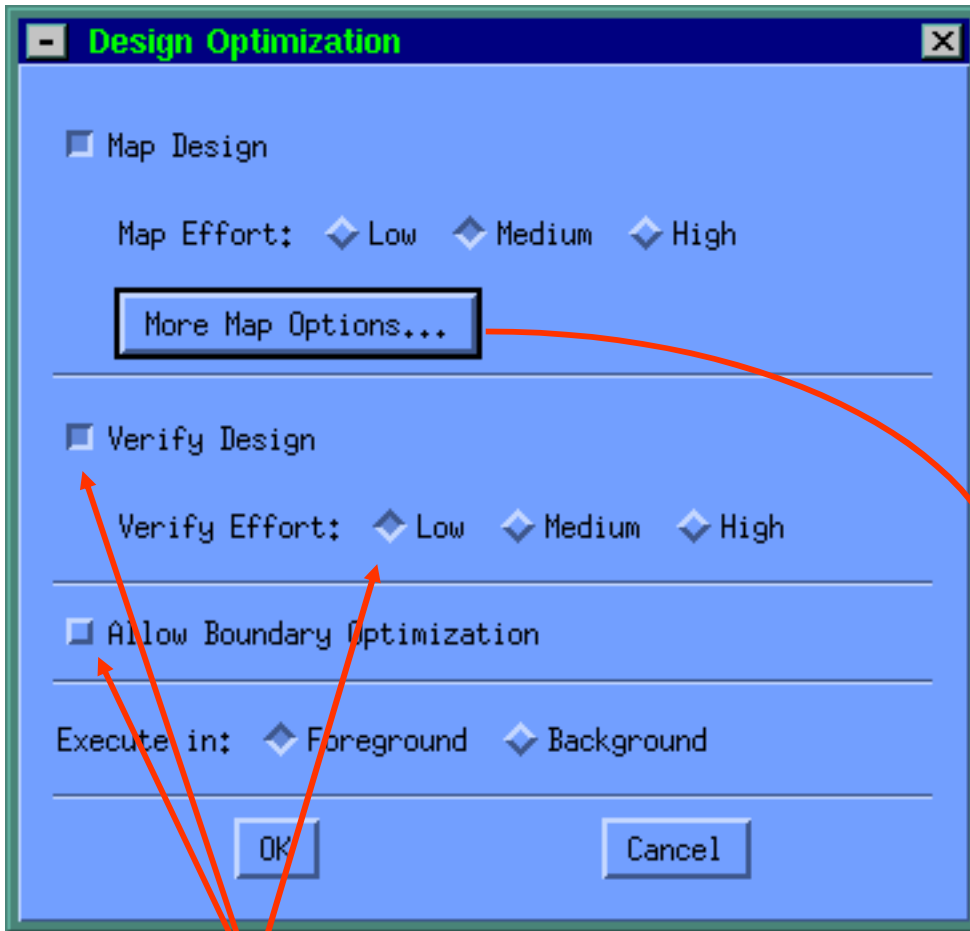
✎ ：
最原始的合成不需要點選任何設定，使用 **defaults** 的值即可。

✎ ：
選擇愈多的方法，合成的結果可能更好. 但是，相對的是必須花費更長的時間.
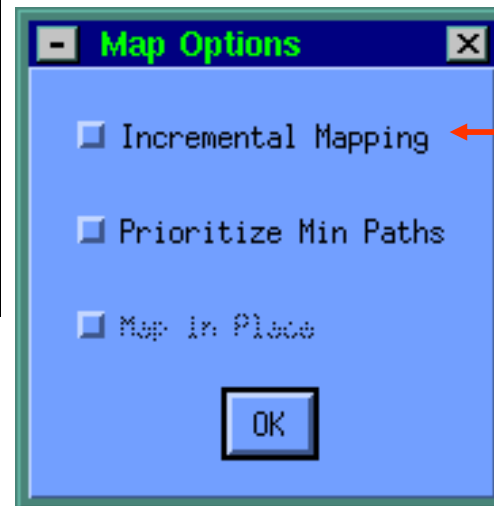
命令 SYNOPSYS 在 **mapping** 時嚐試所有的 **cells** .

可依照需要點選小 **icon** 選擇合成的方式

國立中正大學
電機工程研究所
CCU EE VLSI Group

合成前

← Hierarchical view bottom
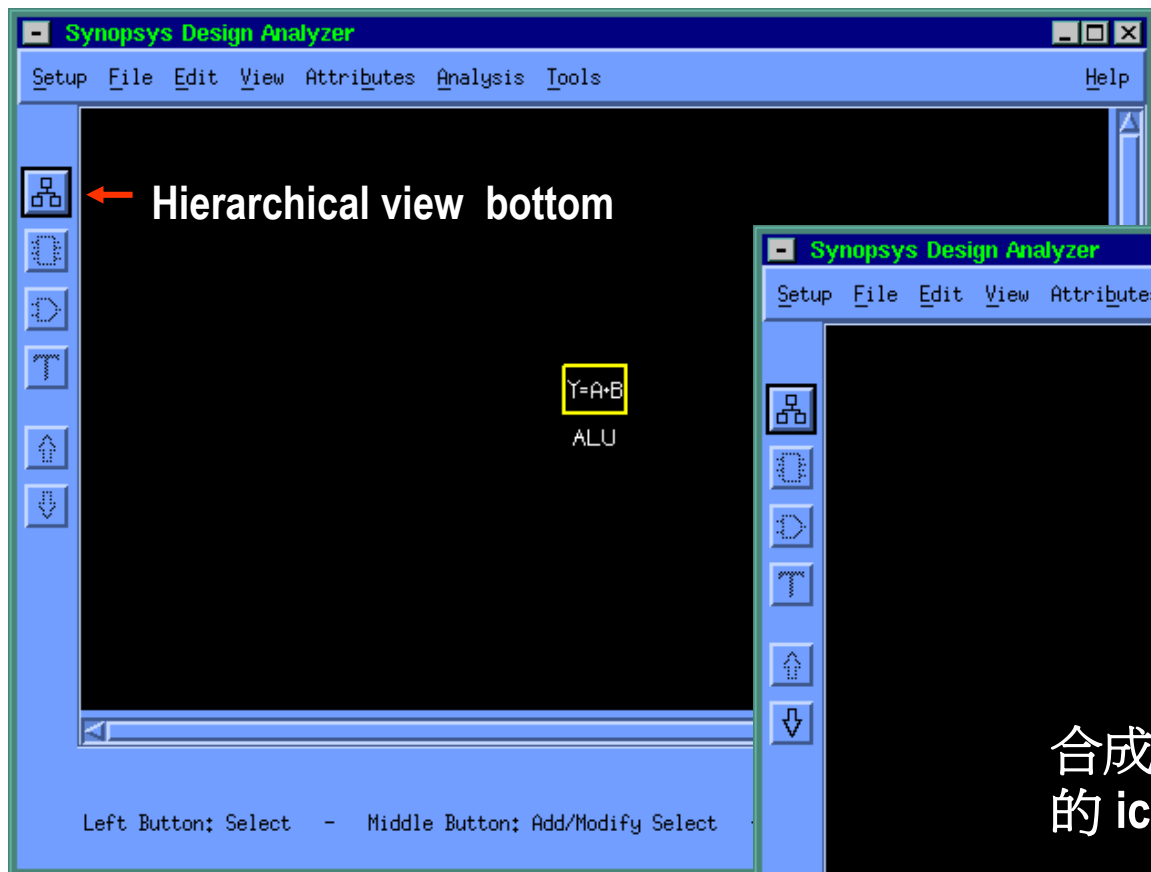
合成前的 **icon** 與合成後
的 **icon** 是不同的。

合成後(**Hierarchical view**)

Default Synthesis (cont.)

或
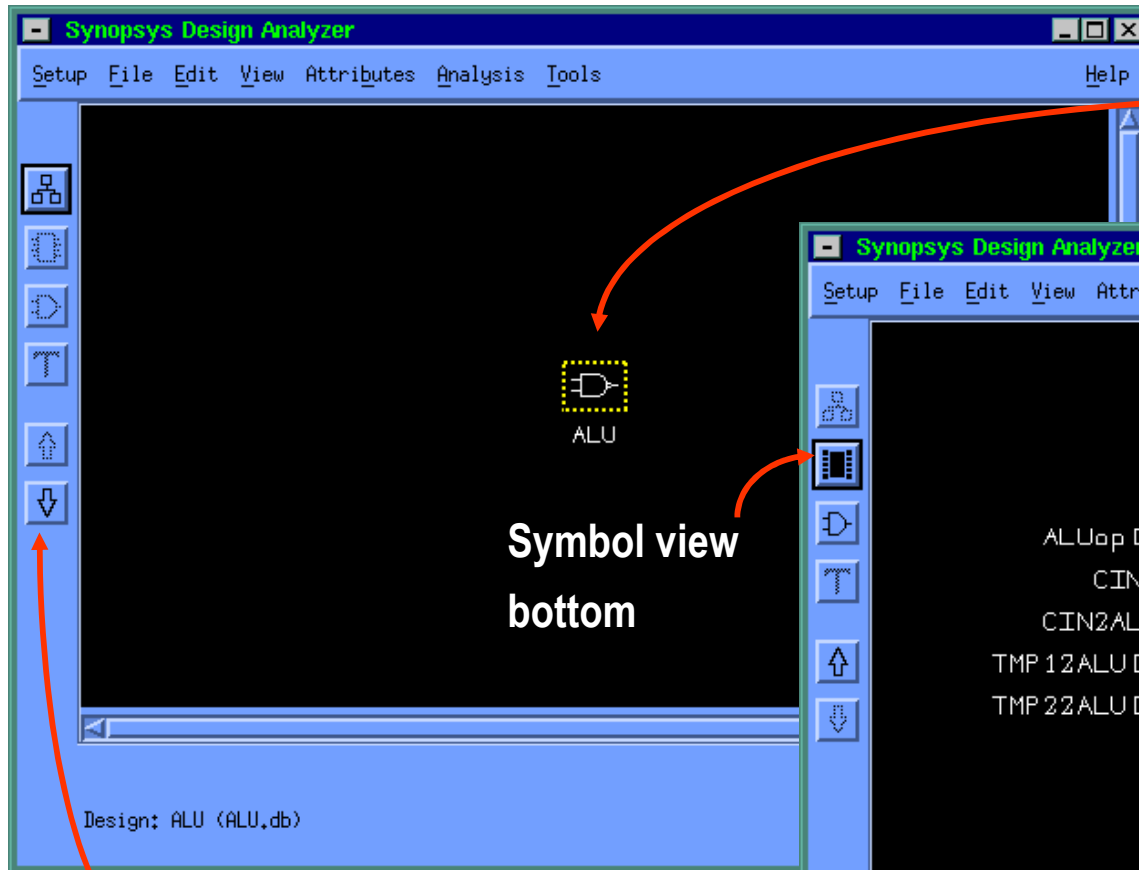
將指標移至 icon上雙擊滑鼠左鍵或點選 Symbol view bottom 即可切換不同的顯示圖
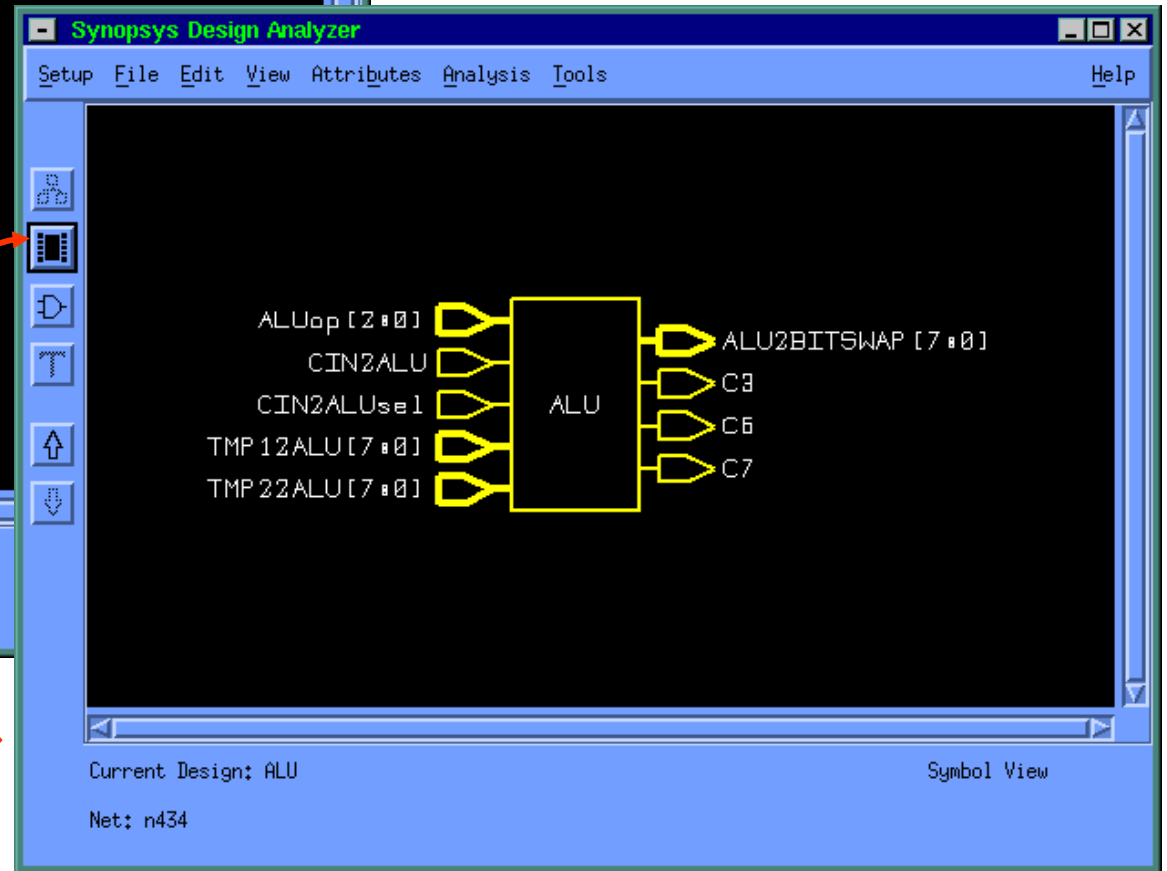
Symbol view bottom

點選此處

Symbol view

Default Synthesis (cont.)

或
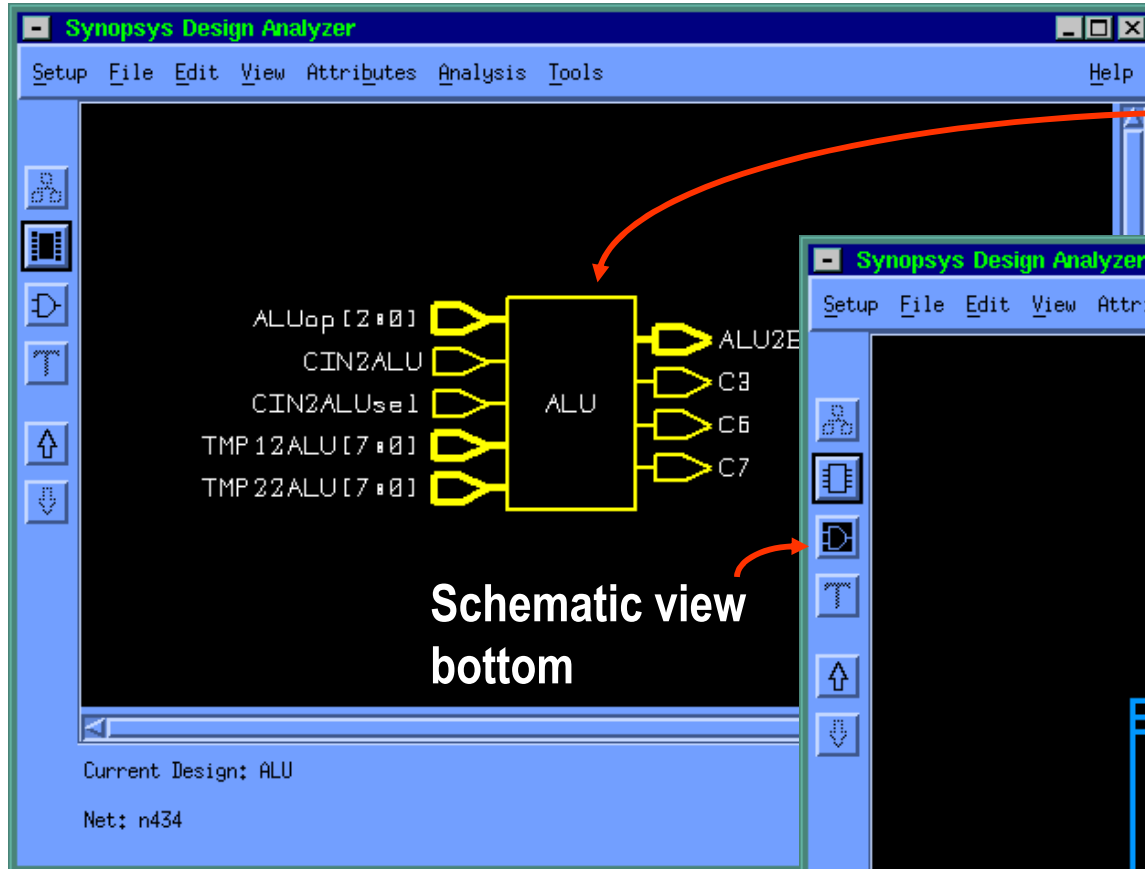
將指標移至 icon上雙擊滑鼠左
鍵或點選 Schematic view bottom
即可切換不同的顯示圖

Schematic view
bottom
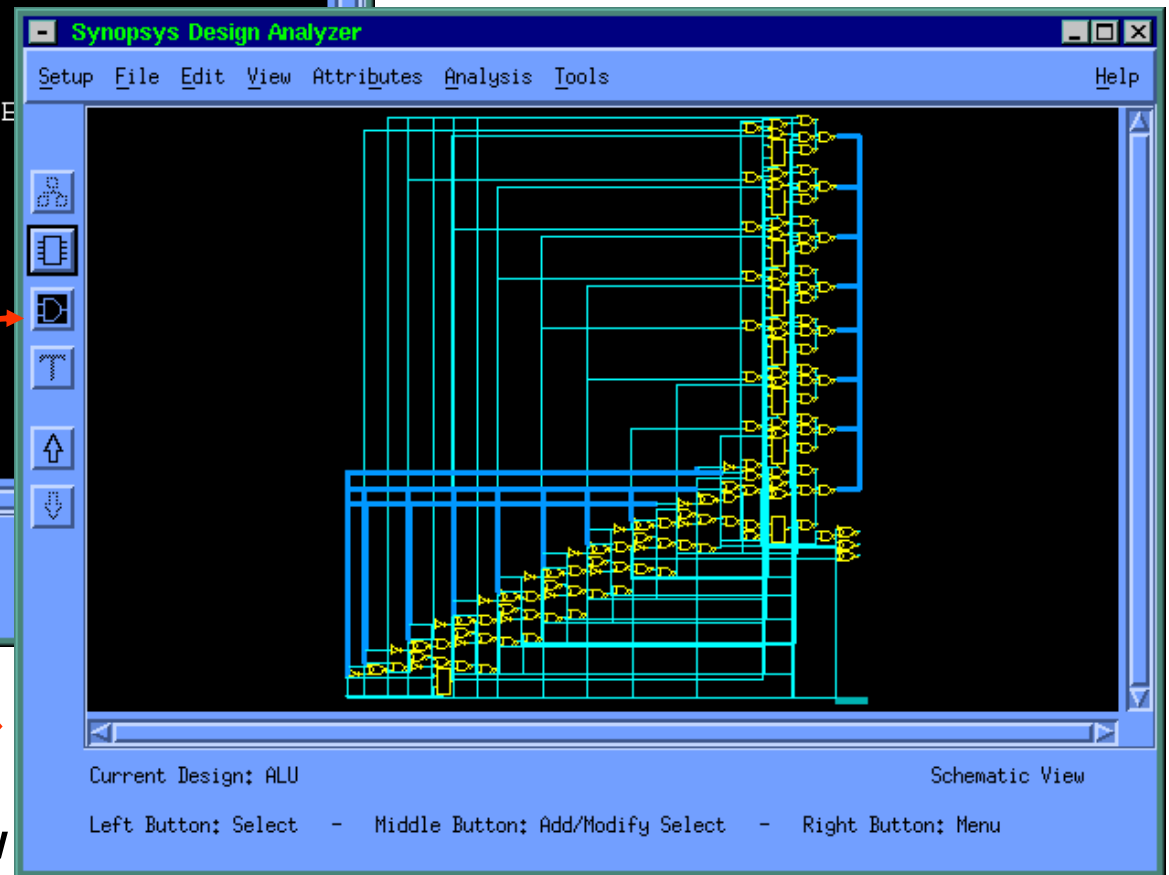
Schematic view

- 到此，**Synopsys** 已經為我們的 **verilog code** 合成電路 (如上圖), 但是這電路是由 **Synopsys** 根據原始的設定合成的 . **Synopsys** 是假設 **input drive is infinite , output capacitance is zero** , 也沒有相關的 **Operating conditions, Timing, Area** 等資訊 (因為在 **.synopsys_dc_setup** 中並沒有設定)。這些都不是真實的情況 , 所以我們需要針對我們的 **Spec.** 設定我們設計上的 **Constraints** , 使 **Synopsys** 能依據我們的需要將 **Design** 做最佳化 **(Optimization)** .

Setting Design SPEC.

Operating Voltage ?
Operating temperature ?
Process variation ?

Input Constraints → My Design → Output Constraints

Input driving strength ?
Input arrival time ?

Output capacitance load?
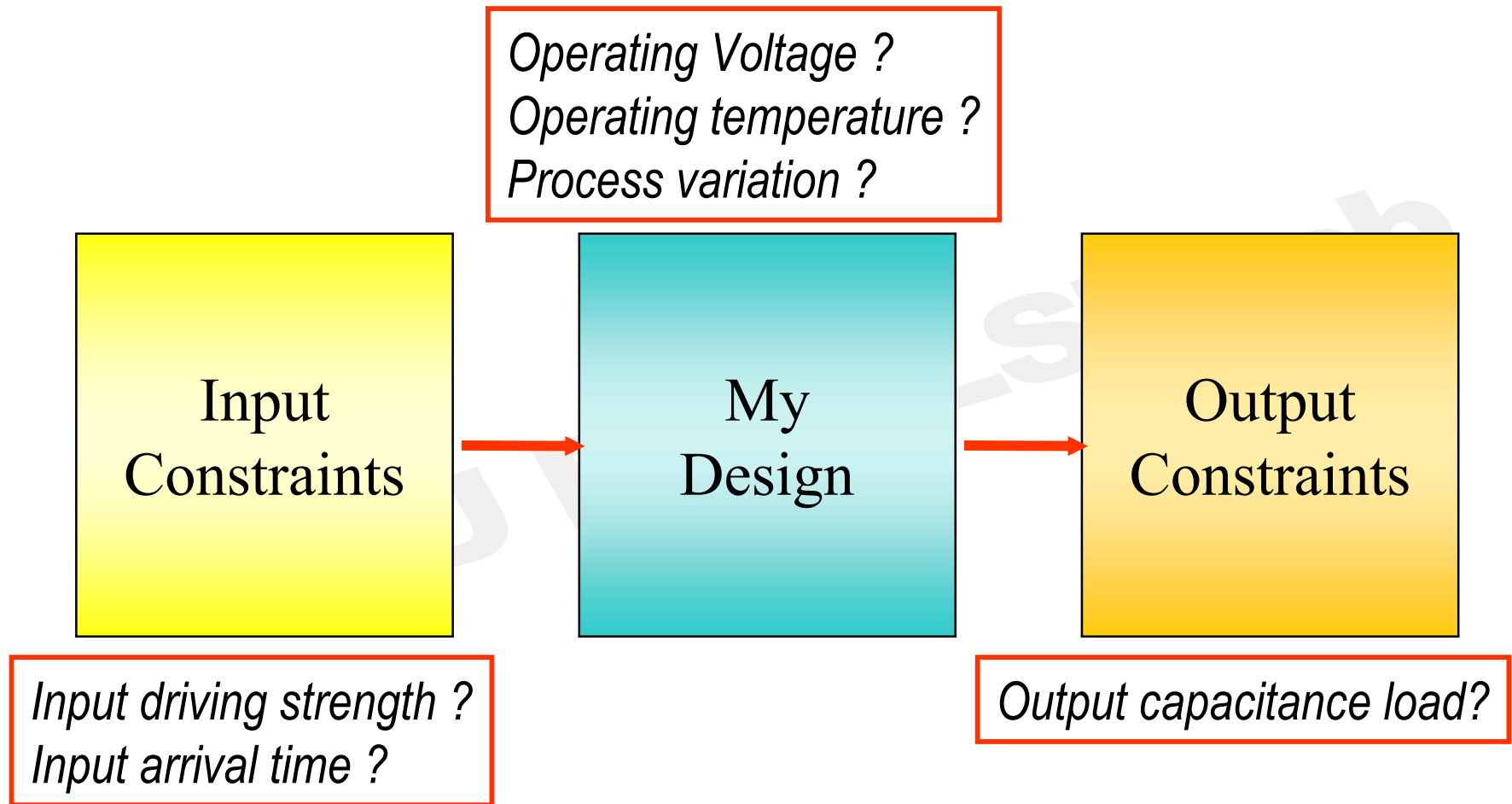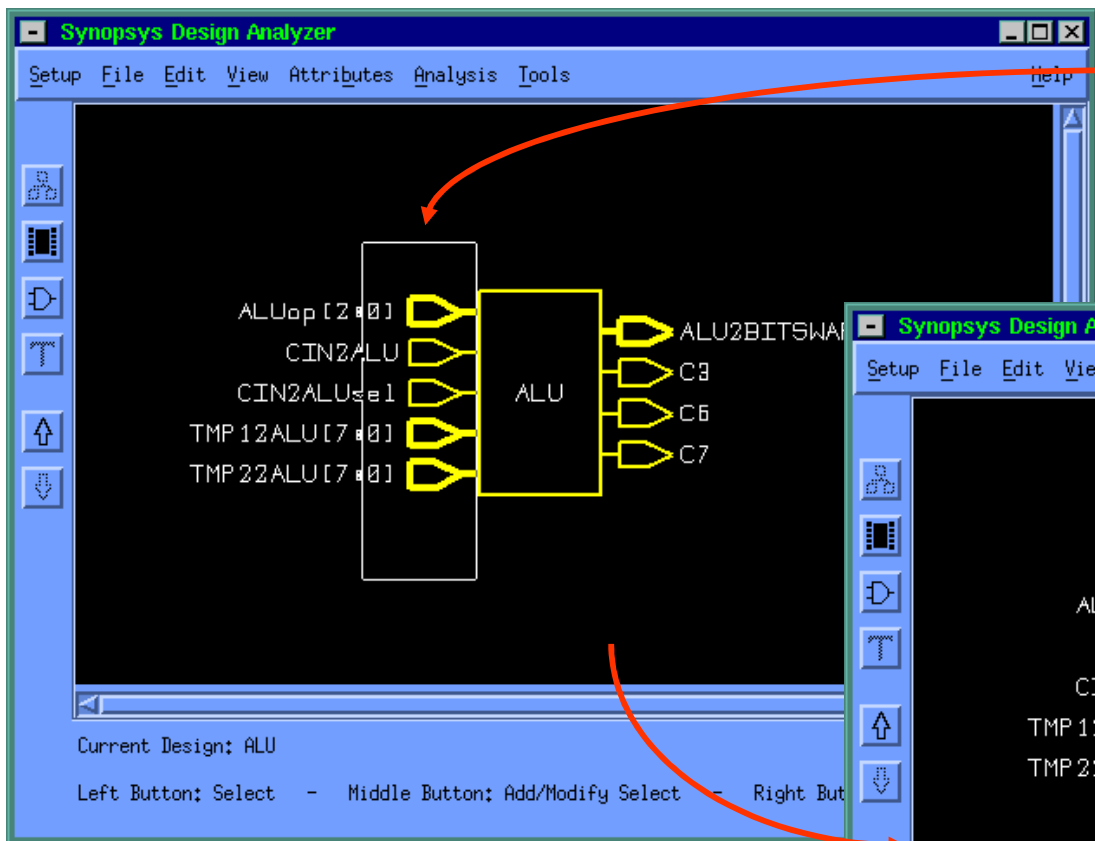
將游標移至視窗中一點使用滑鼠左鍵按住後拖曳滑鼠即出現範圍框，然後放開滑鼠，就可圈選物件。被選擇之物件以虛線狀態顯示。（如下圖）
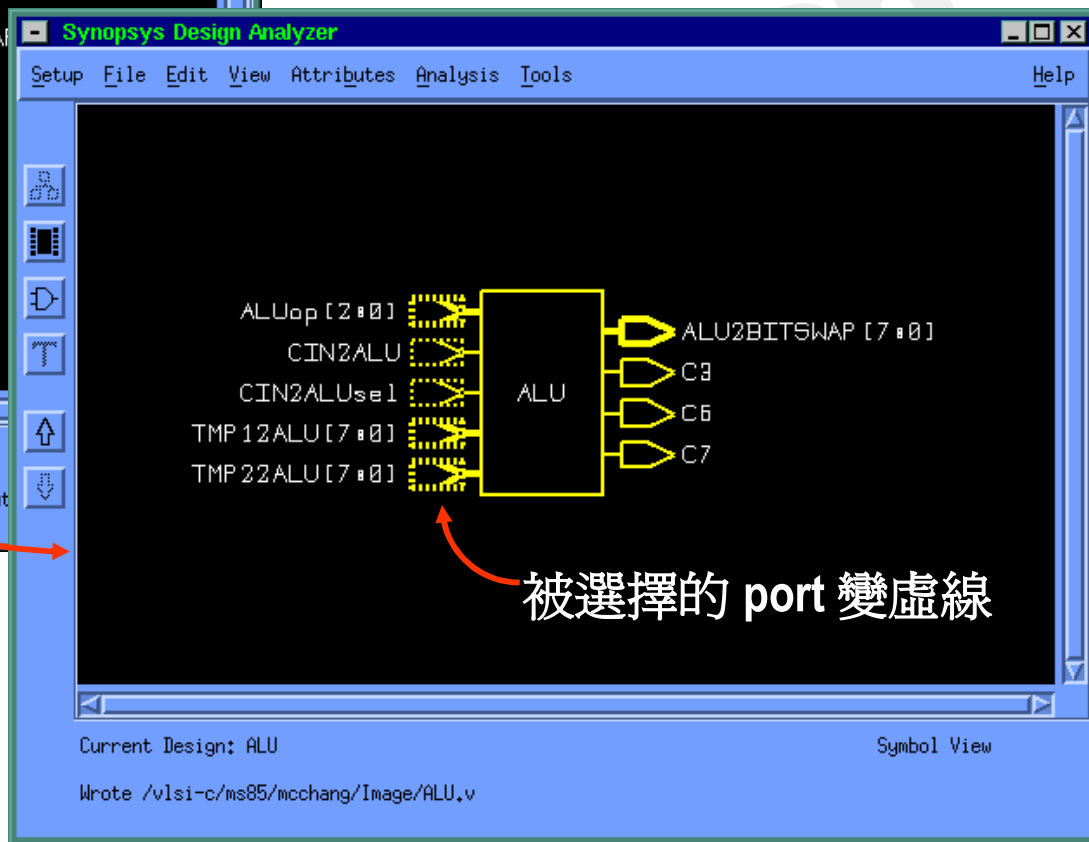
被選擇的 **port** 變虛線

᭢：將游標移至欲點選的物件上按住 **Shift** 鍵後，再用滑鼠左鍵點選也可以點選物件或取消選擇（單用滑鼠中鍵亦可）。
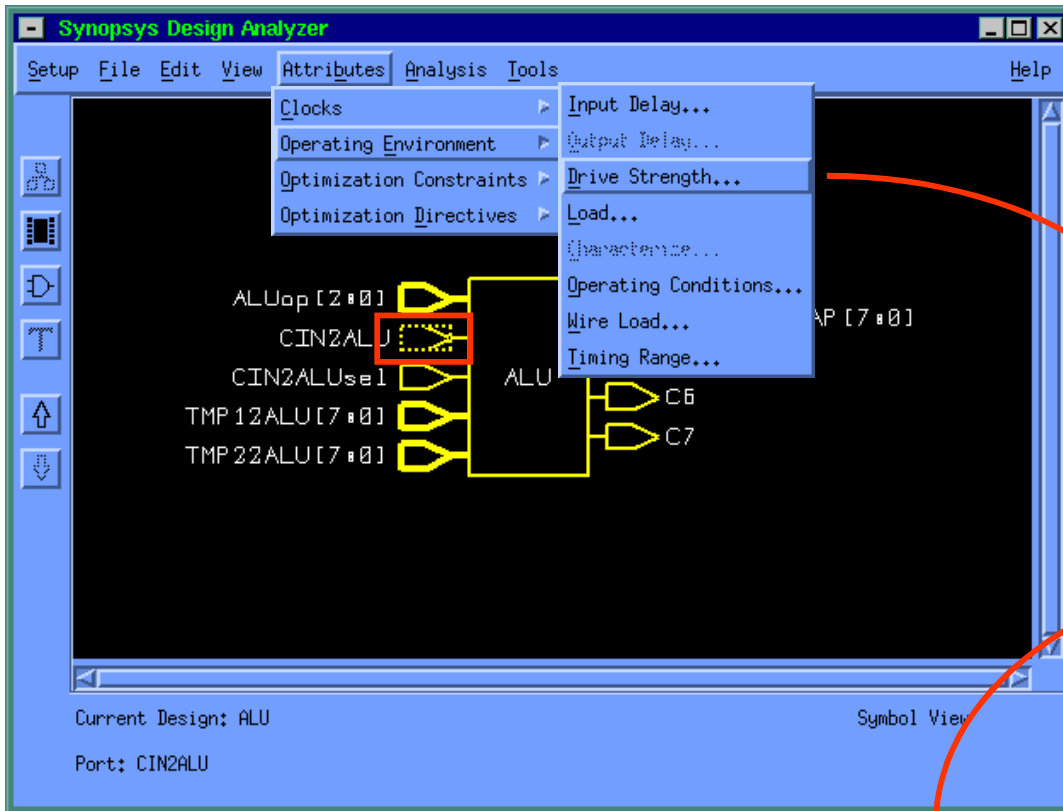
由
Attributes ➤ Operating Environment ➤ Drive Strength 即出現設定 **Drive Strength** 的視窗。（如下圖）
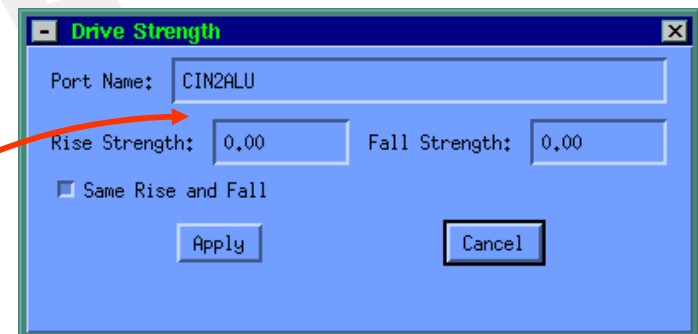
若只選擇一個 **port** 時，此處會出現 **port name** 及原始的設定值。
填入欲設定的值後按 **Apply**

☞：
其他設定均如上圖所述。

Setting Operating Environment (cont.)
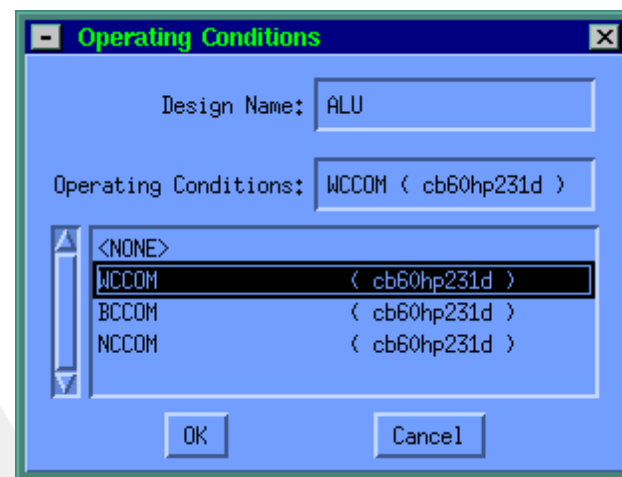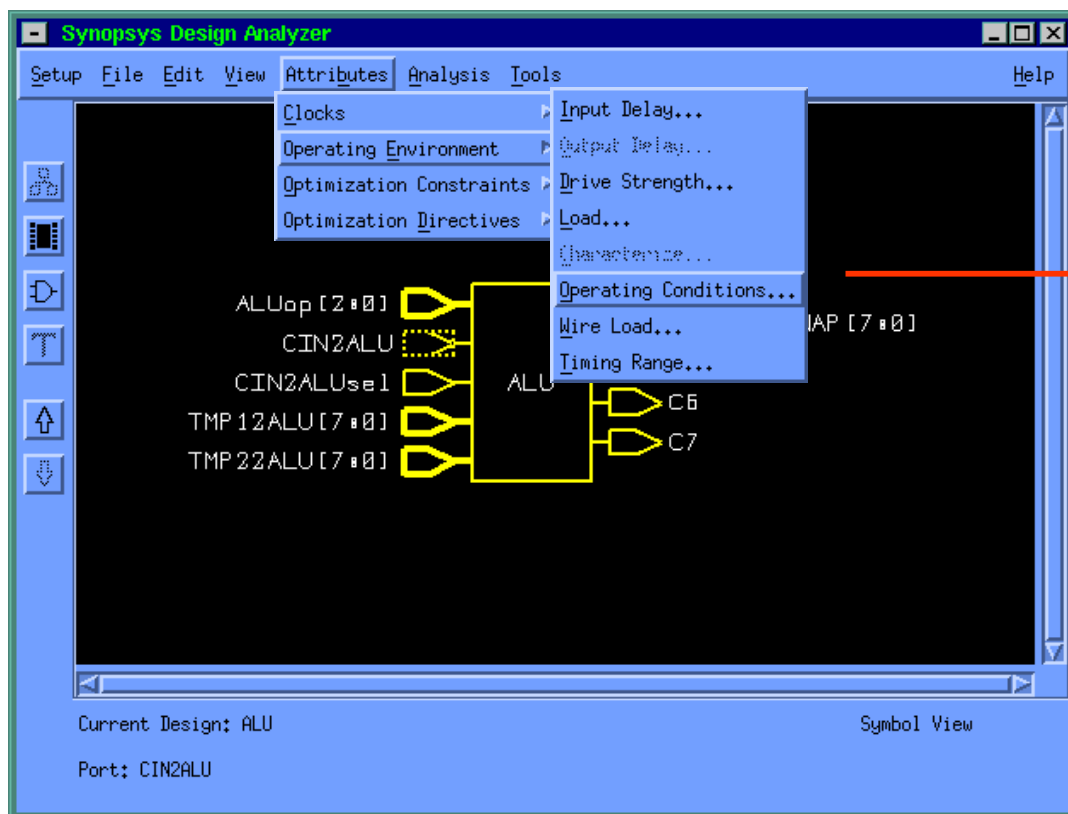
: 選擇 Operating condition model. (delay model)

☺ ： *Cell Library 中有定義才有效*

Name	Process	Temp	volt	Interconnection Model
WCCOM	1.33	70.00	4.75	worst_case_tree
BCCOM	0.92	0.00	5.25	best_case_tree
NCCOM	1.00	25.00	5.00	balance_tree
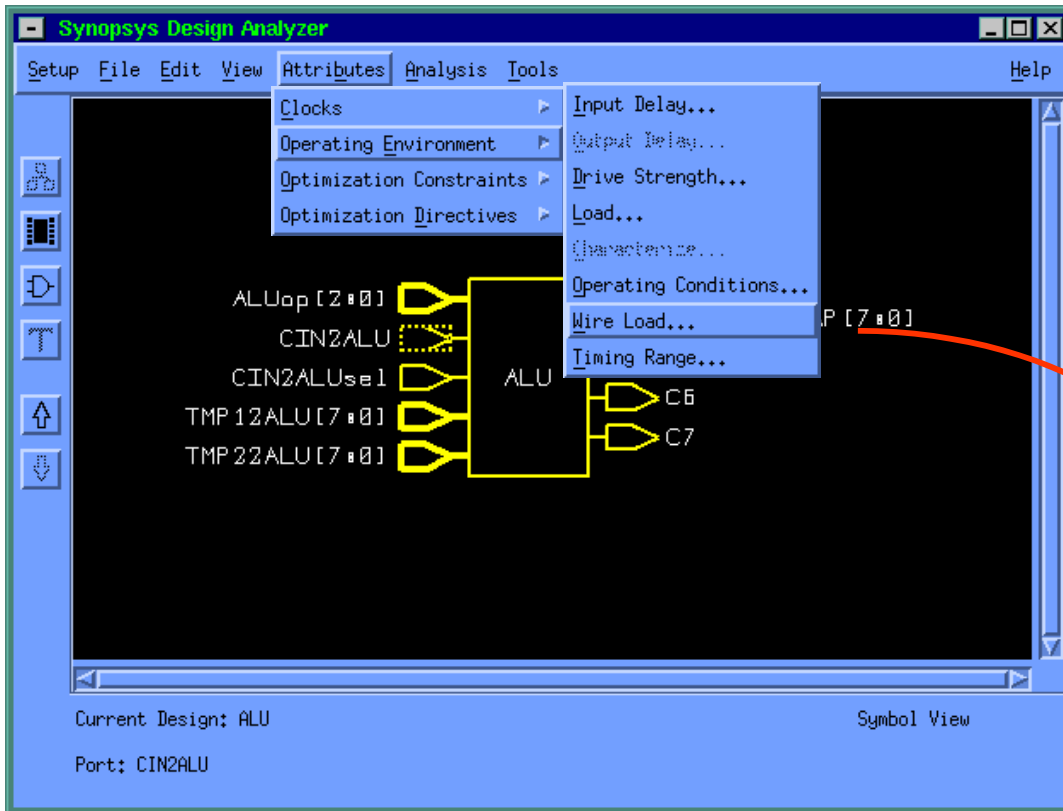
☞：選擇 設計電路的格局大小。*最好選大一點*。

☺ ： *Cell Library 中有定義才有效*
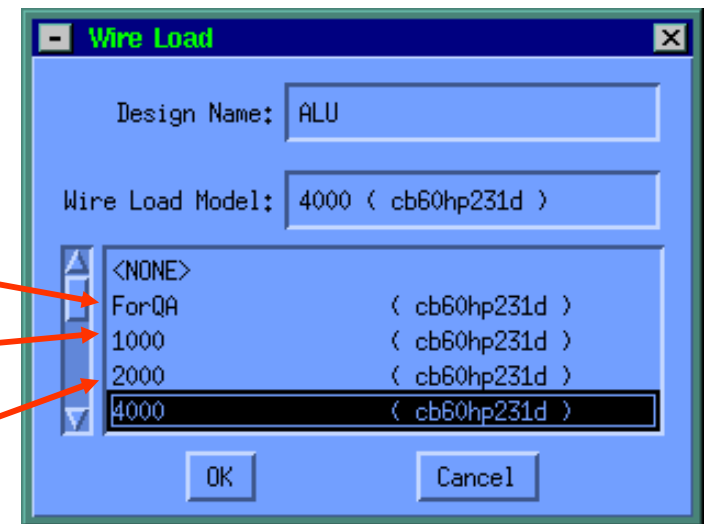
小於 **1000 gates** 的設計

1000 gates 的設計

2000 gates 的設計

Setting Operating Environment (cont.)

由
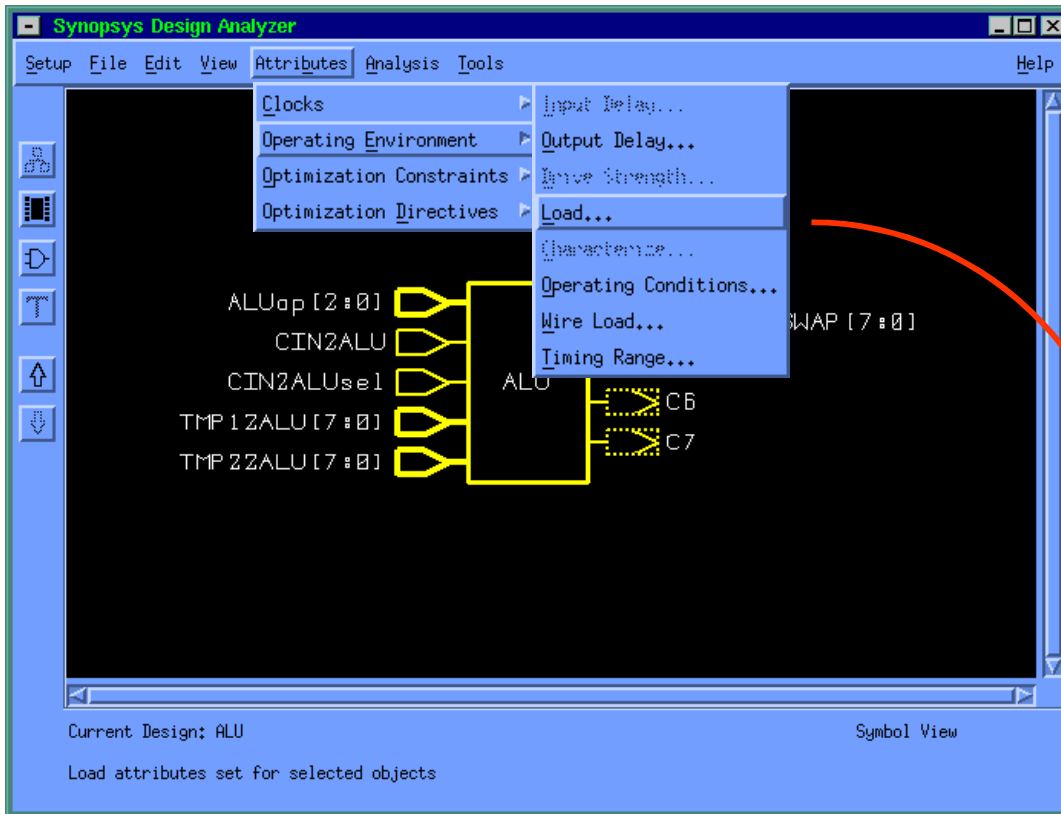
Attributes ➜ **Operating Environment** ➜ **Load** 即出現設定 loading 的視窗。（如下圖）
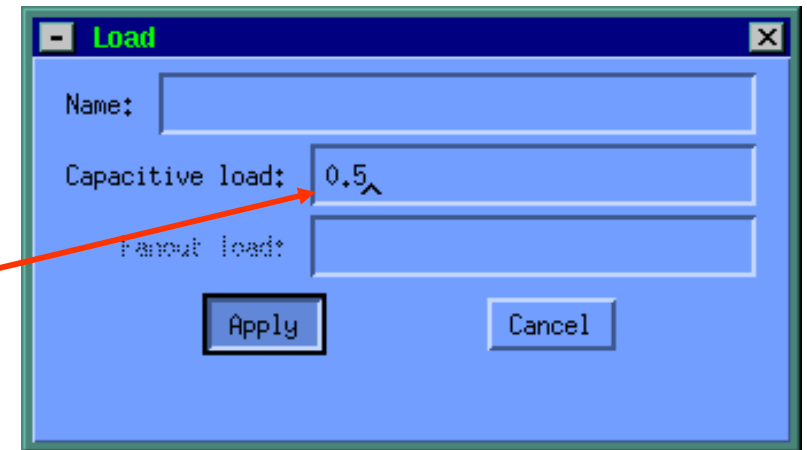
填入欲設定的值後按 **Apply**

✎ : 若 **output loading** 太大, **Synopsys** 會根據 **cell library** 中的定義適當的加入 **buffer (cell library** 有定義才有效)

Setting Design Constraint

- ## Optimization constraints
  - ## Maximum delay , Minimum delay
    - ### For combinational circuits
      - #### Select the start and end points of the concerned paths
    - ### For sequential circuits
      - #### Specify the clock
      - #### Setting input delay
      - #### Setting output delay
  - ## Maximum area

Combinational circuits

國立中正大學
電機工程研究所
CCU EE VLSI Group
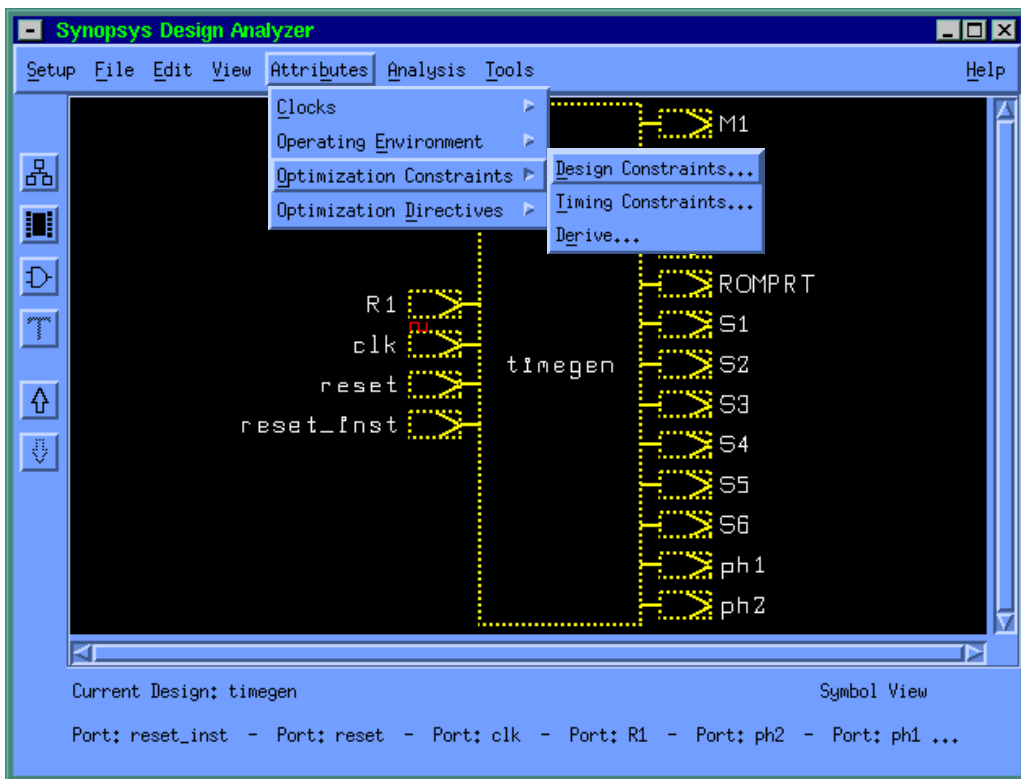
由 **Attributes** ➤ **Optimization Constraints** ➤ **Design Constraints** 即可進入設定 **Design constraints window**
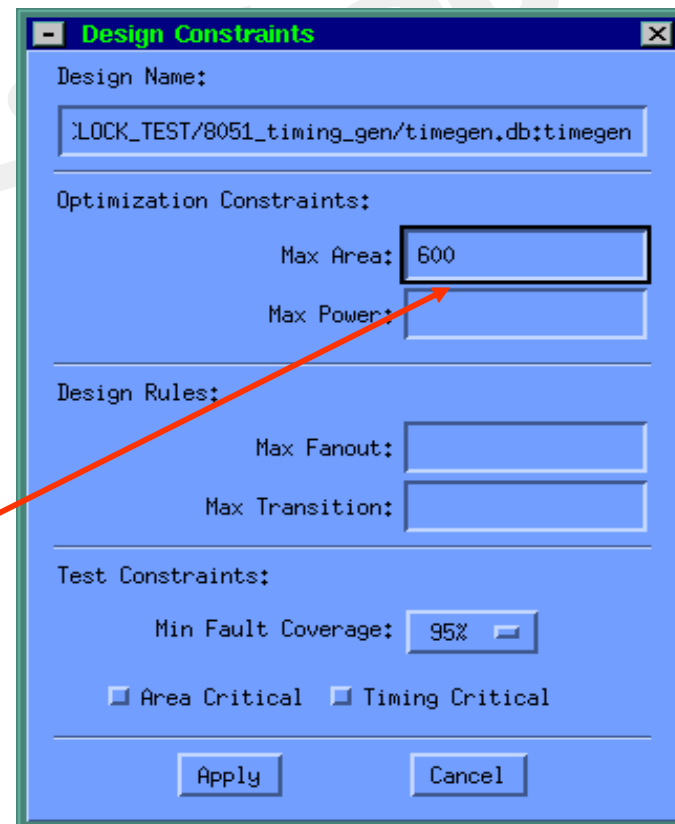
在 **Max Area** 欄中 **Area** 大小 (單位 : **gates)**. 因為沒有 **license** , 所以無法對 **power** 設定 **constraint** .

〰 : 視情況而定 , **default** 是不需設定

Combinational circuits

所有環境變數設定完後, 由
Analysis ➡ **Highlight** ➡ **Critical Path ,**
Synopsys 會將電路的 **Critical Path** 顯
示 (如圖)

Combinational circuits (cont.)

選擇的 **port name**
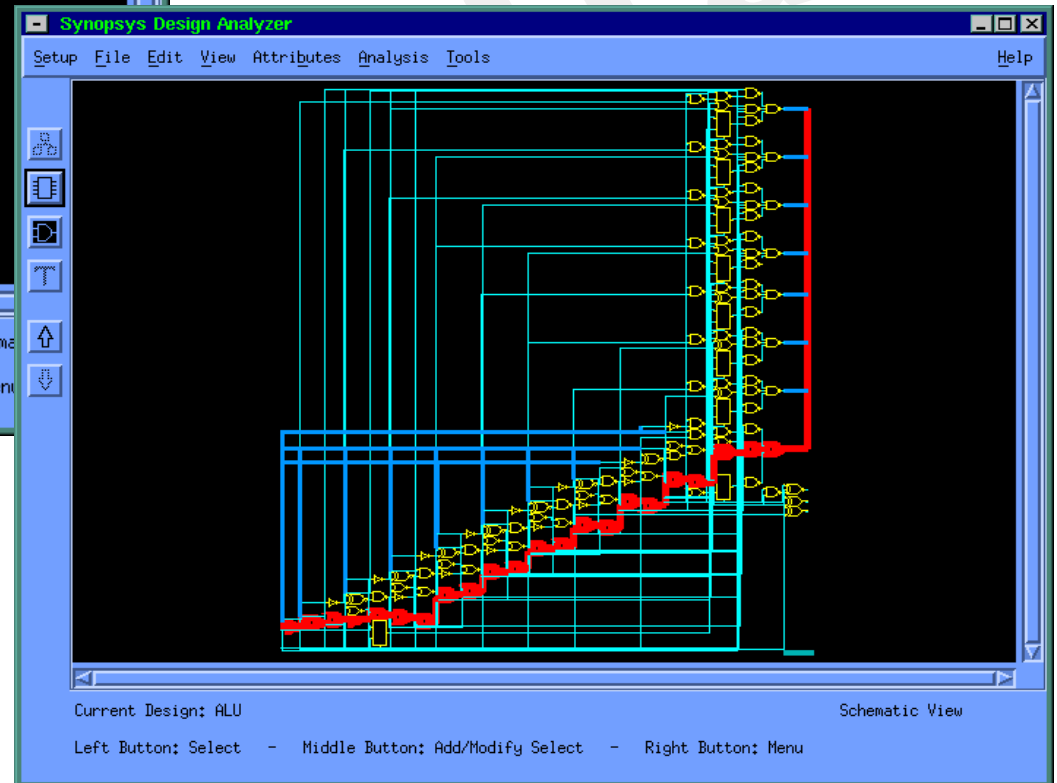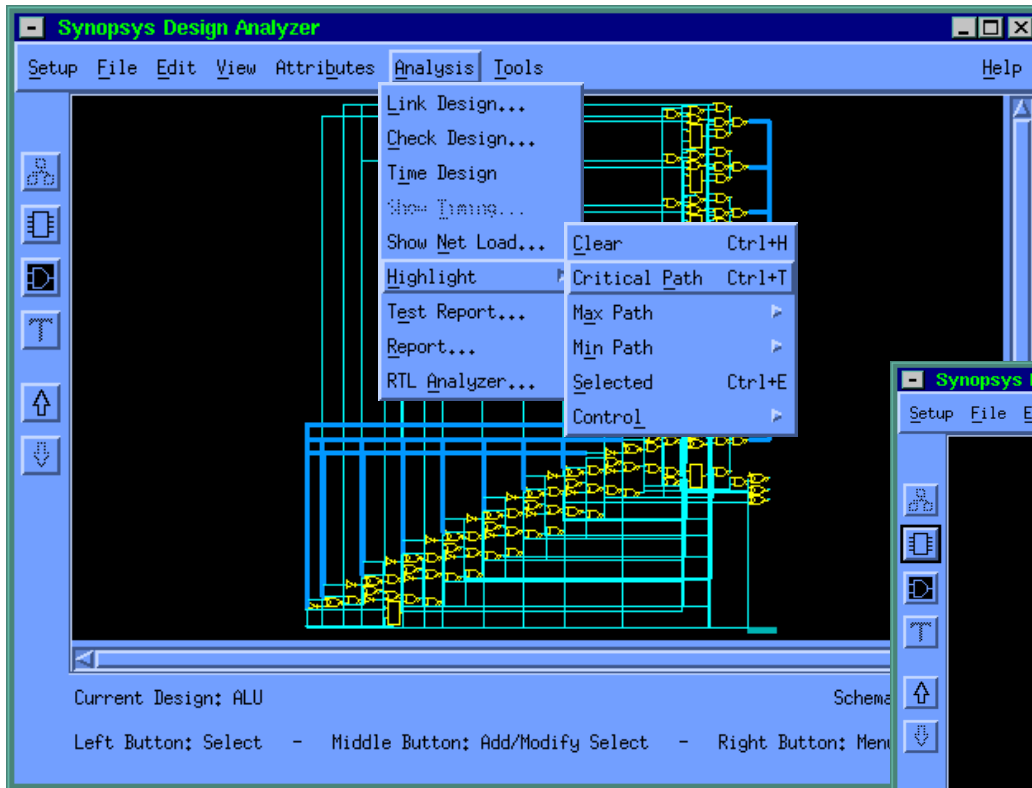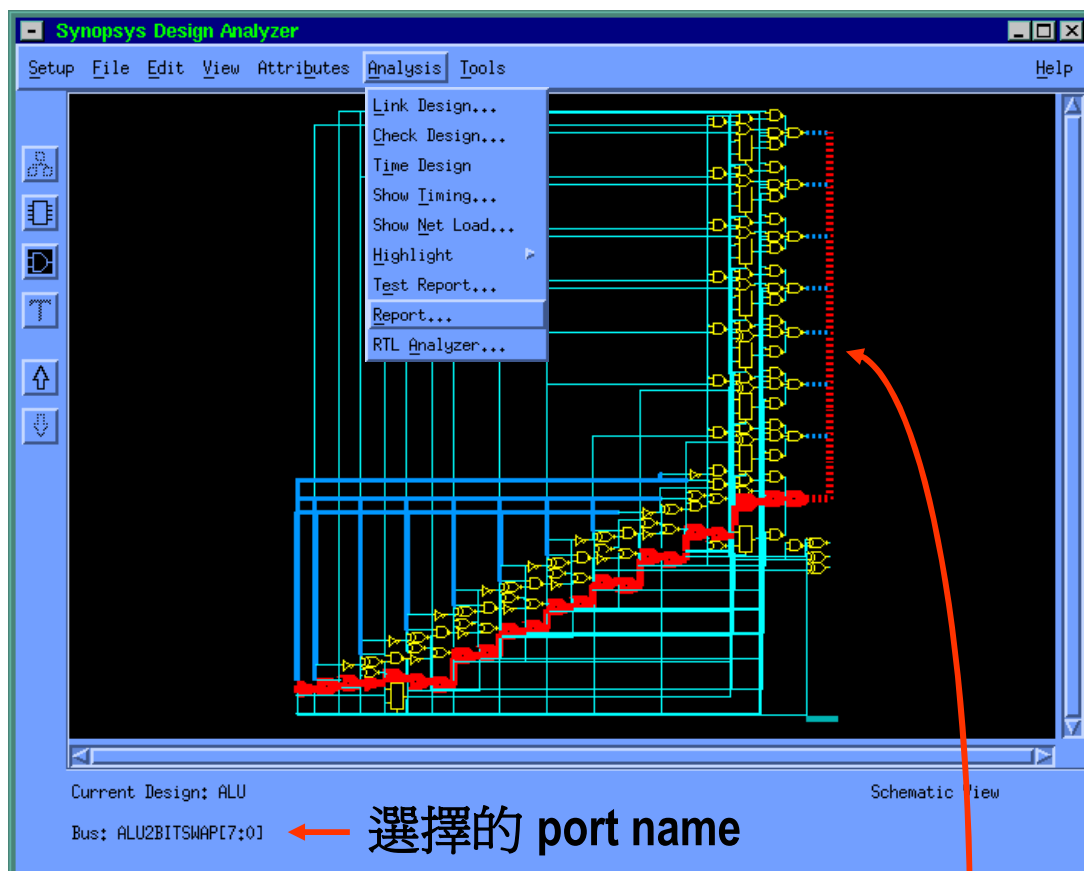
先點選 **Critical path output port** (點選的 **port** 呈虛線狀,如上圖)

再由
Analysis → Report 即出現 Report 視窗
(如圖), 點選需要的項目後按 **Apply**

國立中正大學
電機工程研究所
CCU EE VLSI Group
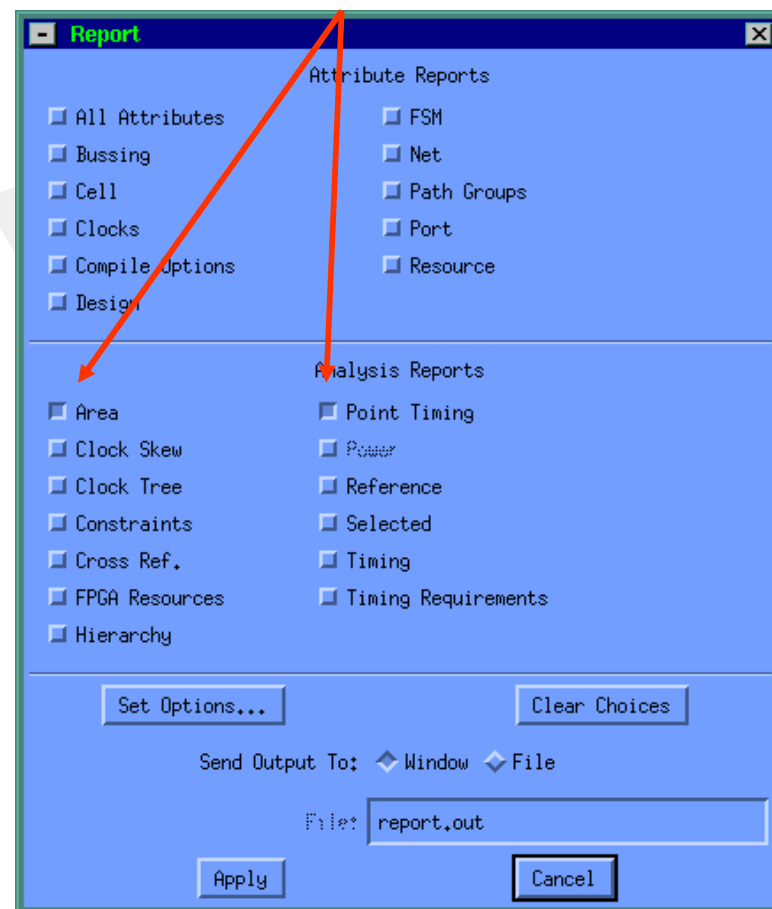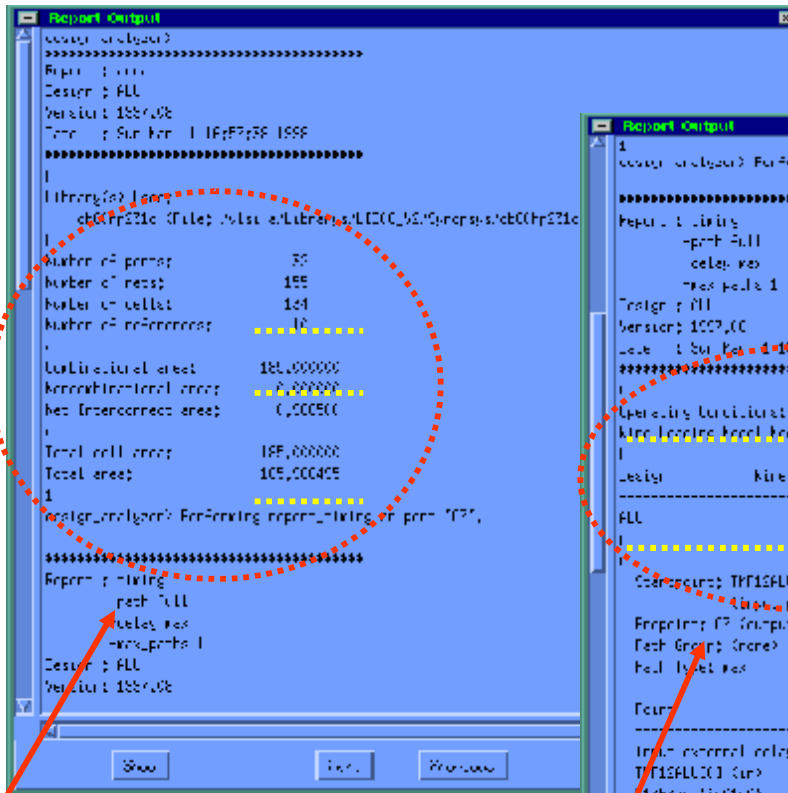
Point timing

- **Number of cells**
- **Combinational area**
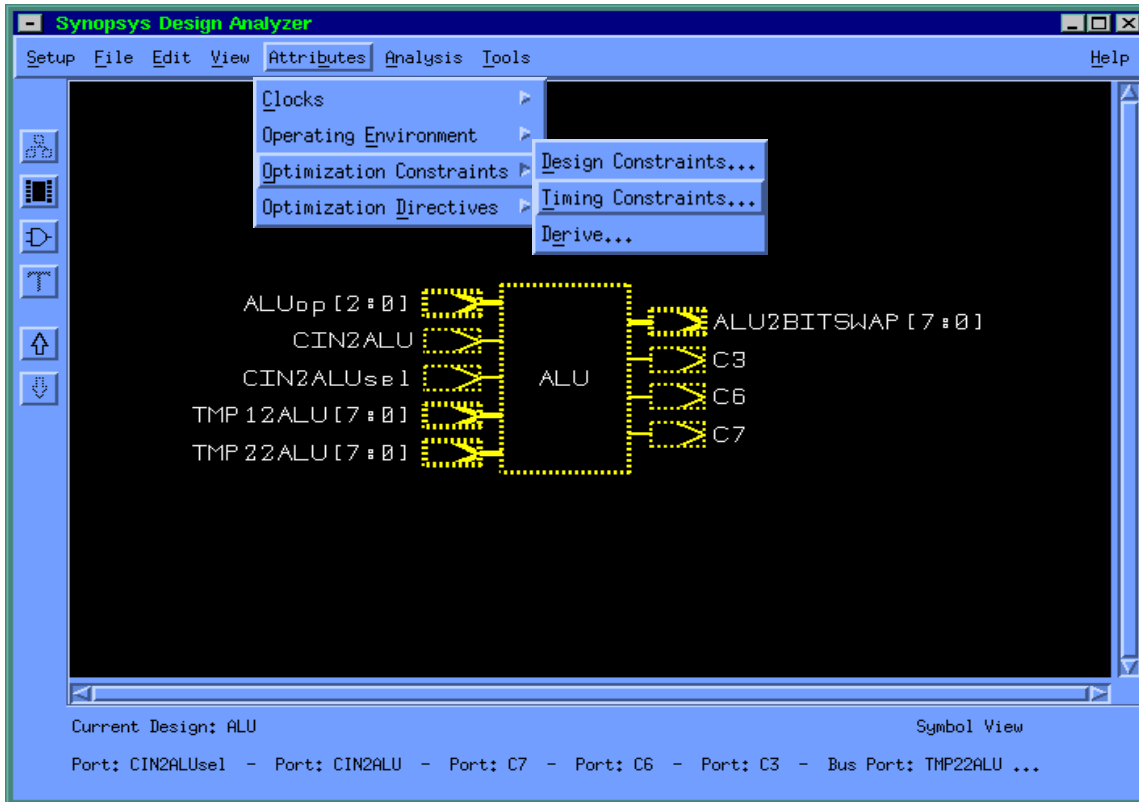- **Total area**

Operating environment

Combinational circuits (cont.)

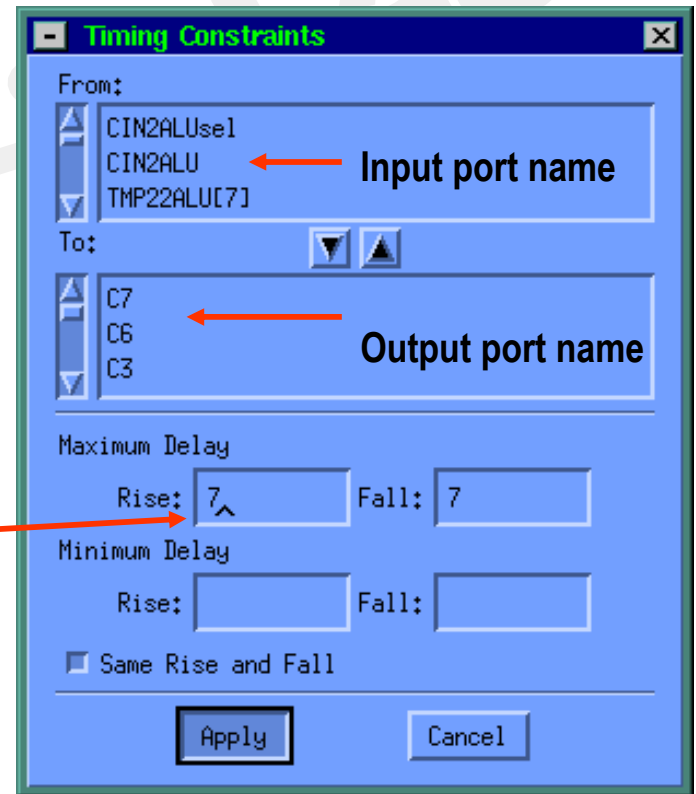設定 constraints 時, 必須先點選欲設定的 port, 圖例是圈選所有的 ports
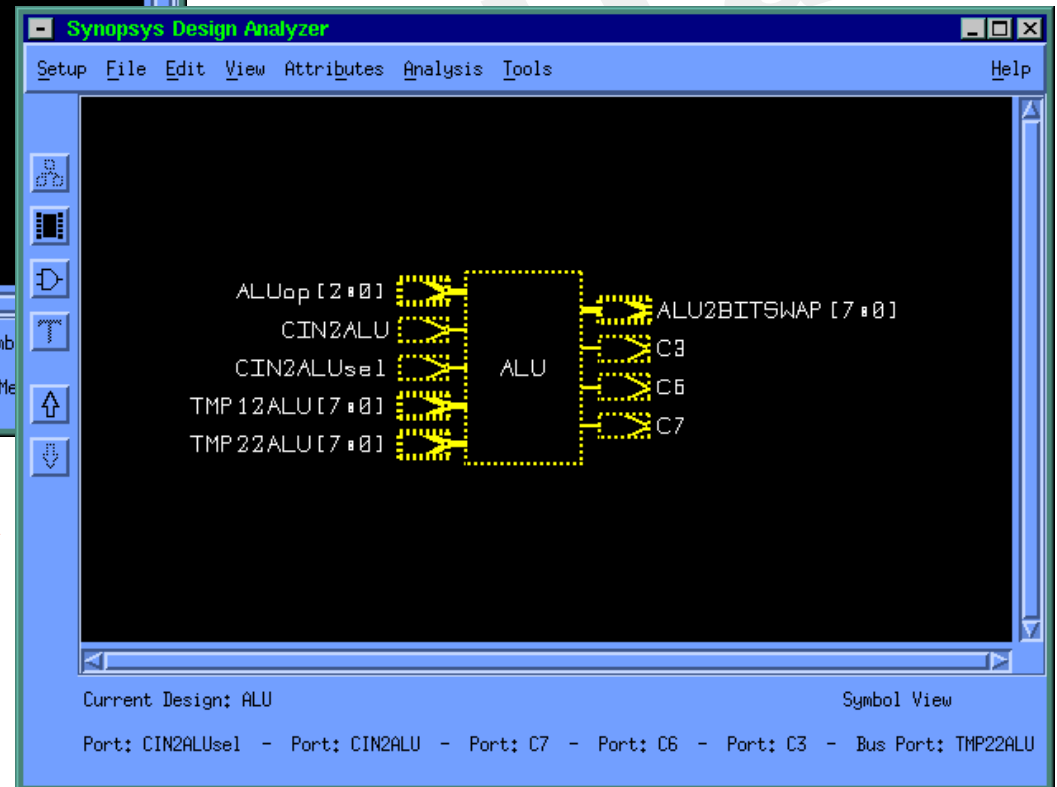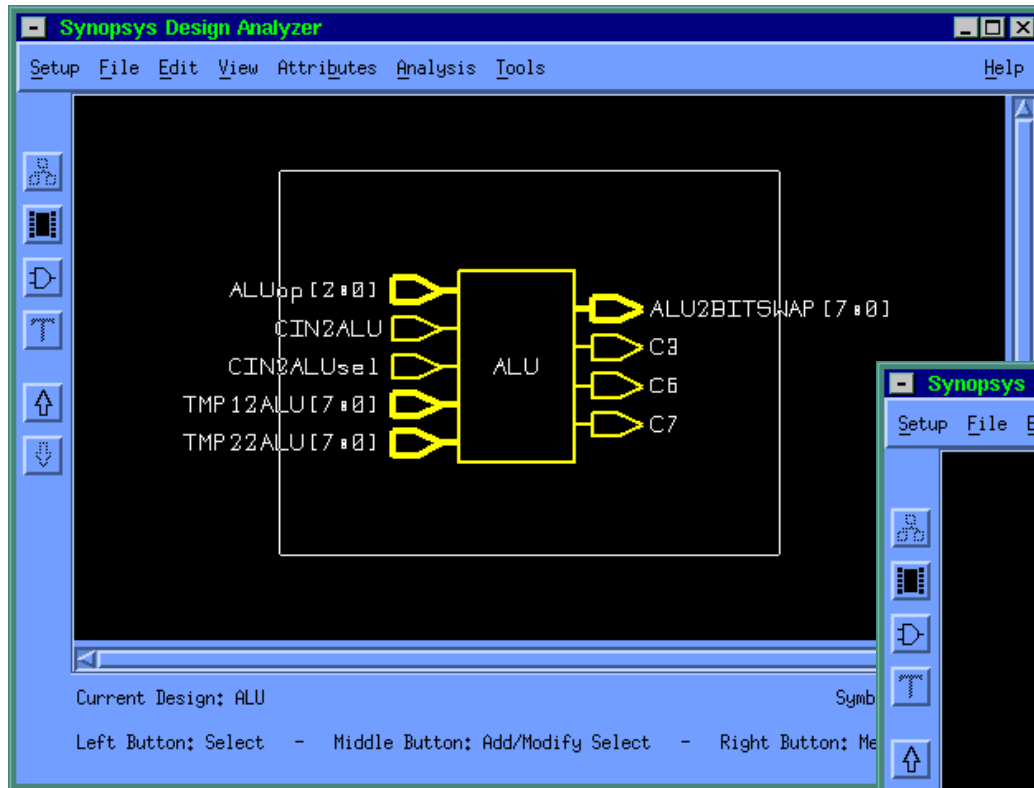
Combinational circuits (cont.)

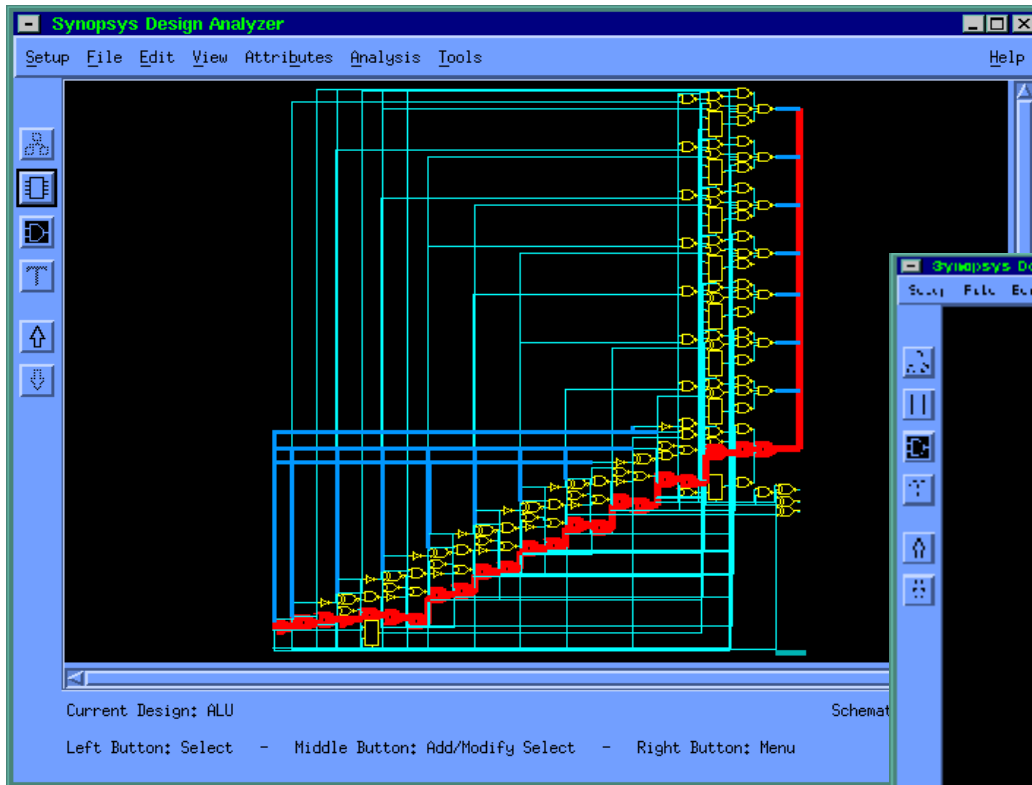由 **Attributes** ➔ **Optimization Constraints** ➔ **Timing Constraints** 即可進入設定 timing constraints window

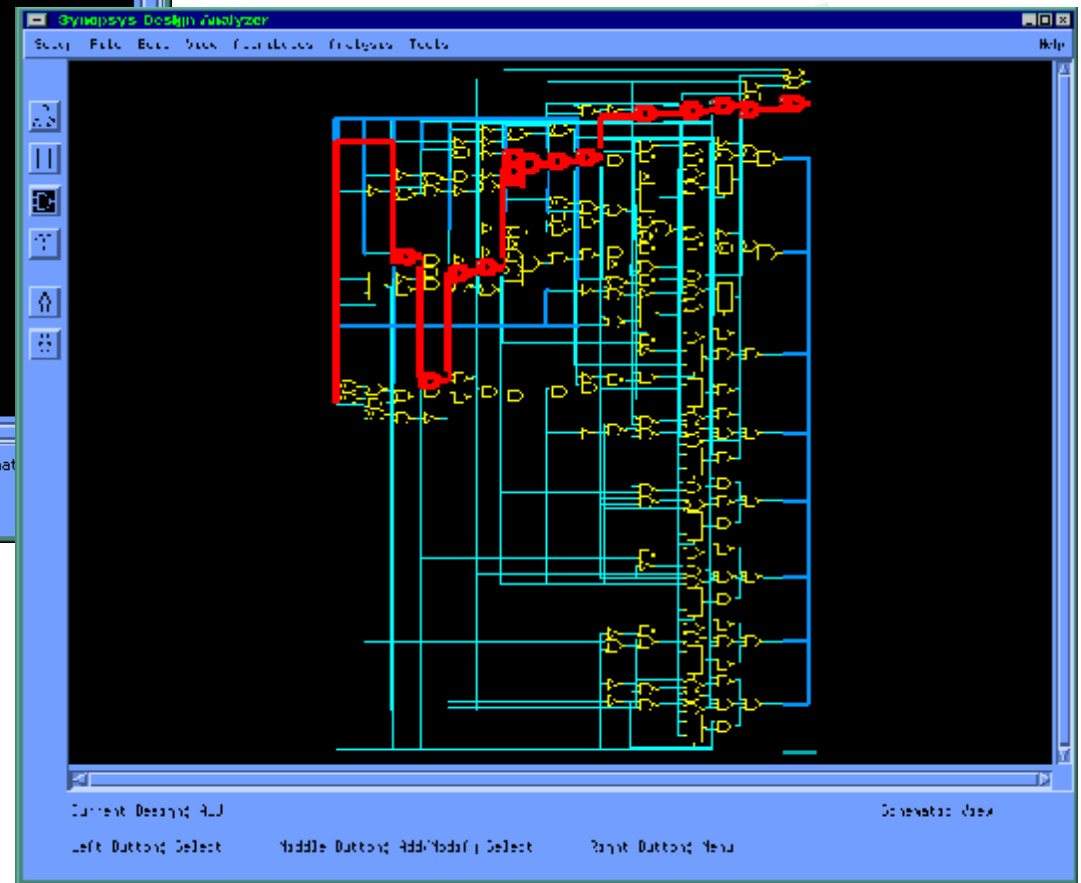在 **Maximum Delay** 欄中填入 **Input port** 到 **Output port** 的 **timing constraints**

✍ : 可針對單一 input 及 output 設定

Combinational circuits (cont.)

重新合成前

重新合成後

國立中正大學
電機工程研究所
CCU EE VLSI Group

Report Output

```
design_analyzer>
*******************************************
Report : area
Design : ALU
Version: 1997.08
Date   : Sun Mar  1 17:03:53 1998
*******************************************
|
Library(s) Used:
    cb60hp231d (File: /vlsi-a/Librarys/LIB06_V2/Synopsys/cb60hp231d.db)


Number of ports:           32
Number of nets:           192
Number of cells:          171
Number of references:      27
|
Combinational area:        289.500000
Noncombinational area:       0.000000
Net Interconnect area:       1.236400

Total cell area:           289.500000
Total area:                290.736389
|
design_analyzer> Performing report_timing on port 'C7'.


*******************************************
Report : timing
        -path full
        -delay max
        -max_paths 1
Design : ALU
Version: 1997.08
```

Show   Next   Previous   Cancel

Timing 不符 Spec. 但是 Synopsys 並不會告訴 user. Synopsys 只是盡其所能將電路合成.

Report Output

```
Path Group: default
Path Type: max

Point                          Incr      Path
----------------------------------------------
input external delay           0.00      0.00 f
ALUop[2] (in)                  0.00      0.00 f
U81/z (xo02d1)                 1.50      1.50 f
U61/z (or02d2)                 0.77      2.27 f
U54/zn (nd04d1)                0.69      2.96 r
U58/zn (fn01d2)                0.28      3.24 f
U32/zn (oa03d1)                0.99      4.23 r
U34/zn (fn01d2)                0.29      4.53 f
U37/zn (fn01d2)                0.43      4.96 f
U12/zn (fn01d2)                0.29      5.26 f
U14/zn (fn01d2)                0.28      5.54 r
U18/z (an02d2)                 0.55      6.09 r
U22/z (or02d1)                 0.67      6.76 r
U30/z (xo02d2)                 1.49      8.25 f
C7 (out)                       0.00      8.25 f
data arrival time                        8.25

max_delay                      7.00      7.00
output external delay          0.00      7.00
data required time                       7.00
----------------------------------------------
data required time                       7.00
data arrival time                       -8.25
----------------------------------------------
slack (VIOLATED)                        -1.25
```
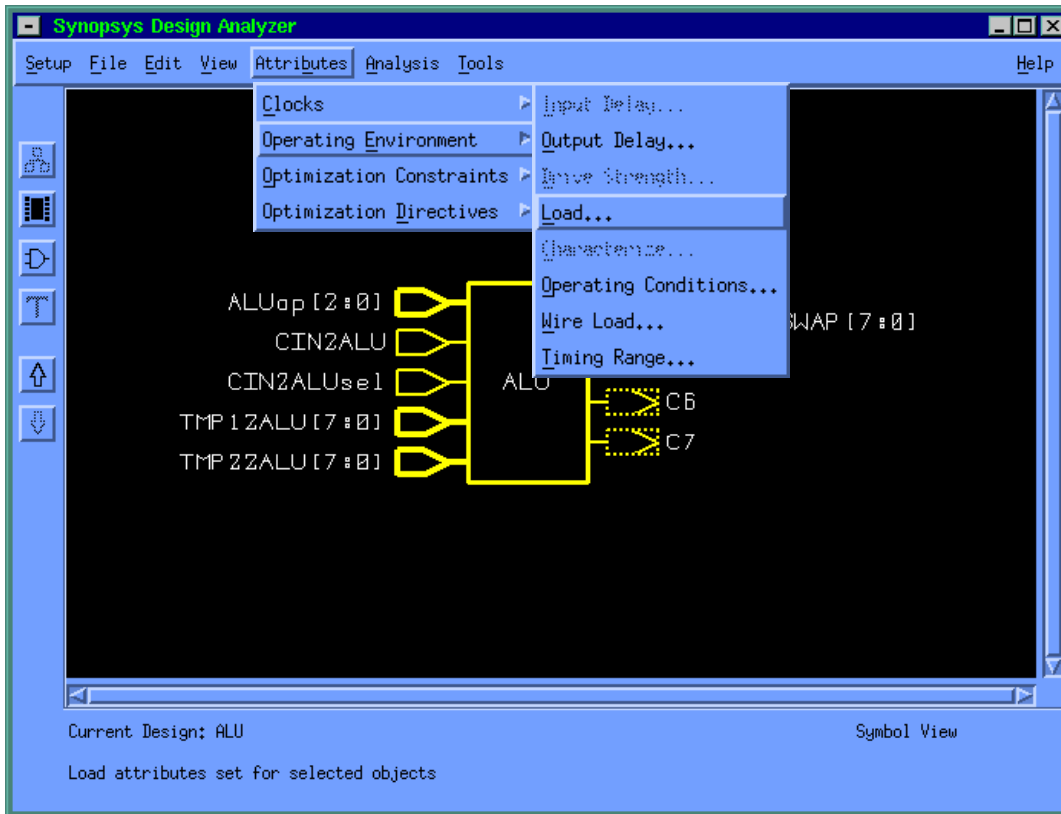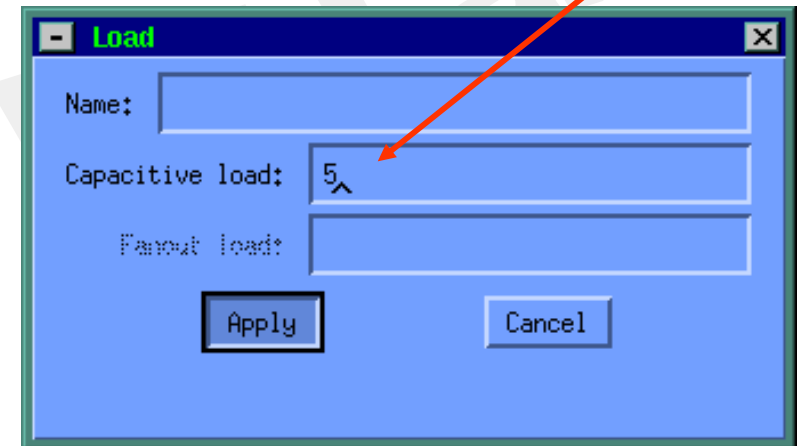
Show   Next   Previous   Cancel

若無法符合 Spec. 就只有修正電路的設計或更換 codeing style .
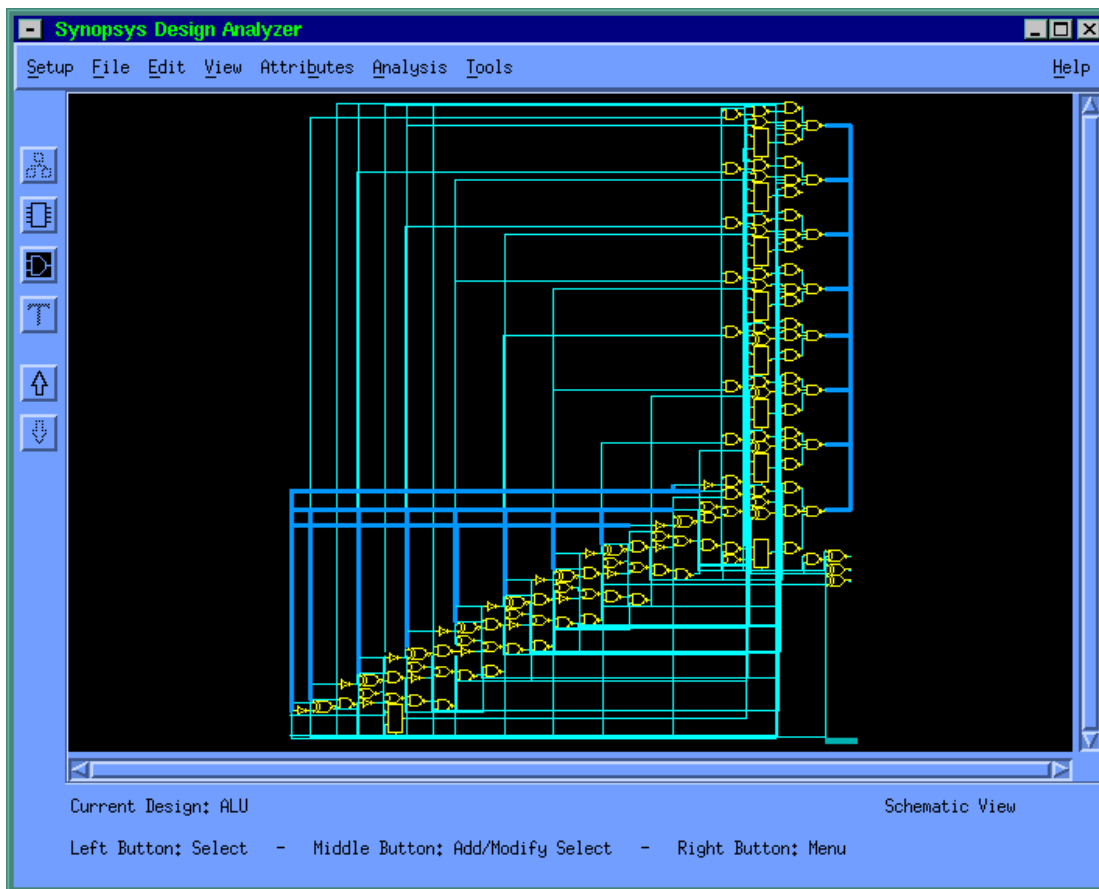
Combinational circuits (cont.)
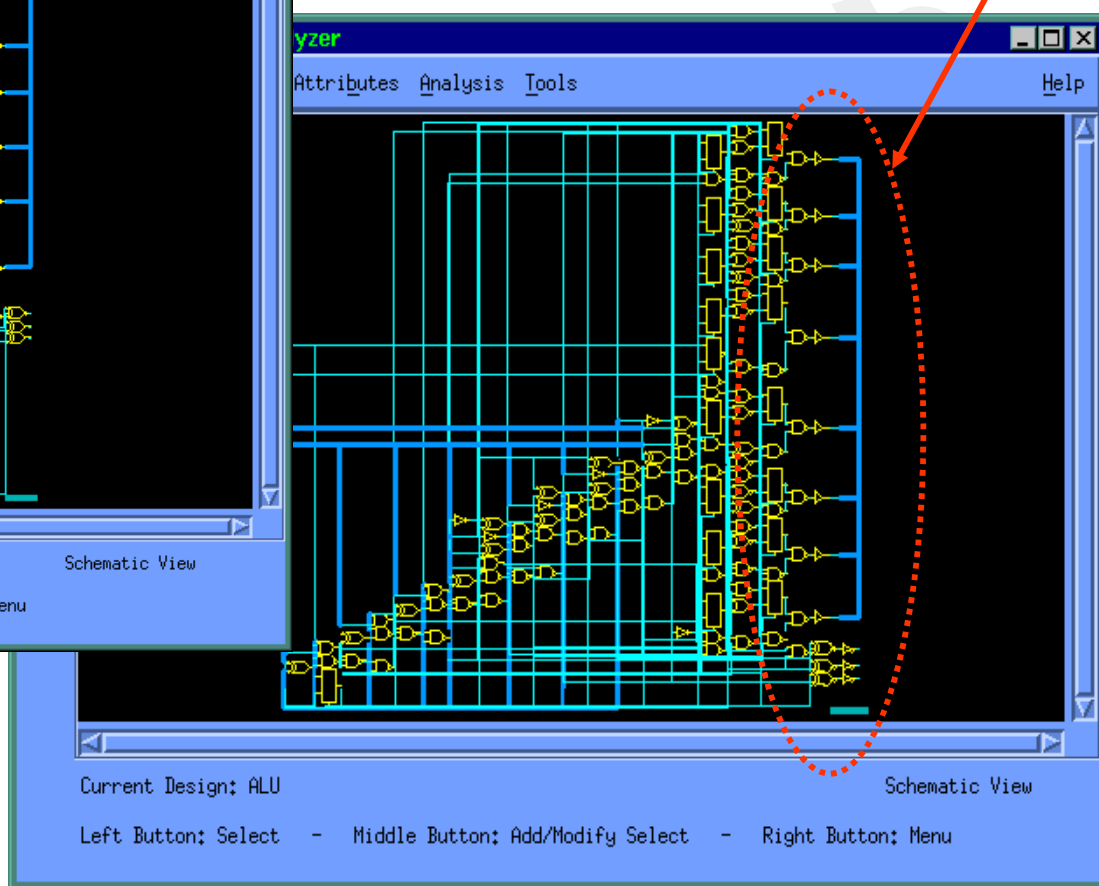
output loading 設定為 5 pF 後, 再重新合成一次

🔊 : cell library 有定義才有效

Combinational circuits (cont.)

重新合成前
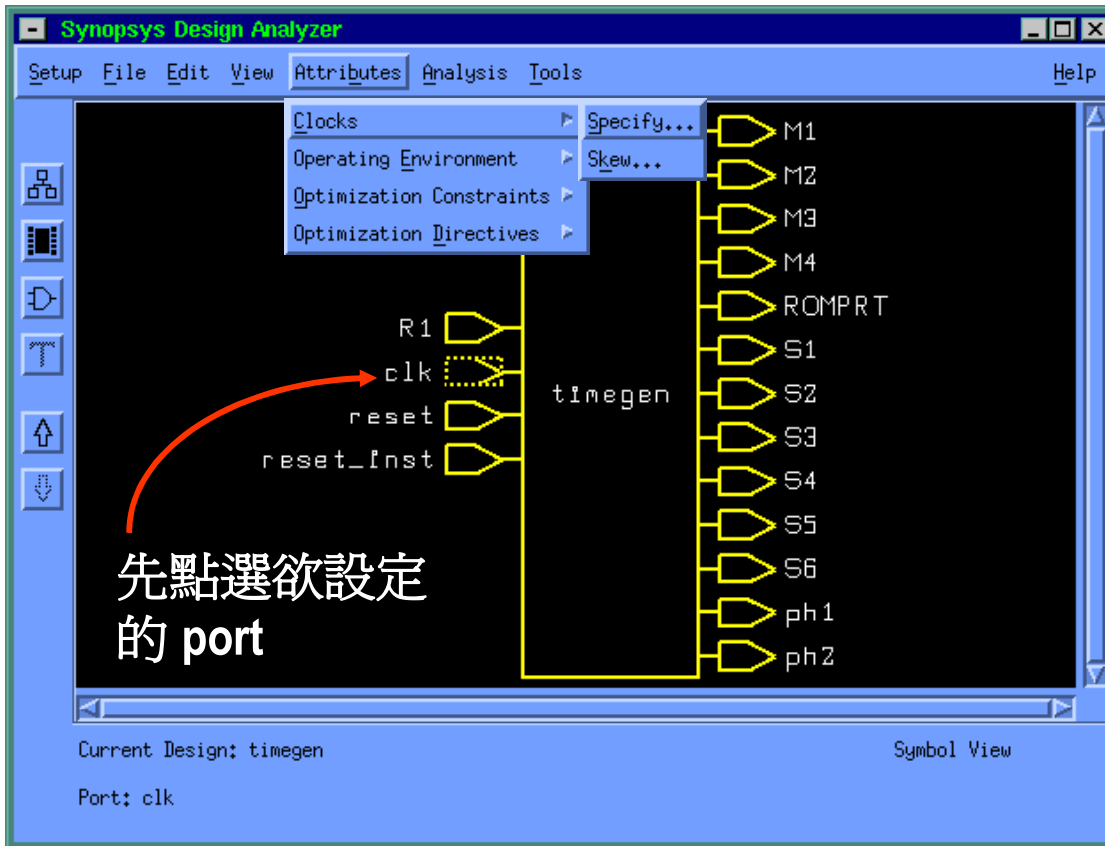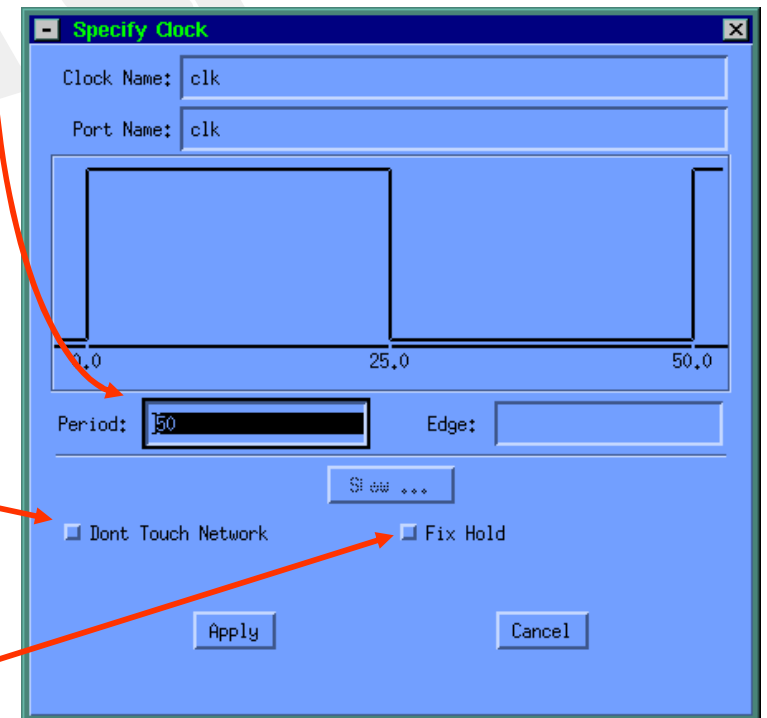
Output 增加了 buffer

重新合成後

Sequential Circuits

Specify Clock

由 Attributes ➔ Clocks ➔ Specify 即出現設定視窗

在 Period 欄中填入時間(單位：ns)

Synopsys Design Analyzer

Setup File Edit View Attributes Analysis Tools   Help

Clocks   ▶ Specify...
Operating Environment   ▶ Skew...
Optimization Constraints ▶
Optimization Directives   ▶

M1
M2
M3
M4
ROMPRT
R1
clk   timegen   S1
reset   S2
reset_Inst   S3
                        S4
                        S5
                        S6
                        ph1
                        ph2

先點選欲設定的 port

Current Design: timegen   Symbol View
Port: clk

Specify Clock

Clock Name: clk
Port Name: clk

0.0   25.0   50.0

Period: 50   Edge:

Skew ...

☐ Dont Touch Network   ☐ Fix Hold

Apply   Cancel

Don't Touch Network : *Do not re-buffer the clock network*

Fix hold : *Fix your hold time requirement in compile, create hold constraint for the clock*

國立中正大學
電機工程研究所
CCU EE VLSI Group
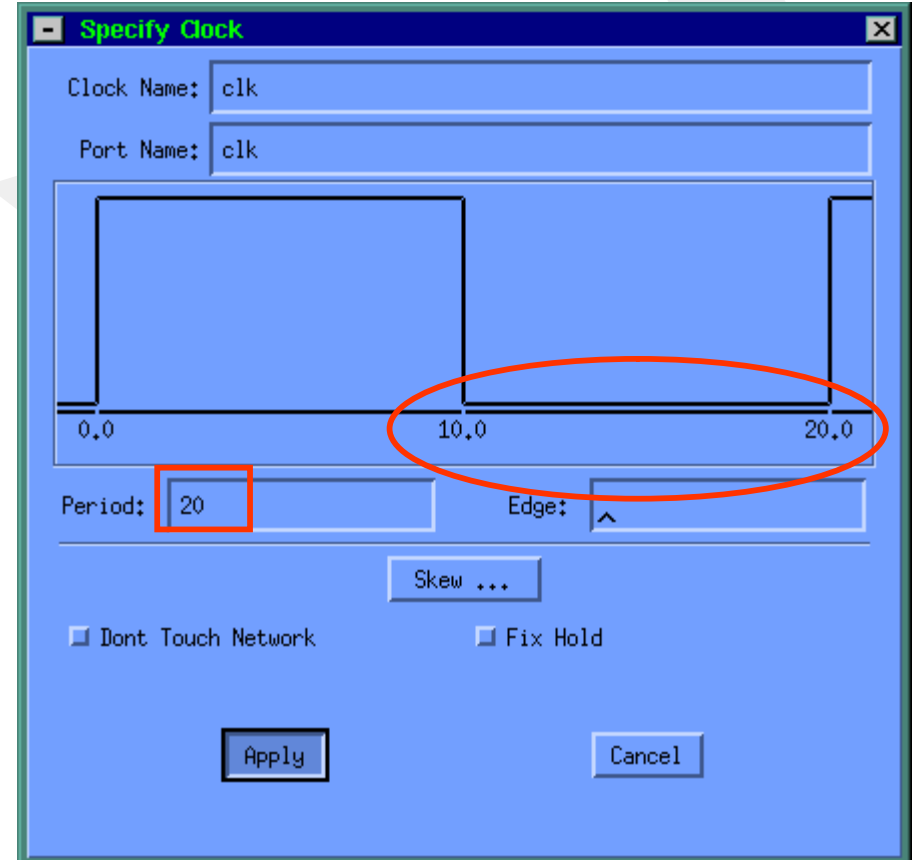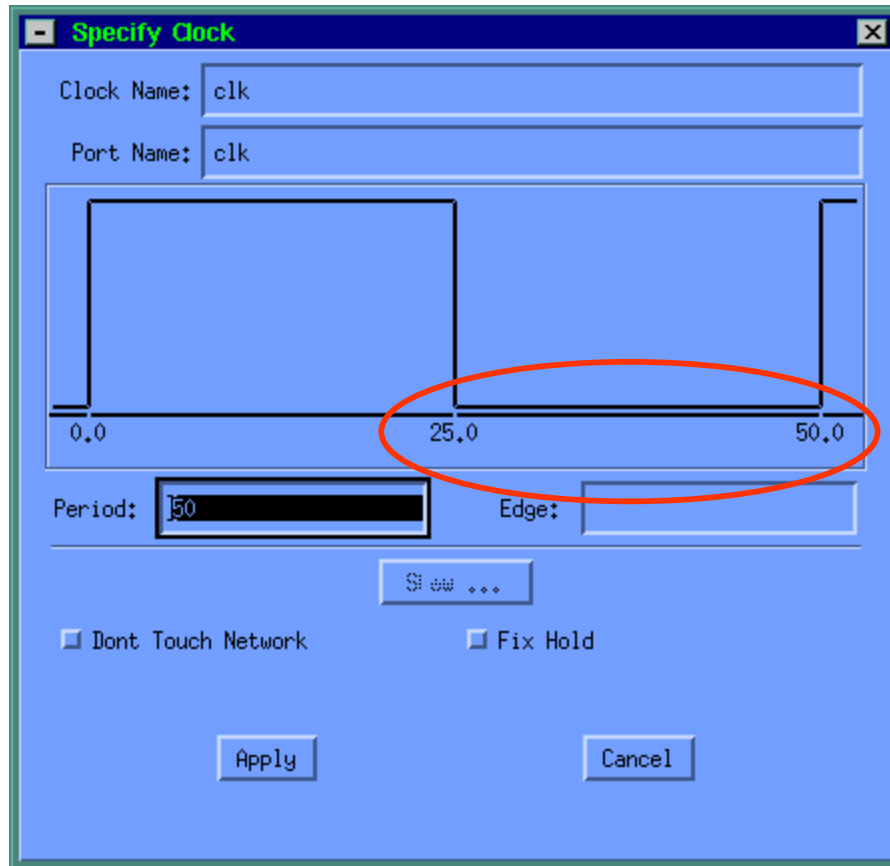
在 **Period** 欄中塡入時間後按 **Apply**，
(單位 : ns)即可改變 **clock period**

國立中正大學
電機工程研究所
CCU EE VLSI Group
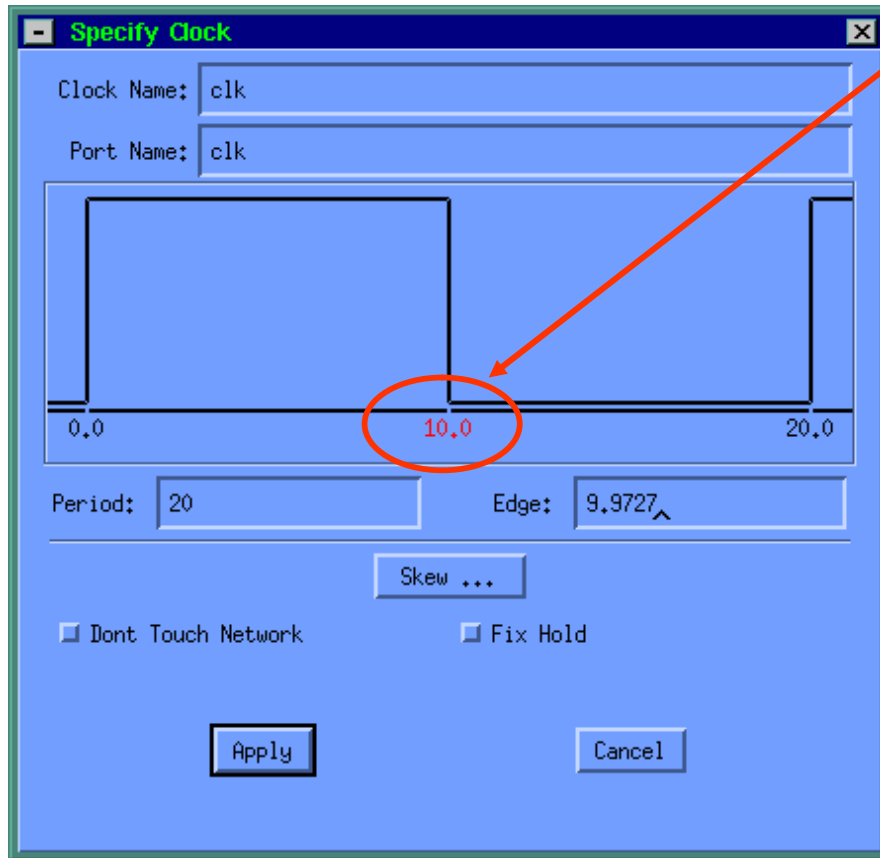
若欲調整 **duty cycle**,先點選 **clock edge** (數字顏色變紅,**Edge** 欄中會出現原設定時間

然後在 **Edge** 欄中填入設定時間後按 *enter* 鍵即可調整 **duty cycle**,最後按 **Apply** 確定

Specify Clock

Clock Name: clk
Port Name: clk

0.0   10.0   20.0

Period: 20   Edge: 9.9727

Skew ...

☐ Dont Touch Network   ☐ Fix Hold

Apply   Cancel

Specify Clock

Clock Name: clk
Port Name: clk

0.0   5.0   20.0

Period: 20   Edge: 5

Skew ...

☐ Dont Touch Network   ☐ Fix Hold

Apply   Cancel
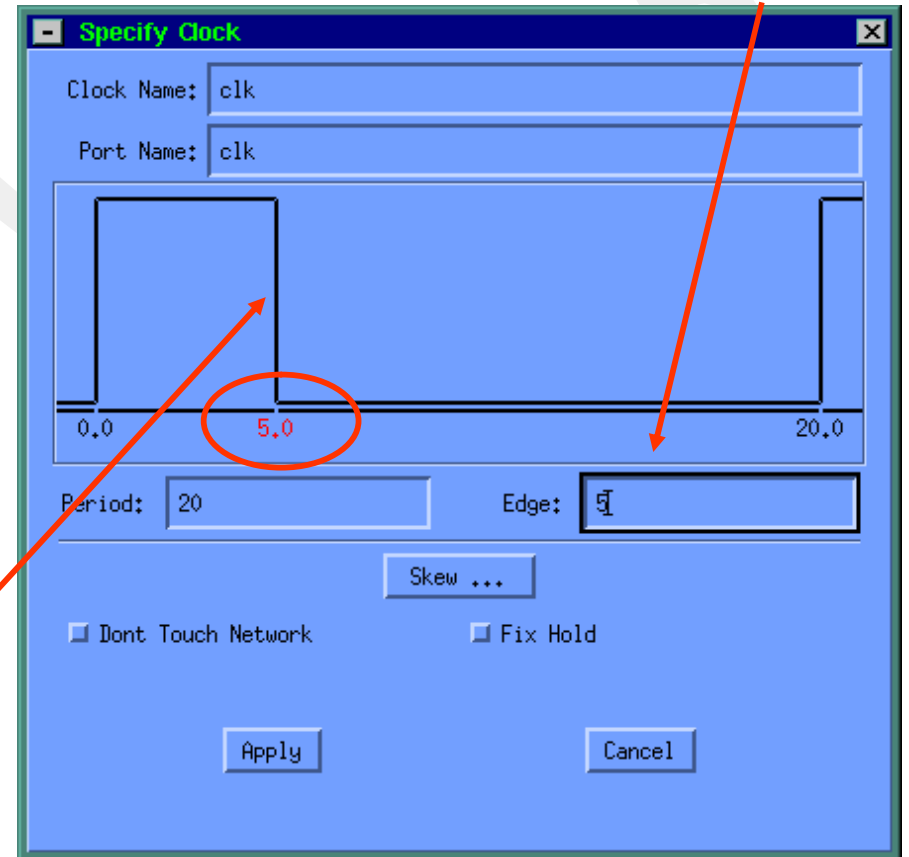
☞ : 使用滑鼠左鍵點選 **edge** 按住不放後拖曳滑鼠也可調整 **duty cycle**,最後按 **Apply** 確定

第 **36** 頁

Specify Clock (cont.)

Specify Clock

Clock Name: clk

Port Name: clk

Period: 20   Edge: ∧

Skew ...

☐ Dont Touch Network   ☐ Fix Hold

Apply   Cancel
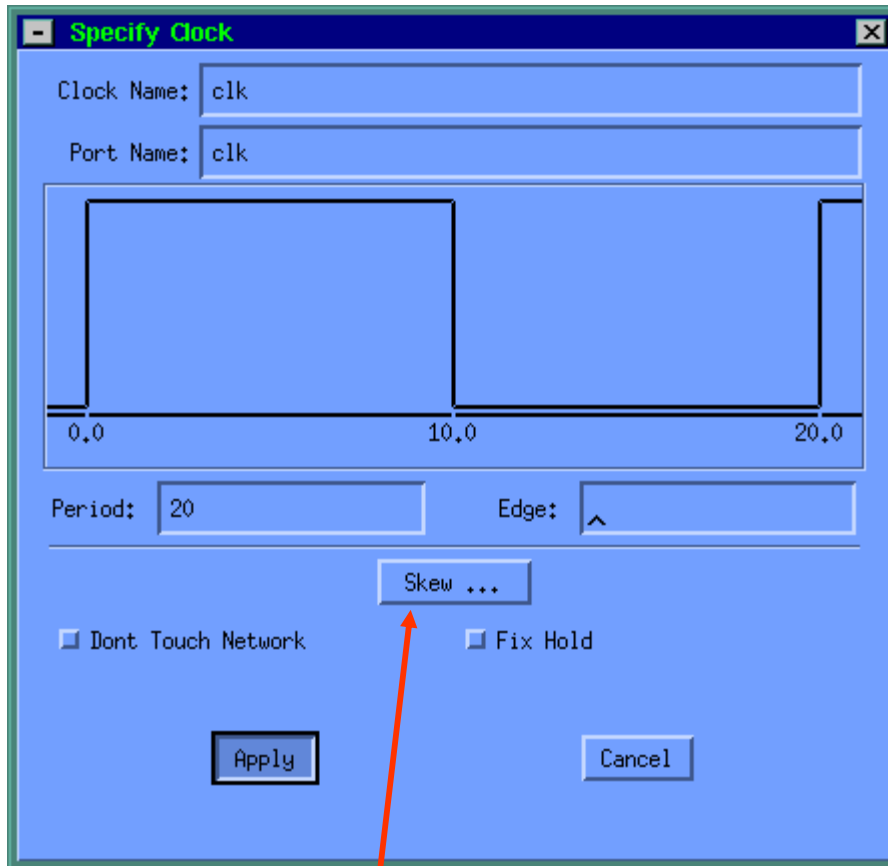
點選 **Skew bottom**進入設定
clock skew window

點選 **Propagated bottom** 並設定
skew time (ns) 後按 **Apply**

Skew

Clock Name: clk

Clock Delay Type

◇ Ideal

Rise: Fall:

☐ Same Rise and Fall

◆ Propagated

Uncertainty

Min: 1∧   Max: 1

☐ Same Min and Max

Apply   Cancel

國立中正大學
電機工程研究所
CCU EE VLSI Group

Input Block   **My Design**   **Output Block**

CLK

t_b

a_min t_{su}

a_max

data

CLK
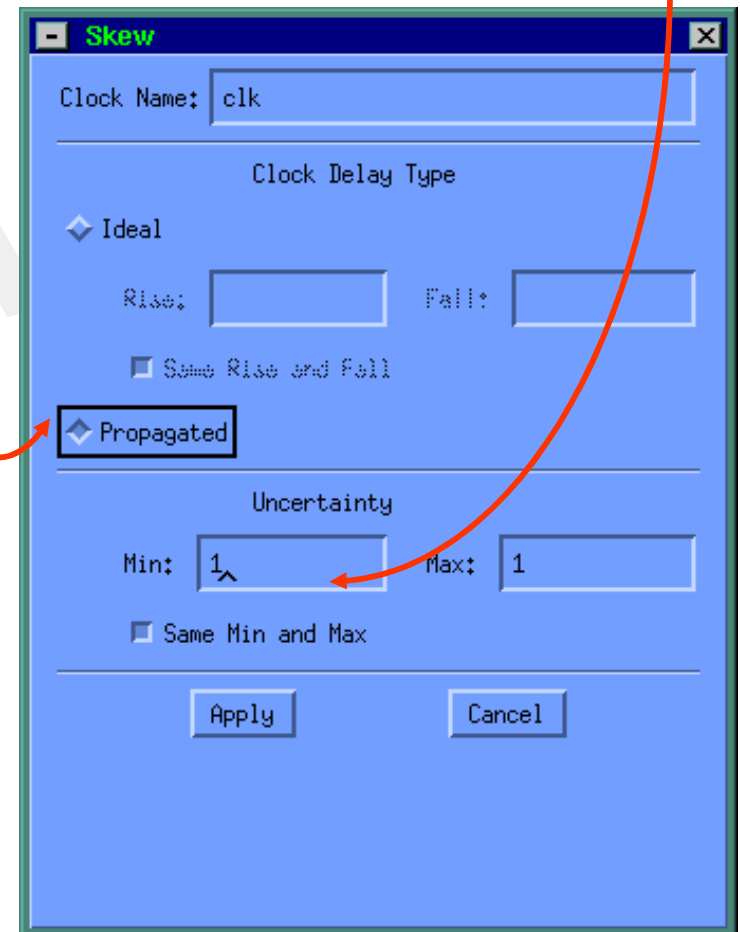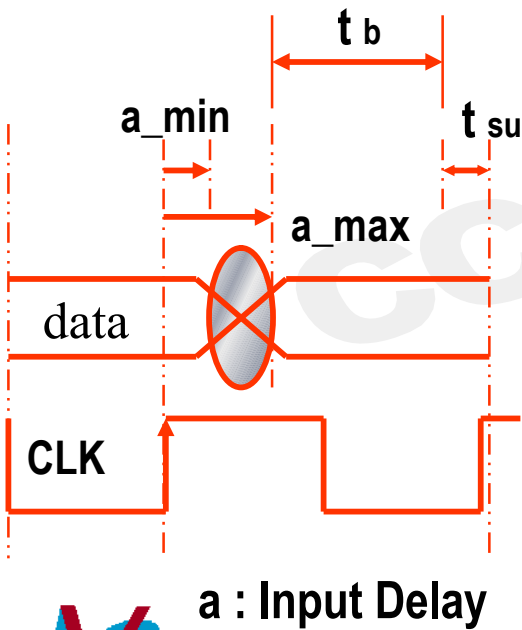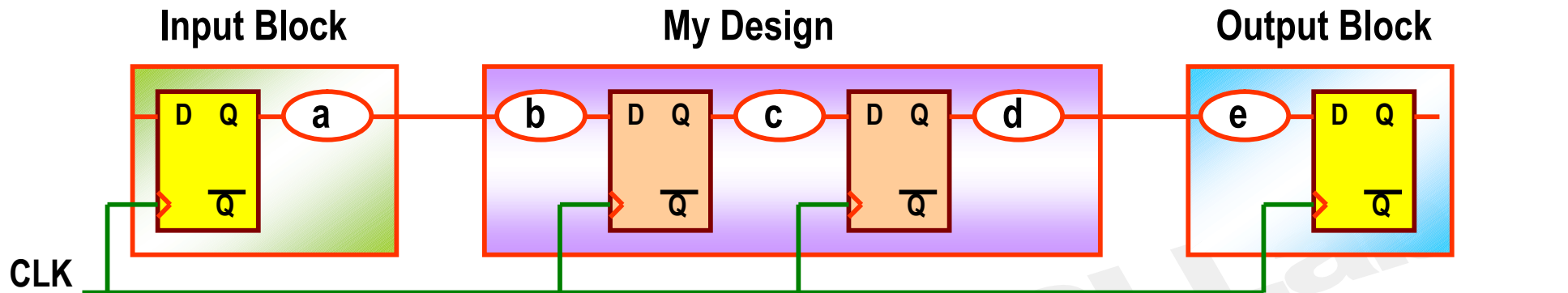
a : Input Delay

我們拿已知的時脈作爲參考，扣除週邊電路所花的時間，即是 **My design**所能用於合成最佳化的時間。其中，以左圖爲例， **a** 是我們的 **input delay time**可以視爲 **input block** 在時脈到達後的 **data ready time**，**b** 則包含了**Data** 在 **My design** 前的 **delay time** t_b 加上 **Data** 的 **setup time** t_{su}。

e_min

e_max

data

CLK
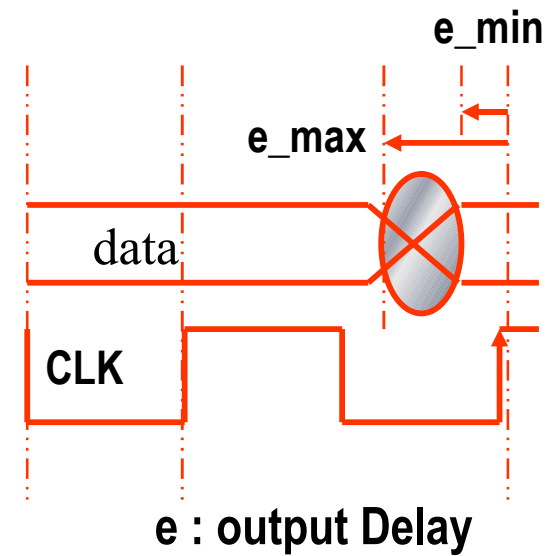
e : output Delay

Setting Input Delay
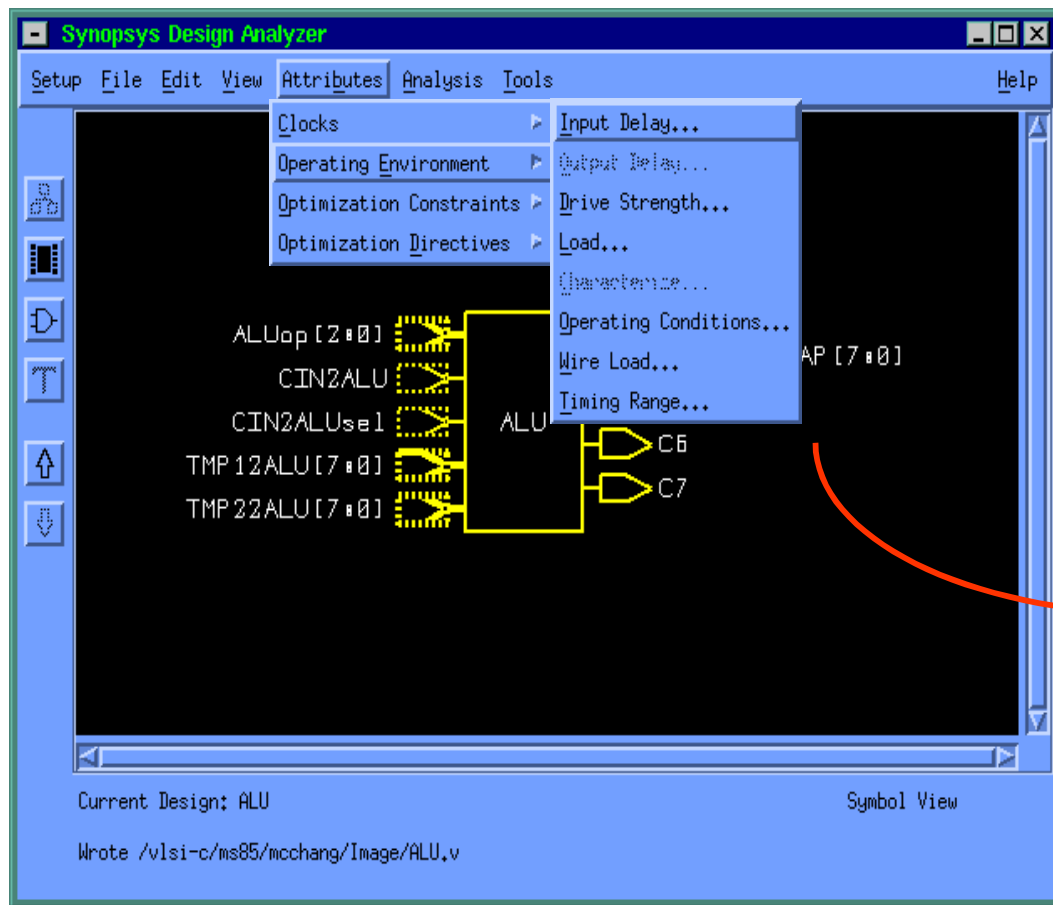
選擇物件後由
Attributes ➜ **Operating Environment** ➜ **Input Delay** 即出現設定延遲的視窗。（如下圖）
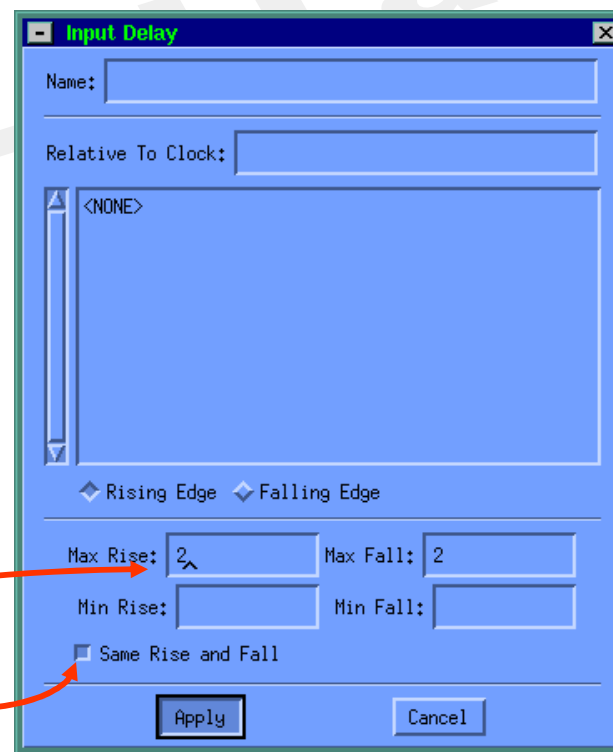
在此填入設定值 **(**單位：**ns)** 後按**Apply**

若要設定不同的 rise，fall delay，點選小 icon 取消。(其他設定均如此）

Setting Output Delay
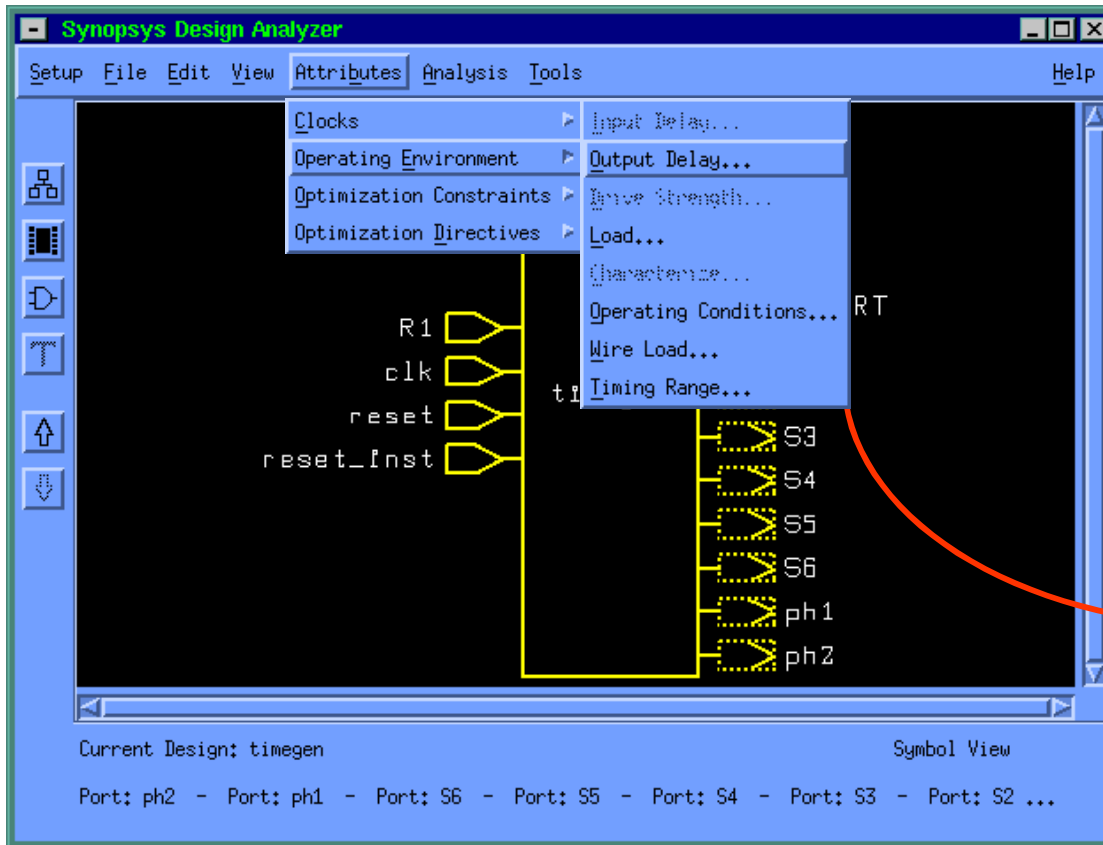
選擇物件後由
Attributes ➡ **Operating Environment** ➡ **Output Delay** 即出現設定延遲的視窗。（如下圖）

在此填入設定值 (單位：ns) 後按**Apply**

Setting Constraints -- sequential circuit

國立中正大學
電機工程研究所
CCU EE VLSI Group

設定 constraints 時, 必須先點選欲設定的 port, 圖例是圈選所有的 ports

國立中正大學
電機工程研究所
CCU EE VLSI Group

由 Attributes ➜ Optimization Constraints ➜ Timing Constraints 即可進入設定 timing constraints window

在 Maximum Delay 欄中填入 Input port 到 Output port 的 timing constraints

∿ : 可針對單一 input 及 output 設定

∽:
由此可看出 **Synopsys** 在 **combinational circuit** 與 **sequential circuit** 上對 **Critical Path**定義的差異 . 因此不能使用這樣的方法分析 **Critical Path.**

所有環境變數設定完後, 由
Analysis ➡ **Highlight** ➡ **Critical Path** ,
Synopsys 會將電路的 **Critical Path** 顯示 (如圖)

國立中正大學
電機工程研究所
CCU EE VLSI Group

Output name

點選欲觀察的 gate output point (如右上圖所示), 由 **Analysis** → **Show Timing**即可觀察該點的 timing . 使用 **Report** 亦可.

第**44**頁

國立中正大學
電機工程研究所
CCU EE VLSI Group

如同上頁(只要點選該 gate) 由
Analysis ➡ Highlight➡ Max Path ➡
Max Path 即可觀察該點的 timing
path .(如同下頁所示)

Max. delay time

第 **46** 頁

點選欲設定的 input port 及 gate output point (如左圖所示). 放大圖如下頁所示.

input port name

gate output point name

在此填入設定值 (單位：ns) 後按Apply
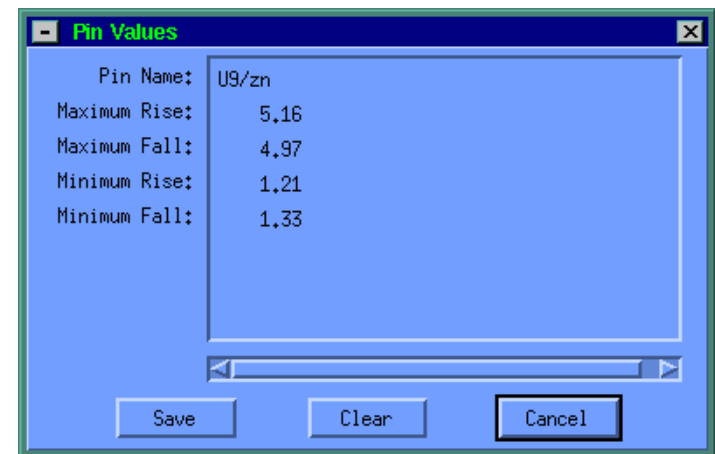
Setting Constraints (cont.) -- sequential circuit
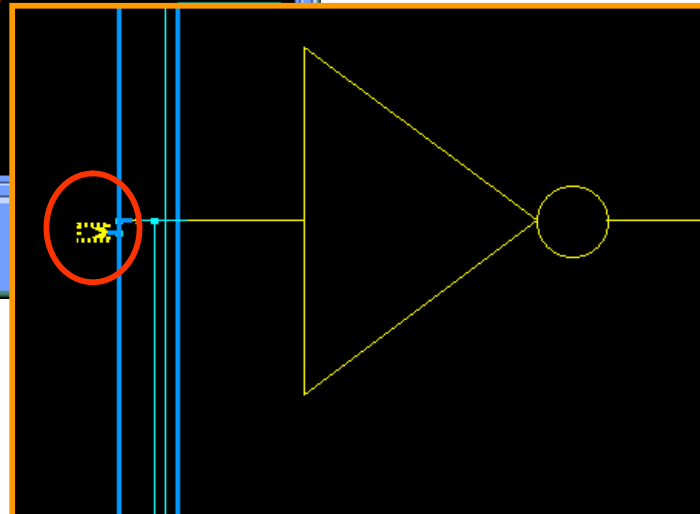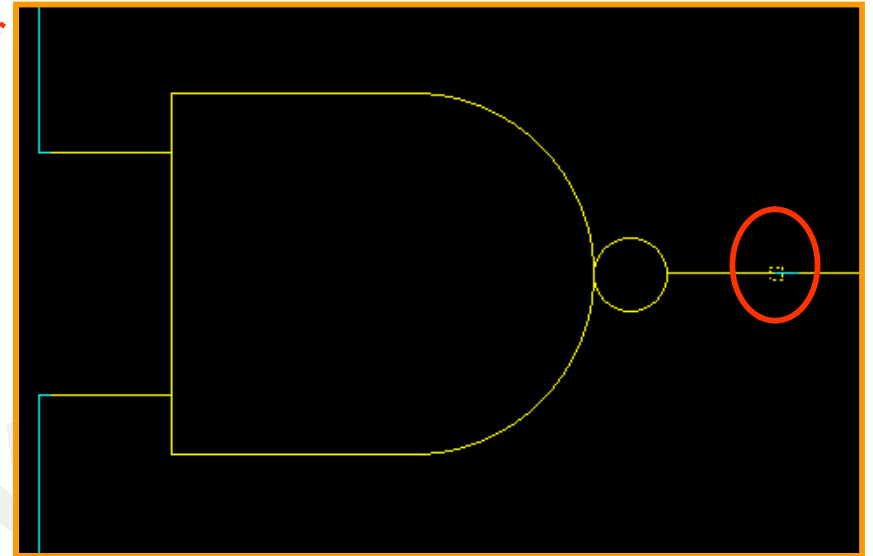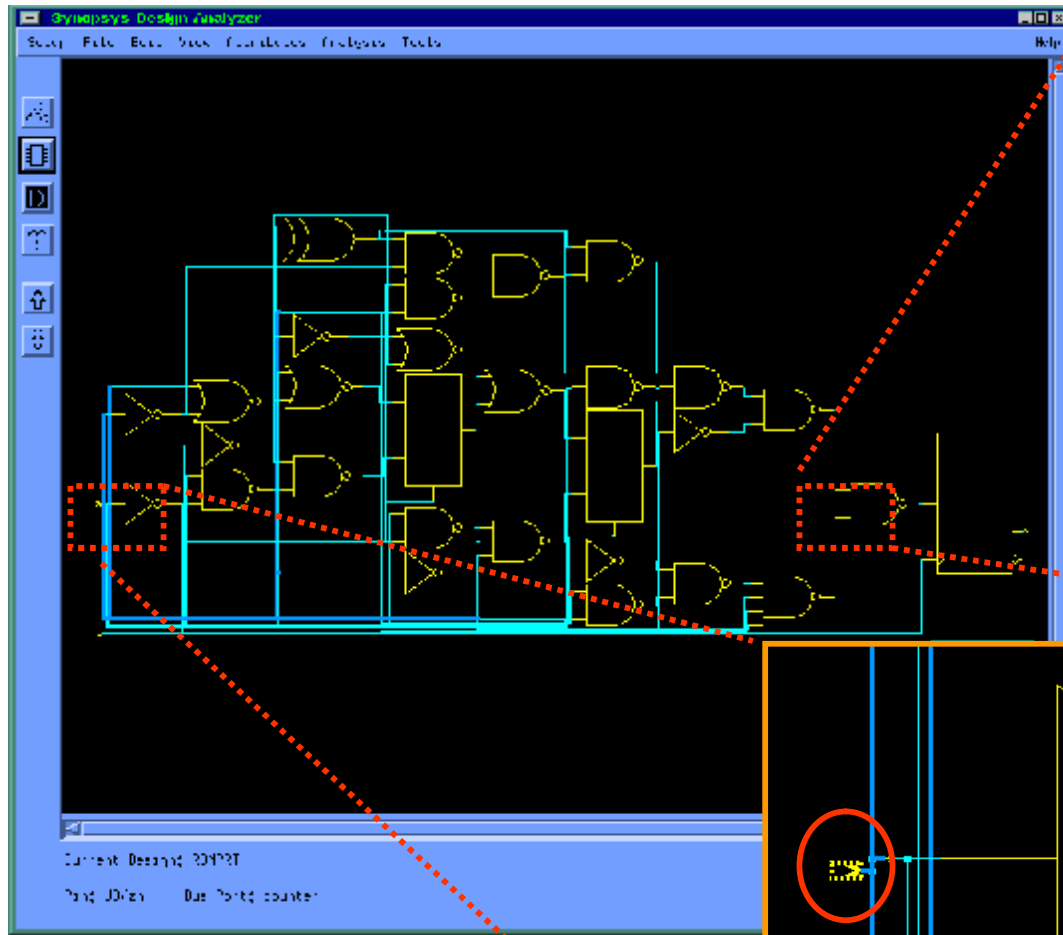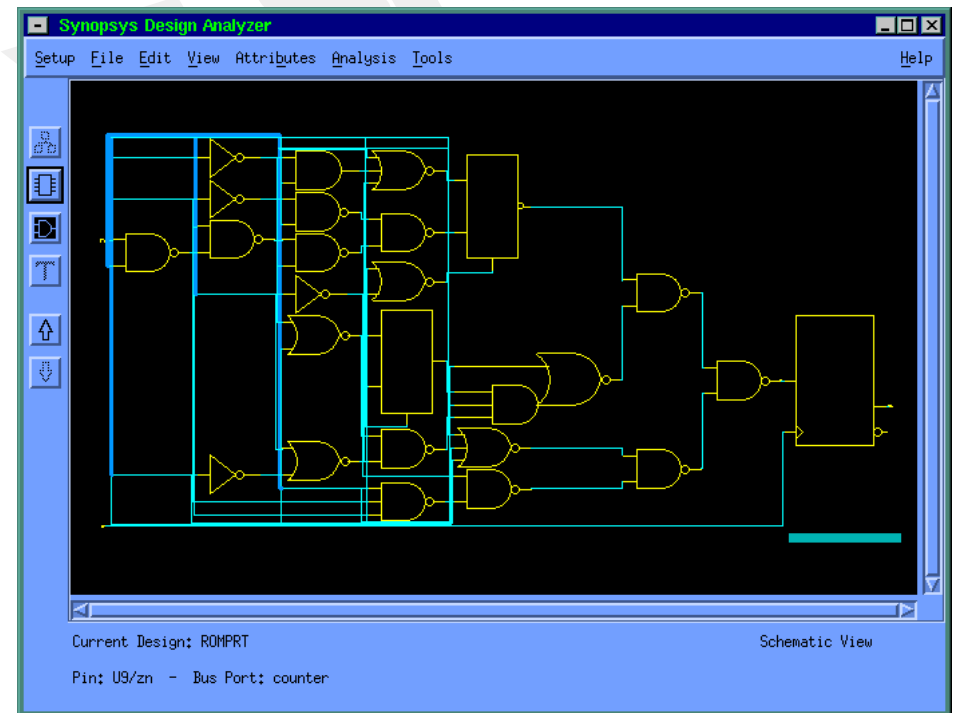

使用滑鼠左鍵點選
input port 再使用中
鍵點選任一 gate 的
output point(如圖)

重新合成前

重新合成後

第 **50** 頁

∽ : 兩個 latch or flip flop 間如何設 constraints ?

Synopsys Design Analyzer

Setup File Edit View Attributes Analysis Tools   Help

Current Design: Ph_COUNTER   Schematic Vie

Instance: U97 (an02d1)

Path Timing

Source:	ph2_C_reg[4]/cpn
Destination:	U97/z
Path Value:	4.58
Slack Value:	unconstrained
Path Type:	max_fall

← delay time 不符 spec.

Save   Clear   Cancel

如圖所示, 如果 **delay time** 不符 **spec.**或是覺得結果不佳.可依照 **52~54** 頁所示設定.

☞ ：

使用滑鼠中鍵選取或取消

Synopsys Design Analyzer

Setup File Edit View Attributes Analysis Tools   Help

Current Design: Ph_COUNTER   Schematic View

Timing goals set on selected pat

Timing Constraints

From:

To:

ph2_C_reg[4]/q

Maximum Delay

Rise: Fall:

Minimum Delay

Rise: Fall:

☐ Same Rise and Fall

Apply   Cancel

點選此處使之反白後, 按方向 icon .
即可設定 from point

在此填入設定值 (單位：ns) 後按Apply

點選欲設定的 output point

重新合成前

重新合成後

Synopsys Design Analyzer

Setup File Edit View Attributes Analysis Tools   Help

Current Design: Ph_COUNTER

Instance: U103 (an02d1)   ← 點選同一個 gate

Schematic View
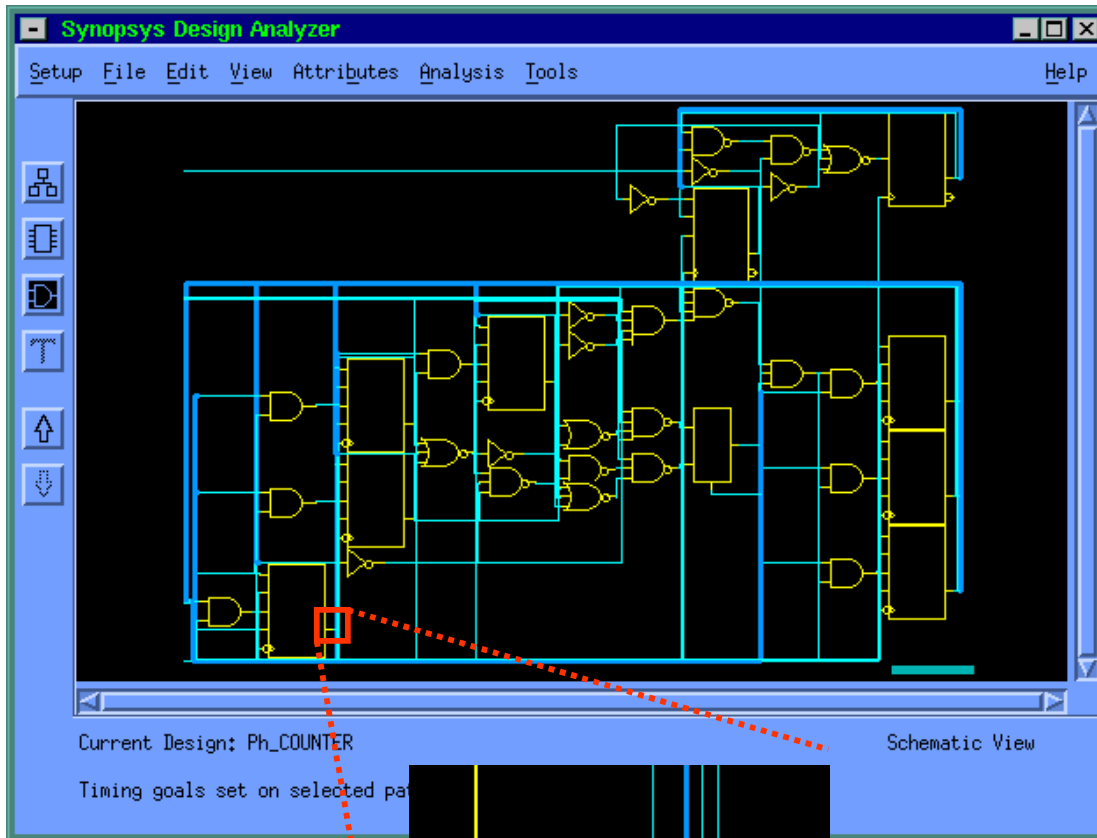
如同 43 ～ 44 頁所示方法顯示 **Max. Path**

合成前 **Delay time**

Path Timing

Source: ph2_C_reg[4]/cpn
Destination: U97/z
Path Value: 4.58
Slack Value: unconstrained
Path Type: max_fall

Save   Clear   Cancel

合成後 **Delay time**

Path Timing

Source: ph2_C_reg[4]/q
Destination: U103/z
Path Value: 2.95
Slack Value: 0.05   ← 符合 **timing SPEC.**
Path Type: max_fall

Save   Clear   Cancel
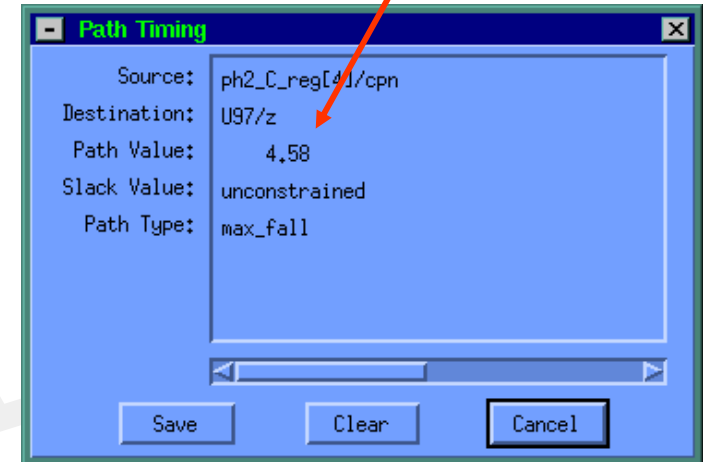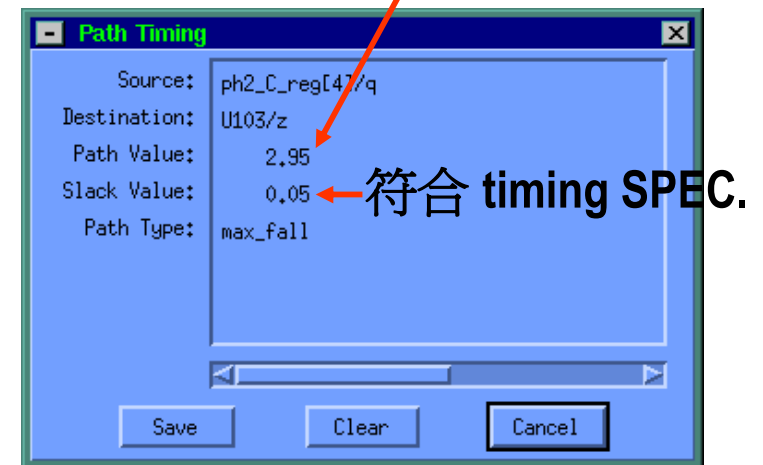
Differences of coding

- structure

- key word --- //synopsys

細節部分請參考 SYNOPSYS on line document
--- HDL Compiler for Verilog Reference

國立中正大學
電機工程研究所
CCU EE VLSI Group

Coding 上的差異可以影響合成的結果, synopsys 可以讓 user自行對 Coding 做不同的組合, 以達成不同的目的. 詳細的說明請參考 HDL Compiler for Verilog Reference --- Chapter 8 (SYNOPSYS on line document). 底下是一個例子.

```
module coding_1(a, b, c, d, out);
input [3:0] a, b, c, d;
reg [3:0] outtmp;
output [3:0] out;
always @(a or b or c or d) begin
outtmp = a + b + c + d;
end
assign out = outtmp;
endmodule
```

difference

```
module coding_2(a, b, c, d, out);
input [3:0] a, b, c, d;
reg [3:0] outtmp;
output [3:0] out;
always @(a or b or c or d) begin
outtmp = ((a + b) + (c + d));
end
assign out = outtmp;
endmodule
```

Coding_1

out = a + b + c + d ;

Coding_2

out = ((a + b) + (c + d));

Report Output

design_analyzer> Information: Updating design information... (UID-85)
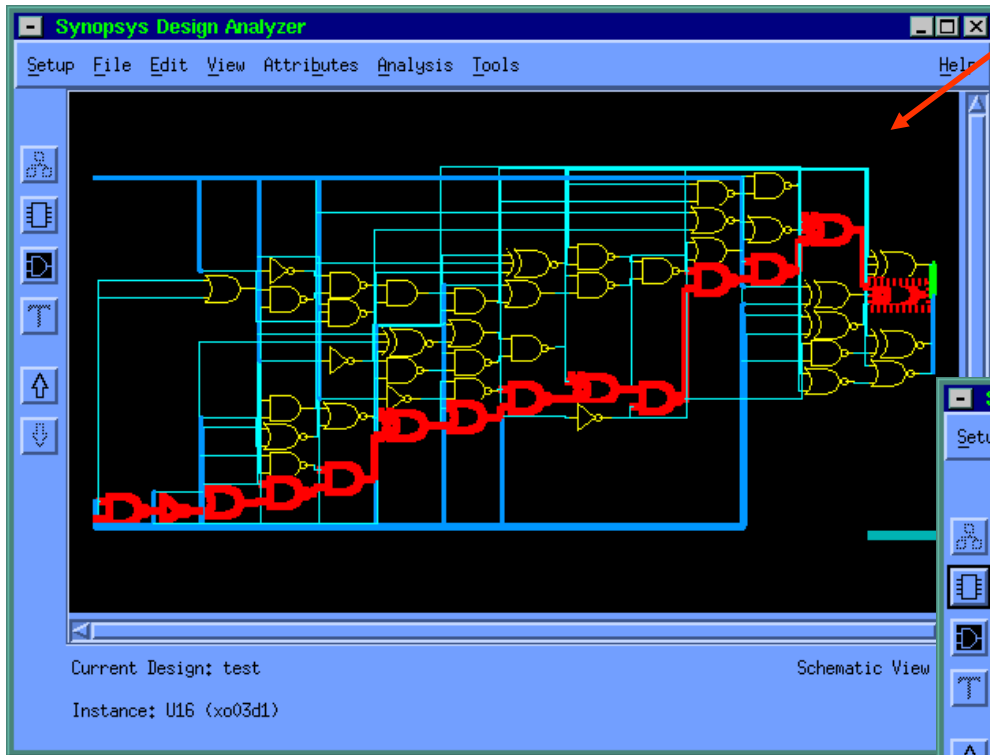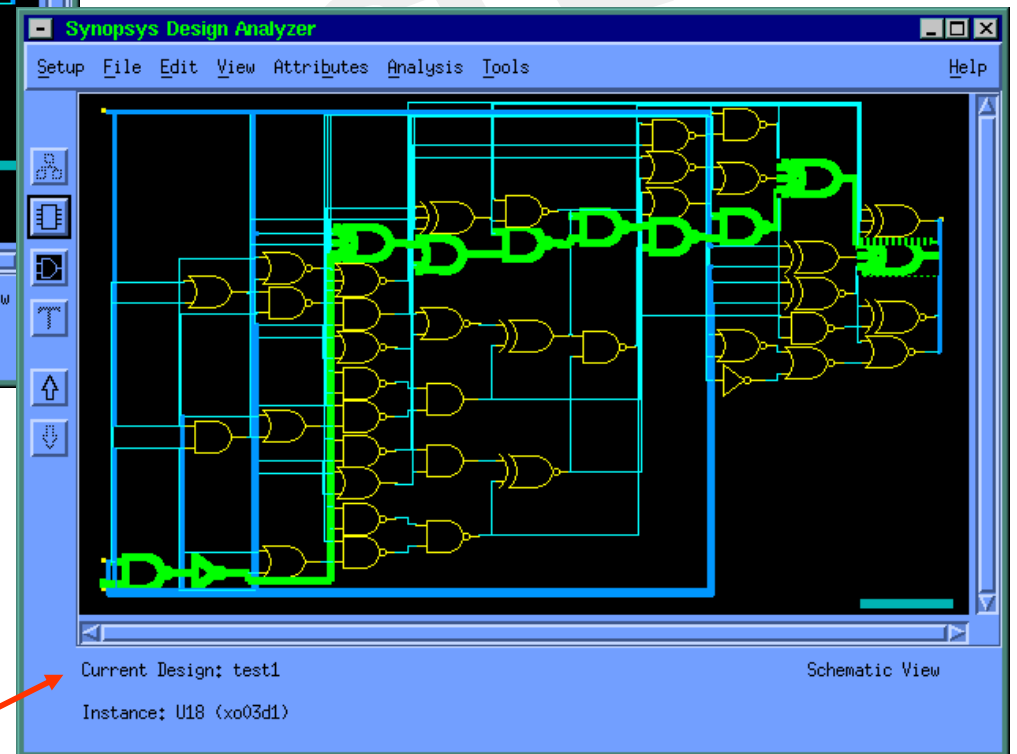
```
***************************************
Report : area
Design : test
Version: 1997.08
Date   : Tue Mar  3 16:21:00 1998
***************************************
|
Library(s) Used:
    cb60hp231d (File: /vlsi-a/Librarys/LIB06_V2/Synopsys/cb60hp231d.db)
|
Number of ports:              20
Number of nets:               67
Number of cells:              51
Number of references:         10
|
Combinational area:       86.500000
Noncombinational area:     0.000000
Net Interconnect area:     0.241000
.
Total cell area:          86.500000
Total area:               86.740997
1
```

Report Output

design_analyzer>

```
***************************************
Report : area
Design : test1
Version: 1997.08
Date   : Tue Mar  3 16:31:17 1998
***************************************
|
Library(s) Used:
    cb60hp231d (File: /vlsi-a/Librarys/LIB06_V2/Synopsys/cb60hp231d.db)
|
Number of ports:              20
Number of nets:               64
Number of cells:              48
Number of references:          9
|
Combinational area:       85.000000
Noncombinational area:     0.000000
Net Interconnect area:     0.232000
|
Total cell area:          85.000000
Total area:               85.232002
1
design_analyzer>
```

Show

Path Timing

Source:	b[0]
Destination:	U16/z
Path Value:	5.87
Slack Value:	unconstrained
Path Type:	max_fall

Save   Clear   Cancel

Path Timing

Source:	d[0]
Destination:	U18/z
Path Value:	4.62
Slack Value:	unconstrained
Path Type:	max_fall

Save   Clear   Cancel

Coding_1

Coding_2

key word --- //synopsys

Coding_1

```verilog
module SP1 ( reset,SP2IB1,IB12SP,SPen,
                SP2IB1en ) ;
input SPen, SP2IB1en ,reset;
input [2:0] IB12SP ;
output [2:0] SP2IB1;
reg [2:0] sp;


always @(SPen or IB12SP or reset)
begin
     if (reset)
            sp = 07;
      else if (SPen)
            sp = IB12SP;
end


assign SP2IB1 = (SP2IB1en ? sp : 'bz);
endmodule
```

difference

Coding_2

```verilog
module SP2 ( reset,SP2IB1,IB12SP,SPen,
                SP2IB1en ) ;
input SPen, SP2IB1en ,reset;
input [2:0] IB12SP ;
output [2:0] SP2IB1;
reg [2:0] sp;

//synopsys async_set_reset "reset"
always @(SPen or IB12SP or reset)
begin
     if (reset)
            sp = 07;
      else if (SPen)
            sp = IB12SP;
end


assign SP2IB1 = (SP2IB1en ? sp : 'bz);
endmodule
```
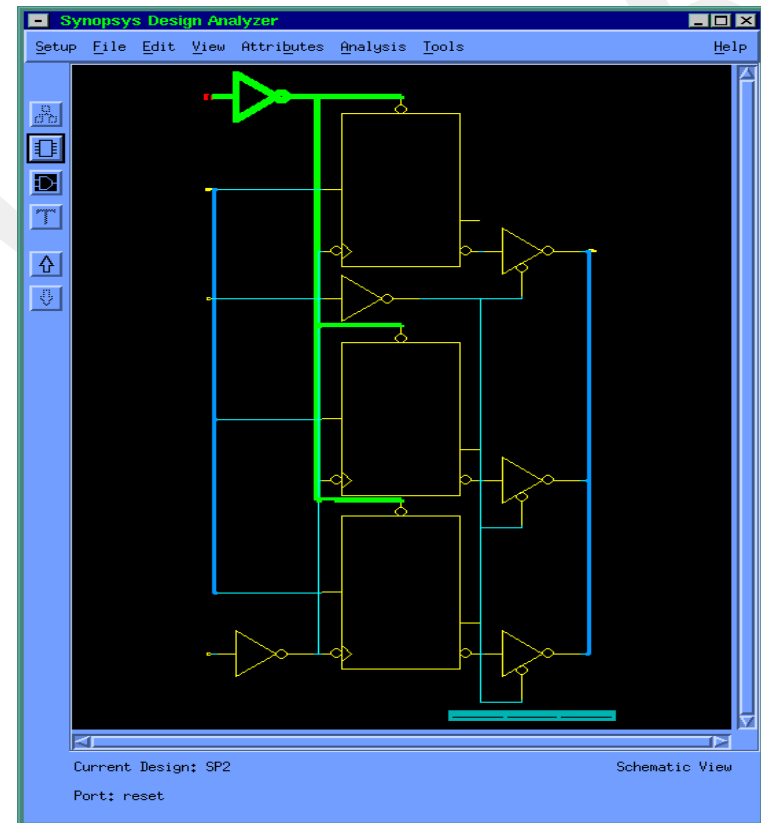
☞ : 若不定義 **//synopsys async_set_reset** 時, **SYNOPSYS**並不會選取含 **"set"** or **"reset"** 的 **latch.** 因此 **SYNOPSYS** 會將 **reset** 及 **enable signal** 做 **gated control** 輸入 **latch** 的 **enable input,** 這樣的方式可能使得電路不正常運作.
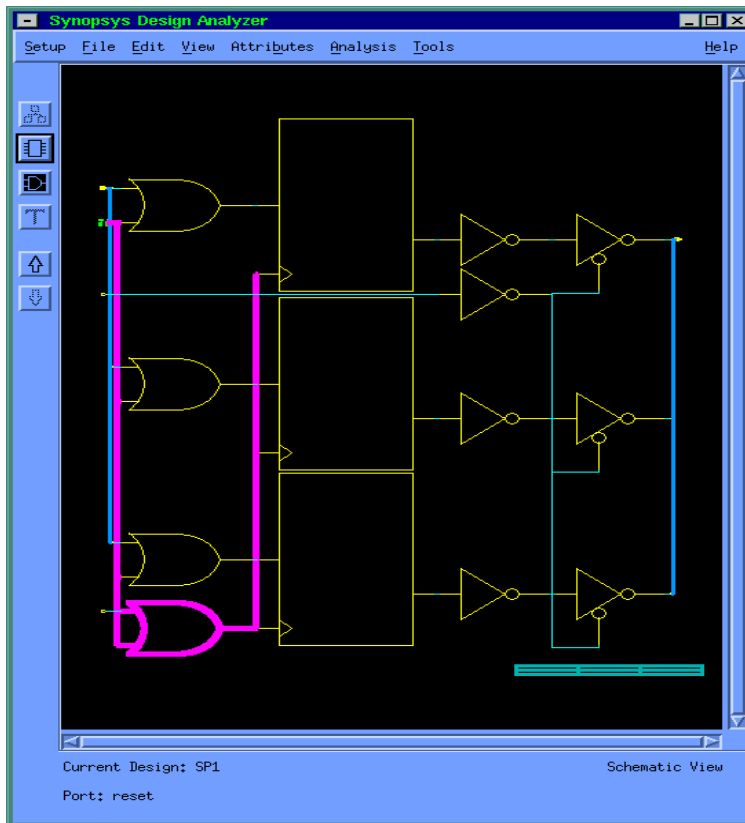
Coding_1

Coding_2

key word --- //synopsys

```verilog
module CIN1(C2CIN ,IB172CIN ,CINout ,CINsel ,CINen
,CINclr);
input C2CIN, IB172CIN, CINen, CINclr;
input [1:0] CINsel;
output CINout;
reg muxans,cin;

always @(CINsel or C2CIN or IB172CIN) begin
    case(CINsel) //synopsys full_case parallel_case
            2'b00 : muxans = C2CIN;
            2'b01 : muxans = ~C2CIN;
            2'b11 : muxans = IB172CIN;
            //default: muxans = 1'bx;
    endcase
end

//synopsys async_set_reset "CINclr"
always @(muxans or CINen or CINclr) begin
    if (CINclr)
            cin = 0;
    else if (CINen)
      cin = muxans;
end
assign CINout = cin;
endmodule
```

若不用 full_case 的方式, 可
將 case 補足.

```verilog
module CIN2(C2CIN ,IB172CIN ,CINout ,CINsel
,CINen ,CINclr);
input C2CIN, IB172CIN, CINen, CINclr;
input [1:0] CINsel;
output CINout;
reg muxans,cin;

always @(CINsel or C2CIN or IB172CIN) begin
    case(CINsel)
            2'b00 : muxans = C2CIN;
            2'b01 : muxans = ~C2CIN;
            2'b11 : muxans = IB172CIN;
            //default: muxans = 1'bx;
    endcase
end

//synopsys async_set_reset "CINclr"
always @(muxans or CINen or CINclr) begin
    if (CINclr)
            cin = 0;
    else if (CINen)
      cin = muxans;
end
assign CINout = cin;
endmodule
```
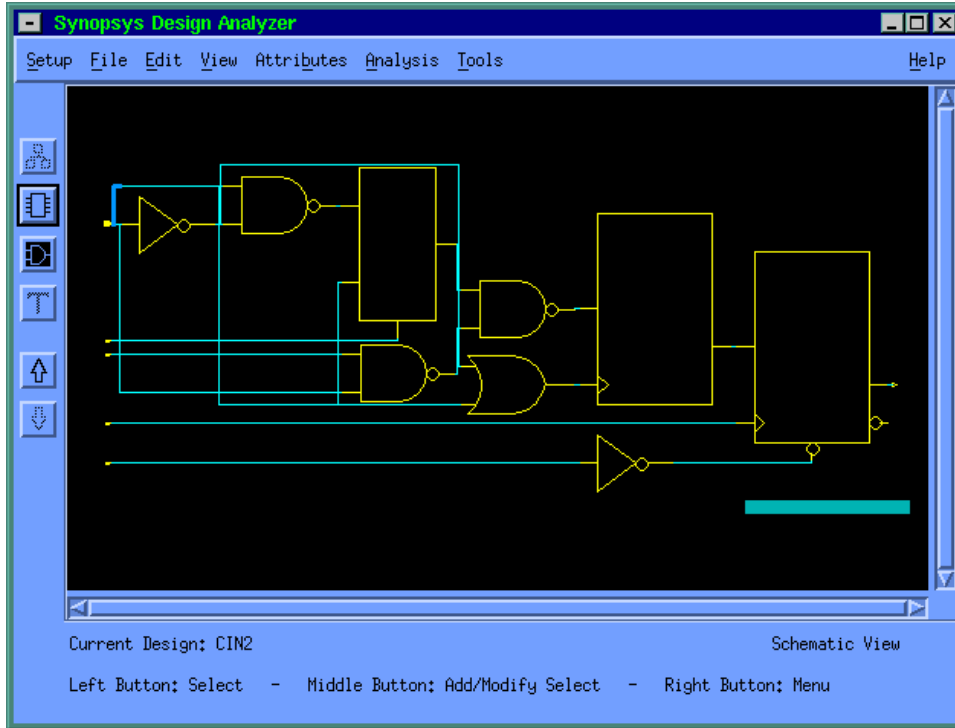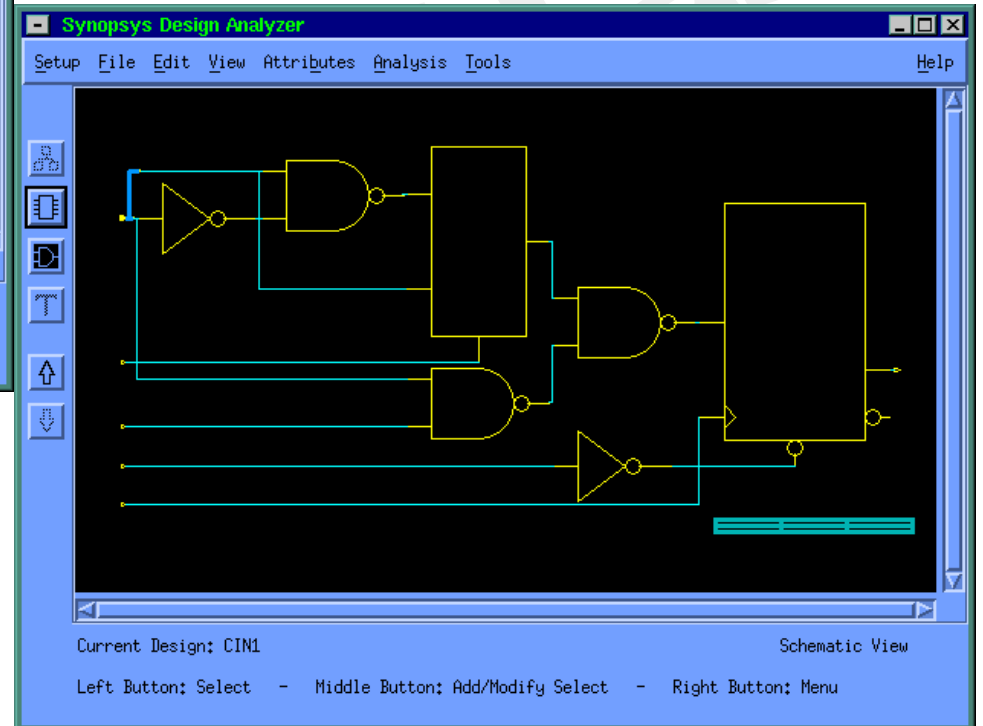
Coding_1

Coding_2

Coding_1

Coding_2

Additional Setting

細節部分請參考 SYNOPSYS on line document
--- Design Compiler Family Reference Manual

Check Design

利用 Check Design 檢查
設計是否有問題.

最詳細的 Report

檢查所有的電路

若電路有 errors
或 warnings 或顯
示於此視窗, 若
完全無錯則如圖
所示

Command Window

command window 可以讓 user 輸入指令及觀察選項動作成功與否

輸入指令處

指令集選擇

選擇指令

參數輸入
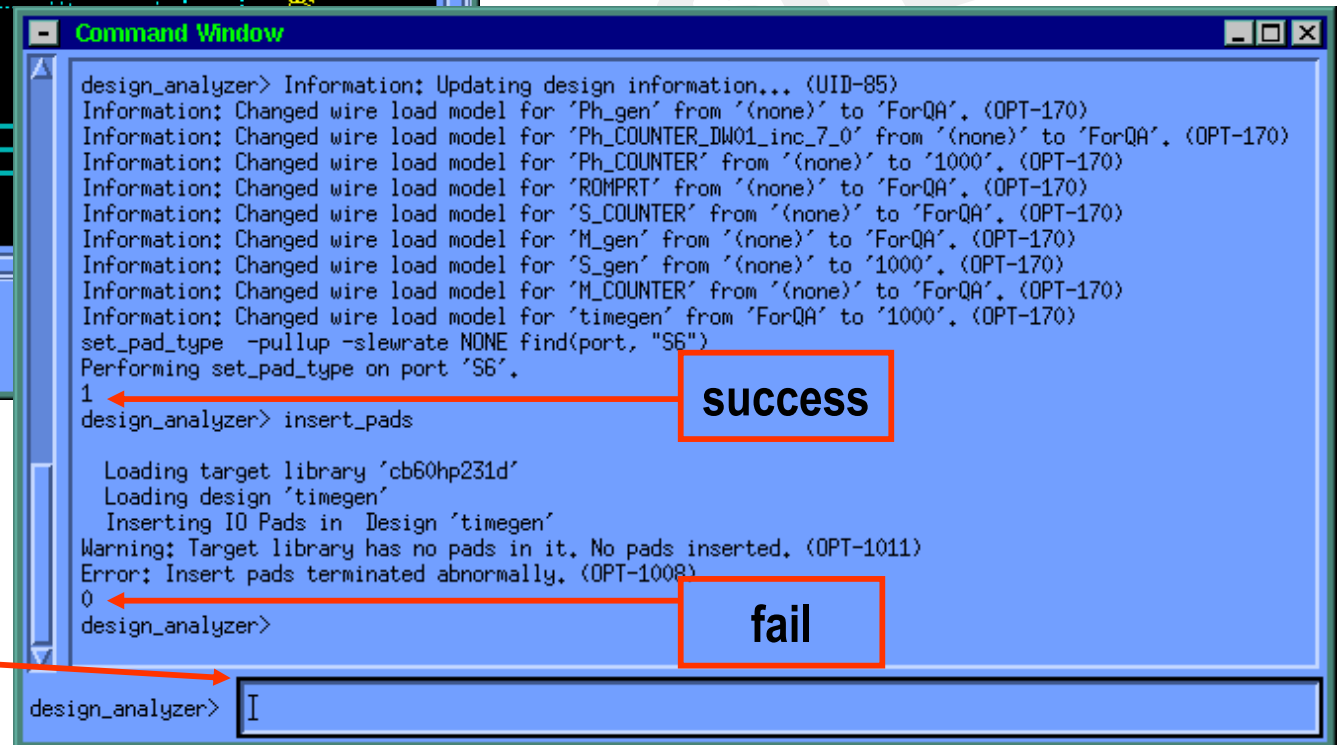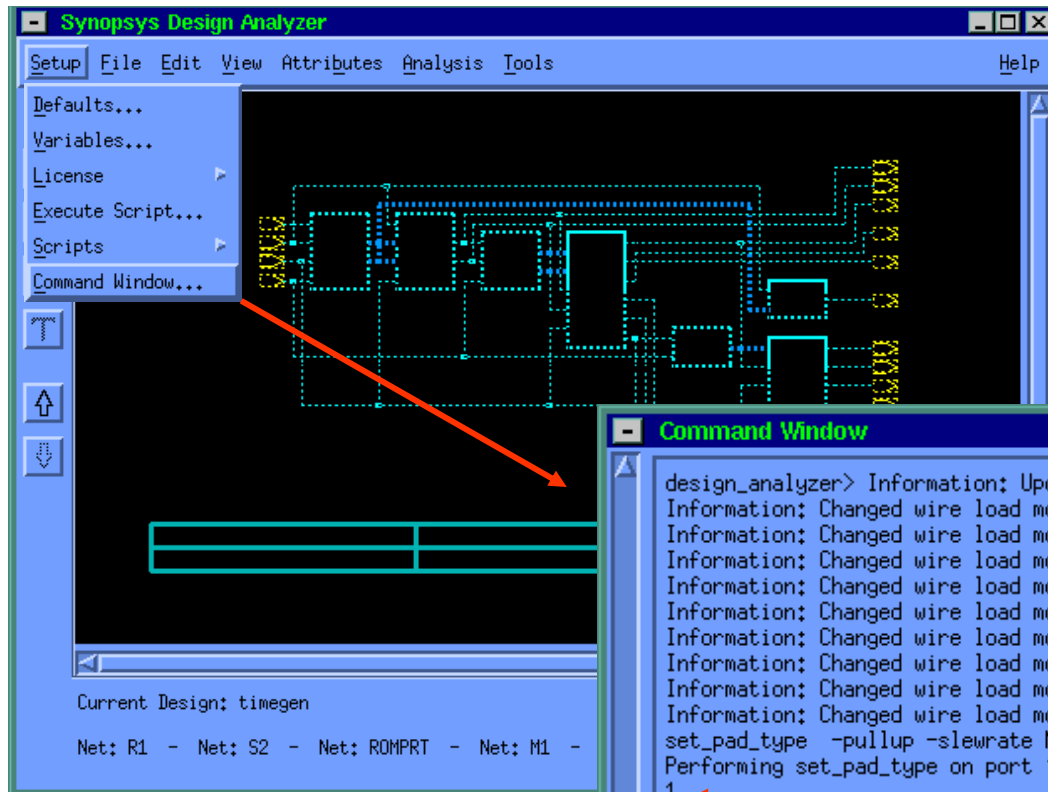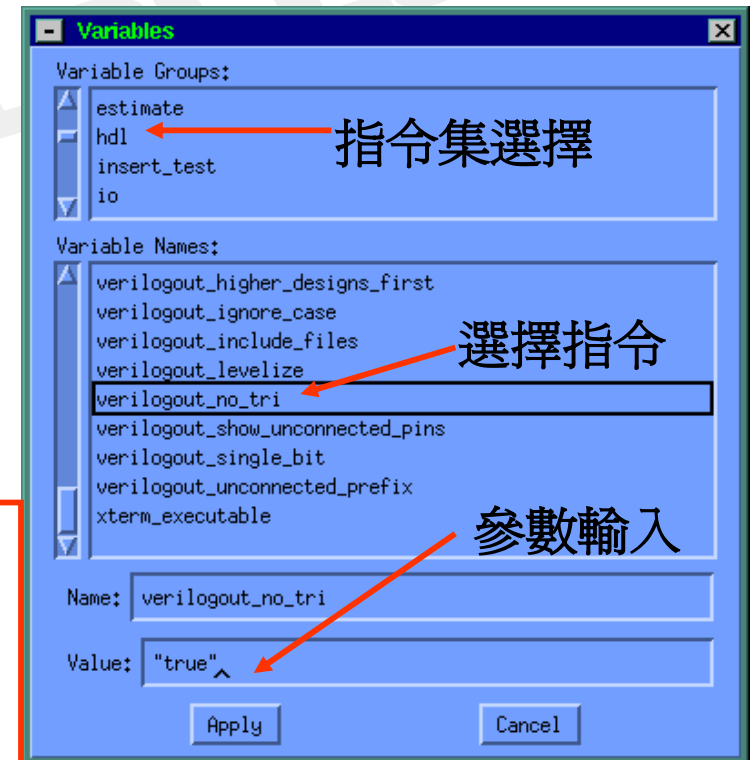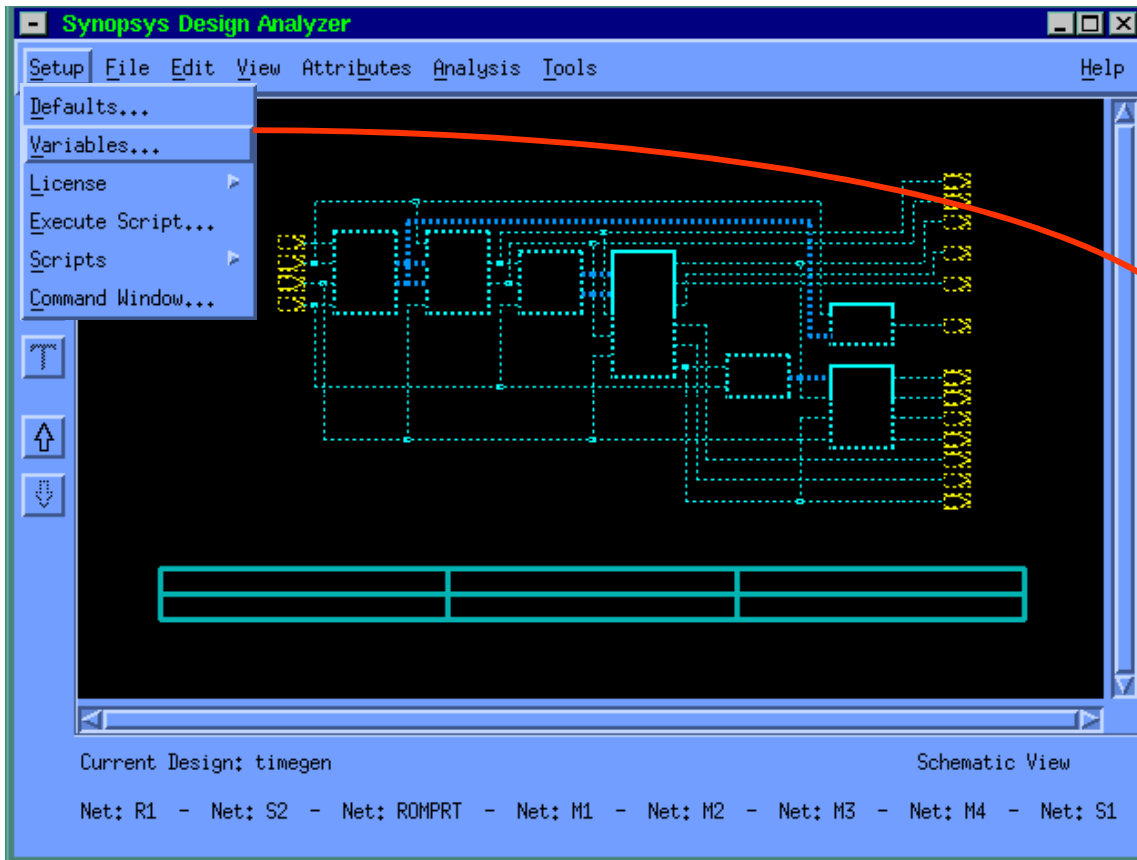
☞ : **Variables window** 可以讓 **user** 輸入修改設定. 圖例是針對**verilogout_no_tri** 的設定由 **false** 更改為 **true** (如同修改 .synopsys_dc_setup 一般)

Simulate the Synthesized Circuit

(1) Save the synthesized circuit as verilog format (*.v)

(2) Simulation

方法一 : Verilog XL command line simulation method

ex) 寫一個含測試 **pattern** 的 **test.v**

hsieh> verilog incr.v test.v -f ~/simopt.f

其中 , **incr.v** 是我們由 **Synopsys** 轉出的 **verilog file**

simopt.f 是有關 **library** 的路徑設定 **(User** 自建 , 如下頁)

方法二 : Verilog In

" **Verilog In**" 是在 **Cadence** 環境下 , 將 **netlist** 轉成 **schematic** 的工具 . 由於 **Verilog In** 只接受 **netlist** , 而我們由 **Synopsys** 轉出來的 **verilog file** 可能含有一些 **behavior level** 的描述 , 因此不能直接用 **Verilog In** 去得到 **schematic** 去做模擬 。但是 , 只要適當的修改設定檔案 , 我們由 **Synopsys** 轉出的 **verilog file** , 就可以直接用 **Verilog In** 去做模擬 。方法如下 :
在 **.synopsys_dc.setup** 檔案中 , 尋找 **verilogout_no_tri** = " false"; 將他改為 **verilogout_no_tri**="true"; 就可以了。

國立中正大學
電機工程研究所
CCU EE VLSI Group

Variables of Verilog :
- **-s** : interactive mode
- **-f < filename >**: read host command arguments from file
- **+venv** : invoke the verilog control window and LSE
- **-h** : help

simopt.f 檔案內容如下 :
- **+ism**
- **-v /vlsi-a/Librarys/LIB06_V2/Verilog/cb60hp231d.ismvmd**
- **-v /vlsi-a/Librarys/LIB06_V2/Verilog/cb60hd231d.ismvmd**
- **-v /vlsi-a/Librarys/LIB06_V2/Verilog/cb60io420d.ismvmd**
- **-v /vlsia/Librarys/LIB06_V2/Verilog/cb60hp231d/cells/support/udps.vmd**
- **-v /vlsi-a/Librarys/LIB06_V2/Verilog/cb60hd231d/cells/support/udps.vmd**

nonlinear model

linear model

Reference :

- **SYNOPSYS on line document**
  - --- **Design Compiler Family Reference Manual**
  - --- **HDL Compiler for Verilog Reference**

- **CIC 使用手冊**
  - --- **Login Synthesis Training Manual**